19-6035; Rev 0; 9/11

EVALUATION KIT AVAILABLE

8ビット、16/8チャネル、300ksps ADC、FIFOおよびリファレンス内蔵

MAX11638/MAX11639/MAX11642/MAX11643

概要

MAX11638/MAX11639/MAX11642/MAX11643は、内部リファレンスを備えたシリアル8ビットアナログ-デジタルコンバータ(ADC)です。これらのデバイスは、内蔵のFIFO、スキャンモード、内部クロックモード、内部平均化、およびAutoShutdown™を特長とします。最大サンプリングレートは、外部クロックを使用して300kspsとなります。MAX11642/MAX11643は16の入力チャネル、およびMAX11638/MAX11639は8つの入力チャネルを備えています。これら4つのデバイスは、+3V電源または+5V電源のいずれかで動作し、10MHz SPI/QSPI™/MICROWIRER®対応のシリアルポートを備えています

MAX11638/MAX11639は、16ピンQSOPパッケージで提供されます。MAX11642/MAX11643は、24ピンQSOPパッケージで提供されます。4つのデバイスはすべて、-40℃～+85℃の拡張温度範囲での動作が保証されています。

アプリケーション

システム監視

データ収集システム

産業用制御システム

患者監視

データロギング

計測

型番

PART	NUMBER OF INPUTS	SUPPLY VOLTAGE RANGE (V)	PIN PACKAGE
MAX11638EEE+T	8	4.75 to 5.25	16 QSOP
MAX11639EEE+T	8	2.7 to 3.6	16 QSOP
MAX11642EEG+T	16	4.75 to 5.25	24 QSOP
MAX11643EEG+T	16	2.7 to 3.6	24 QSOP

注：すべてのデバイスが-40℃～+85℃の温度範囲での動作を保証されています。

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。

T = テープ&リール。

AutoShutdownはMaxim Integrated Products, Inc.の商標です。

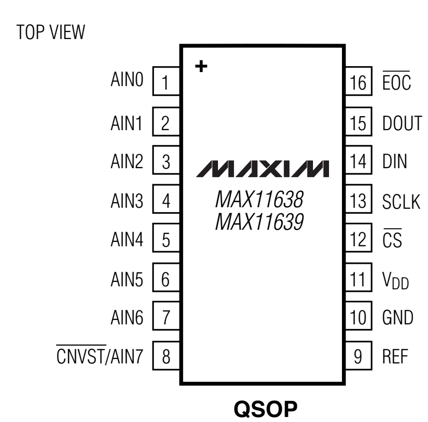
QSPIはMotorola, Inc.の商標です。

MICROWIREはNational Semiconductor Corp.の登録商標です。

特長

- トラック/ホールド(T/H)を備えたアナログマルチプレクサ
  - 16チャネル(MAX11642/MAX11643)
  - 8チャネル(MAX11638/MAX11639)
- 単一電源
  - 2.7V～3.6V (MAX11639/MAX11643)
  - 4.75V～5.25V (MAX11638/MAX11642)
- 内部リファレンス
  - 2.5V (MAX11639/MAX11643)
  - 4.096V (MAX11638/MAX11642)
- 外部リファレンス：1V～V_{DD}
- 16エントリーのファーストイン/ファーストアウト(FIFO)
- スキャンモード、内部平均化、および内部クロック
- 精度：±1 LSB INL、±1 LSB DNL、ミッシングコードなし(全温度範囲)
- 10MHz、3線式、SPI/QSPI/MICROWIRE対応インタフェース
- 小型パッケージ
  - 16ピンQSOP (MAX11638/MAX11639)
  - 24ピンQSOP (MAX11642/MAX11643)

ピン配置



ピン配置はデータシートの最後に続いています。

ABSOLUTE MAXIMUM RATINGS

V_{DD} to GND ....-0.3V to +6V
CS, SCLK, DIN, EOC, DOUT to GND.........-0.3V to (V_{DD} + 0.3V)
AIN0–AIN13, CNVST/AIN_,
REF to GND..........-0.3V to (V_{DD} + 0.3V)
Maximum Current into Any Pin..........50mA
Continuous Power Dissipation (T_A = +70°C)
16-Pin QSOP (derate 8.3mW/°C above +70°C)...........667mW
24-Pin QSOP (derate 9.5mW/°C above +70°C)...........762mW
Operating Temperature Range ....-40°C to +85°C
Storage Temperature Range ....-60°C to +150°C
Junction Temperature ....+150°C
Lead Temperature (soldering, 10s) ....+300°C
Soldering Temperature (reflow) ....+260°C

Stresses beyond those listed under “Absolute Maximum Ratings” may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

PACKAGE THERMAL CHARACTERISTICS (Note 1)

16 QSOP
Junction-to-Ambient Thermal Resistance (θ_{JA})..............105°C/W
Junction-to-Case Thermal Resistance (θ_{JC})..................37°C/W

24 QSOP
Junction-to-Ambient Thermal Resistance (θ_{JA})...............88°C/W
Junction-to-Case Thermal Resistance (θ_{JC})....................34°C/W

Note 1: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to **japan.maxim-ic.com/thermal-tutorial**.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +2.7V to +3.6V (MAX11639/MAX11643), V_{DD} = +4.75V to +5.25V (MAX11638/MAX11642), f_{SAMPLE} = 300kHz, f_{SCLK} = 4.8MHz (external clock 50% duty cycle), V_{REF} = 2.5V (MAX11639/MAX11643), V_{REF} = 4.096V (MAX11638/MAX11642), T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY (Note 3)						
Resolution	RES		8			Bits
Integral Nonlinearity	INL				±0.5	LSB
Differential Nonlinearity	DNL	No missing codes over temperature			±0.5	LSB
Offset Error				±0.5	±1	LSB
Gain Error		(Note 4)		±0.5	±1	LSB
Offset Error Temperature Coefficient				±2		ppm/°C FSR
Gain Temperature Coefficient				±0.8		ppm/°C
Channel-to-Channel Offset Matching				±0.1		LSB
DYNAMIC SPECIFICATIONS (30kHz sine-wave input, 300ksps, f_{SCLK} = 4.8MHz)						
Signal-to-Noise Plus Distortion	SINAD			49		dB
Total Harmonic Distortion	THD	Up to the 5th harmonic		-70		dBc
Spurious-Free Dynamic Range	SFDR			-72		dBc
Intermodulation Distortion	IMD	f_{IN1} = 29.9kHz, f_{IN2} = 30.1kHz		-67		dBc
Full-Power Bandwidth		-3dB point		1		MHz
Full-Linear Bandwidth		S/(N + D) > 48dB		100		kHz

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = +2.7V to +3.6V (MAX11639/MAX11643), V_{DD} = +4.75V to +5.25V (MAX11638/MAX11642), f_{SAMPLE} = 300kHz, f_{SCLK} = 4.8MHz (external clock 50% duty cycle), V_{REF} = 2.5V (MAX11639/MAX11643), V_{REF} = 4.096V (MAX11638/MAX11642), T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CONVERSION RATE						
Power-Up Time	t_{PU}	External reference		0.8		µs
		Internal reference (Note 5)		65		
Acquisition Time	t_{ACQ}		0.6			µs
Conversion Time	t_{CONV}	Internally clocked		3.5		µs
		Externally clocked (Note 6)	2.7			
External Clock Frequency	f_{SCLK}	Externally clocked conversion	0.1		4.8	MHz
		Data I/O			10	
Aperture Delay				30		ns
Aperture Jitter				< 50		ps
ANALOG INPUT						
Input Voltage Range		Unipolar	0		V_{REF}	V
Input Leakage Current		V_{IN} = V_{DD}		±0.01	±1	µA
Input Capacitance		During acquisition time (Note 7)		24		pF
INTERNAL REFERENCE						
REF Output Voltage		MAX11638/MAX11642	4.024	4.096	4.168	V
		MAX11639/MAX11643	2.48	2.50	2.52	
REF Temperature Coefficient	V_{REF}	MAX11638/MAX11642		±20		ppm/°C
		MAX11639/MAX11643		±30		
Output Resistance				6.5		k
REF Output Noise				200		µV_{RMS}
REF Power-Supply Rejection	PSRR			-70		dB
EXTERNAL REFERENCE						
REF Input Voltage Range	V_{REF}		1.0		V_{DD} + 50mV	V
REF Input Current	I_{REF}	V_{REF} = 2.5V (MAX11639/MAX11643), V_{REF} = 4.096V (MAX11638/MAX11642), f_{SAMPLE} = 300ksps		40	100	µA
		V_{REF} = 2.5V (MAX11639/MAX11643), V_{REF} = 4.096V (MAX11638/MAX11642), f_{SAMPLE} = 0		±0.1	±5	

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = +2.7V to +3.6V (MAX11639/MAX11643), V_{DD} = +4.75V to +5.25V (MAX11638/MAX11642), f_{SAMPLE} = 300kHz, f_{SCLK} = 4.8MHz (external clock 50% duty cycle), V_{REF} = 2.5V (MAX11639/MAX11643), V_{REF} = 4.096V (MAX11638/MAX11642), T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL INPUTS (SCLK, DIN, $\overline{CS}$, $\overline{CNVST}$) (Note 8)						
Input Voltage Low	V_{IL}	MAX11638/MAX11642			0.8	V
		MAX11639/MAX11643			V_{DD} x 0.3	
Input Voltage High	V_{IH}	MAX11638/MAX11642	2.0			V
		MAX11639/MAX11643	V_{DD} x 0.7			
Input Hysteresis	V_{HYST}			200		mV
Input Leakage Current	I_{IN}	V_{IN} = 0V or V_{DD}		±0.01	±1.0	µA
Input Capacitance	C_{IN}			15		pF
DIGITAL OUTPUTS (DOUT, $\overline{EOC}$)						
Output Voltage Low	V_{OL}	I_{SINK} = 2mA			0.4	V
		I_{SINK} = 4mA			0.8	
Output Voltage High	V_{OH}	I_{SOURCE} = 1.5mA	V_{DD} - 0.5			V
Three-State Leakage Current	I_L	$\overline{CS}$ = V_{DD}		±0.05	±1	µA
Three-State Output	C_{OUT}	$\overline{CS}$ = V_{DD}		15		pF
POWER REQUIREMENTS						
Supply Voltage	V_{DD}	MAX11638/MAX11642	4.75		5.25	V
		MAX11639/MAX11643	2.7		3.6	
MAX11639/MAX11643 Supply Current (Note 9)	I_{DD}	Internal reference, f_{SAMPLE} = 300ksps		1750	2000	µA
		Internal reference, f_{SAMPLE} = 0, REF on		1000	1200	
		Internal reference, Shutdown		0.2	5	
		External reference, f_{SAMPLE} = 300ksps		1050	1200	
		External reference, Shutdown		0.2	5	
MAX11638/MAX11642 Supply Current (Note 9)	I_{DD}	Internal reference, f_{SAMPLE} = 300ksps		2300	2550	µA
		Internal reference, f_{SAMPLE} = 0, REF on		1000	1350	
		Internal reference, Shutdown		0.2	5	
		External reference, f_{SAMPLE} = 300ksps		1550	1700	
		External reference, Shutdown		0.2	5	
Power-Supply Rejection	PSR	V_{DD} = 2.7V to 3.6V, full-scale input		±0.2	±1	mV
		V_{DD} = 4.75V to 5.25V, full-scale input		±0.2	±1.4	

Note 2: Limits at T_A = -40°C are guaranteed by design and not production tested.
Note 3: The MAX11639/MAX11643 tested at V_{DD} = +3V. The MAX11638/MAX11642 tested at V_{DD} = +5V.
Note 4: Offset nulled.
Note 5: Time for reference to power up and settle to within 1 LSB.
Note 6: Conversion time is defined as the number of clock cycles multiplied by the clock period; clock has 50% duty cycle.
Note 7: See Figure 3 (Equivalent Input Circuit) and the Sampling Error vs. Source Impedance curve in the *Typical Operating Characteristics* section.
Note 8: When $\overline{CNVST}$ is configured as a digital input, do not apply a voltage between V_{IL} and V_{IH}.
Note 9: Supply current is specified on whether an internal or external reference is used for voltage conversions.

TIMING CHARACTERISTICS

(V_{DD} = +2.7V to +3.6V (MAX11639/MAX11643), V_{DD} = +4.75V to +5.25V (MAX11638/MAX11642), f_{SAMPLE} = 300kHz, f_{SCLK} = 4.8MHz (external clock 50% duty cycle), V_{REF} = 2.5V (MAX11639/MAX11643), V_{REF} = 4.096V (MAX11638/MAX11642), T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 2) (Figure 1)

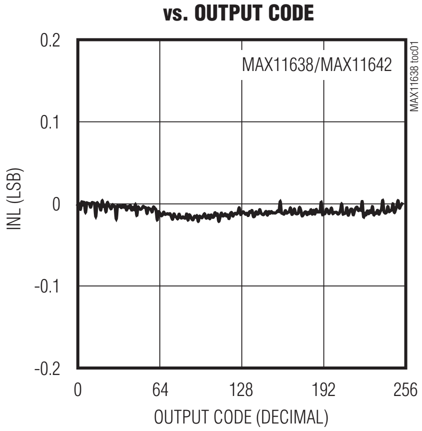
PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Clock Period	t_{CP}	Externally clocked conversion	208			ns
		Data I/O	100			
SCLK Pulse-Width High	t_{CH}		40			ns
SCLK Pulse-Width Low	t_{CL}		40			ns
SCLK Fall to DOUT Transition	t_{DOT}	C_{LOAD} = 30pF			40	ns
$\overline{CS}$ Rise to DOUT Disable	t_{DOD}	C_{LOAD} = 30pF			40	ns
$\overline{CS}$ Fall to DOUT Enable	t_{DOE}	C_{LOAD} = 30pF			40	ns
DIN to SCLK Rise Setup	t_{DS}		40			ns
SCLK Rise to DIN Hold	t_{DH}		0			ns
$\overline{CS}$ Low to SCLK Setup	t_{CSS0}		40			ns
$\overline{CS}$ High to SCLK Setup	t_{CSS1}		40			ns
$\overline{CS}$ High After SCLK Hold	t_{CSH1}		0			ns
$\overline{CS}$ Low After SCLK Hold	t_{CSH0}		0		4	µs
$\overline{CNVST}$ Pulse-Width Low	t_{CSPW}	CKSEL = 00	40			ns
		CKSEL = 01	1.4			µs
$\overline{CS}$ or $\overline{CNVST}$ Rise to $\overline{EOC}$ Low (Note 10)		Voltage conversion			7	µs
		Reference power-up			65	

Note 10: This time is defined as the number of clock cycles needed for conversion multiplied by the clock period. If the internal reference needs to be powered up, the total time is additive.

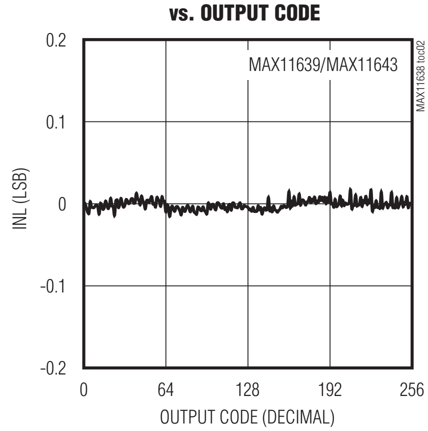
標準動作特性

(V_{DD} = 3V and V_{REF} = 2.5V (MAX11639/MAX11643), V_{DD} = 5V and V_{REF} = 4.096V (MAX11638/MAX11642), f_{SCLK} = 4.8MHz, C_{LOAD} = 30pF, f_{SAMPLE} = 300ksps, T_A = +25°C, unless otherwise noted.)

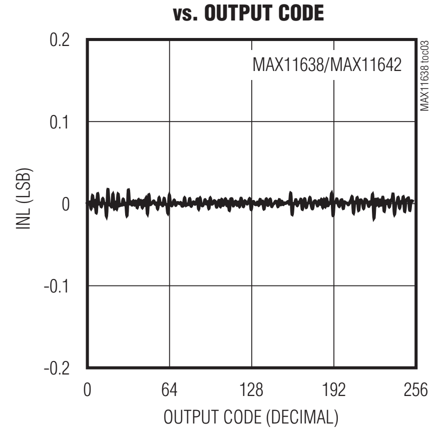
INTEGRAL NONLINEARITY vs. OUTPUT CODE



INTEGRAL NONLINEARITY vs. OUTPUT CODE



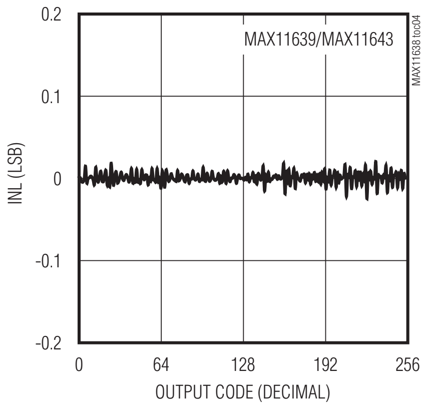
DIFFERENTIAL NONLINEARITY vs. OUTPUT CODE



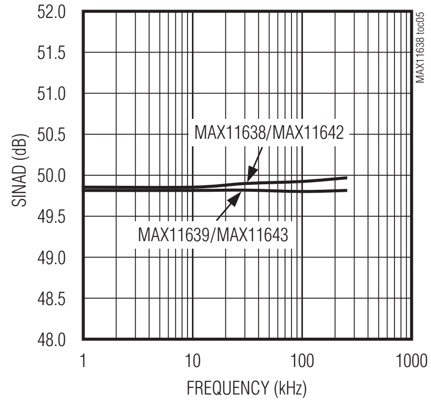
標準動作特性(続き)

(V_{DD} = 3V and V_{REF} = 2.5V (MAX11639/MAX11643), V_{DD} = 5V and V_{REF} = 4.096V (MAX11638/MAX11642), f_{SCLK} = 4.8MHz, C_{LOAD} = 30pF, f_{SAMPLE} = 300ksps, T_A = +25°C, unless otherwise noted.)

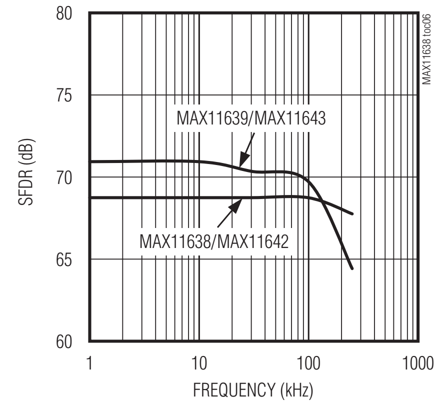
DIFFERENTIAL NONLINEARITY vs. OUTPUT CODE



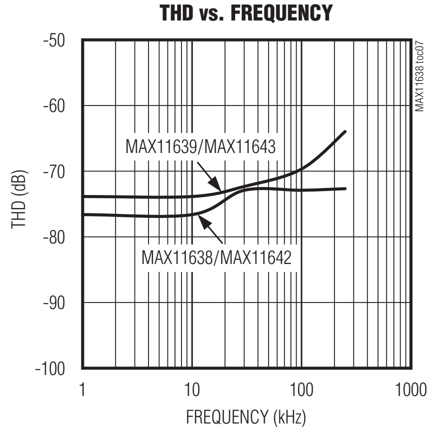
SINAD vs. FREQUENCY



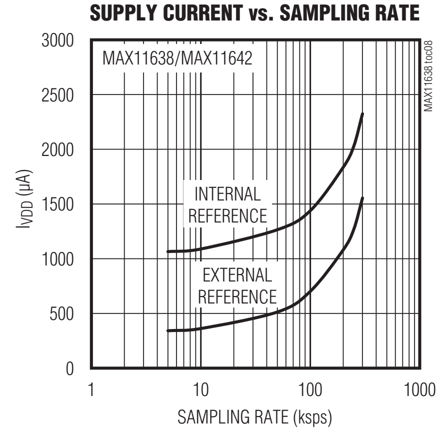
SFDR vs. FREQUENCY



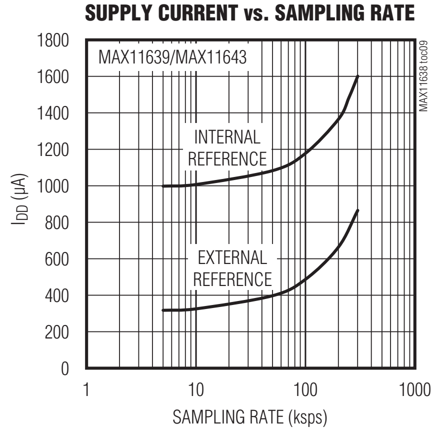
THD vs. FREQUENCY



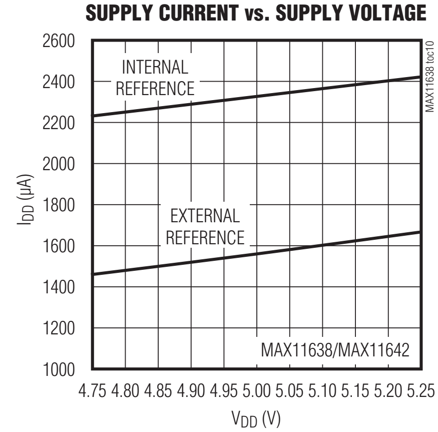
SUPPLY CURRENT vs. SAMPLING RATE



SUPPLY CURRENT vs. SAMPLING RATE



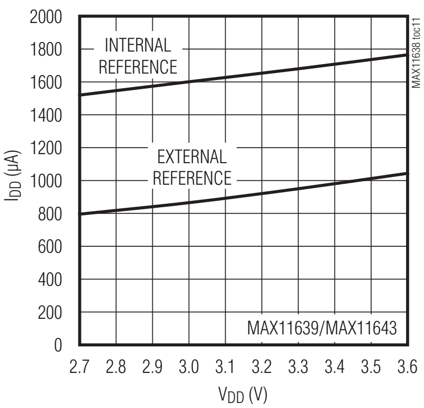
SUPPLY CURRENT vs. SUPPLY VOLTAGE



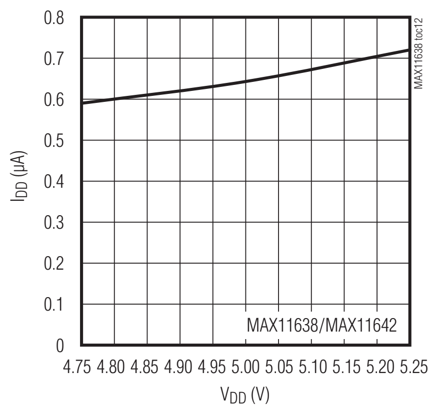
標準動作特性(続き)

(V_{DD} = 3V and V_{REF} = 2.5V (MAX11639/MAX11643), V_{DD} = 5V and V_{REF} = 4.096V (MAX11638/MAX11642), f_{SCLK} = 4.8MHz, C_{LOAD} = 30pF, f_{SAMPLE} = 300ksps, T_A = +25°C, unless otherwise noted.)

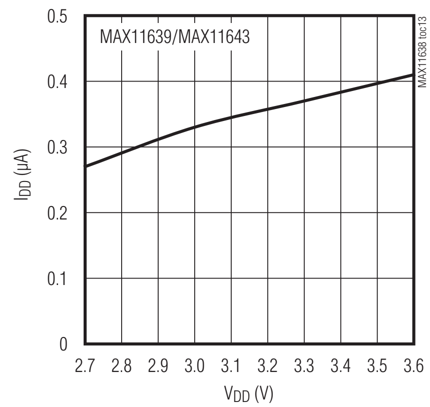
SUPPLY CURRENT vs. SUPPLY VOLTAGE



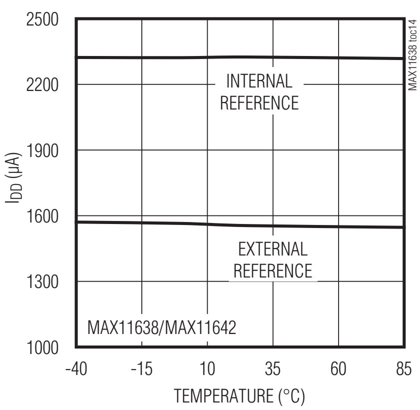
SHUTDOWN SUPPLY CURRENT vs. SUPPLY VOLTAGE



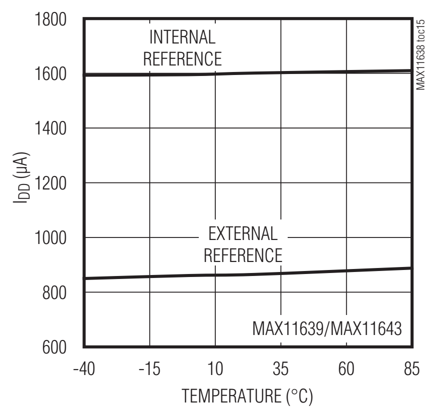
SHUTDOWN SUPPLY CURRENT vs. SUPPLY VOLTAGE



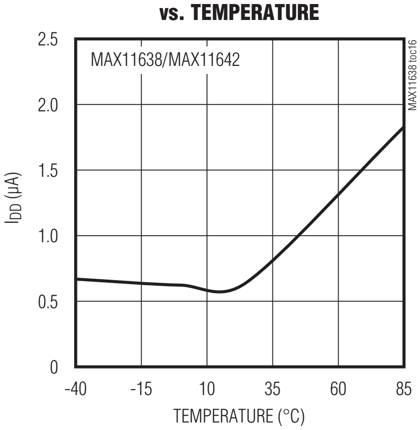
SUPPLY CURRENT vs. TEMPERATURE



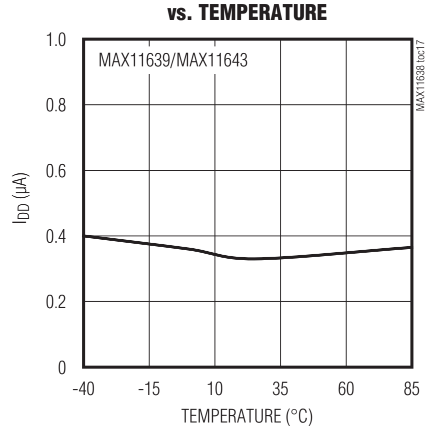
SUPPLY CURRENT vs. TEMPERATURE



SHUTDOWN SUPPLY CURRENT vs. TEMPERATURE



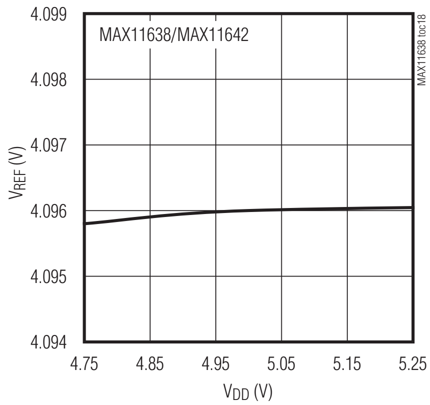
SHUTDOWN SUPPLY CURRENT vs. TEMPERATURE



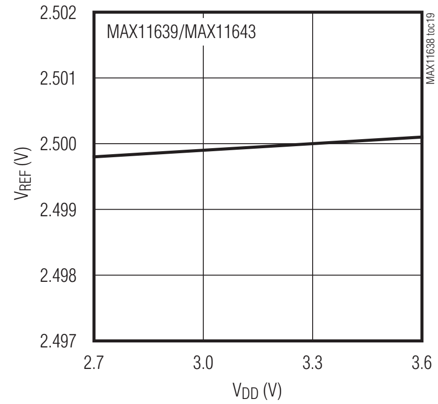
標準動作特性(続き)

(V_{DD} = 3V and V_{REF} = 2.5V (MAX11639/MAX11643), V_{DD} = 5V and V_{REF} = 4.096V (MAX11638/MAX11642), f_{SCLK} = 4.8MHz, C_{LOAD} = 30pF, f_{SAMPLE} = 300ksps, T_A = +25°C, unless otherwise noted.)

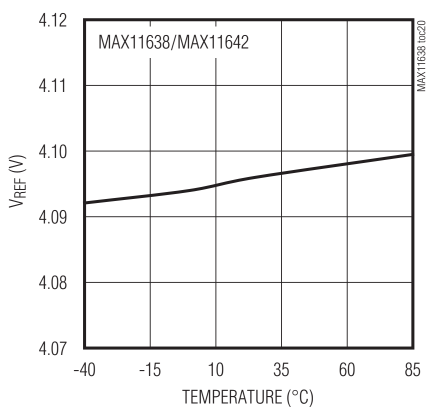
INTERNAL REFERENCE VOLTAGE vs. SUPPLY VOLTAGE



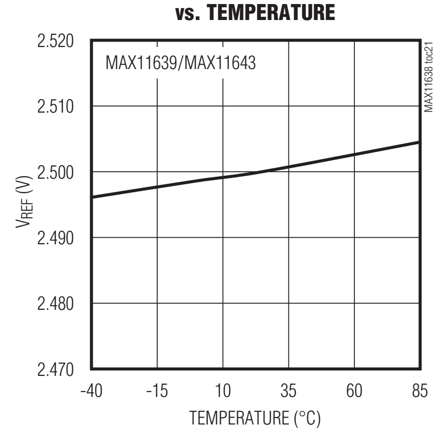
INTERNAL REFERENCE VOLTAGE vs. SUPPLY VOLTAGE



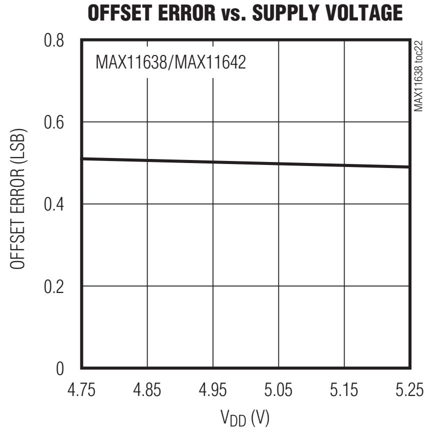
INTERNAL REFERENCE VOLTAGE vs. TEMPERATURE



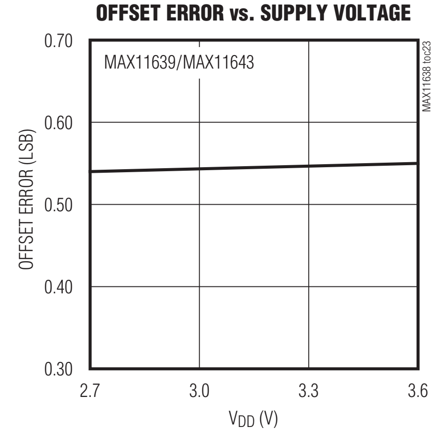
INTERNAL REFERENCE VOLTAGE vs. TEMPERATURE



OFFSET ERROR vs. SUPPLY VOLTAGE

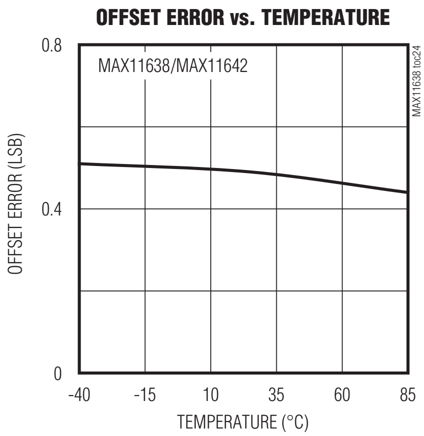


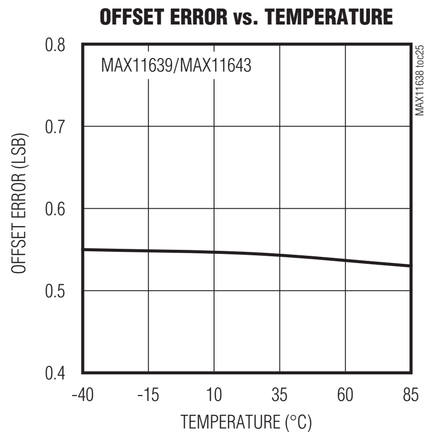
OFFSET ERROR vs. SUPPLY VOLTAGE

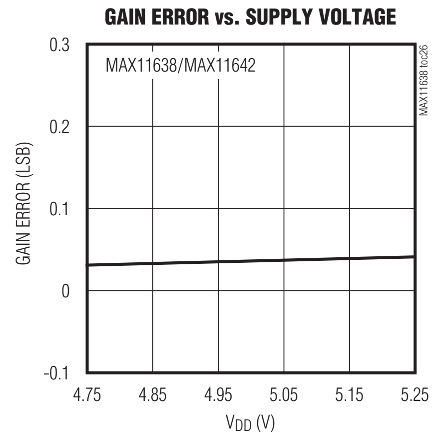


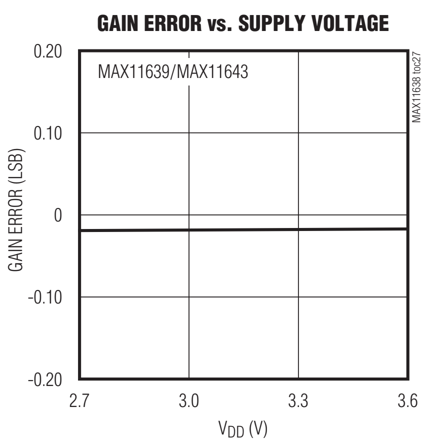
標準動作特性(続き)

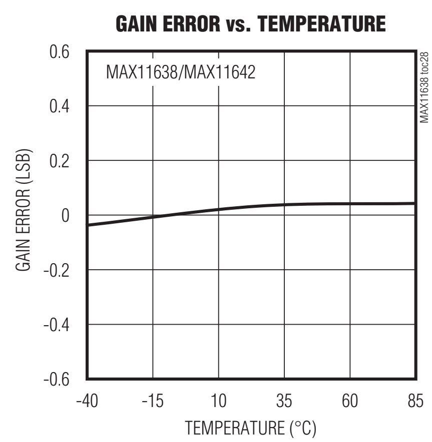
(V_{DD} = 3V and V_{REF} = 2.5V (MAX11639/MAX11643), V_{DD} = 5V and V_{REF} = 4.096V (MAX11638/MAX11642), f_{SCLK} = 4.8MHz, C_{LOAD} = 30pF, f_{SAMPLE} = 300ksps, T_A = +25°C, unless otherwise noted.)

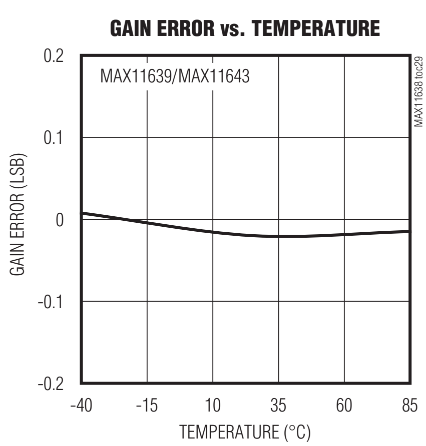


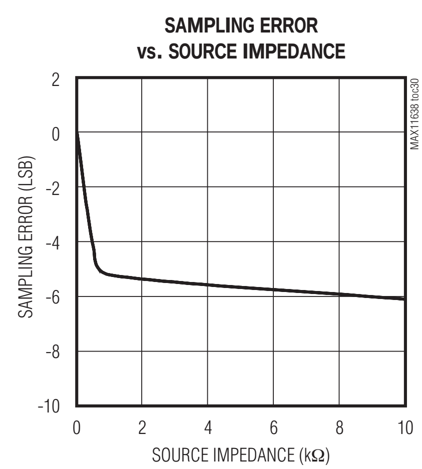












端子説明

MAX11638 MAX11639 (8チャネル)	MAX11642 MAX11643 (16チャネル)	名称	機能
1–7	—	AIN0–AIN6	アナログ入力
—	1–15	AIN0–AIN14	アナログ入力
8	—	$\overline{\text{CNVST}}$/AIN7	アクティブローの変換開始入力/アナログ入力7。Setupレジスタの設定の詳細については、表3を参照してください。
—	16	$\overline{\text{CNVST}}$/AIN15	アクティブローの変換開始入力/アナログ入力15。Setupレジスタの設定の詳細については、表3を参照してください。
9	17	REF	リファレンス入力。0.1µFのコンデンサでGNDにバイパスしてください。
10	18	GND	グランド
11	19	V_{DD}	電源入力。0.1µFのコンデンサでGNDにバイパスしてください。
12	20	$\overline{\text{CS}}$	アクティブローのチップセレクト入力。$\overline{\text{CS}}$がローの場合、シリアルインタフェースがイネーブルされます。$\overline{\text{CS}}$がハイの場合、DOUTはハイインピーダンスです。
13	21	SCLK	シリアルクロック入力。シリアルインタフェースに対する入出力クロックデータです(デューティサイクルは40%～60%である必要があります)。クロックモードの設定の詳細については、表3を参照してください。
14	22	DIN	シリアルデータ入力。DINのデータはSCLKの立上りエッジでシリアルインタフェース内にラッチされます。
15	23	DOUT	シリアルデータ出力。データはSCLKの立下りエッジでクロックアウトされます。$\overline{\text{CS}}$がV_{DD}に接続されている場合はハイインピーダンスになります。
16	24	$\overline{\text{EOC}}$	変換終了出力。データは$\overline{\text{EOC}}$がローに駆動されたあと有効になります。

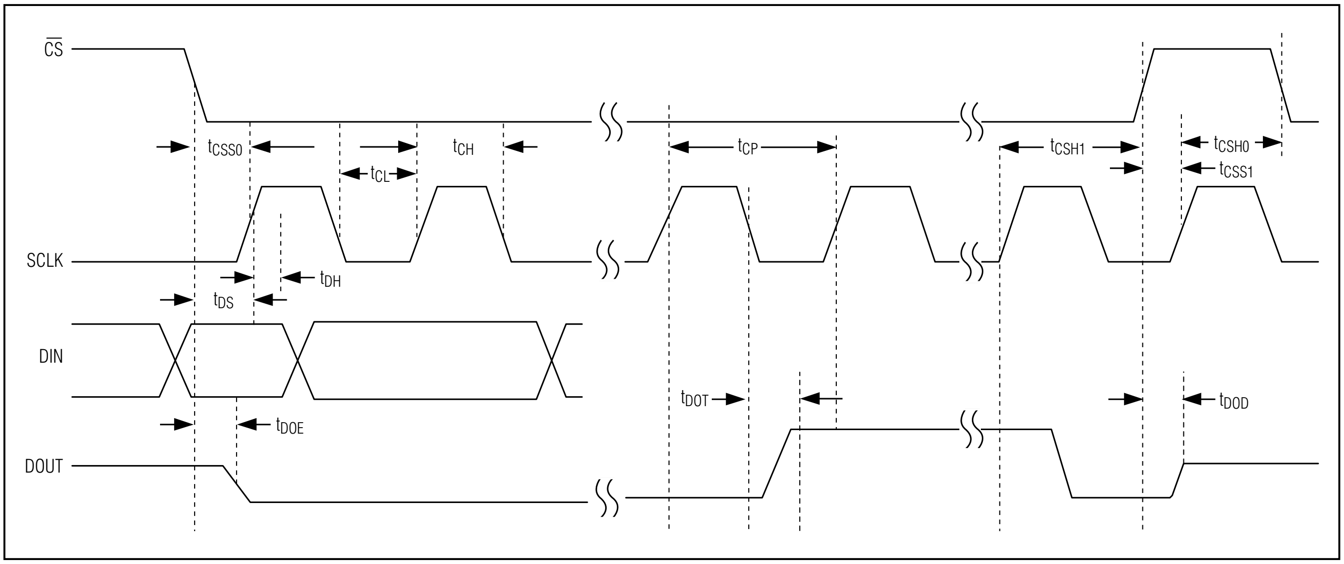


図1. シリアルインタフェースの詳細タイミング図

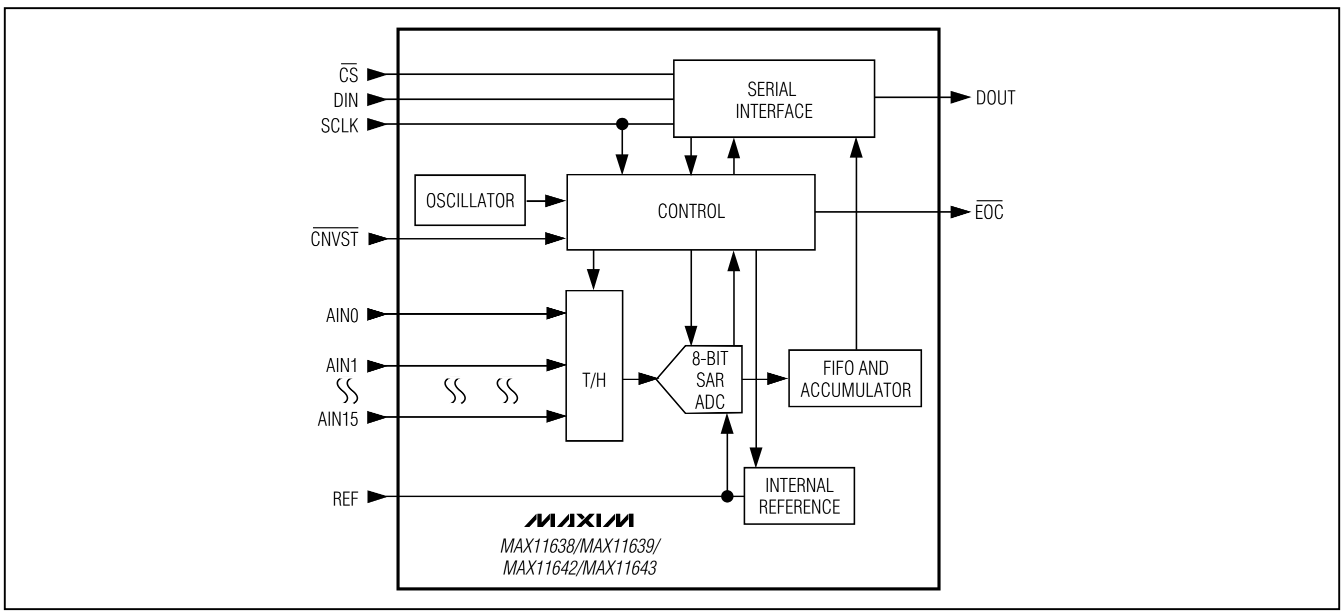


図2. ファンクションダイアグラム

詳細

MAX11638/MAX11639/MAX11642/MAX11643は、システム監視、プロセス制御、および計測アプリケーション向けの、FIFO機能を備えた低電力、シリアル出力、マルチチャネルADCです。これらの8ビットADCは、シングルエンド入力をサポートするトラック/ホールド(T/H)回路を内蔵しています。データは、多様なチャネルおよびデータ取得構成のアナログ電圧ソースから変換されます。3線式のSPI/QSPI/MICROWIRE対応シリアルインタフェースを備えているため、マイクロプロセッサ(μP)から容易に制御可能です。

図2は、MAX11638/MAX11639/MAX11642/MAX11643の内部アーキテクチャの簡略ファンクションダイアグラムを示します。MAX11642/MAX11643は16のシングルエンドアナログ入力チャネルを備えています。MAX11638/MAX11639は8つのシングルエンドアナログ入力チャネルを備えています。

コンバータの動作

MAX11638/MAX11639/MAX11642/MAX11643 ADCは、逐次比較レジスタ(SAR)変換方式および内蔵T/Hブロックを使用して、電圧信号を8ビットのデジタルの結果に変換します。このシングルエンド構成は、ユニポーラの信号範囲をサポートします。

入力帯域幅

ADCの入力トラッキング回路は1MHzの小信号帯域幅を備えているため、高速過渡イベントのデジタル化およびアンダーサンプリング方式を使用したADCのサンプリングレート以上の帯域幅の周期的信号の測定が可能です。高周波数の信号による目的の周波数帯でのエイリアスの発生を防止するために、入力信号のアンチエイリアスプレフィルタ処理が必要です。

アナログ入力の保護

内蔵ESD保護ダイオードによってすべての端子がV_{DD}およびGNDにクランプされるため、入力が(V_{GND} - 0.3 V)～(V_{DD} + 0.3V)の範囲でスイングする場合でも損傷は発生しません。しかし、フルスケール付近で高精度の変換を行うために、入力はV_{DD}を50mV以上上回るかGNDを50mV以上下回ってはいけません。オフチャネルのアナログ入力電圧が電源電圧より高い場合は、入力電流を2mAに制限してください。

3線式シリアルインタフェース

MAX11638/MAX11639/MAX11642/MAX11643は、SPI/QSPIおよびMICROWIREデバイスに対応したシリアルインタフェースを備えています。SPI/QSPIの場合、CPUのシリアルインタフェースがマスターモードで動作してシリアルクロック信号を生成することを保証してください。SCLKの周波数には10MHz以下を選択して、µPの制御レジスタでクロックの極性(CPOL)と位相(CPHA)に同じ値を設定してください。MAX11638/MAX11639/MAX11642/MAX11643はSCLKのアイドル状態がハイまたはローで動作するため、CPOL = CPHA = 0またはCPOL = CPHA = 1で動作します。$\overline{\text{CS}}$をローに設定することによって、SCLKの立上りエッジでDINの入力データがラッチされます。DOUTの出力データは、SCLKの立下りエッジで更新されます。結果はバイナリ形式で出力されます。

シリアル通信は、常に8ビットの入力データバイトが(MSBから順に) DINからロードされることによって開始されます。$\overline{\text{CS}}$のハイからローへの遷移によって、データ入力動作が開始されます。入力データバイトおよび後続のデータバイトは、SCLKの立上りエッジでDINからシリアルインタフェースにクロックインされます。表1～5に、レジスタの詳細を示します。Setupレジスタのビット5および4 (それぞれCKSEL1およびCKSEL0)は、クロックモードを制御します(表3を参照)。4つの異なるクロックモードによって、変換を開始するさまざまな方法を選択し、取得のタイミングを内部で制御するか外部で制御するかを決定してください。$\overline{\text{CNVST}}$/AIN_を変換開始として機能させ、それを使用してシリアルバスを占有することなくプログラムされた内部タイミング制御の変換を要求する場合は、クロックモード00を選択してください。クロックモード01では、一度に1つのチャネルの変換を要求し、シリアルバスを占有することなくサンプリング速度の制御を行うのに$\overline{\text{CNVST}}$を使用してください。デフォルトのクロックモード10では、シリアルインタフェースを介して内部タイミング制御の変換を要求および開始を行うのにConversionレジスタへの書込みをしてください。外部タイミングの取得によって最大300kspsのサンプリングレートを実現するには、最大4.8MHzのSCLKでクロックモード11を使用してください。クロックモード11では、スキャンおよび平均化がディセーブルされます。タイミング仕様および変換の開始方法については、図4～7を参照してください。

これらのデバイスは、アクティブローの変換終了出力を備えています。$\overline{\text{EOC}}$は、ADCが要求された最後の動作を完了して、次の入力データバイトを待っているときローになります(クロックモード00および10の場合)。クロックモード01の場合は、ADCが要求された個々の動作を完了したあとに$\overline{\text{EOC}}$がローになります。$\overline{\text{CS}}$または$\overline{\text{CNVST}}$がローになった時点で$\overline{\text{EOC}}$はハイになります。クロックモード11の場合、$\overline{\text{EOC}}$は常にハイです。

シングルエンド入力

シングルエンドアナログ入力の変換モードは、Setupレジスタへの書込みによって設定することができます(表3を参照)。シングルエンド変換は、内部でGND基準になります(図3を参照)。

AIN0～AIN7は、MAX11638/MAX11639/MAX11642/MAX11643で利用可能です。AIN12～AIN15は、MAX11642/MAX11643でのみ利用可能です。入力の設定の詳細については、表2～5を参照してください。$\overline{\text{CNVST}}$またはアナログ入力として設定可能な入力については、同時に1つのみを使用することができます。

ユニポーラ

MAX11638/MAX11639/MAX11642/MAX11643は、常にユニポーラモードで動作します。アナログ入力は内部でGND基準とされ、フルスケール入力範囲は0～V_{REF}です。

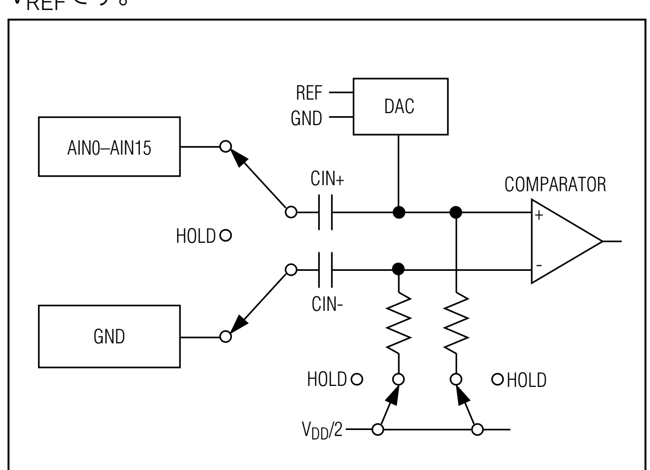


図3. 等価入力回路

真の差動アナログ入力T/H

図3の等価回路は、MAX11638/MAX11639/MAX11642/MAX11643の入力アーキテクチャを示します。トラックモードの場合、正の入力コンデンサはAIN0～AIN15に接続されます。負の入力コンデンサはGNDに接続されます。外部T/Hタイミングの場合は、クロックモード01を使用してください。T/Hがホールドモードに移行したあと、サンプリングした正と負の入力電圧の差が変換されます。T/Hが入力信号を取得するために必要な時間は、その入力容量が充電される速度によって決まります。入力信号のソースインピーダンスが高い場合は、必要な取得時間が長くなります。取得時間t_{ACQ}は、信号の取得に必要な最大の時間とパワーアップ時間との合計であり、次式によって計算されます。

$$t_{ACQ} = 9 \times (R_S + R_{IN}) \times 24pF + t_{PWR}$$

ここで、R_{IN} = 1.5kΩ、R_Sは入力信号のソースインピーダンス、t_{PWR} = 1µs (デバイスのパワーアップ時間)です。パワーアップ時間の違いについては、クロックモード変換の説明で詳述します。変換タイミングを内部で制御する場合、t_{ACQ}は1.4µs以下にはならず、300Ω以下のいかなるソースインピーダンスもADCのAC性能に大きな影響を与えません。ハイインピーダンスのソースには、t_{ACQ}を延長するか、または正と負のアナログ入力の間に1µFのコンデンサを接続することによって対応可能です。

内蔵FIFO

MAX11638/MAX11639/MAX11642/MAX11643は、最大16のADCの結果を保持可能なFIFOバッファを内蔵しています。これによって、ADCはシリアルバスを占有することなく内部でクロック制御された複数の変換を処理することができます。FIFOがフルになり、FIFOからの読取りなしでさらに変換が要求された場合は、最も古いADCの結果が新しいADCの結果によって上書きされます。個々の結果には2バイトが含まれ、MSBの前に4つの0が先行します。$\overline{CS}$の個々の立下りエッジの後、利用可能な最も古いデータバイトがMSBから順にDOUTで利用可能になります。FIFOがエンプティの場合、DOUTは0です。

内部クロック

MAX11638/MAX11639/MAX11642/MAX11643は、4.4MHzの公称クロック速度の10%以内の精度を備えた内蔵発振器により動作します。内蔵発振器は、クロックモード00、01、および10の場合にアクティブになります。最大10MHzのクロック速度でデータを読み取ってください。タイミング仕様および変換の開始の詳細については、図4～7を参照してください。

アプリケーション情報

レジスタの説明

MAX11638/MAX11639/MAX11642/MAX11643は、SPI/QSPI対応のシリアルインタフェースを介して内部レジスタと外部回路の間で通信を行います。表1に、レジスタおよびビット名称の詳細を示します。表2～5に、Conversionレジスタ、Setupレジスタ、Averagingレジスタ、およびResetレジスタ内のさまざまな機能を示します。

変換時間の計算

個々のスキャンの変換時間は、サンプル当りの変換時間、結果当りのサンプル数、スキャン当りの結果数、および外部リファレンスを使用するかどうかという、複数の異なる要素に基づいて決まります。

クロックモード00および10の内部タイミング変換の総変換時間は、次式を使用して計算してください(適宜、「Electrical Characteristics (電気的特性)」の項を参照してください)。

$$総変換時間 = t_{CNV} \times n_{AVG} \times n_{RESULT} + t_{RP}$$

ここで、

$t_{CNV} = t_{ACQ}$ (max) + t_{CONV} (max)

n_{AVG} = 結果当りのサンプル数(平均化する量)

n_{RESULT} = 要求されたFIFOの結果の数(スキャン対象のチャネル数、すなわちNSCAN1、NSCAN0によって決定されます)

t_{RP} = 内部リファレンスウェイクアップ(内部リファレンスがすでにパワーアップされている場合または外部リファレンスを使用する場合は0に設定してください)

クロックモード01では、総変換時間は、内部リファレンスをオンにするために必要な時間を含む、$\overline{CNVST}$がローまたはハイに維持されている時間に依存します。外部クロックモード(CKSEL1、CKSEL0 = 11)での変換時間は、SCLKの周期および8つのSCLKサイクルの各セット間で$\overline{CS}$がハイに維持されている時間に依存します。クロックモード01では、内部リファレンスをオンにするために必要な時間は総変換時間に含まれません。

表1. 入力データバイト(MSBから順)

REGISTER NAME	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
Conversion	1	CHSEL3	CHSEL2	CHSEL1	CHSEL0	SCAN1	SCAN0	X
Setup	0	1	CKSEL1	CKSEL0	REFSEL1	REFSEL0	X	X
Averaging	0	0	1	AVGON	NAVG1	NAVG0	NSCAN1	NSCAN0
Reset	0	0	0	1	$\overline{RESET}$	X	X	X

X = 任意。

Conversionレジスタ

スキャンごとのアクティブなアナログ入力チャネルおよびスキャンモードを選択するには、Conversionレジスタに書込みを行ってください。表2に、チャネルの選択および4つのスキャンモードの詳細を示します。スキャンの要求は、クロックモード10または11の場合はConversionレジスタへの書込みによって行い、クロックモード00または01の場合はCNVST端子へのローのパルスの印加によって行ってください。

CNVSTとして設定されているチャネルについて変換が要求された場合、変換は実行されません。MAX11638/MAX11639では、チャネル8～15について変換を要求しないでください。CHSEL[3:0]に下位のチャネルのバイナリ値を設定してください。

要求された範囲のシングルエンドのチャネル当り1つの結果を返すには、スキャンモード00または01を選択してください。Averagingレジスタ(表4)のNSCAN1およびNSCAN0に応じて1つの入力チャネルを何度もスキャンするには、スキャンモード10を選択してください。1つのチャネルの1つの結果のみを返すには、スキャンモード11を選択してください。

Setupレジスタ

クロック、リファレンス、およびパワーダウンモードを設定するには、Setupレジスタにバイトの書込みを行ってください。表3に、Setupレジスタのビットの詳細を示します。ビット5および4 (CKSEL1およびCKSEL0)は、クロックモード、取得とサンプリング、および変換開始を制御します。ビット3および2 (REFSEL1およびREFSEL0)は、内部または外部リファレンスの使用を制御します。

Averagingレジスタ

ADCの設定によって、要求された個々の結果について最大32のサンプルを平均化し、1つのチャネルのスキャンについて要求される結果の数を個別に制御するには、Averagingレジスタに書込みを行ってください。

表2に、Conversionレジスタで利用可能な4つのスキャンモードの詳細を示します。AVGONビット(Averagingレジスタのビット4)に1が設定されている限り、4つすべてのスキャンモードで平均化が可能です。同一チャネルを複数回スキャンする場合は、スキャンモード10を選択してください。クロックモード11では平均化がディセーブルされます。

Resetレジスタ

FIFOのクリアまたは全レジスタをデフォルト状態にリセットするには、Resetレジスタに(表5に示すように)書込みを行ってください。FIFOをリセットするには、RESETビットに1を設定してください。MAX11638/MAX11639/MAX11642/MAX11643をデフォルトのパワーアップ状態に戻すには、RESETビットに0を設定してください。

表2. Conversionレジスタ*

BIT NAME	BIT	機能
—	7 (MSB)	Conversionレジスタを選択するには1を設定してください。
CHSEL3	6	アナログ入力チャネルの選択。
CHSEL2	5	アナログ入力チャネルの選択。
CHSEL1	4	アナログ入力チャネルの選択。
CHSEL0	3	アナログ入力チャネルの選択。
SCAN1	2	スキャンモードの選択。
SCAN0	1	スキャンモードの選択。
—	0 (LSB)	任意。

*ビットの詳細については以下を参照してください。

CHSEL3	CHSEL2	CHSEL1	CHSEL0	SELECTED CHANNEL (N)
0	0	0	0	AIN0
0	0	0	1	AIN1
0	0	1	0	AIN2
0	0	1	1	AIN3
0	1	0	0	AIN4
0	1	0	1	AIN5
0	1	1	0	AIN6
0	1	1	1	AIN7
1	0	0	0	AIN8
1	0	0	1	AIN9
1	0	1	0	AIN10
1	0	1	1	AIN11
1	1	0	0	AIN12
1	1	0	1	AIN13
1	1	1	0	AIN14
1	1	1	1	AIN15

SCAN1	SCAN0	スキャンモード(チャネルNはCHSEL3～CHSEL0ビットによって選択します)
0	0	チャネル0～Nをスキャンします。
0	1	チャネルNから最大の番号のチャネルまでをスキャンします。
1	0	チャネルNを繰り返しスキャンします。Averagingレジスタで結果の数を設定します。
1	1	スキャンなし。チャネルNを1回のみ変換します。

表3. Setupレジスタ*

BIT NAME	BIT	機能
—	7 (MSB)	Setupレジスタを選択するには0を設定してください。
—	6	Setupレジスタを選択するには1を設定してください。
CKSEL1	5	クロックモードおよび$\overline{\text{CNVST}}$の設定。パワーアップ時に1にリセットされます。
CKSEL0	4	クロックモードおよび$\overline{\text{CNVST}}$の設定。
REFSEL1	3	リファレンスモードの設定。
REFSEL0	2	リファレンスモードの設定。
—	1	任意。
—	0 (LSB)	任意。

*ビットの詳細については以下を参照してください。

CKSEL1	CKSEL0	変換クロック	取得/サンプリング	$\overline{\text{CNVST}}$の設定
0	0	内部	内部タイミング	$\overline{\text{CNVST}}$
0	1	内部	$\overline{\text{CNVST}}$による外部タイミング	$\overline{\text{CNVST}}$
1	0	内部	内部タイミング	AIN15/AIN7
1	1	外部(最大4.8MHz)	SCLKによる外部タイミング	AIN15/AIN7

REFSEL1	REFSEL0	電圧リファレンス	AutoShutdown
0	0	内部	リファレンスはスキャン後にオフ、ウェイクアップ遅延が必要。
0	1	外部シングルエンド	リファレンスはオフ、ウェイクアップ遅延なし。
1	0	内部	リファレンスは常にオン、ウェイクアップ遅延なし。

表4. Averagingレジスタ*

BIT NAME	BIT	機能
—	7 (MSB)	Averagingレジスタを選択するには0を設定してください。
—	6	Averagingレジスタを選択するには0を設定してください。
—	5	Averagingレジスタを選択するには1を設定してください。
AVGON	4	平均化をオンにするには1を設定してください。平均化をオフにするには0を設定してください。
NAVG1	3	1つのチャネルのスキャンでの変換の数を設定します。
NAVG0	2	1つのチャネルのスキャンでの変換の数を設定します。
NSCAN1	1	1つのチャネルのスキャン回数(スキャンモード10のみ)。
NSCAN0	0 (LSB)	1つのチャネルのスキャン回数(スキャンモード10のみ)。

*ビットの詳細については以下を参照してください。

AVGON	NAVG1	NAVG0	機能
0	X	X	要求された個々の結果に対して1回の変換を実行します。
1	0	0	要求された個々の結果に対して4回の変換を実行し、平均を返します。
1	0	1	要求された個々の結果に対して8回の変換を実行し、平均を返します。
1	1	0	要求された個々の結果に対して16回の変換を実行し、平均を返します。
1	1	1	要求された個々の結果に対して32回の変換を実行し、平均を返します。

NSCAN1	NSCAN0	機能(スキャンモード10が選択されている場合にのみ適用)
0	0	チャネルNをスキャンして4つの結果を返します。
0	1	チャネルNをスキャンして8つの結果を返します。
1	0	チャネルNをスキャンして12つの結果を返します。
1	1	チャネルNをスキャンして16つの結果を返します。

表5. Resetレジスタ

BIT NAME	BIT	機能
—	7 (MSB)	Resetレジスタを選択するには0を設定してください。
—	6	Resetレジスタを選択するには0を設定してください。
—	5	Resetレジスタを選択するには0を設定してください。
—	4	Resetレジスタを選択するには1を設定してください。
$\overline{\text{RESET}}$	3	全レジスタをリセットするには0を設定してください。FIFOのみをクリアするには1を設定してください。
X	2	予備。任意。
X	1	予備。任意。
X	0 (LSB)	予備。任意。

パワーアップ時のデフォルト状態

MAX11638/MAX11639/MAX11642/MAX11643は、リファレンスを含む全ブロックがシャットダウンされた状態でパワーアップします。全レジスタは00000000の状態でパワーアップしますが、Setupレジスタは例外であり、クロックモード10 (CKSEL1 = 1)でパワーアップします。

出力データ形式

図4～7は、MAX11638/MAX11639/MAX11642/MAX11643の変換タイミングを示します。8ビットの変換結果はMSBから順に、4つの先行する0の後に10ビットのデータおよび4ビットの後続の0が続く形式で出力されます。DINのデータはSCLKの立上りエッジでシリアルインタフェース内にラッチされます。DOUTのデータは、SCLKの立下りエッジで遷移します。クロックモード00および01での変換は、CNVSTによって開始されます。クロックモード10および11での変換は、入力データバイトをConversionレジスタに書き込むことによって開始されます。データ出力はバイナリです

CNVSTを使用する内部タイミングでの取得および変換

クロックモード00の変換の実行

クロックモード00では、ウェイクアップ、取得、変換、およびシャットダウンというシーケンスがCNVSTを介して開始され、内蔵発振器を使用して自動的に実行されます。結果は内蔵FIFOに追加され、後から読み取ることができます。クロックモード00のタイミングについては、図4を参照してください。

スキャンを開始するには、CNVSTを少なくとも40nsの間ローに設定したあと、再びハイに駆動してください。それによってMAX11638/MAX11639/MAX11642/MAX11643はウェイクアップし、要求された全チャネルをスキャンし、結果をFIFOに保存して、シャットダウンします。スキャン完了後、EOCがローに駆動され、結果はFIFOで利用可能になります。EOCがローになるまで待ってからCSをローに駆動してシリアルインタフェースと通信してください。CSまたはCNVSTが再びローに駆動されるまで、EOCはローのままです。

EOCがローになる前に第2のCNVSTを開始しないでください。その場合、FIFOの内容が破壊される可能性があります。

CNVSTによる外部タイミングでの取得および内部タイミングでの変換

クロックモード01の変換の実行

クロックモード01では、CNVSTを使用して1度に1つの変換が要求され、内蔵発振器を使用して自動的に実行されます。クロックモード01のタイミングについては、図5を参照してください。

CNVSTをローに設定することによって、取得が開始され、ADCがウェイクアップされてトラックモードに移行します。取得を完了させるために、少なくとも1.4μsの間CNVSTをローに保持してください。内部リファレンスのウェイクアップが必要な場合は、内部リファレンスがウェイクアップするためにさらに65μsが必要になります。

変換を開始するには、CNVSTをハイに設定してください。変換の完了後、ADCがシャットダウンしてEOCがローになります。CSまたはCNVSTが再びローに駆動されるまで、EOCはローのままです。EOCがローになるのを待ってから、CSまたはCNVSTをローに駆動してください。

平均化がオンになっている場合、結果がFIFOに書き込まれるためには複数のCNVSTのパルスを実行する必要があります。Averagingレジスタの指定に応じて平均化されたFIFOの結果を生成するための適切な数の変換が実行されたあと、スキャンロジックは自動的にアナログ入力マルチプレクサを次の要求されたチャネルに切り替えます。EOCがローに駆動された時点で、結果がDOUTで利用可能になります。

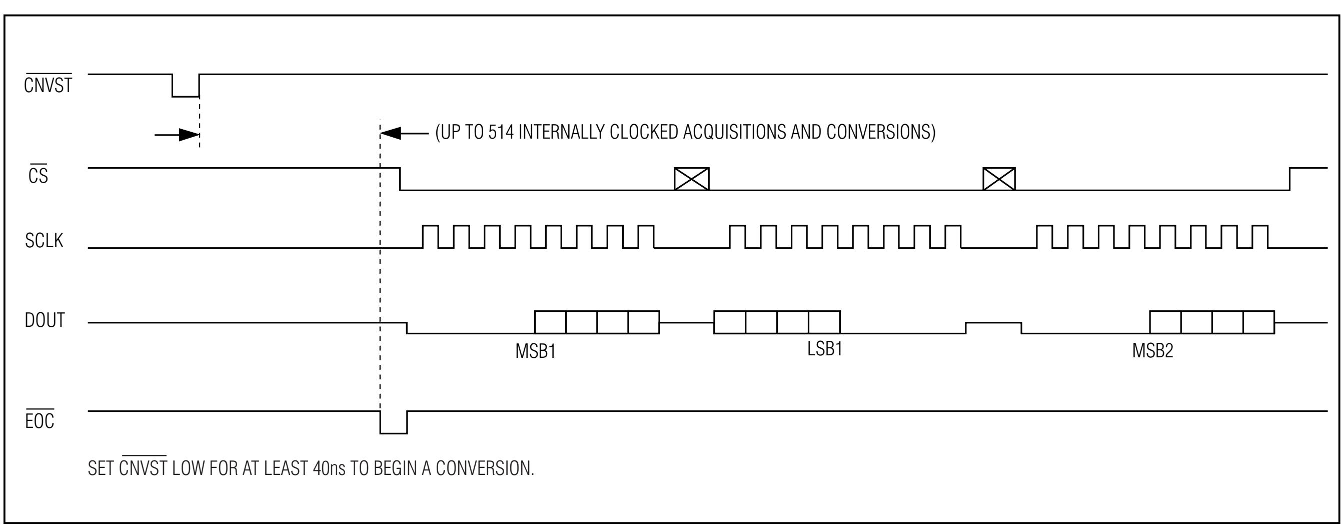


図4. クロックモード00

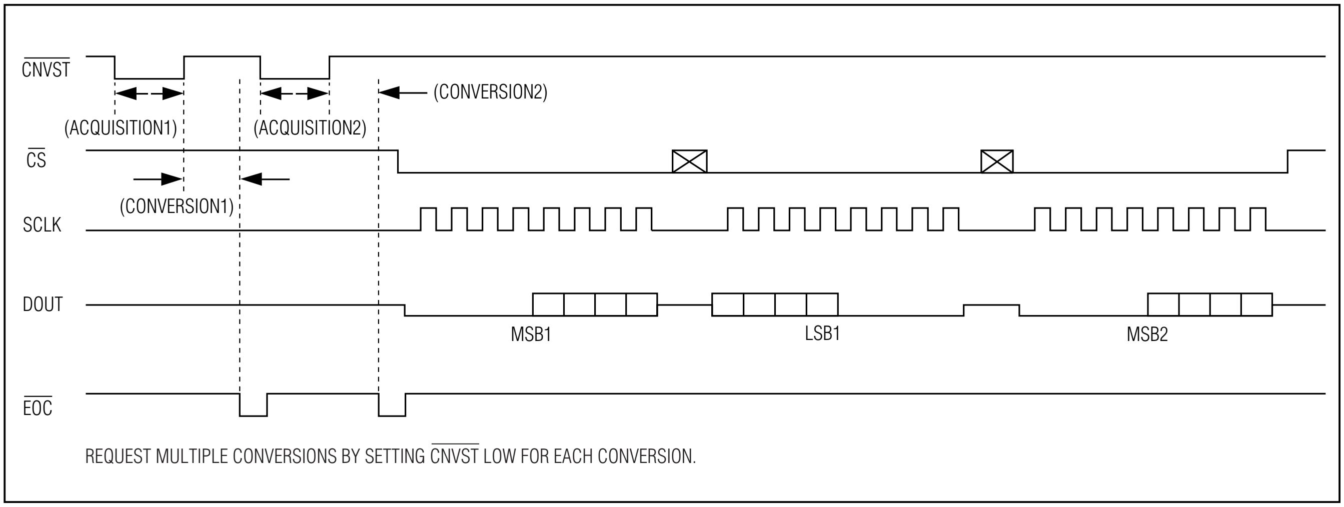


図5. クロックモード01

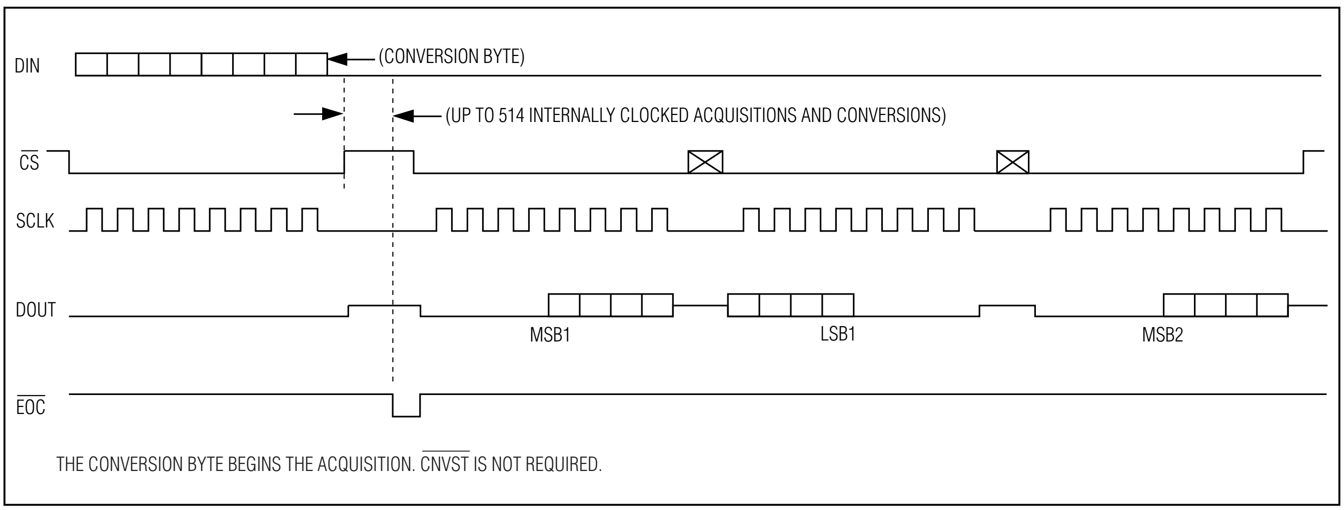


図6. クロックモード10

シリアルインタフェースを使用する内部タイミングでの取得および変換

クロックモード10の変換の実行

クロックモード10では、ウェイクアップ、取得、変換、およびシャットダウンというシーケンスがConversionレジスタへの入力データバイトの書込みによって開始され、内蔵発振器を使用して自動的に実行されます。これはパワーアップ時のデフォルトのクロックモードです。クロックモード10のタイミングについては、図6を参照してください。

Conversionレジスタにバイトを書き込むことによってスキャンを開始してください。それによってMAX11638/MAX11639/MAX11642/MAX11643はパワーアップし、要求された全チャネルをスキャンし、結果をFIFOに保存して、シャットダウンします。スキャン完了後、$\overline{\text{EOC}}$がローに駆動され、結果はFIFOで利用可能になります。$\overline{\text{CS}}$が再びローに駆動されるまで、$\overline{\text{EOC}}$はローのままです。

シリアルインタフェースを使用する外部クロックでの取得および変換

クロックモード11の変換の実行

クロックモード11では、Conversionレジスタへの書込みによって取得および変換が開始され、SCLKを変換クロックとして使用して1度に1つずつ実行されます。スキャンおよび平均化はディセーブルされ、変換結果は変換中にDOUTで利用可能になります。クロックモード11のタイミングについては、図7を参照してください。

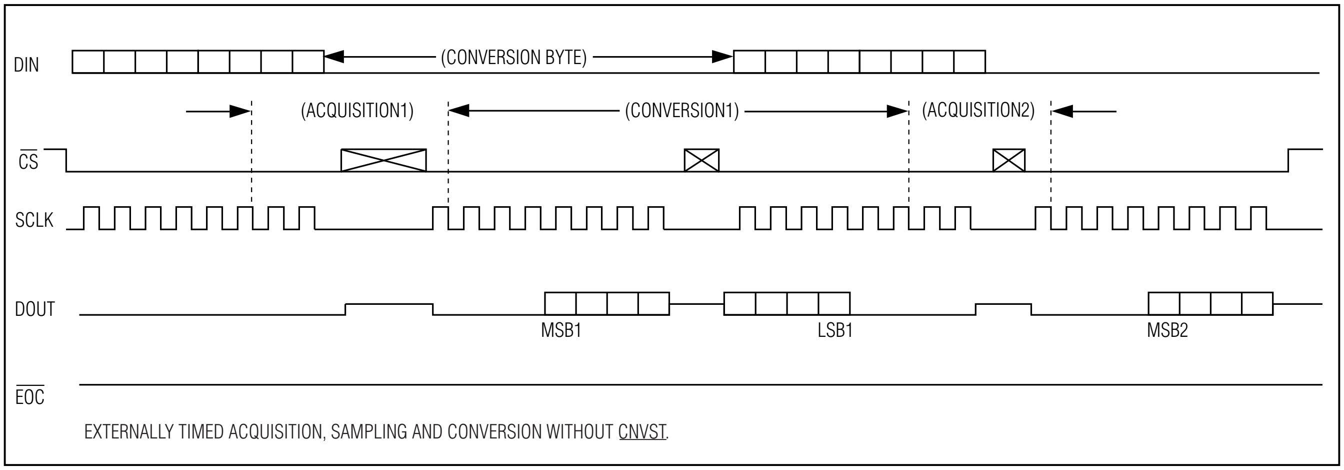


図7. クロックモード11

Conversionレジスタにバイトを書き込み、その後に16のSCLKサイクルを続けることによって変換を開始してください。第8と第9のサイクルの間で$\overline{\text{CS}}$がハイに駆動される場合、パルス幅は100µs以下にする必要があります。変換当り16サイクルで連続して変換を行うには、個々の変換バイトの間に1バイトの0を交互に挟んでください。

リファレンスモード00を要求している場合、取得を延長して内部リファレンスをパワーアップさせるために、変換バイトの書込み後に$\overline{\text{CS}}$をハイにした状態で65µs待ってください。

部分的読取りと部分的書込み

FIFO内のエントリの最初のバイトが部分的に読み取られた場合(8つより少ないSCLKサイクルの後で$\overline{\text{CS}}$がハイに駆動された場合)、読み取られる第2のデータバイトには(b7～b0ではなく)次の8ビットが含まれます。そのエントリの残りのビットは失われます。FIFO内のエントリの最初のバイトが完全に読み取られ、第2のバイトが部分的に読み取られた場合、そのエントリの残りは失われます。FIFO内に残ったデータは破壊されず、先行する4つのビット(通常は0)を無視する限りにおいて、$\overline{\text{CS}}$を再びローにしたあとで正常に読み取ることができます。SPIを介して部分的に書き込まれた内部レジスタには、MSBから部分的書込みが中止された位置まで新しい値が格納されます。書込みが行われていないレジスタの部分には、以前に書き込まれた値が含まれています。$\overline{\text{EOC}}$がローになる前に$\overline{\text{CS}}$がローに駆動された場合、変換を完了することができずFIFOの内容が破壊されます。

伝達関数

図8は、シングルエンド入力のユニポーラ伝達関数を示します。コードの遷移は、連続する整数のLSB値の中間で発生します。出力の符号化はバイナリで、1 LSB = V_{REF}/256です。

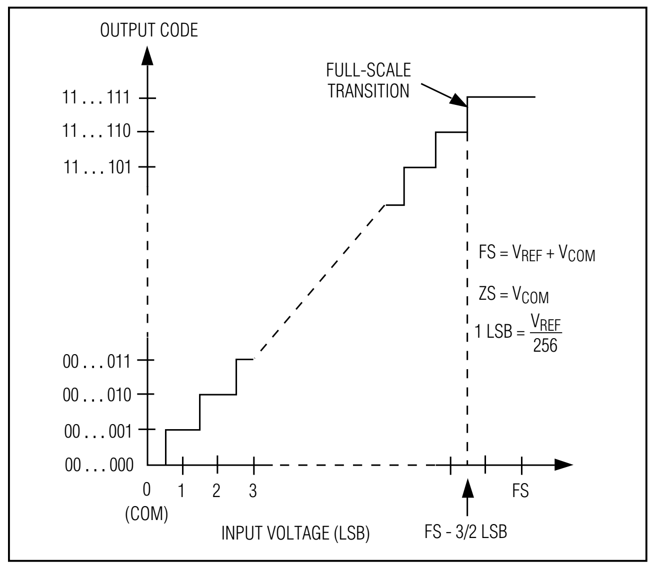


図8. ユニポーラ伝達関数、フルスケール(FS) = V_{REF}

レイアウト、グランド処理、およびバイパス処理

最高の性能を実現するために、PCBを使用してください。ワイヤラッピング基板は使用しないでください。基板レイアウトは、デジタルとアナログの信号ラインが確実に分離されるようにしてください。アナログ信号とデジタル(特にクロック)信号を互いに平行に配線したり、デジタルラインをパッケージの下に配線しないでください。V_{DD}電源の高周波数ノイズは性能に影響する可能性があります。V_{DD}端子の近くに配置した0.1µFのコンデンサで、V_{DD}電源をGNDにバイパスしてください。最高の電源ノイズ除去を実現するために、コンデンサのリード長を最小限に抑えてください。電源のノイズが非常に多い場合は、電源フィルタリングを改善するために10Ωの抵抗を電源と直列に接続してください。

定義

積分非直線性

積分非直線性(INL)は、実際の伝達関数上の値と直線との偏差です。この直線には、最近似直線フィット法またはオフセット誤差および利得誤差の相殺後に伝達関数のエンドポイント間に引いた直線を使用することができます。INLはエンドポイント法を使用して測定されます。

微分非直線性

微分非直線性(DNL)は、1 LSBの実際のステップ幅と理想値との差です。DNL誤差の仕様が1 LSB以下の場合、抜けのないコードおよび単調な伝達関数が保証されます。

アパーチャジッタ

アパーチャジッタ(t_{AJ})は、サンプル間の時間におけるサンプルごとのばらつきです。

アパーチャ遅延

アパーチャ遅延(t_{AD})は、サンプリングクロックの立上りエッジから実際のサンプルが取得される瞬間までの時間です。

信号対雑音比

デジタルサンプルから完全に再構成された波形の場合、信号対雑音比(SN比)はフルスケールのアナログ入力(RMS値)とRMS量子化誤差(残余誤差)との比率です。理想的な、理論上の最小アナログ-デジタル変換ノイズは量子化誤差のみに起因し、ADCの分解能(Nビット)によって直接決定されます。

$$SNR = (6.02 \times N + 1.76)dB$$

実際には、サーマルノイズ、リファレンスノイズ、クロックジッタなど、量子化ノイズ以外にもノイズ源が存在します。そのため、SN比はRMS信号のRMSノイズに対する比率を求めることによって計算され、全スペクトル成分から基本波、最初の5つの高調波、およびDCオフセットを除いたものが含まれます。

信号対ノイズ+歪み

信号対ノイズ+歪み(SINAD)は、基本入力周波数のRMS振幅と他のすべてのADC出力信号の等価RMS値との比率です。

$$SINAD\ (dB) = 20 \times \log\ (Signal_{RMS}/Noise_{RMS})$$

有効ビット数

有効ビット数(ENOB)は、特定の入力周波数およびサンプリングレートにおけるADCのグローバルな精度を示します。理想的なADCの誤差は、量子化ノイズのみによって構成されます。入力範囲がADCのフルスケール範囲に等しい場合、次式によって有効ビット数を計算してください。

$$ENOB = (SINAD - 1.76)/6.02$$

全高調波歪み

全高調波歪み(THD)は、入力信号の最初の5つの高調波のRMS和と基本波自体との比率です。これは、次式で表されます。

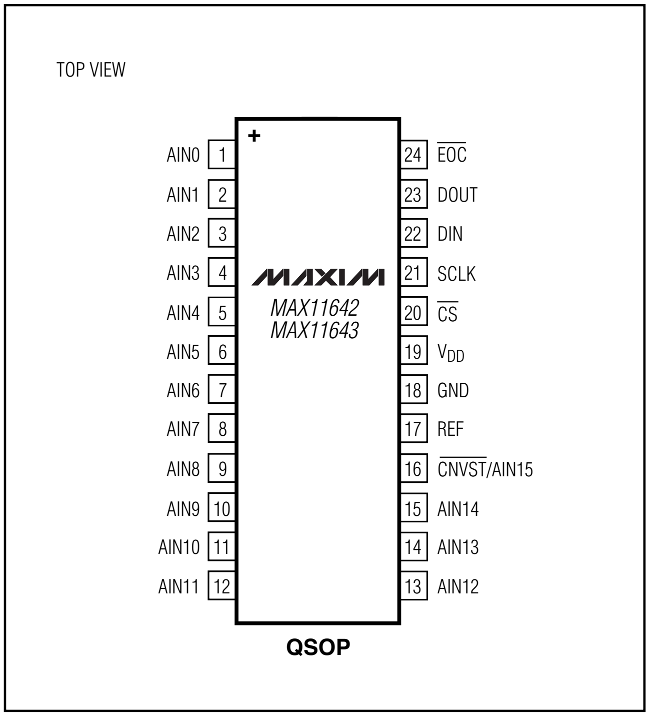
$$THD = 20 \times \log\left(\sqrt{\left(V2^2 + V3^2 + V4^2 + V5^2\right)}/V1\right)$$

ここで、V1は基本波の振幅、V2～V5は2次から5次の高調波の振幅です。

スプリアスフリーダイナミックレンジ

スプリアスフリーダイナミックレンジ(SFDR)は、基本波(最大の信号成分)のRMS振幅と、次に大きな歪み成分のRMS値との比率です。

ピン配置(続き)



チップ情報

PROCESS: BiCMOS

パッケージ

最新のパッケージ図面情報およびランドパターン(フットプリント)は**japan.maxim-ic.com/packages**を参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点を注意してください。

パッケージタイプ	パッケージコード	外形図No.	ランドパターンNo.
16 QSOP	E16+5	21-0055	90-0167
24 QSOP	E24+3	21-0055	90-0172

8ビット、16/8チャネル、300ksps ADC、FIFOおよびリファレンス内蔵

改訂履歴

版数	改訂日	説明	改訂ページ
0	9/11	初版	—

マキシム・ジャパン株式会社　〒141-0032　東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F　TEL: 03-6893-6600