

# マルチチャネル、真の差動入力、シリアル、14ビットADC

MAX1146-MAX1149

## 概要

ローパワー、14ビット、マルチチャネル、アナログ-デジタルコンバータ(ADC)のMAX1146~MAX1149はトラック/ホールド(T/H)、電圧リファレンス、及びクロックを内蔵しています。MAX1146/MAX1148は+4.75V~+5.25Vの単一電源で動作し、MAX1147/MAX1149は+2.7V~+3.6Vの単一電源で動作します。すべてのアナログ入力はソフトウェアによってユニポーラ/バイポーラ及びシングルエンド/差動の動作を選択して構成することができます。

4線式のシリアルインタフェースは、外部にロジックを追加せずに、SPI™/QSPI™/MICROWIRE™のデバイスに直接、接続されます。シリアルストローブ出力(SSTRB)を使うとデジタルシグナルプロセッサに接続することが容易です。MAX1146~MAX1149は逐次比較アナログ-デジタル変換を行うために、内部または外部のシリアルインタフェースクロックを使用します。

MAX1146/MAX1148は+4.096Vのリファレンスを内蔵しており、MAX1147/MAX1149は+2.500Vのリファレンスを内蔵しています。すべてのデバイスは1.5V~V<sub>DD</sub>の外部リファレンスを使用することができます。

MAX1146~MAX1149は1種類のハードウェアシャットダウン及び2種類のソフトウェアパワーダウンモードを備えています。ソフトウェアパワーダウンモードを使うと、変換をしていない間で、このデバイスをパワーダウンとすることができます。パワーダウンしているときは、シリアルインタフェースをアクセスすると、自動的に、このデバイスの電源がオンされます。オンとなる時間が短いため、すべての変換の間でパワーダウンが可能です。この技術を使って高速のターンオンによって、電源電流を120µAよりも小さい値に減らしています。

MAX1146~MAX1149は20ピンTSSOPパッケージで提供されます。

## 型番/選択ガイド

PART	TEMP RANGE	PIN-PACKAGE	INL (LSB)	INPUT CHANNELS	INTERNAL REFERENCE (V)
MAX1146BCUP	0°C to +70°C	20 TSSOP	±2	4	+4.096
MAX1146BEUP	-40°C to +85°C	20 TSSOP	±2	4	+4.096
MAX1147BCUP	0°C to +70°C	20 TSSOP	±2	4	+2.500
MAX1147BEUP	-40°C to +85°C	20 TSSOP	±2	4	+2.500
MAX1148BCUP	0°C to +70°C	20 TSSOP	±2	8	+4.096
MAX1148BEUP	-40°C to +85°C	20 TSSOP	±2	8	+4.096
MAX1149BCUP	0°C to +70°C	20 TSSOP	±2	8	+2.500
MAX1149BEUP	-40°C to +85°C	20 TSSOP	±2	8	+2.500

## アプリケーション

携帯型データロギング  
データ収集  
医療用機器  
バッテリー動作計測器  
プロセス制御

## 特長

- ◆ 8チャンネルシングルエンド、または4チャンネル差動入力 (MAX1148/MAX1149)
- ◆ 4チャンネルシングルエンド、または2チャンネル差動入力 (MAX1146/MAX1147)
- ◆ マルチプレクサとT/Hを内蔵
- ◆ 単一電源動作
  - 4.75V~5.25V電源(MAX1146/MAX1148)
  - 2.7V~3.6V電源(MAX1147/MAX1149)
- ◆ リファレンス内蔵
  - +4.096V(MAX1146/MAX1148)
  - +2.500V(MAX1147/MAX1149)
- ◆ 116kspsのサンプリング速度
- ◆ 低消費電力
  - 1.1mA(116ksps)
  - 120µA(10ksps)
  - 12µA(1ksps)
  - 300nA(パワーダウンモード)
- ◆ SPI/QSPI/MICROWIRE対応
- ◆ 20ピンTSSOP

ピン配置はデータシートの最後に記載されています。

SPI/QSPIはMotorola, Inc.の商標です。  
MICROWIREはNational Semiconductor Corp.の商標です。

# マルチチャネル、真の差動入力、シリアル、14ビットADC

MAX1146-MAX1149

## ABSOLUTE MAXIMUM RATINGS

V <sub>DD</sub> to AGND, DGND	-0.3V to +6.0V
AGND to DGND	-0.3V to +0.3V
CH0-CH7, COM to AGND	-0.3V to (V <sub>DD</sub> + 0.3V)
REF, REFADJ to AGND	-0.3V to (V <sub>DD</sub> + 0.3V)
Digital Inputs to DGND	-0.3V to (V <sub>DD</sub> + 0.3V)
Digital Outputs to DGND	-0.3V to (V <sub>DD</sub> + 0.3V)
Digital Output Sink Current	.25mA

Continuous Power Dissipation (T <sub>A</sub> = +70°C)	20 TSSOP (derate 10.9mW/°C above +70°C)	879mW
Operating Temperature Ranges		
MAX114_BC_		0°C to +70°C
MAX114_BE_		-40°C to +85°C
Storage Temperature Range		-60°C to +150°C
Lead Temperature (soldering, 10s)		+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>DD</sub> = 5V (MAX1146/MAX1148), V<sub>DD</sub> = 3.3V (MAX1147/MAX1149),  $\overline{\text{SHDN}}$  = V<sub>DD</sub>, V<sub>COM</sub> = 0, f<sub>SCLK</sub> = 2.1MHz, external clock (50% duty cycle), 18 clocks/conversion (116ksps), V<sub>REFADJ</sub> = V<sub>DD</sub>, C<sub>REF</sub> = 2.2μF, external +4.096V reference at REF (MAX1146/MAX1148), external 2.500V reference at REF (MAX1147/MAX1149), T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DC ACCURACY (Note 1)</b>						
Resolution			14			Bits
Relative Accuracy (Note 2)	INL			±0.7	±2	LSB
Differential Nonlinearity	DNL	No missing codes over temperature	-1.0	±0.5	+1.5	LSB
Offset Error					±10	LSB
Offset Temperature Coefficient				0.3		ppm/°C
Gain Error		(Note 3)			±20	LSB
Gain Temperature Coefficient				±0.8		ppm/°C
Channel-to-Channel Offset Matching				±1		LSB
Channel-to-Channel Gain Matching				±1		LSB
<b>DYNAMIC SPECIFICATIONS (1kHz sine-wave input, 2.5VP-P, full-scale analog input, 116ksps, 2.1MHz external clock)</b>						
Signal-to-Noise Plus Distortion Ratio	SINAD		77	81		dB
Total Harmonic Distortion	THD	Up to the 5th harmonic		-96	-88	dB
Spurious-Free Dynamic Range	SFDR		84	98		dB
Channel-to-Channel Crosstalk		(Note 4)		-85		dB
Small-Signal Bandwidth	SSBW	-3dB point		3.0		MHz
Full-Power Bandwidth	FPBW	SINAD > 68dB		2.0		MHz
<b>CONVERSION RATE</b>						
Conversion Time (Note 5)	t <sub>CONV</sub>	External clock, 2.1MHz 15 SCLK cycles	7.2			μs
		Internal clock	6		8	

# マルチチャネル、真の差動入力、 シリアル、14ビットADC

MAX1146-MAX1149

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = 5V$  (MAX1146/MAX1148),  $V_{DD} = 3.3V$  (MAX1147/MAX1149),  $\overline{SHDN} = V_{DD}$ ,  $V_{COM} = 0$ ,  $f_{SCLK} = 2.1MHz$ , external clock (50% duty cycle), 18 clocks/conversion (116ksps),  $V_{REFADJ} = V_{DD}$ ,  $C_{REF} = 2.2\mu F$ , external +4.096V reference at REF (MAX1146/MAX1148), external 2.500V reference at REF (MAX1147/MAX1149),  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^{\circ}C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Throughput Rate	$f_{SAMPLE}$	Internal clock mode, 18 clocks/conversion			60.3	ksps
		$f_{SCLK} = 2.1MHz$ , 24 clocks/conversion			51.5	
		External clock mode, 18 clocks/conversion			116.66	
		$f_{SCLK} = 2.1MHz$ , 24 clocks/conversion			87.50	
T/H Acquisition Time	$t_{ACQ}$		1.4			$\mu s$
Aperture Delay	$t_{AD}$			20		ns
Aperture Jitter	$t_{AJ}$			<50		ps
Serial Clock Frequency	$f_{SCLK}$	External clock mode	0.1		2.1	MHz
		Internal clock mode	0		2.1	
Internal Clock Frequency				2.1		MHz
<b>ANALOG INPUTS (CH0—CH7, COM)</b>						
Input Voltage Range, Single-Ended and Differential (Note 6)		Unipolar, COM = 0	0		$V_{REF}$	V
		Bipolar, COM = $V_{REF} / 2$ , single-ended			$\pm V_{REF} / 2$	
Multiplexer Leakage Current		On/off-leakage current, $V_{CH-} = 0$ to $V_{DD}$		$\pm 0.01$	$\pm 1$	$\mu A$
Input Capacitance				18		pF
<b>INTERNAL REFERENCE (<math>C_{REF} = 2.2\mu F</math>, <math>C_{REFADJ} = 0.01\mu F</math>)</b>						
REF Output Voltage	$V_{REF}$	MAX1147/MAX1149, $T_A = +25^{\circ}C$	2.480	2.500	2.520	V
		MAX1146/MAX1148, $T_A = +25^{\circ}C$	4.076	4.096	4.116	
REF Short-Circuit Current	$I_{REFSC}$	REF = DGND			20	mA
$V_{REF}$ Tempco (Note 7)		MAX114_BC_ _ _		$\pm 30$	$\pm 50$	ppm/ $^{\circ}C$
		MAX114_BE_ _ _		$\pm 40$	$\pm 60$	
Load Regulation		0 to 0.2mA output load (Note 8)		2.0		mV
Capacitive Bypass at REF			2			$\mu F$
Capacitive Bypass at REFADJ			0.01			$\mu F$
REFADJ Output Voltage				1.250		V
REFADJ Input Range				$\pm 18$		mV
REFADJ Logic High		Pull REFADJ high to disable the internal bandgap reference and reference buffer	$V_{DD} - 0.25V$			V
Reference Buffer Voltage Gain		MAX1147/MAX1149		2.000		V/V
		MAX1146/MAX1148		3.277		

# マルチチャネル、真の差動入力、 シリアル、14ビットADC

MAX1146-MAX1149

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = 5V$  (MAX1146/MAX1148),  $V_{DD} = 3.3V$  (MAX1147/MAX1149),  $\overline{SHDN} = V_{DD}$ ,  $V_{COM} = 0$ ,  $f_{SCLK} = 2.1MHz$ , external clock (50% duty cycle), 18 clocks/conversion (116ksps),  $V_{REFADJ} = V_{DD}$ ,  $C_{REF} = 2.2\mu F$ , external +4.096V reference at REF (MAX1146/MAX1148), external 2.500V reference at REF (MAX1147/MAX1149),  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^{\circ}C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
<b>EXTERNAL REFERENCE AT REF</b>							
REF Input Voltage Range	$V_{REF}$		1.5		$V_{DD} + 50mV$	V	
REF Input Current	$I_{REF}$			325	450	$\mu A$	
		Shutdown		0.01	10		
REF Input Resistance			6	8		$k\Omega$	
<b>DIGITAL INPUTS (DIN, SCLK, <math>\overline{CS}</math>, <math>\overline{SHDN}</math>)</b>							
Input High Voltage	$V_{IH}$	$V_{DD} < 3.6V$	2.0			V	
		$V_{DD} > 3.6V$	3.0				
Input Low Voltage	$V_{IL}$				0.8	V	
Input Hysteresis	$V_{HYST}$			0.2		V	
Input Leakage	$I_{IN}$				$\pm 1$	$\mu A$	
Input Capacitance	$C_{IN}$			10		pF	
<b>DIGITAL OUTPUT (DOUT, SSTRB)</b>							
Output-Voltage Low	$V_{OL}$	$I_{SINK} = 2mA$			0.4	V	
Output-Voltage High	$V_{OH}$	$I_{SOURCE} = 2mA$	$V_{DD} - 0.5$			V	
Tri-State Leakage Current	$I_L$	$\overline{CS} = V_{DD}$			$\pm 10$	$\mu A$	
Tri-State Output Capacitance	$C_{OUT}$	$\overline{CS} = V_{DD}$		10		pF	
<b>POWER REQUIREMENTS</b>							
Positive Supply Voltage	$V_{DD}$	MAX1147/MAX1149	2.7		3.6	V	
		MAX1146/MAX1148	4.75		5.25		
Supply Current (Note 8)	$I_{DD}$	Normal operation, full-scale input	External reference	116ksps	1.1	1.5	$mA$
				10ksps	0.12		
				1ksps	0.012		
		Internal reference at 116ksps	1.9	2.4	$mA$		
Shutdown Supply Current (Note 8)		Fast power-down		230		$\mu A$	
		Full power-down		0.3			
		$\overline{SHDN} = DGND$		0.3	10		
Power-Supply Rejection (Note 9)	PSR	External reference		$\pm 0.2$		mV	

# マルチチャネル、真の差動入力、 シリアル、14ビットADC

MAX1146-MAX1149

## TIMING CHARACTERISTICS

( $V_{DD} = 4.75V$  to  $5.25V$  (MAX1146/MAX1148),  $V_{DD} = 2.7V$  to  $3.6V$  (MAX1147/MAX1149),  $\overline{SHDN} = V_{DD}$ ,  $V_{COM} = 0$ ,  $f_{SCLK} = 2.1MHz$ , external clock (50% duty cycle), 18 clocks/conversion (116ksps),  $V_{REFADJ} = V_{DD}$ ,  $C_{REF} = 2.2\mu F$ , external +4.096V reference at REF for the MAX1146/MAX1148, external 2.500V reference at REF for the MAX1147/MAX1149,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .) (Figures 1, 2, and 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIN to SCLK Setup Time	$t_{DS}$		50			ns
DIN to SCLK Hold Time	$t_{DH}$		0			ns
SCLK Fall to Output Data Valid	$t_{DOV}$	$C_{LOAD} = 50pF$	10		80	ns
$\overline{CS}$ Fall to DOUT Enable	$t_{DOE}$	$C_{LOAD} = 50pF$			120	ns
$\overline{CS}$ Rise to DOUT Disable	$t_{DOD}$	$C_{LOAD} = 50pF$			120	ns
$\overline{SHDN}$ Rise $\overline{CS}$ Fall to SCLK Rise Time	$t_{CSS}$		50			ns
$\overline{SHDN}$ Rise $\overline{CS}$ Fall to SCLK Rise Hold Time	$t_{CSH}$		50			ns
SCLK Clock Frequency	$f_{SCLK}$	External clock mode	0.1		2.1	MHz
		Internal clock mode	0		2.1	
SCLK Pulse-Width High	$t_{CH}$	Internal clock mode	100			ns
SCLK Pulse-Width Low	$t_{CL}$	Internal clock mode	100			ns
$\overline{CS}$ Fall to SSTRB Output Enable	$t_{STE}$	External clock mode only			120	ns
$\overline{CS}$ Rise to SSTRB Output Disable	$t_{STD}$	External clock mode only			120	ns
SSTRB Rise to SCLK Rise	$t_{SCK}$	Internal clock mode only		0		ns
SCLK Fall to SSTRB Edge	$t_{SCST}$				80	ns
$\overline{CS}$ Pulse Width	$t_{CSW}$		100			ns

**Note 1:** Tested at  $V_{DD} = 3.0V$  (MAX1147/MAX1149) or  $5.0V$  (MAX1146/MAX1148);  $V_{COM} = 0$ ; unipolar single-ended input mode.

**Note 2:** Relative accuracy is the deviation of the analog value at any code from its theoretical value after the full-scale range has been calibrated.

**Note 3:** Offset nulled. Measured with external reference.

**Note 4:** "On" channel grounded; full-scale 1kHz sine wave applied to all "off" channels.

**Note 5:** Conversion time defined as the number of clock cycles multiplied by the clock period; clock has 50% duty cycle. (See Figures 8–11.)

**Note 6:** The common-mode range for the analog inputs is from AGND to  $V_{DD}$ .

**Note 7:** Digital inputs equal  $V_{DD}$  or DGND.

**Note 8:** External load should not change during conversion for specified accuracy.

**Note 9:** Measured as  $(V_{FS} \times 3.6V) - (V_{FS} \times 2.7V)$  for the MAX1147/MAX1149 and  $(V_{FS} \times 5.25V) - (V_{FS} \times 4.75V)$  for the MAX1146/MAX1148.  $V_{DD} = 3.6V$  to  $2.7V$  for MAX1147/MAX1149 and  $V_{DD} = 5.25V$  to  $4.75V$  for the MAX1146/MAX1148.

# マルチチャネル、真の差動入力、 シリアル、14ビットADC

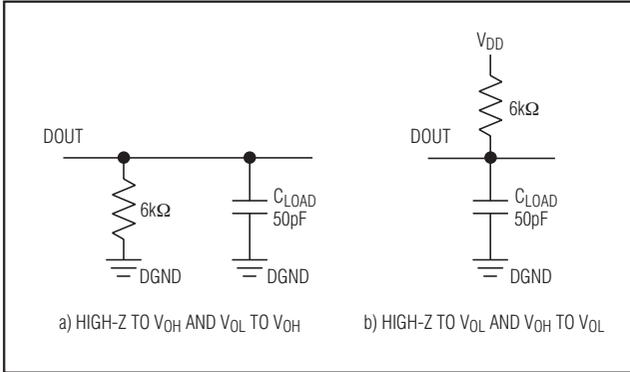


図1. イネーブル時間の測定用負荷回路

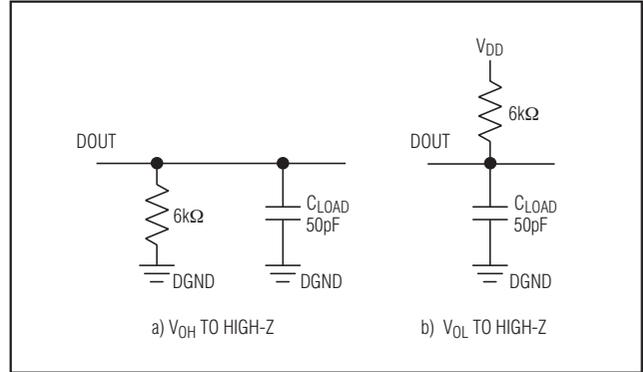


図2. デイセーブル時間の測定用負荷回路

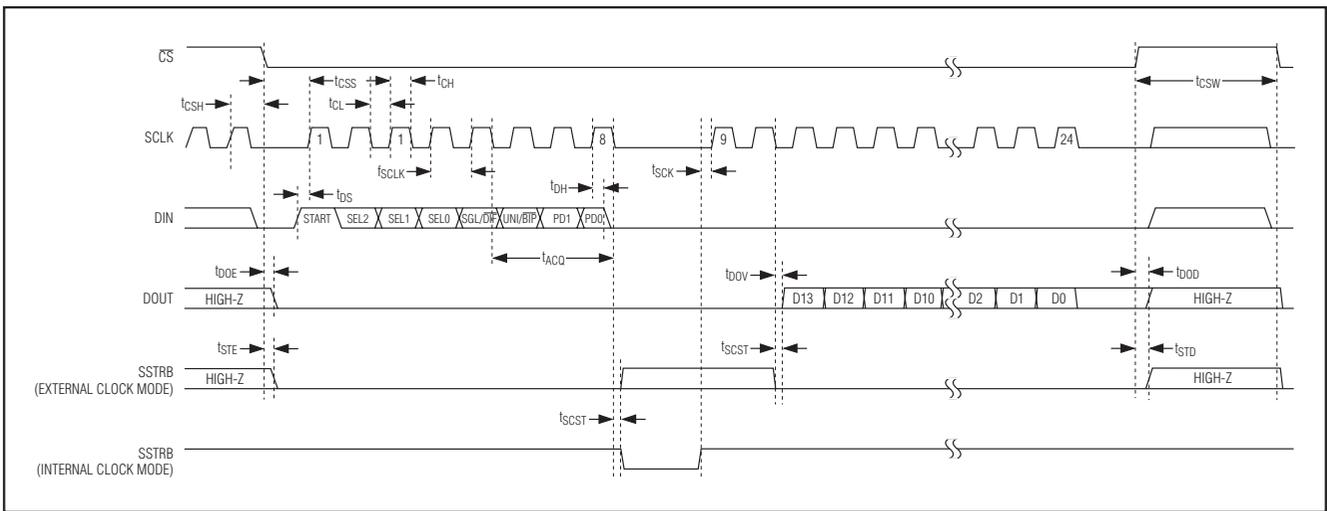


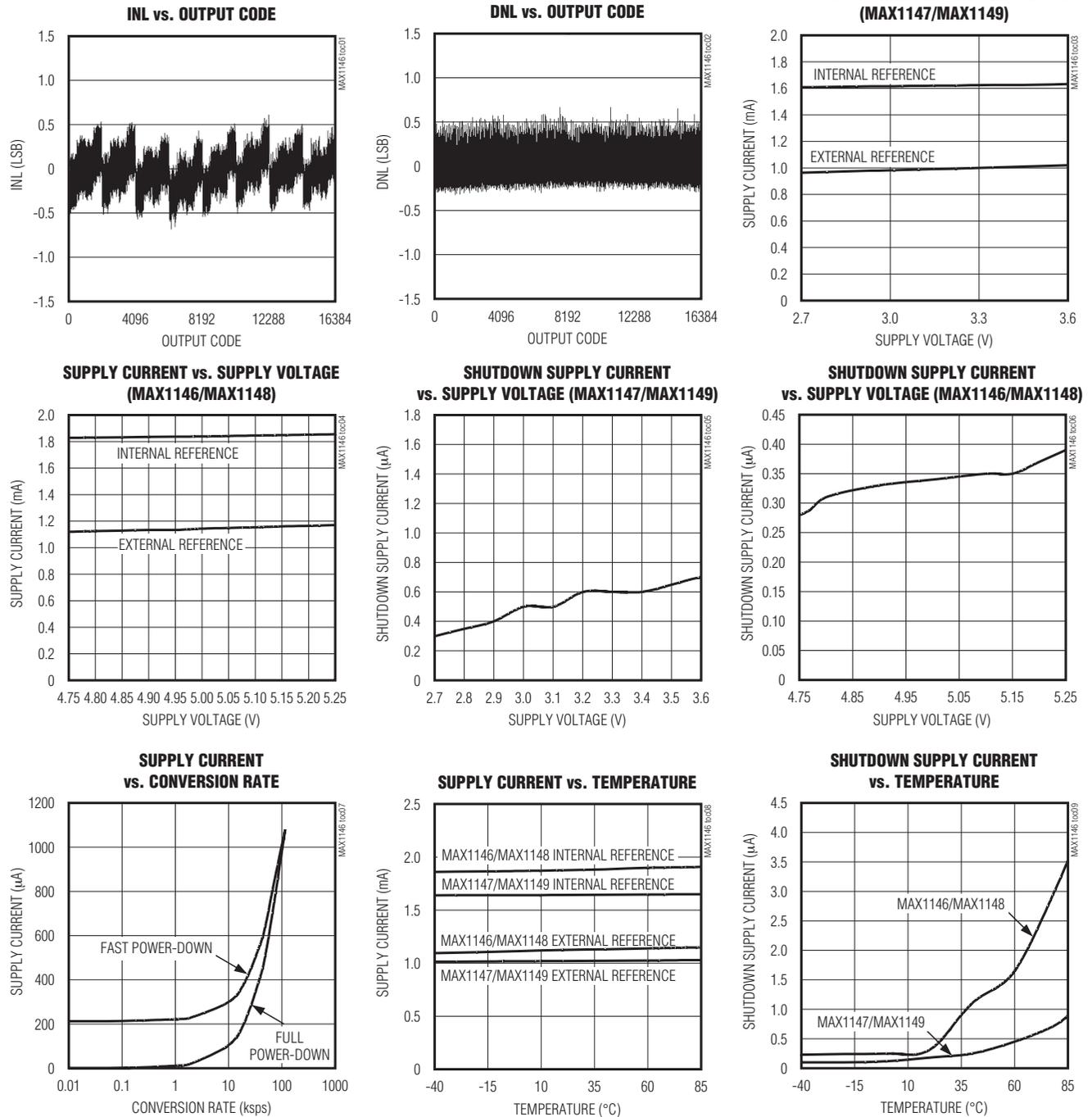
図3. 詳細動作特性

# マルチチャネル、真の差動入力、シリアル、14ビットADC

MAX1146-MAX1149

## 標準動作特性

( $V_{DD} = +5.0V$  (MAX1146/MAX1148),  $V_{DD} = +3.3V$  (MAX1147/MAX1149),  $\overline{SHDN} = V_{DD}$ ,  $V_{COM} = 0$ ,  $f_{SCLK} = 2.1MHz$ , external clock (50% duty cycle), 18 clocks/conversion (116ksps),  $V_{REFADJ} = V_{DD}$ , external +4.096V reference at REF (MAX1146/MAX1148), external +2.500V reference at REF (MAX1147/MAX1149),  $C_{REF} = 2.2\mu F$ ,  $C_{LOAD} = 50pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

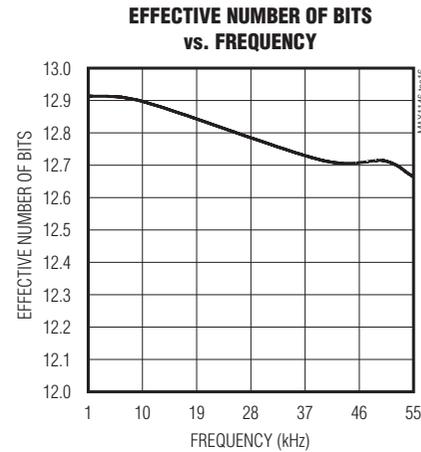
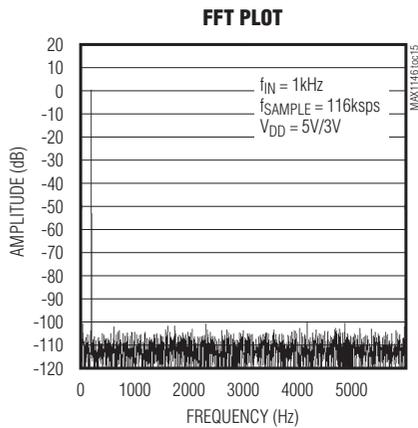
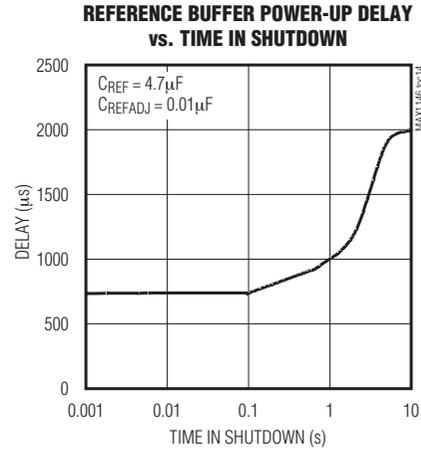
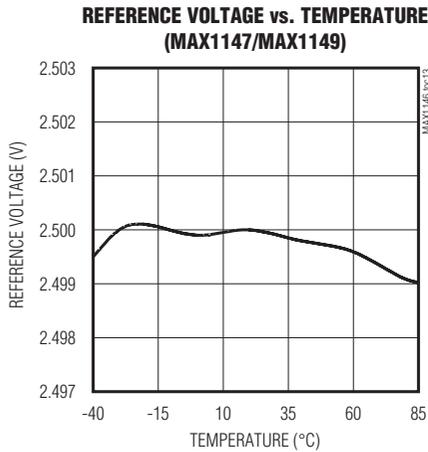
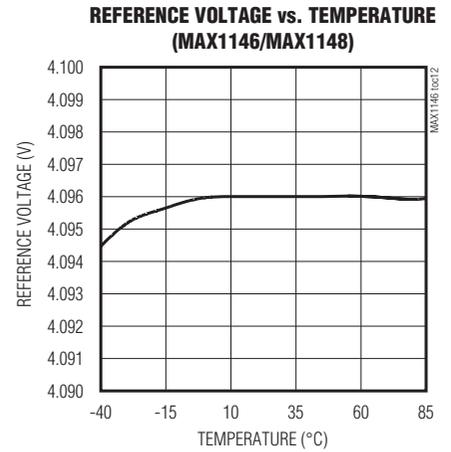
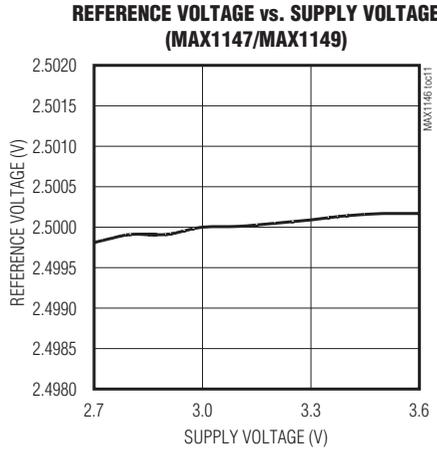
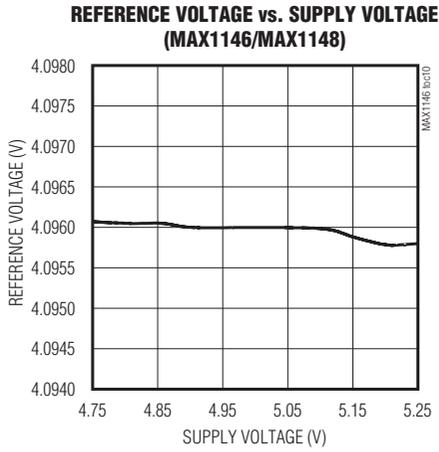


# マルチチャネル、真の差動入力、 シリアル、14ビットADC

MAX1146-MAX1149

## 標準動作特性(続き)

( $V_{DD} = +5.0V$  (MAX1146/MAX1148),  $V_{DD} = +3.3V$  (MAX1147/MAX1149),  $\overline{SHDN} = V_{DD}$ ,  $V_{COM} = 0$ ,  $f_{SCLK} = 2.1MHz$ , external clock (50% duty cycle), 18 clocks/conversion (116ksps),  $V_{REFADJ} = V_{DD}$ , external +4.096V reference at REF (MAX1146/MAX1148), external +2.500V reference at REF (MAX1147/MAX1149),  $C_{REF} = 2.2\mu F$ ,  $C_{LOAD} = 50pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

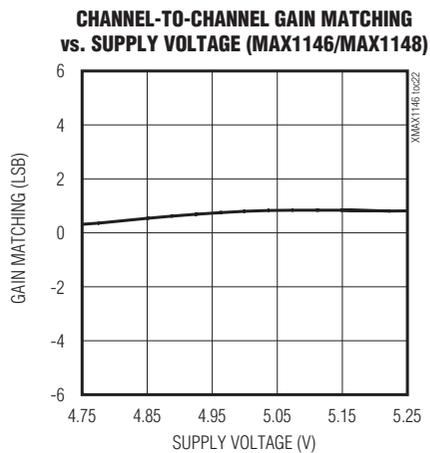
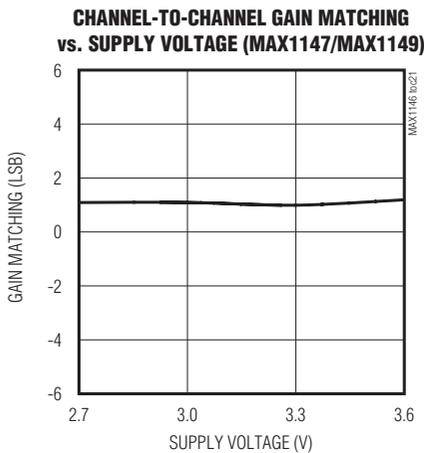
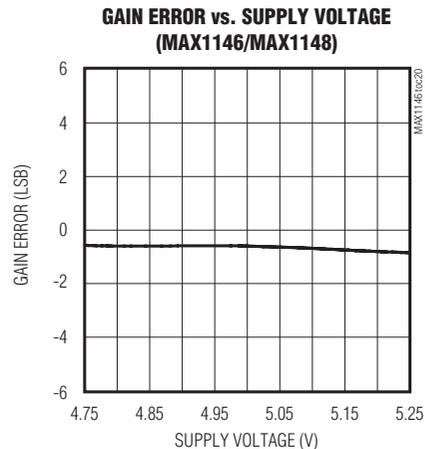
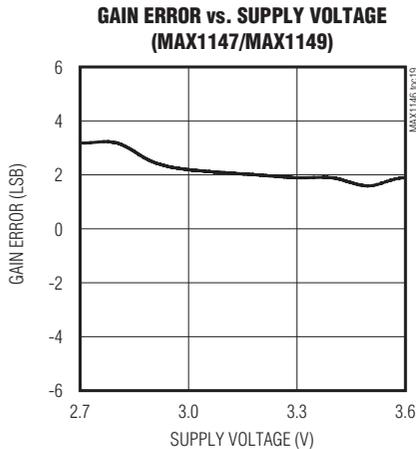
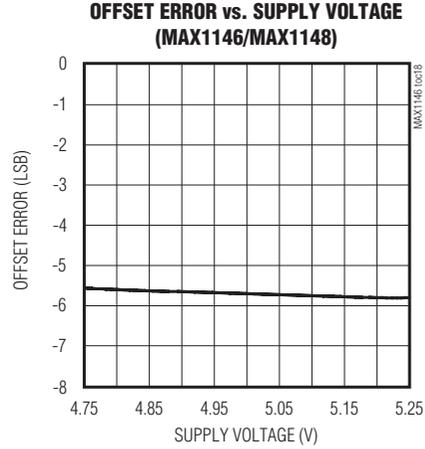
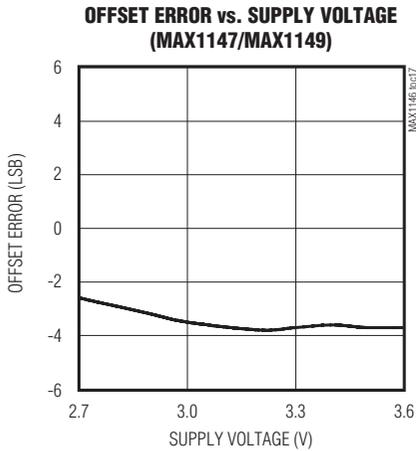


# マルチチャネル、真の差動入力、 シリアル、14ビットADC

MAX1146-MAX1149

## 標準動作特性(続き)

( $V_{DD} = +5.0V$  (MAX1146/MAX1148),  $V_{DD} = +3.3V$  (MAX1147/MAX1149),  $\overline{SHDN} = V_{DD}$ ,  $V_{COM} = 0$ ,  $f_{SCLK} = 2.1MHz$ , external clock (50% duty cycle), 18 clocks/conversion (116ksps),  $V_{REFADJ} = V_{DD}$ , external +4.096V reference at REF (MAX1146/MAX1148), external +2.500V reference at REF (MAX1147/MAX1149),  $C_{REF} = 2.2\mu F$ ,  $C_{LOAD} = 50pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

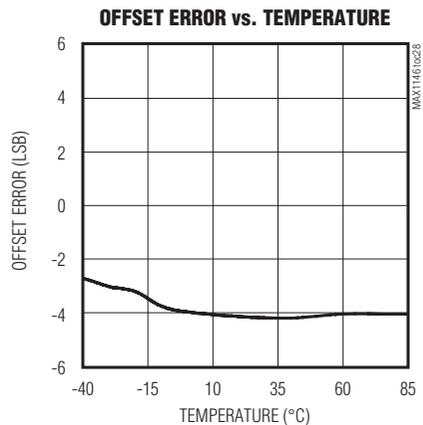
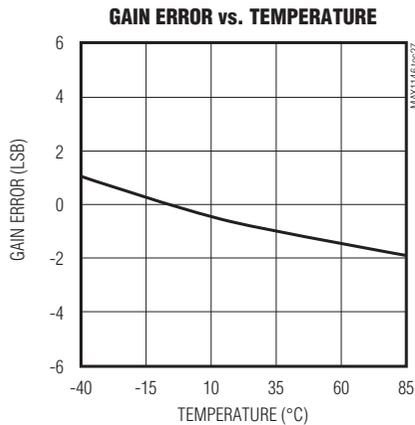
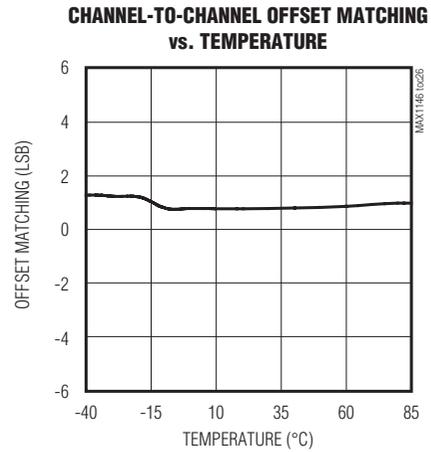
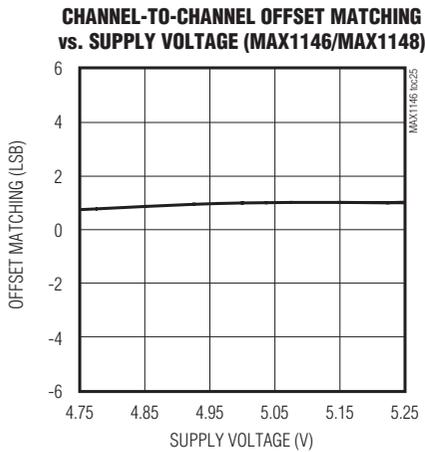
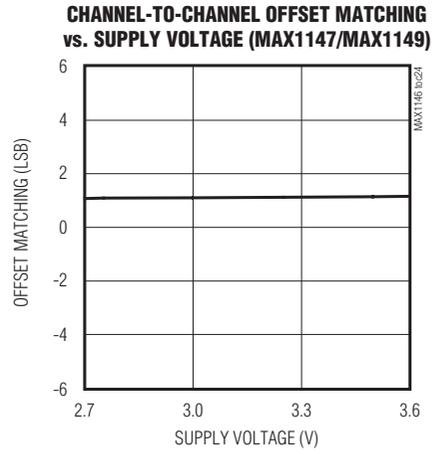
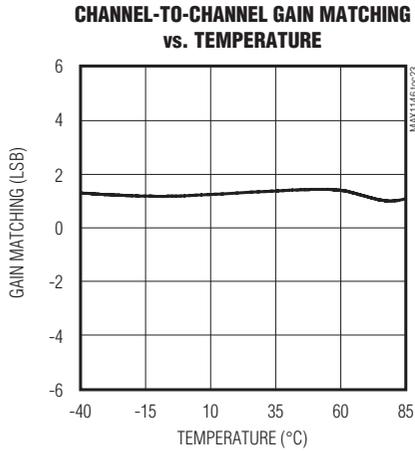


# マルチチャネル、真の差動入力、 シリアル、14ビットADC

MAX1146-MAX1149

## 標準動作特性(続き)

( $V_{DD} = +5.0V$  (MAX1146/MAX1148),  $V_{DD} = +3.3V$  (MAX1147/MAX1149),  $\overline{SHDN} = V_{DD}$ ,  $V_{COM} = 0$ ,  $f_{SCLK} = 2.1MHz$ , external clock (50% duty cycle), 18 clocks/conversion (116ksps),  $V_{REFADJ} = V_{DD}$ , external +4.096V reference at REF (MAX1146/MAX1148), external +2.500V reference at REF (MAX1147/MAX1149),  $C_{REF} = 2.2\mu F$ ,  $C_{LOAD} = 50pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)



# マルチチャネル、真の差動入力、 シリアル、14ビットADC

MAX1146-MAX1149

## 端子説明

端子		名称	機能
MAX1148 MAX1149	MAX1146 MAX1147		
1	1	CH0	アナログ入力。
2	2	CH1	
3	3	CH2	
4	4	CH3	
5	—	CH4	
6	—	CH5	
7	—	CH6	
8	—	CH7	
9	9	COM	共通入力。シングルエンドモードにおける負のアナログ入力。ユニポーラまたはバイポーラモードにおいてCOMはゼロコードとなる電圧を設定します。
10	10	$\overline{\text{SHDN}}$	アクティブローのシャットダウン入力。 $\overline{\text{SHDN}}$ をロー状態に強制するとデバイスをシャットダウンし、電源電流を0.2 $\mu\text{A}$ に低減します。シャットダウン入力をハイに駆動するとデバイスをイネーブルにします。
11	11	REF	リファレンスバッファ出力/ADCリファレンス入力。アナログ-デジタル変換のリファレンス電圧。内部リファレンスモードでは、MAX1146/MAX1148の $V_{\text{REF}}$ は+4.096Vであり、MAX1147/MAX1149の $V_{\text{REF}}$ では+2.500Vです。
12	12	REFADJ	バンドギャップリファレンス及びリファレンスバッファ入力。0.01 $\mu\text{F}$ のコンデンサでAGNDにバイパスしてください。RFEADJを $V_{\text{DD}}$ に接続すると内蔵のバンドギャップリファレンスとリファレンスバッファアンプがディセーブルされます。
13	13	AGND	アナロググランド。
14	14	DGND	デジタルグランド。
15	15	DOUT	シリアルデータ出力。 $\overline{\text{CS}}$ をローとすると、データはSCLKの立下りエッジでクロック同期出力されます。 $\overline{\text{CS}}$ をハイにするとDOUTはハイインピーダンスとなります。
16	16	SSTRB	シリアルストローブ出力。内部クロックモードで、SSTRBはADC変換が始まるとローとなり、変換が終了すると、ハイになります。外部クロックモードでは、SSTRBはMSBが決定される前の2クロックの間、ハイになります。 $\overline{\text{CS}}$ がハイのとき(外部クロックモード)、SSTRBはハイインピーダンスとなります。
17	17	DIN	シリアルデータ入力。データは $\overline{\text{CS}}$ がローのとき、SCLKの立上りエッジでクロック同期入力されます。 $\overline{\text{CS}}$ がハイのとき、DINはハイインピーダンスです。
18	18	$\overline{\text{CS}}$	アクティブローのチップセレクト。 $\overline{\text{CS}}$ をローとしなければ、データはDINにクロック同期入力されません。 $\overline{\text{CS}}$ をハイとすると、DOUTはハイインピーダンスとなります。
19	19	SCLK	シリアルクロック入力。この入力により、シリアルインタフェースによるデータをクロック同期入出力し、また、外部クロックモードの場合に変換速度を設定します(デューティサイクルは40%~60%でなければなりません)。
20	20	$V_{\text{DD}}$	正の電源電圧。0.1 $\mu\text{F}$ のコンデンサにより、AGNDにバイパスしてください。
—	5-8	N.C.	接続なし。内部で接続されていません。

# マルチチャネル、真の差動入力、シリアル、14ビットADC

## 詳細

MAX1146~MAX1149のADCはアナログ信号を14ビットのデジタル出力に変換するために、逐次比較変換技術及び入力T/H回路を使用します。柔軟なシリアルインタフェースはマイクロプロセッサ(μP)との容易なインタフェースを提供します。図4は標準動作回路を示し、また、図5はMAX1148/MAX1149のファンクションダイアグラムを示しています。

## 真の差動アナログ入力及びトラック/ホールド

MAX1146~MAX1149のアナログ入力の構造はアナログ入力マルチプレクサ(MUX)、2個のT/Hコンデンサ、T/Hスイッチ、コンパレータ、及び2個のスイッチトキャパシタ・デジタル-アナログコンバータ(DAC)を持っています(図6)。

シングルエンドモードでは、アナログ入力MUXは、選択された入力チャネルにIN+を、COMにIN-を接続します。差動モードでは、IN+とIN-はCH0/CH1などの選択された

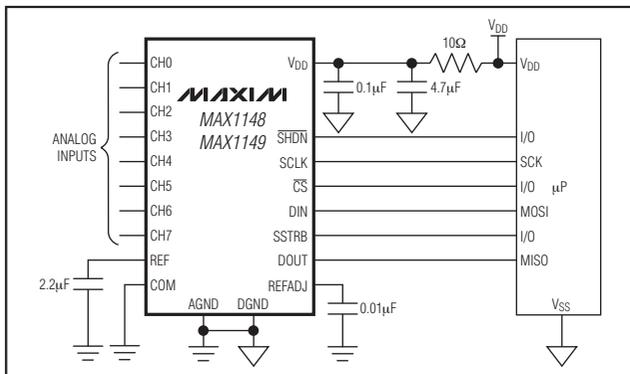


図4. 標準動作回路

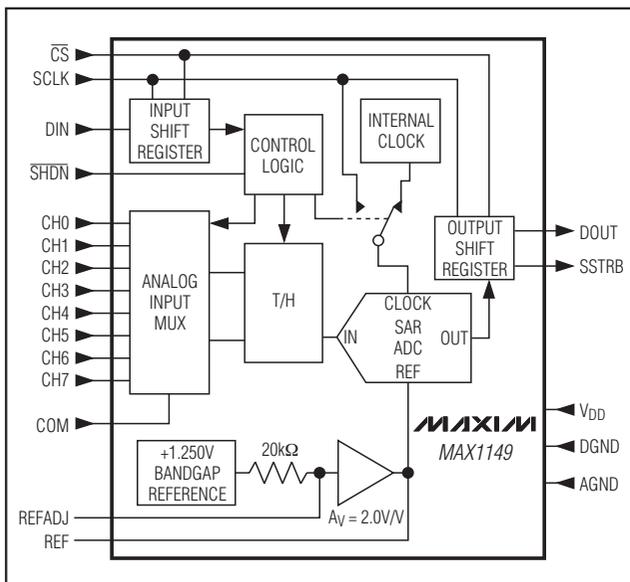


図5. ファンクションダイアグラム

アナログ入力ペアに接続されます。アナログ入力チャネルを表1~表5に従って接続してください。

アナログ入力マルチプレクサはコントロールバイトの5番目のSCLK立下りエッジで、選択されたチャネルに切り替えます。この時刻において、T/Hスイッチはトラックの位置にあり、 $C_{T/H+}$ と $C_{T/H-}$ はアナログ入力信号にトラックします。コントロールバイトの8番目のSCLK立下りエッジでMUXはオープンとなり、T/Hスイッチはホールド位置に切り替わって、 $C_{T/H+}$ と $C_{T/H-}$ 上の電荷は入力信号のサンプル値として保持されます。入力MUXとT/Hスイッチの位置については図8~図11を参照してください。

変換の期間において、スイッチトキャパシタDACは14ビット分解能の範囲でコンパレータの入力電圧が0になるように調整されます。この動作には15個の変換クロックサイクルを必要とし、これは $18\text{pF} \times (V_{IN+} - V_{IN-})$ の電荷を $C_{T/H+}$ と $C_{T/H-}$ から2進荷重キャパシタDACに変換することに相当し、このことにより、アナログ入力信号をデジタル表現に変換します。

変換の後、T/Hスイッチはホールド位置からトラックの位置に移り、MUXスイッチは最新の指定されたチャネルに切り替えます。内部クロックモードでは、変換はSSTRBの上りエッジで完了します。外部クロックモードでは、変換はSCLKの18番目の立下りクロックで完了します。

T/Hが入力信号を獲得するために要する時間はアナログ入力の信号源インピーダンスの関数となります。入力信号の信号源インピーダンスが大きいと、獲得時間が長くなります。MAX1146~MAX1149は入力信号を表す電荷をT/H容量が獲得するために、3 SCLKサイクル( $t_{ACQ}$ )を用意し、これは標準的には、コントロールワードの最後の3 SCLKとなります。入力の信号源インピーダンス( $R_{SOURCE}$ )はこの割り当てられた時間でT/H容量を充電するように最小化されなければなりません。

$$t_{ACQ} = 11.5 \times (R_{SOURCE} + R_{IN}) \times C_{IN}$$

ここで、 $R_{SOURCE}$ はアナログ入力の信号源インピーダンスであり、 $R_{IN}$ は $2.6\text{k}\Omega$ (この値はアナログ入力MUXとT/Hスイッチの抵抗の和です)であり、 $C_{IN}$ は $18\text{pF}$ (これは $C_{T/H+}$ 、 $C_{T/H-}$ 、及び入力浮遊容量の和です)です。

より大きい信号源インピーダンスの場合のサンプリングエラーを最小化するためには、アナログ入力とAGNDの間に $100\text{pF}$ のコンデンサを接続してください。この入力容量は入力のACインピーダンスを低下させますが、信号源インピーダンスと共にRCフィルタを形成し、アナログ入力の帯域幅を制限します。さらに大きい信号源インピーダンスの場合は、MAX4430のようなバッファアンプを使用してアナログ入力信号の完全性を維持してください。

# マルチチャネル、真の差動入力、シリアル、14ビットADC

MAX1146-MAX1149

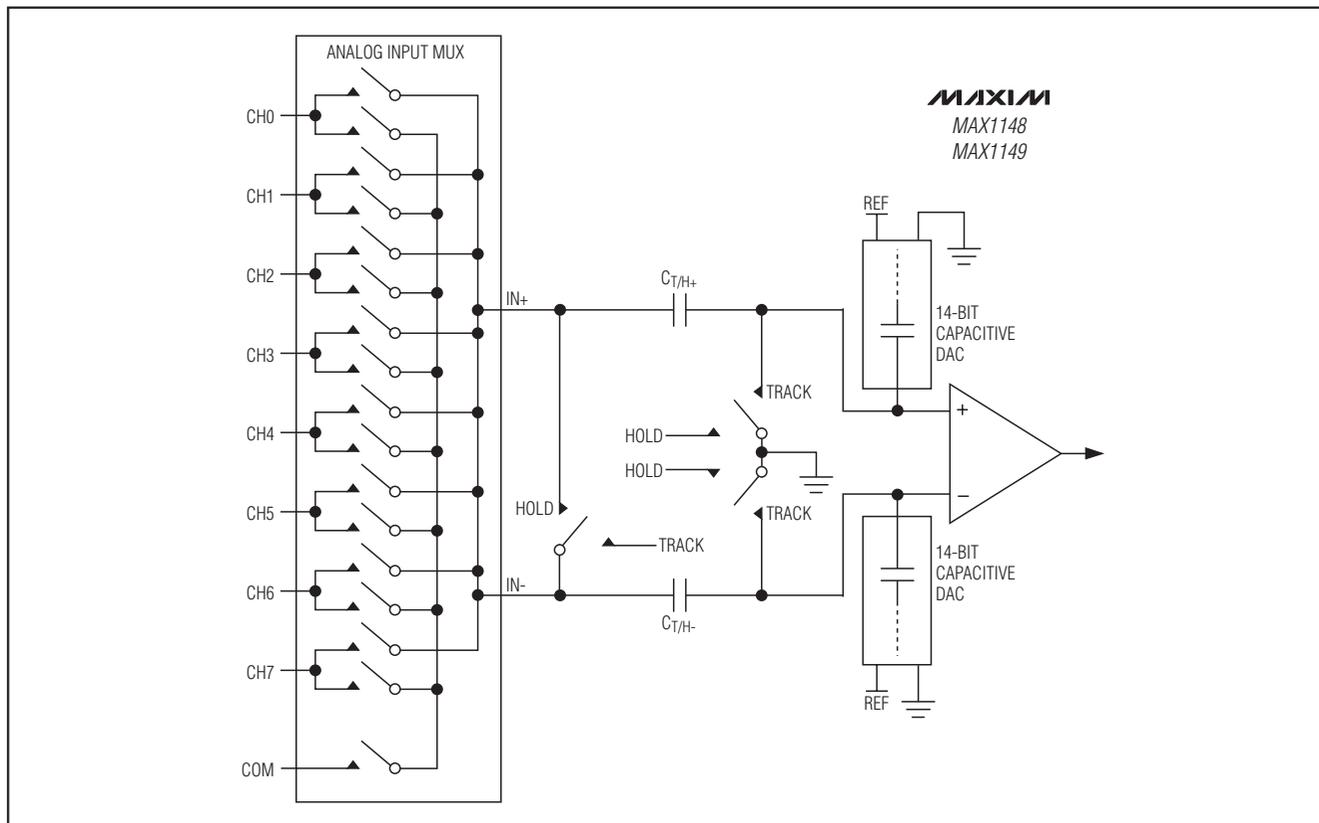


図6. 等価入力回路

## 入力帯域幅

MAX1146~MAX1149は3.0MHzの帯域幅を持つ入力トラッキング回路を備えています。3.0MHzの帯域幅により高速の過渡事象をデジタル化し、アンダーサンプリング技術を使うことによってADCのサンプリング速度を超える帯域幅を持つ、周期的信号を測定することができます。対象とする周波数帯域内に高周波信号がエイリアスされることを防ぐためにはアンチエイリアスフィルタを推奨します。

## アナログ入力の保護

内蔵の保護ダイオード(複数)がアナログ入力を $V_{DD}$ 及びAGNDにクランプします。これらのダイオードは、デバイスに損傷を与えることなく、アナログ入力電圧が $(AGND - 0.3V) \sim (V_{DD} + 0.3V)$ の振幅となることを可能とします。正確な変換のためには、入力はAGNDよりも50mVを超えて下回るか、または $V_{DD}$ よりも50mVを超えて上回ってはいけません。

注：もし、アナログ入力が電源レールよりも50mVを越える値で大きくなったら、電流は2mAに制限されます。

## クイックルック

MAX1148/MAX1149を短時間で評価する場合は図7の回路を使用してください。MAX1148/MAX1149は、各変換を行う前にSCLKを用いてDINにコントロールバイトを書き込む必要があります。DINを $V_{DD}$ に接続してSCLKにクロックを入力すると、コントロールバイトには\$FF HEXが入力されます(表1を参照)。外部クロックモードとして、変換間の電源断を行わないようにし、CH7を使うシングルエンドでユニポーラの変換をトリガしてください。外部クロック入力モードでは、14ビット変換結果のMSBがDOUTにシフト出力される前に2クロック期間、SSTRBがパルス出力されます。CH7へのアナログ入力を変化させると、DOUTから出力されるビットシーケンスが変わります。1変換ごとに合計18クロックサイクルが必要です(図10)。SSTRBとDOUTのすべての遷移はSCLKの立下りエッジで起こります。

# マルチチャネル、真の差動入力、 シリアル、14ビットADC

MAX1146-MAX1149

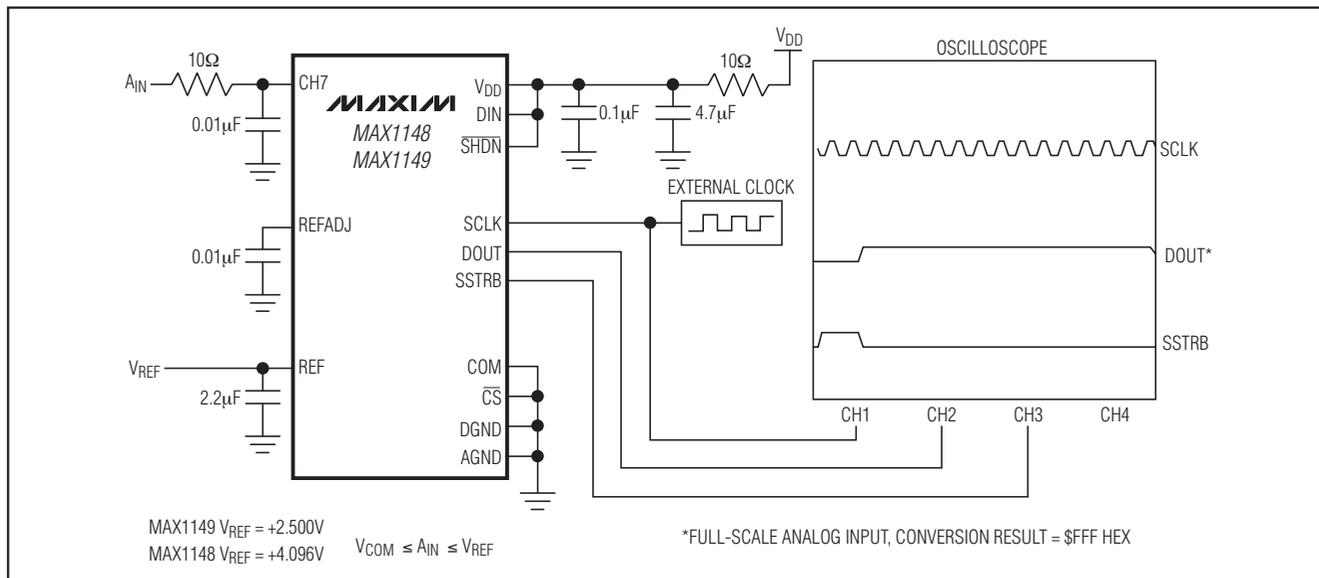


図7. クイックルック用回路

表1. コントロールバイトのフォーマット

BIT	NAME	DESCRIPTION
7 (MSB)	START	Start bit. The first logic 1 bit after $\overline{CS}$ goes low defines the beginning of the control byte.
6	SEL2	Channel-select bits. The channel-select bits select which of the eight channels are used for the conversion (Tables 2, 3, 4, and 5).
5	SEL1	
4	SEL0	
3	SGL/ $\overline{DIF}$	1 = single ended, 0 = differential. Selects single-ended or differential conversions. In single-ended mode, input signal voltages are referred to COM. In differential mode, the voltage difference between two channels is measured.
2	UNI/ $\overline{BIP}$	1 = unipolar, 0 = bipolar. Selects unipolar or bipolar conversion mode. In unipolar mode, connect COM to AGND to perform conversion from 0 to $V_{REF}$ . In bipolar mode, connect COM to $V_{REF}/2$ to perform conversion from 0 to $V_{REF}$ . See Table 7.
1	PD1	Selects clock and power-down modes. PD1 = 0 and PD0 = 0 selects full power-down mode*. PD1 = 0 and PD0 = 1 selects fast power-down mode*.
0 (LSB)	PD0	PD1 = 1 and PD0 = 0 selects internal clock mode. PD1 = 1 and PD0 = 1 selects external clock mode.

\* スタートビットはパワーダウンモードをリセットします。

# マルチチャンネル、真の差動入力、 シリアル、14ビットADC

表2. シングルエンドモード(SGL/DIF = 1)におけるMAX1148/MAX1149のチャンネル選択表

SEL2	SEL1	SEL0	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7	COM
0	0	0	+								-
1	0	0		+							-
0	0	1			+						-
1	0	1				+					-
0	1	0					+				-
1	1	0						+			-
0	1	1							+		-
1	1	1								+	-

表3. 差動モード(SGL/DIF = 0)におけるMAX1148/MAX1149のチャンネル選択表

SEL2	SEL1	SEL0	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
0	0	0	+	-						
0	0	1			+	-				
0	1	0					+	-		
0	1	1							+	-
1	0	0	-	+						
1	0	1			-	+				
1	1	0					-	+		
1	1	1							-	+

表4. シングルエンドモード(SGL/DIF = 1)におけるMAX1146/MAX1147のチャンネル選択表

SEL2	SEL1	SEL0	CH0	CH1	CH2	CH3	COM
0	0	0	+				-
1	0	0		+			-
0	0	1			+		-
1	0	1				+	-

表5. 差動モード(SGL/DIF = 0)におけるMAX1146/MAX1147のチャンネル選択表

SEL2	SEL1	SEL0	CH0	CH1	CH2	CH3
0	0	0	+	-		
0	0	1			+	-
1	0	0	-	+		
1	0	1			-	+

## 電源オンリセット

電源が最初に印加されたとき、内部の電源オンリセット回路はMAX1146~MAX1149を内部クロックモードとして起動し、SSTRBをハイとしてMAX1146~MAX1149を変換待機状態にします。電源が安定するまで変換を行ってはなりません。 $\overline{CS}$ をローとした状態では、DINに表れる最初の論理1はスタートビットと解釈されます。変換が行われるまで、DOOUTはゼロをシフト出力します。

## 変換の開始

コントロールバイトをDINにクロック同期入力して変換を開始してください。 $\overline{CS}$ をローとすると、SCLKの立上りエッジはDINからの1ビットをMAX1146~MAX1149の内部シフトレジスタにラッチします。 $\overline{CS}$ がローとなった後は、最初の論理1がコントロールバイトのMSB

を決定します。このスタートパルスが到来するまでは、DINに論理0のビットを何個入力しても無効です。表1はコントロールバイトのフォーマットを示しています。MAX1146~MAX1149はSPI/QSPI及びMICROWIREのデバイスに対応しています。SPIの場合は、SPIコントロールレジスタのクロック極性とサンプリングエッジを正しく選択してください。CPOL = 0及びCPHA = 0と設定してください。MICROWIRE、SPI、及びQSPIは1バイトの送信と1バイトの受信を同時に行います。「標準動作回路」(図4)を用いると、最も簡単なソフトウェアインタフェースでは、1回の変換を実行するために3回の8ビット転送のみを必要とします(ADCを構成するために8ビットを転送し、14ビットの変換結果をクロック出力するためにさらに2個の8ビット転送を行います)。

# マルチチャネル、真の差動入力、シリアル、14ビットADC

## デジタル出力

ユニポーラ入力モードでは、デジタル出力はストレートバイナリです(図14)。バイポーラ入力モードでは、デジタル出力は2の補数形式です(図15)。データはMSBを先頭としてSCLKの立下りエッジでクロック同期出力されます。

## クロックモード

MAX1146~MAX1149は逐次比較変換を行うために外部クロックまたは内部クロックのどちらでも使用することができます。外部クロックはMAX1146~MAX1149のデータをシフト入力及びシフト出力するために使われます。

外部クロックモードでは最高のスループット速度(116ksps)及び0.1MHz~2.1MHzのシリアルクロック入力を可能とします。内部クロックモードは最良のノイズ性能を備えています。それは、変換の間、デジタルインタフェースをアイドル状態とすることができるからです。内部クロックモードではシリアルクロックの周波数範囲を0MHz~2.1MHzとすることができます。内部クロックモードではCPUが変換を要求し、変換結果をクロックに同期してCPUに返すことを可能とします。

コントロールバイトのビットPD1及びPD0はクロック及びパワーダウンモードを設定するために使われます。MAX1146~MAX1149はすべての回路をアクティブにして内部クロックモードで起動します。図8~図11は使用可能なクロックモードを示しています。

## 外部クロックモード

外部クロックモードでは、外部クロックはデータをシフト入力及び出力するだけでなく、アナログ-デジタル変換を駆動します。SSTRBはコントロールバイトの最後のビットの後で2クロック期間、パルス出力します。逐次比較ビットはその次の14個のSCLKの各立下りエッジで決定されて、DOUTに表れます(図8と10)。SSTRB

及びDOUTはCSがハイとなると、ハイインピーダンス状態に移行します。

シリアルクロック周波数が100kHzを下回るか、またはシリアルクロックの割込みによって、変換間隔が140 $\mu$ sを超える場合は内部クロックモードを使用してください。変換を140 $\mu$ s以内に終了しないと、T/H容量の電圧低下が変換結果を悪化させます。

## 内部クロック

内部クロックモードに構成された場合は、MAX1146~MAX1149は内部の変換クロックを生成します。このため、 $\mu$ PはSAR用の変換クロック供給の仕事から解放され、最高2.1MHzまでの任意のクロックを使って、マイクロプロセッサの都合で変換結果を読み取ることができます。SSTRBは変換の開始でローとなり、変換が終了すると、ハイになります。SSTRBは最大8.0 $\mu$ sの間、ローとなり、その間、SCLKは最良のノイズ性能を得るためにロー状態となります。

変換が行われている間、内部のレジスタはデータを蓄積します。変換が終了した後は、いつでもSCLKはこのレジスタからデータをクロック同期出力させることができます。SSTRBがハイとなった後、2番目のSCLKクロックの立下りエッジで、変換のMSBがDOUTに表れ、残りのビットはMSBを先頭とする形式で続きます(図9と11)。

最も正確に変換を行うためには、MAX1146~MAX1149のデジタルI/Oは、内部のクロックの変換期間( $t_{CONV}$ )は非アクティブとしてください。変換の間はCSはハイにしてはなりません。CSをハイにすると、そのときの変換は中止されます。次の開始ビットが認識されることを保証するために、DINに18個のゼロをクロック同期入力してください。内部クロックモードが選択された場合は、CSがハイになったとき、SSTRBはハイインピーダンス状態にはなりません。SSTRBの立上りエッジはMAX1146~MAX1149が変換を終了したことを示します。 $\mu$ Pは、その後、いつでも、変換結果を読み取ることができます。

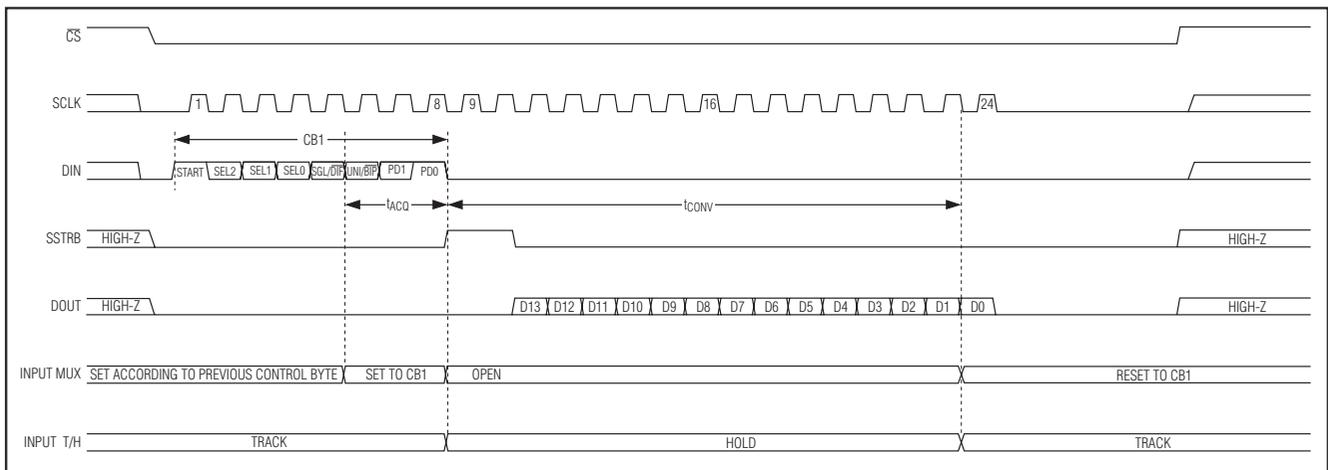


図8. 外部クロックモード：24個のクロック/変換タイミング

# マルチチャネル、真の差動入力、 シリアル、14ビットADC

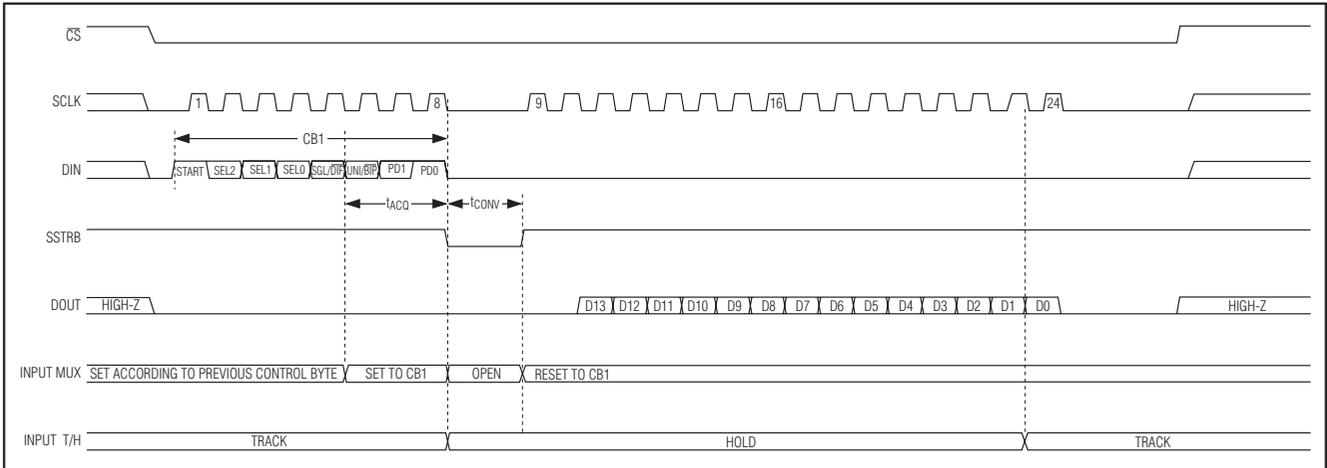


図9. 内部クロックモードのタイミング：24個のクロック/変換タイミング

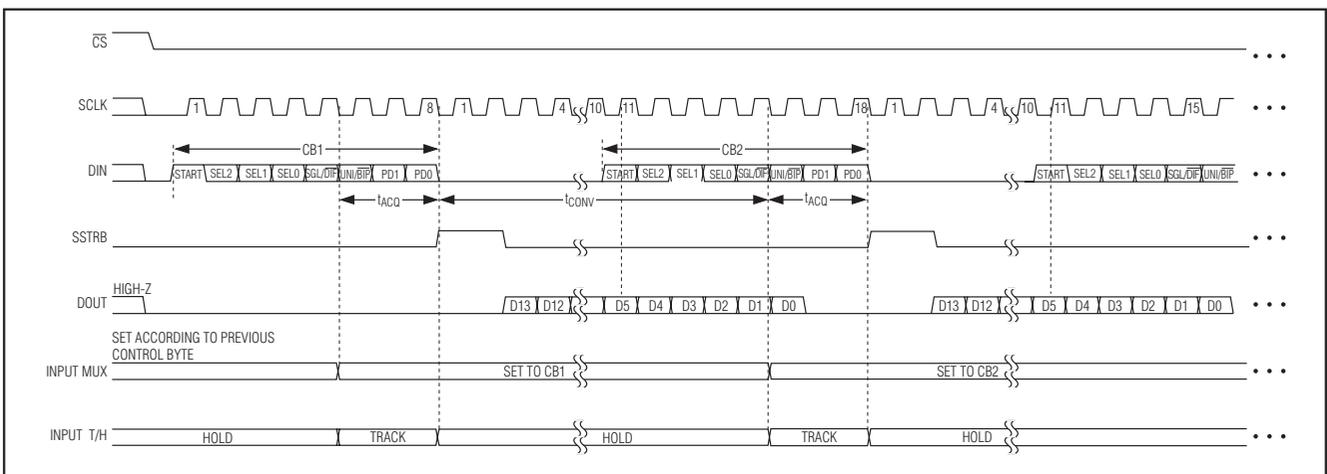


図10. 外部クロックモード：18個のクロック/変換タイミング

## アプリケーション情報

### アイドルモード

すべての変換ビットがクロック同期出力されるか、または18個のゼロがDINにクロック同期入力されれば、デバイスはアイドル状態と考えられます。

### スタートビット

$\overline{CS}$ の立下りエッジのみでは変換を開始することができません。 $\overline{CS}$ をローにした状態でDINに入力される最初のロジックハイはスタートとして認識され、これがコントロールバイトの最初のビットとして決定されます。デバイスはスタートビットが認識された後、SCLKの5番目の立下りエッジでトラックを開始します。変換はコントロールバイトの最後のビットがクロック同期入力されているとき、SCLKの8番目の立下りエッジで開始されます。スタートビットは次のように決定されます：

1) コンバータがアイドル状態になっている任意のとき、 $\overline{CS}$ をローとしてDINに最初のハイビットがクロック同期入力される。

または、

2) 変換中のビット5がDOUTにクロック同期出力された後の最初のハイビットがDINにクロック同期入力される(図10及び11)。

進行中の変換が完了する前に $\overline{CS}$ をトグルすると、その変換は中止されて出力レジスタはクリアされます。

変換と変換の間で $\overline{CS}$ をローに保持したままで、MAX1146~MAX1149を最高速度で動作させることできるのは、1変換当たり、18クロックです。図10と11は18 SCLKサイクルで変換を行うために必要とするシリアルインタフェースタイミングを示しています。

# マルチチャネル、真の差動入力、シリアル、14ビットADC

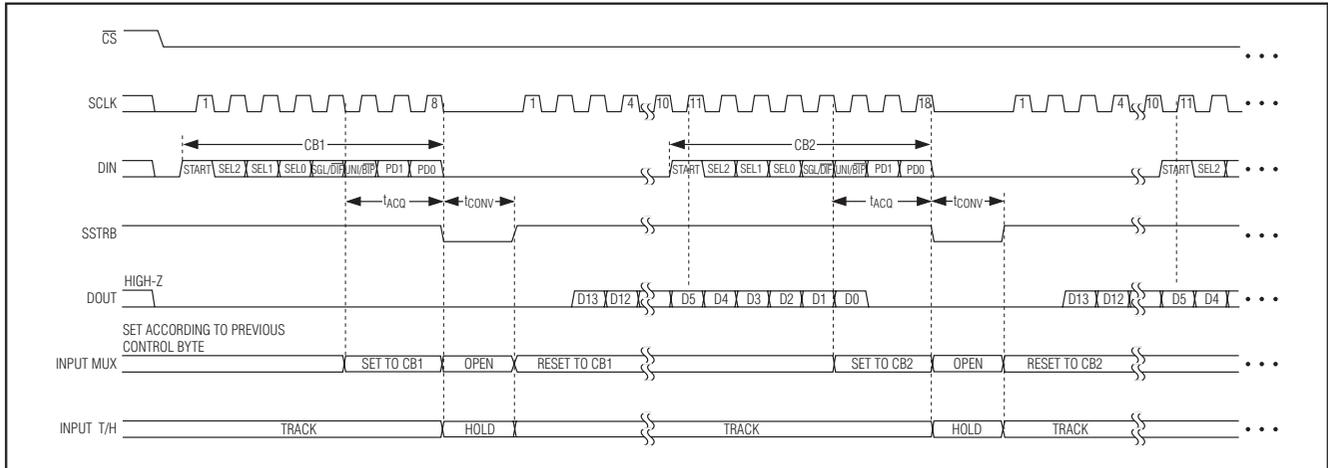


図11. 内部クロックモード：18個のクロック/変換タイミング

## シャットダウン及びパワーダウンモード

MAX1146~MAX1149は1種類のハードウェアシャットダウンと2種類のソフトウェアパワーダウンモードを備えています。

SHDNをロー状態に強制すると、コンバータはハードウェアシャットダウンモードとなります。すると、変換はすぐに終了し、電源電流は300nAに減少します。内部リファレンスバッファを使用する場合は、シングルエンドモード(SGL/DIF=1)の場合、 $C_{REFADJ} = 0.01\mu\text{F}$ 、 $C_{REF} = 2.2\mu\text{F}$ とすると、デバイスが起動するまでに2msを要します。 $C_{REFADJ}$ 及び $C_{REF}$ に、さらに大きいコンデンサを使用すると、起動時間が増加します(表6)。外部リファレンスを使用する場合は、高速のパワーダウンからデバイスが起動するまでにウェイクアップ時間は必要ではありません。

ソフトウェアによるパワーダウンモードは、コントロールバイトのPD1とPD0ビットによって選択してください(表1)。進行中の変換が完了したとき、ソフトウェアパワーダウンモードが開始されます。このとき、シリアルインタフェースはアクティブの状態のままであり、最後の変換結果をシフト出力することができます。完全なパワーダウンモードでは、シリアルインタフェースのみが動作を維持し、電源電流は300nAに減少します。

表6. バイパスコンデンサの値と内蔵リファレンスバッファの立上り時間との関係

$C_{REFADJ}^*$	$C_{REF}$	POWER-UP TIMES FROM AN EXTENDED POWER-DOWN
0.01 $\mu\text{F}$	4.7 $\mu\text{F}$	2ms
0.1 $\mu\text{F}$	10 $\mu\text{F}$	25ms

\* 立上り時間は $C_{REFADJ}$ によって、ほぼ決まります。

高速パワーダウンモードでは、バンドギャップリファレンスとシリアルインタフェースのみが動作を維持し、電源電流は230 $\mu\text{A}$ に減少します。外部リファレンスを用いた場合、高速パワーダウン電流は120 $\mu\text{A}$ になります。

MAX1146~MAX1149はコントロールバイトのスタートビットを受け取るとソフトウェアパワーダウンモードから自動的にウェイクアップします(表1)。内蔵のリファレンスバッファが使われており、 $C_{REFADJ} = 0.01\mu\text{F}$ で $C_{REF} = 2.2\mu\text{F}$ の場合は、デバイスが起動するのに2msを要します。 $C_{REFADJ}$ と $C_{REF}$ のコンデンサの値を大きくすると、起動時間が増加します(表6)。外部リファレンスを使用する場合は、高速のパワーダウンからデバイスが起動するまでにウェイクアップの時間は必要ではありません。

## リファレンス電圧

MAX1146~MAX1149は内蔵リファレンスまたは外部リファレンスを使って動作させることができます。リファレンス電圧がADCの入力範囲を決定します。リファレンスがフルスケールの出力値を決定します(表7)。

## 内部リファレンス

MAX1146~MAX1149は1.250Vのバンドギャップリファレンスを内蔵しています。このバンドギャップリファレンスは20k $\Omega$ の抵抗器を通してREFADJに接続されています。REFADJは0.01 $\mu\text{F}$ のコンデンサでAGNDにバイパスしてください。MAX1146/MAX1148のリファレンスバッファは3.277V/Vの利得を持ち、4.096VをREFに供給します。MAX1147/MAX1149のリファレンスバッファは2.000V/Vの利得を持ち、REFに+2.500Vを供給します。内蔵リファレンスを使用する場合は、REFは最低2.2 $\mu\text{F}$ のコンデンサでAGNDにバイパスしてください。

# マルチチャネル、真の差動入力、シリアル、14ビットADC

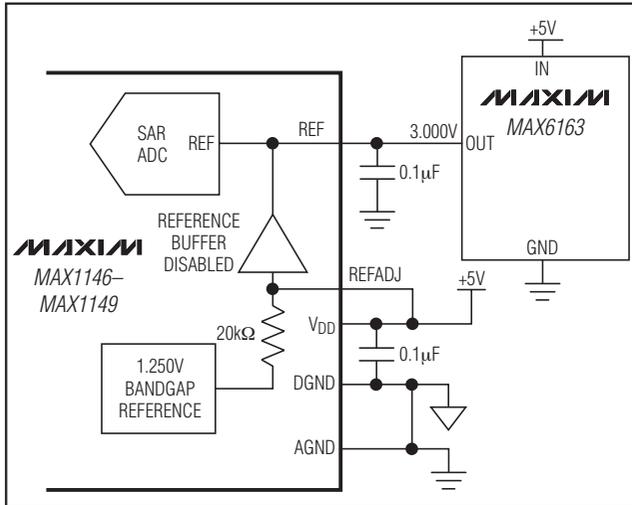


図12. REFに印加された外部リファレンス

## 外部リファレンス

外部リファレンスはMAX1146~MAX1149に対して2通りの方法で印加することができます：

- 1) REFADJをV<sub>DD</sub>に接続して内部リファレンスバッファをディセーブルとし、外部リファレンスをREFに印加する(図12)。
- 2) 外部リファレンスをREFADJに印加して内蔵リファレンスバッファを使用する(図13)。

方法1では1.5V~V<sub>DD</sub>+50mVの外部リファレンスを直接印加することができます。REFの入力インピーダンスは標準値で10kΩです。変換期間中、REFに接続された外部リファレンスは最大210μAを供給しなければならず、出カインピーダンスは10Ω以下とする必要があります。出カインピーダンスを改善するためには、0.1μFのコンデンサでREFをAGNDにバイパスしてください。

方法2は外部リファレンスの負荷を軽減するために内蔵のリファレンスバッファを使用します。REFADJの入カインピーダンスは標準値で20kΩです。変換期間中、REFADJに接続された外部リファレンスは最低100μAを供給し、出カインピーダンスは100Ω以下としなければなりません。MAX1146/MAX1148のリファレンス

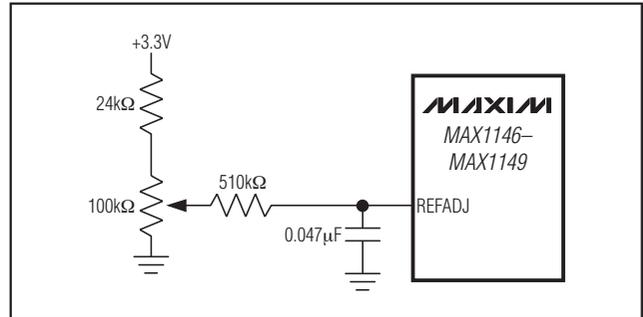


図13. リファレンス調整回路

バッファは3.277V/Vの利得、MAX1147/MAX1149は2.000V/Vの利得を持っています。リファレンスバッファの利得と外部リファレンス電圧(REFADJ)を乗算したものがSAR ADCのリファレンス電圧となります。このリファレンスはREFに出力されて、その値は1.5V~V<sub>DD</sub>+50mVでなければなりません。REFADJは0.01μFのコンデンサで、REFは2.2μFのコンデンサでAGNDにバイパスしてください。

## 伝達関数

表7はユニポーラ及びバイポーラモードに対するフルスケール電圧範囲を示しています。

MAX1146~MAX1149に対する出力データの符号化方式は1LSB = (V<sub>REF</sub>/2<sup>N</sup>)として、ユニポーラモードでは2進であり、バイポーラモードでは2の補数形式です。ここで、Nは変換ビット数(14)です。出力コードの遷移は連続する整数LSB値の中間で起こります。図14と図15は、おのこのユニポーラ及びバイポーラ動作に対する入出力(I/O)伝達関数を示しています。

## シリアルインタフェース

MAX1146~MAX1149はSPI、QSPI、及びMICROWIREに完全対応したシリアルインタフェースを備えています。シリアルインタフェースを利用可能である場合は、CPUのシリアルインタフェースをマスタと設定してCPUがADCに対するシリアルクロックを生成するようにしてください。そして、シリアルクロックの最大値は2.1MHzとしてください。

表7. フルスケール及びゼロスケール

INPUT AND OUTPUT MODES	UNIPOLAR MODE		BIPOLAR MODE		
	ZERO SCALE	FULL SCALE	NEGATIVE FULL SCALE	ZERO SCALE	POSITIVE FULL SCALE
Single-Ended Mode	V <sub>COM</sub>	V <sub>REF</sub> + V <sub>COM</sub>	$\frac{-V_{REF}}{2} + V_{COM}$	V <sub>COM</sub>	$\frac{+V_{REF}}{2} + V_{COM}$
Differential Mode	V <sub>IN-</sub>	V <sub>REF</sub> + V <sub>IN-</sub>	$\frac{-V_{REF}}{2} + V_{IN-}$	V <sub>IN-</sub>	$\frac{+V_{REF}}{2} + V_{IN-}$

注：アナログ入力に対するコモンモード範囲はAGND~V<sub>DD</sub>です。

# マルチチャネル、真の差動入力、シリアル、14ビットADC

MAX1146-MAX1149

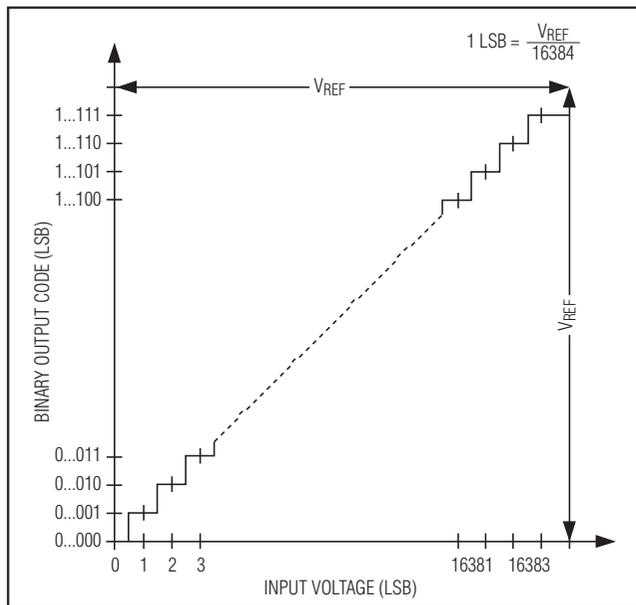


図14. ユニポーラの伝達関数

## SPI及びMICROWIREインタフェース

SPI(図16a)またはMICROWIRE(図16b)を使う場合は、CPOL = CPHA = 0と設定してください。ADCの変換結果から14ビット全体を読み取るためには8ビットの読取りを2回、行う必要があります。DOUTのデータはシリアルクロックの立下りエッジで遷移し、 $\mu P$ へはSCLKの立上りエッジでクロック同期入力されます。最初の8ビットデータストリームが、MSBを先頭とするDOUTの最初の8ビットを含んでいます。2番目の8ビットデータストリームが、残りの6ビットの変換結果ビットを含んでいます。

## QSPIインタフェース

CPOL = 0及びCPHA = 0として高速のQSPIインタフェース(図17)を用いる場合、MAX1146~MAX1149は最高の $f_{SCLK}$ である2.1MHzをサポートします。ADCからの14ビットの全変換結果を読み取るためには、16ビットの読取りを1回必要とします。DOUTのデータ

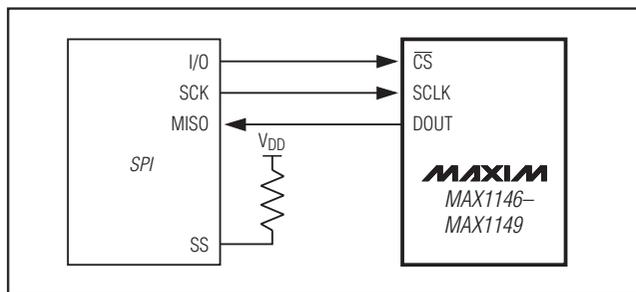


図16a. SPIとの接続

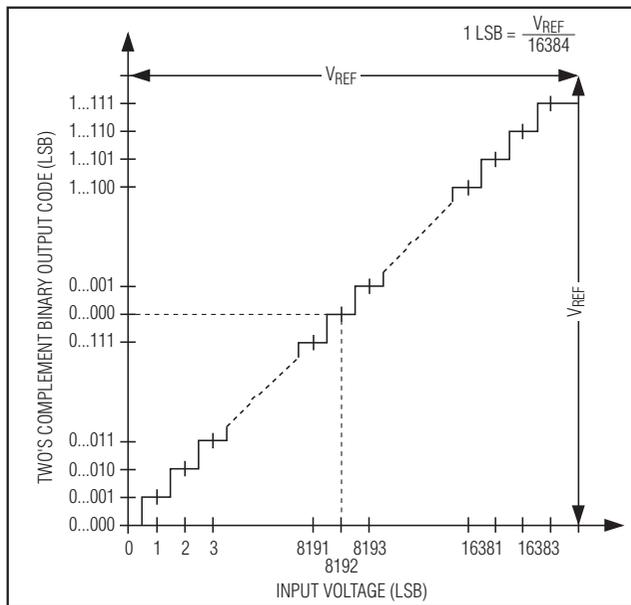


図15. バイポーラの伝達関数

遷移はシリアルクロックの立下りエッジで起こり、SCLKの立上りエッジで $\mu P$ にクロック同期入力されます。最初の14ビットがデータです。

## PIC16/PIC17 SSPモジュールインタフェース

MAX1146~MAX1149はPIC16/PIC17マイクロコントローラ( $\mu C$ )に対応しています。これは同期シリアルポート(SSP)を使います。SPI通信を確立するためには、図18に示すようにコントローラを接続して、PIC16/PIC17をシステムマスタとして構成してください。同期シリアルポートコントロールレジスタ(SSPCON)及び同期シリアルポート状態レジスタ(SSPSTAT)を表8と9に示すビットパターンに初期化してください。SPIモードでは、PIC16/PIC17の $\mu C$ は8ビットのデータを、同時に送信と受信を同期して行うことができます。ADCからの14ビット変換結果の全体を読み取るためには、2個の連続した8ビットの読取りを必要とします。DOUTのデータはシリアルクロックの立下りエッジで遷移してSCLKの立上りエッジで $\mu C$ へクロック同期入力されます。

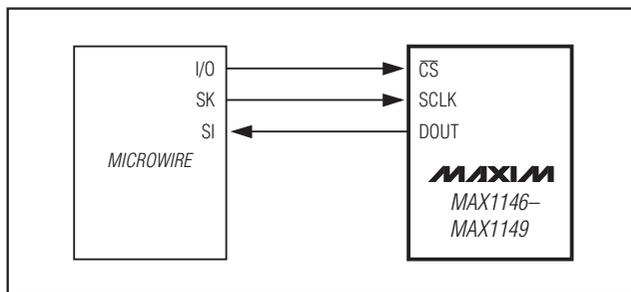


図16b. MICROWIREとの接続

# マルチチャンネル、真の差動入力、 シリアル、14ビットADC

MAX1146-MAX1149

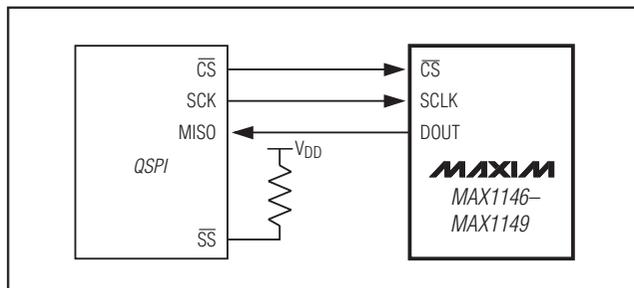


図17. QSPIとの接続

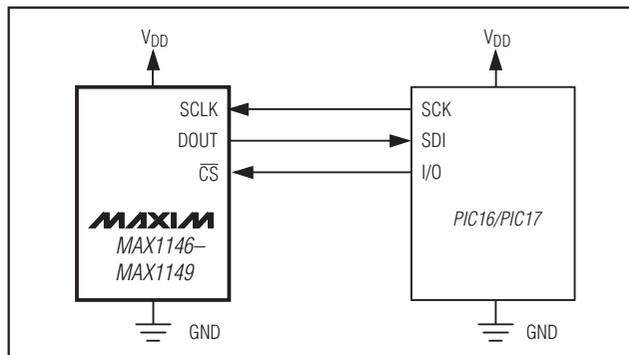


図18. PIC16/PIC17コントローラとのSPIインタフェース接続

表8. SSPCONレジスタ内容の詳細

CONTROL BIT		PIC16/PIC17 SETTINGS	SYNCHRONOUS SERIAL-PORT CONTROL REGISTER (SSPCON)
WCOL	Bit 7	X	Write collision detection bit.
SSPOV	Bit 6	X	Receive overflow detect bit.
SSPEN	Bit 5	1	Synchronous serial port enable bit: 0: Disables serial port and configures these pins as I/O port pins. 1: Enables serial port and configures SCK, SDO, and SCI pins as serial-port pins.
CKP	Bit 4	0	Clock polarity select bit. CKP = 0 for SPI master mode selection.
SSPM3	Bit 3	0	Synchronous serial port mode select bit. Sets SPI master mode and selects $F_{CLK} = f_{osc} / 16$ .
SSPM2	Bit 2	0	
SSPM1	Bit 1	0	
SSPM0	Bit 0	1	

表9. SSPSTATレジスタ内容の詳細

CONTROL BIT		MAX1146-MAX1149 SETTINGS	SYNCHRONOUS SERIAL-PORT STATUS REGISTER (SSPSTAT)
SMP	Bit 7	0	SPI data input sample phase. Input data is sampled at the middle of the data output time.
CKE	Bit 6	1	SPI clock edge select bit. Data is transmitted on the rising edge of the serial clock.
D/A	Bit 5	X	Data address bit.
P	Bit 4	X	Stop bit.
S	Bit 3	X	Start bit.
R/W	Bit 2	X	Read/write bit information.
UA	Bit 1	X	Update address.
BF	Bit 0	X	Buffer full status bit.

# マルチチャネル、真の差動入力、シリアル、14ビットADC

最初の8ビットのデータストリームはMSBを先頭とする最初の8ビットのデータを含みます。2番目のデータストリームは残りのD5~D0までのビットを含んでいます。

## TMS320LC3xとのインタフェース

図19はMAX1146~MAX1149をTMS320に外部クロックモードでインタフェースするアプリケーション回路を示しています。このインタフェース回路のタイミングダイアグラムは図20に示されています。MAX1146~MAX1149の変換を開始して変換結果を読み取るために、次に示すステップを使ってください：

- 1) TMS320はCLKX(送信クロック)をアクティブハイの出カクロックとして、CLKR(TMS320の受信クロック)はアクティブハイの入カクロックとして構成してください。TMS320のCLKXとCLKRは一緒にしてMAX1146~MAX1149のSCLK入力に接続されています。
- 2) TMS320のXF\_I/Oポートを使ってMAX1146~MAX1149のCSをローに駆動してMAX1146~MAX1149のDINにデータをクロック同期入力してください。
- 3) MAX1146~MAX1149が変換を開始し、デバイスを外部クロックモードとするために、8ビットワード(1xxxx11)を書き込んでください。個々のアプリケーションに対応するためには表1から適切なxxxxxビットの値を選択してください。
- 4) MAX1146~MAX1149のSSTRB出力はTMS320のFSR入力によってモニタされます。SSTRBの出力の立下りエッジは、変換が進行しており、データをMAX1146~MAX1149から受信することができる状態であることを示します。
- 5) TMS320は次の16個のSCLKの立上りの各エッジで1ビットずつ、データを読み取ります。これらのデータビットは14ビットの変換データとそれに続く

2ビットの後(trailing)ビットからなり、この2ビットは無視されます。

- 6) MAX1146~MAX1149をディセーブルとするためには、次の変換を開始するまで、CSをハイ状態に強制してください。

## レイアウト、グランド法、及びバイパス

最良のシステム性能を得るためには、注意深いプリント基板のレイアウトが不可欠です。基板はアナログ及びデジタルグランド面を分離してください。デジタルとアナログ信号は相互に分離されるようにしてください。アナログとデジタル(特にクロック)ラインを相互に平行して走らせたり、デバイスのパッケージの下にデジタルラインを走らせないようにしてください。

図4は推奨するシステムグランド接続を示しています。アナロググランドポイントをAGNDに、デジタルグランドポイントをDGNDに設定してください。すべてのアナロググランドはスター構成のアナロググランド接続としてください。デジタルグランドはスター構成のデジタルグランド構成としてください。デジタル

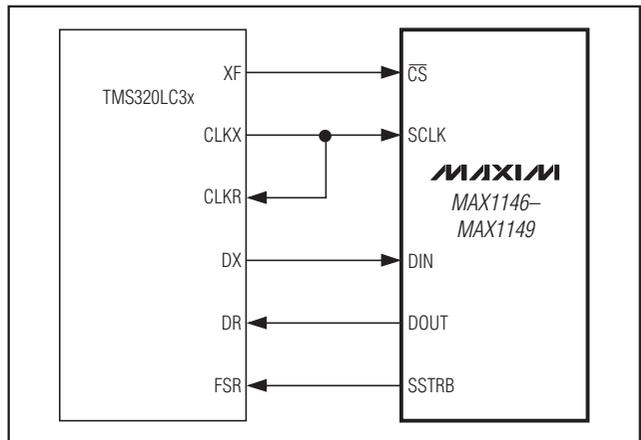


図19. MAX1146~MAX1149のTMS320シリアルインタフェースとの接続

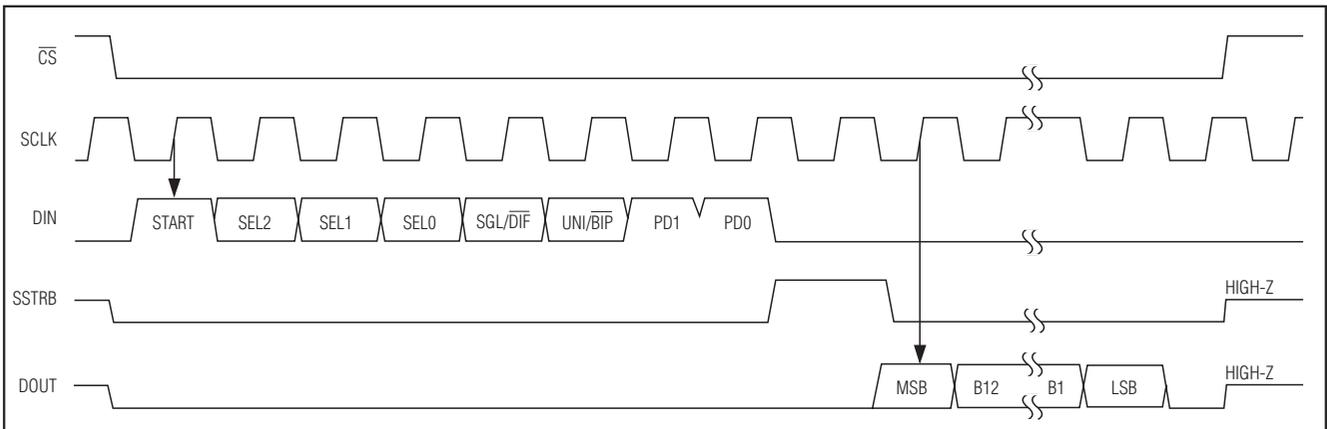


図20. TMS320のシリアルインタフェースのタイミングダイアグラム

# マルチチャネル、真の差動入力、シリアル、14ビットADC

グランドポイントはデバイスのアナロググランドポイントに直接接続してください。ノイズを最小化するためには、スター構成の電源に対するグランドリターンは低インピーダンスで最短長としてください。

V<sub>DD</sub>電源における高周波ノイズはデバイスの高速性能を悪化させます。電源を0.1μFと4.7μFのコンデンサでデジタルグランドにバイパスしてください。最良の電源ノイズリジェクションを得るためにはコンデンサのリード長を最短としてください。電源のノイズが大きい場合は、0.1μFのコンデンサと直列に10Ωの抵抗器を接続してローパスフィルタを形成してください。

## 定義

### Integral Nonlinearity(積分非直線性)

積分非直線性(INL)は、実際の伝達関数上での直線からの偏差です。この直線はいったん、オフセットと利得誤差をゼロにした後は、最近似直線フィット法、または伝達関数の端点間に引かれた直線の何れかとすることが出来ます。MAX1146~MAX1149に対するスタティックリニアリティパラメータは端点法を用いて測定されます。

### Differential Nonlinearity(微分非直線性)

微分非直線性(DNL)は、1LSBの実際のステップの幅と、理想値との差です。1LSB以下のDNLエラー仕様の場合は、ミッシングコードがないことと、伝達関数が単調性であることが保証されます。

### Apertureの定義

Aperture jitter(アパーチャジッタ)(t<sub>AJ</sub>)はサンプル間のサンプル時間変動です。Aperture delay(アパーチャディレイ)(t<sub>AD</sub>)はサンプリングクロックの上りエッジと実際のサンプルが獲得される瞬間との間の時間差です。

### Signal-to-Noise Ratio(信号対ノイズ比)

デジタルサンプルから完璧に再生された波形の場合、信号対ノイズ比(SNR)は、RMS量子化エラー(残留エラー)に対するフルスケールアナログ入力(RMS値)の比です。理想的な理論上の最小のアナログ-デジタル変換ノイズは量子化エラーのみを起因とし、ADCの分解能(Nビット)に直接依存します：

$$SNR = (6.02 \times N + 1.76) \text{dB}$$

実際には、量子化ノイズのほかに、サーマルノイズ、リファレンスノイズ、クロックジッタなど、その他の

ノイズ源があります。SNRを算出するためには、RMSノイズに対するRMS信号の比を取ります。RMSノイズには、基本波、最初の5つの高調波、及びDCオフセットを除く、ナイキスト周波数までの全スペクトル成分が含まれます。

### Signal-to-Noise Plus Distortion(信号対ノイズ+歪み)

信号対ノイズ+歪み(SINAD)は基本入力周波数のRMS振幅の、すべての他のADC出力信号の等価RMS振幅に対する比です。

$$SINAD(\text{dB}) = 20 \times \log(\text{SignalRMS} / \text{NoiseRMS})$$

### Effective Number of Bits(有効ビット数)

有効ビット数(ENOB)によって、特定の入力周波数とサンプリングレートにおけるADCの総合精度を示します。理想的なADCのエラーは、量子化ノイズのみから構成されます。入力レンジをADCのフルスケール範囲に等しくして、ENOBを次の式により計算してください：

$$ENOB = (SINAD - 1.76) / 6.02$$

### Total Harmonic Distortion(全高調波歪み)

全高調波歪み(THD)は、基本波そのものに対する、入力信号の最初の5つの高調波のRMS和の比です。これは、次のように表されます。

$$THD = 20 \times \log \left( \sqrt{\frac{V_2^2 + V_3^2 + V_4^2 + V_5^2}{V_1}} \right)$$

ここで、V<sub>1</sub>は基本波の振幅であり、V<sub>2</sub>~V<sub>5</sub>は2番目から5番目までの高調波の振幅です。

### Spurious-Free Dynamic Range(スプリアスのないダイナミックレンジ)

スプリアスのないダイナミックレンジ(SFDR)は、2番目に大きな歪み成分のRMS値に対する、基本波(最大信号成分)のRMS振幅の比です。

## チップ情報

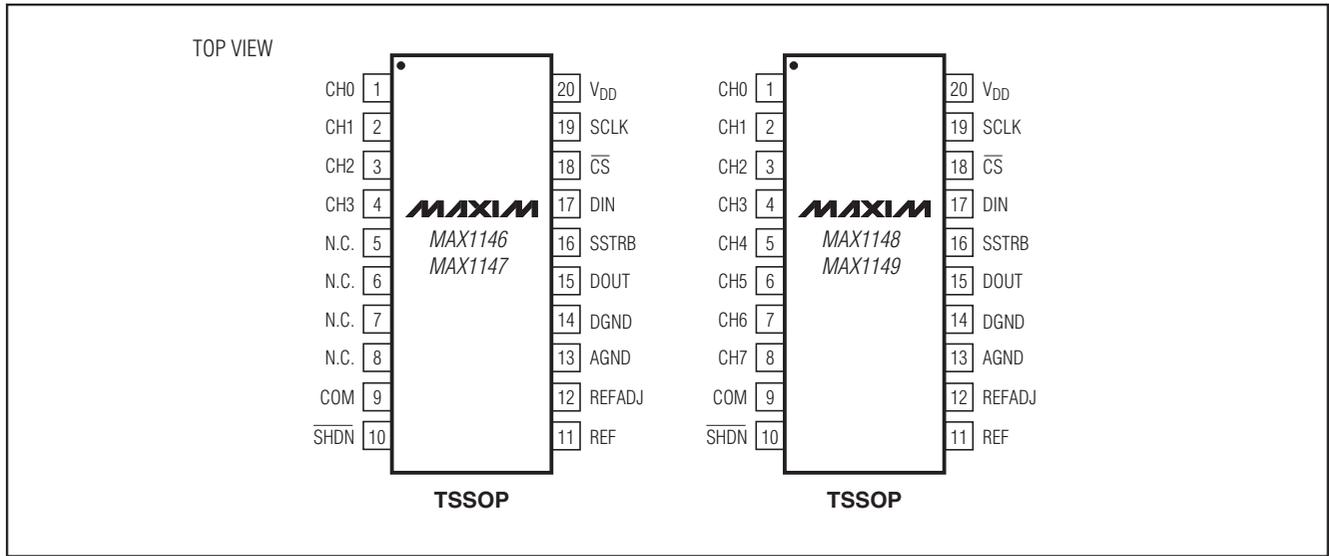
TRANSISTOR COUNT: 5589

PROCESS: BiCMOS

# マルチチャネル、真の差動入力、 シリアル、14ビットADC

MAX1146-MAX1149

## ピン配置

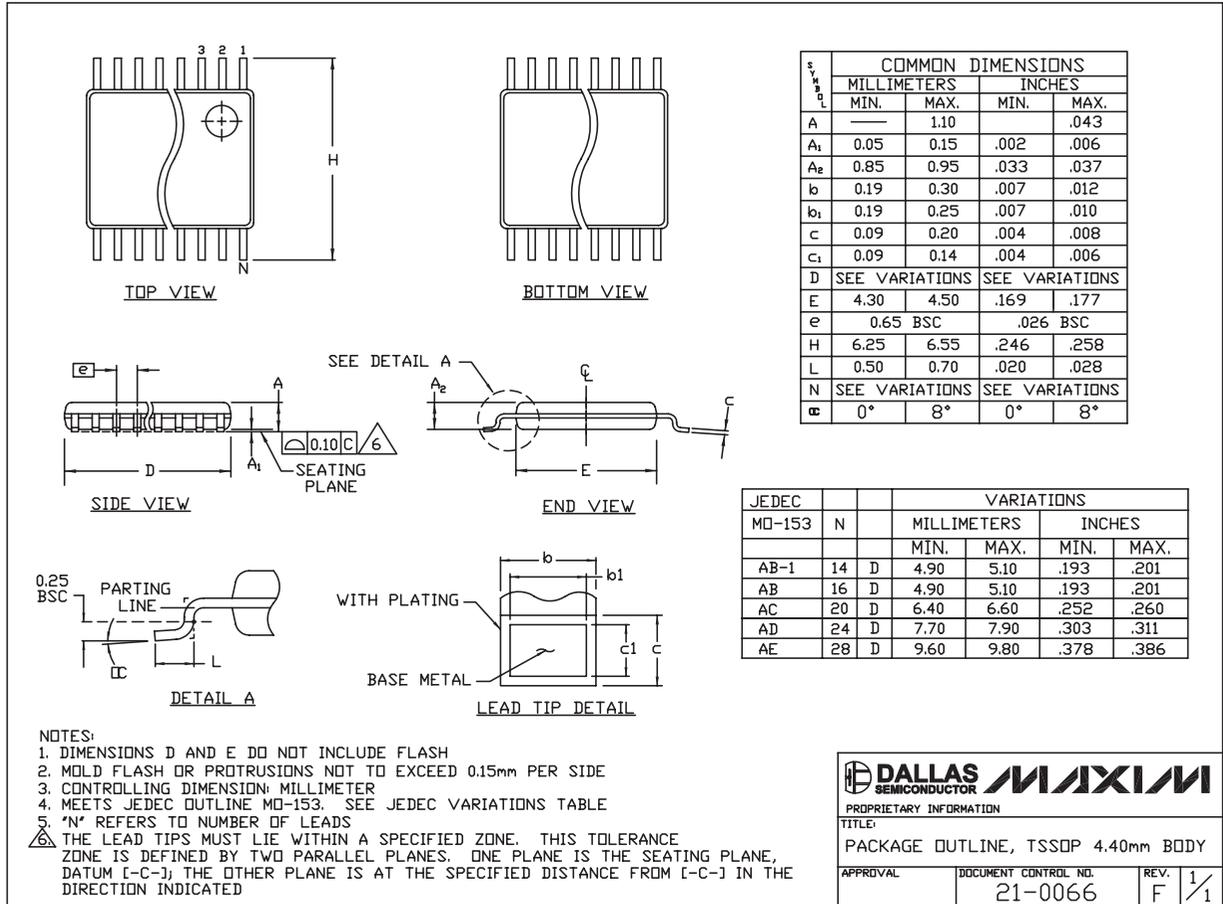


# マルチチャンネル、真の差動入力、 シリアル、14ビットADC

MAX1146-MAX1149

## パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照下さい。)



TSSOP4.40mm.EPS

**マキシム・ジャパン株式会社**

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 \_\_\_\_\_ 25

© 2005 Maxim Integrated Products, Inc. All rights reserved. **MAXIM** is a registered trademark of Maxim Integrated Products.