

MAX11311

PIXI、12ポートプログラマブルミックスドシグナルI/O、
12ビットADC、12ビットDAC、アナログスイッチ、およびGPIO内蔵

概要

MAX11311は、PIXI™、12ビット、マルチチャネル、アナログ-デジタルコンバータ(ADC)と、12ビット、マルチチャネル、バッファ付きデジタル-アナログコンバータ(DAC)を1つの集積回路(IC)に内蔵しています。このデバイスは、ADCアナログ入力、DACアナログ出力、汎用入力(GPI)、汎用出力(GPO)、またはアナログスイッチ端子として設定可能な、12のミックスドシグナル高電圧、バイポーラポートを提供します。1つの内部および2つの外部温度センサーは、ジャンクション温度と環境温度を監視します。隣接するポートのペアは、オープンドレインデバイス用のロジックレベルトランスレータ、またはアナログスイッチとして設定可能です。

PIXIポートは、12ビットミックスドシグナルアプリケーションのための非常に柔軟なハードウェア設定を提供します。MAX11311は、アナログおよびデジタル機能の複合を必要とするアプリケーションに最適です。各ポートは個別に設定可能で、-10V~+10Vの範囲で最大4つの電圧範囲を選択可能です。

MAX11311は、ADCに設定された各ポートから2、4、8、16、32、64、または128のADCサンプルを平均化し、ノイズ性能を向上させることができます。DACに設定された出力ポートは、最大25mAを駆動可能です。GPIOポートは、ユーザー定義のロジックレベルに設定することが可能で、GPIとGPOの組合せによってロジックレベルトランスレータが形成されます。

内部および外部温度測定は、設定可能な下限および上限温度条件を監視し、1つまたは複数の条件が発生した場合、割込みを使用してホストに通知します。温度測定の結果は、シリアルインタフェースを介して利用可能です。

MAX11311は、低ノイズの2.5V電圧リファレンスを内蔵し、DACおよびADC用の個別の入力によって外部電圧リファレンスを使用するオプションも提供します。このデバイスは、4線式、20MHz、SPI対応シリアルインタフェースを使用し、5Vのアナログ電源および1.8V~5.0Vのデジタル電源で動作します。PIXIポートの電源電圧は、広い-12.0V~+12.0Vの範囲で動作します。

MAX11311は、32ピンTQFNパッケージ(5mm x 5mm)または48ピンTQFPパッケージ(7mm x 7mm)で提供され、-40°C~+105°Cの温度範囲が保証されています。

アプリケーション

- 基地局RFパワーデバイスバイアスコントローラ
- システム監視および制御
- 電源監視
- 産業用制御およびオートメーション
- 光コンポーネントの制御

利点と特長

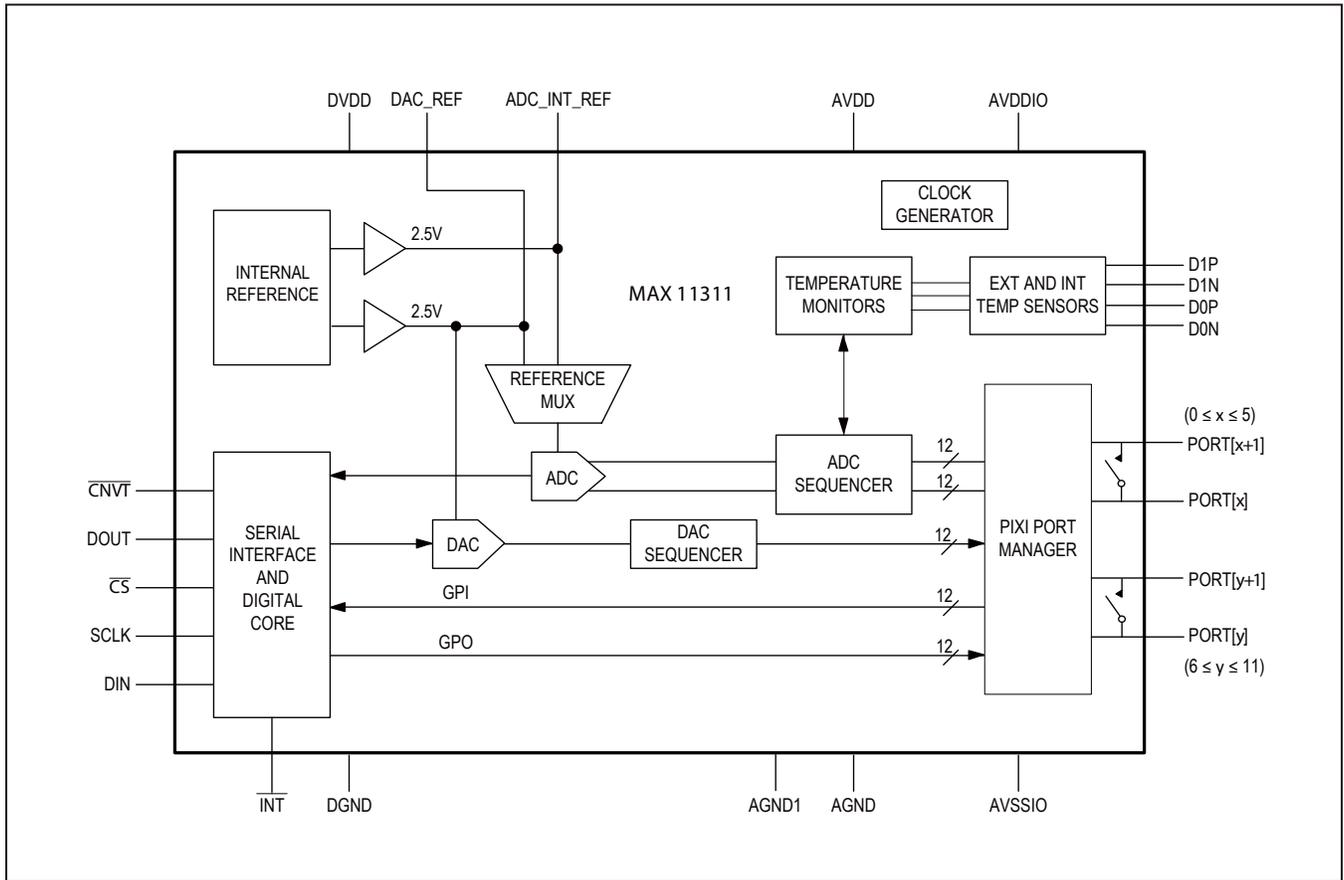
- 12の設定可能なミックスドシグナルポートによってプラットフォーム全体の設計の柔軟性を最大化
 - 最大12の12ビットADC入力
 - シングルエンド、差動、または疑似差動範囲オプション: 0~2.5V、±5V、0~+10V、-10V~0V
 - 設定可能なADCポートごとのサンプル平均化
 - ADC PIXIポートごとに固有な電圧リファレンス
 - 最大12の12ビットDAC出力
 - 範囲オプション: ±5V、0~+10V、-10V~0V
 - 過電流保護付き電流ドライブ性能: 25mA
 - 最大12の汎用デジタルI/O
 - GPI入力範囲: 0~+5V
 - GPI設定可能なスレッショルド範囲: 0~+2.5V
 - GPO設定可能な出力範囲: 0~+10V
 - 任意の2端子間のロジックレベルシフト
 - 隣接するPIXIポート間の60Ωアナログスイッチ
 - 内部/外部温度センサー、精度±1°C
- 特定アプリケーションの要件に適切システムニーズの変化に応じて容易に再設定可能
- 高い機能設定能力によってPCBレイアウトの最適化が可能
- 小型実装面積、少ない部品数でBOMコストを削減
 - 32ピンTQFN (25mm²)

型番はデータシートの最後に記載されています。

PIXIはMaxim Integrated Products, Inc.の商標です。



ファンクションダイアグラム



Absolute Maximum Ratings

DVDD to DGND.....	-0.3V to +6V	DAC and ADC Reference Pins to AGND (DAC_REF, ADC_INT_REF).....	-0.3V to the min of (V _{AVDD} + 0.3V) or +4V
AVDD to AGND	-0.3V to +6V	Temperature Sensor Pins (D0N, D0P, D1N, D1P) to AGND.....	-0.3V to the min of (V _{AVDD} + 0.3V) or +6V
AVDDIO to AVSSIO.....	-0.3V to +25V	Current into Any PORT Pin	100mA
AVDDIO to AGND.....	-0.3V to +17V	Current into Any Other Pin Except Supplies and Ground	50mA
AVSSIO to AGND	-14V to +0.3V	Continuous Power Dissipation (T _A = +70°C) (Multilayer board) TQFN (derate 34.5mW/°C above +70°C)	2758.6mW
AGND to AGND1.....	-0.3V to +0.3V	Operating Temperature Range.....	-40°C to +105°C
AGND to DGND	-0.3V to +0.3V	Storage Temperature Range.....	-65°C to +150°C
AGND1 to DGND	-0.3V to +0.3V	Lead Temperature (soldering, 10s)	+300°C
(PORT0 to PORT11) to AGND	max of (V _{AVSSIO} - 0.3V) or -14V to min of (V _{AVDDIO} + 0.3V) or +17V	Soldering Temperature (reflow).....	+260°C
(PORT0 to PORT11) to AGND (GPI and Bidirectional Level Translator Modes).....	-0.3V to the min of (V _{AVDD} + 0.3V) or +6V		
(CNVT, DOUT) to DGND... ..	-0.3V to the min of (V _{DVDD} + 0.3V) or +6V		
(CS, SCLK, DIN, INT) to DGND.....	-0.3V to +6V		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Package Thermal Characteristics (Note 1)

TQFN

Junction-to-Case Thermal Resistance (θ _{JC}).....	1.7°C/W
Junction-to-Ambient Thermal Resistance (θ _{JA})	29°C/W

Note 1: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to www.maximintegrated.com/jp/thermal-tutorial.

Electrical Characteristics

ADC Electrical Specifications

(V_{AVDD} = 4.75V to 5.25V, V_{DVDD} = 3.3V, V_{AVDDIO} = +12.0V, V_{AGND} = V_{DGND} = 0V, V_{AVSSIO} = -2.0V, V_{DACREF} = 2.5V, V_{ADCREF} = 2.5V (Internal), f_S = 400ksps, 10V analog input range set to range 1 (0 to +10V). T_A = -40°C to +105°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY (Note 3)						
Resolution			12			Bits
Integral Nonlinearity	INL				±2.5	LSB
Differential Nonlinearity	DNL	No missing codes over temperature			±1	LSB
Offset Error				±0.5	±8	LSB
Offset Error Drift				±0.002		LSB/°C
Gain Error					±11	LSB
Gain Error Drift				±0.01		LSB/°C
Channel-to-Channel Offset Matching				1		LSB
Channel-to-Channel Gain Matching				2		LSB

Electrical Characteristics (continued)**ADC Electrical Specifications**

($V_{AVDD} = 4.75V$ to $5.25V$, $V_{DVDD} = 3.3V$, $V_{AVDDIO} = +12.0V$, $V_{AGND} = V_{DGND} = 0V$, $V_{AVSSIO} = -2.0V$, $V_{DAREF} = 2.5V$, $V_{ADCREF} = 2.5V$ (Internal), $f_S = 400ksps$, 10V analog input range set to range 1 (0 to +10V). $T_A = -40^{\circ}C$ to $+105^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DYNAMIC PERFORMANCE (Single-Ended Inputs)						
Signal-to-Noise Plus Distortion	SINAD	$f_S = 400ksps$, $f_{IN} = 10kHz$		70		dB
Signal to Noise	SNR	$f_S = 400ksps$, $f_{IN} = 10kHz$		71		dB
Total Harmonic Distortion	THD	$f_S = 400ksps$, $f_{IN} = 10kHz$		-75		dB
Spurious-Free Dynamic Range	SFDR	$f_S = 400ksps$, $f_{IN} = 10kHz$		75		dB
Crosstalk		$f_S = 100ksps$, $f_{IN} = 10kHz$		-85		dB
DYNAMIC PERFORMANCE (Differential Inputs)						
Signal-to-Noise Plus Distortion	SINAD	$f_S = 400ksps$, $f_{IN} = 10kHz$		71		dB
Signal to Noise	SNR	$f_S = 400ksps$, $f_{IN} = 10kHz$		72		dB
Total Harmonic Distortion	THD	$f_S = 400ksps$, $f_{IN} = 10kHz$		-82		dB
Spurious-Free Dynamic Range	SFDR	$f_S = 400ksps$, $f_{IN} = 10kHz$		82		dB
Crosstalk		$f_S = 100ksps$, $f_{IN} = 10kHz$		-85		dB
CONVERSION RATE						
Throughput (Note 4)		ADCCONV[1:0] = 00		200		ksps
		ADCCONV[1:0] = 01		250		
		ADCCONV[1:0] = 10		333		
		ADCCONV[1:0] = 11		400		
Acquisition Time	t_{ACQ}	ADCCONV[1:0] = 00		3.5		μs
		ADCCONV[1:0] = 01		2.5		
		ADCCONV[1:0] = 10		1.5		
		ADCCONV[1:0] = 11		1.0		
ANALOG INPUT (All Ports)						
Absolute Input Voltage (Note 5)	V_{PORT}	Range 1	0		10	V
		Range 2	-5		+5	
		Range 3	-10		0	
		Range 4	0		2.5	
Input Resistance		Range 1, 2, 3	70	100	130	k Ω
		Range 4	50	75	100	k Ω

REF Electrical Specifications

($V_{AVDD} = 4.75V$ to $5.25V$, $V_{DVDD} = 3.3V$, $V_{AVDDIO} = +12.0V$, $V_{AGND} = V_{DGND} = 0V$, $V_{AVSSIO} = -2.0V$, $V_{DACREF} = 2.5V$, $V_{ADCREf} = 2.5V$ (Internal), $f_S = 400kps$, 10V analog input range set to range 1 (0 to +10V). $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ADC INTERNAL REFERENCE						
Reference Output Voltage		Internal references at $T_A = +25^\circ C$	2.494	2.5	2.506	V
REF Output Tempco (Note 6)	T_{C-VREF}			± 10	± 25	ppm/ $^\circ C$
Capacitor Bypass at ADC_INT_REF			4.7		10	μF
DAC INTERNAL REFERENCE						
Reference Output Voltage		Internal references at $T_A = +25^\circ C$	2.494	2.5	2.506	V
REF Output Tempco (Note 6)	T_{C-VREF}			± 10	± 25	ppm/ $^\circ C$
Capacitor Bypass at DAC_REF			4.7		10	μF
DAC EXTERNAL REFERENCE						
Reference Input Range			1.25		2.5	V

GPIO Electrical Specifications

($V_{AVDD} = 5.0V$, $V_{DVDD} = 3.3V$, $V_{AVDDIO} = +12.0V$, $V_{AGND} = V_{DGND} = 0V$, $V_{AVSSIO} = -2.0V$, $V_{DACREF} = 2.5V$, $V_{ADCREf} = 2.5V$ (Internal), $f_S = 400kps$, 10V analog input range set to range 1 (0 to +10V). $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
GPIO EXCEPT IN BIDIRECTIONAL LEVEL TRANSLATION MODE						
Programmable Input Logic Threshold	V_{ITH}		0.3		V_{DACREF}	V
Input High Voltage	V_{IH}		$V_{ITH} + 0.3$			V
Input Low Voltage	V_{IL}				$V_{ITH} - 0.3$	V
Hysteresis				± 30		mV
Programmable Output Logic Level	V_{OLVL}		0		$4 \times V_{DACREF}$	V
Propagation Delay from GPI Input to GPO Output in Unidirectional Level Translating Mode		Midscale threshold, 5V logic swing		2		μs
BIDIRECTIONAL LEVEL TRANSLATION PATH AND ANALOG SWITCH						
Input High Voltage	V_{IH}		1			V
Input Low Voltage	V_{IL}				0.2	V
On-Resistance		From $V_{AVSSIO} + 2.50V$ to $V_{AVDDIO} - 2.50V$			60	Ω

GPIO Electrical Specifications (continued)

($V_{AVDD} = 4.75V$ to $5.25V$, $V_{DVDD} = 3.3V$, $V_{AVDDIO} = +12.0V$, $V_{AGND} = V_{DGND} = 0V$, $V_{AVSSIO} = -2.0V$, $V_{DACREF} = 2.5V$, $V_{ADCREf} = 2.5V$ (Internal), $f_S = 400kps$, 10V analog input range set to range 1 (0 to +10V). $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Propagation Delay		10k Ω pullup resistors to rail in each side. Midvoltage to midvoltage when driving side goes from high to low			1	μs
ANALOG SWITCH						
Turn-On Delay		(Note 7)			400	ns
Turn-Off Delay		(Note 7)			400	ns
On-Time Duration		(Note 7)	1			μs
Off Time Duration		(Note 7)	1			μs
On-Resistance		From $V_{AVSSIO} + 2.50V$ to $V_{AVDDIO} - 2.50V$			60	Ω

DAC Electrical Specifications

($V_{AVDD} = 4.75V$ to $5.25V$, $V_{DVDD} = 3.3V$, $V_{AVDDIO} = +12.0V$, $V_{AGND} = V_{DGND} = 0V$, $V_{AVSSIO} = -2.0V$, $V_{DACREF} = 2.5V$, $V_{ADCREf} = 2.5V$ (Internal), $f_S = 400kps$, 10V analog input range set to range 1 (0 to +10V). $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY						
Resolution	N		12			Bits
Output Range (Note 5)	V_{PORT}	Range 1	0		+10	V
		Range 2	-5		+5	
		Range 3	-10		0	
Integral Linearity Error	INL	From code 100 to code 3996		± 0.5	± 1.5	LSB
Differential Linearity Error	DNL			± 0.5	± 1	LSB
Offset Voltage		At code 100			± 20	LSB
Offset Voltage Tempco				15		ppm/ $^\circ C$
Gain Error		From code 100 to code 3996	-0.6		+0.6	% of FS
Gain Error Tempco		From code 100 to code 3996		4		ppm of FS/ $^\circ C$
Power-Supply Rejection Ratio	PSRR			0.4		mV/V
DYNAMIC CHARACTERISTICS						
Output Voltage Slew Rate	SR			1.6		V/ μs
Output Settling Time		To ± 1 LSB, from 0 to full scale, output load capacitance of 250pF (Note 7)		40		μs
Settling Time After Current-Limit Condition				6		μs
Noise		$f = 0.1Hz$ to 300kHz		3.8		mV _{P-P}

DAC Electrical Specifications (continued)

($V_{AVDD} = 4.75V$ to $5.25V$, $V_{DVDD} = 3.3V$, $V_{AVDDIO} = +12.0V$, $V_{AGND} = V_{DGND} = 0V$, $V_{AVSSIO} = -2.0V$, $V_{DACREF} = 2.5V$, $V_{ADCREF} = 2.5V$ (Internal), $f_S = 400ksps$, 10V analog input range set to range 1 (0 to +10V). $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
TRACK-AND-HOLD						
Digital Feedthrough				5		nV·s
Hold Step		(Note 6)		1	6	mV
Droop Rate		(Note 6)		0.3	15	mV/s

Interface Digital IO Electrical Specifications

($V_{AVDD} = 5.0V$, $V_{DVDD} = 1.62V$ to $5.50V$, $V_{AVDDIO} = +12.0V$, $V_{AGND} = V_{DGND} = 0V$, $V_{AVSSIO} = -2.0V$, $V_{DACREF} = 2.5V$, $V_{ADCREF} = 2.5V$ (Internal), $f_S = 400ksps$, 10V analog input range set to range 1 (0 to +10V). $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SPI IO DC SPECIFICATION						
Input High Voltage (DIN, SCLK, \overline{CS} , \overline{CNVT})		$V_{DVDD} = 2.50V$ to $5.50V$	0.7 x			V
		$V_{DVDD} = 1.62V$ to $2.50V$	0.85 x			V
Input Low Voltage (DIN, SCLK, \overline{CS} , \overline{CNVT})		$V_{DVDD} = 2.50V$ to $5.50V$		0.3 x		V
		$V_{DVDD} = 1.62V$ to $2.50V$		0.15 x		V
Input Leakage Current (DIN, SCLK, \overline{CS} , \overline{CNVT} , \overline{INT})		Input voltage at DVDD	-10		+10	μA
Input Capacitance (DIN, SCLK, \overline{CS} , \overline{CNVT})				10		pF
Output High Voltage (DOUT)		$I_{SRC} = 5mA$, $V_{DVDD} = 2.50V$ to $5.50V$	$V_{DVDD} - 0.5$			V
		$I_{SRC} = 2mA$, $V_{DVDD} = 1.62V$ to $2.50V$	$V_{DVDD} - 0.3$			V
Output Low Voltage (DOUT, \overline{INT})		$I_{SNK} = 5mA$, $V_{DVDD} = 2.50V$ to $5.50V$			0.4	V
		$I_{SNK} = 2mA$, $V_{DVDD} = 1.62V$ to $2.50V$			0.2	V
Output Leakage Current (DOUT)			-10		+10	μA

Interface Digital IO Electrical Specifications (continued)

($V_{AVDD} = 5.0V$, $V_{DVDD} = 1.62V$ to $5.50V$, $V_{AVDDIO} = +12.0V$, $V_{AGND} = V_{DGND} = 0V$, $V_{AVSSIO} = -2.0V$, $V_{DACREF} = 2.5V$, $V_{ADCREF} = 2.5V$ (Internal), $f_S = 400kps$, 10V analog input range set to range 1 (0 to +10V). $T_A = -40^{\circ}C$ to $+105^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SPI TIMING REQUIREMENTS (See Figures 1 and 2)						
SCLK Frequency	f_{SCLK}	$V_{DVDD} = 2.50V$ to $5.50V$			20	MHz
		$V_{DVDD} = 1.62V$ to $2.50V$			10	MHz
SCLK Clock Period	t_{CP}	$V_{DVDD} = 2.50V$ to $5.50V$	50			ns
		$V_{DVDD} = 1.62V$ to $2.50V$	100			ns
SCLK Pulse-Width High	t_{CH}		10			ns
SCLK Pulse-Width Low	t_{CL}	$V_{DVDD} = 2.50V$ to $5.50V$	25			ns
		$V_{DVDD} = 1.62V$ to $2.50V$	65			ns
\overline{CS} Low to First SCLK Rise Setup	t_{CSS0}		5			ns
24th SCLK Rising Edge to \overline{CS} Rising Edge	t_{CSS1}		5			ns
SCLK Rise to \overline{CS} Low	t_{CSH0}		5			ns
\overline{CS} Pulse-Width High	t_{CSW}		50			ns
DIN to SCLK Setup	t_{DS}		5			ns
DIN Hold After SCLK	t_{DH}		5			ns
DOUT Transition Valid After SCLK Fall	t_{DOT}	$V_{DVDD} = 2.50V$ to $5.50V$			23	ns
		$V_{DVDD} = 1.62V$ to $2.50V$			55	ns
\overline{CS} Rise to DOUT Disable	t_{DOD}	$C_{LOAD} = 20pF$			50	ns

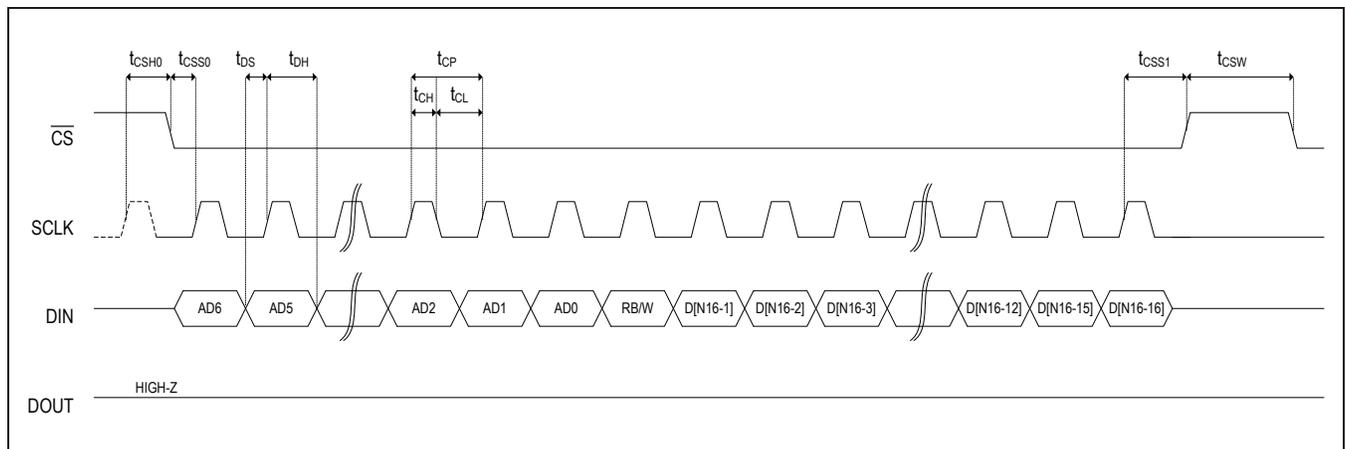


図1. SPI書き込みタイミング(N = 書き込みワード数、バーストモードではN > 1)

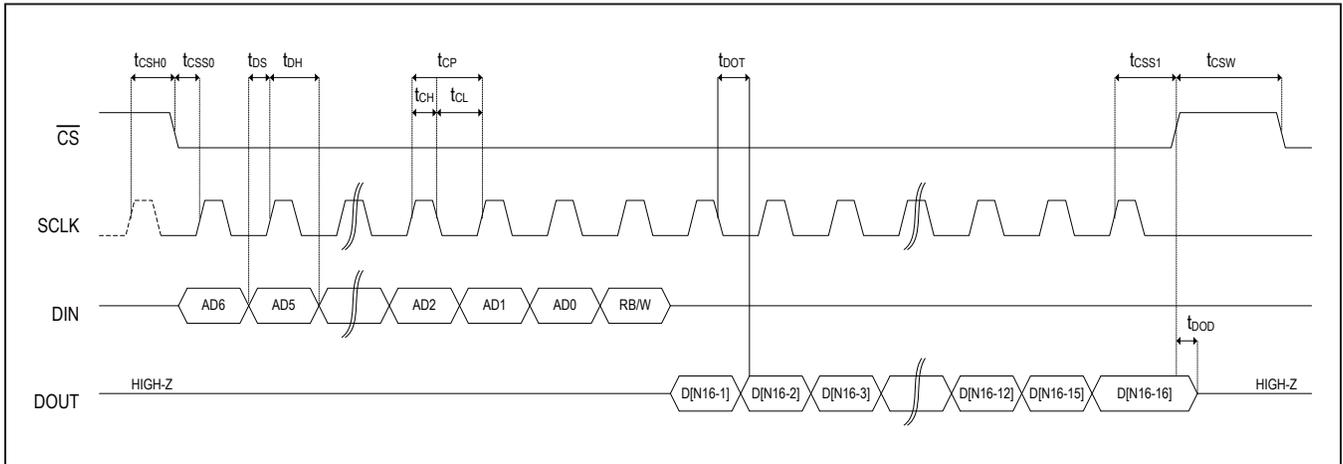


図2. SPI読み取りタイミング(N = 書き込みワード数、バーストモードではN > 1)

Internal and External Temperature Sensor Specifications

($V_{AVDD} = 4.75V$ to $5.25V$, $V_{DVDD} = 3.3V$, $V_{AVDDIO} = +12.0V$, $V_{AGND} = V_{DGND} = 0V$, $V_{AVSSIO} = -2.0V$, $V_{DACREF} = 2.5V$, $V_{ADCREF} = 2.5V$ (Internal), $f_S = 400ksps$, 10V analog input range set to range 1 (0 to +10V). $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ACCURACY						
Accuracy of Internal Sensor (Note 6,8)		$0^\circ C \leq T_J \leq +80^\circ C$		± 0.3	± 2.0	$^\circ C$
		$-40^\circ C \leq T_J \leq +125^\circ C$		± 0.7	± 5	$^\circ C$
Accuracy of External Sensor (Note 6,8)		$0^\circ C \leq T_{RJ} \leq +80^\circ C$		± 0.3	± 2.0	$^\circ C$
		$-40^\circ C \leq T_{RJ} \leq +150^\circ C$		± 1.0	± 5	$^\circ C$
Temperature Measurement Resolution				0.125		$^\circ C$
External Sensor Junction Current	High			68		μA
	Low			4		μA
External Sensor Junction Current	High	Series resistance cancellation mode		136		μA
	Low	Series resistance cancellation mode		8		μA
Remote Junction Current Conversion Ratio				17		
D0N/D1N Voltage (Internally Generated)		Internally Generated		0.5		V

Power Supply Specifications

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
V_{AVDD}			4.75		5.25	V
V_{DVDD}			1.62		5.50	V
V_{AVDDIO}			V_{AVDD}		15.75	V
V_{AVSSIO}			-12.0		0	V
V_{AVDDIO} to V_{AVSSIO}			V_{AVDD}		24	V
I_{AVDD}		All ports in high-impedance mode		14	18	mA
		LPEN = 1		11		mA
		All ports in ADC-related modes		17		mA
		All ports in DAC-related modes		18		mA
I_{DVDD}		Serial interface in idle mode			2	μ A
I_{AVDDIO}		All ports in mode 0			150	μ A
I_{AVSSIO}		All ports in mode 0	-400			μ A

Recommended VDDIO/VSSIO Supply Selection

		ADC RANGE			
		-10V TO 0V	-5V TO +5V	0V TO +10V	0 TO 2.5V
DAC RANGE	-10V TO 0V	$V_{AVDDIO} = +5V$ $V_{AVSSIO} = -12V$	$V_{AVDDIO} = +5V$ $V_{AVSSIO} = -12V$	$V_{AVDDIO} = +10V$ $V_{AVSSIO} = -12V$	$V_{AVDDIO} = +5V$ $V_{AVSSIO} = -12V$
	-5V TO +5V	$V_{AVDDIO} = +7V$ $V_{AVSSIO} = -10V$	$V_{AVDDIO} = +7V$ $V_{AVSSIO} = -7V$	$V_{AVDDIO} = +10V$ $V_{AVSSIO} = -7V$	$V_{AVDDIO} = +7V$ $V_{AVSSIO} = -7V$
	0V TO +10V	$V_{AVDDIO} = +12V$ $V_{AVSSIO} = -10V$	$V_{AVDDIO} = +12V$ $V_{AVSSIO} = -5V$	$V_{AVDDIO} = +12V$ $V_{AVSSIO} = -2V$	$V_{AVDDIO} = +12V$ $V_{AVSSIO} = -2V$

The values of V_{AVDDIO} and V_{AVSSIO} supply voltages depend on the application circuit and the device configuration.

V_{AVDDIO} needs to be the maximum of those four values:

- If one or more ports are in mode 3, 4, 5, 6, or 10 (DAC-related modes), V_{AVDDIO} must be set, at minimum, to the value of the largest voltage driven by any of the ports set in those modes. For improved linearity, it is recommended to set V_{AVDDIO} 2.0V above the largest voltage value.
- If one or more ports are in mode 7, 8, or 9 (ADC-related modes), V_{AVDDIO} must be set, at minimum, to the value of the largest voltage applied to any of the ports set in those modes.
- If one or more ports are in mode 11 or 12 (Analog switch-related modes), V_{AVDDIO} must be set, at minimum, to 2.0V above the value of the largest voltage applied to any of the ports functioning as analog switch terminals.
- V_{AVDDIO} cannot be set lower than V_{AVDD} .

V_{AVSSIO} needs to be the minimum of those four values:

- If one or more ports are in mode 3, 4, 5, 6, or 10 (DAC-related modes), V_{AVSSIO} must be set, at maximum, to the value of the lowest voltage driven by any of the ports set in those modes. For improved linearity, it is recommended to set V_{AVSSIO} 2.0V below the lowest voltage value.
- If one or more ports are in mode 7, 8, or 9 (ADC-related modes), V_{AVSSIO} must be set, at maximum, to the value of the lowest voltage applied to any of the ports set in those modes.

Recommended VDDIO/VSSIO Supply Selection (continued)

- If one or more ports are in mode 11 or 12 (Analog Switch-related modes), V_{AVSSIO} must be set, at maximum, to 2.0V below the value of the lowest voltage applied to any of the ports functioning as analog switch terminals.
- V_{AVSSIO} cannot be set higher than V_{AGND} .

For example, the MAX11311 can operate with only one voltage supply of 5V ($\pm 5\%$) connected to AVDD, AVDDIO, and DVDD, and one ground of 0V connected to AGND, DGND, and AVSSIO. However, the level of performance presented in the electrical specifications requires the setting of the supplies connected to AVDDIO and AVSSIO as previously described.

Common PIXI Electrical Specifications

($V_{AVDD} = 4.75V$ to $5.25V$, $V_{DVDD} = 3.3V$, $V_{AVDDIO} = +12.0V$, $V_{AGND} = V_{DGND} = 0V$, $V_{AVSSIO} = -2.0V$, $V_{DACREF} = 2.5V$, $V_{ADCREF} = 2.5V$ (Internal), $f_S = 400kps$, 10V analog input range set to range 1 (0 to +10V). $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
PIXI PORTS						
Input Capacitance		All PIXI ports		20		pF
Input Resistance		All PIXI input ports except ADC mode	50	75	100	k Ω
Startup Time		Between stable supplies and accessing registers			100	ms
HIGH-VOLTAGE OUTPUT DRIVER CHARACTERISTICS						
Maximum Output Capacitance					250	pF
Output Low Voltage, DAC Mode		Sinking 25mA, $V_{AVSSIO} = 0V$, $V_{AVDDIO} = 10V$			$V_{AVSSIO} + 1.0$	V
Output High Voltage, DAC Mode		Sourcing 25mA, $V_{AVSSIO} = 0V$, $V_{AVDDIO} = 10V$	$V_{AVDDIO} - 1.5$			V
Output Low Voltage, GPO Mode		Sinking 2mA, $V_{AVSSIO} = 0V$, $V_{AVDDIO} = 10V$			$V_{AVSSIO} + 0.4$	V
Output High Voltage, GPO Mode		Sourcing 2mA, $V_{AVSSIO} = 0V$, $V_{AVDDIO} = 10V$	$V_{AVDDIO} - 0.4$			V
Current Limit		Short to AVDDIO		75		mA
		Short to AVSSIO		75		mA

Note 2: Electrical specifications are production tested at $T_A = +25^\circ C$. Specifications over the entire operating temperature range are guaranteed by design and characterization. Typical specifications are at $T_A = +25^\circ C$.

Note 3: DC accuracy specifications are tested for single-ended ADC inputs only.

Note 4: The effective ADC sample rate for port X configured in mode 6, 7, or 8 is:

$$[\text{ADC sample rate per ADCCONV}] / ([\text{number of ports in modes 6,7,8}] + [1 \text{ if TMPSEL} \neq 000]) \times [2\# \text{ OF SAMPLES for port X}]$$

Note 5: See the *Recommended VDDIO/VSSIO Supply Selection* table for each range. For ports in modes 6, 7, 8, or 9, the voltage applied to those ports must be within the limits of their selected input range, whether in single-ended or differential mode.

Note 6: Specification is guaranteed by design and characterization.

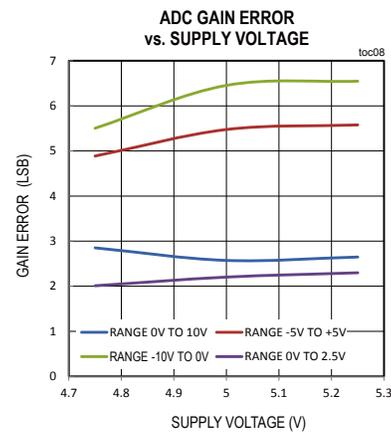
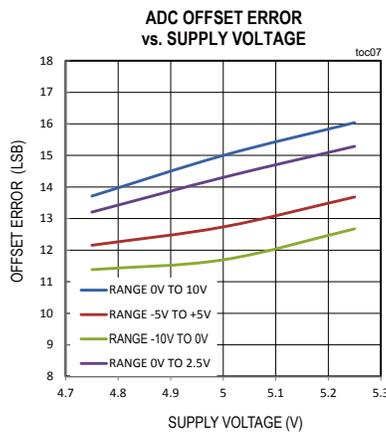
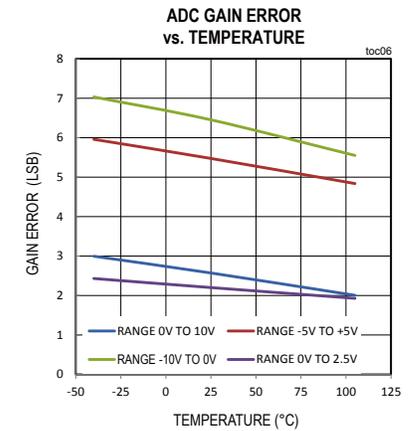
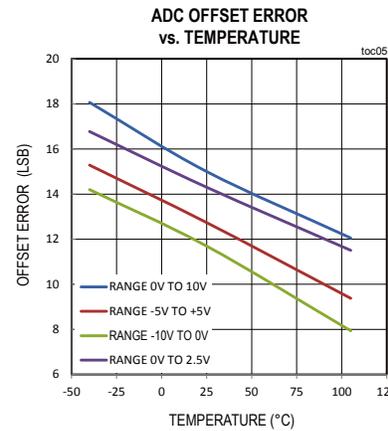
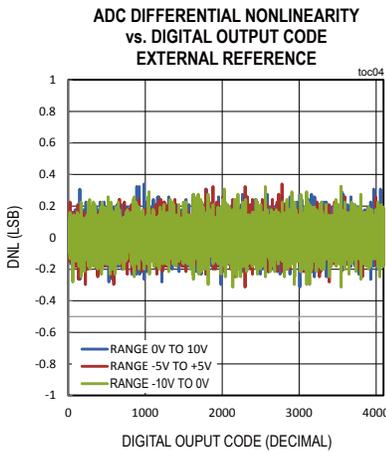
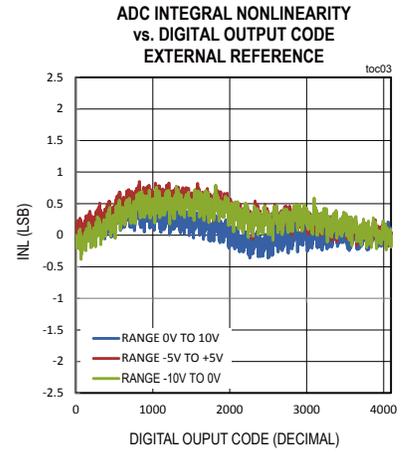
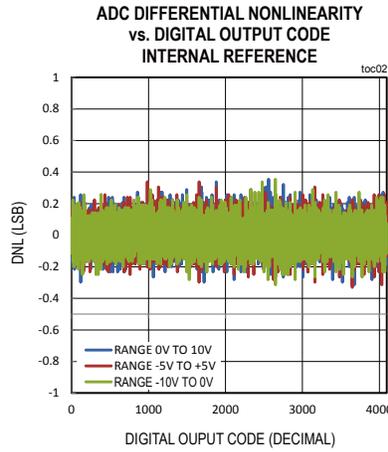
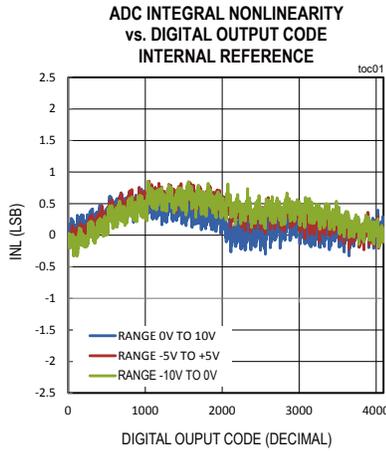
Note 7: Switch controlled by GPI-configured port. One switch terminal connected to 0V, the other terminal connected to 5V through a 5mA current source. Timing is measured at the 2.5V transition point. Turn-on and turn-off delays are measured from the edge of the control signal to the 2.5V transition point. Turn-on and turn-off durations are measured between control signal transitions.

Note 8: In DAC-related modes, the rate, at which PIXI ports configured in mode 1, 3, 4, 5, 6, or 10 are refreshed, is as follows:
 $1/(40\mu s \times [\text{number of ports in modes 1, 3, 4, 5, 6, 10}])$

Note 9: Typical (TYP) values represent the errors at the extremes of the given temperature range.

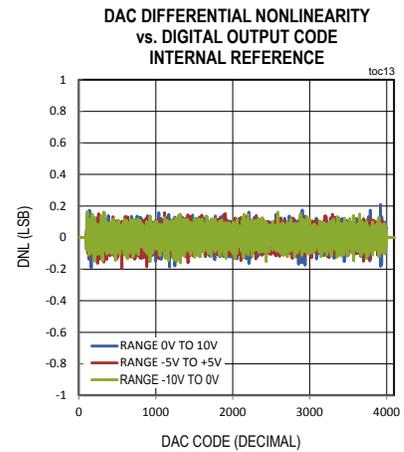
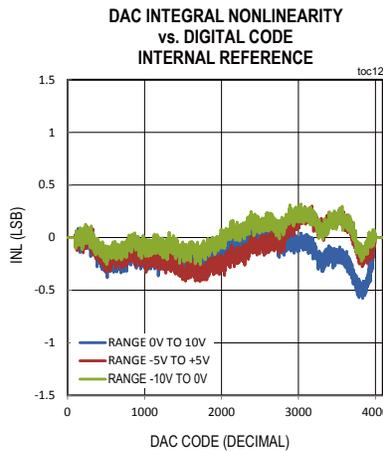
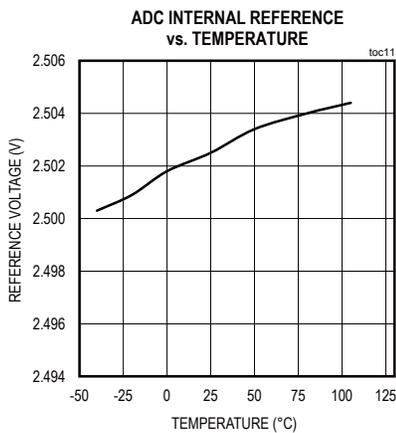
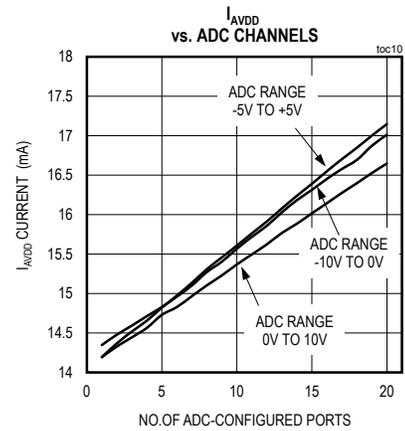
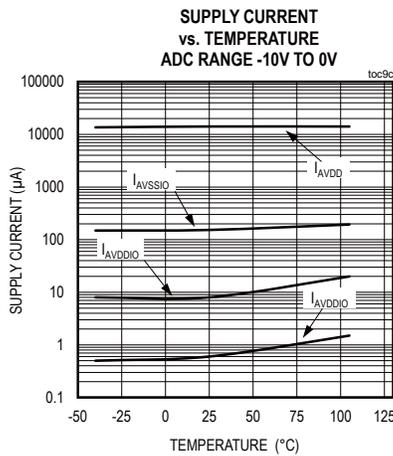
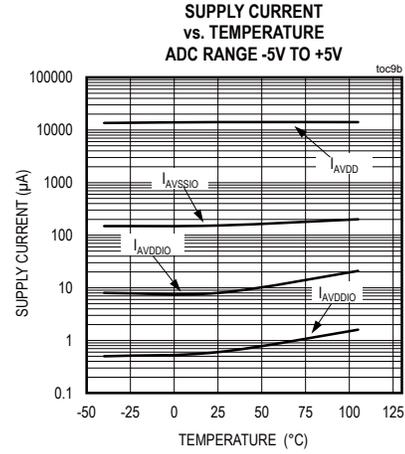
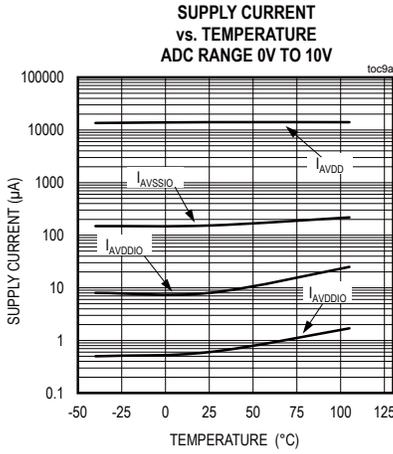
標準動作特性

(TA = +25°C, unless otherwise noted.)



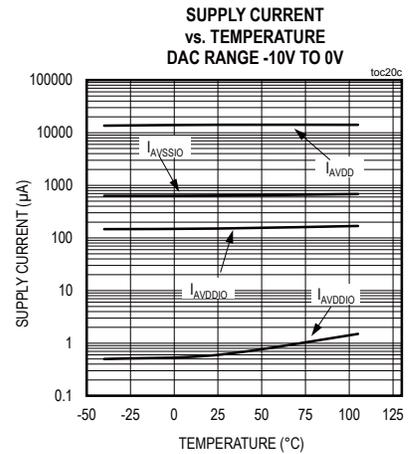
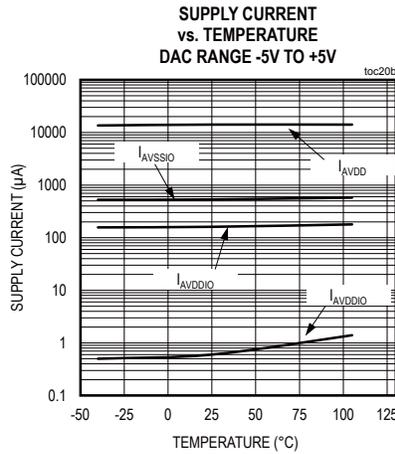
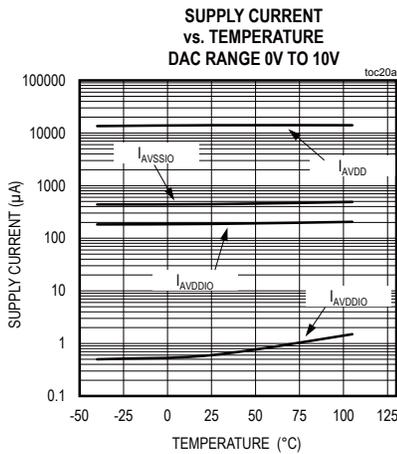
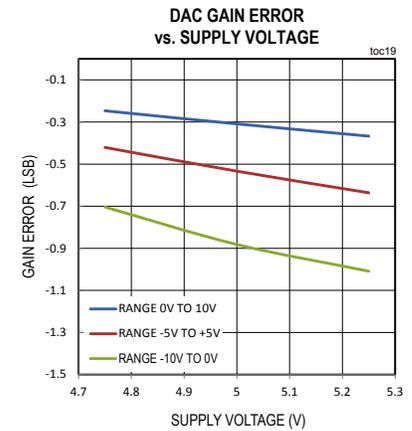
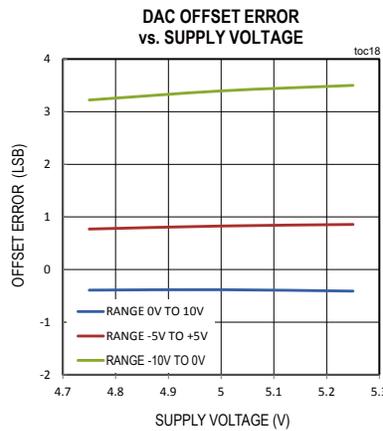
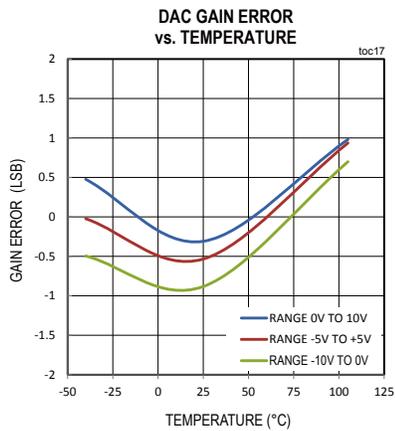
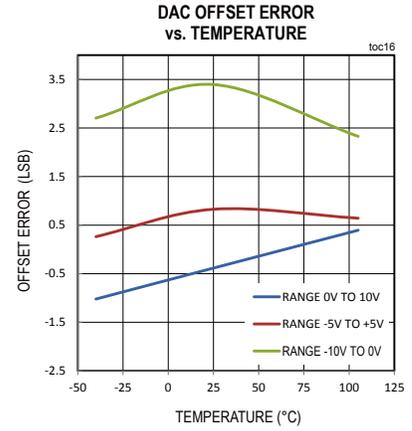
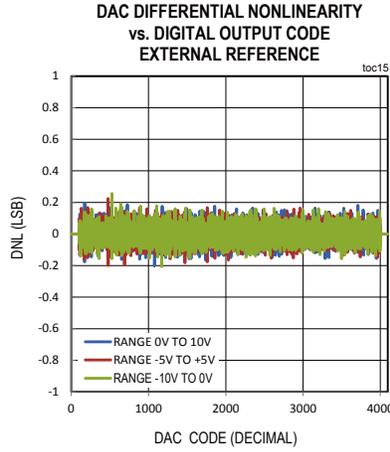
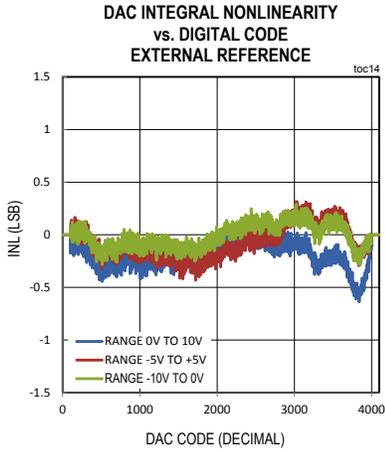
標準動作特性(続き)

(TA = +25°C, unless otherwise noted.)



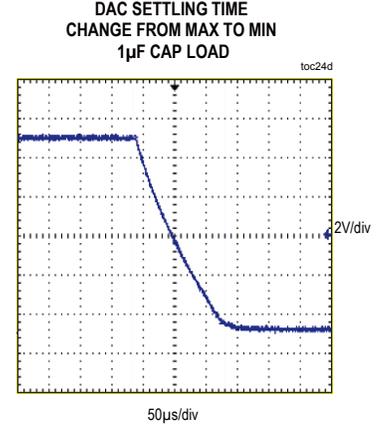
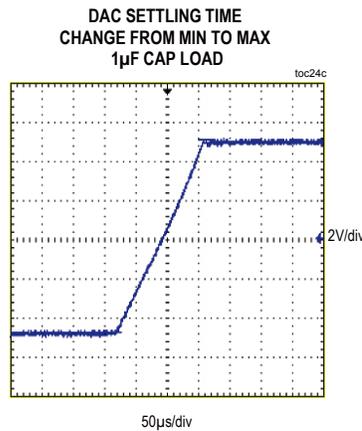
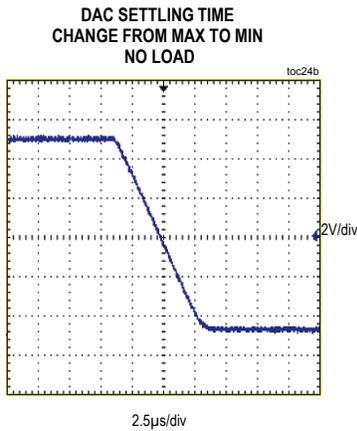
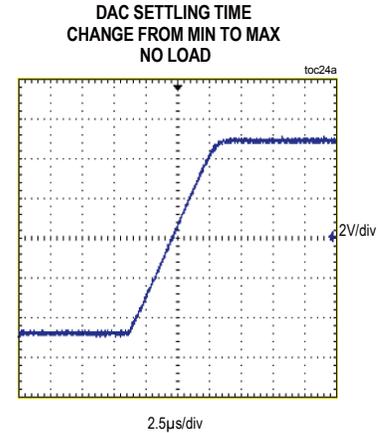
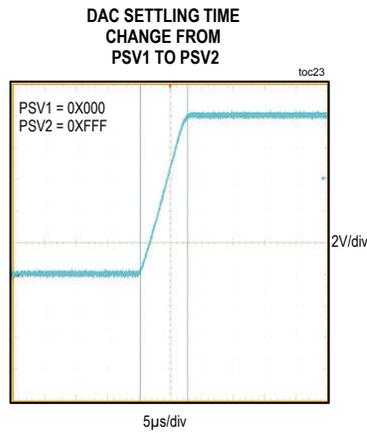
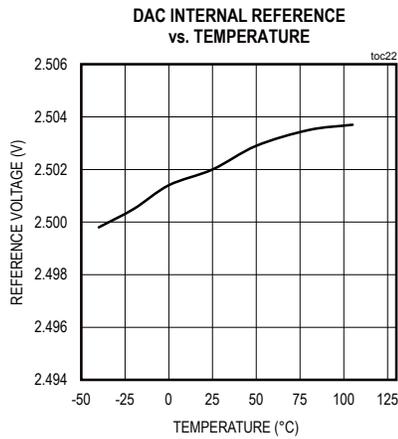
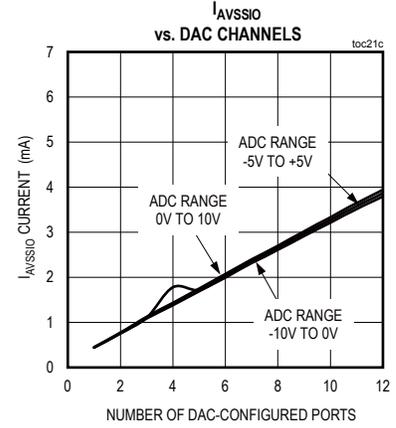
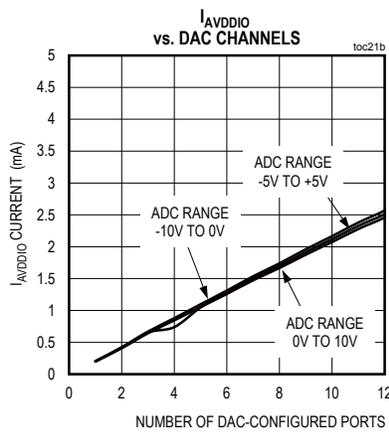
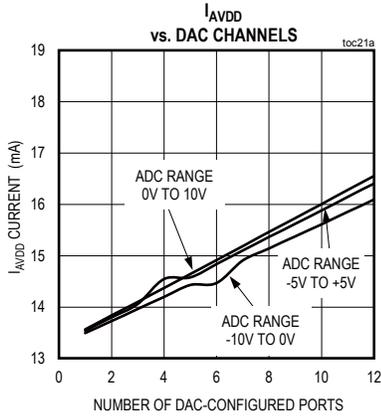
標準動作特性(続き)

(TA = +25°C, unless otherwise noted.)



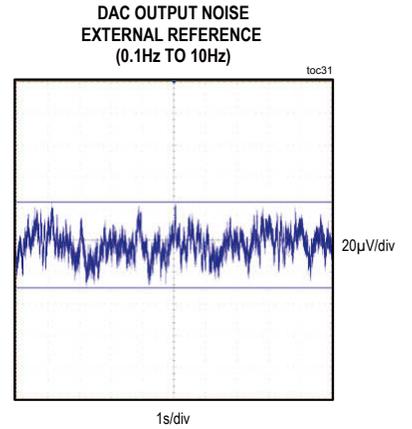
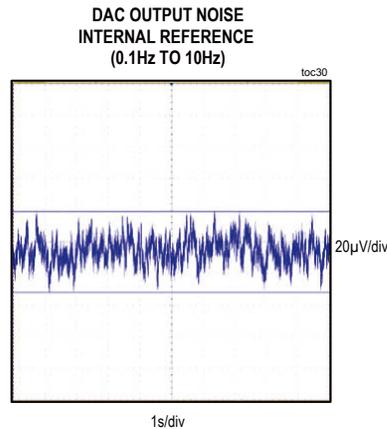
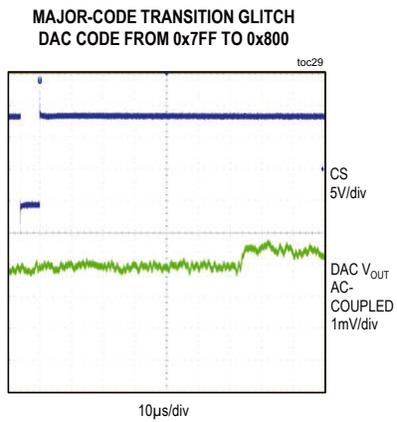
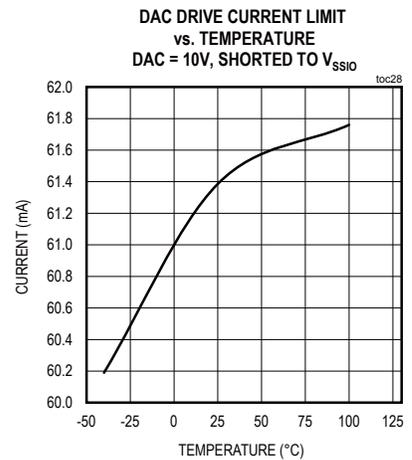
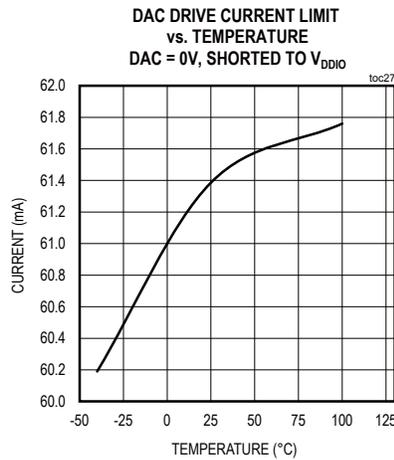
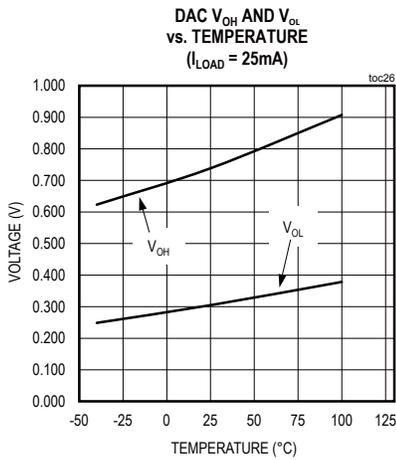
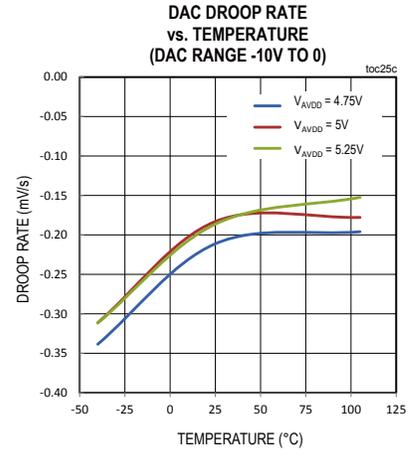
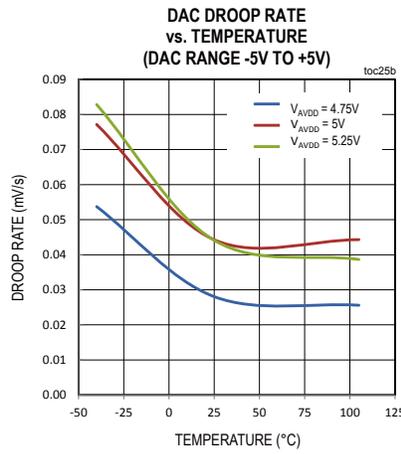
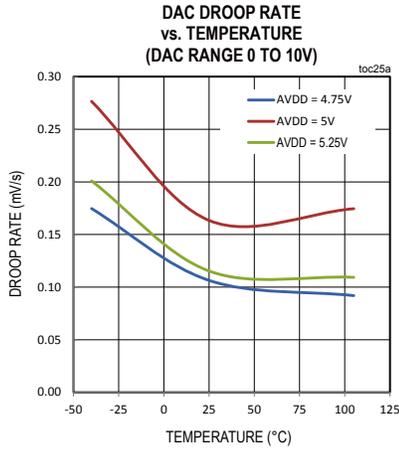
標準動作特性(続き)

(TA = +25°C, unless otherwise noted.)



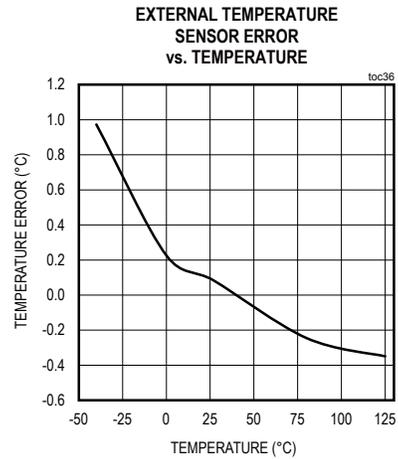
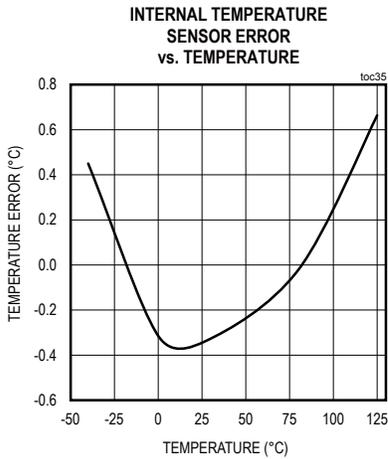
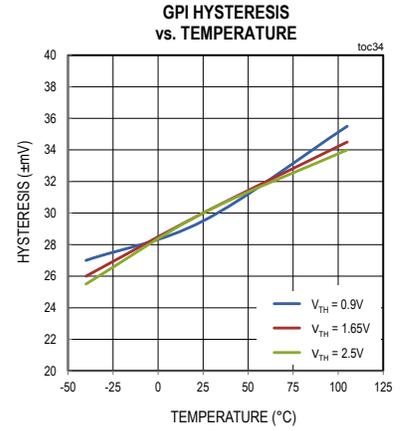
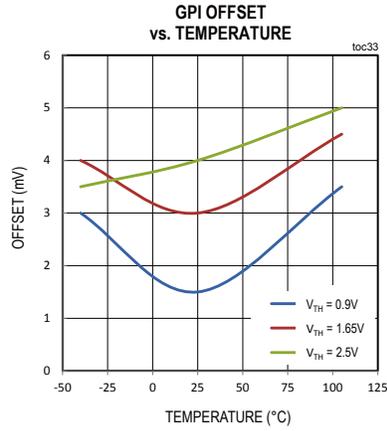
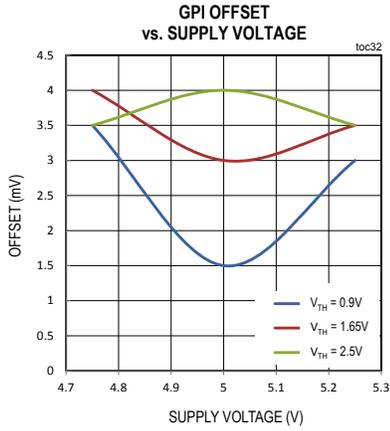
標準動作特性(続き)

(TA = +25°C, unless otherwise noted.)

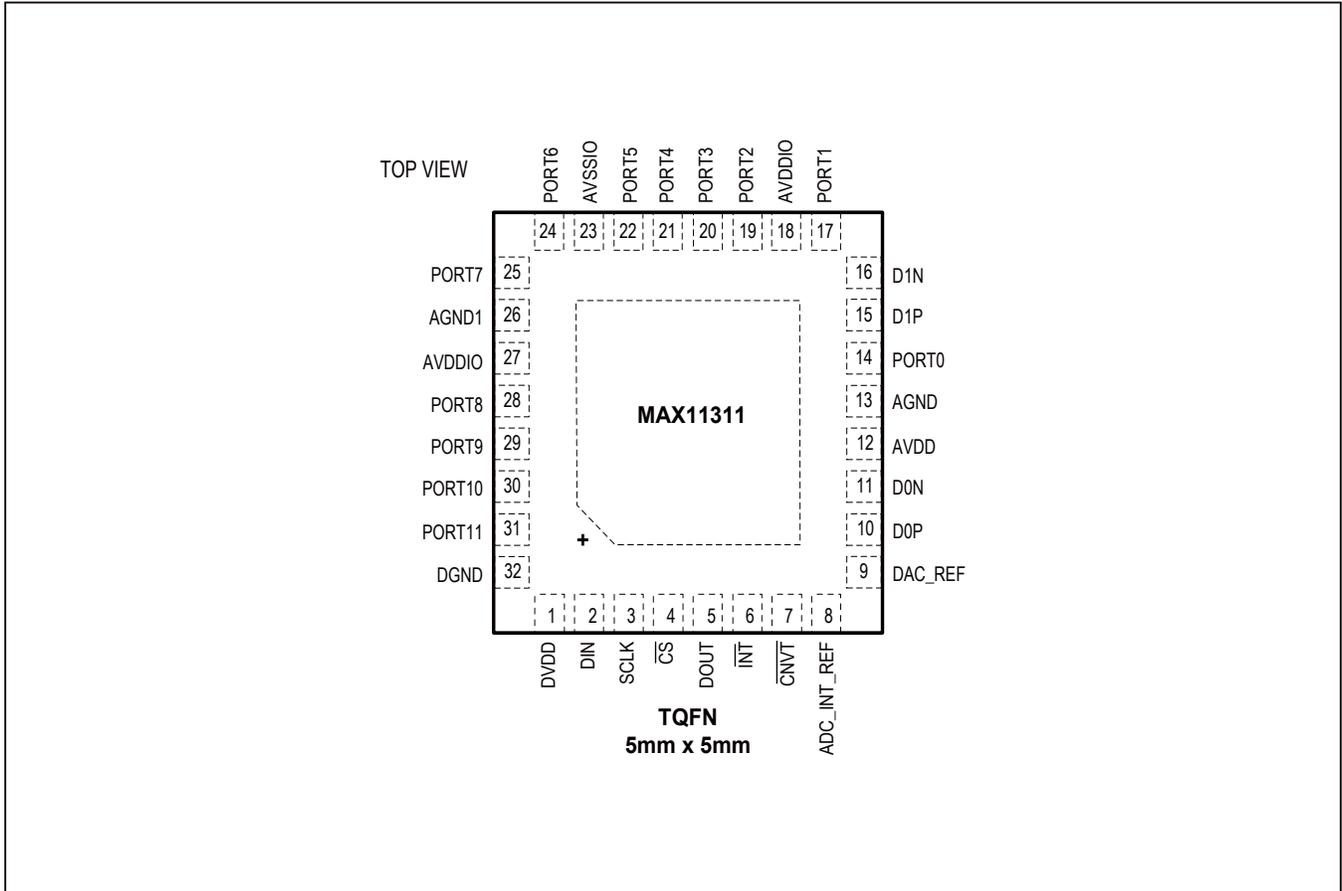


標準動作特性(続き)

(TA = +25°C, unless otherwise noted.)



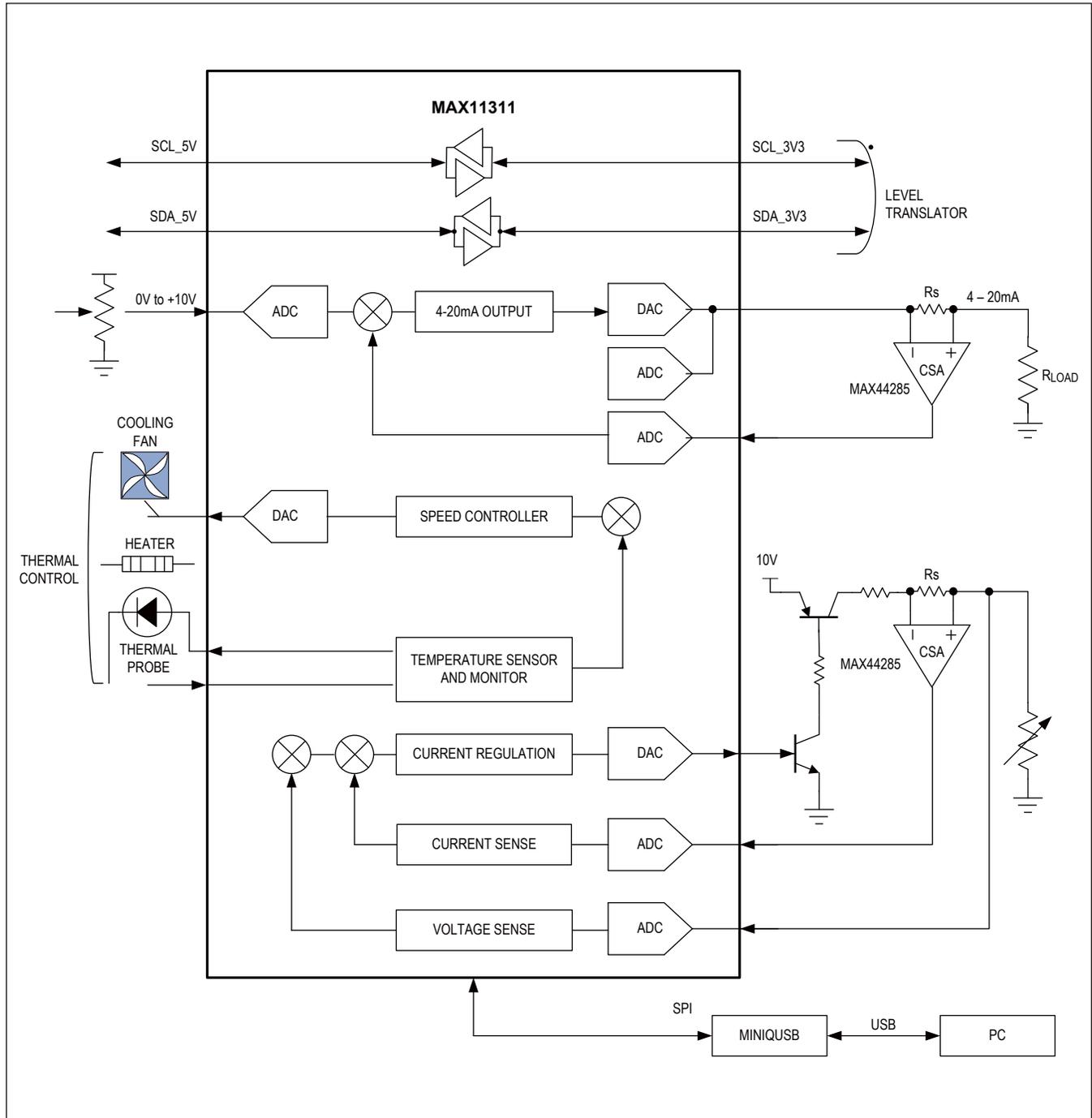
ピン配置



端子説明

端子	名称	機能
1	DVDD	正デジタル電源
2	DIN	シリアルインタフェースデータ入力
3	SCLK	シリアルインタフェースクロック入力
4	CSB	シリアルインタフェースチップ選択。アクティブロー。
5	DOUT	シリアルインタフェースデータ出力
6	INT $\bar{}$	割込みオープンドレイン出力。アクティブロー。
7	CNV $\bar{}$ T	ADCトリガ制御入力。アクティブロー。
8	ADC_INT_REF	ADC内部電圧リファレンス出力。バイパスコンデンサをこの端子に接続します(4.7 μ F~10 μ F)。
9	DAC_REF	DAC外部/内部電圧リファレンス入力。バイパスコンデンサをこの端子に接続します(4.7 μ F~10 μ F)。
10	D0P	第1外部温度センサー正入力
11	D0N	第1外部温度センサー負入力
12	AVDD	正アナログ電源
13	AGND	アナロググランド
14	PORT0	設定可能ミックスドシグナルポート0
15	D1P	第2外部温度センサー正入力
16	D1N	第2外部温度センサー負入力
17	PORT1	設定可能ミックスドシグナルポート1
18,27	AVDDIO	ミックスドシグナルポート用アナログ正電源。両方の端子をAVDDIOに接続します。
19	PORT2	設定可能ミックスドシグナルポート2
20	PORT3	設定可能ミックスドシグナルポート3
21	PORT4	設定可能ミックスドシグナルポート4
22	PORT5	設定可能ミックスドシグナルポート5
23	AVSSIO	ミックスドシグナルポート用アナログ負電源。
24	PORT6	設定可能ミックスドシグナルポート6
25	PORT7	設定可能ミックスドシグナルポート7
26	AGND1	アナロググランド
28	PORT8	設定可能ミックスドシグナルポート8
29	PORT9	設定可能ミックスドシグナルポート9
30	PORT10	設定可能ミックスドシグナルポート10
31	PORT11	設定可能ミックスドシグナルポート11
32	DGND	デジタルグランド
—	EP	エクスポーズパッド。EPをAVSSIOに接続します。

アプリケーション回路



制御および監視ソリューション

詳細

機能概要

MAX11311は、12個の設定可能なミックスドシグナル/I/Oポートを備えています。各ポートは、DAC出力、ADC入力、GPI、GPO、またはアナログスイッチターミナルとして個別に設定されます。それらの設定のそれぞれに対して、ユーザー制御可能なパラメータが用意されています。このデバイスは、内部温度センサー1個と外部温度センサー2個を備えています。シリアルインタフェースは、SPIモード0インタフェースとして動作します。

DACは、DAC設定ポートのDACデータレジスタで定義された電圧を駆動するために使用されます。DACでは、内部または外部のどちらかの電圧リファレンスを使用します。電圧リファレンスの選択は全ポートに対して設定され、ポート単位で設定することはできません。

ADCはADC設定ポートに印加される電圧を変換します。ADCはシングルエンドモードまたは差動モードで動作可能です。差動モードでは、任意の2つのポートで差動ペアを構成することができます。ADCの負入力として設定されたポートは、複数の差動ADC入力ペアで使用可能です。ADCでは、内部電圧リファレンスを使用します。構成によっては、ADCでDAC電圧リファレンスを使用することもあります。ADCの電圧リファレンスの選択は、ポート単位で設定することができます。

割込みは、割込みマスクレジスタの設定に基づき、ユーザーが選択したイベントの発生をホストに通知します。

ADCの動作

ADCは、最高400kspsで単一入力をサンプリング可能な、12ビット、低電力、逐次比較型アナログ-デジタルコンバータです。ADCの変換レートは、400ksps、333ksps、250ksps、200kspsのいずれかにプログラムすることができます。変換レートのデフォルト設定は200kspsです。各ADC設定ポートは、0V~+10V、-5V~+5V、-10V~0V、0V~+2.5Vの4つの入力電圧範囲の1つにプログラムすることができます。ADCでは、2.5V内部ADC電圧リファレンス、また場合によってはDAC電圧リファレンスを使用します。電圧リファレンスはポート単位で選択可能です。

ADCの制御

ADCは、外部信号 \overline{CNVT} を使用するか、または制御ビットからトリガすることができます。 \overline{CNVT} はアクティブローであり、変換をトリガするには0.5 μ s以上の間、ローに保つ必要があります。次の4つの設定を利用可能です。

- アイドルモード(デフォルト設定)。

- 単一スイープモード。 \overline{CNVT} がアサートされたら、ADCは最小インデックスのポートから最大インデックスのポートまで、ADC設定ポートを逐次スイープします。
- 単一変換モード。 \overline{CNVT} がアサートされると、ADCは一連のADC設定ポートのうち現在のポートで1つだけ変換を実行します。
- 連続スイープモード。ADCはADC設定ポートを継続的にスイープします。このモードでは、 \overline{CNVT} ポートは無効です。

ADCの平均化機能

ADC設定ポートは、2個、4個、8個、16個、32個、64個、または128個の変換結果のブロックを平均するように設定可能です。対応するADCデータレジスタは平均化完了時にのみ更新されるため、比例してスループットが低下します。特定のポートで平均されるサンプルの数を変更した場合は、新しいサンプルブロックの平均化を開始する前に、そのポートのADCデータレジスタの内容がクリアされます。

ADCのモード変更

ユーザーがADCのアクティブモード(連続スイープ、単一スイープ、単一変換)を変更すると、ADCデータレジスタはリセットされます。ただし、ADCをアイドルモードに変更するときは、ADCデータレジスタの内容が維持されます。

ADCの設定

ADCは、シングルエンド、差動、または擬似差動モードで動作することができます。シングルエンドモードでは、PIXIポートはADCへの正入力であり、負入力は内部でグランドされます(図3)。差動モード(図4)では、PIXIポートの任意のペアを差動ADCへの入力として設定することができます。擬似差動モード(図5)では、1つのPIXIポートでADCの負入りに印加される電圧を生成し、もう1つのPIXIポートで正入力を構成します。

ADCのデータフォーマットは、シングルエンドモードではストレートバイナリであり、差動モードと擬似差動モードでは2の補数です。

DACの動作

MAX11311は、40 μ s/ポートのレートで動作する12ビットDACを使用します。DAC関連のモードでは最大12個のポートを設定することができるため、ポート当りの最低リフレッシュレートは2.083kHzです。

DACドライバのオフセットとゲインの設定に外付け部品は不要です。PIXIポートドライバは、 ± 10 Vの広い出力電圧範囲と専用電源(AVDDIO、AVSSIO)による大電流能力を備えています。

DACでは、内部または外部のどちらかの電圧リファレンスを使用します。ADCとは異なり、DACの電圧リファレンスはポートごとに設定することができません。DACモードの構成を図6に示しています。

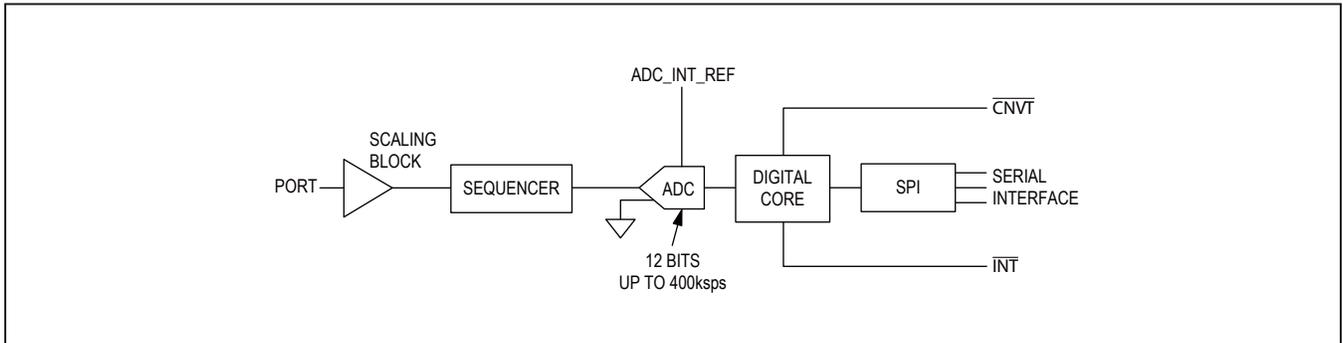


図3. シングルエンド入力のADC

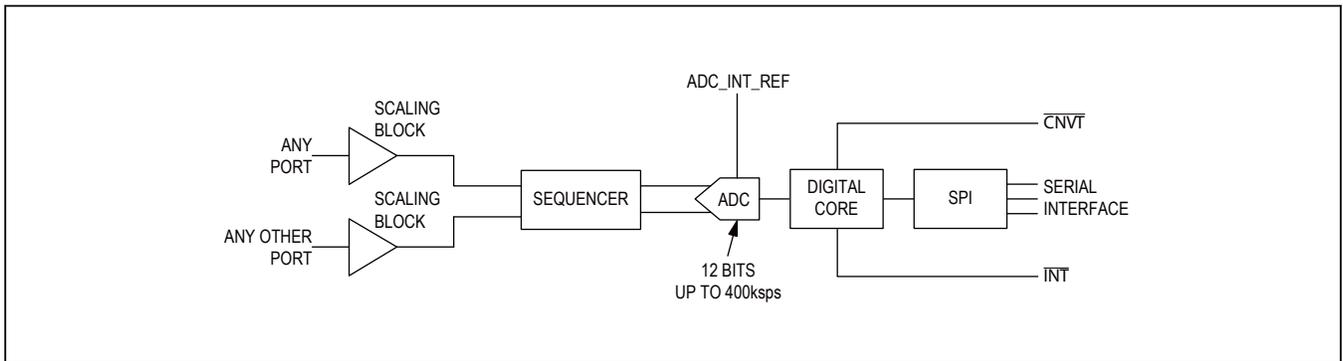


図4. 差動入力のADC

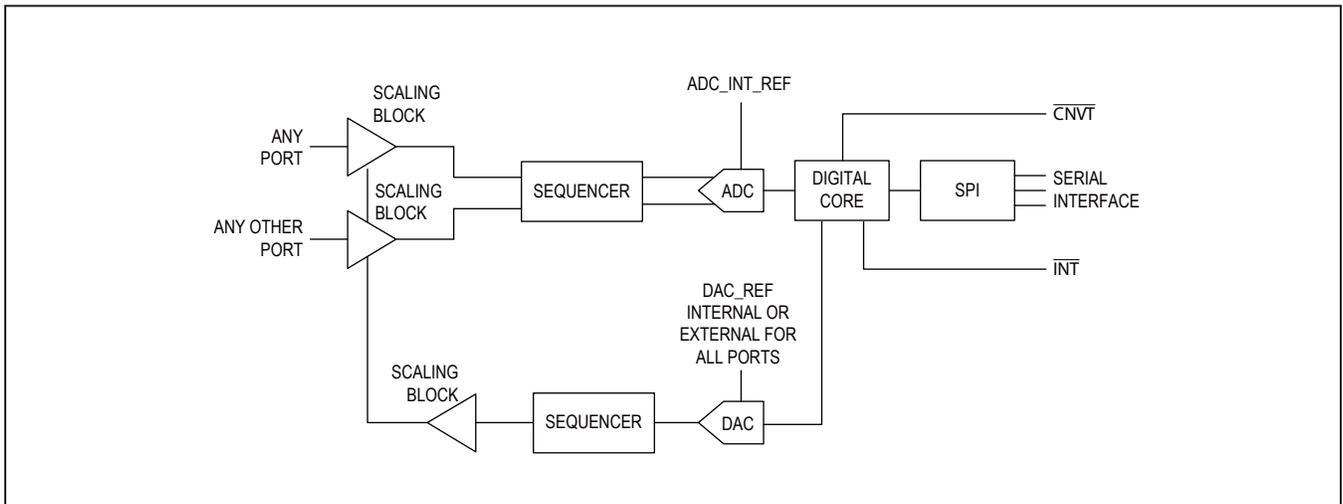


図5. DACで設定する擬似差動入力のADC

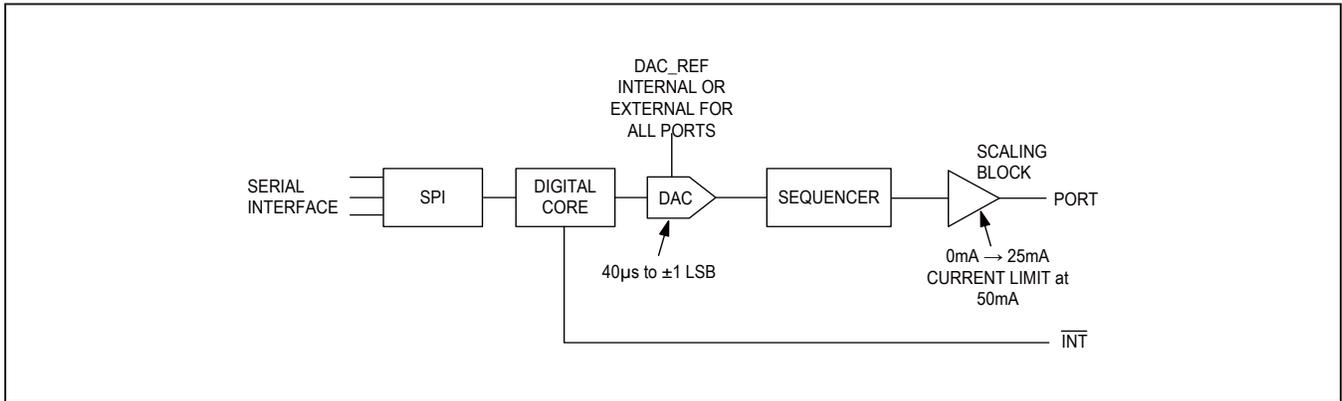


図6. DACの構成

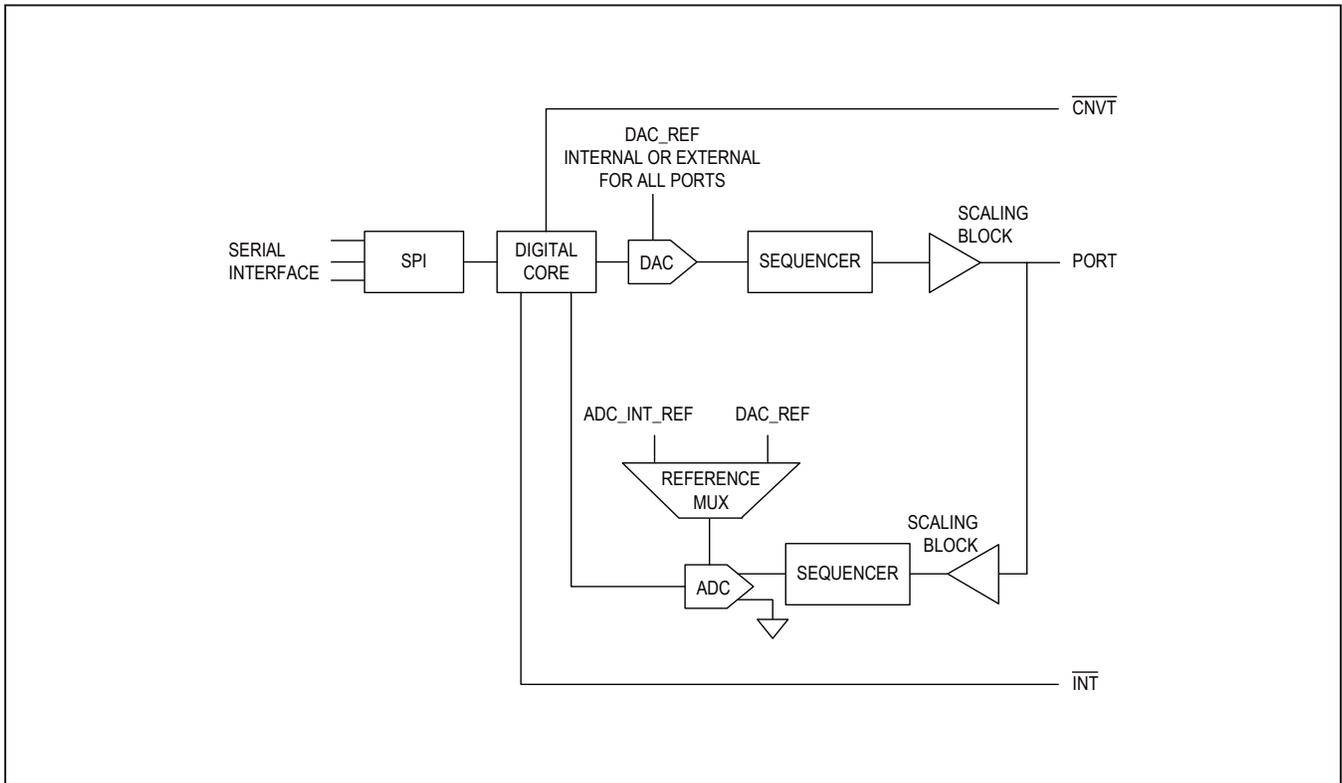


図7. DACのADC監視付き構成

DACの動作はADCによって監視することができます。そのようなモードでは、ADCでDAC設定ポートをサンプリングすることによって、ADCとDACの精度からそのポートの電圧が期待される範囲内にあることをホストで監視することが可能です。このADC監視モードは図7に示しています。

デフォルトでは、DACはDAC設定ポートを逐次更新します。しかし、ユーザーはシーケンス上、変換対象のデータを新

たに受信したポートにジャンプして更新を行うようにDACを設定することができます。このポートを更新した後、DACはデフォルトのシーケンスをそのポートから続行します。そのモードでは、ユーザーは後のジャンプ動作のために、DACデータレジスタの更新間隔として80µs以上を見込む必要があります。

ポート別のDACデータレジスタに加えて、ホストでは2つのプリセットDACデータレジスタの1つを使用して、同一のデータをすべてのDAC関連ポートに使用することもできます。

DAC出力ドライバは、いずれも過電流制限回路によって保護されます。過電流が生じた場合、MAX11311は割込みを生成します。詳細ステータスレジスタがホストに提供されており、電流制限されたポートを特定することができます。

汎用入出力

各PIXIポートはGPIまたはGPOとして設定可能です。GPIのスレッシュホールド(図8)は、そのGPIポートのDACデータレジスタを対応する電圧に設定することによって調整します。

DACデータレジスタが0x0FFFで設定された場合、GPIのスレッシュホールドはDACのリファレンス電圧です。入力信号の振幅は、0V~V_{AVDD}の範囲内に収める必要があります。GPI設定ポートは、立上りエッジ、立下りエッジ、またはそのどちらかのエッジを検出するように設定したり、どちらも検出しないように設定したりすることができます。

ポートがGPOとして設定されると(図9)、そのロジック1レベルの振幅はDACデータレジスタによって設定されます。DACデータレジスタが0x0FFFで設定された場合、GPOのロジック1レベルはDACのリファレンス電圧の4倍です。ロジック0レベルは常に0Vです。ホストでは、対応するGPOデータレジスタによってGPO設定ポートのロジック状態を設定することができます。

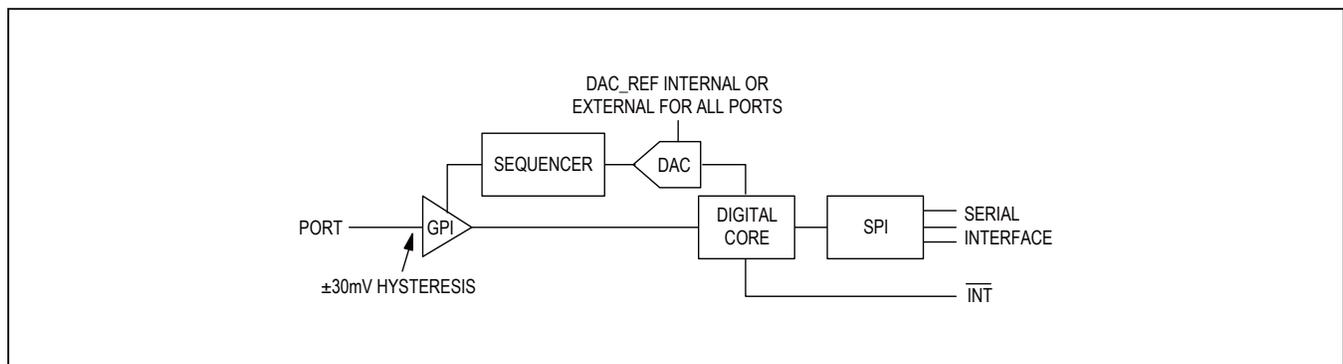


図8. GPIモード

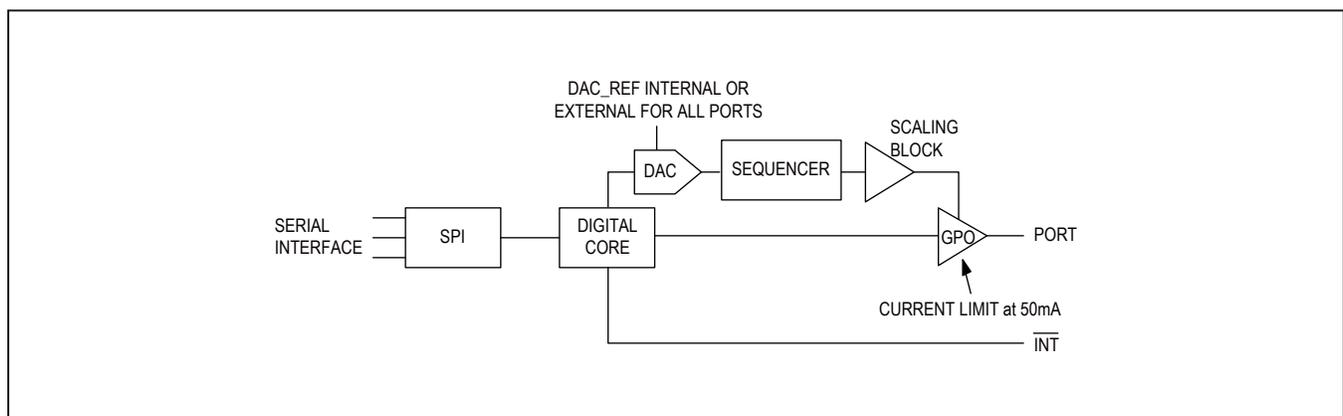


図9. GPOモード

単方向および双方向レベルトランスレータ動作

GPI設定ポートとGPO設定ポートを組み合わせることによって、単方向レベルトランスレータパスを構成することができます。パスの入力における信号方式が、終端の信号方式と異なってきまいません(図10)。たとえば、単方向パスで信号を1.8Vロジックレベルから3.3Vロジックレベルに変換することができます。

単方向パス構成では、GPI設定ポートで受信した信号を1つ以上のGPO設定ポートに送信することが可能です。

隣接するPIXIポートのペアで、オープンレインドライバでの動作を想定した双方向レベルトランスレータパスを構成することもできます(図11)。この構成では、隣接するPIXIポートは同じ6チャンネルのグループ(PORT0~PORT5またはPORT6~PORT11)である必要があります。双方向レベルトランスレータとして使用する場合、適切なロジックレベルを満たすには、PIXIポートのペアに外付けのプルアップ抵抗を組み合わせる必要があります。

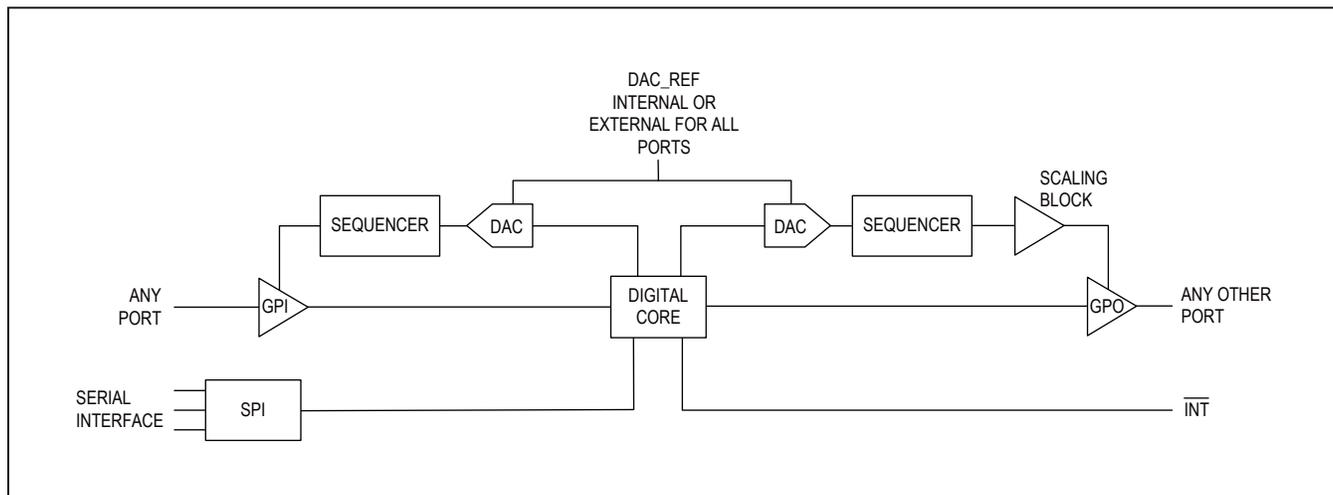


図10. 単方向レベルトランスレータパスモード

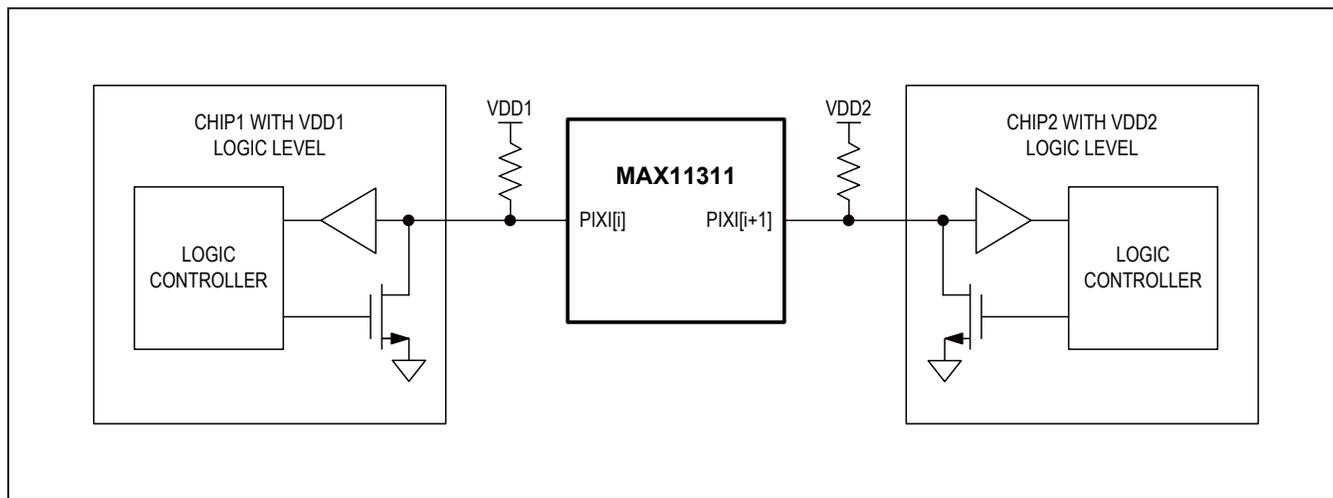


図11. 双方向レベルトランスレータアプリケーションの図

内部または外部制御のアナログスイッチ動作

同じポートのグループ(PORT0~PORT5またはPORT6~PORT11)の隣接する2つのPIXIポートは、2つの異なる構成で制御される60Ωのアナログスイッチを形成することができます。PORT5とPORT6間やPORT0とPORT11間など、異なるグループの設定可能ポート間でアナログスイッチを構成することはできません。1つの構成では、スイッチは図12に示すように、他の任意のGPIO設定PIXIポートによって動的に制御されます。そのGPIO設定ポートに印加される信号は反転可能です。

もう1つの構成では、スイッチは対応するPIXIポートを設定することによって永続的にオンとなるようにプログラムされます。スイッチをオフにするには、ホストでそのPIXIポートをハイインピーダンスに設定する必要があります。

電源ブラウンアウト検出

MAX11311は、AVDDIO端子とAVDD端子を監視するブラウンアウト検出回路を備えています。AVDDIOが約4.0Vを下回ると、割込みが登録され、マスクされていなければ割込みポートがアサートされます。AVDDが約4.0Vを下回ると、デバイスはリセットされます。

SPI動作

MAX11311のSPIインタフェースは、図13に示すようにモード0のタイミングに適合しています。MAX11311は、SCLKの立上りエッジで着信データをサンプリングし、SCLKの立下りエッジで送出データをリリースします。

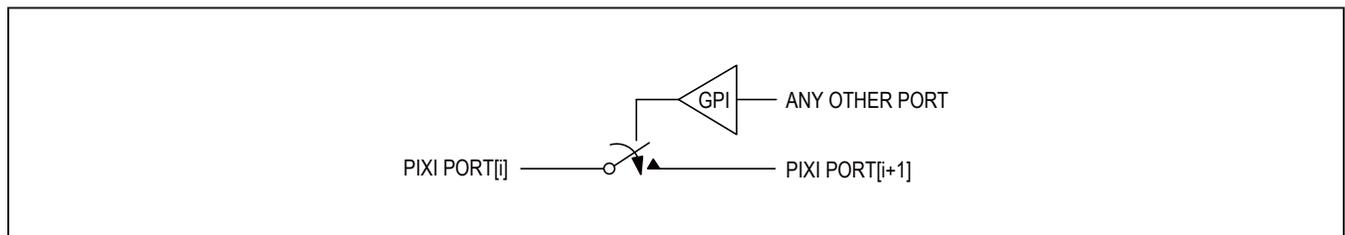


図12. PIXIポートを制御可能なアナログスイッチとして構成

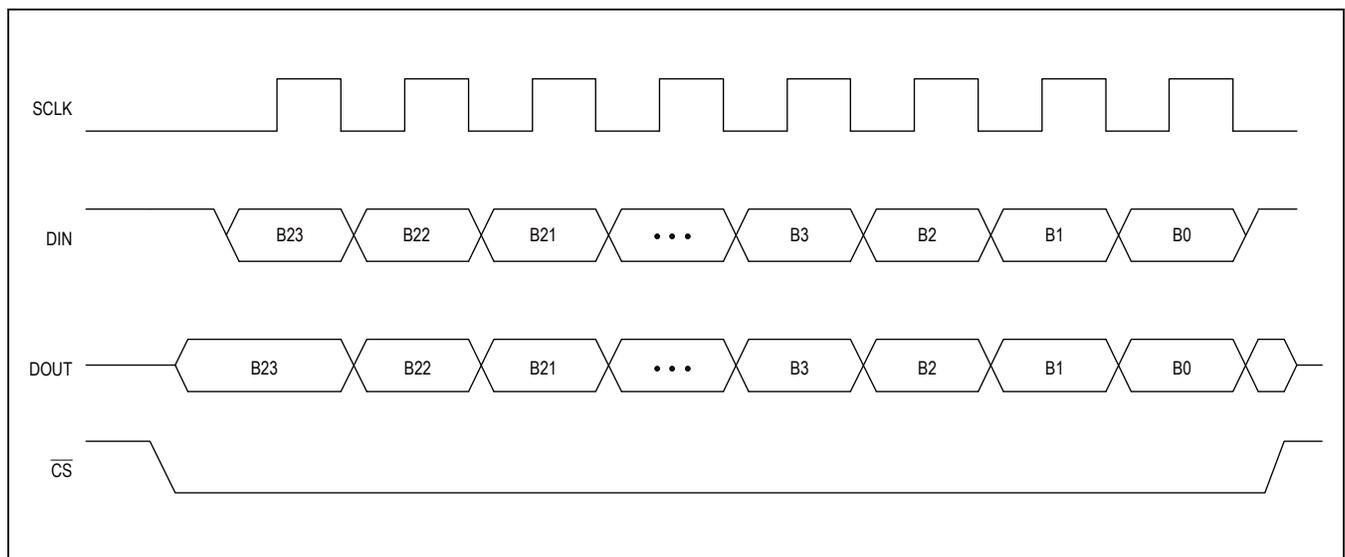


図13. SPIのタイミング(モード0)

SPIトランザクションは、最小3バイトで構成されます。各トランザクションは、 \overline{CS} のアサートによって定義されます。第1バイトには、アドレスと読み取り/書き込みビットが含まれます。第2バイトには、書き込みまたは読み取り対象データの最上位バイトが含まれます。第3バイトには、書き込みまたは読み取り対象データの最下位バイトが含まれます。そのようなトランザクションを表1に示しています。書き込みトランザクションでは、対象レジスタの内容は第3バイトの受信が完了した後にのみ変更されます。ビットは、最上位ビットから順に、DOUTから出力(またはDINに入力)されます。

トランザクションの継続時間は \overline{CS} のアサートによって決定されることに注意してください。 \overline{CS} が第3バイトの後にアサート状態のまま、SCLKが第3バイトの後にアクティブのままであれば、MAX11311は次のレジスタアドレスに対応する別のデータサンプルが受信(または送信)されたとみなします。 \overline{CS} がアサート状態のまま、SCLKがアクティブのままであれば、アドレスはインクリメントされ続けます。表2は、そのようなバーストトランザクションの例を示しています。

新しいデータサンプルの読み取りまたは書き込みが行われるたびに、最終レジスタアドレスに達するまで、レジスタアドレスは1だけインクリメントされます。

トランザクションの対象が未使用アドレスの場合、書き込みトランザクションではMAX11311内に何も書き込まれず、読み取りトランザクションでは読み取り値がすべてゼロになり

表1. 単一レジスタのSPIトランザクションフォーマット

	B7	B6	B5	B4	B3	B2	B1	B0
1st Byte	Address[6:0]							R/WB
2nd Byte	Data[15:8]							
3rd Byte	Data[7:0]							

表2. 複数レジスタのSPIトランザクションフォーマット

	B7	B6	B5	B4	B3	B2	B1	B0
1st Byte	Address_N[6:0]							R/WB
2nd Byte	Data_N[15:8]							
3rd Byte	Data_N[7:0]							
4th Byte	Data_N+1[15:8]							
5th Byte	Data_N+1[7:0]							
6th Byte	Data_N+2[15:8]							
7th Byte	Data_N+2[7:0]							
8th Byte	Data_N+3[15:8]							
9th Byte	Data_N+3[7:0]							
10th Byte	Data_N+4[15:8]							
11th Byte	Data_N+4[7:0]							

ます。同様に、書き込みトランザクションの対象が読み取り専用レジスタの場合、デバイスには何も書き込まれません。

バーストトランザクションのアドレスインクリメントモード

バーストトランザクションでは、初期レジスタのアドレスが1回入力されます。その後、対象レジスタのデータの書き込みまたは読み取りを行うことができます。シリアルクロックが継続的に動作し、 \overline{CS} がアサート状態のままである場合、デバイスはアドレスポインタをインクリメントし、16シリアルクロック周期後に次のデータの書き込みまたは読み取りを行います。この方式は \overline{CS} がデアサートされるまで続きます。

2つのアドレスインクリメントモードがあります。1つのモードでは、アドレスは単純に1だけインクリメントされます(デフォルトモード)。もう1つのモードでは、アドレスはコンテキストに応じてインクリメントされます。コンテキストアドレス指定を使用し、バースト方式でDACデータレジスタの書き込みを行う場合、ホストはDAC設定された最初のポートのアドレスを(最小ポートインデックスから)書き込みます。 \overline{CS} がアサート状態のまま別の16シリアルクロックサイクルが受信された場合は、次のDAC設定ポートに書き込みが行われます。この方式は最後のDAC設定ポートに達するまで続きます。その時点でさらにシリアルクロックサイクルが続く場合は、最初のDAC設定ポートにループバックされます。

コンテキストアドレス指定方式は、上記のようなDACデータレジスタの書き込みと、ADCデータレジスタの読み取りにのみ有効です。

割り込み動作

MAX11311は割り込みを発行してホストにさまざまなイベントを警告します。すべてのイベントが割り込みレジスタによって記録されます。割り込みレジスタのビットがアサートされると、その割り込みビットがマスクされていない場合、割り

みポート(INT)がアサートされます。デフォルトでは、電源投入時またはリセット時にすべての割込みがマスクされます。割込みの一覧については、本文書の後の方に記載されています。

ADCFLAG (ADCフラグ)割込みは、ADCで1つまたは一連の変換が完了したことを示します。この割込みがアサートされるのは、ADCが単一変換モードのときは変換終了時であり、ADCが単一スイープモードまたは連続スイープモードのときはスイープ終了時です。割込みレジスタが読み取られると、ADCFLAGはクリアされます。

ADCDR (ADCデータレディ)割込みは、1つ以上のADCデータレジスタがリフレッシュされたときにアサートされます。1回のスイープでADC設定ポート当り1つの変換が実行されるため、平均化機能を利用している特定のADC設定ポートのデータレジスタをリフレッシュするには、多数のスイープが必要になる場合があります。「[ADCの平均化機能](#)」の項を参照してください。新しいデータサンプルを受信したADC設定ポートを特定するため、ホストはADCステータスレジスタを読み取る必要があります。続いて割込みレジスタと両方のADCステータスレジスタが読み取られた後、ADCDRはクリアされます。

ADCDM (ADCデータ逸失)割込みは、ADCデータレジスタがホストによって読み取られないうちに新しいデータがそのADCデータレジスタに格納されたときにアサートされます。割込みレジスタが読み取られた後、ADCDMはクリアされます。

GPIER (GPIイベント受信)割込みは、GPI設定ポートの1つでイベントが受信されたことを示します。各GPIポートは、対応するポートにおける立上りエッジ、立下りエッジ、またはそのどちらかのエッジの検出など、特定のイベントに対して割込みを生成するように設定可能です。エッジを検出しないうちにGPIポートを設定すれば、それはそのポートに関連した割込みをマスクしたのと同様です。GPIステータスレジスタによって、ホストはイベントを検出したポートを識別することが可能です。続いて割込みレジスタと両方のGPIステータスレジスタが読み取られた後、GPIERはクリアされます。

GPIEM (GPIイベント逸失)割込みは、GPIステータスレジスタで記録されたイベントの発生によって生じたGPI割込みが処理されないうちに別のイベントが同じポートで受信されたことをホストに通知します。ホストは、GPIイベント受信割込みが発生するたびに割込みレジスタとGPIステータスレジスタを読み取る必要があります。読み取らなければ、次のイベント受信時にGPIEMレジスタがアサートされます。この割込みを正しく機能させるには、GPIER割込みビットと組み合わせて使用する必要があります。続いて

割込みレジスタと両方のGPIステータスレジスタが読み取られた後、GPIEMはクリアされます。

DACOI (DAC過電流)割込みは、DAC設定ポートの電流が約50mAを超えたことを示します。この限度は設定不可です。DAC過電流ステータスレジスタによって、ホストは50mAの電流限度を超えたDAC設定ポートを識別することが可能です。割込みレジスタが読み取られ、続いて両方のDAC過電流ステータスレジスタが読み取られた後、DACOIはクリアされます。

TMPINT[2:0] (内部温度モニタ)割込みには、それぞれ個別に制御可能な3つの割込みソース(新しい内部温度値が準備完了、内部温度値が上限超過、内部温度値が下限未満)があります。割込みレジスタが読み取られた後、TMPINTはクリアされます。

TMPEXT1[2:0] (第1外部温度モニタ)割込みには、それぞれ個別に制御可能な3つの割込みソース(新しい第1外部温度値が準備完了、第1外部温度値が上限超過、第1外部温度値が下限未満)があります。割込みレジスタが読み取られた後、TMPEXT1はクリアされます。

TMPEXT2[2:0] (第2外部温度モニタ)割込みには、それぞれ個別に制御可能な3つの割込みソース(新しい第2外部温度値が準備完了、第2外部温度値が上限超過、第2外部温度値が下限未満)があります。割込みレジスタが読み取られた後、TMPEXT2はクリアされます。

VMON (高電圧電源モニタ)割込みは、AVDDIO電源電圧が約4Vを下回るとトリガされます。割込みレジスタが読み取られた後、VMONはクリアされます。

温度センサーの概要

MAX11311は、内部温度センサー1個と外部温度センサー2個を内蔵しています。外部センサーは従来のサーミスタや熱電対に代わるダイオード接続トランジスタであり、通常、低コストで実装が簡単な2N3904 NPNタイプです。外部センサーの精度は通常、 $-40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ の温度範囲で $\pm 1^{\circ}\text{C}$ であり、較正が不要です。理想係数の異なるトランジスタを使用すると、絶対測定温度に比例的な差が生じます。寄生直列抵抗があると、約 $0.25^{\circ}\text{C}/\Omega$ の温度読取り誤差が発生します。MAX11311は、最大 10Ω までの抵抗についてこの誤差を解消する直列抵抗キャンセルモード(RS_CANCEL)を備えています。外部センサーでは、マイクロプロセッサなど、温度検出に利用可能な基板接続ダイオードを内蔵した他のICのダイ温度を測定することもできます。温度データは温度データレジスタから読み取ることができます。温度データフォーマットは2の補数で、1 LSBが 0.125°C を表します。

レジスタの説明

[unused (未使用)]と記載されているレジスタビットはデバイスの機能に影響せず、読み取り値が「0」です。[reserved (予備)]と記載されているレジスタビットはデフォルト値以外の値を書き込むことができます。それらのビットに別の値を書き込むと、デバイスの機能に影響する可能性があります。

表3. レジスタ表(読み取り/書き込み)

ADDRESS	DESCRIPTION	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	DEFAULT		
0x00 (R)	Device ID	DEVID[15:0]																0x0424		
0x01 (R)	Interrupt VMON	TmPEX2[2:0]		TmPEX1[2:0]		TmPint[2:0]												ADCFLAG	0x0000	
0x02 (R)	ADC data status; ports 0-10	ADCST[10:6]		reserved		reserved												reserved	0x0000	
0x03 (R)	ADC data status; port 11	UNUSED																ADCST[11]	0x0000	
0x04 (R)	Overcurrent status; ports 0-10	DACOIST[10:6]		reserved		reserved												DACOIST[5:0]	reserved	0x0000
0x05 (R)	Overcurrent status; port 11	UNUSED																DACOIST[11]	0x0000	
0x06 (R)	GPI status; ports 0-10	GPIST[10:6]		reserved		reserved												GPIST[5:0]	reserved	0x0000
0x07 (R)	GPI status; port 11	UNUSED																GPIST[11]	0x0000	
0x08 (R)	Internal temperature data	UNUSED																TMPINTDAT[11:0]	0x0000	
0x09 (R)	1 st external temperature data	UNUSED																TMPEXT1DAT[11:0]	0x0000	
0x0A (R)	2 nd external temperature data	UNUSED																TMPEXT2DAT[11:0]	0x0000	
0x0B (R)	GPI data; ports 10-0	GPIDAT[10:6]		reserved		reserved												GPIDAT[5:0]	reserved	0x0000
0x0C (R)	GPI data; port 11	UNUSED																GPIDAT[11]	0x0000	
0x0D (R/W)	GPO data; ports 10-0	GPODAT[10:6]		reserved		reserved												GPODAT[5:0]	reserved	0x0000
0x0E (R/W)	GPO data; port 11	UNUSED																GPODAT[11]	0x0000	
0x10 (R/W)	Device control	Reset VMON MSK	BRST	LPEN	RS_CANCEL	TMPPER	TmPCTL[2:0]		THSDN	DACREF	ADCcom[1:0]		DACCL[1:0]		ADCCTL[1:0]		0x0000			
0x11 (R/W)	Interrupt mask	TmPEX2 MSK[2:0]		TmPEX1 MSK[2:0]		TmPint MSK[2:0]												ADCDR MSK	0xFFFF	
0x12 (R/W)	GPI IRQ mode; ports 0-5	GPIMD_5[1:0]	GPIMD_4[1:0]	GPIMD_3[1:0]	GPIMD_2[1:0]	GPIMD_1[1:0]	GPIMD_0[1:0]											reserved	0x0000	
0x13 (R/W)	GPI IRQ mode; ports 10-6	GPIMD_10[1:0]	GPIMD_9[1:0]	GPIMD_8[1:0]	GPIMD_7[1:0]	GPIMD_6[1:0]											reserved	0x0000		
0x14 (R/W)	GPI IRQ mode; port 11	UNUSED																GPIMD_11[1:0]	0x0000	
0x16 (R/W)	DAC preset data #1	UNUSED																DACPRSTDAT[11:0]	0x0000	
0x17 (R/W)	DAC preset data #2	UNUSED																DACPRSTDAT[11:0]	0x0000	
0x18 (R/W)	Temperature monitor Configuration	UNUSED		UNUSED		UNUSED		UNUSED		UNUSED		UNUSED		TMPEXT1MONCFG [1:0]	TMPEXT2MONCFG [1:0]	TMPEXT3MONCFG [1:0]	0x0000			

表3. レジスタ表(読取り/書込み)(続き)

ADDRESS	DESCRIPTION	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	DEFAULT
0x19 (R/W)	Internal temperature high threshold			UNUSED							TMPINTHI[11:0]						0x07FF	
0x1A (R/W)	Internal temperature low threshold			UNUSED							TMPINTLO[11:0]						0x0800	
0x1B (R/W)	1 st external temperature high threshold			UNUSED							TMPEXT1HI[11:0]						0x07FF	
0x1C (R/W)	1 st external temperature low threshold			UNUSED							TMPEXT1LO[11:0]						0x0800	
0x1D (R/W)	2 nd external temperature high threshold			UNUSED							TMPEXT2HI[11:0]						0x07FF	
0x1E (R/W)	2 nd external temperature low threshold			UNUSED							TMPEXT2LO[11:0]						0x0800	
0x20 (R/W)	reserved			reserved							reserved							
0x21 (R/W)	reserved			reserved							reserved							
0x22 (R/W)	Port 0 configuration			FuncID_0[3:0]							FUNCPRM_0[11:0]						0x0000	
0x23 (R/W)	Port 1 configuration			FuncID_1[3:0]							FUNCPRM_1[11:0]						0x0000	
0x24 (R/W)	Port 2 configuration			FuncID_2[3:0]							FUNCPRM_2[11:0]						0x0000	
0x25 (R/W)	Port 3 configuration			FuncID_3[3:0]							FUNCPRM_3[11:0]						0x0000	
0x26 (R/W)	Port 4 configuration			FuncID_4[3:0]							FUNCPRM_4[11:0]						0x0000	
0x27 (R/W)	Port 5 configuration			FuncID_5[3:0]							FUNCPRM_5[11:0]						0x0000	
0x28 (R/W)	reserved			reserved							reserved							
0x29 (R/W)	reserved			reserved							reserved							
0x2A (R/W)	reserved			reserved							reserved							
0x2B (R/W)	Port 6 configuration			FuncID_6[3:0]							FUNCPRM_6[11:0]						0x0000	
0x2C (R/W)	Port 7 configuration			FuncID_7[3:0]							FUNCPRM_7[11:0]						0x0000	
0x2D (R/W)	Port 8 configuration			FuncID_8[3:0]							FUNCPRM_8[11:0]						0x0000	
0x2E (R/W)	Port 9 configuration			FuncID_9[3:0]							FUNCPRM_9[11:0]						0x0000	
0x2F (R/W)	Port 10 configuration			FuncID_10[3:0]							FUNCPRM_10[11:0]						0x0000	
0x30 (R/W)	Port 11 configuration			FuncID_11[3:0]							FUNCPRM_11[11:0]						0x0000	
0x31 (R/W)	reserved			reserved							reserved							

表3. レジスタ表(読取り/書込み)(続き)

ADDRESS	DESCRIPTION	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	DEFAULT
0x32 (R/W)	reserved		reserved								reserved							
0x33 (R/W)	reserved		reserved								reserved							
0x40 (R)	reserved		UNUSED								reserved							
0x41 (R)	reserved		UNUSED								reserved							
0x42 (R)	Port 0 ADC data		UNUSED								ADCDAT_0[11:0]							0x0000
0x43 (R)	Port 1 ADC data		UNUSED								ADCDAT_1[11:0]							0x0000
0x44 (R)	Port 2 ADC data		UNUSED								ADCDAT_2[11:0]							0x0000
0x45 (R)	Port 3 ADC data		UNUSED								ADCDAT_3[11:0]							0x0000
0x46 (R)	Port 4 ADC data		UNUSED								ADCDAT_4[11:0]							0x0000
0x47 (R)	Port 5 ADC data		UNUSED								ADCDAT_5[11:0]							0x0000
0x48 (R)	reserved		UNUSED								reserved							
0x49 (R)	reserved		UNUSED								reserved							
0x4A (R)	reserved		UNUSED								reserved							
0x4B (R)	Port 6 ADC data		UNUSED								ADCDAT_6[11:0]							0x0000
0x4C (R)	Port 7 ADC data		UNUSED								ADCDAT_7[11:0]							0x0000
0x4D (R)	Port 8 ADC data		UNUSED								ADCDAT_8[11:0]							0x0000
0x4E (R)	Port 9 ADC data		UNUSED								ADCDAT_9[11:0]							0x0000
0x4F (R)	Port 10 ADC data		UNUSED								ADCDAT_10[11:0]							0x0000
0x50 (R)	Port 11 ADC data		UNUSED								ADCDAT_11[11:0]							0x0000
0x51 (R)	reserved		UNUSED								reserved							
0x52 (R)	reserved		UNUSED								reserved							
0x53 (R)	reserved		UNUSED								reserved							
0x60 (R/W)	reserved		UNUSED								reserved							
0x61 (R/W)	reserved		UNUSED								reserved							
0x62 (R/W)	Port 0 DAC data		UNUSED								DaCDAT_0[11:0]							0x0000
0x63 (R/W)	Port 1 DAC data		UNUSED								DaCDAT_1[11:0]							0x0000
0x64 (R/W)	Port 2 DAC data		UNUSED								DaCDAT_2[11:0]							0x0000
0x65 (R/W)	Port 3 DAC data		UNUSED								DaCDAT_3[11:0]							0x0000
0x66 (R/W)	Port 4 DAC data		UNUSED								DaCDAT_4[11:0]							0x0000
0x67 (R/W)	Port 5 DAC data		UNUSED								DaCDAT_5[11:0]							0x0000
0x68 (R/W)	reserved		UNUSED								reserved							
0x69 (R/W)	reserved		UNUSED								reserved							
0x6A (R/W)	reserved		UNUSED								reserved							
0x6B (R/W)	Port 6 DAC data		UNUSED								DaCDAT_6[11:0]							0x0000
0x6C (R/W)	Port 7 DAC data		UNUSED								DaCDAT_7[11:0]							0x0000
0x6D (R/W)	Port 8 DAC data		UNUSED								DaCDAT_8[11:0]							0x0000
0x6E (R/W)	Port 9 DAC data		UNUSED								DaCDAT_9[11:0]							0x0000
0x6F (R/W)	Port 10 DAC data		UNUSED								DaCDAT_10[11:0]							0x0000
0x70 (R/W)	Port 11 DAC data		UNUSED								DaCDAT_11[11:0]							0x0000
0x71 (R/W)	reserved		UNUSED								reserved							
0x72 (R/W)	reserved		UNUSED								reserved							
0x73 (R/W)	reserved		UNUSED								reserved							

レジスタの詳細

デバイスIDレジスタ(読取り)

BIT	FIELD NAME	DESCRIPTION
15:0	DEVID[15:0]	Device ID <ul style="list-style-type: none"> 0000_0100_0010_0100

割込みレジスタ(読取り)

BIT	FIELD NAME	DESCRIPTION
0	ADCFLAG	ADC flag interrupt <ul style="list-style-type: none"> Asserted when the ADC completes a conversion (ADC set in single-conversion mode) or when the ADC completes a sweep (ADC set in single-sweep or continuous-sweep mode). No interrupt is generated when the ADC is in idle mode. Cleared after the interrupt register is read.
1	ADCDR	ADC data ready interrupt <ul style="list-style-type: none"> Asserted when any ADC data register receives a new data sample. If a port is configured to average 2^N samples, it takes 2^N sweeps for that port data register to be refreshed and assert ADCDR. Data registers are refreshed either at the end of a conversion (ADC set in single-conversion mode) or at the end of a sweep (ADC set in single-sweep or continuous-sweep mode). Cleared after the interrupt register is read, and after both ADCST[10:0] and ADCST[11] registers are read subsequently.
2	ADCDM	ADC data missed interrupt <ul style="list-style-type: none"> Asserted when the host missed reading a port's ADC data register by the time that port's ADC data register is overwritten by new data. Cleared after the interrupt register is read.
3	GPIDR	GPI event ready interrupt <ul style="list-style-type: none"> Asserted when a new event is captured by GPI-configured ports. The type of event is set by the corresponding GPI IRQ mode register. The host can then consult GPIST[10:0] and GPIST[11] registers to identify the port that caused the interrupt. Cleared after the interrupt register is read, and after both GPIST[10:0] and GPIST[11] are read subsequently.
4	GPIDM	GPI event missed interrupt <ul style="list-style-type: none"> Asserted when the host missed reading the GPI status register by the time that register is overwritten. Must be used in conjunction with GPIDR for proper operation. Cleared after the interrupt register is read, and after both GPIST[10:0] and GPIST[11] are read subsequently.
5	DACOI	DAC driver overcurrent interrupt <ul style="list-style-type: none"> Asserted when the DAC driver current exceeds approximately 50mA. The host can then read DACOIST[10:0] and DACOIST[11] to identify the port that caused the interrupt. Cleared after the interrupt register is read, and after both DACOIST[10:0] and DACOIST[11] registers are read subsequently.

割込みレジスタ(読取り)(続き)

BIT	FIELD NAME	DESCRIPTION
8:6	TMPINT[2:0]	Internal temperature interrupts <ul style="list-style-type: none"> • TMPINT[2]: Asserted when the internal temperature value is larger than the value stored in TMPINTHI[11:0]. Cleared after the interrupt register is read. • TMPINT[1]: Asserted when the internal temperature value is lower than the value stored in TMPINTLO[11:0]. Cleared after the interrupt register is read. • TMPINT[0]: Asserted when a new temperature value is available. Cleared after the interrupt register is read.
11:9	TMPEXT1[2:0]	1st external temperature interrupts <ul style="list-style-type: none"> • TMPEXT1[2]: Asserted when the 1st external temperature value is larger than the value stored in TMPEXT1HI[11:0]. Cleared after the interrupt register is read. • TMPEXT1[1]: Asserted when the 1st external temperature value is lower than the value stored in TMPEXT1LO[11:0]. Cleared after the interrupt register is read. • TMPEXT1[0]: Asserted when a new temperature value is available. Cleared after the interrupt register is read.
14:12	TMPEXT2[2:0]	2nd external temperature interrupts <ul style="list-style-type: none"> • TMPEXT2[2]: Asserted when the 2nd external temperature value is larger than the value stored in TMPEXT2HI[11:0]. Cleared after the interrupt register is read. • TMPEXT2[1]: Asserted when the 2nd external temperature value is lower than the value stored in TMPEXT2LO[11:0]. Cleared after the interrupt register is read. • TMPEXT2[0]: Asserted when a new temperature value is available. Cleared after the interrupt register is read.
15	VMON	High-voltage supply monitor interrupt <ul style="list-style-type: none"> • Asserted when the high voltage supply (AVDDIO) falls below approximately 4V. • Cleared after the interrupt register is read.

ADCステータスレジスタ(読取り)

BIT	FIELD NAME	DESCRIPTION
7:2 15:11 0	ADCST[5:0] ADCST[10:6] ADCST[11]	Status of ADC data received for ports 0 to 11 <ul style="list-style-type: none"> • Once new data is written in an ADC data register, the corresponding ADCST bit is asserted. The new data is written only after the set of samples to average is collected when the averaging function is enabled. • This register content is not affected by any related interrupt mask. Activity on ADC-configured ports is recorded by this register regardless of the mask interrupt register setting. • Cleared after the interrupt register is read, and after both ADCST[10:0] and ADCST[11] registers are read, subsequently.

過電流ステータスレジスタ(読取り)

BIT	FIELD NAME	DESCRIPTION
7:2 15:11 0	DACOIST[5:0] DACOIST[10:6] DACOIST[11]	Status of DAC drivers overcurrent for ports 0 to 11 <ul style="list-style-type: none"> • Once a port driver exceeds approximately 50mA, the host can identify which driver caused the interrupt by reading DACOIST[10:0] and DACOIST[11]. • This register content is not affected by any related interrupt mask. Activity on overcurrent detection is recorded by these registers regardless of the mask interrupt register setting. • Cleared after the interrupt register is read, and after both DACOIST[10:0] and DACOIST[11] registers are read, subsequently.

内部温度データレジスタ(読取り)

BIT	FIELD NAME	DESCRIPTION
11:0	TMPINTDAT[11:0]	Internal temperature measurement data <ul style="list-style-type: none"> Temperature measurement produced by the internal temperature sensor. The data sample is represented in two's complement, and one LSB represents 0.125°C.

第1外部温度データレジスタ(読取り)

BIT	FIELD NAME	DESCRIPTION
11:0	TMPEXT1DAT[11:0]	1st external temperature measurement data <ul style="list-style-type: none"> Temperature measurement produced by the first external temperature sensor. The data sample is represented in two's complement, and one LSB represents 0.125°C.

第2外部温度データレジスタ(読取り)

BIT	FIELD NAME	DESCRIPTION
11:0	TMPEXT2DAT[11:0]	2nd external temperature measurement data <ul style="list-style-type: none"> Temperature measurement produced by the second external temperature sensor. The data sample is represented in two's complement, and one LSB represents 0.125°C.

GPIステータスレジスタ(読取り)

BIT	FIELD NAME	DESCRIPTION
7:2 15:11 0	GPIST[5:0] GPIST[10:6] GPIST[11]	Status of GPI event detection for ports 0 to 11 <ul style="list-style-type: none"> Asserted when an event is detected on a GPI-configured port. The type of event to detect is set by the corresponding GPI IRQ register. Once a GPIDT interrupt is generated, the host can identify which GPI port(s) caused the interrupt by reading GPIST[10:0] and GPIST[11] registers. GPIST content is not affected by any related interrupt mask. Activity on GPI-configured ports is recorded by GPIST regardless of the mask interrupt register setting. Cleared after the interrupt register is read, and after both GPIST[10:0] and GPIST[11] registers are read, subsequently.

割込みマスクレジスタ(読取り/書込み)

BIT	FIELD NAME	DESCRIPTION
0	ADCFLAGMSK	ADC flag interrupt mask <ul style="list-style-type: none"> Masks ADCFLAG interrupt bit when asserted. In ADC continuous-sweep mode, \overline{INT} is asserted for 100nS at the end of each sweep whether ADCFLAG interrupt is cleared or not. 1: Prevents the assertion of ADCFLAG interrupt bit from pulling \overline{INT} low. 0: Allows the assertion of ADCFLAG interrupt bit to pull \overline{INT} low.
1	ADCDRMSK	ADC data ready interrupt mask <ul style="list-style-type: none"> Masks ADCDR interrupt bit when asserted. 1: Prevents the assertion of ADCDR interrupt bit from pulling \overline{INT} low. 0: Allows the assertion of ADCDR interrupt bit to pull \overline{INT} low.
2	ADCDMMSK	ADC data missed interrupt mask <ul style="list-style-type: none"> Masks ADCDM interrupt bit when asserted. 1: Prevents the assertion of ADCDM interrupt bit from pulling \overline{INT} low. 0: Allows the assertion of ADCDM interrupt bit to pull \overline{INT} low.
3	GPIDRMSK	GPI event ready interrupt mask <ul style="list-style-type: none"> Masks GPIDR interrupt bit when asserted. Supersedes the settings in the GPI IRQ Mode registers. 1: Prevents the assertion of GPIDR interrupt bit from pulling \overline{INT} low. 0: Allows the assertion of GPIDR interrupt bit to pull \overline{INT} low.
4	GPIDMMSK	GPI event missed interrupt mask <ul style="list-style-type: none"> Masks GPIDM interrupt bit when asserted. Can be deasserted only if GPIDRMSK is deasserted. 1: Prevents the assertion of GPIDM interrupt bit from pulling \overline{INT} low. 0: Allows the assertion of GPIDM interrupt bit to pull \overline{INT} low.
5	DACOIMSK	DAC driver overcurrent interrupt mask <ul style="list-style-type: none"> Masks DACOI interrupt bit when asserted. 1: Prevents the assertion of DACOI interrupt bit from pulling \overline{INT} low. 0: Allows the assertion of DACOI interrupt bit to pull \overline{INT} low.
8:6	TMPINTMSK[2:0]	Internal temperature interrupt mask <ul style="list-style-type: none"> Masks TMPINT[2:0] interrupt bits when asserted on a bit-by-bit basis. 1: Prevents the assertion of TMPINT[i] interrupt bit from pulling \overline{INT} low ($0 \leq i \leq 2$). 0: Allows the assertion of TMPINT[i] interrupt bit to pull \overline{INT} low ($0 \leq i \leq 2$).
11:9	TMPEXT1MSK[2:0]	1st external temperature interrupt mask <ul style="list-style-type: none"> Masks TMPEXT1[2:0] interrupt bits when asserted on a bit-by-bit basis. 1: Prevents the assertion of TMPEXT1[i] interrupt bit from pulling \overline{INT} low ($0 \leq i \leq 2$). 0: Allows the assertion of TMPEXT1[i] interrupt bit to pull \overline{INT} low ($0 \leq i \leq 2$).
14:12	TMPEXT2MSK[2:0]	2nd external temperature interrupt mask <ul style="list-style-type: none"> Masks TMPEXT2[2:0] interrupt bits when asserted on a bit-by-bit basis. 1: Prevents the assertion of TMPEXT2[i] interrupt bit from pulling \overline{INT} low ($0 \leq i \leq 2$). 0: Allows the assertion of TMPEXT2[i] interrupt bit to pull \overline{INT} low ($0 \leq i \leq 2$).
15	VMONMSK	High-voltage supply monitor mask <ul style="list-style-type: none"> Masks VMON interrupt bit when asserted. 1: Prevents the assertion of VMON interrupt bit from pulling \overline{INT} low. 0: Allows the assertion of VMON interrupt bit to pull \overline{INT} low.

GPI IRQモードレジスタ(読取り/書込み)

BIT	FIELD NAME	DESCRIPTION
5:4	GPIMD_0[1:0]	GPI interrupt request mode for ports 0 to 11 <ul style="list-style-type: none"> Each input port is controlled by GPIMD, a 2-bit code. For a given port i ($0 \leq i \leq 11$): <ul style="list-style-type: none"> GPIMD_i[1:0] = 00: GPIST[i] is never asserted GPIMD_i[1:0] = 01: GPIST[i] is asserted upon detection of a positive edge GPIMD_i[1:0] = 10: GPIST[i] is asserted upon detection of a negative edge GPIMD_i[1:0] = 11: GPIST[i] is asserted upon detection of a positive or a negative edge
7:6	GPIMD_1[1:0]	
9:8	GPIMD_2[1:0]	
11:10	GPIMD_3[1:0]	
13:12	GPIMD_4[1:0]	
15:14	GPIMD_5[1:0]	
7:6	GPIMD_6[1:0]	
9:8	GPIMD_7[1:0]	
11:10	GPIMD_8[1:0]	
13:12	GPIMD_9[1:0]	
15:14	GPIMD_10[1:0]	
1:0	GPIMD_11[1:0]	

デバイス制御レジスタ(読取り/書込み)

BIT	FIELD NAME	DESCRIPTION
1:0	ADCCTL[1:0]	ADC conversion mode selection <ul style="list-style-type: none"> 00: Idle mode – The ADC does not perform any conversion. 01: Single sweep – The ADC performs one conversion for each of the ADC-configured ports sequentially. The assertion of \overline{CNVT} triggers the single sweep. The sweep starts with the ADC-configured port of lowest index and stops with the ADC-configured port of highest index. 10: Single conversion – The ADC performs one conversion for the current port. It starts with the lowest index port that is ADC-configured, and it progresses to higher index ports as \overline{CNVT} is asserted. 11: Continuous sweep – This mode is not controlled by \overline{CNVT}. The ADC continuously sweeps the ADC-configured ports.
3:2	DACCTL[1:0]	DAC mode selection <ul style="list-style-type: none"> 00: Sequential update mode for DAC-configured ports. 01: Immediate update mode for DAC-configured ports. The DAC-configured port that received new data is the next port to be updated. After updating that port, the DAC-configured port update sequence continues from that port onward. A minimum of 80μs must be observed before requesting another immediate update. 10: All DAC-configured ports use the same data stored in DACPRSTDAT1[11:0]. 11: All DAC-configured ports use the same data stored in DACPRSTDAT2[11:0].
5:4	ADCCONV[1:0]	ADC conversion rate selection <ul style="list-style-type: none"> 00: ADC conversion rate of 200ksps (default) 01: ADC conversion rate of 250ksps 10: ADC conversion rate of 333ksps 11: ADC conversion rate of 400ksps

デバイス制御レジスタ(読取り/書込み)(続き)

BIT	FIELD NAME	DESCRIPTION
6	DACREF	DAC voltage reference selection <ul style="list-style-type: none"> 0: External reference voltage 1: Internal reference voltage
7	THSHDN	Thermal shutdown enable <ul style="list-style-type: none"> 0: Thermal shutdown function disabled. 1: Thermal shutdown function enabled. If the internal temperature monitor is enabled, and if the internal temperature is measured to be larger than 145°C, the device is reset, thus bringing all channels to high-impedance mode and setting all registers to their default value.
10:8	TMPCTL[2:0]	Temperature monitor selection <ul style="list-style-type: none"> TMPCTL[0]: Internal temperature monitor (0: disabled; 1: enabled) TMPCTL[1]: 1st external temperature monitor (0: disabled; 1: enabled) TMPCTL[2]: 2nd external temperature monitor (0: disabled; 1: enabled)
11	TMPPER	Temperature conversion time control <ul style="list-style-type: none"> 0: Default conversion time setting. Selected for junction capacitance filter < 100pF. 1: Extended conversion time setting. Selected for junction capacitance filter from 100pF to 390pF
12	RS_CANCEL	Temperature sensor series resistor cancellation mode <ul style="list-style-type: none"> 0: Temperature sensor series resistance cancellation disabled. 1: Temperature sensor series resistance cancellation enabled.
13	LPEN	Power mode selection <ul style="list-style-type: none"> 0: Default power mode for normal operations 1: Lower power mode. The analog ports are in high-impedance mode. The device can be brought out of the lower power mode by deasserting this bit. The device would then undergo the regular power-on sequence.
14	BRST	Serial interface burst-mode selection <ul style="list-style-type: none"> 0: Default address incrementing mode. The address is automatically incremented by “1” in burst mode. 1: Contextual address incrementing mode. In burst mode, the address automatically points to the next ADC- or DAC-configured port data register. Specifically, when reading ADC data (writing DAC data), the serial interface reads (writes to) only the data registers of those ports that are ADC-configured (DAC-configured). This mode applies to ADC data read and DAC data write, not DAC data read.
15	RESET	Soft reset control <ul style="list-style-type: none"> Self-clearing soft reset register, equivalent to power-on reset.

GPIデータレジスタ(読取り)

BIT	FIELD NAME	DESCRIPTION
7:2 15:11 0	GPIDAT[5:0] GPIDAT[10:6] GPIDAT[11]	Data received on GPI ports 0 to 11 <ul style="list-style-type: none"> The data received on GPI-configured ports can be read by the host. For a given port i ($0 \leq i \leq 11$) <ul style="list-style-type: none"> GPIDAT[i] = 0: A logic zero level is received at GPI port i GPIDAT[i] = 1: A logic one level is received at GPI port i

GPOデータレジスタ(読取り/書込み)

BIT	FIELD NAME	DESCRIPTION
7:2 15:11 0	GPODAT[5:0] GPODAT[10:6] GPODAT[11]	Data transmitted through GPO ports 0 to 11 <ul style="list-style-type: none"> Data written by the host to be transmitted through the GPO-configured ports For a given port i ($0 \leq i \leq 11$): <ul style="list-style-type: none"> GPIDAT[i] = 0: A logic zero level is transmitted through GPO port i GPIDAT[i] = 1: A logic one level is transmitted through GPO port i

DACプリセットデータレジスタ(読取り/書込み)

BIT	FIELD NAME	DESCRIPTION
11:0 11:0	DACPRSTDAT1[11:0] DACPRSTDAT2[11:0]	DAC preset data register 1 and 2 <ul style="list-style-type: none"> DAC data used by all ports configured in a DAC-related mode (1, 3, 4, 5, 6, and 10) Writing to these registers does not alter the contents of the DAC data registers

温度モニタ設定レジスタ(読取り/書込み)

BIT	FIELD NAME	DESCRIPTION
1:0	TMPINTMONCFG[1:0]	Number of samples averaged for calculating the internal temperature <ul style="list-style-type: none"> 00: 4 samples 01: 8 samples 10: 16 samples 11: 32 samples
3:2	TMPEXT1MONCFG[1:0]	Number of samples averaged for calculating the 1st external temperature <ul style="list-style-type: none"> 00: 4 samples 01: 8 samples 10: 16 samples 11: 32 samples
5:4	TMPEXT2MONCFG[1:0]	Number of samples averaged for calculating the 2nd external temperature <ul style="list-style-type: none"> 00: 4 samples 01: 8 samples 10: 16 samples 11: 32 samples

内部温度モニタ高スレッショルドレジスタ(読取り/書込み)

BIT	FIELD NAME	DESCRIPTION
11:0	TMPINTHI[11:0]	Internal temperature monitor high threshold <ul style="list-style-type: none"> Maximum temperature value beyond which TMPINT[2] is asserted. This value is represented in two's complement; one LSB represents 0.125°C.

内部温度モニタ低スレッシュホールドレジスタ(読取り/書込み)

BIT	FIELD NAME	DESCRIPTION
11:0	TMPINTLO[11:0]	Internal temperature monitor low threshold <ul style="list-style-type: none"> Minimum temperature value below which TMPINT[1] is asserted. This value is represented in two's complement; one LSB represents 0.125°C.

第1外部温度モニタ高スレッシュホールドレジスタ(読取り/書込み)

BIT	FIELD NAME	DESCRIPTION
11:0	TMPEXT1HI[11:0]	1st external temperature monitor high threshold <ul style="list-style-type: none"> Maximum temperature value beyond which TMPEXT1[2] is asserted. This value is represented in two's complement; one LSB represents 0.125°C.

第1外部温度モニタ低スレッシュホールドレジスタ(読取り/書込み)

BIT	FIELD NAME	DESCRIPTION
11:0	TMPEXT1LO[11:0]	1st external temperature monitor low threshold <ul style="list-style-type: none"> Minimum temperature value below which TMPEXT1[1] is asserted. This value is represented in two's complement; one LSB represents 0.125°C.

第2外部温度モニタ高スレッシュホールドレジスタ(読取り/書込み)

BIT	FIELD NAME	DESCRIPTION
11:0	TMPEXT2HI[11:0]	2nd external temperature monitor high threshold <ul style="list-style-type: none"> Maximum temperature value beyond which TMPEXT2[2] is asserted. This value is represented in two's complement; one LSB represents 0.125°C.

第2外部温度モニタ低スレッシュホールドレジスタ(読取り/書込み)

BIT	FIELD NAME	DESCRIPTION
11:0	TMPEXT2LO[11:0]	2nd external temperature monitor low threshold <ul style="list-style-type: none"> Minimum temperature value below which TMPEXT2[1] is asserted. This value is represented in two's complement; one LSB represents 0.125°C.

ポート設定レジスタ(読取り/書込み)

BIT	FIELD NAME	DESCRIPTION																										
11:0	FUNCPRM_0[11:0]	FUNCPRM_i[4:0]: ASSOCIATED PORT <ul style="list-style-type: none"> Defines the port to use in conjunction with a port configured in mode 4, 8, or 11. The associated port addresses are : <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 50%;">ASSOCIATED PORT NAME</th> <th style="width: 50%;">CORRESPONDING ADDRESS</th> </tr> </thead> <tbody> <tr><td>P0</td><td>0x02</td></tr> <tr><td>P1</td><td>0x03</td></tr> <tr><td>P2</td><td>0x04</td></tr> <tr><td>P3</td><td>0x05</td></tr> <tr><td>P4</td><td>0x06</td></tr> <tr><td>P5</td><td>0x07</td></tr> <tr><td>P6</td><td>0x0B</td></tr> <tr><td>P7</td><td>0x0C</td></tr> <tr><td>P8</td><td>0x0D</td></tr> <tr><td>P9</td><td>0x0E</td></tr> <tr><td>P10</td><td>0x0F</td></tr> <tr><td>P11</td><td>0x10</td></tr> </tbody> </table>	ASSOCIATED PORT NAME	CORRESPONDING ADDRESS	P0	0x02	P1	0x03	P2	0x04	P3	0x05	P4	0x06	P5	0x07	P6	0x0B	P7	0x0C	P8	0x0D	P9	0x0E	P10	0x0F	P11	0x10
	ASSOCIATED PORT NAME		CORRESPONDING ADDRESS																									
	P0		0x02																									
	P1		0x03																									
	P2		0x04																									
	P3		0x05																									
	P4		0x06																									
	P5		0x07																									
	P6		0x0B																									
	P7		0x0C																									
	P8		0x0D																									
	P9		0x0E																									
	P10		0x0F																									
	P11		0x10																									
	FUNCPRM_1[11:0]																											
	FUNCPRM_2[11:0]																											
	FUNCPRM_3[11:0]																											
	FUNCPRM_4[11:0]																											
	FUNCPRM_5[11:0]																											
	FUNCPRM_6[11:0]																											
	FUNCPRM_7[11:0]																											
	FUNCPRM_8[11:0]																											
	FUNCPRM_9[11:0]																											
FUNCPRM_10[11:0]																												
FUNCPRM_11[11:0]																												
FUNCPRM_i[7:5]: # OF SAMPLES (for ADC-related functional modes only)																												
	<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 33%;">VOLTAGE RANGE CODES</th> <th style="width: 33%;">ADC VOLTAGE RANGE (V)</th> <th style="width: 33%;">DAC VOLTAGE RANGE (V)</th> </tr> </thead> <tbody> <tr> <td>000</td> <td><i>No Range Selected</i></td> <td><i>No Range Selected</i></td> </tr> <tr> <td>001</td> <td>0 to +10</td> <td>0 to +10</td> </tr> <tr> <td>010</td> <td>-5 to +5</td> <td>-5 to +5</td> </tr> <tr> <td>011</td> <td>-10 to 0</td> <td>-10 to 0</td> </tr> <tr> <td>100</td> <td>0 to +2.5</td> <td>-5 to +5</td> </tr> <tr> <td>101</td> <td>Reserved</td> <td>Reserved</td> </tr> <tr> <td>110</td> <td>0 to +2.5</td> <td>0 to +10</td> </tr> <tr> <td>111</td> <td>Reserved</td> <td>Reserved</td> </tr> </tbody> </table>	VOLTAGE RANGE CODES	ADC VOLTAGE RANGE (V)	DAC VOLTAGE RANGE (V)	000	<i>No Range Selected</i>	<i>No Range Selected</i>	001	0 to +10	0 to +10	010	-5 to +5	-5 to +5	011	-10 to 0	-10 to 0	100	0 to +2.5	-5 to +5	101	Reserved	Reserved	110	0 to +2.5	0 to +10	111	Reserved	Reserved
VOLTAGE RANGE CODES	ADC VOLTAGE RANGE (V)	DAC VOLTAGE RANGE (V)																										
000	<i>No Range Selected</i>	<i>No Range Selected</i>																										
001	0 to +10	0 to +10																										
010	-5 to +5	-5 to +5																										
011	-10 to 0	-10 to 0																										
100	0 to +2.5	-5 to +5																										
101	Reserved	Reserved																										
110	0 to +2.5	0 to +10																										
111	Reserved	Reserved																										
	FUNCPRM_i[11]: AVR (for mode 6 only) <ul style="list-style-type: none"> ADC voltage reference selection <ul style="list-style-type: none"> 0: ADC internal voltage reference 1: ADC DAC voltage reference determined by DACREF 																											
	FUNCPRM_i[11]: INV (for GPI-controlled functional modes only) <ul style="list-style-type: none"> Asserted to invert the data received by the GPI-configured port. <ul style="list-style-type: none"> 0: Data received from GPI-configured port is not inverted 1: Data received from GPI-configured port is inverted 																											

ポート設定レジスタ(読取り/書込み)(続き)

BIT	FIELD NAME	DESCRIPTION
15:12	FUNCID_0[3:0] FUNCID_1[3:0] FUNCID_2[3:0] FUNCID_3[3:0] FUNCID_4[3:0] FUNCID_5[3:0] FUNCID_6[3:0] FUNCID_7[3:0] FUNCID_8[3:0] FUNCID_9[3:0] FUNCID_10[3:0] FUNCID_11[3:0]	<p>Functional mode for port i (0≤i≤11)</p> <ul style="list-style-type: none"> When switching from one mode to another, it is recommended to first switch to the high-impedance mode. The duration for which the device may need to stay in the transitional high-impedance mode depends on the application and hardware configuration. 0000: Mode 0 - High impedance <ul style="list-style-type: none"> The port is configured in high-impedance mode. 0001: Mode 1 - Digital input with programmable threshold, GPI (Figure 7) <ul style="list-style-type: none"> The port is configured as a GPI whose threshold is set through the DAC data register. The DAC data register for that port needs to be set to the value corresponding to the intended input threshold voltage. Any input voltage above that programmed threshold is reported as a logic one. The input voltage must be between 0V and 5V. To avoid false interrupts, the port's GPIERMSK register bit must be asserted. The DAC data register can then be set for the desired threshold voltage. It may take up to 1ms for the threshold voltage to be effective. The port's GPIMD register bit is set next. At that point, GPIERMSK can be deasserted for the port to start detecting events. The data resulting from the comparison between the threshold voltage and the voltage at the port can be read from the corresponding GPIDAT register bit. 0010: Mode 2 - Bidirectional level translator terminal (Figure 10) <ul style="list-style-type: none"> Any pair of adjacent ports can form a bidirectional level translator path. Only the lower index port of the pair needs to be configured to enable this mode. The other port (index + 1) must be set in high-impedance mode. Ports 5 and 11 cannot be set in mode 2. The activity on this port is observable through its GPI path. The GPI-related registers are configured as described for mode 1.

ポート設定レジスタ(読取り/書込み)(続き)

BIT	FIELD NAME	DESCRIPTION
		<ul style="list-style-type: none"> • 0011: Mode 3 - Register-driven digital output with DAC-controlled level, GPO (Figure 8) <ul style="list-style-type: none"> • The port is configured as a GPO driven by the corresponding GPODAT register bit. The logic one level is set by the DAC data register of that port. • The port's DAC data register needs to be set first. It may require up to 1ms for the port to be ready to produce the desired logic one level. At that point, the port can be set in mode 3. The logic level at the port is then controlled by the corresponding GPODAT register bit. • 0100: Mode 4 - Unidirectional path output with DAC-controlled level, GPO (Figure 9) <ul style="list-style-type: none"> • The port is configured as a GPO forming the output of a unidirectional level translator path. The input port of that path is specified by the functional parameter, ASSOCIATED PORT, and that port must be separately configured in GPI mode. The port's DAC data register defines the logic one level. The data received by the GPI-configured port is transmitted by this port configured in mode 4. • The data from the associated GPI-configured port can be inverted by asserting the functional parameter INV. • Multiple ports configured in mode 4 can refer to the same GPI-configured port through the functional parameter, ASSOCIATED PORT. Therefore, one GPI-configured port can transmit its data to multiple ports configured in mode 4. • To avoid false interrupts and unexpected activity at the port configured in mode 4, the GPI port must be configured before this port is configured in mode 4. • Functional parameters to be set: INV, ASSOCIATED PORT • 0101: Mode 5 - Analog output for DAC (Figure 5) <ul style="list-style-type: none"> • The port's DAC data register must be set for the desired voltage at the port. It may take up to 1ms for the port to reflect the data written in the DAC data register. • Functional parameters to be set: RANGE (codes 001, 010, and 011 apply to this mode). • 0110: Mode 6 - Analog output for DAC with ADC monitoring (Figure 6) <ul style="list-style-type: none"> • In addition to the functionality of mode 5, the port is sampled by the ADC. The result of the ADC conversion is stored in the port's ADC data register. The host can access that register to monitor the voltage at the port. • When the ADC input voltage range is set from 0V to 2.5V, (RANGE = 100 or 110), the DAC data register value must be limited to the range of values corresponding to 0V to 2.5V at the port. Internally, the DAC data register value is clipped, so that the PIXI port voltage is contained within a range from 0V to 5V to prevent device damage. • Functional parameters to be set: AVR, RANGE • 0111: Mode 7 - Positive analog input to single-ended ADC (Figure 2) <ul style="list-style-type: none"> • The port is configured as a single-ended ADC input. • Functional parameters to be set: RANGE, # OF SAMPLES • 1000: Mode 8 - Positive analog input to differential ADC (Figure 3) <ul style="list-style-type: none"> • The port is configured as a differential ADC positive input. • Functional parameters to be set: RANGE, # OF SAMPLES, ASSOCIATED PORT

ポート設定レジスタ(読取り/書込み)(続き)

BIT	FIELD NAME	DESCRIPTION
		<ul style="list-style-type: none"> • 1001: Mode 9 - Negative analog input to differential ADC <ul style="list-style-type: none"> • The port is configured as a differential ADC negative input. • The number of samples to average is defined by the associated positive port. The functional parameter RANGE must be identical to that used by the corresponding positive port. • A port configured in mode 9 can be associated to more than one port configured in mode 8. • Functional parameter to be set: RANGE • 1010: Mode 10 - Analog output for DAC and negative analog input to differential ADC (Figure 4) <ul style="list-style-type: none"> • While this port drives the voltage corresponding to its DAC data register, it also operates as the negative input for the ADC. • The number of samples to average is defined by the associated positive port. The functional parameter RANGE must be identical to that used by the corresponding positive port. • A port configured in mode 10 can be associated to more than one port configured in mode 8. • When the ADC input voltage range is set from 0V to 2.5V (RANGE = 100 or 110), the DAC data register value must be limited to the range of values corresponding to 0V to 2.5V at the port. Internally, the DAC data register value is clipped, so that the PIXI port voltage is contained within a range from 0V to 5V to prevent device damage. • Functional parameter to be set: RANGE • 1011: Mode 11 - Terminal to GPI-controlled analog switch (Figure 11) <ul style="list-style-type: none"> • In this mode, two adjacent ports can be connected together through an analog switch controlled by a GPI-configured port (designated by the functional parameter ASSOCIATED PORT). This function involves three ports. The switch controlling port needs to be separately configured in GPI mode. Only the port with the lower index needs to be configured in mode 11. The port with the higher index can be configured in any other mode, except mode 2. If the port of higher index operates in an ADC-related mode (mode 6, 7, 8, or 9), the signals applied to the port in mode 11 must comply with the input voltage range for which the port of higher index is configured. • Ports 5 and 11 cannot be configured in mode 11, as there is no switch between ports 5 and 6 and between ports 11 and 0. • Functional parameters to be set: INV, ASSOCIATED PORT • 1100: Mode 12 - Terminal to register-controlled analog switch <ul style="list-style-type: none"> • This mode is identical to Mode 11, except that the switch remains closed as long as this port is configured in mode 12.

表4. ポート機能モード

MODE	DESCRIPTION	FUNCID[3:0]				FUNCPRM[11:0]											
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	High impedance	0	0	0	0												
1	Digital input with programmable threshold, GPI	0	0	0	1												
2	Bidirectional level translator terminal	0	0	1	0												
3	Register-driven digital output with DAC-controlled level, GPO	0	0	1	1												
4	Unidirectional path output with DAC-controlled level, GPO	0	1	0	0	INV								ASSOCIATED PORT*			
5	Analog output for DAC	0	1	0	1		RANGE										
6	Analog output for DAC with ADC monitoring	0	1	1	0	AVR	RANGE										
7	Positive analog input to single-ended ADC	0	1	1	1	0	RANGE			# OF SAMPLES							
8	Positive analog input to differential ADC	1	0	0	0	0	RANGE			# OF SAMPLES			ASSOCIATED PORT*				
9	Negative analog input to differential ADC	1	0	0	1	0	RANGE										
10	Analog output for DAC and negative analog input to differential ADC (pseudo-differential mode)	1	0	1	0	0	RANGE										
11	Terminal to GPI-controlled analog switch	1	0	1	1	INV								ASSOCIATED PORT*			
12	Terminal to register-controlled analog switch	1	1	0	0												

*ポートは別途、互換性のあるモードに設定する必要があります。

ADCデータレジスタ(読取り)

BIT	FIELD NAME	DESCRIPTION
11:0	ADCDAT_0[11:0] ADCDAT_1[11:0] ADCDAT_2[11:0] ADCDAT_3[11:0] ADCDAT_4[11:0] ADCDAT_5[11:0] ADCDAT_6[11:0] ADCDAT_7[11:0] ADCDAT_8[11:0] ADCDAT_9[11:0] ADCDAT_10[11:0] ADCDAT_11[11:0]	ADC data for port i (0≤i≤11) <ul style="list-style-type: none"> 12-bit data produced by the ADC when converting the analog input signal on port i. <ul style="list-style-type: none"> The conversion result is represented in straight binary for ports configured in single-ended mode (modes 6, 7), and in two's complement for ports configured as an ADC positive input (mode 8) in differential or pseudo-differential mode (mode 9). The ADC data register of the port configured as an ADC negative input in differential (mode 9) or pseudo-differential mode (mode 10) contains 0x0000.

DACデータレジスタ(読取り/書込み)

BIT	FIELD NAME	DESCRIPTION
11:0	DACDAT_0[11:0] DACDAT_1[11:0] DACDAT_2[11:0] DACDAT_3[11:0] DACDAT_4[11:0] DACDAT_5[11:0] DACDAT_6[11:0] DACDAT_7[11:0] DACDAT_8[11:0] DACDAT_9[11:0] DACDAT_10[11:0] DACDAT_11[11:0]	DAC data for port i (0≤i≤11) <ul style="list-style-type: none"> 12-bit DAC data for port i. The data is represented in straight binary.

アプリケーション情報

設定のフローチャート

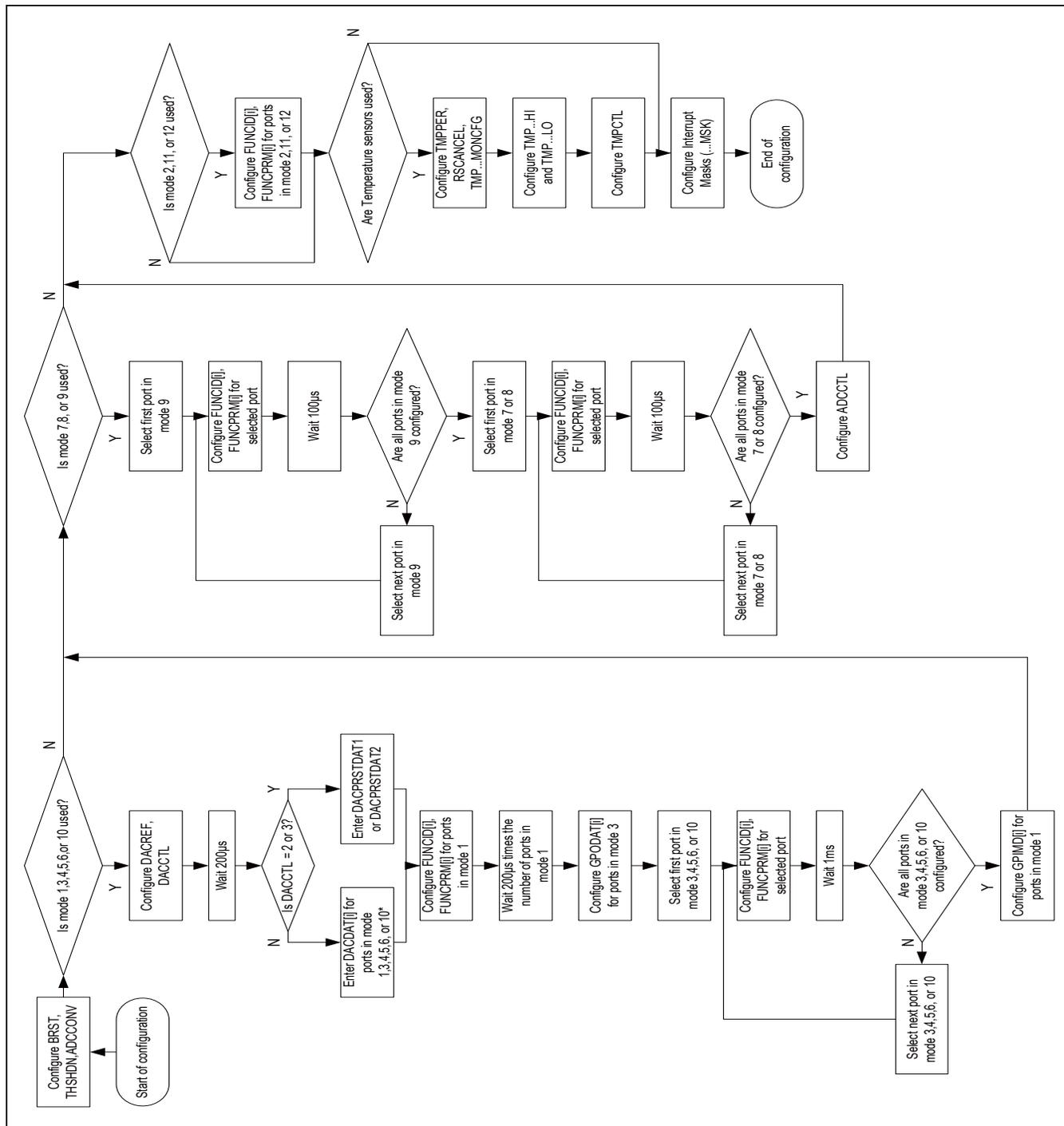


図 14. PIXIポート設定のフローチャート

設定ソフトウェア(GUI)

MAX11311の使用を簡素化するため、マキシムはユーザーがシンプルなドラッグ&ドロップ操作でアプリケーション固有のニーズに合わせてデバイスを簡単に設定することが

できるGUIを開発しました。このソフトウェアはレジスタアドレスと、対応するレジスタ値を生成します。図15は、このソフトウェアでいくつかの機能的な接続を設定した例を示しています。

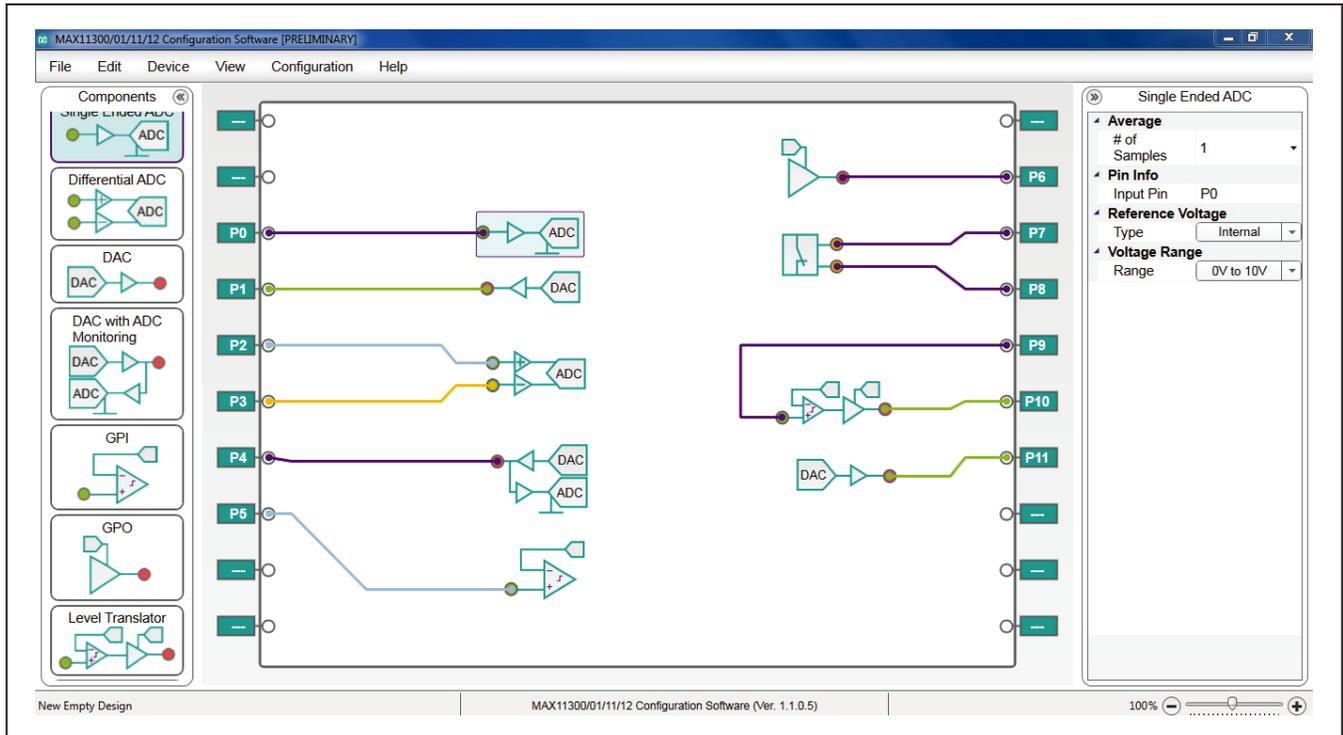


図15. GUIで設定ファイルを開発する例

設定ソフトウェアの出カファイル

Supply	Voltage
AVSSIO	-2.5
AVDDIO	12.5
DVDD	3.3
AVDD	5
DAC_REF	2.5
ADC_EXT_REF	2.5

Name	Address	Value	Description
gpo_data_P10P6_P5P0	0x0D	0x0000	GPO data for PIXI ports P10 to P6 and P5 to P0
gpo_data_P11	0x0E	0x0000	GPO data for PIXI port P11
device_control	0x10	0x00c0	Device main control register
interrupt_mask	0x11	0xffff	Interrupt mask register
gpi_irqmode_P5_P0	0x12	0x0000	GPI ports P5 to P0 mode register
gpi_irqmode_P10_P6	0x13	0x0000	GPI ports P10 to P6 mode register
gpi_irqmode_P11	0x14	0x0000	GPI port P11 mode register
dac_preset_data_1	0x16	0x0000	DAC preset data #1
dac_preset_data_2	0x17	0x0000	DAC preset data #2
tmp_mon_cfg	0x18	0x0000	Temperature monitor configuration
tmp_mon_int_hi_thresh	0x19	0x07ff	Internal temperature monitor high threshold
tmp_mon_int_lo_thresh	0x1A	0x0800	Internal temperature monitor low threshold
tmp_mon_ext1_hi_thresh	0x1B	0x07ff	1st external temperature monitor high threshold
tmp_mon_ext1_lo_thresh	0x1C	0x0800	1st external temperature monitor low threshold
tmp_mon_ext2_hi_thresh	0x1D	0x07ff	2nd external temperature monitor high threshold
tmp_mon_ext2_lo_thresh	0x1E	0x0800	2nd external temperature monitor low threshold
reserved_20	0x20	0x0000	Configuration register for (reserved) N.C.
reserved_21	0x21	0x0000	Configuration register for (reserved) N.C.
port_cfg_p0	0x22	0x7100	Configuration register for PIXI port P0 Single Ended ADC
port_cfg_p1	0x23	0x5100	Configuration register for PIXI port P1 DAC
port_cfg_p2	0x24	0x9100	Configuration register for PIXI port P2 Differential ADC (+)
port_cfg_p3	0x25	0x9100	Configuration register for PIXI port P3 Differential ADC (-)
port_cfg_p4	0x26	0x6100	Configuration register for PIXI port P4 DAC with ADC Monitoring
port_cfg_p5	0x27	0x1000	Configuration register for PIXI port P5 GPI
reserved_28	0x28	0x0000	Configuration register for (reserved) N.C.
reserved_29	0x29	0x0000	Configuration register for (reserved) N.C.
reserved_2A	0x2A	0x0000	Configuration register for (reserved) N.C.
port_cfg_p6	0x2B	0x3000	Configuration register for PIXI port P6 GPO
port_cfg_p7	0x2C	0x0000	Configuration register for PIXI port P7 Software Controlled Analog Switch

設定ソフトウェアの出カファイル(続き)

Name	Address	Value	Description
port_cfg_p8	0x2D	0x0000	Configuration register for PIXI port P8 Software Controlled Analog Switch
port_cfg_p9	0x2E	0x1000	Configuration register for PIXI port P9 Level Translator
port_cfg_p10	0x2F	0x4009	Configuration register for PIXI port P10 Level Translator
port_cfg_p11	0x30	0x5100	Configuration register for PIXI port P11 DAC
reserved_31	0x31	0x0000	Configuration register for (reserved) N.C.
reserved_32	0x32	0x0000	Configuration register for (reserved) N.C.
reserved_33	0x33	0x0000	Configuration register for (reserved) N.C.
reserved_60	0x60	0x0000	DAC data register for (reserved) N.C.
reserved_61	0x61	0x0000	DAC data register for (reserved) N.C.
dac_data_port_p0	0x62	0x0000	DAC data register for PIXI port P0 Single Ended ADC
dac_data_port_p1	0x63	0x0000	DAC data register for PIXI port P1 DAC
dac_data_port_p2	0x64	0x0000	DAC data register for PIXI port P2 Differential ADC (+)
dac_data_port_p3	0x65	0x0000	DAC data register for PIXI port P3 Differential ADC (-)
dac_data_port_p4	0x66	0x0000	DAC data register for PIXI port P4 DAC with ADC Monitoring
dac_data_port_p5	0x67	0x0666	DAC data register for PIXI port P5 GPI
reserved_68	0x68	0x0000	DAC data register for (reserved) N.C.
reserved_69	0x69	0x0000	DAC data register for (reserved) N.C.
reserved_6A	0x6A	0x0000	DAC data register for (reserved) N.C.
dac_data_port_p6	0x6B	0x0666	DAC data register for PIXI port P6 GPO
dac_data_port_p7	0x6C	0x0000	DAC data register for PIXI port P7 Software Controlled Analog Switch
dac_data_port_p8	0x6D	0x0000	DAC data register for PIXI port P8 Software Controlled Analog Switch
dac_data_port_p9	0x6E	0x0666	DAC data register for PIXI port P9 Level Translator
dac_data_port_p10	0x6F	0x0666	DAC data register for PIXI port P10 Level Translator
dac_data_port_p11	0x70	0x0000	DAC data register for PIXI port P11 DAC
reserved_71	0x71	0x0000	DAC data register for (reserved) N.C.
reserved_72	0x72	0x0000	DAC data register for (reserved) N.C.
reserved_73	0x73	0x0000	DAC data register for (reserved) N.C.

レイアウト、グラウンド処理、バイパス処理

最高の性能を実現するために、ソリッドグラウンドプレーンを備えたPCBを使用します。デジタルとアナログの信号ラインを確実に分離します。アナログとデジタル(特にクロック)のラインを平行に配線したり、デジタルラインをMAX11311パッケージの下に配線したりしないでください。AVDD、AGND、AVDDIO、AVSSIO、ADC_REF_INT、およびDAC_REFにノイズが生じると、デバイスの性能に影響します。0.1μFと10μFのバイパスコンデンサで

AVDD、DVDD、AVDDIO、およびAVSSIOをグラウンドにバイパスします。コンデンサでADC_INT_REFとDAC_REFをグラウンドにバイパスします。コンデンサの値は「REF Electrical Specifications (リファレンスの電氣的仕様)」の表に記載されています。バイパスコンデンサをできる限り各端子の近くに配置し、コンデンサのリードとトレースの長さを極力短くして電源ノイズを最小限に抑えます。最大限の放熱を確保するため、エクスポーズドパッド(EP)はグラウンドプレーンなど面積の大きい銅部材に接続します。

型番

PART	TEMP RANGE	PIN-PACKAGE
MAX11311GTJ+	-40°C to +105°C	32 TQFN-EP*
MAX11311GTJ+T	-40°C to +105°C	32 TQFN-EP*

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。

*EP = エクスポーズドパッド。

チップ情報

PROCESS: BICMOS

パッケージ

最新のパッケージ図面情報およびランドパターン(フットプリント)は www.maximintegrated.com/jp/packages を参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点に注意してください。

パッケージ タイプ	パッケージ コード	外形図 No.	ランド パターンNo
32 TQFN-EP	T3255+9	21-0140	90-100015

MAX11311

PIXI、12ポートプログラマブルミックスドシグナルI/O、
12ビットADC、12ビットDAC、アナログスイッチ、およびGPIO内蔵

改訂履歴

版数	改訂日	説明	改訂ページ
0	12/15	初版	—



マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maxim Integratedは完全にMaxim Integrated製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maxim Integratedは随時予告なく回路及び仕様を変更する権利を留保します。「Electrical Characteristics (電気的特性)」の表に示すパラメータ値 (min、maxの各制限値)は、このデータシートの他の場所で引用している値より優先されます。