

# シリアルLVDS出力付、クワッド、12ビット、65MSPS、1.8V ADC

## 概要

MAX1127はクワッド、12ビット、アナログ-デジタルコンバータ(ADC)で、完全差動入力、パイプラインアーキテクチャ、及びデジタルエラー補正を備えています。このADCは、医療イメージング、通信、及び計測アプリケーションで低電力、高ダイナミックな性能を発揮するように最適化されています。MAX1127は1.7V~1.9Vの単一電源で動作し、消費電力はわずか563mWで、19.3MHzの入力周波数で69.6dBの信号対ノイズ比(SNR)を実現しています。低動作電力に加えて、MAX1127はアイドル時の675 $\mu$ Aのパワーダウンモードを備えています。

1.24Vの内蔵高精度バンドギャップリファレンスによって、ADCのフルスケール範囲が設定されます。リファレンス構造がフレキシブルであるので、高精度や他の入力電圧範囲を要求するアプリケーション用に外部リファレンスを使用することができます。

シングルエンド型のクロック入力に変換プロセスを制御します。内蔵のデューティサイクルイコライザによって、入力クロックデューティサイクルの幅広い範囲での動作が可能です。内蔵フェーズロックループ(PLL)は、高速のシリアル低電圧差動信号(LVDS)クロックを生成します。

MAX1127は、データ、クロック、及びフレームアライメント信号をシリアルLVDSとして出力します。出力データは、2の補数またはバイナリ形式で提供されます。

MAX1127のピンコンパチブル40MSPSバージョンについては、MAX1126のデータシートを参照してください。

MAX1127は小型の10mm x 10mm x 0.9mm、裏面放熱パドル付68ピンQFNパッケージで提供され、工業用拡張温度範囲(-40 $^{\circ}$ C~+85 $^{\circ}$ C)での動作が保証されています。

## アプリケーション

- 超音波及び医療イメージング
- ポジトロン放射断層撮影(PET)イメージング
- マルチチャンネル通信システム
- 計測

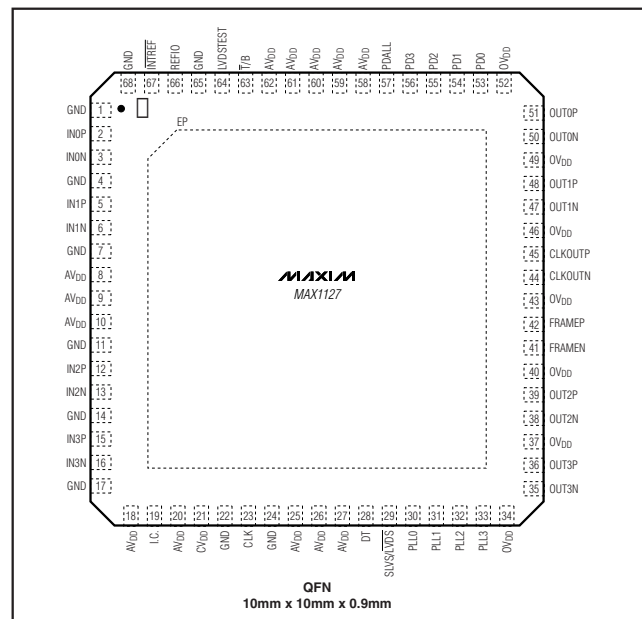
## 特長

- ◆ シリアルLVDS/SLVS出力付の4個のADCチャンネル
- ◆ 卓越したダイナミック性能
  - 69.6dB SNR( $f_{IN} = 19.3$ MHzの場合)
  - 92dBc SFDR( $f_{IN} = 19.3$ MHzの場合)
  - 87dBのチャンネル絶縁
- ◆ 超低電力
  - チャンネル当たり135mW(通常動作時)
  - 総電力1.2mW(シャットダウンモード時)
- ◆ 20%~80%のクロックデューティサイクルで動作可能
- ◆ データ出力インタフェースに対する自己整合データクロック
- ◆ 完全差動アナログ入力
- ◆ 広差動入力電圧範囲:  $\pm 1.4V_{p-p}$
- ◆ 内部または外部リファレンスを選択可能
- ◆ デジタルシグナルインテグリティに対するテストモード付
- ◆ LVDS出力は最大30inのFR-4バックプレーン接続をサポート
- ◆ 裏面放熱パドル付小型68ピンQFNパッケージ
- ◆ 評価キットを提供(MAX1127EVKIT)

## 型番

PART	TEMP RANGE	PIN-PACKAGE
MAX1127EGK	-40 $^{\circ}$ C to +85 $^{\circ}$ C	68 QFN 10mm x 10mm x 0.9mm

## ピン配置



# シリアルLVDS出力付、クワッド、12ビット、65Mpsps、1.8V ADC

MAX1127

## ABSOLUTE MAXIMUM RATINGS

AV <sub>DD</sub> to GND.....	-0.3V to +2.0V	$\bar{V}/B$ , LVDS <sub>TEST</sub> to GND .....	-0.3V to (AV <sub>DD</sub> + 0.3V)
CV <sub>DD</sub> to GND .....	-0.3V to +3.6V	REF <sub>IO</sub> , $\bar{I}NTREF$ to GND.....	-0.3V to (AV <sub>DD</sub> + 0.3V)
OV <sub>DD</sub> to GND .....	-0.3V to +2.0V	I.C. to GND.....	-0.3V to (AV <sub>DD</sub> + 0.3V)
IN <sub>P</sub> , IN <sub>N</sub> to GND.....	-0.3V to (AV <sub>DD</sub> + 0.3V)	Continuous Power Dissipation (T <sub>A</sub> = +70°C)	
CLK to GND .....	-0.3V to (CV <sub>DD</sub> + 0.3V)	68-Pin QFN 10mm x 10mm x 0.9mm	
OUT <sub>P</sub> , OUT <sub>N</sub> , FRAME <sub>+</sub> , CLKOUT <sub>+</sub> to GND.....	-0.3V to (OV <sub>DD</sub> + 0.3V)	(derated 41.7mW/°C above +70°C).....	3333.3mW
DT, SLVS/LVDS to GND .....	-0.3V to (AV <sub>DD</sub> + 0.3V)	Operating Temperature Range .....	-40°C to +85°C
PLL0, PLL1, PLL2, PLL3 to GND .....	-0.3V to (AV <sub>DD</sub> + 0.3V)	Maximum Junction Temperature .....	+150°C
PD0, PD1, PD2, PD3, PDALL to GND.....	-0.3V to (AV <sub>DD</sub> + 0.3V)	Storage Temperature Range .....	-65°C to +150°C
		Lead Temperature Range (soldering, 10s).....	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(AV<sub>DD</sub> = 1.8V, OV<sub>DD</sub> = 1.8V, CV<sub>DD</sub> = 1.8V, GND = 0, external V<sub>REFIO</sub> = 1.24V,  $\bar{I}NTREF$  = AV<sub>DD</sub>, C<sub>REFIO</sub> to GND = 0.1μF, f<sub>CLK</sub> = 65MHz (50% duty cycle), DT = 0, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DC ACCURACY</b>						
Resolution	N		12			Bits
Integral Nonlinearity	INL	(Note 2)		±0.4		LSB
Differential Nonlinearity	DNL	(Note 2)		±0.25		LSB
Offset Error		Fixed external reference (Note 2)			±1	% FS
Gain Error		Fixed external reference (Note 2)			±1.5	% FS
<b>ANALOG INPUTS (IN<sub>P</sub>, IN<sub>N</sub>)</b>						
Input Differential Range	V <sub>ID</sub>	Differential input		1.4		V <sub>P-P</sub>
Common-Mode Voltage Range	V <sub>CMO</sub>	(Note 3)		0.75		V
Differential Input Impedance	R <sub>IN</sub>	Switched capacitor load		2		kΩ
Differential Input Capacitance	C <sub>IN</sub>			12.5		pF
<b>CONVERSION RATE</b>						
Maximum Conversion Rate	f <sub>S</sub> MAX		65			MHz
Minimum Conversion Rate	f <sub>S</sub> MIN			16		MHz
Data Latency				6.5		Cycles
<b>DYNAMIC CHARACTERISTICS (differential inputs, 4096-point FFT)</b>						
Signal-to-Noise Ratio (Note 2)	SNR	f <sub>IN</sub> = 5.3MHz at -0.5dBFS		69.7		dB
		f <sub>IN</sub> = 19.3MHz at -0.5dBFS, T <sub>A</sub> ≥ +25°C	66.6	69.6		
		f <sub>IN</sub> = 30.3MHz at -0.5dBFS		69.4		
Signal-to-Noise and Distortion (First Four Harmonics) (Note 2)	SINAD	f <sub>IN</sub> = 5.3MHz at -0.5dBFS		69.6		dB
		f <sub>IN</sub> = 19.3MHz at -0.5dBFS, T <sub>A</sub> ≥ +25°C	66.5	69.5		
		f <sub>IN</sub> = 30.3MHz at -0.5dBFS		69.3		
Effective Number of Bits (Note 2)	ENOB	f <sub>IN</sub> = 5.3MHz at -0.5dBFS		11.4		Bits
		f <sub>IN</sub> = 19.3MHz at -0.5dBFS, T <sub>A</sub> ≥ +25°C		11.4		
		f <sub>IN</sub> = 30.3MHz at -0.5dBFS		11.3		

# シリアルLVDS出力付、クワッド、12ビット、 65Mbps、1.8V ADC

MAX1127

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = 1.8V$ ,  $OV_{DD} = 1.8V$ ,  $CV_{DD} = 1.8V$ ,  $GND = 0$ , external  $V_{REFIO} = 1.24V$ ,  $\overline{INTREF} = AV_{DD}$ ,  $C_{REFIO}$  to  $GND = 0.1\mu F$ ,  $f_{CLK} = 65MHz$  (50% duty cycle),  $DT = 0$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Spurious-Free Dynamic Range (Note 2)	SFDR	$f_{IN} = 5.3MHz$ at $-0.5dBFS$		93.3		dBc
		$f_{IN} = 19.3MHz$ at $-0.5dBFS$ , $T_A \geq +25^\circ C$	77.5	92		
		$f_{IN} = 30.3MHz$ at $-0.5dBFS$		88.9		
Total Harmonic Distortion (Note 2)	THD	$f_{IN} = 5.3MHz$ at $-0.5dBFS$		-91		dBc
		$f_{IN} = 19.3MHz$ at $-0.5dBFS$ , $T_A \geq +25^\circ C$		-91	-77.5	
		$f_{IN} = 30.3MHz$ at $-0.5dBFS$		-88		
Intermodulation Distortion	IMD	$f_1 = 12.348685MHz$ at $-6.5dBFS$ , $f_2 = 13.650845MHz$ at $-6.5dBFS$ (Note 2)		91.2		dBc
Third-Order Intermodulation	IM3	(Note 2)		95.7		dBc
Aperture Jitter	$t_{AJ}$	(Note 2)		<0.4		psRMS
Aperture Delay	$t_{AD}$	(Note 2)		1		ns
Small-Signal Bandwidth	SSBW	Input at $-20dBFS$ (Notes 2 and 4)		100		MHz
Full-Power Bandwidth	LSBW	Input at $-0.5dBFS$ (Notes 2 and 4)		100		MHz
Output Noise		$INP = IN\_N$		0.35		LSBRMS
Overdrive Recovery Time	$t_{OR}$	$R_S = 25\Omega$ , $C_S = 50pF$		1		Clock cycles
<b>INTERNAL REFERENCE (<math>\overline{INTREF} = GND</math>, bypass <math>REFIO</math> to <math>GND</math> with <math>0.1\mu F</math>)</b>						
$\overline{INTREF}$ Internal Reference Mode Enable Voltage		(Note 5)			0.1	V
$\overline{INTREF}$ Low-Leakage Current				200		$\mu A$
$REFIO$ Output Voltage	$V_{REFIO}$		1.18	1.24	1.30	V
Reference Temperature Coefficient	$TC_{REFIO}$			100		ppm/ $^\circ C$
<b>EXTERNAL REFERENCE (<math>\overline{INTREF} = AV_{DD}</math>)</b>						
$\overline{INTREF}$ External Reference Mode Enable Voltage		(Note 5)		$AV_{DD} - 0.1V$		V
$\overline{INTREF}$ High-Leakage Current				200		$\mu A$
$REFIO$ Input Voltage Range				1.24		V
$REFIO$ Input Current	$I_{REFIO}$			<1		$\mu A$
<b>CLOCK INPUT (CLK)</b>						
Input High Voltage	$V_{CLKH}$			$0.8 \times CV_{DD}$		V
Input Low Voltage	$V_{CLKL}$				$0.2 \times CV_{DD}$	V
Clock Duty Cycle				50		%
Clock Duty-Cycle Tolerance				$\pm 30$		%

# シリアルLVDS出力付、クワッド、12ビット、 65Mps、1.8V ADC

MAX1127

## ELECTRICAL CHARACTERISTICS (continued)

(AVDD = 1.8V, OVDD = 1.8V, CVDD = 1.8V, GND = 0, external VREFIO = 1.24V, INTREF = AVDD, CREFIO to GND = 0.1μF, fCLK = 65MHz (50% duty cycle), DT = 0, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Leakage	DIIN	Input at GND			5	μA
		Input at AVDD			80	
Input Capacitance	DCIN			5		pF
<b>DIGITAL INPUTS (PLL_, LVDSSTEST, DT, SLVS/LVDS, PD_, PDALL, T/B)</b>						
Input High Threshold	VIH		0.8 x AVDD			V
Input Low Threshold	VIL				0.2 x AVDD	V
Input Leakage	DIIN	Input at GND, except PLL2 and PLL3			5	μA
		Input at AVDD, except PLL2 and PLL3			80	
		PLL2 and PLL3 only			200	
Input Capacitance	DCIN			5		pF
<b>LVDS OUTPUTS (OUT_P, OUT_N, SLVS/LVDS = 0)</b>						
Differential Output Voltage	VOHDIFF	RTERM = 100Ω	250		450	mV
Output Common-Mode Voltage	VOCM	RTERM = 100Ω	1.125		1.375	V
Rise Time (20% to 80%)	tR	RTERM = 100Ω, CLOAD = 5pF		150		ps
Fall Time (80% to 20%)	tF	RTERM = 100Ω, CLOAD = 5pF		150		ps
<b>SLVS OUTPUTS (OUT_P, OUT_N, CLKOUTP, CLKOUTN, FRAMEP, FRAMEN), SLVS/LVDS = 1, DT = 1</b>						
Differential Output Voltage	VOHDIFF	RTERM = 100Ω		240		mV
Output Common-Mode Voltage	VOCM	RTERM = 100Ω		220		mV
Rise Time (20% to 80%)	tR	RTERM = 100Ω, CLOAD = 5pF		120		ps
Fall Time (80% to 20%)	tF	RTERM = 100Ω, CLOAD = 5pF		120		ps
<b>POWER-DOWN</b>						
PD Fall to Output Enable	tENABLE			132		μs
PD Rise to Output Disable	tDISABLE			10		ns
<b>POWER REQUIREMENTS</b>						
AVDD Supply Voltage	AVDD		1.7	1.8	1.9	V
OVDD Supply Voltage	OVDD		1.7	1.8	1.9	V
CVDD Supply Voltage	CVDD		1.7	1.8	3.6	V

# シリアルLVDS出力付、クワッド、12ビット、 65Mps、1.8V ADC

MAX1127

## ELECTRICAL CHARACTERISTICS (continued)

(AVDD = 1.8V, OVDD = 1.8V, CVDD = 1.8V, GND = 0, external VREFIO = 1.24V, INTREF = AVDD, CREFIO to GND = 0.1μF, fCLK = 65MHz (50% duty cycle), DT = 0, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS	
AVDD Supply Current	IAVDD	fIN = 19.3MHz at -0.5dBFS	PDALL = 0, all channels active		257	295	mA	
			PDALL = 0, all channels active, DT = 1		257			
			PDALL = 0, 1 channel active		82			
			PDALL = 0, PD[3:0] = 1111		23			
			PDALL = 1, global power down, PD[3:0] = 1111, no clock input		300		μA	
OVDD Supply Current	IOVDD	fIN = 19.3MHz at -0.5dBFS	PDALL = 0, all channels active		56	65	mA	
			PDALL = 0, all channels active, DT = 1		72			
			PDALL = 0, 1 channel active		42			
			PDALL = 0, PD[3:0] = 1111		37			
			PDALL = 1, global power-down, PD[3:0] = 1111, no clock input		375		μA	
CVDD Supply Current	ICVDD	CVDD is used only to bias ESD-protection diodes on CLK input, Figure 2		0			mA	
Power Dissipation	PDISS	fIN = 19.3MHz at -0.5dBFS		563	648		mW	
<b>TIMING CHARACTERISTICS</b> (Note 6)								
Data Valid to CLKOUT Rise/Fall	tOD	fCLK = 65MHz, Figure 5 (Notes 6 and 7)		(tSAMPLE/24) - 0.15	tSAMPLE/24	(tSAMPLE/24) + 0.15		ns
CLKOUT Output Width High	tCH	Figure 5			tSAMPLE/12			ns
CLKOUT Output Width Low	tCL	Figure 5			tSAMPLE/12			ns
FRAME Rise to CLKOUT Rise	tCF	Figure 4 (Note 7)		(tSAMPLE/24) - 0.15	tSAMPLE/24	(tSAMPLE/24) + 0.15		ns

# シリアルLVDS出力付、クワッド、12ビット、 65Msps、1.8V ADC

MAX1127

## ELECTRICAL CHARACTERISTICS (continued)

(AVDD = 1.8V, OVDD = 1.8V, CVDD = 1.8V, GND = 0, external VREFIO = 1.24V,  $\overline{\text{INTREF}}$  = AVDD, CREFIO to GND = 0.1 $\mu$ F, fCLK = 65MHz (50% duty cycle), DT = 0, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>CHANNEL-TO-CHANNEL MATCHING</b>						
Crosstalk		(Note 2)		-87		dB
Gain Matching		fIN = 30.3MHz (Note 2)		$\pm 0.1$		dB
Phase Matching		fIN = 30.3.MHz (Note 2)		$\pm 1$		Degrees

**Note 1:** Specifications at TA  $\geq$  +25°C are guaranteed by production testing. Specifications at TA < +25°C are guaranteed by design and characterization and not subject to production testing.

**Note 2:** See definition in the *Parameter Definitions* section.

**Note 3:** The MAX1127 internally sets the common-mode voltage to 0.6V (typ) (see Figure 1). The common-mode voltage can be overdriven to between 0.55V and 0.85V.

**Note 4:** Limited by MAX1127EVKIT input circuitry.

**Note 5:** Connect  $\overline{\text{INTREF}}$  to GND directly to enable internal reference mode. Connect  $\overline{\text{INTREF}}$  to AVDD directly to disable the internal bandgap reference and enable external reference mode.

**Note 6:** Data valid to CLKOUT rise/fall timing is measured from 50% of data output level to 50% of clock output level.

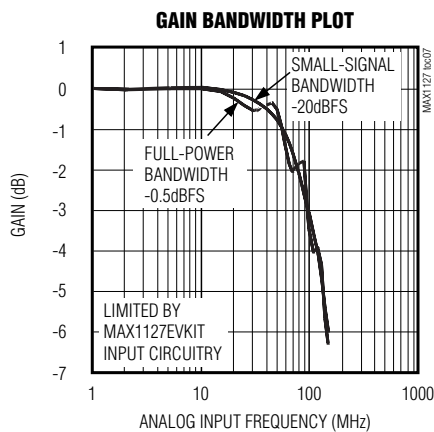
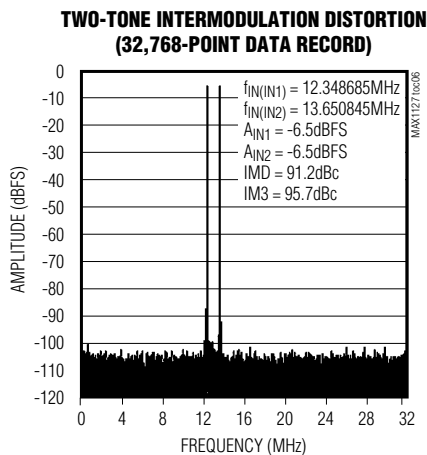
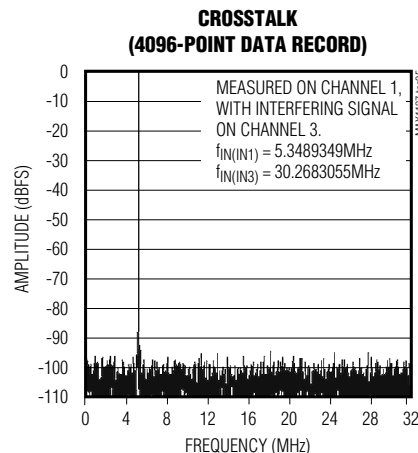
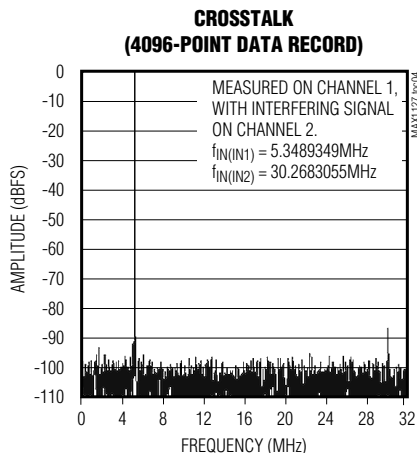
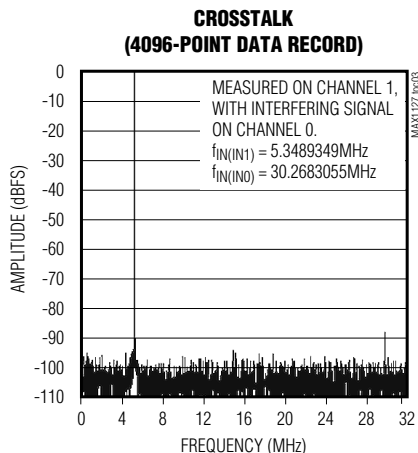
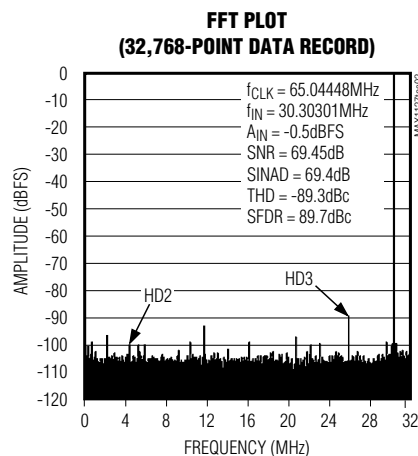
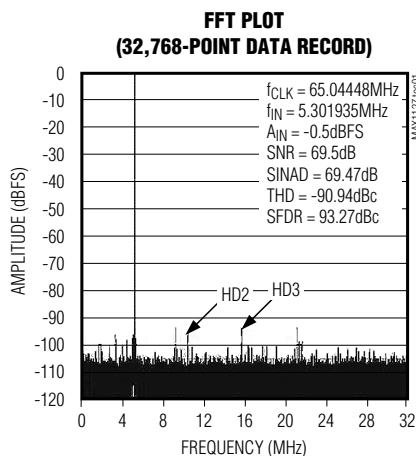
**Note 7:** Guaranteed by design and characterization. Not subject to production testing.

# シリアルLVDS出力付、クワッド、12ビット、65Mps、1.8V ADC

MAX1127

## 標準動作特性

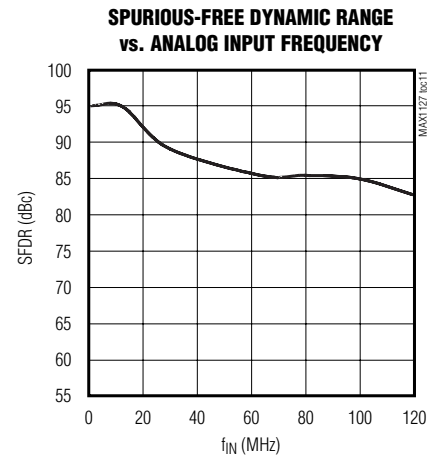
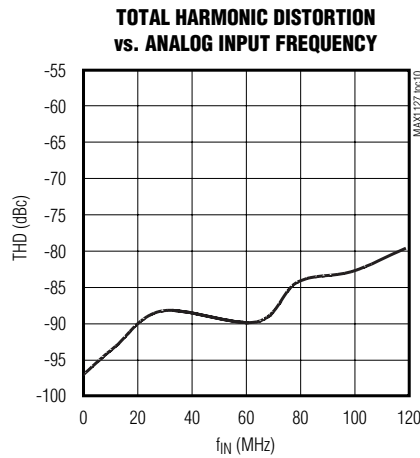
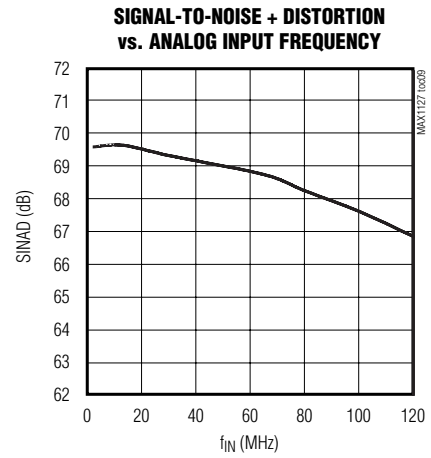
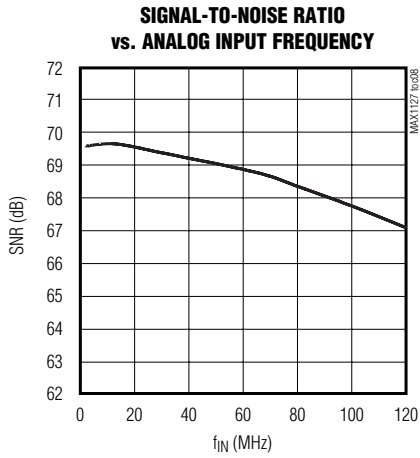
( $V_{DD} = 1.8V$ ,  $OV_{DD} = 1.8V$ ,  $CV_{DD} = 1.8V$ ,  $GND = 0$ , external  $V_{REFIO} = 1.24V$ ,  $\overline{INTREF} = AV_{DD}$ , differential input at  $-0.5dBFS$ ,  $f_{CLK} = 65MHz$  (50% duty cycle),  $DT = low$ ,  $C_{LOAD} = 10pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)



# シリアルLVDS出力付、クワッド、12ビット、 65MSPs、1.8V ADC

## 標準動作特性(続き)

( $V_{DD} = 1.8V$ ,  $OV_{DD} = 1.8V$ ,  $CV_{DD} = 1.8V$ ,  $GND = 0$ , external  $V_{REFIO} = 1.24V$ ,  $\overline{INTREF} = AV_{DD}$ , differential input at  $-0.5dBFS$ ,  $f_{CLK} = 65MHz$  (50% duty cycle),  $DT = low$ ,  $C_{LOAD} = 10pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)



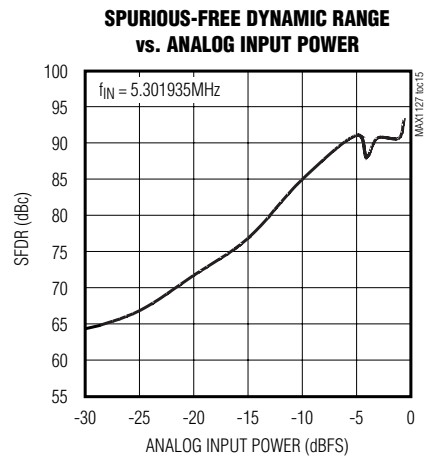
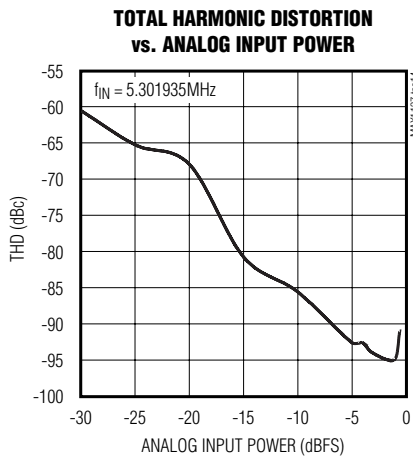
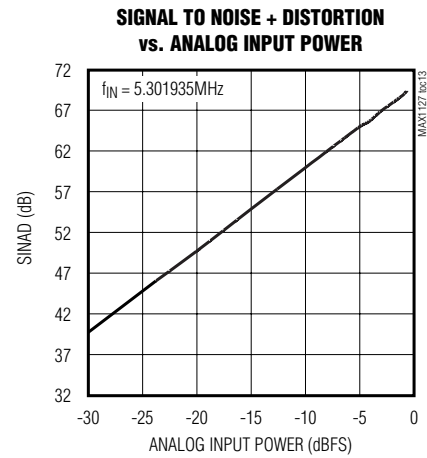
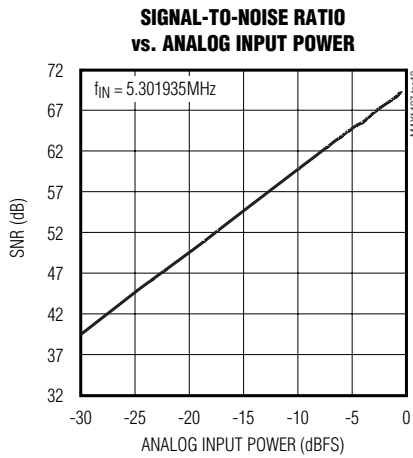


# シリアルLVDS出力付、クワッド、12ビット、65Mps、1.8V ADC

MAX1127

## 標準動作特性(続き)

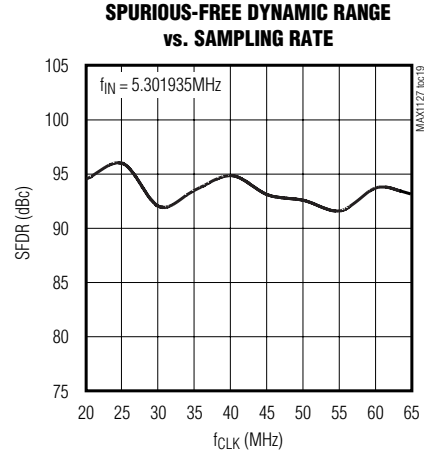
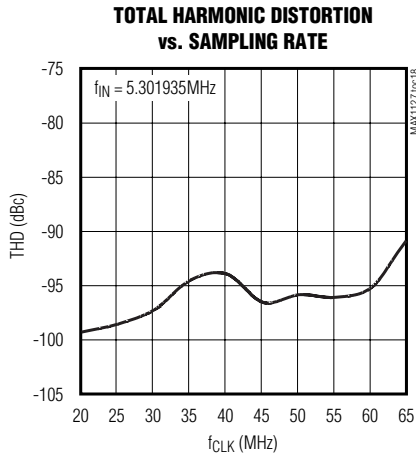
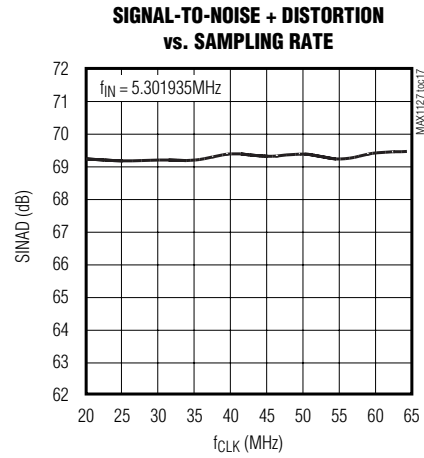
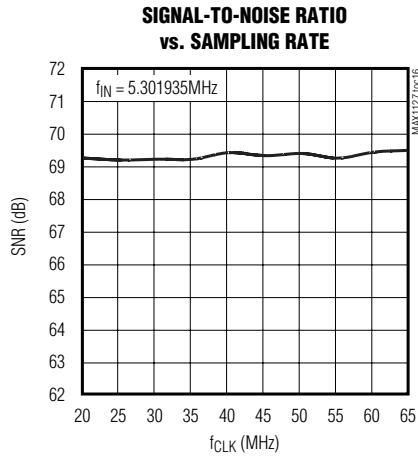
( $AV_{DD} = 1.8V$ ,  $OV_{DD} = 1.8V$ ,  $CV_{DD} = 1.8V$ ,  $GND = 0$ , external  $V_{REFIO} = 1.24V$ ,  $\overline{INTREF} = AV_{DD}$ , differential input at  $-0.5dBFS$ ,  $f_{CLK} = 65MHz$  (50% duty cycle),  $DT = low$ ,  $C_{LOAD} = 10pF$ ,  $T_A = +25^{\circ}C$ , unless otherwise noted.)



# シリアルLVDS出力付、クワッド、12ビット、 65MSPS、1.8V ADC

## 標準動作特性(続き)

( $V_{DD} = 1.8V$ ,  $O_{VDD} = 1.8V$ ,  $C_{VDD} = 1.8V$ ,  $GND = 0$ , external  $V_{REFIO} = 1.24V$ ,  $\overline{INTREF} = AV_{DD}$ , differential input at  $-0.5dBFS$ ,  $f_{CLK} = 65MHz$  (50% duty cycle),  $DT = low$ ,  $C_{LOAD} = 10pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

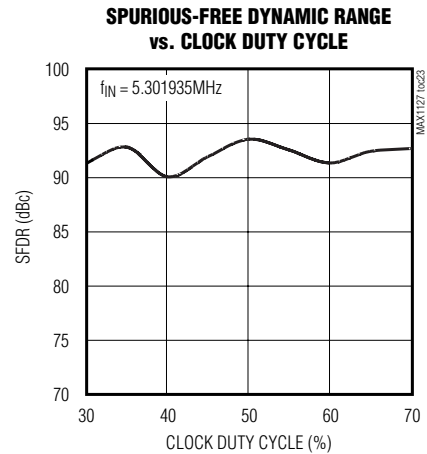
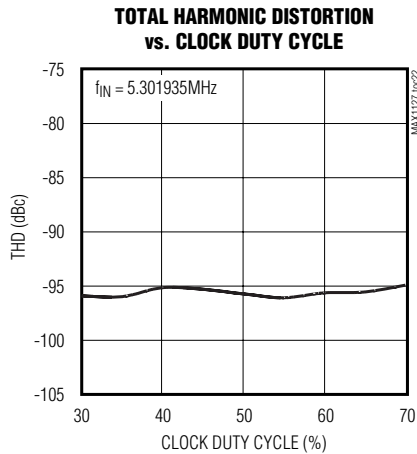
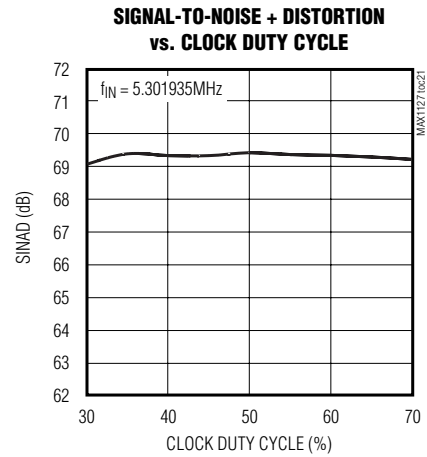
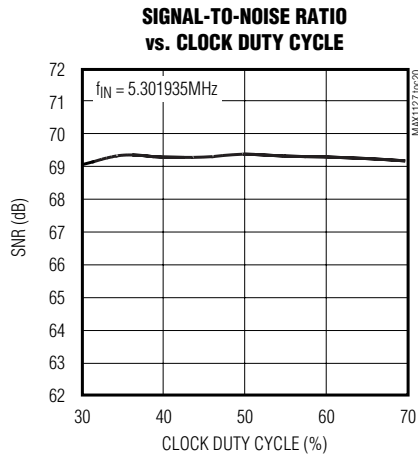


# シリアルLVDS出力付、クワッド、12ビット、65Mbps、1.8V ADC

MAX1127

## 標準動作特性(続き)

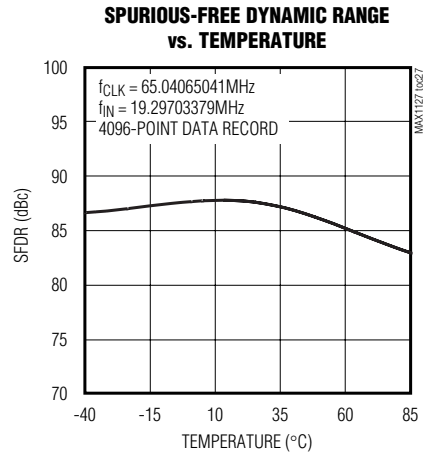
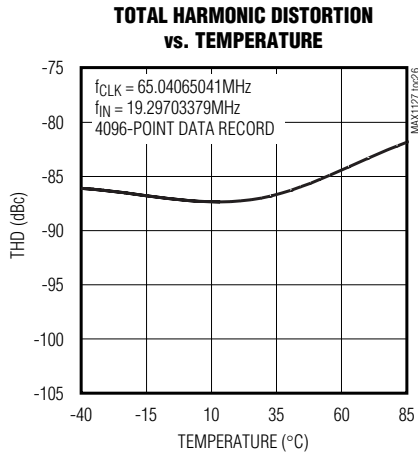
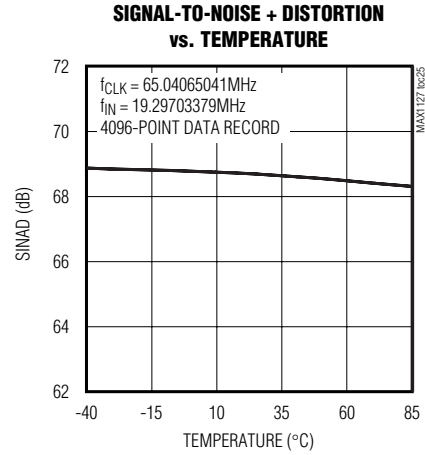
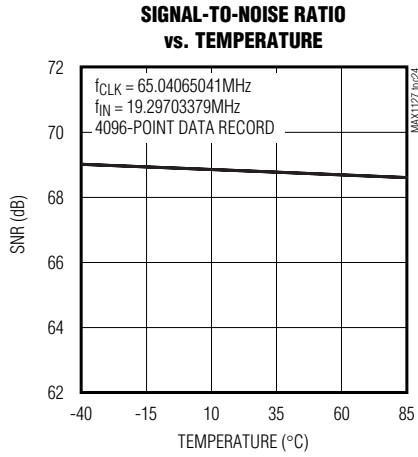
( $AV_{DD} = 1.8V$ ,  $OV_{DD} = 1.8V$ ,  $CV_{DD} = 1.8V$ ,  $GND = 0$ , external  $V_{REFIO} = 1.24V$ ,  $\overline{INTREF} = AV_{DD}$ , differential input at  $-0.5dBFS$ ,  $f_{CLK} = 65MHz$  (50% duty cycle),  $DT = low$ ,  $C_{LOAD} = 10pF$ ,  $T_A = +25^{\circ}C$ , unless otherwise noted.)



# シリアルLVDS出力付、クワッド、12ビット、 65MSPS、1.8V ADC

## 標準動作特性(続き)

( $V_{DD} = 1.8V$ ,  $OV_{DD} = 1.8V$ ,  $CV_{DD} = 1.8V$ ,  $GND = 0$ , external  $V_{REFIO} = 1.24V$ ,  $\overline{INTREF} = AV_{DD}$ , differential input at  $-0.5dBFS$ ,  $f_{CLK} = 65MHz$  (50% duty cycle),  $DT = low$ ,  $C_{LOAD} = 10pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)



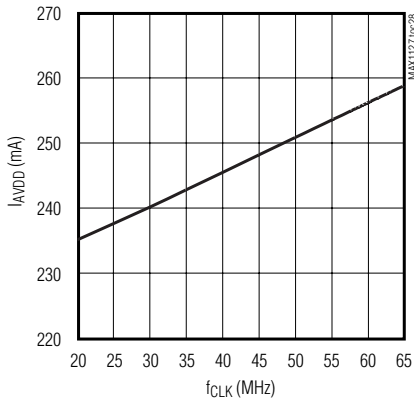
# シリアルLVDS出力付、クワッド、12ビット、65Mps、1.8V ADC

MAX1127

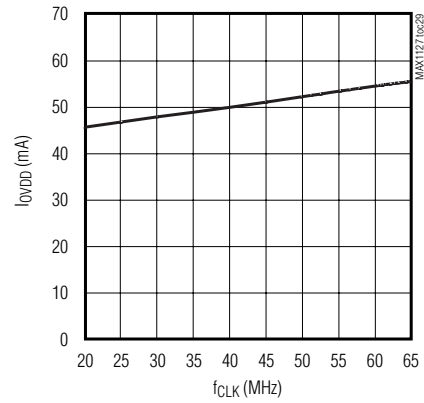
## 標準動作特性(続き)

( $V_{DD} = 1.8V$ ,  $OV_{DD} = 1.8V$ ,  $CV_{DD} = 1.8V$ ,  $GND = 0$ , external  $V_{REFIO} = 1.24V$ ,  $\overline{INTREF} = AV_{DD}$ , differential input at  $-0.5dBFS$ ,  $f_{CLK} = 65MHz$  (50% duty cycle),  $DT = low$ ,  $C_{LOAD} = 10pF$ ,  $T_A = +25^{\circ}C$ , unless otherwise noted.)

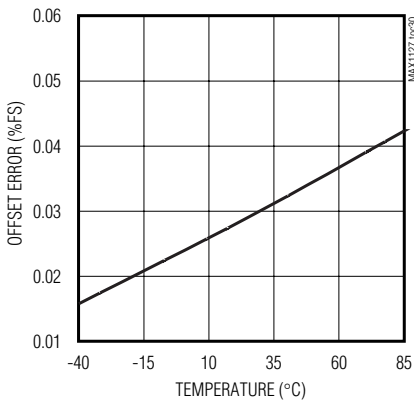
**ANALOG SUPPLY CURRENT vs. SAMPLING RATE**



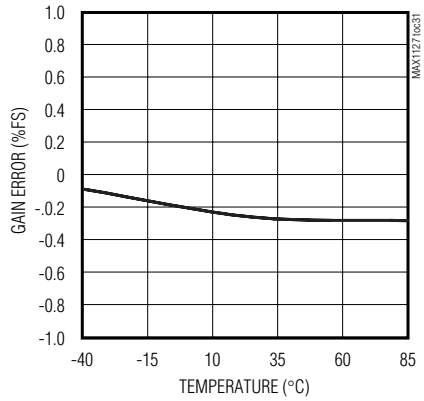
**DIGITAL SUPPLY CURRENT vs. SAMPLING RATE**



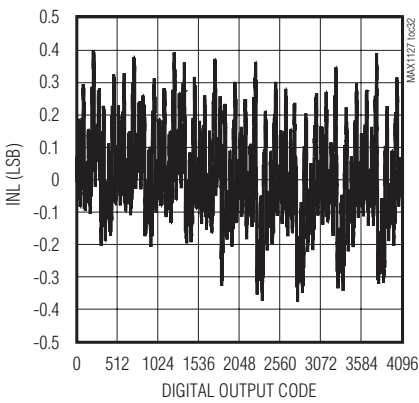
**OFFSET ERROR vs. TEMPERATURE**



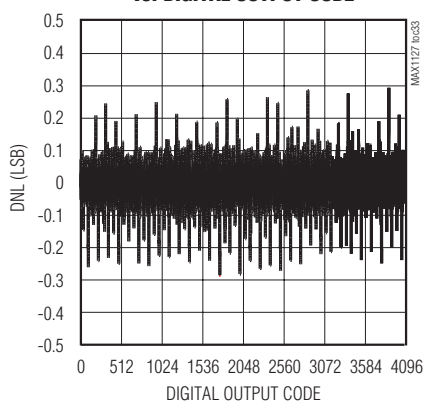
**GAIN ERROR vs. TEMPERATURE**



**INTEGRAL NONLINEARITY vs. DIGITAL OUTPUT CODE**



**DIFFERENTIAL NONLINEARITY vs. DIGITAL OUTPUT CODE**

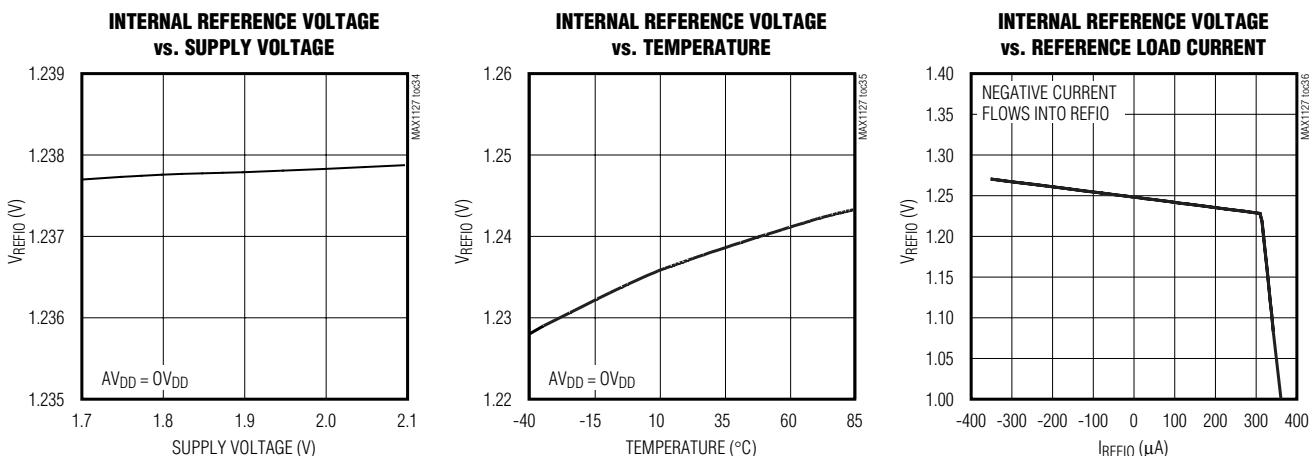


# シリアルLVDS出力付、クワッド、12ビット、65Mps、1.8V ADC

MAX1127

## 標準動作特性(続き)

( $V_{DD} = 1.8V$ ,  $O_{VDD} = 1.8V$ ,  $C_{VDD} = 1.8V$ ,  $GND = 0$ , external  $V_{REFIO} = 1.24V$ ,  $\overline{INTREF} = AV_{DD}$ , differential input at  $-0.5dBFS$ ,  $f_{CLK} = 65MHz$  (50% duty cycle),  $DT = low$ ,  $C_{LOAD} = 10pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)



## 端子説明

端子	名称	機能
1, 4, 7, 11, 14, 17, 22, 24, 65, 68	GND	グラウンド。すべてのGND端子を同じ電位に接続してください。
2	IN0P	チャンネル0、正アナログ入力
3	IN0N	チャンネル0、負アナログ入力
5	IN1P	チャンネル1、正アナログ入力
6	IN1N	チャンネル1、負アナログ入力
8, 9, 10, 18, 20, 25, 26, 27, 58-62	$AV_{DD}$	アナログ電源入力。 $AV_{DD}$ を1.7V~1.9Vの電源に接続してください。デバイスにできるだけ近接した0.1 $\mu F$ コンデンサで各 $AV_{DD}$ をGNDにバイパスしてください。デバイスにできるだけ近接した2.2 $\mu F$ 以上の大容量コンデンサで $AV_{DD}$ 電源プレーンをGNDグラウンドプレーンにバイパスしてください。すべての $AV_{DD}$ 端子を同じ電位に接続してください。
12	IN2P	チャンネル2、正アナログ入力
13	IN2N	チャンネル2、負アナログ入力
15	IN3P	チャンネル3、正アナログ入力
16	IN3N	チャンネル3、負アナログ入力
19	I.C.	内部接続。接続禁止
21	$CV_{DD}$	クロック電源入力。 $CV_{DD}$ を1.7V~3.6Vの電源に接続してください。2.2 $\mu F$ 以上のコンデンサと並列にして0.1 $\mu F$ のコンデンサで $CV_{DD}$ をGNDにバイパスしてください。デバイスにできるだけ近接してバイパスコンデンサを実装してください。
23	CLK	シングルエンドCMOSクロック入力
28	DT	二重終端の選択入力。差動出力ペア間の100 $\Omega$ の内部終端を選択するには、DTをハイにしてください。内部出力終端を選択しない場合は、DTをローにしてください。

# シリアルLVDS出力付、クワッド、12ビット、65Mps、1.8V ADC

MAX1127

## 端子説明(続き)

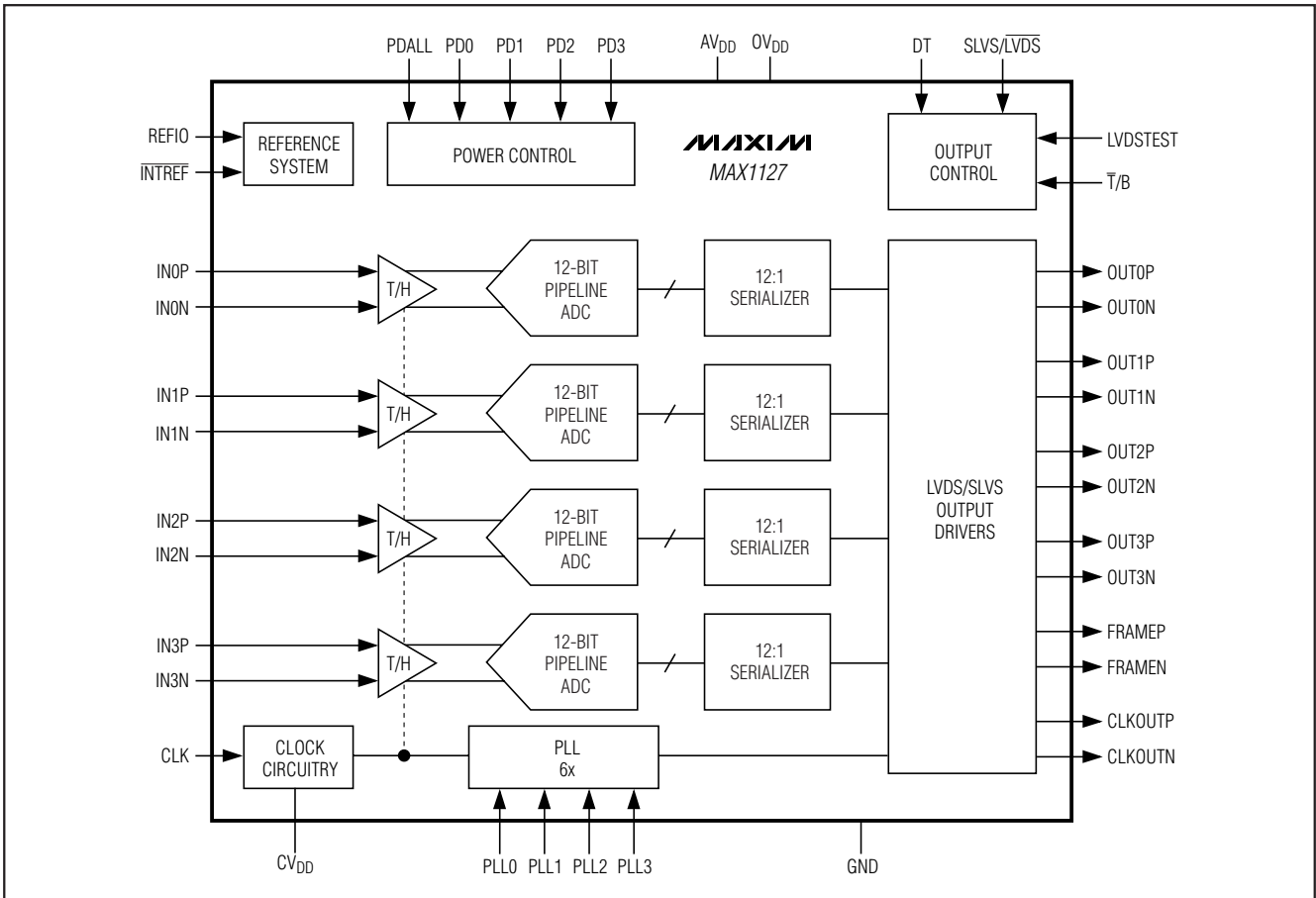
端子	名称	機能
29	SLVS/LVDS	差動出力信号形式の選択入力。SLVS出力を選択するには、SLVS/LVDSをハイにしてください。LVDS出力を選択するには、SLVS/LVDSをローにしてください。
30	PLL0	PLL制御入力0。PLL0はマキシムの試験専用で、GNDに常時接続する必要があります。
31	PLL1	PLL制御入力1。PLL1はマキシムの試験専用で、GNDに常時接続する必要があります。
32	PLL2	PLL制御入力2。詳細については、表1を参照してください。
33	PLL3	PLL制御入力3。詳細については、表1を参照してください。
34, 37, 40, 43, 46, 49, 52	OVDD	出力ドライバ電源入力。OV <sub>DD</sub> を1.7V~1.9Vの電源に接続してください。デバイスにできるだけ近接した0.1μFコンデンサで各OV <sub>DD</sub> をGNDにバイパスしてください。デバイスにできるだけ近接した2.2μF以上の大容量コンデンサでOV <sub>DD</sub> 電源プレーンをGNDグラウンドプレーンにバイパスしてください。すべてのOV <sub>DD</sub> 端子を同じ電位に接続してください。
35	OUT3N	チャンネル3、負LVDS/SLVS出力
36	OUT3P	チャンネル3、正LVDS/SLVS出力
38	OUT2N	チャンネル2、負LVDS/SLVS出力
39	OUT2P	チャンネル2、正LVDS/SLVS出力
41	FRAMEN	負フレームアライメントLVDS/SLVS出力。差動フレーム出力の立上りエッジが出力データストリームの中のD0の出力位置に整合しています。
42	FRAMEP	正フレームアライメントLVDS/SLVS出力。差動フレーム出力の立上りエッジが出力データストリームの中のD0の出力位置に整合しています。
44	CLKOUTN	負LVDS/SLVSシリアルクロック出力
45	CLKOUTP	正LVDS/SLVSシリアルクロック出力
47	OUT1N	チャンネル1、負LVDS/SLVS出力
48	OUT1P	チャンネル1、正LVDS/SLVS出力
50	OUT0N	チャンネル0、負LVDS/SLVS出力
51	OUT0P	チャンネル0、正LVDS/SLVS出力
53	PD0	チャンネル0のパワーダウン入力。チャンネル0をパワーダウンするには、PD0をハイにしてください。通常動作時には、PD0をローにしてください。
54	PD1	チャンネル1のパワーダウン入力。チャンネル1をパワーダウンするには、PD1をハイにしてください。通常動作時には、PD1をローにしてください。
55	PD2	チャンネル2のパワーダウン入力。チャンネル2をパワーダウンするには、PD2をハイにしてください。通常動作時には、PD2をローにしてください。
56	PD3	チャンネル3のパワーダウン入力。チャンネル3をパワーダウンするには、PD3をハイにしてください。通常動作時には、PD3をローにしてください。
57	PDALL	グローバルパワーダウン入力。すべてのチャンネルとリファレンスをパワーダウンするには、PDALLをハイにしてください。通常動作時には、PDALLをローにしてください。
63	$\bar{T}/B$	出力形式の選択入力。バイナリ出力形式を選択するには、 $\bar{T}/B$ をハイにしてください。2の補数出力形式を選択するには、 $\bar{T}/B$ をローにしてください。

# シリアルLVDS出力付、クワッド、12ビット、 65Mpsps、1.8V ADC

## 端子説明(続き)

端子	名称	機能
64	LVDSTEST	LVDSテストパターンイネーブル入力。出力テストパターンをイネーブルするには、LVDSTESTをハイにしてください(000010111101 MSB→LSB)。アナログ変換結果と同様に、テストパターンデータはLSBが最初に出力されます。通常動作するには、LVDSTESTをローにしてください。
66	REFIO	リファレンス入力/出力。内部リファレンス動作(INTREF = GND)の場合は、リファレンス出力電圧は1.24Vです。外部リファレンス動作(INTREF = AV <sub>DD</sub> )の場合は、REFIOに安定したリファレンス電圧を印加してください。0.1μFコンデンサでGNDにバイパスしてください。
67	$\overline{\text{INTREF}}$	内部または外部リファレンスモードの選択入力。内部リファレンスモードの場合は、 $\overline{\text{INTREF}}$ をGNDに直接接続してください。外部リファレンスモードの場合は、 $\overline{\text{INTREF}}$ をAV <sub>DD</sub> に直接接続してください。
—	EP	裏面放熱パドル。EPはGNDに内部接続されています。保証された性能を発揮するには、EPをGNDに外部で接続してください。

## ファンクションダイアグラム





# シリアルLVDS出力付、クワッド、12ビット、65Mps、1.8V ADC

## 詳細

MAX1127はアナログ-デジタルコンバータ(ADC)で、完全差動入力、パイプラインアーキテクチャ、及びデジタルエラー補正を備え、高速信号変換を実現します。ADCパイプラインアーキテクチャによって、入力で採取されたサンプルが半クロックサイクルごとにパイプライン段を移動します。変換されたデジタル結果はシリアル化され、LVDS/SLVS出力ドライバを通じて送られます。入力から出力までの総遅延時間(latency)は、6.5入力クロックサイクルです。

MAX1127は、入力と出力が同期した独立の完全差動チャンネルを4個装備しています。T/Bデジタル入力により、バイナリまたは2の補数の出力形式を設定してください。電力消費を最低限に抑えるために、個別または全体で各チャンネルをパワーダウンできます。

## 入力回路

図1は、入力T/H回路の簡略ファンクションダイアグラムを示しています。トラックモードでは、スイッチS1、S2a、S2b、S4a、S4b、S5a、及びS5bは閉じています。完全差動回路は、スイッチS4a及びS4bを通じて2つのコンデンサ(C2a及びC2b)に入力信号をサンプリング

します。S2a及びS2bは、トランスコンダクタンスオペアンプ(OTA)の共通モード電圧を設定し、S1と同時に開いて入力波形をサンプリングします。次に、スイッチS4a、S4b、S5a、及びS5bが開いた後に、スイッチS3a及びS3bはコンデンサC1a及びC1bをアンプの出力と接続させ、スイッチS4cが閉じます。結果として得られる差動電圧は、コンデンサC2a及びC2bに保持されます。アンプは、コンデンサC2a及びC2bに最初に保持されていた値を、C1a及びC1bに充電します。次に、この充電された値は第1段の量子化器に送られ、高速変動する入力からパイプラインが分離されます。IN\_PとIN\_Nの間のアナログ入力は、差動的に駆動されます。差動入力とするために、性能を最適化するには、IN\_P及びIN\_Nの入カインピーダンスをバランスさせてください。

MAX1127アナログ入力は0.6V (typ)の共通モード電圧で自己バイアスされ、1.4V<sub>p-p</sub>の差動入力電圧振幅を可能とします。共通モード電圧を0.55V~0.85Vの範囲でオーバードライブすることができます。最高のダイナミック性能を得るためには、MAX1127のアナログ入力をAC結合構成として駆動してください。この構成の詳細については、「トランス結合の使用」の項を参照してください。

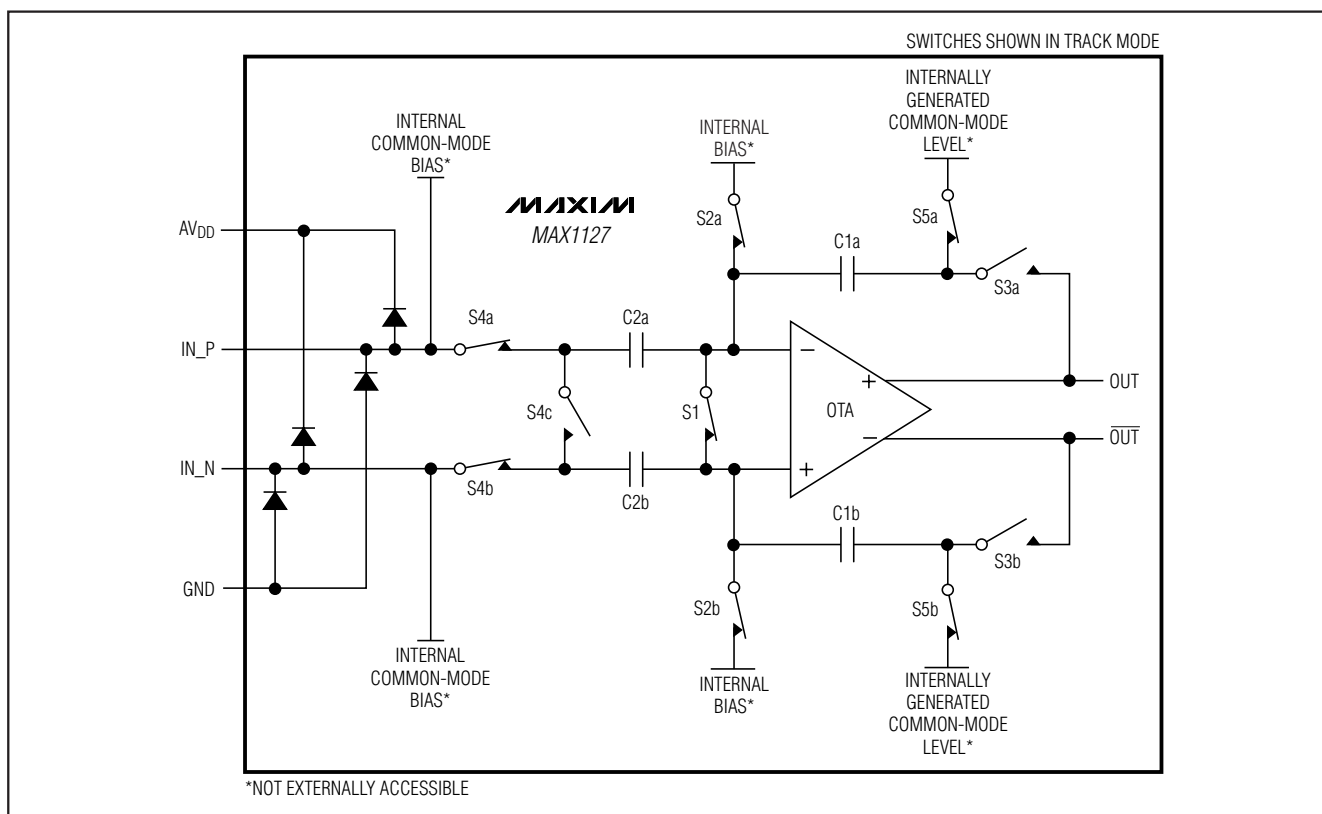


図1. 内部入力回路

# シリアルLVDS出力付、クワッド、12ビット、65MSPS、1.8V ADC

## リファレンス構成 (REFIO及びINTREF)

MAX1127は1.24Vの内部バンドギャップリファレンスを備えています。外部リファレンス電圧で駆動することもできます。MAX1127のフルスケールアナログ差動入力範囲は±FSRです。フルスケール範囲(FSR)は、次の式によって求められます。

$$FSR = 700\text{mV} \times \frac{V_{REFIO}}{1.24\text{V}}$$

ここで、 $V_{REFIO}$ は、内部または外部で生成されるREFIOでの電圧です。 $V_{REFIO} = 1.24\text{V}$ の場合は、フルスケール入力範囲は±700mV (1.4V<sub>p-p</sub>)です。

## 内部リファレンスモード

内部バンドギャップリファレンスを直接利用するには、 $\overline{INTREF}$ をGNDに接続してください。内部バンドギャップリファレンスは、内部リファレンスモードでは100ppm/°Cの温度係数を持つ1.24VのREFIOを生成します。安定化のために、0.1μF以上の外付けバイパスコンデンサをREFIOとGND間に接続してください。REFIOは外部回路に対して最大200μAまでソースし、シンクします。REFIOは83mV/mAの負荷レギュレーション性能を持ちます。グローバルパワーダウン入力(PDALL)によって、リファレンス回路のイネーブルやディセーブルを行います。MAX1127がパワーダウンモードのときは、REFIOはGNDに対して1MΩ以上の抵抗を持ちます。電源がMAX1127に印加された場合やPDALLがハイからローに遷移する場合は、内部リファレンス回路の立ち上がりとセトリングに132μsを要します。

## 外部リファレンスモード

外部リファレンスモードでは、MAX1127の内部リファレンス電圧に優る制御を可能とし、複数コンバータが共通リファレンスを使用することができます。内部リファレンスをディセーブルして外部リファレンス

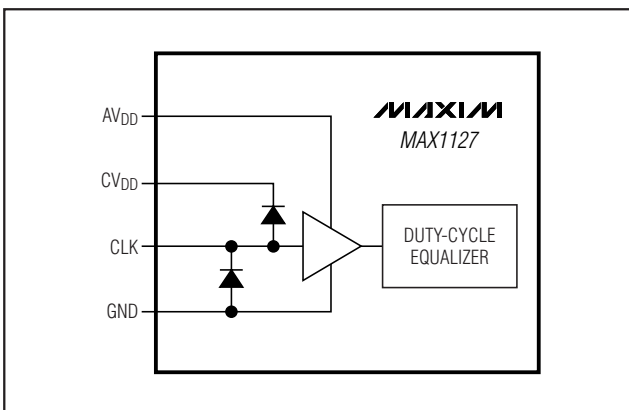


図2. クロック入力回路

モードに移行するには、 $\overline{INTREF}$ をAV<sub>DD</sub>に接続してください。REFIOに安定した1.24V電源を印加してください。0.1μFコンデンサでREFIOをGNDにバイパスしてください。REFIOの入カインピーダンスは1MΩ以上です。

## クロック入力(CLK)

MAX1127は、20%~80%という広範囲の入カクロックデューティサイクルのCMOSコンパチブルクロック信号で動作します。外部からシングルエンドクロック信号でCLKを駆動してください。図2は、簡略化されたクロック入力回路を示しています。

MAX1127のSNR性能仕様を実現するには、低ジッタのクロックが必要です。アナログ入力サンプリングはCLKの上立リッジで行われるので、このエッジを可能な限り最低のジッタとする必要があります。ジッタはADCの最大SNR性能に対して次の関係式により限界を与えます。

$$SNR = 20 \times \log \left( \frac{1}{2 \times \pi \times f_{IN} \times t_J} \right)$$

ここで、 $f_{IN}$ はアナログ入力周波数を表し、 $t_J$ は総システムクロックジッタです。クロックジッタは、アンダーサンプリングを行うアプリケーションにとって特に重要です。たとえば、クロックジッタが唯一のノイズ源とすると、30.3MHzの入カ周波数で69.4dBのSNR仕様を得るには、システムは1.8ps以下のクロックジッタを持つ必要があります。実際には、システムノイズを助長する熱ノイズや量子化ノイズなどのその他のノイズ源があり、30.3MHzで69.4dBのSNR仕様を得るにはクロックジッタが0.5ps以下である必要があります。

MAX1127は、入カクロック周波数の6倍の周波数の出カクロック信号を生成するPLLを装備しています。出カクロック信号を使って、MAX1127からデータをクロック同期出力することができます(「システムタイミング要件」の項参照)。表1に記載の入カクロック範囲に従ってPLL2及びPLL3ビットを設定してください。PLL0及びPLL1はマキシムの試験用で、GNDに常時接続する必要があります。

表1. PLL2とPLL3の設定

PLL2	PLL3	CLOCK INPUT RANGE (MHz)	
		MIN	MAX
0	0	48.750	65.000
0	1	32.500	48.750
1	0	24.375	32.500
1	1	16.000	24.375

\* PLL0及びPLL1は工場試験用で、GNDに常時接続する必要があります。

# シリアルLVDS出力付、クワッド、12ビット、65Mpsps、1.8V ADC

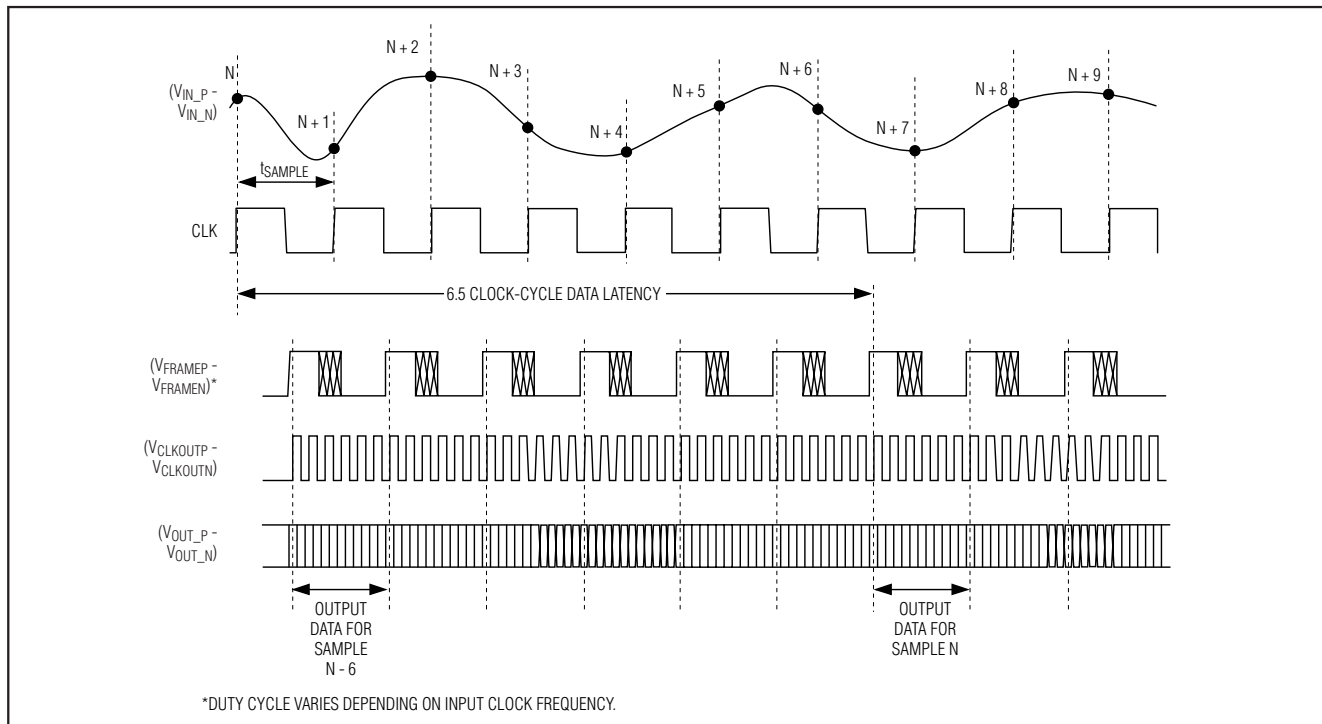


図3. グローバルタイミング図

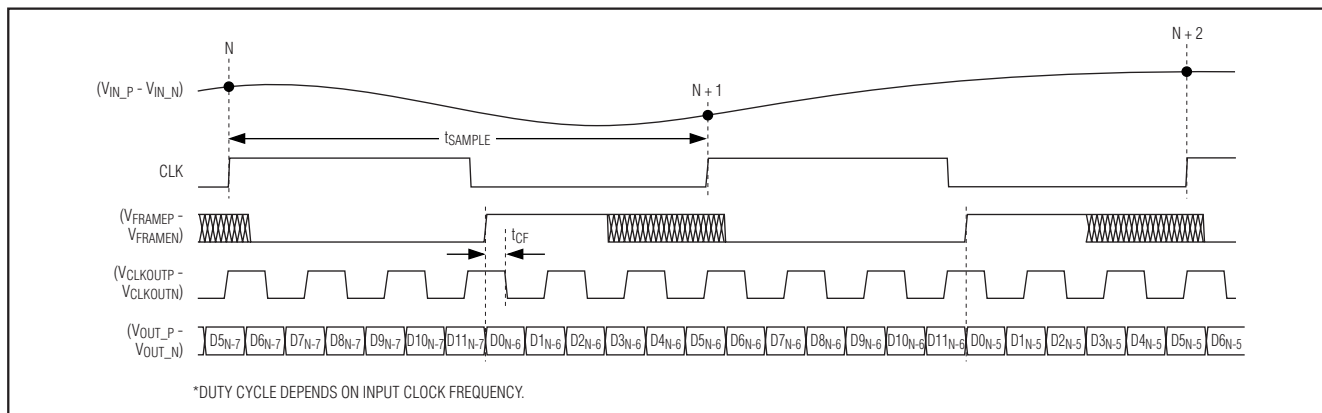


図4. 2変換タイミング詳細図

## システムタイミング要件

図3は、アナログ入力、入力クロック、フレームアライメント出力、シリアルクロック出力、及びシリアルデータ出力間の関係を示しています。差動アナログ入力(IN\_P及びIN\_N)はCLK信号の立上りエッジでサンプリングされ、変換結果のデータはデジタル出力の6.5クロックサイクル後に示されます。図4は、入出力間の関係に関する詳細な2回の変換タイミング図を示しています。

## クロック出力(CLKOUTP、CLKOUTN)

MAX1127は、CLKOUTPとCLKOUTNからなる差動クロック出力を備えています。図4に示すように、シリアル出力データはクロック出力の両エッジでMAX1127からクロック同期出力されます。出力クロックの周波数は、CLKの周波数の6倍です。

# シリアルLVDS出力付、クワッド、12ビット、65MSPS、1.8V ADC

## フレームアライメント出力(FRAMEP、FRAMEN)

MAX1127は、FRAMEPとFRAMENからなる差動フレームアライメント信号を備えています。図4に示すように、フレームアライメント信号の立上りエッジは、12ビットシリアルデータストリームの先頭ビット(D0)に対応しています。フレームアライメント信号の周波数は、サンプルクロックの周波数と同じです。

## シリアル出力データ(OUT\_P、OUT\_N)

MAX1127は、OUT\_PとOUT\_Nからなる各差動出力により変換結果を提供します。サンプルされた後、その変換結果は6.5入カクロックサイクル後に得られます。図3に示すように、出力データは、出力クロックの両エッジでLSB (D0)を先頭としてクロック同期出力されます。図5は、詳細なシリアル出力タイミング図を示しています。

## 出力データ形式( $\bar{T}/B$ )、伝達関数

MAX1127の出力データ形式は、ロジック入力 $\bar{T}/B$ に応じて、オフセットバイナリか、または2の補数のいずれかです。 $\bar{T}/B$ がローの場合は、出力データ形式は2の補数です。 $\bar{T}/B$ がハイの場合は、出力データ形式はオフセットバイナリです。次の式や、表2、図6、図7によって、デジタル出力とアナログ入力間の関係が定義されます。2の補数( $\bar{T}/B = 0$ )の場合は、

$$V_{IN\_P} - V_{IN\_N} = FSR \times 2 \times \frac{CODE_{10}}{4096}$$

オフセットバイナリ( $\bar{T}/B = 1$ )の場合は、

$$V_{IN\_P} - V_{IN\_N} = FSR \times 2 \times \frac{CODE_{10} - 2048}{4096}$$

表2. 出力コード表( $V_{REFIO} = 1.24V$ )

TWO'S COMPLEMENT DIGITAL OUTPUT CODE ( $\bar{T}/B = 0$ )			OFFSET BINARY DIGITAL OUTPUT CODE ( $\bar{T}/B = 1$ )			$V_{IN\_P} - V_{IN\_N}$ (mV) ( $V_{REFIO} = 1.24V$ )
BINARY D11 → D0	HEXADECIMAL EQUIVALENT OF D11 → D0	DECIMAL EQUIVALENT OF D11 → D0	BINARY D11 → D0	HEXADECIMAL EQUIVALENT OF D11 → D0	DECIMAL EQUIVALENT OF D11 → D0	
0111 1111 1111	0x7FF	+2047	1111 1111 1111	0xFFF	+4095	+699.66
0111 1111 1110	0x7FE	+2046	1111 1111 1110	0xFFE	+4094	+699.32
0000 0000 0001	0x001	+1	1000 0000 0001	0x801	+2049	+0.34
0000 0000 0000	0x000	0	1000 0000 0000	0x800	+2048	0
1111 1111 1111	0xFFF	-1	0111 1111 1111	0x7FF	+2047	-0.34
1000 0000 0001	0x801	-2047	0000 0000 0001	0x001	+1	-699.66
1000 0000 0000	0x800	-2048	0000 0000 0000	0x000	0	-700.00

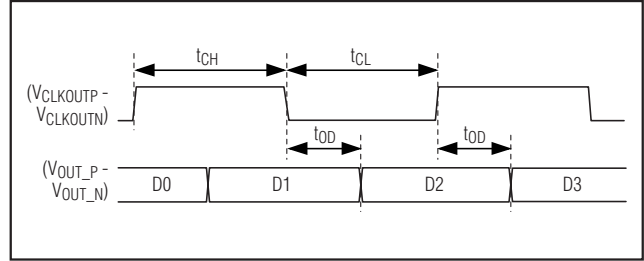


図5. シリアル化出力の詳細タイミング図

ここで、CODE<sub>10</sub>は、表2に示すようにデジタル出力コードの10進数に相当します。FSRは、図6と図7に示すようにフルスケール範囲です。

MAX1127のデジタル出力の容量性負荷は、できるだけ小さくしてください。

## LVDS及びSLVS信号(SLVS/LVDS)

MAX1127の出力(OUT\_P、OUT\_N、CLKOUT\_P、CLKOUT\_N、FRAMEP、及びFRAMEN)をLVDSレベルとする場合はSLVS/LVDSをローにして、スケーラブル低電圧信号(SLVS)レベルとする場合はSLVS/LVDSをハイにしてください。LVDS及びSLVSの出力電圧レベルについては、「Electrical Characteristics」の表を参照してください。

## LVDSテストパターン(LVDSTEST)

すべてのLVDSやSLVS出力チャンネルに対して出力テストパターンをイネーブルするには、LVDSTESTをハイにしてください。出力テストパターンは、0000 1011 1101 MSB→LSBです。アナログ変換結果と同様に、テストパターンデータはLSBが最初に出力されます。通常動作をさせるには、LVDSTESTをローにしてください(テストパターンがディセーブルされます)。

# シリアルLVDS出力付、クワッド、12ビット、65Mps、1.8V ADC

MAX1127

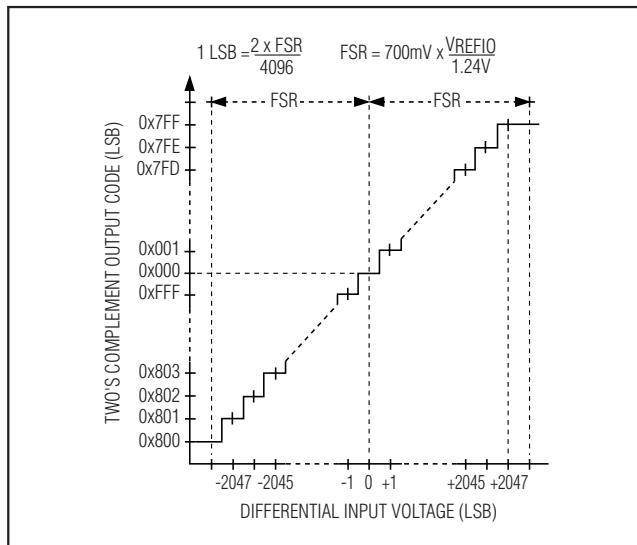


図6. 2の補数出力コード( $\bar{T}/B = 0$ )のバイポーラ伝達関数

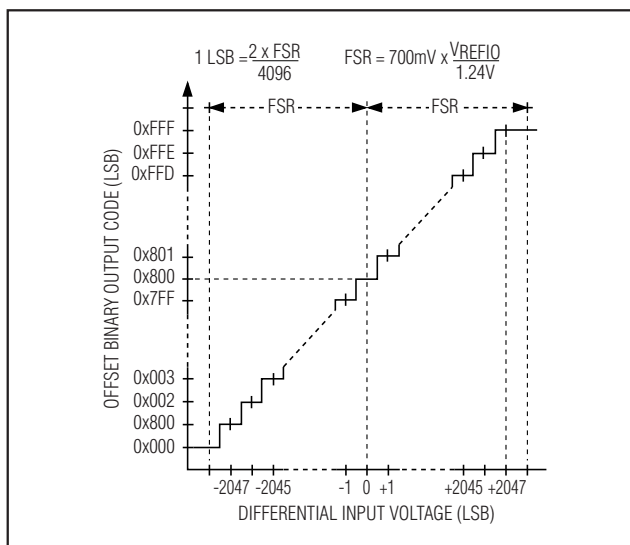


図7. オフセットバイナリ出力コード( $\bar{T}/B = 1$ )のバイポーラ伝達関数

## 二重終端(DT)

図8に示すように、MAX1127は、差動出力ペア(OUT\_P及びOUT\_N、CLKOUTP及びCLKOUTN、FRAMEP及びFRAMEN)間にオプションの100Ω終端を内蔵しています。ライン遠端部の終端に加えて、出力部に直に置く2番目の終端も、ライン上の望ましくない反射を排除するのに役立ちます。配線長が長い場合や(5in以上)、インピーダンスが不整合の場合のアプリケーションでは、この機能は有用です。二重終端を選択するにはDTをハイにし、内蔵終端抵抗(単一終端)を分離するにはDTをローにしてください。二重終端を選択すると、 $OV_{DD}$ の消費電流が増大します(「Electrical Characteristics」の表を参照)。

## パワーダウンモード

MAX1127は、2種類のパワーダウン制御入力、PD0~PD3及びPDALLを備えています。パワーダウンモードでは、変換不要時にMAX1127は低電力状態に移して、電力を効率的に使用することができます。

## 個別チャンネルパワーダウン(PD0~PD3)

PD0~PD3を使って、各チャンネルのパワーダウンモードを個別に制御します。該当する入力チャンネルをパワーダウンするには、パワーダウン入力をハイにしてください。たとえば、チャンネル1をパワーダウンするには、PD1をハイにします。該当する入力チャンネルを通常動作状態にするには、パワーダウン入力をローにします。パワーダウンされた出力チャンネルの差動出力インピーダンスは、DTがローの場合は、約378Ωです。OUT\_N

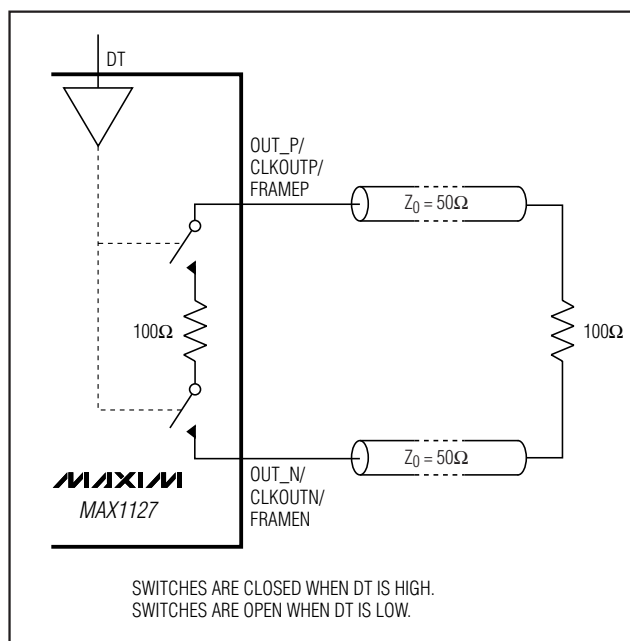


図8. 二重終端

に対するOUT\_Pの出力インピーダンスは、DTがハイの場合は、100Ωです。パワーダウンされたチャンネルの標準消費電流については、「Electrical Characteristics」の表を参照してください。

内部リファレンスの状態は、PD0~PD3入力の状態とは独立しています。内部リファレンス回路をパワーダウンするには、PDALLをハイにしてください(「グローバルパワーダウン(PDALL)」の項を参照)。

# シリアルLVDS出力付、クワッド、12ビット、65Msps、1.8V ADC

## グローバルパワーダウン(PDALL)

PDALLを使って、すべてのチャンネル及び内部リファレンス回路のパワーダウンモードを制御します。グローバルパワーダウンをイネーブルするには、PDALLをハイにしてください。グローバルパワーダウンモードでは、DTがローの場合は、全LVDS/SLVS出力の出カインピーダンスは約378Ωです。差動LVDS/SLVS出力の出カインピーダンスは、DTがハイの場合は、100Ωです。グローバルパワーダウン時の標準消費電流については、「Electrical Characteristics」の表を参照してください。次のリストは、グローバルパワーダウンモードとなっている場合のアナログ入力及びデジタル出力の状態を示しています。

- IN\_P、IN\_Nアナログ入力は内蔵入力アンプから切断。
- REFIOとGND間の抵抗は、1MΩ以上。
- OUT\_P、OUT\_N、CLKOUTP、CLKOUTN、FRAMEP、及びFRAMENは、DTがローの場合は、出力ペア間の抵抗は約378Ωを維持、DTがハイの場合は、差動出力ペア間の抵抗は各ペア間に100Ωを維持。

内部リファレンスで動作している場合は、グローバルパワーダウン状態からのウェイクアップ時間は通常132μsです。外部リファレンスを使用している場合は、ウェイクアップ時間は外部リファレンスドライバに依存します。

## アプリケーション情報

### トランス結合の使用

RFトランス(図9)は、MAX1127が性能を最適化するのに必要な、シングルエンド入力信号源を完全差動信号に変換する卓越したソリューションを提供します。MAX1127の入カコモンモード電圧は、 $f_{CLK} = 65\text{MHz}$ の場合、0.6V(typ)に内部でバイアスされます。ここでは1:1のトランスが示されていますが、ステップアップトランスを選択すると、駆動要件を緩和することが

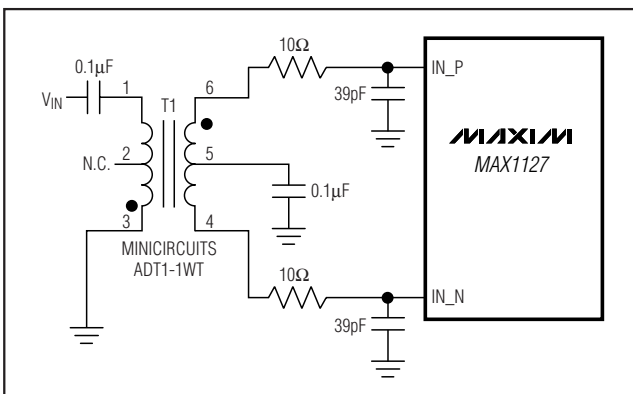


図9. トランス結合入力駆動

できます。また、オペアンプなどの入力ドライバからの信号振幅が低減すると、全体の歪みを改善することもできます。

### 接地、バイパス、及び基板レイアウト

MAX1127では、高速基板レイアウトの設計手法が求められます。基板レイアウトのリファレンスについては、MAX1127評価キットのデータシートを参照してください。インダクタンスを最小限に抑えるために、表面実装デバイスを使って、すべてのバイパスコンデンサをデバイスにできるだけ近接して(できればADCと同じ面に)配置してください。2.2μF以上のセラミックコンデンサと並列に、0.1μFのセラミックコンデンサでAV<sub>DD</sub>をGNDにバイパスしてください。2.2μF以上のセラミックコンデンサと並列に、0.1μFのセラミックコンデンサでOV<sub>DD</sub>をGNDにバイパスしてください。2.2μF以上のセラミックコンデンサと並列に、0.1μFのセラミックコンデンサでCV<sub>DD</sub>をGNDにバイパスしてください。

グランドプレーンと電源プレーンが十分に広い多層基板は、最高レベルのシグナルインテグリティを実現します。MAX1127のグランドピンと裏面放熱パドルを同じグランドプレーンに接続してください。MAX1127は、低インダクタンスのグランド接続とするために、裏面放熱パドルの接続に依存しています。グランドプレーンは、ノイズの多いデジタルシステムのグランドプレーンから分離してください。

高速デジタル信号配線は、敏感なアナログ配線から分離してください。すべての信号ラインは短くして、直角に曲げないでください。

差動アナログ入力回路のレイアウトを対称的にして、すべての寄生要素を均等にバランスさせてください。対称的な入力レイアウト例については、MAX1127評価キットのデータシートを参照してください。

## パラメータの定義

### Integral Nonlinearity(積分非直線性)(INL)

積分非直線性は、実際の伝達関数値の直線からの偏差です。MAX1127の場合は、オフセット及び利得エラーがゼロにされた場合は、この直線は伝達関数の端点間にあります。INL偏差は全ステップで測定され、最悪ケースの偏差は「Electrical Characteristics」の表に示されています。

### Differential Nonlinearity(微分非直線性)(DNL)

微分非直線性は、1LSBの実際のステップの幅と、理想値との差です。1LSB以下のDNLエラー規格の場合は、ミッシングコードがないことと、伝達関数が単調性で

# シリアルLVDS出力付、クワッド、12ビット、65Mps、1.8V ADC

あることが保証されます。MAX1127の場合は、DNL偏差は全ステップで測定され、最悪ケースの偏差は「Electrical Characteristics」の表に示されています。

## Offset Error(オフセットエラー)

オフセットエラーは、実際の伝達関数が単一ポイントで理想的な伝達関数と一致する度合いを示す性能指数です。MAX1127の場合は、差動アナログ入力信号間に $-1/2\text{LSB}$ の電圧があると、理想的な中間スケールデジタル出力遷移が行われます。(図6及び図7)

バイポーラオフセットエラーは、測定した中間スケール遷移ポイントと理想的な中間スケール遷移ポイントとの間の偏差量です。

## Gain Error(利得エラー)

利得エラーは、実際の伝達関数の傾きが理想的な伝達関数の傾きと一致する度合いを示す性能指数です。MAX1127の場合は、測定されたフルスケール遷移ポイントとゼロスケール遷移ポイントとの差から、理想的なフルスケール遷移ポイントとゼロスケール遷移ポイントとの差を引いたものが利得エラーです。

バイポーラデバイス(MAX1127)の場合は、フルスケール遷移ポイントは2の補数出力形式では $0x7FE\sim 0x7FF$ で(オフセットバイナリでは $0xFFE\sim 0xFFF$ )、ゼロスケール遷移ポイントは2の補数で $0x800\sim 0x801$ です(オフセットバイナリでは $0x000\sim 0x001$ )。

## Crosstalk(クロストーク)

クロストークは、各アナログ入力が他のアナログ入力から分離されている度合いを示します。MAX1127の場合は、 $30.3\text{MHz}$ 、 $-0.5\text{dBFS}$ のアナログ信号が他の全チャンネルに印加された状態で、 $5.3\text{MHz}$ 、 $-0.5\text{dBFS}$ のアナログ信号が1チャンネルに印加されます。 $5.3\text{MHz}$ のアナログ信号が印加されたチャンネルに対して、FFTデータが取得されます。このFFTデータから、クロストークは $5.3\text{MHz}$ と $30.3\text{MHz}$ 振幅の差として測定されます。

## Aperture Delay(アパーチャ遅延)

アパーチャ遅延( $t_{AD}$ )は、サンプリングクロックの立上りエッジから、実際のサンプル取得時点までの時間です。図10を参照してください。

## Aperture Jitter(アパーチャジッタ)

アパーチャジッタ( $t_{AJ}$ )は、アパーチャ遅延におけるサンプル間のばらつきです。図10を参照してください。

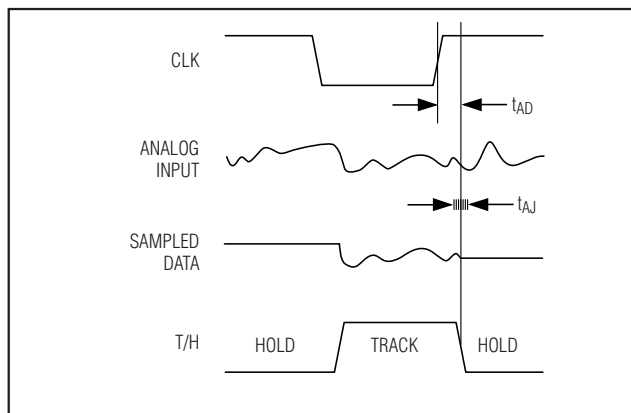


図10. アパーチャジッタ/遅延の仕様

## Signal-to-Noise Ratio(信号対ノイズ比)(SNR)

デジタルサンプルから完璧に再生された波形の場合、理論上の最大SNRは、RMS量子化エラー(残留エラー)に対するフルスケールアナログ入力(RMS値)の比です。理想的な理論上の最小のアナログ-デジタル変換ノイズは量子化エラーのみによってもたらされ、ADCの分解能(Nビット)に直接依存します。

$$\text{SNR}_{\text{dB}[\text{max}]} = 6.02\text{dB} \times N \times 1.76\text{dB}$$

実際には、量子化ノイズのほかに、サーマルノイズ、リファレンスノイズ、クロックジッタなどのその他のノイズ源があります。MAX1127の場合は、SNRを算出するには、RMSノイズに対するRMS信号の比を取ります。RMSノイズには、基本波、最初の6つの高調波(HD2~HD7)、及びDCオフセットを除く、ナイキスト周波数までの全スペクトル成分が含まれます。

## Signal-to-Noise Plus Distortion(信号対ノイズ+歪み)(SINAD)

SINADを算出するには、RMSノイズ+歪みに対するRMS信号の比を取ります。RMSノイズ+歪みには、基本波とDCオフセットを除く、ナイキスト周波数までの全スペクトル成分が含まれます。

## Effective Number of Bits(有効ビット数)(ENOB)

ENOBによって、特定の入力周波数とサンプリングレートでのADCのダイナミック性能を仕様化します。理想的なADCのエラーは、量子化ノイズのみから構成されます。フルスケール正弦波入力波形に対するENOBは、次の式から算出されます。

$$\text{ENOB} = \left( \frac{\text{SINAD} - 1.76}{6.02} \right)$$

# シリアルLVDS出力付、クワッド、12ビット、65MSPs、1.8V ADC

MAX1127

## Total Harmonic Distortion(全高調波歪み)(THD)

THDは、基本波そのものに対する、入力信号の最初の6つの高調波RMS和の比です。これは、次のように表されます。

$$\text{THD} = 20 \times \log \left[ \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2 + V_7^2}}{V_1} \right]$$

## Spurious-Free Dynamic Range (スプリアスフリーダイナミックレンジ)(SFDR)

SFDRは、2番目に大きなスプリアス成分(DCオフセットを除く)のRMS値に対する、基本波(最大信号成分)のRMS振幅の比をデシベルで表したものです。SFDRは、キャリアに関してデシベルで表されます(dBc)。

## Intermodulation Distortion (相互変調歪み)(IMD)

IMDは、2つの入力トーンf1及びf2の総入力パワーに応じた、ナイキスト周波数までのIM2~IM5の相互変調積の総パワーです。各入力トーンレベルは、-6.5dBFSです。相互変調積は、次のとおりです。

- 2次相互変調積(IM2) : f1 + f2, f2 - f1
- 3次相互変調積(IM3) : 2 x f1 - f2, 2 x f2 - f1, 2 x f1 + f2, 2 x f2 + f1
- 4次相互変調積(IM4) : 3 x f1 - f2, 3 x f2 - f1, 3 x f1 + f2, 3 x f2 + f1
- 5次相互変調積(IM5) : 3 x f1 - 2 x f2, 3 x f2 - 2 x f1, 3 x f1 + 2 x f2, 3 x f2 + 2 x f1

## Third-Order Intermodulation (3次相互変調)(IM3)

IM3は、2つの入力トーンf1及びf2の総入力パワーに対する、ナイキスト周波数までの3次相互変調積の総パワーです。各入力トーンレベルは、-6.5dBFSです。3次相互変調積は、2 x f1 - f2, 2 x f2 - f1, 2 x f1 + f2, 2 x f2 + f1です。

## Small-Signal Bandwidth (小信号帯域幅)

信号のスルーレートがADCの性能を制約しないように、-20dBFSのアナログ入力小信号がADCに印加されます。次に、デジタル化変換結果の振幅が-3dB低減するポイントまで入力周波数がスイープされます。

## Full-Power Bandwidth (フルパワー帯域幅)

-0.5dBFSのアナログ入力大信号がADCに印加され、デジタル化変換結果の振幅が-3dB低減するポイントまで入力周波数がスイープされます。このポイントが、フルパワー入力帯域幅周波数として定義されます。

## Gain Matching (利得マッチング)

利得マッチングは、4個の全ADCチャンネルの利得が互いに一致している度合いを示す性能指数です。MAX1127の場合は、同じ30.3MHz、-0.5dBFSのアナログ信号をすべてのアナログ入力チャンネルに印加して、利得マッチングが測定されます。これらのアナログ入力は65MHzでサンプリングされ、振幅の最大偏差は「Electrical Characteristics」の表にGain Matching(利得マッチング)としてdBで示されます。

## Phase Matching (位相マッチング)

位相マッチングは、4個の全ADCチャンネルの位相が互いに一致している度合いを示す性能指数です。MAX1127の場合は、位相マッチングは、同じ30.3MHz、-0.5dBFSのアナログ信号をすべてのアナログ入力チャンネルに印加して、測定されます。これらのアナログ入力は65MHzでサンプリングされ、位相の最大偏差は「Electrical Characteristics」の表にPhase Matching(位相マッチング)としてDegree(度)で示されます。

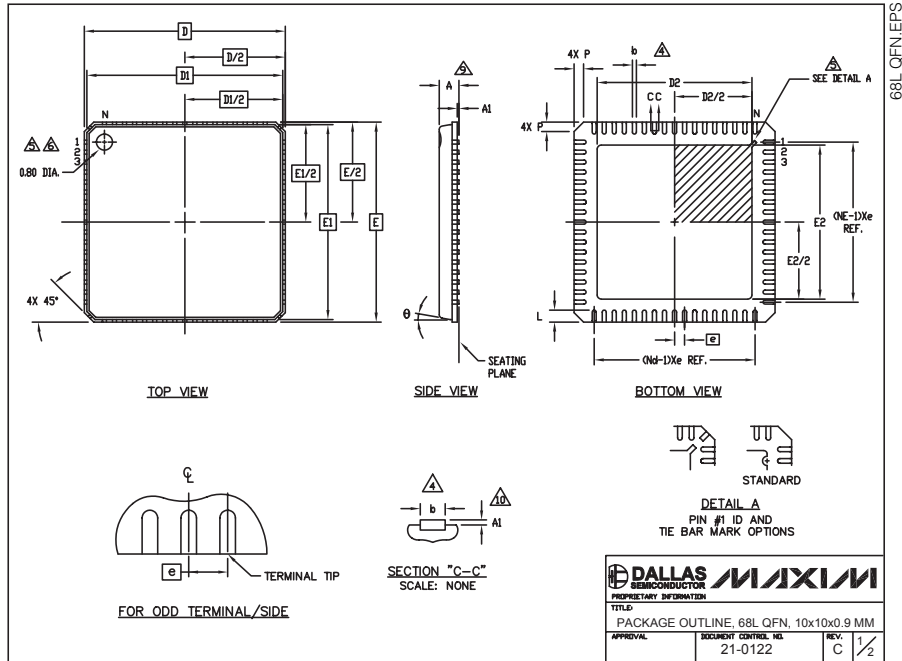


# シリアルLVDS出力付、クワッド、12ビット、65Mps、1.8V ADC

MAX1127

## パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、<http://japan.maxim-ic.com/packages>をご参照下さい。)



SYMBOL	COMMON DIMENSIONS			N <sub>D</sub>	N <sub>E</sub>
	MIN.	NOM.	MAX.		
A	-	0.90	1.00		
A1	0.00	0.01	0.05	11	
b	0.18	0.23	0.30	4	
D	10.00 BSC				
D1	9.75 BSC				
D2	0.50 BSC				
E	10.00 BSC				
E1	9.75 BSC				
L	0.50	0.60	0.65		
N	68				3
N <sub>D</sub>	17				3
N <sub>E</sub>	17				3
θ	0	12°			
P	0	0.42			

PKG CODE	D2			E2		
	MIN	NOM	MAX	MIN	NOM	MAX
G6800-2	7.55	7.70	7.85	7.55	7.70	7.85
G6800-4	5.65	5.80	5.95	5.65	5.80	5.95

**Note:** For the MAX1127 Exposed Pad Variation, the package code is G6800-4.

1. DIE THICKNESS ALLOWABLE IS .012 INCHES MAXIMUM.  
 2. DIMENSIONING & TOLERANCES CONFORM TO ASME Y14.5M. - 1994.  
 N IS THE NUMBER OF TERMINALS.  
 N<sub>D</sub> IS THE NUMBER OF TERMINALS IN X-DIRECTION &  
 N<sub>E</sub> IS THE NUMBER OF TERMINALS IN Y-DIRECTION.  
 DIMENSION b APPLIES TO PLATED TERMINAL AND IS MEASURED BETWEEN 0.20 AND 0.25mm FROM TERMINAL TIP.  
 THE PIN #1 IDENTIFIER MUST BE LOCATED ON THE TOP SURFACE OF THE PACKAGE BY USING INDENTATION MARK OR OTHER FEATURE OF PACKAGE BODY. DETAILS OF PIN #1 IDENTIFIER IS OPTIONAL, BUT MUST BE LOCATED WITHIN ZONE INDICATED.  
 EXACT SHAPE AND SIZE OF THIS FEATURE IS OPTIONAL.  
 ALL DIMENSIONS ARE IN MILLIMETERS.  
 PACKAGE WARPAGE MAX 0.10mm.  
 APPLIES TO EXPOSED SURFACE OF PADS AND TERMINALS.  
 APPLIES ONLY TO TERMINALS.  
 MEETS JEDEC MO-220.

DALLAS SEMICONDUCTOR  
MAXIM  
PROPRIETARY INFORMATION

TITLE: PACKAGE OUTLINE, 68LQFN, 10x10x0.9 MM

APPROVAL: DOCUMENT CONTROL NO: 21-0122 REV: C 1/2

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 25