

EVALUATION KIT
AVAILABLEシリアルLVDS出力付き、クワッド、
12ビット、40Msps、1.8V ADC

MAX1126

概要

MAX1126はクワッド、12ビット、アナログ-デジタルコンバータ(ADC)で、完全差動入力、パイプラインアーキテクチャ、およびデジタルエラー補正を備えています。このADCは、医療用画像処理、通信、および計測アプリケーションにおいて低電力、高ダイナミック性能を発揮するように最適化されています。MAX1126は、1.7V~1.9Vの単一電源で動作し、消費電力はわずか563mWで、5.3MHzの入力周波数で69.9dBの信号対ノイズ比(SNR)を実現しています。MAX1126は、低動作電力に加えて、アイドル時に813μAのパワーダウンモードになります。

1.24Vの高精度内部バンドギャップリファレンスによって、ADCのフルスケール範囲が設定されます。リファレンス構造がフレキシブルであるため、高い精度や異なった入力電圧範囲が必要なアプリケーション用に外部リファレンスを使用することができます。

シングルエンドクロックが変換プロセスを制御します。内蔵デューティサイクルリコライザによって、入力クロックデューティサイクルの幅広い変動に対する動作が可能です。内蔵フェーズロックループ(PLL)は、高速のシリアル低電圧差動信号(LVDS)クロックを生成します。

MAX1126は、データ、クロックおよびフレームアライメントの各信号をシリアルLVDSとして出力します。出力データは2の補数またはバイナリ形式で提供されます。

MAX1126のピンコンパチブル65Mspsバージョンについては、MAX1127のデータシートを参照してください。

MAX1126は、10mm x 10mm x 0.9mmのエクスポーズドパッド付き小型68ピンQFNパッケージで提供され、工業用拡張温度範囲(-40°C ~ +85°C)での動作が保証されています。

アプリケーション

超音波および医療用画像処理
PET (陽電子放出断層撮影)画像処理
マルチチャネル通信システム
計測

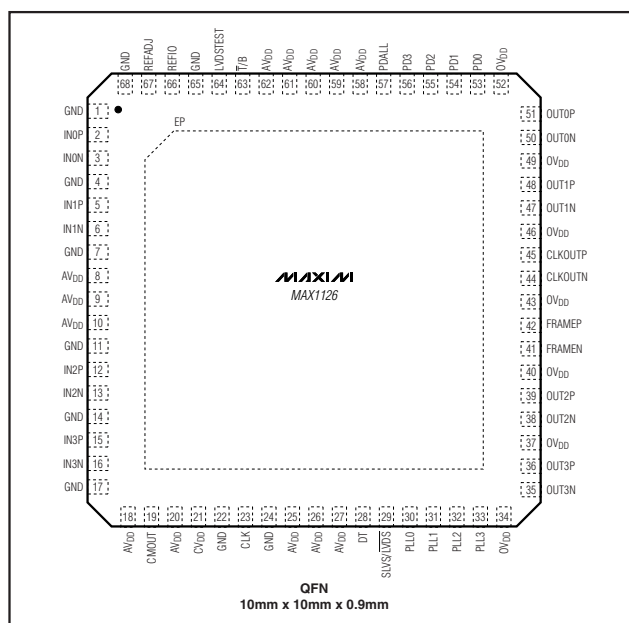
特長

- ◆ シリアルLVDS/SLVS出力付きの4チャネル ADC
- ◆ 優れたダイナミック性能
SNR : 69.9dB ($f_{IN} = 5.3\text{MHz}$ の場合)
SFDR : 93.7dBc ($f_{IN} = 5.3\text{MHz}$ の場合)
チャネルアイソレーション : -90dB
- ◆ 超低電力
チャネル当り135mW (通常動作時)
総電力1.5mW (シャットダウンモード時)
- ◆ 20%~80%のクロックデューティサイクルで動作可能
- ◆ データ出力インタフェースに対する自己整理データクロック
- ◆ 完全差動アナログ入力
- ◆ 広い差動入力電圧範囲 : $\pm 1.4\text{V}_{p-p}$
- ◆ 内部または外部リファレンスを選択可能
- ◆ デジタル信号完全性に対するテストモード
- ◆ LVDS出力が最大30インチのFR-4バックプレーン接続をサポート
- ◆ エクスポーズドパッド付き小型68ピンQFNパッケージ
- ◆ 評価キット入手可能(MAX1127EVKIT)

型番

PART	TEMP RANGE	PIN-PACKAGE
MAX1126EGK	-40°C to +85°C	68 QFN 10mm x x 10mm x 0.9mm

ピン配置



シリアルLVDS出力付き、クワッド、 12ビット、40Msps、1.8V ADC

MAX1126

ABSOLUTE MAXIMUM RATINGS

AV_{DD} to GND.....-0.3V to +2.0V
 CV_{DD} to GND-0.3V to +3.6V
 OV_{DD} to GND-0.3V to +2.0V
 IN_P, IN_N to GND.....-0.3V to (AV_{DD} + 0.3V)
 CLK to GND.....-0.3V to (CV_{DD} + 0.3V)
 OUT_P, OUT_N, FRAME₊,
 CLKOUT₊ to GND.....-0.3V to (OV_{DD} + 0.3V)
 DT, SLVS/LVDS to GND-0.3V to (AV_{DD} + 0.3V)
 PLL0, PLL1, PLL2, PLL3 to GND-0.3V to (AV_{DD} + 0.3V)
 PD0, PD1, PD2, PD3, PDALL to GND.....-0.3V to (AV_{DD} + 0.3V)

$\bar{T}/B$, LVDSTEST to GND-0.3V to (AV_{DD} + 0.3V)
 REFIO, REFADJ, CMOUT, to GND-0.3V to (AV_{DD} + 0.3V)
 I.C. to GND.....-0.3V to (AV_{DD} + 0.3V)
 Continuous Power Dissipation (T_A = +70°C)
 68-Pin QFN 10mm x 10mm x 0.9mm
 (derated 41.7mW/°C above +70°C).....3333.3mW
 Operating Temperature Range-40°C to +85°C
 Maximum Junction Temperature+150°C
 Storage Temperature Range-65°C to +150°C
 Lead Temperature Range (soldering, 10s).....+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(AV_{DD} = 1.8V, OV_{DD} = 1.8V, CV_{DD} = 1.8V, GND = 0, external V_{REFIO} = 1.24V, REFADJ = AV_{DD}, C_{REFIO} to GND = 0.1μF, f_{CLK} = 40MHz (50% duty cycle), DT = 0, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY						
Resolution	N		12			Bits
Integral Nonlinearity	INL	(Note 2)		±0.4		LSB
Differential Nonlinearity	DNL	(Note 2)		±0.25		LSB
Offset Error		Fixed external reference (Note 2)			±1	% FS
Gain Error		Fixed external reference (Note 2)	-1.5	+0.9	+2.5	% FS
ANALOG INPUTS (IN_P, IN_N)						
Input Differential Range	V _{ID}	Differential input		1.4		V _{P-P}
Common-Mode Voltage Range	V _{CMO}	(Note 3)		0.76		V
Differential Input Impedance	R _{IN}	Switched capacitor load		2		kΩ
Differential Input Capacitance	C _{IN}			12.5		pF
CONVERSION RATE						
Maximum Conversion Rate	f _S MAX		40			MHz
Minimum Conversion Rate	f _S MIN			4		MHz
Data Latency				6.5		Cycles
DYNAMIC CHARACTERISTICS (differential inputs, 4096-point FFT)						
Signal-to-Noise Ratio (Note 2)	SNR	f _{IN} = 5.3MHz at -0.5dBFS		69.9		dB
		f _{IN} = 19.3MHz at -0.5dBFS, T _A ≥ +25°C	66.7	69.2		
Signal-to-Noise and Distortion (First Four Harmonics) (Note 2)	SINAD	f _{IN} = 5.3MHz at -0.5dBFS		69.8		dB
		f _{IN} = 19.3MHz at -0.5dBFS, T _A ≥ +25°C	66.7	69.1		
Effective Number of Bits (Note 2)	ENOB	f _{IN} = 5.3MHz at -0.5dBFS		11.4		Bits
		f _{IN} = 19.3MHz at -0.5dBFS		11.3		

シリアルLVDS出力付き、クワッド、 12ビット、40Msps、1.8V ADC

MAX1126

ELECTRICAL CHARACTERISTICS (continued)

(AVDD = 1.8V, OVDD = 1.8V, CVDD = 1.8V, GND = 0, external VREFIO = 1.24V, REFADJ = AVDD, CREFIO to GND = 0.1μF, fCLK = 40MHz (50% duty cycle), DT = 0, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Spurious-Free Dynamic Range (Note 2)	SFDR	fIN = 5.3MHz at -0.5dBFS		93.7		dBc
		fIN = 19.3MHz at -0.5dBFS, TA ≥ +25°C	77.3	89		
Total Harmonic Distortion (Note 2)	THD	fIN = 5.3MHz at -0.5dBFS		-91.5		dBc
		fIN = 19.3MHz at -0.5dBFS, TA ≥ +25°C		-88.7	-76.3	
Intermodulation Distortion	IMD	f1 = 12.40125MHz at -6.5dBFS, f2 = 13.60125MHz at -6.5dBFS (Note 2)		87.0		dBc
Third-Order Intermodulation	IM3	f1 = 12.40125MHz at -6.5dBFS, f2 = 13.60125MHz at -6.5dBFS (Note 2)		89.3		dBc
Aperture Jitter	tAJ	(Note 2)		< 0.4		psRMS
Aperture Delay	tAD	(Note 2)		1		ns
Small-Signal Bandwidth	SSBW	Input at -20dBFS (Notes 2 and 4)		100		MHz
Full-Power Bandwidth	LSBW	Input at -0.5dBFS (Notes 2 and 4)		100		MHz
Output Noise		IN_P = IN_N		0.45		LSBRMS
Overdrive Recovery Time	tOR	RS = 25Ω, CS = 50pF		1		Clock cycles
COMMON-MODE OUTPUT (CMOUT)						
CMOUT Output Voltage	VCMOUT			0.76		V
INTERNAL REFERENCE (REFADJ = GND, bypass REFIO to GND with 0.1μF)						
REFADJ Internal Reference Mode Enable Voltage		(Note 5)		0.1		V
REFADJ Low-Leakage Current				1.6		mA
REFIO Output Voltage	VREFIO		1.18	1.24	1.30	V
Reference Temperature Coefficient	TCREFIO			100		ppm/°C
EXTERNAL REFERENCE (REFADJ = AVDD)						
REFADJ External Reference Mode Enable Voltage		(Note 5)		AVDD - 0.1V		V
REFADJ High-Leakage Current				125		μA
REFIO Input Voltage Range				1.24		V
REFIO Input Voltage Tolerance				±5		%
REFIO Input Current	IREFIO			< 1		μA
CLOCK INPUT (CLK)						
Input High Voltage	VCLKH			0.8 x AVDD		V
Input Low Voltage	VCLKL			0.2 x AVDD		V
Clock Duty Cycle				50		%
Clock Duty-Cycle Tolerance				±30		%

シリアルLVDS出力付き、クワッド、 12ビット、40Msps、1.8V ADC

MAX1126

ELECTRICAL CHARACTERISTICS (continued)

(AVDD = 1.8V, OVDD = 1.8V, CVDD = 1.8V, GND = 0, external VREFIO = 1.24V, REFADJ = AVDD, CREFIO to GND = 0.1μF, fCLK = 40MHz (50% duty cycle), DT = 0, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Leakage	DIIN	Input at GND			5	μA
		Input at AVDD			80	
Input Capacitance	DCIN			5		pF
DIGITAL INPUTS (PLL_, LVDSTEST, DT, SLVS/LVDS, PD_, PDALL, T/B)						
Input High Threshold	VIH		0.8 x AVDD			V
Input Low Threshold	VIL			0.2 x AVDD		V
Input Leakage	DIIN	Input at GND			5	μA
		Input at AVDD			80	
Input Capacitance	DCIN			5		pF
LVDS OUTPUTS (OUT_P, OUT_N, SLVS/LVDS = 0)						
Differential Output Voltage	VOHDIFF	RTERM = 100Ω	250		450	mV
Output Common-Mode Voltage	VOCM	RTERM = 100Ω	1.125		1.375	V
Rise Time (20% to 80%)	tR	RTERM = 100Ω, CLOAD = 5pF		150		ps
Fall Time (80% to 20%)	tF	RTERM = 100Ω, CLOAD = 5pF		150		ps
SLVS OUTPUTS (OUT_P, OUT_N, CLKOUTP, CLKOUTN, FRAMEP, FRAMEN), SLVS/LVDS = 1, DT = 1						
Differential Output Voltage	VOHDIFF	RTERM = 100Ω		205		mV
Output Common-Mode Voltage	VOCM	RTERM = 100Ω		220		mV
Rise Time (20% to 80%)	tR	RTERM = 100Ω, CLOAD = 5pF		120		ps
Fall Time (80% to 20%)	tF	RTERM = 100Ω, CLOAD = 5pF		120		ps
POWER-DOWN						
PD Fall to Output Enable	tENABLE			132		μs
PD Rise to Output Disable	tDISABLE			10		ns
POWER REQUIREMENTS						
AVDD Supply Voltage	AVDD		1.7	1.8	1.9	V
OVDD Supply Voltage	OVDD		1.7	1.8	1.9	V
CVDD Supply Voltage	CVDD		1.7	1.8	3.6	V

シリアルLVDS出力付き、クワッド、 12ビット、40Mps、1.8V ADC

MAX1126

ELECTRICAL CHARACTERISTICS (continued)

(AVDD = 1.8V, OVDD = 1.8V, CVDD = 1.8V, GND = 0, external VREFIO = 1.24V, REFADJ = AVDD, CREFIO to GND = 0.1μF, fCLK = 40MHz (50% duty cycle), DT = 0, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
AV _{DD} Supply Current	I _{AVDD}	f _{IN} = 19.3MHz at -0.5dBFS	PDALL = 0, all channels active		246	285	mA
			PDALL = 0, all channels active, DT = 1		246		
			PDALL = 0, 1 channel active		76		
			PDALL = 0, PD[3:0] = 1111		20		
		PDALL = 1, global power down, PD[3:0] =1111, no clock input		438		μA	
OV _{DD} Supply Current	I _{OVDD}	f _{IN} = 19.3MHz at -0.5dBFS	PDALL = 0, all channels active		51	57	mA
			PDALL = 0, all channels active, DT = 1		63		
			PDALL = 0, 1 channel active		35		
			PDALL = 0, PD[3:0] = 1111		30		
		PDALL = 1, global power-down, PD[3:0] =1111, no clock input		375		μA	
CV _{DD} Supply Current	I _{CVDD}	CV _{DD} is used only to bias ESD-protection diodes on CLK input, Figure 2			0		mA
Power Dissipation	P _{DISS}	f _{IN} = 19.3MHz at -0.5dBFS			535	616	mW
TIMING CHARACTERISTICS (Note 6)							
Data Valid to CLKOUT Rise/Fall	t _{OD}	f _{CLK} = 40MHz, Figure 5 (Notes 6 and 7)		(t _{SAMPLE} /24) -0.15	t _{SAMPLE} /24	(t _{SAMPLE} /24) +0.15	ns
CLKOUT Output Width High	t _{CH}	Figure 5			t _{SAMPLE} /12		ns
CLKOUT Output Width Low	t _{CL}	Figure 5			t _{SAMPLE} /12		ns
FRAME Rise to CLKOUT Rise	t _{CF}	Figure 4 (Note 7)		(t _{SAMPLE} /24) -0.15	t _{SAMPLE} /24	(t _{SAMPLE} /24) +0.15	ns
Sample CLK Rise to Frame Rise	t _{SF}	Figure 4 (Notes 7 and 8)		(t _{SAMPLE} /2) +0.9	(t _{SAMPLE} /2) +1.3	(t _{SAMPLE} /2) +1.7	ns

シリアルLVDS出力付き、クワッド、 12ビット、40Msps、1.8V ADC

ELECTRICAL CHARACTERISTICS (continued)

(AVDD = 1.8V, OVDD = 1.8V, CVDD = 1.8V, GND = 0, external VREFIO = 1.24V, REFADJ = AVDD, CREFIO to GND = 0.1μF, fCLK = 40MHz (50% duty cycle), DT = 0, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CHANNEL-TO-CHANNEL MATCHING						
Crosstalk		(Note 2)		-90		dB
Gain Matching		fIN = 19.3MHz (Note 2)		±0.1		dB
Phase Matching		fIN = 19.3.MHz (Note 2)		±1		Degrees

Note 1: Specifications at TA ≥ +25°C are guaranteed by production testing. Specifications at TA < +25°C are guaranteed by design and characterization and not subject to production testing.

Note 2: See definition in the *Parameter Definitions* section.

Note 3: The MAX1126 internally sets the common-mode voltage to 0.76V (typ) (see Figure 1). The common-mode voltage can be overdriven to between 0.55V and 0.85V.

Note 4: Limited by MAX1127EVKIT input circuitry.

Note 5: Connect REFADJ to GND directly to enable internal reference mode. Connect REFADJ to AVDD directly to disable the internal bandgap reference and enable external reference mode.

Note 6: Data valid to CLKOUT rise/fall timing is measured from 50% of data output level to 50% of clock output level.

Note 7: Guaranteed by design and characterization. Not subject to production testing.

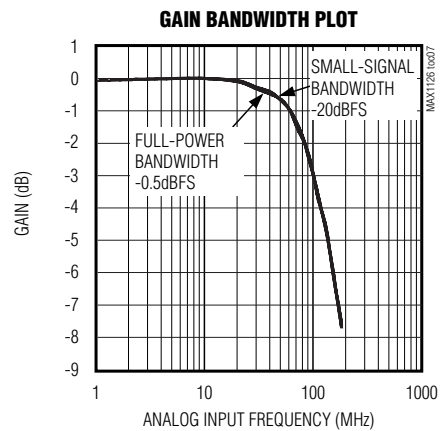
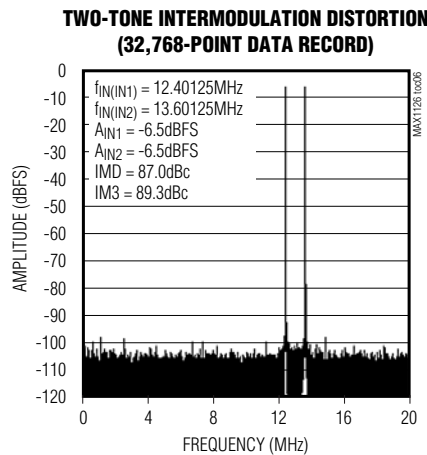
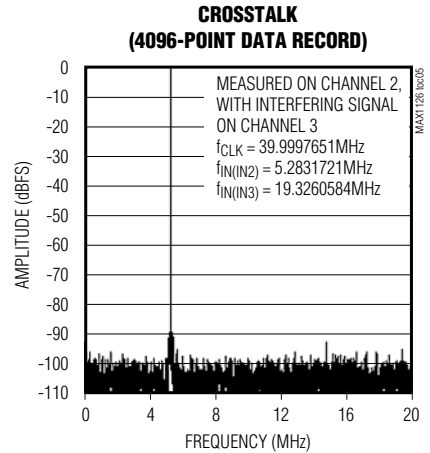
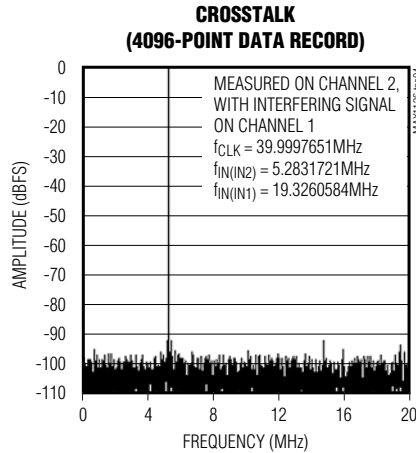
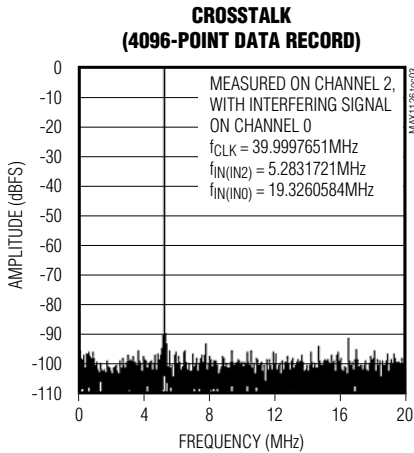
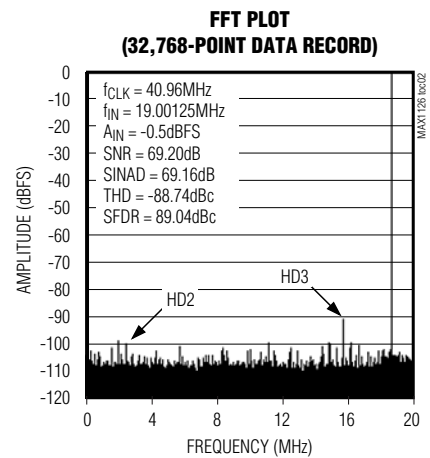
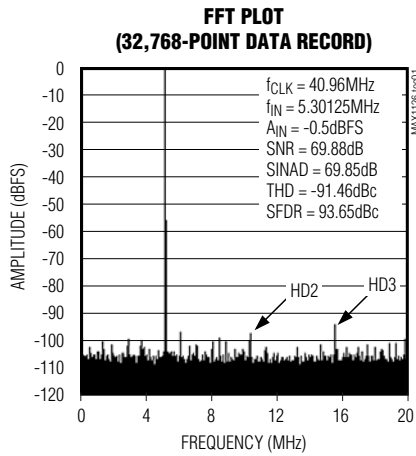
Note 8: Sample CLK Rise to FRAME RISE timing is measured from 50% of sample clock input level to 50% of FRAME output level.

シリアルLVDS出力付き、クワッド、 12ビット、40Msps、1.8V ADC

MAX1126

標準動作特性

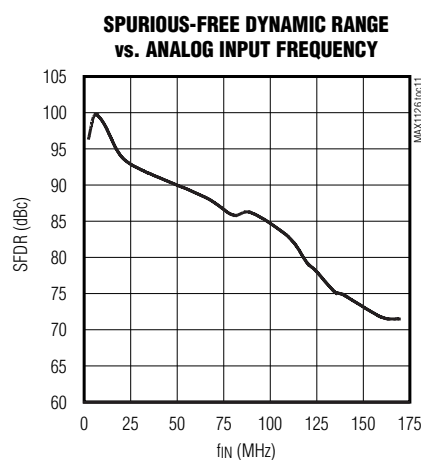
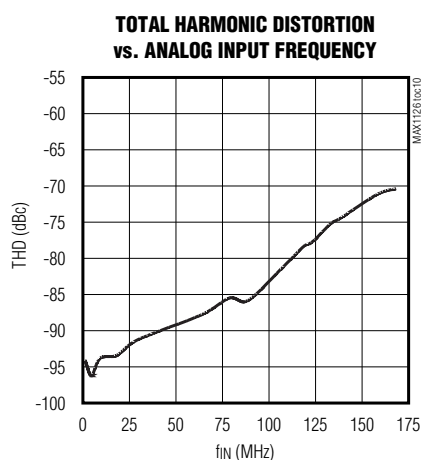
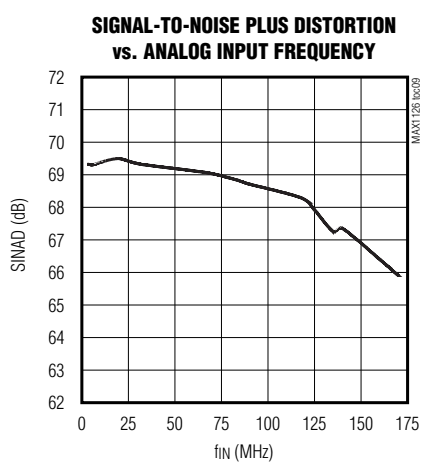
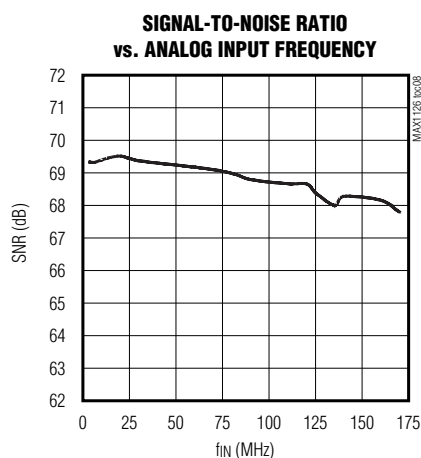
($AV_{DD} = 1.8V$, $OV_{DD} = 1.8V$, $CV_{DD} = 1.8V$, $GND = 0$, external $V_{REFIO} = 1.24V$, $REFADJ = AV_{DD}$, differential input at $-0.5dBFS$, $f_{CLK} = 40MHz$ (50% duty cycle), $DT = low$, $C_{LOAD} = 10pF$, $T_A = +25^{\circ}C$, unless otherwise noted.)



シリアルLVDS出力付き、クワッド、 12ビット、40Msps、1.8V ADC

標準動作特性(続き)

($AV_{DD} = 1.8V$, $OV_{DD} = 1.8V$, $CV_{DD} = 1.8V$, $GND = 0$, external $V_{REFIO} = 1.24V$, $REFADJ = AV_{DD}$, differential input at $-0.5dBFS$, $f_{CLK} = 40MHz$ (50% duty cycle), $DT = low$, $C_{LOAD} = 10pF$, $T_A = +25^{\circ}C$, unless otherwise noted.)

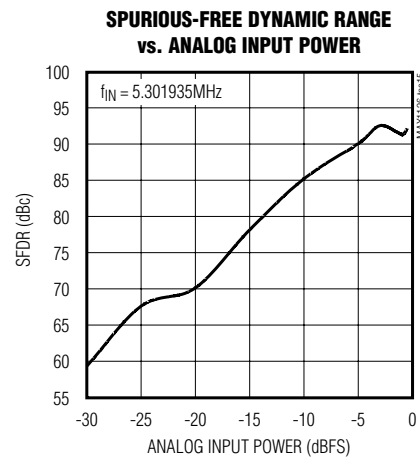
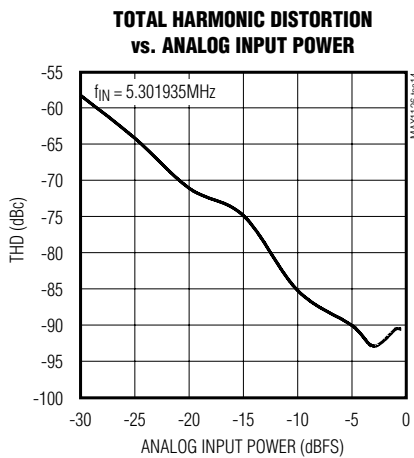
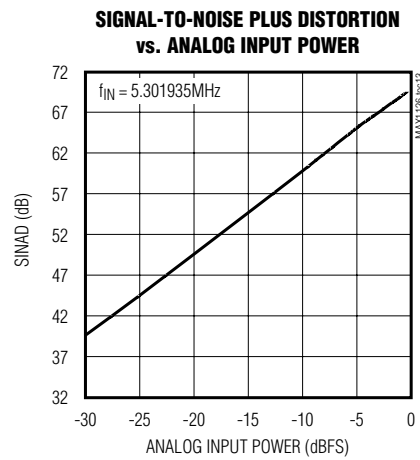
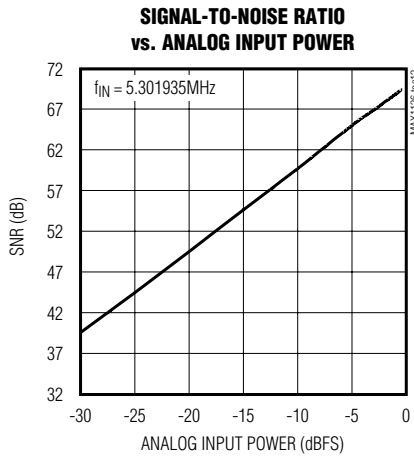


シリアルLVDS出力付き、クワッド、 12ビット、40Mps、1.8V ADC

MAX1126

標準動作特性(続き)

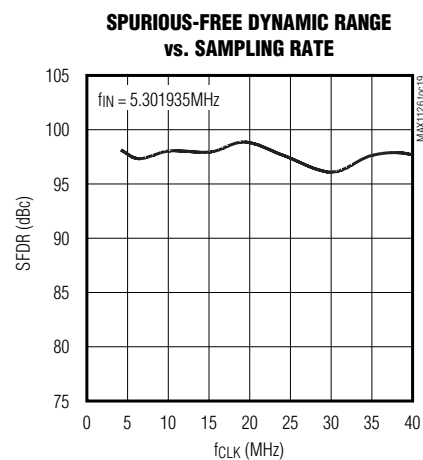
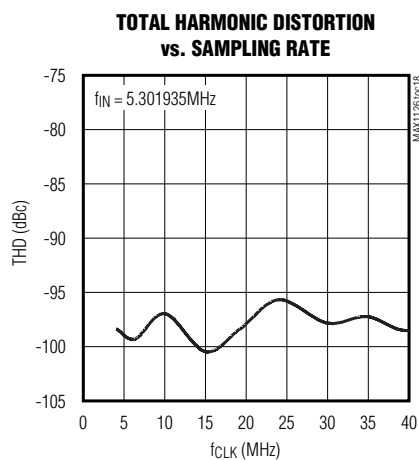
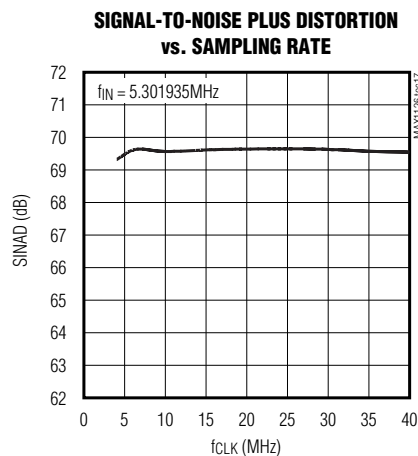
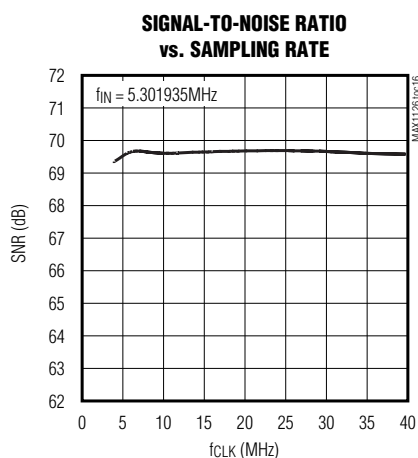
($AV_{DD} = 1.8V$, $OV_{DD} = 1.8V$, $CV_{DD} = 1.8V$, $GND = 0$, external $V_{REFIO} = 1.24V$, $REFADJ = AV_{DD}$, differential input at $-0.5dBFS$, $f_{CLK} = 40MHz$ (50% duty cycle), $DT = low$, $C_{LOAD} = 10pF$, $T_A = +25^{\circ}C$, unless otherwise noted.)



シリアルLVDS出力付き、クワッド、 12ビット、40Msps、1.8V ADC

標準動作特性(続き)

($AV_{DD} = 1.8V$, $OV_{DD} = 1.8V$, $CV_{DD} = 1.8V$, $GND = 0$, external $V_{REFIO} = 1.24V$, $REFADJ = AV_{DD}$, differential input at $-0.5dBFS$, $f_{CLK} = 40MHz$ (50% duty cycle), $DT = low$, $C_{LOAD} = 10pF$, $T_A = +25^{\circ}C$, unless otherwise noted.)

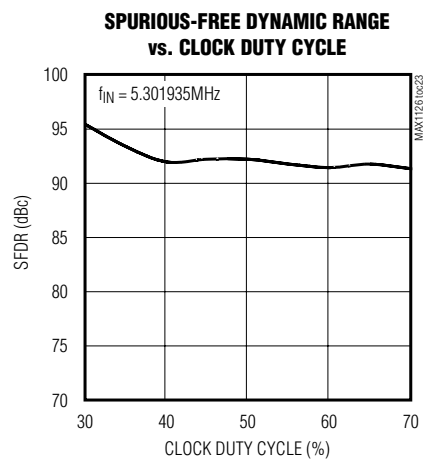
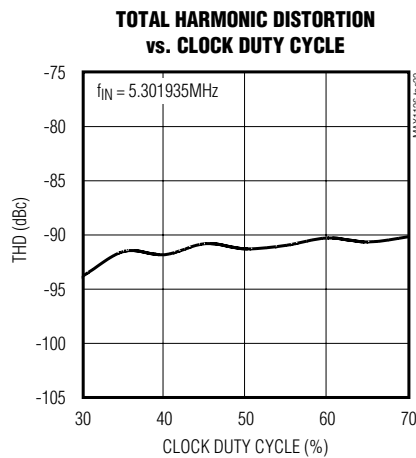
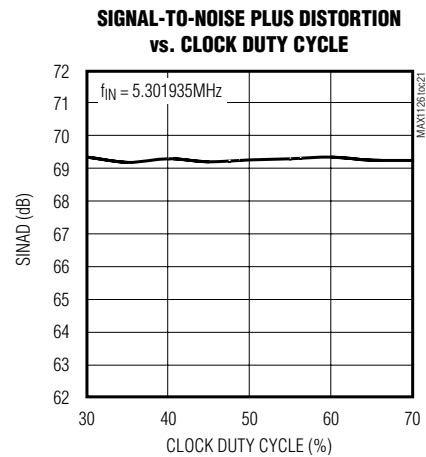
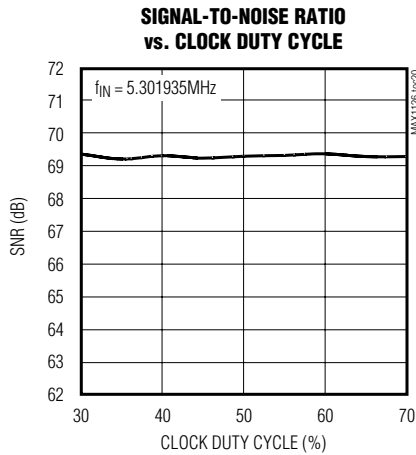


シリアルLVDS出力付き、クワッド、 12ビット、40Mps、1.8V ADC

MAX1126

標準動作特性(続き)

($AV_{DD} = 1.8V$, $OV_{DD} = 1.8V$, $CV_{DD} = 1.8V$, $GND = 0$, external $V_{REFIO} = 1.24V$, $REFADJ = AV_{DD}$, differential input at $-0.5dBFS$, $f_{CLK} = 40MHz$ (50% duty cycle), $DT = low$, $C_{LOAD} = 10pF$, $T_A = +25^{\circ}C$, unless otherwise noted.)

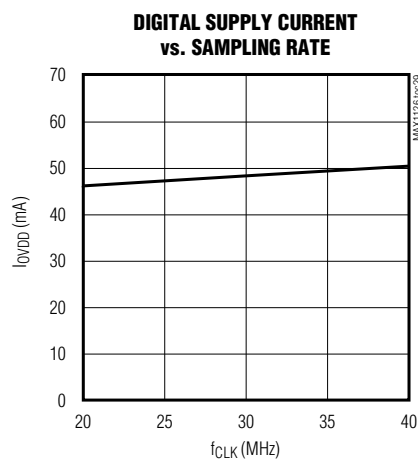
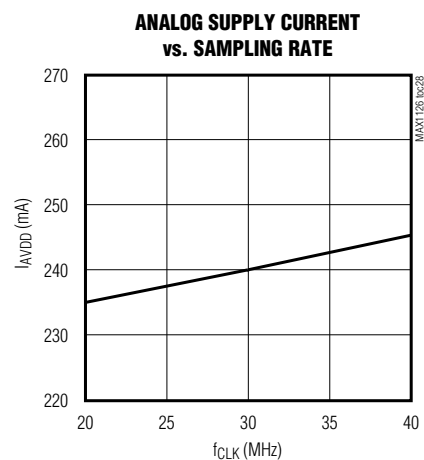
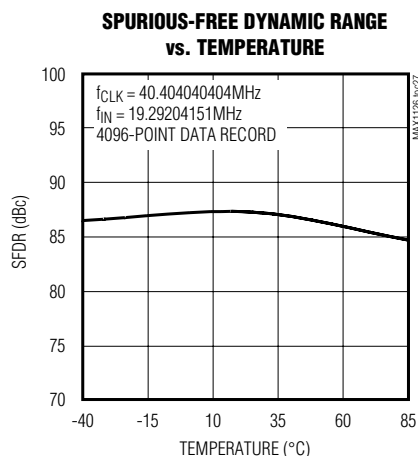
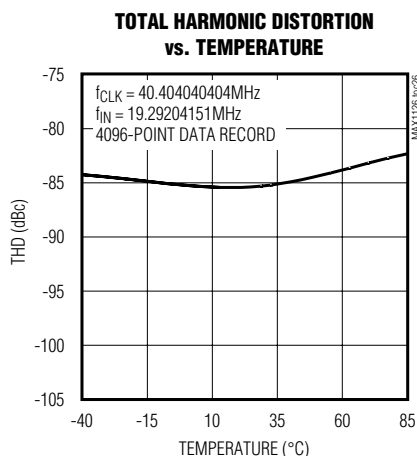
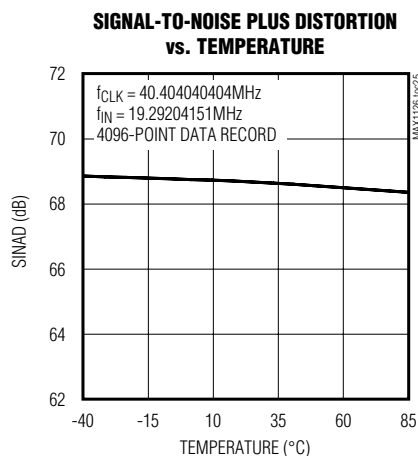
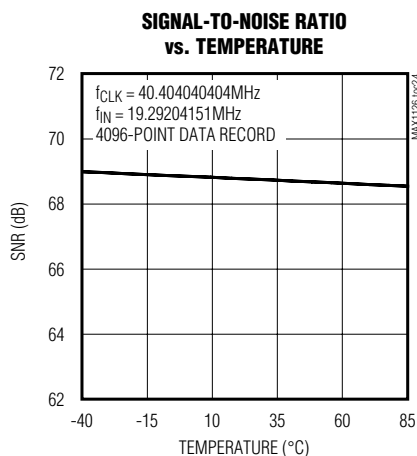


シリアルLVDS出力付き、クワッド、 12ビット、40Msps、1.8V ADC

MAX1126

標準動作特性(続き)

($AV_{DD} = 1.8V$, $OV_{DD} = 1.8V$, $CV_{DD} = 1.8V$, $GND = 0$, external $V_{REFIO} = 1.24V$, $REFADJ = AV_{DD}$, differential input at $-0.5dBFS$, $f_{CLK} = 40MHz$ (50% duty cycle), $DT = low$, $C_{LOAD} = 10pF$, $T_A = +25^{\circ}C$, unless otherwise noted.)

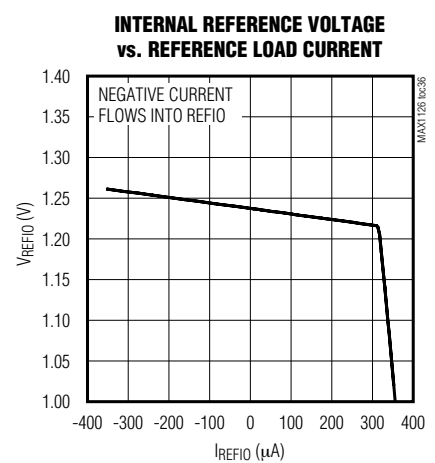
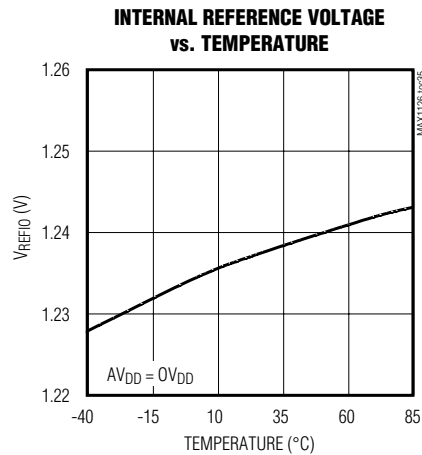
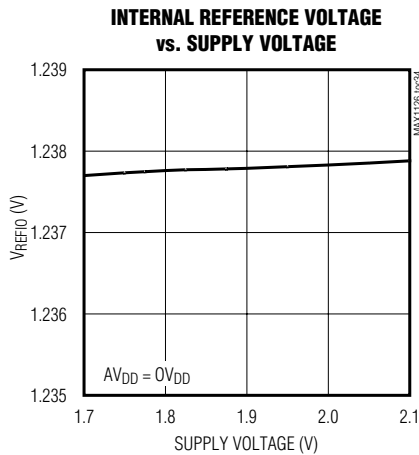
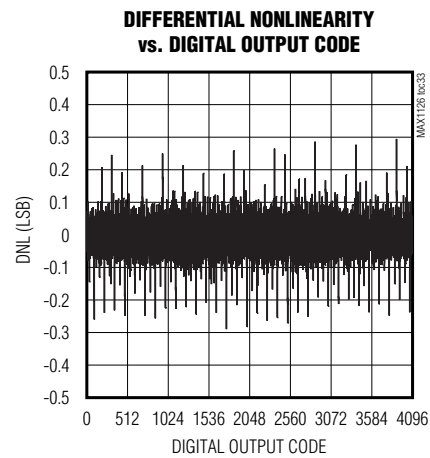
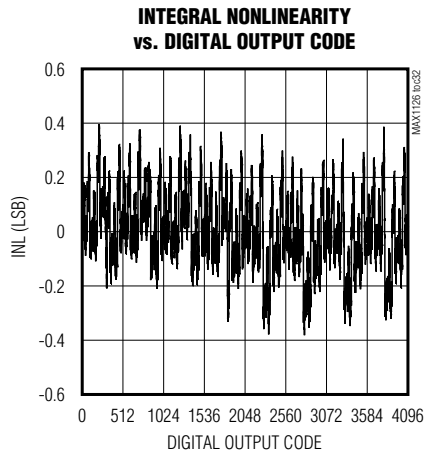
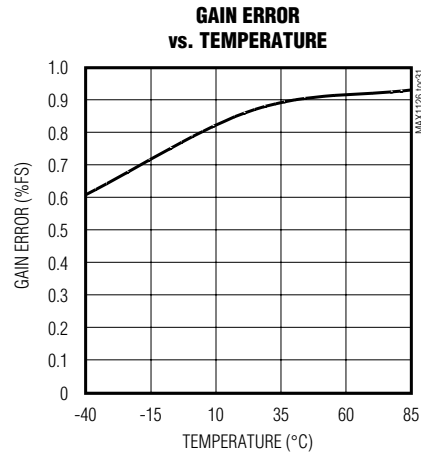
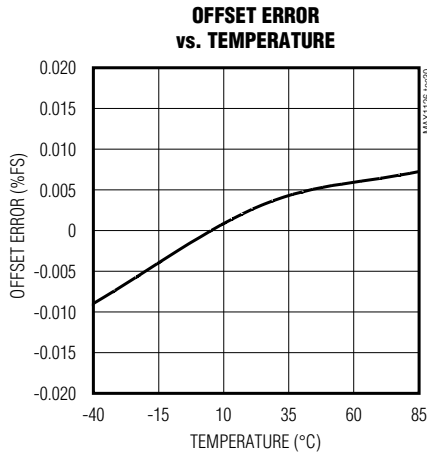


シリアルLVDS出力付き、クワッド、 12ビット、40Mps、1.8V ADC

MAX1126

標準動作特性(続き)

($AV_{DD} = 1.8V$, $OV_{DD} = 1.8V$, $CV_{DD} = 1.8V$, $GND = 0$, external $V_{REFIO} = 1.24V$, $REFADJ = AV_{DD}$, differential input at $-0.5dBFS$, $f_{CLK} = 40MHz$ (50% duty cycle), $DT = low$, $C_{LOAD} = 10pF$, $T_A = +25^{\circ}C$, unless otherwise noted.)

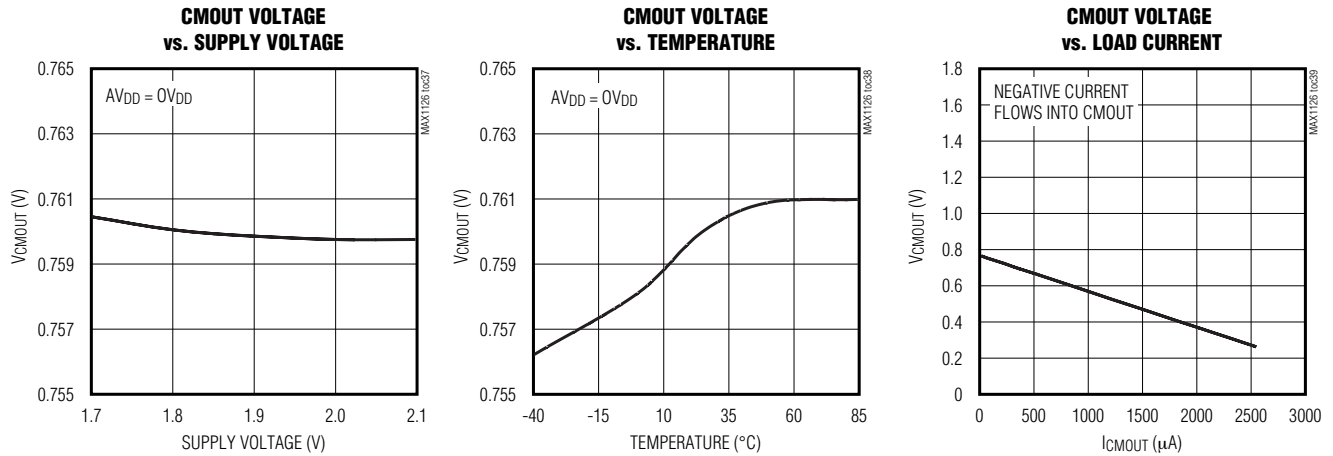


シリアルLVDS出力付き、クワッド、 12ビット、40Msps、1.8V ADC

MAX1126

標準動作特性(続き)

($AV_{DD} = 1.8V$, $OV_{DD} = 1.8V$, $CV_{DD} = 1.8V$, $GND = 0$, external $V_{REFIO} = 1.24V$, $REFADJ = AV_{DD}$, differential input at $-0.5dBFS$, $f_{CLK} = 40MHz$ (50% duty cycle), $DT = low$, $C_{LOAD} = 10pF$, $T_A = +25^{\circ}C$, unless otherwise noted.)



端子説明

端子	名称	機能
1, 4, 7, 11, 14, 17, 22, 24, 65, 68	GND	グラウンド。すべてのGND端子を同じ電位に接続してください。
2	IN0P	チャンネル0、正アナログ入力
3	IN0N	チャンネル0、負アナログ入力
5	IN1P	チャンネル1、正アナログ入力
6	IN1N	チャンネル1、負アナログ入力
8, 9, 10, 18, 20, 25, 26, 27, 58–62	AV_{DD}	アナログ電源入力。 AV_{DD} を1.7V~1.9Vの電源に接続してください。デバイスにできる限り近接した0.1 μF のコンデンサで各 AV_{DD} をGNDにバイパスしてください。デバイスにできる限り近接した2.2 μF 以上の大容量コンデンサで AV_{DD} 電源プレーンをGNDグラウンドプレーンにバイパスしてください。すべての AV_{DD} 端子を同じ電位に接続してください。
12	IN2P	チャンネル2、正アナログ入力
13	IN2N	チャンネル2、負アナログ入力
15	IN3P	チャンネル3、正アナログ入力
16	IN3N	チャンネル3、負アナログ入力
19	CMOUT	コモンモードリファレンス電圧出力。CMOUTを0.1 μF のコンデンサでGNDにバイパスしてください。
21	CV_{DD}	クロック電源入力。 CV_{DD} を1.7V~3.6Vの電源に接続してください。2.2 μF 以上のコンデンサと並列の0.1 μF のコンデンサで CV_{DD} をGNDにバイパスしてください。バイパスコンデンサはデバイスのできる限り近くに取り付けてください。
23	CLK	シングルエンドCMOSクロック入力
28	DT	二重終端選択入力。差動出力ペア間の100 Ω の内部終端を選択するためには、DTをハイに駆動してください。内部出力終端を選択しない場合は、DTをローに駆動してください。

シリアルLVDS出力付き、クワッド、 12ビット、40Mps、1.8V ADC

MAX1126

端子説明(続き)

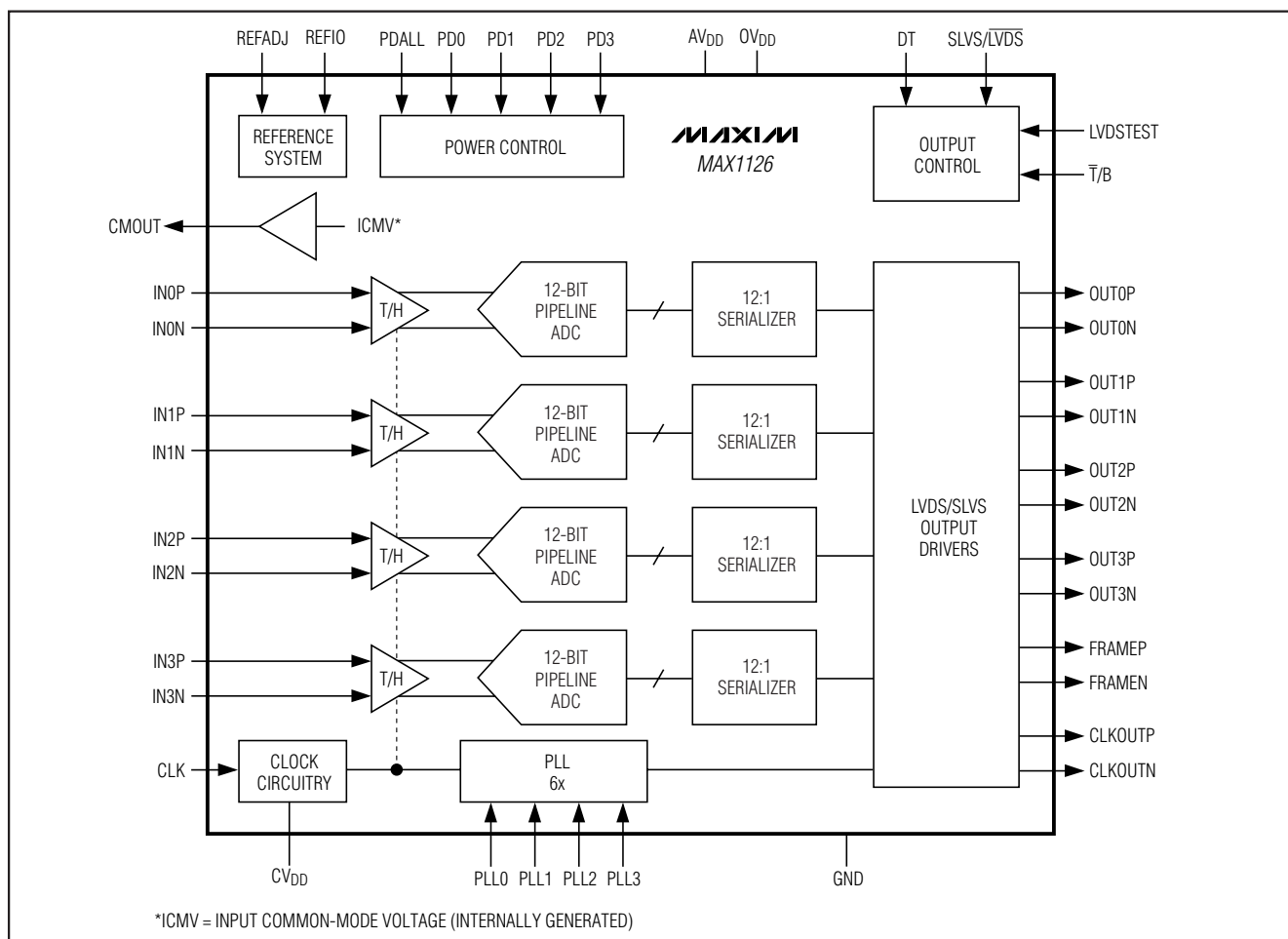
端子	名称	機能
29	SLVS/LVDS	差動出力信号形式の選択入力。SLVS出力を選択するためには、SLVS/LVDSをハイに駆動してください。LVDS出力を選択するためには、SLVS/LVDSをローに駆動してください。
30	PLL0	PLL制御入力0。PLL0は出荷試験専用で、常時GNDに接続する必要があります。
31	PLL1	PLL制御入力1。詳細については、表1を参照してください。
32	PLL2	PLL制御入力2。詳細については、表1を参照してください。
33	PLL3	PLL制御入力3。詳細については、表1を参照してください。
34, 37, 40, 43, 46, 49, 52	OVDD	出力ドライバ用電源入力。OVDDを1.7V~1.9Vの電源に接続してください。デバイスにできる限り近接した0.1μFのコンデンサで各OVDDをGNDにバイパスしてください。デバイスにできる限り近接した2.2μF以上の大容量コンデンサでOVDD電源プレーンをGNDグラウンドプレーンにバイパスしてください。すべてのOVDD端子を同じ電位に接続してください。
35	OUT3N	チャンネル3、負LVDS/SLVS出力
36	OUT3P	チャンネル3、正LVDS/SLVS出力
38	OUT2N	チャンネル2、負LVDS/SLVS出力
39	OUT2P	チャンネル2、正LVDS/SLVS出力
41	FRAMEN	負フレームアライメントLVDS/SLVS出力。差動FRAME出力の立上りエッジが出力データストリームの中の有効なD0に整列します。
42	FRAMEP	正フレームアライメントLVDS/SLVS出力。差動FRAME出力の立上りエッジが出力データストリームの中の有効なD0に整列します。
44	CLKOUTN	負LVDS/SLVSシリアルクロック出力
45	CLKOUTP	正LVDS/SLVSシリアルクロック出力
47	OUT1N	チャンネル1、負LVDS/SLVS出力
48	OUT1P	チャンネル1、正LVDS/SLVS出力
50	OUT0N	チャンネル0、負LVDS/SLVS出力
51	OUT0P	チャンネル0、正LVDS/SLVS出力
53	PD0	チャンネル0のパワーダウン入力。チャンネル0をパワーダウンするためには、PD0をハイに駆動してください。通常動作状態にするためには、PD0をローに駆動してください。
54	PD1	チャンネル1のパワーダウン入力。チャンネル1をパワーダウンするためには、PD1をハイに駆動してください。通常動作状態にするためには、PD1をローに駆動してください。
55	PD2	チャンネル2のパワーダウン入力。チャンネル2をパワーダウンするためには、PD2をハイに駆動してください。通常動作状態にするためには、PD2をローに駆動してください。
56	PD3	チャンネル3のパワーダウン入力。チャンネル3をパワーダウンするためには、PD3をハイに駆動してください。通常動作状態にするためには、PD3をローに駆動してください。
57	PDALL	グローバルパワーダウン入力。すべてのチャンネルとリファレンスをパワーダウンするためには、PDALLをハイに駆動してください。通常動作状態にするためには、PDALLをローに駆動してください。
63	T/B	出力形式の選択入力。バイナリ出力形式を選択するためには、T/Bをハイに駆動してください。2の補数出力形式を選択するためには、T/Bをローに駆動してください。

シリアルLVDS出力付き、クワッド、 12ビット、40Msps、1.8V ADC

端子説明(続き)

端子	名称	機能
64	LVDSTEST	LVDSテストパターンイネーブル入力。出力テストパターンをイネーブルするためには、LVDSTESTをハイに駆動してください(000010111101 MSB→LSB)。アナログ変換結果と同様、テストパターンデータはLSBを先頭に出力されます。通常動作状態にするためには、LVDSTESTをローに駆動してください。
66	REFIO	リファレンス入力/出力。内部リファレンス動作(REFADJ = GND)の場合、リファレンス出力電圧は1.24Vです。外部リファレンス動作(REFADJ = AV _{DD})の場合は、REFIOに安定したリファレンス電圧を印加してください。0.1μFのコンデンサでGNDにバイパスしてください。
67	REFADJ	内部/外部リファレンスモードの選択入力。内部リファレンスモードの場合は、REFADJを直接GNDに接続してください。外部リファレンスモードの場合は、REFADJを直接AV _{DD} に接続してください。リファレンス調整モードの場合は、「内部リファレンスを使用したフルスケール範囲調整」の項をご覧ください。
—	EP	エクスポーズパッド。EPはGNDに内部で接続されています。保証された性能を実現するためには、EPをGNDに外部で接続してください。

ファンクションダイアグラム



シリアルLVDS出力付き、クワッド、 12ビット、40Mps、1.8V ADC

MAX1126

詳細

MAX1126は、アナログ-デジタルコンバータ(ADC)で、完全差動入力、パイプラインアーキテクチャ、およびデジタルエラー補正を備え、高速信号変換を実現します。ADCパイプラインアーキテクチャによって、入力で採取されたサンプルが1/2クロックサイクルごとに各パイプライン段を移動します。変換されたデジタルデータはシリアル化され、LVDS/SLVS出力ドライバを通じて送出されます。入力から出力までの総遅延時間は、6.5入力クロックサイクルです。

MAX1126は、入力と出力が同期した独立の完全差動チャネルを4つ備えています。T/Bデジタル入力によってバイナリまたは2の補数の出力形式を設定してください。各チャネルを個別にまたは全体としてパワーダウンスれば、消費電力を最小限に抑えることができます。

入力回路

図1は入力T/H回路の簡略化されたファンクションダイアグラムを示します。トラックモードでは、スイッチS1、S2a、S2b、S4a、S4b、S5a、およびS5bは閉じています。完全差動回路は、スイッチS4aとS4bを通じて2個のコンデンサ(C2aとC2b)に入力信号をサン

リングします。S2aとS2bは、トランスコンダクタンスオペアンプ(OTA)のコモンモード電圧を設定し、S1と同時に開いて入力波形をサンプリングします。次に、スイッチS4a、S4b、S5a、およびS5bが開いた後に、スイッチS3aとS3bはコンデンサC1aとC1bをアンプの出力に接続し、スイッチS4cが閉じられます。結果として得られる差動電圧は、コンデンサC2aとC2bに保持されます。アンプは、C2aとC2bに最初に保持されていた値までコンデンサC1aとC1bを充電します。次に、この充電された値は第1段の量子化器に送られ、高速変動する入力からパイプラインが分離されます。IN_PとIN_Nの間のアナログ入力は、差動的に駆動されます。差動入力の場合は、最適な性能が得られるようIN_PとIN_Nの入カインピーダンスをバランスさせてください。MAX1126のアナログ入力は、0.76V (typ)のコモンモード電圧で自己バイアスされ、1.4V_{p-p}の差動入力電圧で動作します。コモンモード電圧は0.55V~0.85Vの範囲でオーバドライブすることができます。最高のダイナミック性能を得るためには、MAX1126のアナログ入力をAC結合構成として駆動してください。この構成の詳細については、「トランス結合の使用」の項を参照してください。

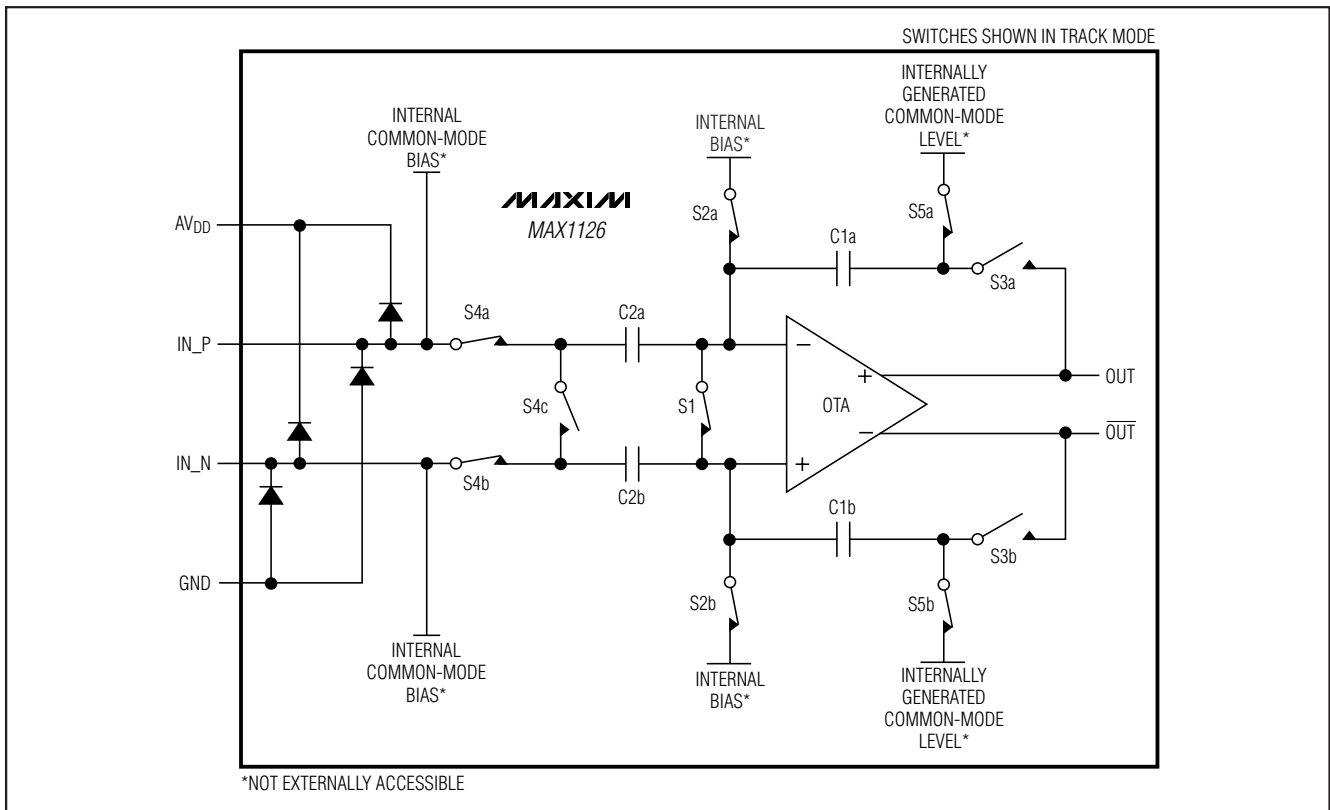


図1. 内部入力回路

シリアルLVDS出力付き、クワッド、 12ビット、40Msps、1.8V ADC

リファレンス構成 (REFIOとREFADJ)

MAX1126は、1.24Vの内部バンドギャップリファレンスを備えています。外部リファレンス電圧で駆動することもできます。MAX1126のフルスケールアナログ差動入力範囲は $\pm\text{FSR}$ です。フルスケール範囲(FSR)は次式から求められます。

$$\text{FSR} = 700\text{mV} \times \frac{V_{\text{REFIO}}}{1.24\text{V}}$$

ここで、 V_{REFIO} は、内部または外部で生成されるREFIOにおける電圧です。 $V_{\text{REFIO}} = 1.24\text{V}$ の場合、フルスケール入力範囲は $\pm 700\text{mV}$ ($1.4\text{V}_{\text{p-p}}$)です。

内部リファレンスモード

内部バンドギャップリファレンスを直接利用するためには、REFADJをGNDに接続してください。内部バンドギャップリファレンスは、内部リファレンスモードにおいて100ppm/°Cの温度係数を持つ1.24VのREFIOを生成します。安定化のために、0.1 μF 以上のバイパスコンデンサをREFIOとGNDの間に外付けしてください。REFIOは外部回路に対して最大200 μA をソースし、最大200 μA をシンクします。REFIOの負荷レギュレーションは83mV/mAです。リファレンス回路は、グローバルパワーダウン入力(PDALL)によってイネーブルおよびディセーブルされます。MAX1126がパワーダウンモードにあるとき、REFIOはGNDに対する抵抗が1M Ω を超えます。電源がMAX1126に印加された場合やPDALLがハイからローに遷移した場合は、内部リファレンス回路の立上りと整定に132 μs を要します。

利得誤差を補償したりADCのフルスケール範囲(FSR)を増減したりするためには、REFADJとGND、またはREFADJとREFIOの間に抵抗器を外付けしてください。この抵抗器によって、MAX1126の内部リファレンスの値を公称値の最大 $\pm 5\%$ まで調整することができます。「内部リファレンスを使用したフルスケール範囲調整」の項を参照してください。

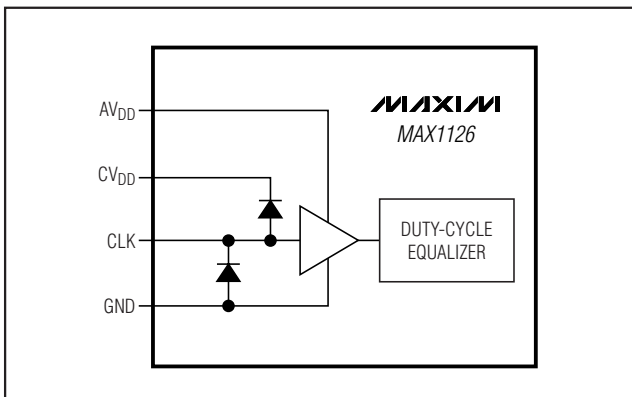


図2. クロック入力回路

外部リファレンスモード

外部リファレンスモードでは、MAX1126の内部リファレンス電圧に優る、より多くの制御が可能になり、複数のコンバータが共通のリファレンスを使用することができます。内部リファレンスをディセーブルして外部リファレンスモードに移行するためには、REFADJを AV_{DD} に接続してください。REFIOに安定した1.18V~1.30V電源を印加してください。REFIOを0.1 μF のコンデンサでGNDにバイパスしてください。REFIOの入カインピーダンスは1M Ω を超えます。

クロック入力(CLK)

MAX1126は、20%~80%という広範囲の入力クロックデューティサイクルのCMOS対応クロック信号で動作します。外部のシングルエンドクロック信号でCLKを駆動してください。図2は簡略化されたクロック入力回路を示します。

MAX1126のSNR性能仕様を実現するためには、低ジッタのクロックが必要です。アナログ入力サンプリングはCLKの立上リエッジで行われるため、このエッジのジッタを最小限に抑える必要があります。ジッタは次式に従ってADCの最大SNR性能を制限します。

$$\text{SNR} = 20 \times \log \left(\frac{1}{2 \times \pi \times f_{\text{IN}} \times t_{\text{J}}} \right)$$

ここで、 f_{IN} はアナログ入力周波数を表し、 t_{J} はシステムの全クロックジッタです。クロックジッタは、アンダサンプリングを行うアプリケーションにとって特に重要です。たとえば、クロックジッタが唯一のノイズ源であるとすると、19.3MHzの入力周波数で69.2dBのSNR仕様を実現するためには、システムのクロックジッタが2.8ps_{RMS}未満でなければなりません。実際には、サーマルノイズや量子化ノイズなど、システムノイズに寄与するノイズ源が他にもあるため、19.3MHzで69.2dBのSNR仕様を実現するためにはクロックジッタを1.1ps_{RMS}未満にする必要があります。

表1. PLL1、PLL2、およびPLL3の構成

PLL1	PLL2	PLL3	CLOCK INPUT RANGE (MHz)	
			MIN	MAX
0	0	0	NOT USED	
0	0	1	32.5	40.0
0	1	0	22.5	32.5
0	1	1	16.3	22.5
1	0	0	11.3	16.3
1	0	1	8.1	11.3
1	1	0	5.6	8.1
1	1	1	4.0	5.6

*PLL0は出荷試験用で常時GNDに接続する必要があります。

シリアルLVDS出力付き、クワッド、 12ビット、40Mps、1.8V ADC

MAX1126

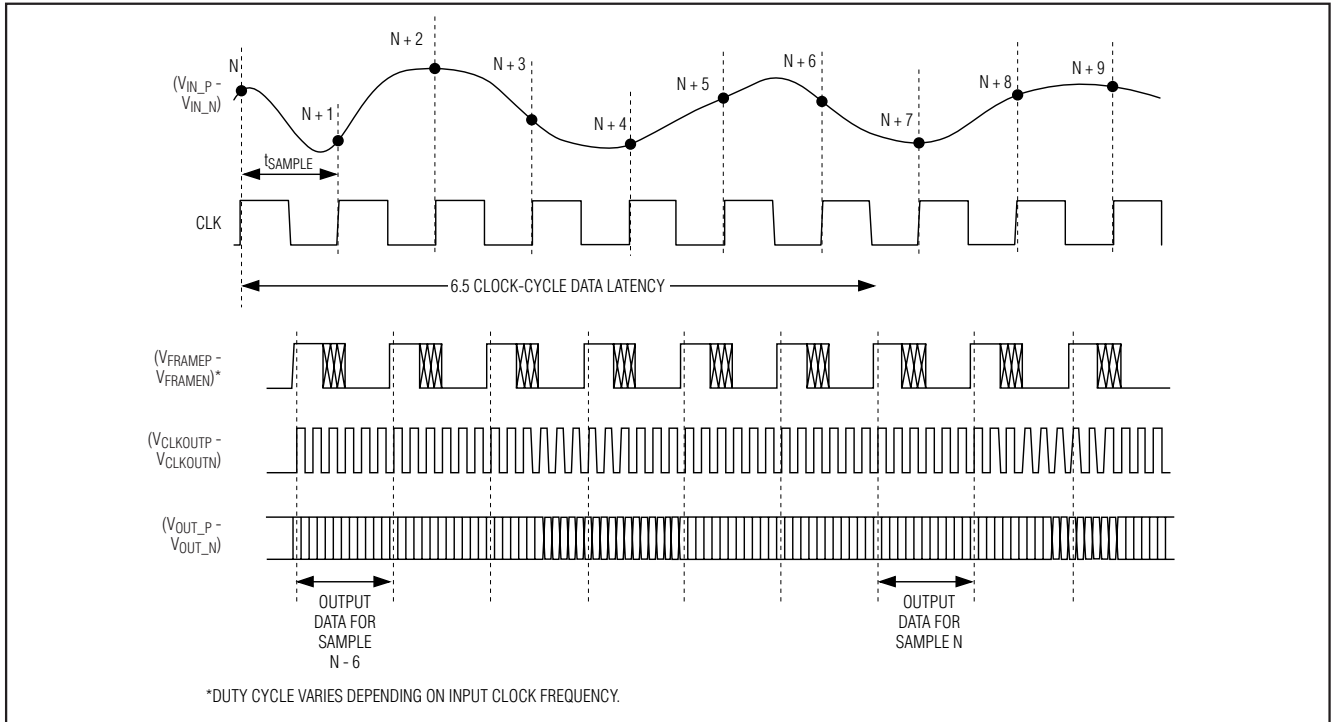


図3. グローバルタイミング図

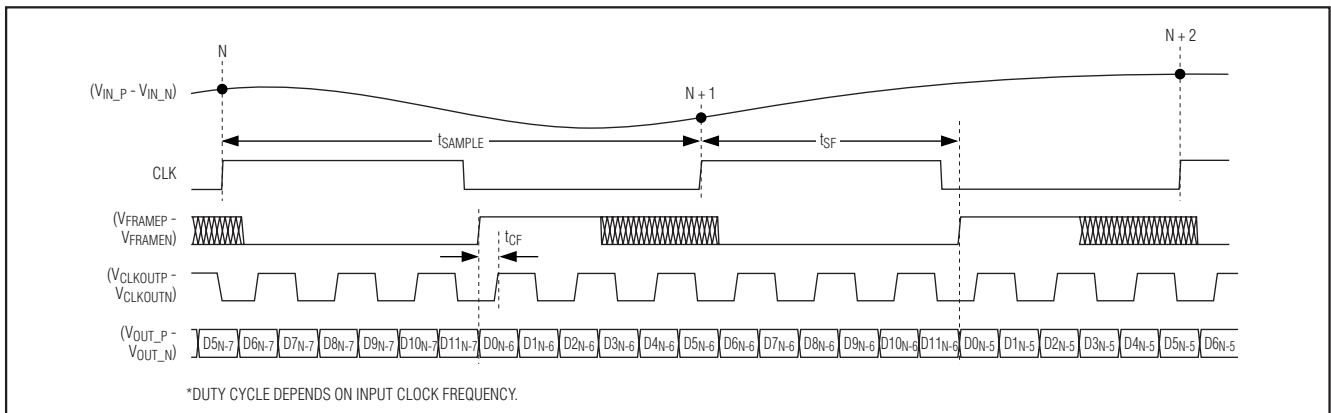


図4. 2変換タイミング詳細図

PLL入力(PLL0~PLL3)

MAX1126は、入力クロック周波数の6倍の周波数の出力クロック信号を生成するPLLを備えています。出力クロック信号を使用すると、データをMAX1126からクロック同期出力することができます(「システムタイミング要件」の項をご覧ください)。表1に記載された入力クロック範囲に従ってPLL1、PLL2、およびPLL3の各ビットを設定してください。PLL0は出荷試験用で常時GNDに接続する必要があります。

システムタイミング要件

図3は、アナログ入力、入力クロック、フレームアライメント出力、シリアルクロック出力、およびシリアルデータ出力の間の関係を示します。差分アナログ入力(IN_PとIN_N)はCLK信号の立ち上がりエッジでサンプリングされ、変換結果のデータは6.5クロックサイクル後にデジタル出力に現われます。図4は、入出力間の関係についての詳細な2回の変換タイミング図を示します。

シリアルLVDS出力付き、クワッド、 12ビット、40Msps、1.8V ADC

クロック出力(CLKOUTP、CLKOUTN)

MAX1126は、CLKOUTPとCLKOUTNからなる差動クロック出力を備えています。図4に示すように、シリアル出力データはクロック出力の両エッジでMAX1126からクロック同期出力されます。出力クロックの周波数はCLKの周波数の6倍です。

フレームアライメント出力(FRAMEP、FRAMEN)

MAX1126は、FRAMEPとFRAMENからなる差動フレームアライメント信号を備えています。図4に示すように、フレームアライメント信号の立上りエッジは12ビットシリアルデータストリームの先頭ビット(D0)に対応しています。フレームアライメント信号の周波数は、サンプルクロックの周波数と同じです。

シリアル出力データ(OUT_P、OUT_N)

MAX1126は、OUT_PとOUT_Nからなる各差動出力によって変換結果を提供します。その変換結果は、サンプルが採取されてから6.5入力クロックサイクル後に得られます。図3に示すように、出力データはLSB (D0)を先頭に出力クロックの両エッジでクロック同期出力されます。図5は詳細なシリアル出力タイミング図を示します。

出力データ形式($\bar{T}/B$)、伝達関数

MAX1126の出力データ形式は、ロジック入力 $\bar{T}/B$ に応じて、オフセットバイナリまたは2の補数のいずれかとなります。 $\bar{T}/B$ がローの場合、出力データ形式は2の補数です。 $\bar{T}/B$ がハイの場合、出力データ形式はオフセットバイナリです。次式、表2、図6、および図7によって、デジタル出力とアナログ入力の関係が定義されます。

表2. 出力コード表($V_{REFIO} = 1.24V$)

TWO'S COMPLEMENT DIGITAL OUTPUT CODE ($\bar{T}/B = 0$)			OFFSET BINARY DIGITAL OUTPUT CODE ($\bar{T}/B = 1$)			$V_{IN_P} - V_{IN_N}$ (mV) ($V_{REFIO} = 1.24V$)
BINARY D11 → D0	HEXADECIMAL EQUIVALENT OF D11 → D0	DECIMAL EQUIVALENT OF D11 → D0	BINARY D11 → D0	HEXADECIMAL EQUIVALENT OF D11 → D0	DECIMAL EQUIVALENT OF D11 → D0	
0111 1111 1111	0x7FF	+2047	1111 1111 1111	0xFFFF	+4095	+699.66
0111 1111 1110	0x7FE	+2046	1111 1111 1110	0xFFE	+4094	+699.32
0000 0000 0001	0x001	+1	1000 0000 0001	0x801	+2049	+0.34
0000 0000 0000	0x000	0	1000 0000 0000	0x800	+2048	0
1111 1111 1111	0xFFFF	-1	0111 1111 1111	0x7FF	+2047	-0.34
1000 0000 0001	0X801	-2047	0000 0000 0001	0x001	+1	-699.66
1000 0000 0000	0x800	-2048	0000 0000 0000	0x000	0	-700.00

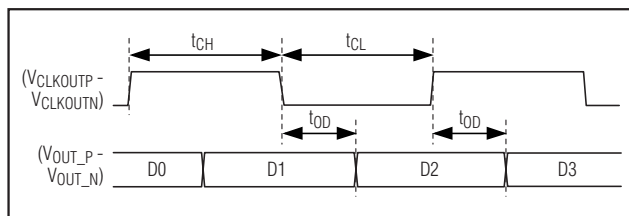


図5. シリアル化出力の詳細タイミング図

2の補数($\bar{T}/B = 0$)の場合は、

$$V_{IN_P} - V_{IN_N} = FSR \times 2 \times \frac{CODE_{10}}{4096}$$

オフセットバイナリ($\bar{T}/B = 1$)の場合は、

$$V_{IN_P} - V_{IN_N} = FSR \times 2 \times \frac{CODE_{10} - 2048}{4096}$$

ここで、 $CODE_{10}$ は、表2に示すように、デジタル出力コードの10進数に相当します。FSRは、図6と7に示すようにフルスケール範囲です。

MAX1126のデジタル出力の容量性負荷は、できる限り小さくしてください。

LVDSおよびSLVS信号(SLVS/LVDS)

MAX1126の出力(OUT_P、OUT_N、CLKOUTP、CLKOUTN、FRAMEP、およびFRAMEN)をLVDSレベルとする場合はSLVS/LVDSをローに駆動して、スケラブル低電圧信号(SLVS)レベルとする場合はSLVS/LVDSをハイに駆動してください。

シリアルLVDS出力付き、クワッド、 12ビット、40Mps、1.8V ADC

MAX1126

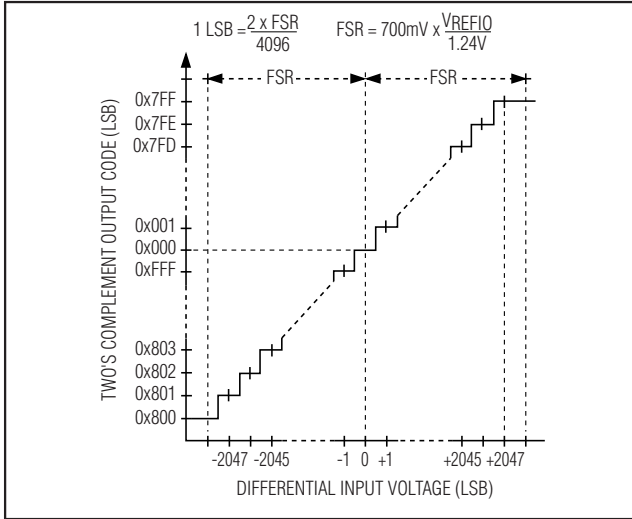


図6. 2の補数出力コード(T/B = 0)のバイポーラ伝達関数

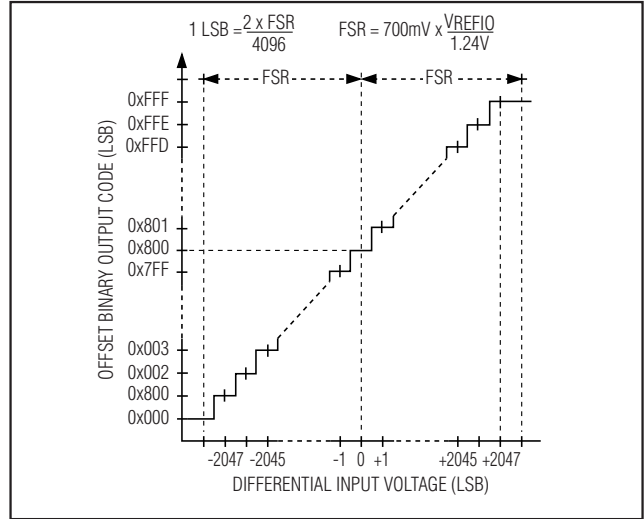


図7. オフセットバイナリ出力コード(T/B = 1)のバイポーラ伝達関数

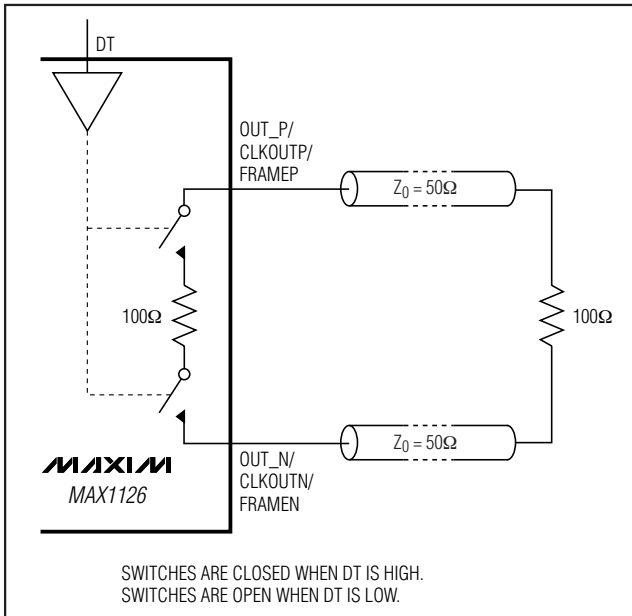


図8. 二重終端

SLVSレベルの場合は、DTをハイに駆動することによって二重終端をイネーブルしてください。LVDSとSLVSの出力電圧レベルについては、「Electrical Characteristics (電気的特性)」の表を参照してください。

LVDSテストパターン(LVDSTEST)

すべてのLVDSまたはSLVS出力チャネルに対して出力テストパターンをイネーブルするためには、LVDSTESTをハイに駆動してください。出力テストパターンは0000 1011 1101 MSB→LSBです。アナログ変換結果と同様、テストパターンはLSBを先頭に出力されます。

通常動作の場合はLVDSTESTをローに駆動してください(テストパターンがディセーブルされます)。

コモンモード出力電圧(CMOUT)

CMOUTは、DC結合アナログ入力に対するコモンモードリファレンスを出力します。入力がDC結合されている場合、MAX1126を駆動する回路の出力コモンモード電圧を±50mVの範囲内でV_{CMOUT}の出力電圧に合わせてください。駆動回路の出力コモンモード電圧はCMOUTから取り出して使うことをお勧めします。

二重終端(DT)

図8に示すように、MAX1126は、差動出力ペア(OUT_PとOUT_N、CLKOUTPとCLKOUTN、FRAMEPとFRAMEN)間にオプションの100Ω終端を内蔵しています。ライン遠端部の終端に加えて、出力部に直接置く2番目の終端も、ライン上の望ましくない反射を排除するのに役立ちます。配線長が長い場合(5インチを超える場合)や、インピーダンスが不整合の場合のアプリケーションではこの機能が有効です。二重終端を選択するためにはDTをハイに駆動し、内蔵終端抵抗器を分離するためにはDTをローに駆動してください(単一終端とする)。二重終端を選択すると、O_{VDD}の消費電流が増大します(「Electrical Characteristics (電気的特性)」の表を参照してください)。

パワーダウンモード

MAX1126は、PD0～PD3およびPDALLの2種類のパワーダウン入力を備えています。パワーダウンモードでは、変換不要時にMAX1126は低電力状態に遷移して電力が効率的に使用されます。

**シリアルLVDS出力付き、クワッド、
12ビット、40Msps、1.8V ADC**

個別チャネルのパワーダウン(PD0～PD3)

PD0～PD3を使用すると、各チャネルのパワーダウンモードが個別に制御されます。入力チャネルをパワーダウンするためには、該当するパワーダウン入力をハイに駆動してください。たとえば、チャネル1をパワーダウンするためにはPD1をハイに駆動します。入力チャネルを通常動作状態にするためには、該当するパワーダウン入力をローに駆動してください。パワーダウンされた出力チャネルの差動出力インピーダンスは、DTがローの場合、約378Ωです。OUT_Nに対するOUT_Pの出力インピーダンスは、DTがハイの場合、100Ωです。パワーダウンされたチャネルの標準消費電流については、「Electrical Characteristics (電気的特性)」の表を参照してください。

内部リファレンスの状態は、PD0～PD3入力の状態とは独立しています。内部リファレンス回路をパワーダウンするためには、PDALLをハイに駆動してください（「グローバルパワーダウン(PDALL)」の項を参照してください）。

グローバルパワーダウン(PDALL)

PDALLを使用すると、すべてのチャンネルと内部リファレンス回路のパワーダウンモードが制御されます。グローバルパワーダウンをイネーブルするためには、PDALLをハイに駆動してください。グローバルパワーダウンモードでは、DTがローの場合、全LVDS/SLVS出力の出カインピーダンスは約378Ωです。差動LVDS/SLVS出力の出カインピーダンスは、DTがハイの場合、100Ωです。グローバルパワーダウン時の標準消費電流については、「Electrical Characteristics (電気的特性)」の表を参照してください。以下に、グローバルパワーダウンモードにおけるアナログ入力とデジタル出力の状態を示します。

- IN_P、IN_Nアナログ入力には内蔵入力アンプから切断される。
- REFIOとGNDの間のインピーダンスは1M Ω を超える。
- OUT_P、OUT_N、CLKOUTP、CLKOUTN、FRAMEP、およびFRAMENは、DTがローの場合、差動出力ペア間のインピーダンスは約378 Ω となる。DTがハイの場合、差動出力ペア間のインピーダンスは各ペア間で100 Ω に維持される。

内部リファレンスで動作している場合、グローバルパワーダウン状態からのウェイクアップ時間は132μs (typ)です。外部リファレンスを使用している場合、ウェイクアップ時間は外部リファレンスドライバに依存します。

アプリケーション情報

内部リファレンスを使用したフルスケール範囲調整

MAX1126は10% (±5%)のフルスケール調整範囲をサポートしています。フルスケール範囲を縮小するためには、25kΩ～250kΩの抵抗器またはポテンショメータ (R_{ADJ})をREFADJとGNDの間に外付けしてください。フルスケール範囲を拡大するためには、25kΩ～250kΩの抵抗器をREFADJとREFIOの間に外付けしてください。図9はこれら2つの構成を示しています。

下記の2つの式は R_{ADJ} とアナログフルスケール範囲の変更との関係を表します。

$$\text{FSR} = 0.7V \left(1 + \frac{1.25\text{k}\Omega}{R_{\text{ADJ}}} \right)$$

REFADJとREFIOの間にR_{ADJ}を接続する場合：

$$FSR = 0.7V \left(1 - \frac{1.25k\Omega}{R_{ADJ}} \right)$$

REFADJとGNDの間に R_{ADJ} を接続する場合：

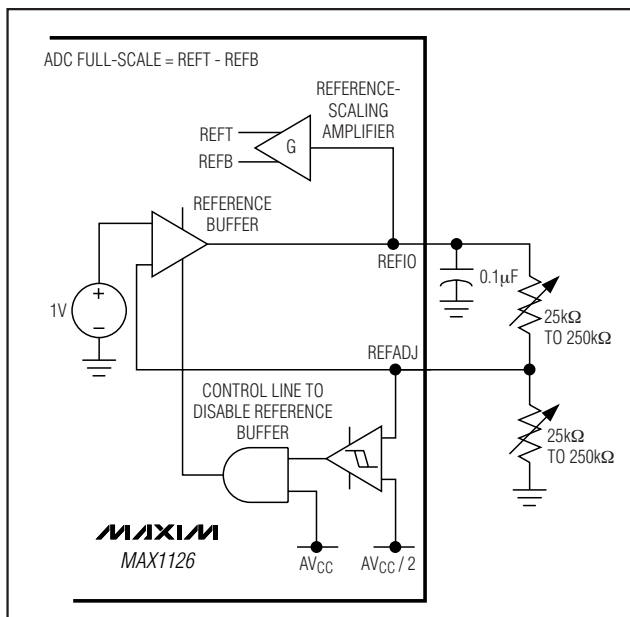


図9. ADCのフルスケール範囲調整用の回路例

シリアルLVDS出力付き、クワッド、12ビット、40Mps、1.8V ADC

MAX1126

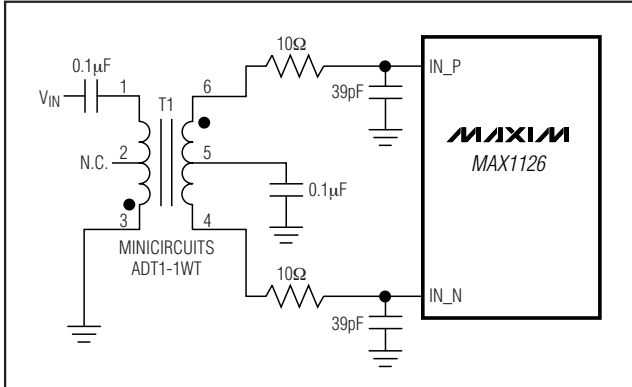


図10. トランス結合入力駆動

トランス結合の使用

RFトランス(図10)は、MAX1126の性能を最適化するために必要な、シングルエンド入力信号源を完全差動信号に変換する卓越したソリューションを提供します。MAX1126の入力コモンモード電圧は、 $f_{CLK} = 40\text{MHz}$ の場合、0.76V (typ)に内部でバイアスされます。ここでは1:1のトランスが示されていますが、ステップアップトランスを選択すると駆動要件を緩和することができます。また、オペアンプなどの入力ドライバからの信号振幅を低減すると、全体の歪みを改善することもできます。

グランド、バイパス、および基板レイアウト

MAX1126では、高速基板レイアウトの設計手法を適用する必要があります。基板レイアウトの参考として、MAX1127のEVキットのデータシートを参照してください。インダクタンスを最小限に抑えるため、表面実装デバイスを使って、すべてのバイパスコンデンサをデバイスにできる限り近接させて(できればADCと同じ面に)配置してください。2.2µF以上のセラミックコンデンサと並列の0.1µFのセラミックコンデンサで AV_{DD} をGNDにバイパスしてください。2.2µF以上のセラミックコンデンサと並列の0.1µFのセラミックコンデンサで OV_{DD} をGNDにバイパスしてください。2.2µF以上のセラミックコンデンサと並列の0.1µFのセラミックコンデンサで CV_{DD} をGNDにバイパスしてください。

グランドプレーンと電源プレーンが十分に広い多層基板を使用すると、最高レベルの信号完全性が実現します。MAX1126のグランド端子と裏側エクスポーズドパッドを同じグランドプレーンに接続してください。MAX1126では、裏側エクスポーズドパッドを使用して低インダクタンスグランド接続を実現します。グラ

ドプレーンは、ノイズの多いデジタルシステムのグランドプレーンから分離してください。

高速デジタル信号配線は、敏感なアナログ配線から遠ざけてください。すべての信号ラインは短くし、直角に曲げないでください。

差動アナログ入力回路のレイアウトを対称にして、すべての寄生成分を均等にバランスさせてください。対称にした入力レイアウトの例については、MAX1126のEVキットのデータシートを参照してください。

パラメータの定義

Integral Nonlinearity (積分非直線性) (INL)

積分非直線性は、実際の伝達関数上の値の直線からの偏差です。MAX1126の場合、この直線は、オフセットおよび利得誤差をゼロにした後の伝達関数の両端点を結んだ直線です。INLの偏差は全ステップで測定され、ワーストケースの偏差が「Electrical Characteristics (電気的特性)」の表に示されています。

Differential Nonlinearity (微分非直線性) (DNL)

微分非直線性は、実際のステップ幅と1 LSBの理想値の差です。1 LSB以下のDNL誤差の仕様は、ミッシングコードのない単調伝達関数を保証するものです。MAX1126の場合、DNLの偏差は全ステップで測定され、ワーストケースの偏差が「Electrical Characteristics (電気的特性)」の表に示されています。

Offset Error (オフセット誤差)

オフセット誤差は、実際の伝達関数が理想的な伝達関数と1点で一致する度合いを示す性能指数です。MAX1126の場合、アナログ入力間に-1/2 LSBの電圧があるとき理想的なミッドスケールのデジタル出力遷移が行われます(図6と図7)。バイポーラオフセット誤差は、測定されたミッドスケール遷移点と理想的なミッドスケール遷移点の間の偏差の大きさです。

Gain Error (利得誤差)

利得誤差は、実際の伝達関数の傾きが理想的な伝達関数の傾きと一致する度合いを示す性能指数です。MAX1126の場合、測定されたフルスケール遷移点とゼロスケール遷移点との差から、理想的なフルスケール遷移点とゼロスケール遷移点の差を差し引いたものが利得誤差です。

シリアルLVDS出力付き、クワッド、12ビット、40Msps、1.8V ADC

バイポーラデバイス(MAX1126)の場合、フルスケール遷移点は2の補数出力形式では0x7FE~0x7FF (オフセットバイナリでは0xFFE~0xFFF)で、ゼロスケール遷移点は2の補数では0x800~0x801 (オフセットバイナリでは0x000~0x001)です。

Crosstalk (クロストーク)

クロストークは、各アナログ入力が他のアナログ入力から分離されている度合いを示します。MAX1126の場合、5.3MHz、-0.5dBFSのアナログ信号が1つのチャンネルに印加された状態で、19.3MHz、-0.5dBFSのアナログ信号が他の全チャンネルに印加されます。FFTデータは、5.3MHzのアナログ信号が印加されたチャンネルで採取されます。このFFTデータから、クロストークは5.3MHzと19.3MHzの振幅の差として測定されます。

Aperture Delay (アパーチャ遅延)

アパーチャ遅延(t_{AD})は、サンプリングクロックの立下りエッジから実際のサンプリングが行なわれる瞬間までの時間です。図10を参照してください。

Aperture Jitter (アパーチャジッタ)

アパーチャジッタ(t_{AJ})は、アパーチャ遅延におけるサンプル間の変動です。図11を参照してください。

Signal-to-Noise Ratio (信号対ノイズ比) (SNR)

デジタルサンプルから完全に再現される波形の場合、理論上の最大SNRはフルスケールアナログ入力(RMS値)のRMS量子化誤差(残留誤差)に対する比です。理想的な理論上の最小アナログ-デジタル変換ノイズは、量子化誤差のみによって生じるもので、ADCの分解能(Nビット)から次式によって直接求められます。

$$\text{SNR}_{\text{dB}}[\text{max}] = 6.02\text{dB} \times N + 1.76\text{dB}$$

実際には、量子化ノイズ以外に、サーマルノイズ、リファレンスノイズ、クロックジッタなどのノイズ源があります。

MAX1126の場合、SNRIは、RMS信号のRMSノイズに対する比を取ることで求められます。RMSノイズには、基本波、最初の6つの高調波(HD2~HD7)、およびDCオフセットを除く、ナイキスト周波数までの全スペクトル成分が含まれます。

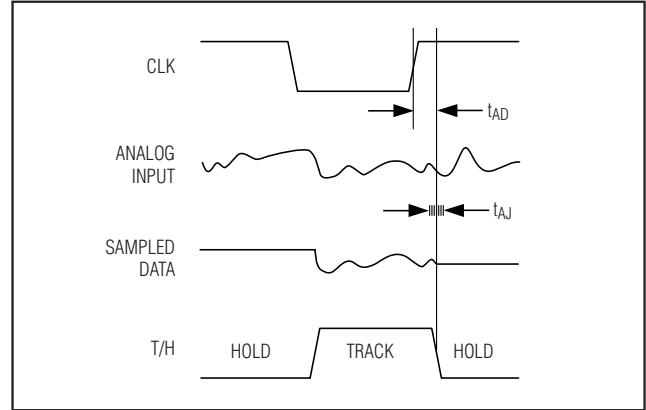


図11. アパーチャジッタ/遅延仕様

Signal-to-Noise Plus Distortion (信号 対 ノイズ + 歪み) (SINAD)

SINADは、RMS信号のRMSノイズ + 歪みに対する比を取ることで求められます。RMSノイズ + 歪みには、基本波とDCオフセットを除くナイキスト周波数までの全スペクトル成分が含まれます。

Effective Number of Bits (有効ビット数) (ENOB)

ENOBは、特定の入力周波数とサンプリングレートにおけるADCのダイナミック性能を表します。理想的なADCの誤差は、量子化ノイズのみからなります。フルスケール正弦波入力波形に対するENOBは次式から計算されます。

$$\text{ENOB} = \left(\frac{\text{SINAD} - 1.76}{6.02} \right)$$

Total Harmonic Distortion (全高調波歪み) (THD)

THDは、入力信号に含まれる最初の6つの高調波のRMS和の基本波そのものに対する比です。これは、次式で表されます。

$$\text{THD} = 20 \times \log \left(\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2 + V_7^2}}{V_1} \right)$$

シリアルLVDS出力付き、クワッド、 12ビット、40Mps、1.8V ADC

MAX1126

Spurious-Free Dynamic Range (スプリアスフリーダイナミックレンジ) (SFDR)

SFDRは、基本波(最大信号成分)のRMS振幅と2番目に大きい歪み成分(DCオフセットを除く)のRMS値に対する比をデシベルで表したものです。SFDRはキャリアに対してデシベル(dBc)で表されます。

Intermodulation Distortion (相互変調歪み) (IMD)

IMDは、2つ入力トーン f_1 と f_2 の全入力パワーに対するナイキスト周波数までのIM2～IM5の相互変調積の全パワーです。各入力トーンレベルは、-6.5dBFSとします。相互変調積は次の通りです。

- 2次相互変調積(IM2) : $f_1 + f_2$ 、 $f_2 - f_1$
- 3次相互変調積(IM3) : $2 \times f_1 - f_2$ 、 $2 \times f_2 - f_1$ 、 $2 \times f_1 + f_2$ 、 $2 \times f_2 + f_1$
- 4次相互変調積(IM4) : $3 \times f_1 - f_2$ 、 $3 \times f_2 - f_1$ 、 $3 \times f_1 + f_2$ 、 $3 \times f_2 + f_1$
- 5次相互変調積(IM5) : $3 \times f_1 - 2 \times f_2$ 、 $3 \times f_2 - 2 \times f_1$ 、 $3 \times f_1 + 2 \times f_2$ 、 $3 \times f_2 + 2 \times f_1$

Third-Order Intermodulation (3次相互変調) (IM3)

IM3は、2つの入力トーン f_1 と f_2 の全入力パワーに対するナイキスト周波数までの3次相互変調積の全パワーです。各入力トーンレベルは、-6.5dBFSとします。3次相互変調積は、 $2 \times f_1 - f_2$ 、 $2 \times f_2 - f_1$ 、 $2 \times f_1 + f_2$ 、 $2 \times f_2 + f_1$ です。

Small-Signal Bandwidth (小信号帯域幅)

信号のスルーレートがADCの性能を制限しないように、-20dBFSのアナログ入力小信号がADCに印加されます。次に、デジタル変換データの振幅が3dB減少する点まで入力周波数がスイープされます。

Full-Power Bandwidth (フルパワー帯域幅)

-0.5dBFSのアナログ入力大信号がADCに印加され、デジタル変換データの振幅が3dB減少する点まで入力周波数がスイープされます。この点がフルパワー入力帯域幅周波数と定義されます。

Gain Matching (利得マッチング)

利得マッチングは、4個の全ADCチャンネルの利得が互いに一致している度合いを示す性能指数です。MAX1126の場合、同じ19.3MHz、-0.5dBFSのアナログ信号をすべてのアナログ入力チャンネルに印加して、利得マッチングを測定します。これらのアナログ入力は40MHzでサンプリングされ、振幅の最大偏差が「Electrical Characteristics (電気的特性)」の表にGain Matching (利得マッチング)としてdBで示されています。

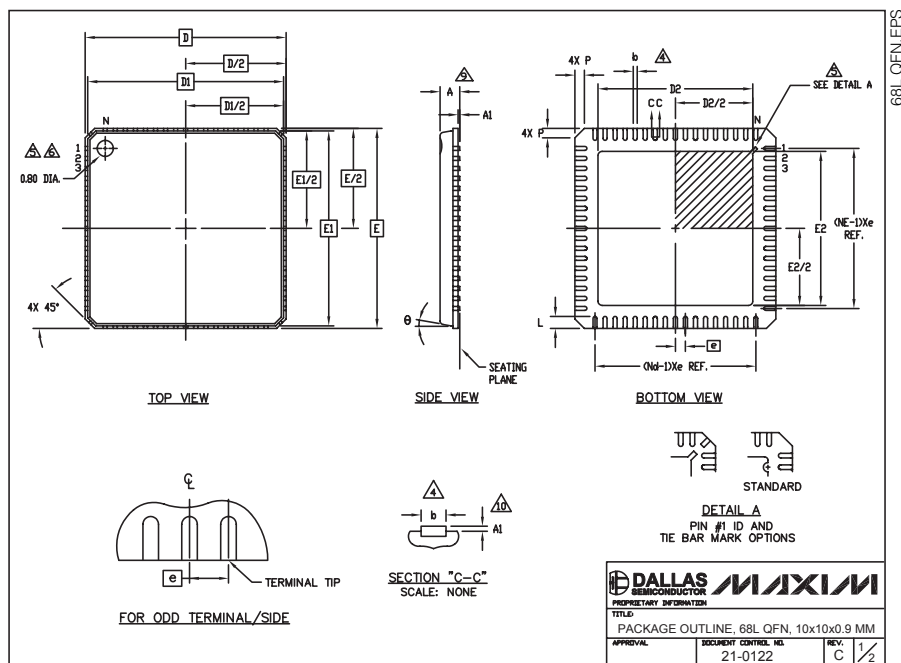
Phase Matching (位相マッチング)

位相マッチングは、4個の全ADCチャンネルの位相が互いに一致している度合いを示す性能指数です。MAX1126の場合、同じ19.3MHz、-0.5dBFSのアナログ信号をすべてのアナログ入力チャンネルに印加して、位相マッチングが測定されます。これらのアナログ入力は40MHzでサンプリングされ、位相の最大偏差が「Electrical Characteristics (電気的特性)」の表にPhase Matching (位相マッチング)としてDegree (度)で示されています。

シリアルLVDS出力付き、クワッド、 12ビット、40Msps、1.8V ADC

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



SYMBOL	COMMON DIMENSIONS			No. of Terminals
	MIN.	NOM.	MAX.	
A	—	0.90	1.00	11
A1	0.00	0.01	0.05	11
b	0.18	0.23	0.30	4
D	10.00 BSC			
D1	9.75 BSC			
E	0.50 BSC			
E1	10.00 BSC			
E1	9.75 BSC			
L	0.50	0.60	0.65	
N	68			3
Nd	17			3
Ne	17			3
θ	0		12°	
P	0	0.42	0.60	

PKG CODE	D2			E2		
	MIN	NOM	MAX	MIN	NOM	MAX
G6800-2	7.55	7.70	7.85	7.55	7.70	7.85
G6800-4	5.65	5.80	5.95	5.65	5.80	5.95

Note: For the MAX1126 Exposed Pad Variation, the package code is G6800-4.

1. DIE THICKNESS ALLOWABLE IS .012 INCHES MAXIMUM.
2. DIMENSIONING & TOLERANCES CONFORM TO ASME Y14.5M. — 1994.
3. N IS THE NUMBER OF TERMINALS.
Nd IS THE NUMBER OF TERMINALS IN X-DIRECTION &
Ne IS THE NUMBER OF TERMINALS IN Y-DIRECTION.
4. DIMENSION b APPLIES TO PLATED TERMINAL AND IS MEASURED BETWEEN 0.20 AND 0.25mm FROM TERMINAL TIP.
5. THE PIN #1 IDENTIFIER MUST BE LOCATED ON THE TOP SURFACE OF THE PACKAGE BY USING INDENTATION MARK OR OTHER FEATURE OF PACKAGE BODY. DETAILS OF PIN #1 IDENTIFIER IS OPTIONAL, BUT MUST BE LOCATED WITHIN ZONE INDICATED.
6. EXACT SHAPE AND SIZE OF THIS FEATURE IS OPTIONAL.
7. ALL DIMENSIONS ARE IN MILLIMETERS.
8. PACKAGE WARPAGE MAX 0.10mm.
9. APPLIES TO EXPOSED SURFACE OF PADS AND TERMINALS
10. APPLIES ONLY TO TERMINALS.
11. MEETS JEDEC MO-220.

SYMBOL	COMMON DIMENSIONS			No. of Terminals
	MIN.	NOM.	MAX.	
A	—	0.90	1.00	11
A1	0.00	0.01	0.05	11
b	0.18	0.23	0.30	4
D	10.00 BSC			
D1	9.75 BSC			
E	0.50 BSC			
E1	10.00 BSC			
E1	9.75 BSC			
L	0.50	0.60	0.65	
N	68			3
Nd	17			3
Ne	17			3
θ	0		12°	
P	0	0.42	0.60	

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。