

+2.7V、低電力、マルチチャンネル、 シリアル8ビットADC

概要

MAX1110/MAX1111は、内部トラック/ホールド、電圧リファレンス、クロックおよびシリアルインタフェースを備えた、低電力8ビット8チャンネルのアナログデジタルコンバータ(ADC)です。これらのデバイスは、+2.7V~+5.5Vの単一電源で動作し、50kspsの最大サンプリングレートで消費電流はわずか85μAです。MAX1110の8つのアナログ入力およびMAX1111の4つのアナログ入力は、ソフトウェアによってユニポーラ/バイポーラ、およびシングルエンド/差動動作に設定することができます。

逐次比較型のアナログデジタル変換は、内部クロックまたは外部シリアルインタフェースクロックによって実行されます。フルスケールアナログ入力範囲は、2.048V内部リファレンスまたは外部から印加された1V~V_{DD}範囲のリファレンスによって決定されます。4線シリアルインタフェースは、SPI™、QSPI™およびMICROWIRE™シリアルインタフェース規格に適合しています。シリアルストロブ出力によって、割込み駆動型のプロセッサへの変換完了信号が提供されます。

MAX1110/MAX1111は、消費電力を最小限に抑えるためにソフトウェアで設定可能な2μA自動パワーダウンモードを備えています。パワーダウンモードを使用すると、消費電流は1kspsでわずか6μA、10kspsで52μAに低減します。パワーダウンは、SHDN入力ピンによって制御することも可能です。シリアルインタフェースにアクセスすると、デバイスは自動的にパワーアップします。

MAX1110は、20ピンSSOPおよびDIPパッケージ、MAX1111は小型16ピンQSOPおよびDIPパッケージで提供されています。

アプリケーション

- ポータブルデータロギング
- ハンドヘルド測定機器
- 医療機器
- システム診断
- 太陽電池駆動のリモート機器
- 4mA~20mA駆動のリモートデータ収集機器

ピン配置はデータシートの最後に記載されています。

SPIおよびQSPIは、Motorola, Inc.の商標です。
MICROWIREはNational Semiconductor Corp.の商標です。

特長

- ◆ 単一電源：+2.7V~+5.5V
- ◆ 低電力：85μA (50ksps時)
6μA (1ksps時)
- ◆ 入力：8チャンネルシングルエンドまたは4チャンネル差動(MAX1110)
- ◆ 4チャンネルシングルエンドまたは2チャンネル差動(MAX1111)
- ◆ 内部トラック/ホールド、サンプリングレート：50kHz
- ◆ 内部2.048Vリファレンス
- ◆ シリアルインタフェース：SPI/QSPI/MICROWIREコンパチブル
- ◆ ユニポーラまたはバイポーラ入力：ソフトウェアで設定
- ◆ 全未調整エラー：±1 LSB (max)
±0.3 LSB (typ)

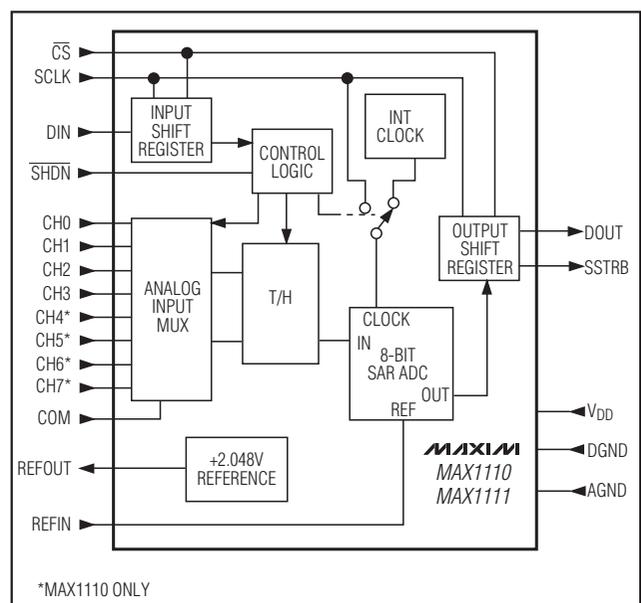
型番

PART	TEMP RANGE	PIN-PACKAGE
MAX1110CPP	0°C to +70°C	20 Plastic DIP
MAX1110CAP	0°C to +70°C	20 SSOP
MAX1110C/D	0°C to +70°C	Dice*

*ダイスは、T_A = +25°CでDCパラメータのみで規定されています。

型番の続きはデータシートの最後に記載されています。

ファンクションダイアグラム



+2.7V、低電力、マルチチャンネル、シリアル8ビットADC

MAX1110/MAX1111

ABSOLUTE MAXIMUM RATINGS

V _{DD} to AGND	-0.3V to 6V	20 Plastic DIP (derate 11.11mW/°C above +70°C)	889mW
AGND to DGND	-0.3V to 0.3V	20 SSOP (derate 8.00mW/°C above +70°C)	640mW
CH0-CH7, COM, REFIN,		20 CERDIP (derate 11.11mW/°C above +70°C)	889mW
REFOUT to AGND	-0.3V to (V _{DD} + 0.3V)	Operating Temperature Ranges	
Digital Inputs to DGND	-0.3V to 6V	MAX1110C_P/MAX1111C_E	0°C to +70°C
Digital Outputs to DGND	-0.3V to (V _{DD} + 0.3V)	MAX1110E_P/MAX1111E_E	-40°C to +85°C
Continuous Power Dissipation (T _A = +70°C)		MAX1110MJP/MAX1111MJE	-55°C to +125°C
16 Plastic DIP (derate 10.53mW/°C above +70°C)	842mW	Storage Temperature Range	-65°C to +150°C
16 QSOP (derate 8.30mW/°C above +70°C)	667mW	Lead Temperature (soldering, 10s)	+300°C
16 CERDIP (derate 10.00mW/°C above +70°C)	800mW	Soldering Temperature (reflow)	+240°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +2.7V to +5.5V; unipolar input mode; COM = 0V; f_{SCLK} = 500kHz, external clock (50% duty cycle); 10 clocks/conversion cycle (50ksps); 1μF capacitor at REFOUT; T_A = T_{MIN} to T_{MAX}; unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY						
Resolution			8			Bits
Relative Accuracy (Note 1)	INL	V _{DD} = 2.7V to 3.6V		±0.15	±0.5	LSB
		V _{DD} = 5.5V (Note 2)		±0.2		
Differential Nonlinearity	DNL	No missing codes over temperature			±1	LSB
Offset Error		V _{DD} = 2.7V to 3.6V		±0.35	±1	LSB
		V _{DD} = 5.5V (Note 2)		±0.5		
Gain Error (Note 3)		Internal or external reference			±1	LSB
Gain Temperature Coefficient		External reference, 2.048V		±0.8		ppm/°C
Total Unadjusted Error	TUE			±0.3	±1	LSB
Channel-to-Channel Offset Matching				±0.1		LSB
DYNAMIC SPECIFICATIONS (10.034kHz sine-wave input, 2.048Vp-p, 50ksps, 500kHz external clock)						
Signal-to-Noise and Distortion Ratio	SINAD			49		dB
Total Harmonic Distortion (up to the 5th harmonic)	THD			-70		dB
Spurious-Free Dynamic Range	SFDR			68		dB
Channel-to-Channel Crosstalk		V _{CHL} = 2.048Vp-p, 25kHz (Note 4)		-75		dB
Small-Signal Bandwidth		-3dB rolloff		1.5		MHz
Full-Power Bandwidth				800		kHz

+2.7V、低電力、マルチチャネル、シリアル8ビットADC

MAX1110/MAX1111

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = +2.7V to +5.5V; unipolar input mode; COM = 0V; f_{SCLK} = 500kHz, external clock (50% duty cycle); 10 clocks/conversion cycle (50ksps); 1μF capacitor at REFOUT; T_A = T_{MIN} to T_{MAX}; unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CONVERSION RATE						
Conversion Time (Note 5)	t _{CONV}	Internal clock		25	55	μs
		External clock, 500kHz, 10 clocks/conversion	20			
Track/Hold Acquisition Time	t _{ACQ}	External clock, 2MHz	1			μs
Aperture Delay				10		ns
Aperture Jitter				<50		ps
Internal Clock Frequency				400		kHz
External Clock-Frequency Range		(Note 6)	50		500	kHz
		Used for data transfer only			2	MHz
ANALOG INPUT						
Input Voltage Range, Single-Ended and Differential (Note 7)		Unipolar input, COM = 0V	0	V _{REFIN}		V
		Bipolar input, COM = V _{REFIN} / 2		COM ± V _{REFIN} / 2		
Multiplexer Leakage Current		On/off-leakage current, V _{CHL} = 0V or V _{DD}		±0.01	±1	μA
Input Capacitance				18		pF
INTERNAL REFERENCE						
REFOUT Voltage			1.968	2.048	2.128	V
REFOUT Short-Circuit Current				3.5		mA
REFOUT Temperature Coefficient				±50		ppm/°C
Load Regulation (Note 8)		0mA to 0.5mA output load		2.5		mV
Capacitive Bypass at REFOUT			1			μF
EXTERNAL REFERENCE AT REFIN						
Input Voltage Range			1		V _{DD} + 50mV	V
Input Current		(Note 9)		1	20	μA
POWER REQUIREMENTS						
Supply Voltage	V _{DD}		2.7		5.5	V
Supply Current (Note 2)	I _{DD}	V _{DD} = 2.7V to 3.6V Full-scale input C _{LOAD} = 10pF	Operating mode	85	250	μA
			Reference disabled	45		
		V _{DD} = 5.5V Full-scale input C _{LOAD} = 10pF	Operating mode	120	250	
			Reference disabled	80		
		Power-down	Software	2		
			SHDN at DGND	3.2	10	
Power-Supply Rejection (Note 10)	PSR	V _{DD} = 2.7V to 3.6V; external reference, 2.048V; full-scale input		±0.4	±4	mV

+2.7V、低電力、マルチチャネル、 シリアル8ビットADC

MAX1110/MAX1111

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +2.7V$ to $+5.5V$; unipolar input mode; $COM = 0V$; $f_{SCLK} = 500kHz$, external clock (50% duty cycle); 10 clocks/conversion cycle (50ksp/s); $1\mu F$ capacitor at $REFOUT$; $T_A = T_{MIN}$ to T_{MAX} ; unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL INPUTS: DIN, SCLK, \overline{CS}						
DIN, SCLK, \overline{CS} Input High Voltage	V_{IH}	$V_{DD} \leq 3.6V$	2			V
		$V_{DD} > 3.6V$	3			
DIN, SCLK, \overline{CS} Input Low Voltage	V_{IL}				0.8	V
DIN, SCLK, \overline{CS} Input Hysteresis	V_{HYST}			0.2		V
DIN, SCLK, \overline{CS} Input Leakage	I_{IN}	Digital inputs = 0V or V_{DD}			± 1	μA
DIN, SCLK, \overline{CS} Input Capacitance	C_{IN}	(Note 6)			15	pF
\overline{SHDN} INPUT						
\overline{SHDN} Input High Voltage	V_{SH}		$V_{DD} - 0.4$			V
\overline{SHDN} Input Mid-Voltage	V_{SM}		1.1	$V_{DD} - 1.1$		V
\overline{SHDN} Voltage, Floating	V_{FLT}	$\overline{SHDN} = \text{open}$		$V_{DD} / 2$		V
\overline{SHDN} Input Low Voltage	V_{SL}				0.4	V
\overline{SHDN} Input Current		$\overline{SHDN} = 0V$ or V_{DD}			± 4	μA
\overline{SHDN} Maximum Allowed Leakage for Mid-Input		$\overline{SHDN} = \text{open}$			± 100	nA
DIGITAL OUTPUTS: DOUT, SSTRB						
Output Low Voltage	V_{OL}	$I_{SINK} = 5mA$			0.4	V
		$I_{SINK} = 16mA$			0.8	
Output High Voltage	V_{OH}	$I_{SOURCE} = 0.5mA$	$V_{DD} - 0.5$			V
Three-State Leakage Current	I_L	$\overline{CS} = V_{DD}$		± 0.01	± 10	μA
Three-State Output Capacitance	C_{OUT}	$\overline{CS} = V_{DD}$ (Note 6)			15	pF

+2.7V、低電力、マルチチャネル、シリアル8ビットADC

MAX1110/MAX1111

TIMING CHARACTERISTICS (Figures 8 and 9)

(V_{DD} = +2.7V to +5.5V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Track/Hold Acquisition Time	t _{ACQ}			1			μs
DIN to SCLK Setup	t _{DS}			100			ns
DIN to SCLK Hold	t _{DH}			0			ns
SCLK Fall to Output Data Valid	t _{DO}	Figure 1, C _{LOAD} = 100pF	MAX111_C/E	20		200	ns
			MAX111_M	20		240	
$\overline{\text{CS}}$ Fall to Output Enable	t _{DV}	Figure 1, C _{LOAD} = 100pF				240	ns
$\overline{\text{CS}}$ Rise to Output Disable	t _{TR}	Figure 2, C _{LOAD} = 100pF				240	ns
$\overline{\text{CS}}$ to SCLK Rise Setup	t _{CSS}			100			ns
$\overline{\text{CS}}$ to SCLK Rise Hold	t _{CSH}			0			ns
SCLK Pulse Width High	t _{CH}			200			ns
SCLK Pulse Width Low	t _{CL}			200			ns
SCLK Fall to SSTRB	t _{SSTRB}	C _{LOAD} = 100pF				240	ns
$\overline{\text{CS}}$ Fall to SSTRB Output Enable (Note 6)	t _{SDV}	Figure 1, external clock mode only, C _{LOAD} = 100pF				240	ns
$\overline{\text{CS}}$ Rise to SSTRB Output Disable (Note 6)	t _{STR}	Figure 2, external clock mode only, C _{LOAD} = 100pF				240	ns
SSTRB Rise to SCLK Rise (Note 6)	t _{SCK}	Figure 11, internal clock mode only		0			ns
Wake-Up Time	t _{WAKE}	External reference			20		μs
		Internal reference (Note 11)			12		ms

Note 1: Relative accuracy is the analog value's deviation (at any code) from its theoretical value after the full-scale range is calibrated.

Note 2: See *Typical Operating Characteristics*.

Note 3: V_{REFIN} = 2.048V, offset nulled.

Note 4: On-channel grounded; sine wave applied to all off-channels.

Note 5: Conversion time is defined as the number of clock cycles multiplied by the clock period; clock has 50% duty cycle.

Note 6: Guaranteed by design. Not subject to production testing.

Note 7: Common-mode range for the analog inputs is from AGND to V_{DD}.

Note 8: External load should not change during the conversion for specified accuracy.

Note 9: External reference at 2.048V, full-scale input, 500kHz external clock.

Note 10: Measured as $|V_{FS}(2.7V) - V_{FS}(3.6V)|$.

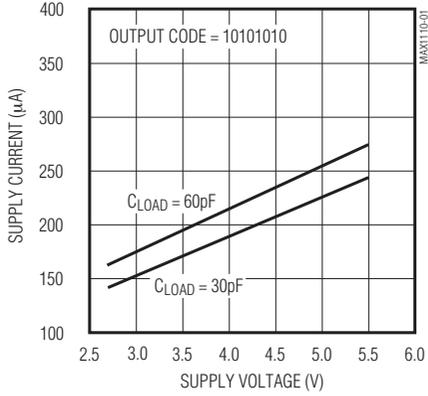
Note 11: 1μF at REFOUT; internal reference settling to 0.5 LSB.

+2.7V、低電力、マルチチャネル、シリアル8ビットADC

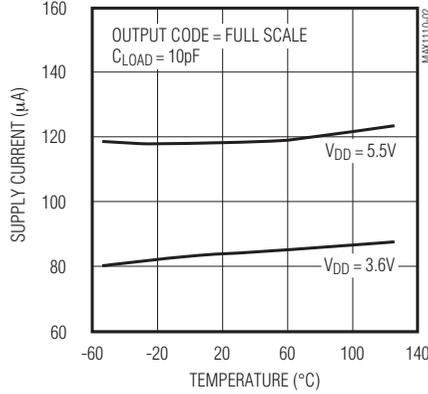
標準動作特性

($V_{DD} = +2.7V$; $f_{SCLK} = 500kHz$; external clock (50% duty cycle); $R_L = \infty$; $T_A = +25^\circ C$, unless otherwise noted.)

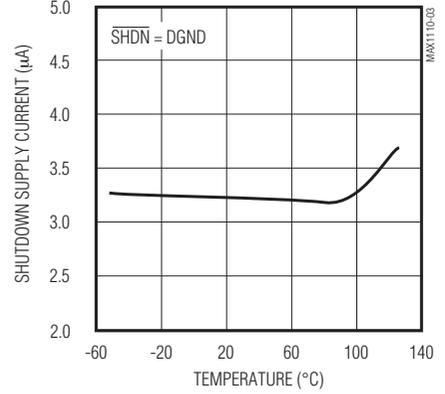
SUPPLY CURRENT vs. SUPPLY VOLTAGE



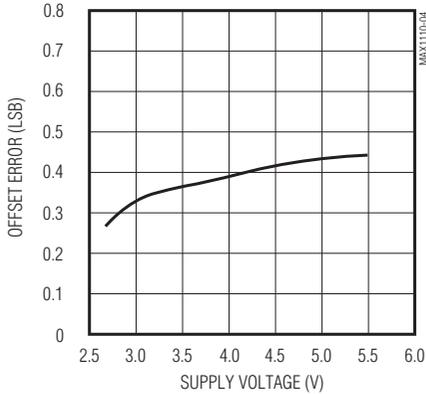
SUPPLY CURRENT vs. TEMPERATURE



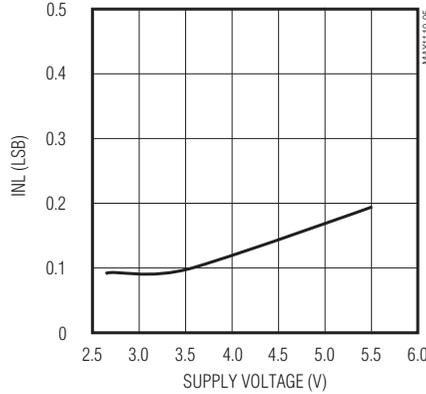
SHUTDOWN SUPPLY CURRENT vs. TEMPERATURE



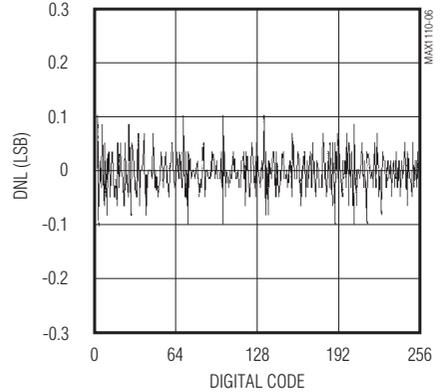
OFFSET ERROR vs. SUPPLY VOLTAGE



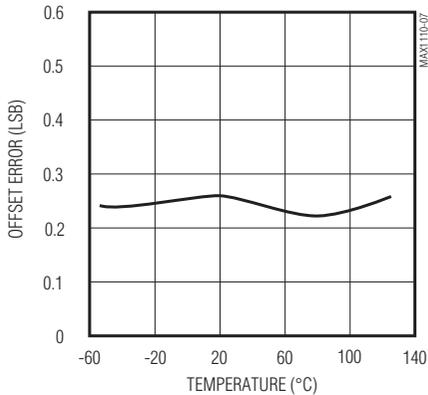
INTEGRAL NONLINEARITY vs. SUPPLY VOLTAGE



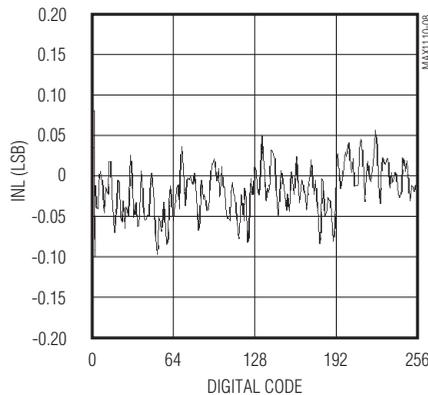
DIFFERENTIAL NONLINEARITY vs. CODE



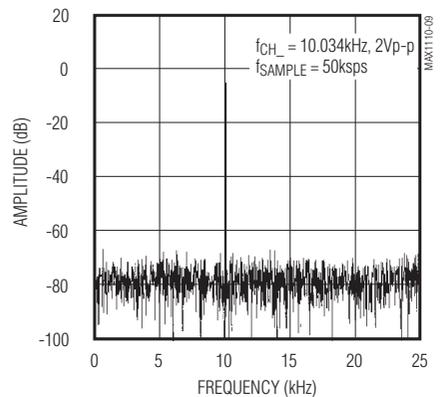
OFFSET ERROR vs. TEMPERATURE



INTEGRAL NONLINEARITY vs. CODE



FFT PLOT



+2.7V、低電力、マルチチャネル、シリアル8ビットADC

MAX1110/MAX1111

端子説明

端子		名称	機能
MAX1110	MAX1111		
1-4	1-4	CH0-CH3	サンプリングアナログ入力
5-8	—	CH4-CH7	サンプリングアナログ入力
9	5	COM	アナログ入力のグラウンドリファレンス。シングルエンドモードにおけるゼロコード電圧を設定します。±0.5 LSBの安定性が必要です。
10	6	$\overline{\text{SHDN}}$	3レベルのシャットダウン入力。通常はフローティングです。MAX1110/MAX1111は $\overline{\text{SHDN}}$ をローにするとシャットダウンし、消費電流は10 μA (max)に低減されます。それ以外の場合は、完全動作状態です。 $\overline{\text{SHDN}}$ をハイにすると、内部リファレンスはシャットダウンされます。
11	7	REFIN	アナログ-デジタル変換用のリファレンス電圧入力。内部リファレンスを使用する場合はREFOUTに接続してください。
12	8	REFOUT	内部リファレンスジェネレータ出力。1 μF のコンデンサでAGNDにバイパスしてください。
13	9	AGND	アナロググラウンド
14	10	DGND	デジタルグラウンド
15	11	DOUT	シリアルデータ出力。データは、SCLKの立下がりエッジでクロックアウトされます。 $\overline{\text{CS}}$ がハイの時は、ハイインピーダンスになります。
16	12	SSTRB	シリアルストロブ出力。内部クロックモードでは、SSTRBはMAX1110/MAX1111がA/D変換を開始した時にローになり、変換終了時にハイになります。外部クロックモードでは、MSBがシフトアウトされる前に2クロックサイクル間ハイパルスになります。 $\overline{\text{CS}}$ がハイの時は、ハイインピーダンスになります(外部クロックモードのみ)。
17	13	DIN	シリアルデータ入力。データはSCLKの立上がりエッジでクロックインされます。DINにおける電圧は、 V_{DD} を超えることもできます(最大5.5V)。
18	14	$\overline{\text{CS}}$	アクティブローのチップセレクト。 $\overline{\text{CS}}$ がローでない限り、データはDINにクロックインされません。 $\overline{\text{CS}}$ がハイの時、DOUTはハイインピーダンスになります。 $\overline{\text{CS}}$ における電圧は、 V_{DD} を超えることもできます(最大5.5V)。
19	15	SCLK	シリアルクロック入力。シリアルインタフェースのデータをクロックインおよびクロックアウトします。SCLKは、外部クロックモードのときに変換速度も設定します(デューティサイクルは45%~55%にします)。SCLKにおける電圧は、 V_{DD} を超えることもできます(最大5.5V)。
20	16	V_{DD}	正電源電圧(+2.7V~+5.5V)

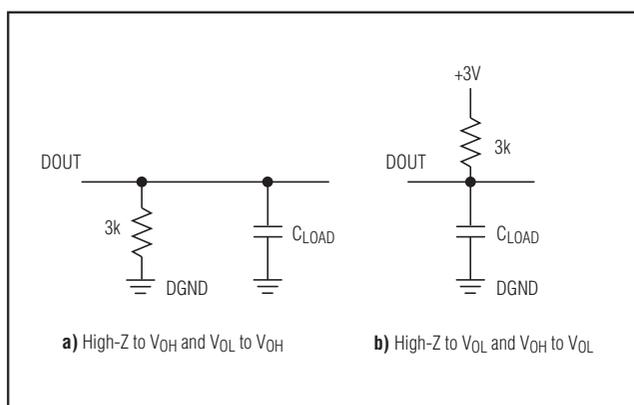


図1. イネーブル時間用の負荷回路

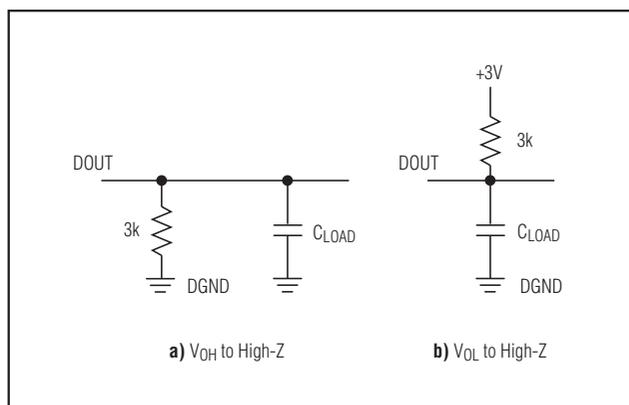


図2. デイセーブル時間用の負荷回路

+2.7V、低電力、マルチチャネル、シリアル8ビットADC

MAX1110/MAX1111

詳細

アナログ-デジタルコンバータ(ADC)のMAX1110/MAX1111は、逐次比較型の変換技法および入力トラック/ホールド(T/H)回路を使用することによって、アナログ信号を8ビットのデジタル出力に変換します。フレキシブルなシリアルインタフェースによって、マイクロプロセッサ(μ P)とのインタフェースを容易にしています。図3に、標準動作回路を示します。

疑似差動入力

図4は、このADCのアナログコンパレータのサンプリング構成を示す等価入力回路です。シングルエンドモードでは、IN+が内部で選択された入力チャネルCH_nにスイッチされ、IN-はCOMにスイッチされます。差動モードでは、IN+とIN-は、CH0/CH1、CH2/CH3、CH4/CH5、およびCH6/CH7の組み合わせの中から選択されます。MAX1110およびMAX1111のチャンネル設定は、それぞれ表1および表2を参考にしてください。

差動モードでは、IN-とIN+がどちらかのアナログ入力に内部でスイッチされます。この構成ではIN+の信号だけがサンプリングされるため、疑似差動と呼ばれています。リターン側(IN-)は、変換中AGNDに対して ± 0.5 LSB (最良の結果を得るには ± 0.1 LSB)以内で安定している必要があります。これを実現するには、(選択したアナログ入力の) IN-とAGNDの間に0.1 μ Fのコンデンサを接続してください。

アキュイジション期間中は、正入力(IN+)として選択されたチャネルによって、コンデンサC_{HOLD}が充電されます。

アキュイジション期間は2 SCLKサイクル間続き、入力制御ワードの最後のビットが入力された後のSCLKの立下がりエッジで完了します。アキュイジション期間の終了時にT/Hスイッチが開き、C_{HOLD}の電荷をIN+の信号のサンプルとして保持します。変換期間は、入力マルチプレクサがC_{HOLD}を正入力(IN+)から負入力(IN-)にスイッチングした時から始まります。シングルエンドモードにおけるIN-はCOMになります。このため、コンパレータの入力におけるノードZEROが不平衡になります。変換サイクルの残りの時間で、容量性DACによってノードZEROが8ビット分解能の制限範囲で0Vに調節されます。この動作は、18pF x (V_{IN+} - V_{IN-})の電荷をC_{HOLD}からバイナリ重み付の容量性DACに移すことと等価です。この結果、アナログ入力信号のデジタル表示が生成されます。

トラック/ホールド

T/Hは、8ビット制御バイトの6番目のビットがシフトインされた後の立下がりクロックエッジでトラッキングモードに入り、制御バイトの8番目のビットがシフトインされた後の立下がりクロックエッジでホールドモードに入ります。コンバータがシングルエンド入力用に設定されている場合は、IN-がCOMに接続され、コンバータは「+」入力をサンプリングします。コンバータが差動入力用に設定されている場合は、IN-が「-」入りに接続され、差(IN+ - IN-)がサンプリングされます。変換完了時に正入力(+)が再びIN+に接続され、C_{HOLD}は入力信号電圧まで充電されます。

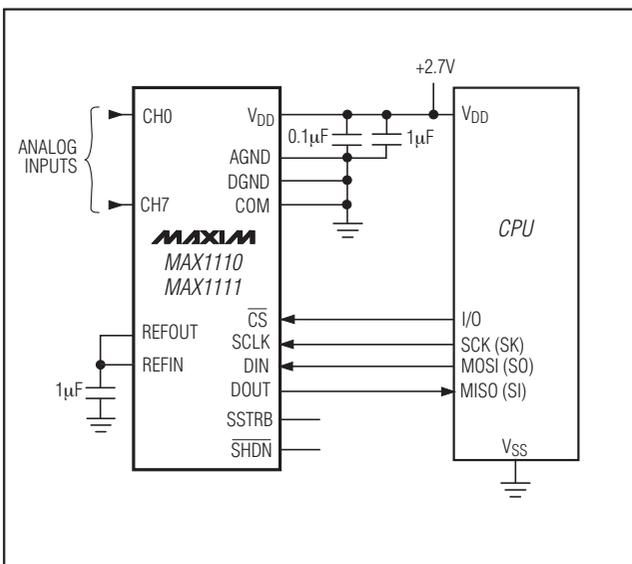


図3. 標準動作回路

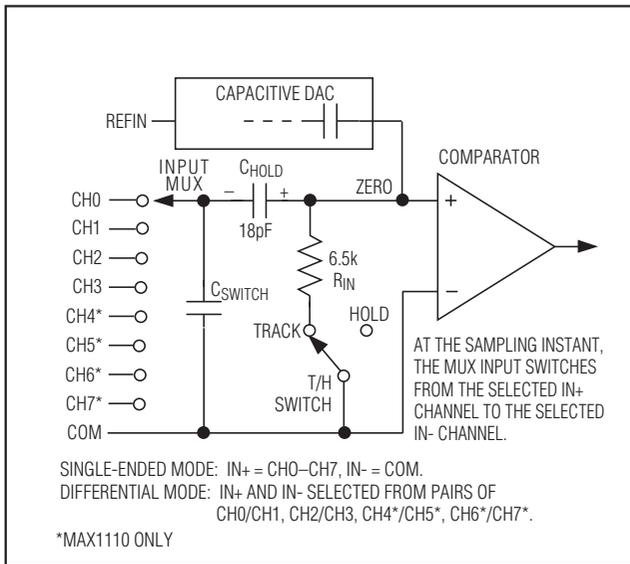


図4. 等価入力回路

+2.7V、低電力、マルチチャネル、シリアル8ビットADC

表1a. MAX1110のシングルエンドモードにおけるチャネル選択(SGL/DIF = 1)

SEL2	SEL1	SEL0	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7	COM
0	0	0	+								-
1	0	0		+							-
0	0	1			+						-
1	0	1				+					-
0	1	0					+				-
1	1	0						+			-
0	1	1							+		-
1	1	1								+	-

表1b. MAX1110の差動モードにおけるチャネル選択(SGL/DIF = 0)

SEL2	SEL1	SEL0	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
0	0	0	+	-						
0	0	1			+	-				
0	1	0					+	-		
0	1	1							+	-
1	0	0	-	+						
1	0	1			-	+				
1	1	0					-	+		
1	1	1							-	+

表2a. MAX1111のシングルエンドモードにおけるチャネル選択(SGL/DIF = 1)

SEL2	SEL1	SEL0	CH0	CH1	CH2	CH3	COM
0	0	X	+				-
1	0	X		+			-
0	1	X			+		-
1	1	X				+	-

表2b. MAX1111の差動モードにおけるチャネル選択(SGL/DIF = 0)

SEL2	SEL1	SEL0	CH0	CH1	CH2	CH3
0	0	X	+	-		
0	1	X			+	-
1	0	X	-	+		
1	1	X			-	+

+2.7V、低電力、マルチチャネル、シリアル8ビットADC

T/Hが入力信号の収集に要する時間は、入力容量が充電される速さの関数です。入力信号のソースインピーダンスが高いとアキュジションタイムが長くなるため、変換と変換の間の時間を長くする必要があります。アキュジションタイム t_{ACQ} は信号の収集に必要な最低時間です。 t_{ACQ} は、次式で求めます。

$$t_{ACQ} = 6 \times (R_S + R_{IN}) \times 18pF$$

ここで、 $R_{IN} = 6.5k\Omega$ 、 R_S = 入力信号のソースインピーダンス、そして t_{ACQ} は必ず $1\mu s$ 以上です。ソースインピーダンスが $2.4k\Omega$ 以下であれば、ADCのAC性能に大きな影響はありません。

入力帯域幅

ADCの入力トラッキング回路の小信号帯域幅は1.5MHzであるため、高速の過渡現象をデジタル化し、アンダーサンプリング技法を使用することによって帯域幅がADCのサンプリングレート以上の周期信号を測定することができます。高周波信号が計測する周波数帯域にエイリアシングしてくるのを防ぐために、アンチエイリアシングフィルタリングをお勧めします。

アナログ入力

内部保護ダイオードによってアナログ入力は V_{DD} とAGNDにクランプされているため、チャンネル入力ピンは $(AGND - 0.3V) \sim (V_{DD} + 0.3V)$ の範囲で損傷を起こすことなくスイングすることができます。しかし、フル

スケール付近で正確な変換を行うには、入力は V_{DD} を50mV以上超えたり、AGNDを50mV以上下回ることがないようにします。

アナログ入力が電源を50mV以上超える場合には、オフチャネルの保護ダイオードに2mA以上の順方向バイアスをかけないでください。

MAX1110/MAX1111は、制御バイトのビット2とビット3によって差動またはシングルエンド入力用に設定することができます(表3)。シングルエンドモードにおけるアナログ入力は内部でCOMを基準としており、フルスケール入力範囲はCOMから $V_{REFIN} + COM$ となります。バイポーラ動作の場合は、COMを $V_{REFIN} / 2$ に設定してください。

差動モードの場合、ユニポーラモードを選択すると差動入力範囲は $0V \sim V_{REFIN}$ になります。ユニポーラモードでは、負の差動入力電圧が印加されると出力コードは無効(コードゼロ)になります。バイポーラモードでは差動入力範囲は $\pm V_{REFIN} / 2$ に設定されます。このモードでは、入力同相範囲に両電源電圧が含まれます。入力電圧範囲については、表4を参照してください。

性能チェック回路

MAX1110/MAX1111のアナログ性能を迅速に評価するには、図5の回路を使用してください。MAX1110/MAX1111では、各変換の前に制御バイトをDINに書き込む必要があります。DINを+3Vに接続すると、

表3. 制御バイトフォーマット

BIT 7 (MSB)	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0 (LSB)
START	SEL2	SEL1	SEL0	UNI/BIP	SGL/DIF	PD1	PD0

BIT	NAME	DESCRIPTION
7 (MSB)	START	The first logic "1" bit after \overline{CS} goes low defines the beginning of the control byte.
6 5 4	SEL2 SEL1 SEL0	Select which of the input channels are to be used for the conversion (Tables 1 and 2).
3	UNI/BIP	1 = unipolar, 0 = bipolar. Selects unipolar or bipolar conversion mode. Select differential operation if bipolar mode is used. See Table 4.
2	SGL/DIF	1 = single ended, 0 = differential. Selects single-ended or differential conversions. In single-ended mode, input signal voltages are referred to COM. In differential mode, the voltage difference between two channels is measured. See Tables 1 and 2.
1	PD1	1 = fully operational, 0 = power-down. Selects fully operational or power-down mode.
0 (LSB)	PD0	1 = external clock mode, 0 = internal clock mode. Selects external or internal clock mode.

+2.7V、低電力、マルチチャネル、シリアル8ビットADC

MAX1110/MAX1111

表4. フルスケールおよびゼロスケール電圧

UNIPOLAR MODE		BIPOLAR MODE		
Full Scale	Zero Scale	Positive Full Scale	Zero Scale	Negative Full Scale
VREFIN + COM	COM	+VREFIN / 2 + COM	COM	-VREFIN / 2 + COM

\$FF (hex)という制御バイトが書き込まれます。これは、変換と変換の間にパワーダウンのない外部クロックモードのCH7 (MAX1110)またはCH3 (MAX1111)のシングルエンドのユニポーラ変換をトリガします。外部クロックモードでは、8ビット変換結果の最上位ビットがDOUTからシフトアウトされる前に、SSTRB出力が2クロック周期の間ハイパルスになります。アナログ入力を変化させると出力コードが変わります。1変換当たり合計10クロックサイクルが必要です。SSTRBとDOUT出力の偏移は、SCLKの立下がりエッジで起こります。

変換開始方法

変換は、制御バイトをDINにクロックインすることによって開始されます。 \overline{CS} がローの場合、SCLKの各立上がりエッジ毎にDINからMAX1110/MAX1111の内部シフトレジスタへ1ビットずつクロックインされます。 \overline{CS} が下がった後で最初に来たDINにおけるロジック「1」

のビットが制御バイトのMSBを定義します。この最初のスタートビットが来るまでは、ロジック「0」のビットがいくつDINにクロックインされても一切影響はありません。表3に、制御バイトのフォーマットを示します。

MAX1110/MAX1111は、MICROWIRE、SPIおよびQSPI機器とコンパチブルです。SPIの場合は、SPI制御レジスタで正しいクロック極性とサンプリングエッジを選択してください(CPOL = 0およびCPHA = 0に設定)。MICROWIRE、SPIおよびQSPIは、いずれもバイトの送信とバイトの受信を同時に行います。標準動作回路(図3)を使用した場合、最もシンプルなソフトウェアインタフェースでは8ビット転送を3回行うことによって変換が行えます(1回の8ビット転送でADCを設定し、残り2回の8ビット転送で8ビット変換結果をクロックアウトします)。図6に、MAX1110/MAX1111に共通なシリアルインタフェースの接続を示します。

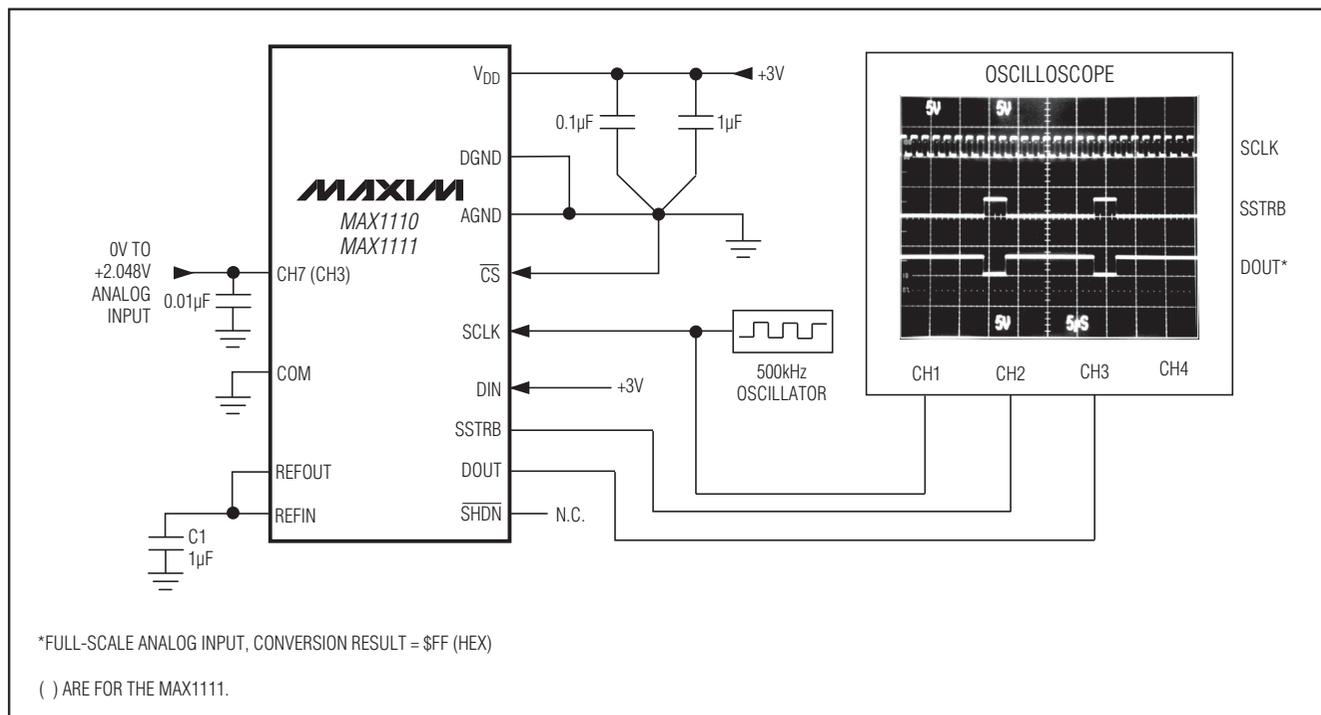


図5. 性能チェック回路

+2.7V、低電力、マルチチャンネル、 シリアル8ビットADC

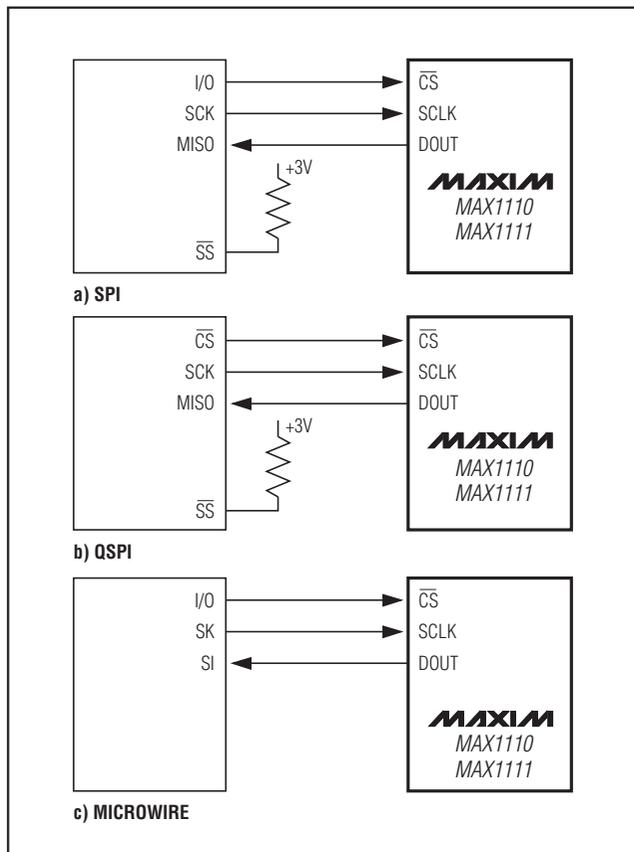


図6. MAX1110とMAX1111に共通なシリアルインタフェースの接続

シンプルなソフトウェアインタフェース

CPUがシリアルクロックを発生するように、CPUのシリアルインタフェースがマスターモードで動作していることを確認してください。クロック周波数は、50kHz~500kHzの範囲で選択してください。

- 1) 制御バイトを外部クロックモードに設定し、これをTB1と呼びます。TB1のフォーマットは、バイナリの1XXXX11になります。ここで、Xは選択された特定のチャンネルおよび変換モードを意味します。
- 2) CPUの汎用I/Oラインを使用して、MAX1110/MAX1111のCSをローにします。
- 3) TB1を送信し、同時にバイトを受信します。受信したバイトをRB1と呼びます。RB1は無視します。
- 4) 全てゼロで構成されるバイト(\$00 hex)を送信し、同時にバイトRB2を受信します。
- 5) 全てゼロで構成されるバイト(\$00 hex)を送信し、同時にバイトRB3を受信します。
- 6) CSをハイにします。

図7に、このシーケンスのタイミングを示します。バイトRB2とRB3は、先頭のゼロ2個と後続ビットの6個のゼロに挟まれた変換結果を含んでいます。総変換時間は、シリアルクロック周波数と8ビット転送間のアイドル時間の関数です。T/Hが過剰にドループするのを防ぐために、総変換時間が1msを超えないようにしてください。

デジタル入力

CS、SCLKおよびDINは、電源電圧に関係なく最大5.5Vまでの入力信号を許容します。これによって、MAX1110/MAX1111は3Vと5Vの両方のシステムからデジタル入力を受けることができます。

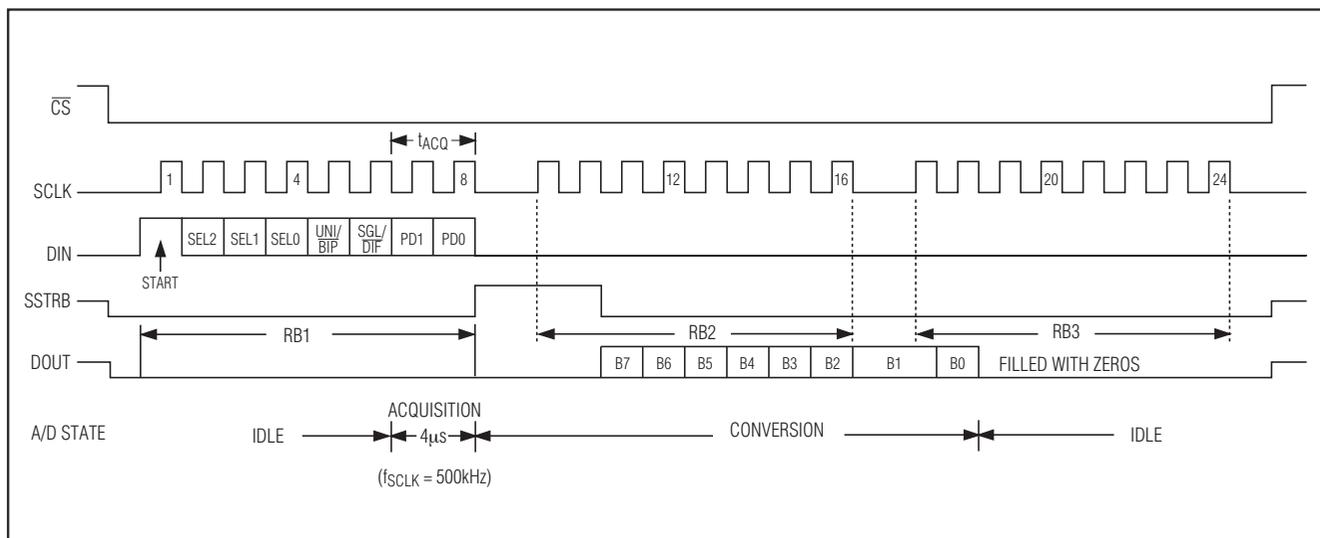


図7. 単一変換のタイミング(外部クロックモード、24クロック)

+2.7V、低電力、マルチチャネル、シリアル8ビットADC

MAX1110/MAX1111

デジタル出力

ユニポーラ入力モードでは、出力はストレートバイナリです(図15)。バイポーラ入力の場合、出力は2の補数になります(図16)。データは、SCLKの立下がりエッジで、MSBを先頭にクロックアウトされます。

クロックモード

MAX1110/MAX1111では、外部シリアルクロックまたは内部クロックのいずれかを使用することで、逐次比較型変換を行うことができます。どちらのクロックモードの場合も、外部クロックがデバイスからデータをシフトイン/アウトします。制御バイトのビットPDOによってクロックモードがプログラムされます。図8~11に、両方のモードに共通するタイミング特性を示します。

外部クロック

外部クロックモードでは、外部クロックはデータをシフトイン/アウトするだけでなく、A/D変換ステップの駆動

も行います。SSTRBは制御バイトの最後のビットの後で、2クロック周期の間ハイパルスになります。逐次比較用のビット決定は、それに続く8個のSCLKの立下がりエッジでそれぞれ行われ、DOUTに出力されます(図7)。8個のデータビットがクロックアウトされた後、クロックパルスはDOUTピンからゼロをクロックアウトします。

\overline{CS} がハイになると、SSTRBとDOUTはハイインピーダンス状態になります。そして、その次の \overline{CS} の立下がりエッジでSSTRBはロジックローを出力します。図9に、外部クロックモードにおけるSSTRBのタイミングを示します。

変換は、1ms以内に完了する必要があります。完了しない場合は、サンプルアンドホールドコンデンサのドレップによって変換結果が悪化することがあります。シリアルクロック周波数が50kHz以下の場合やシリアルクロックの割込みによって変換周期が1msを超える可能性がある場合は、内部クロックモードを使用してください。

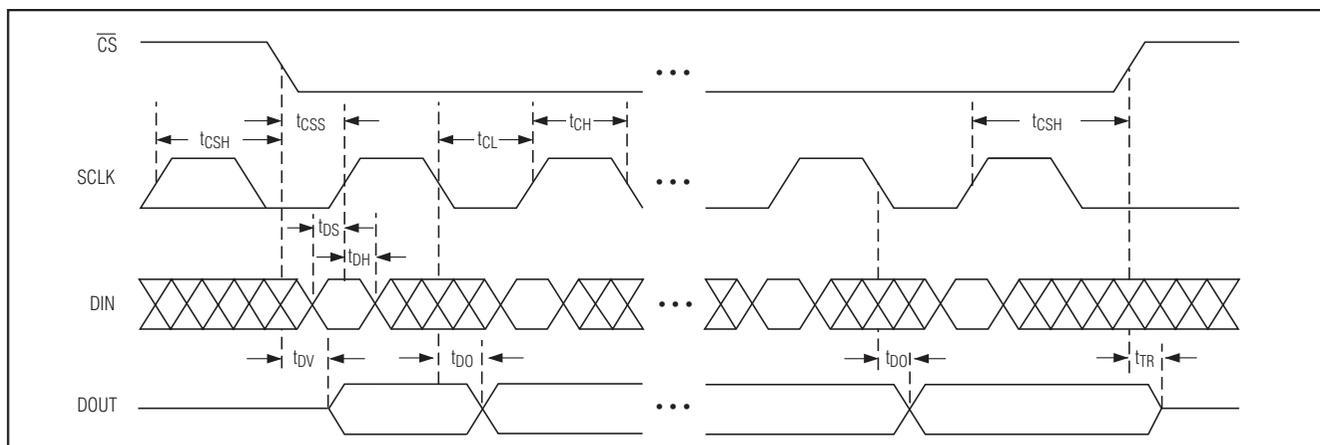


図8. シリアルインタフェースの詳細タイミング

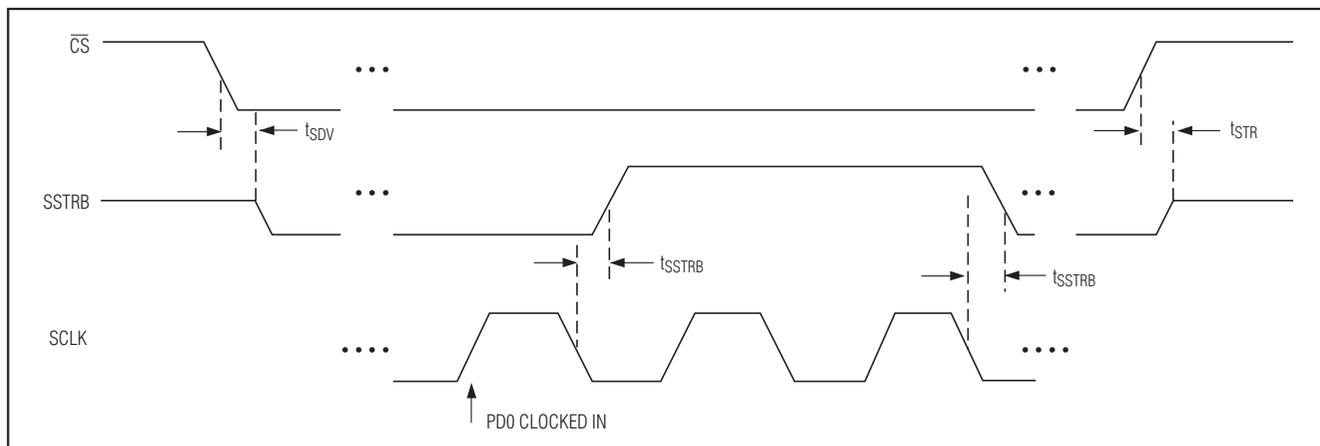


図9. 外部クロックモードでのSSTRBの詳細タイミング

+2.7V、低電力、マルチチャネル、シリアル8ビットADC

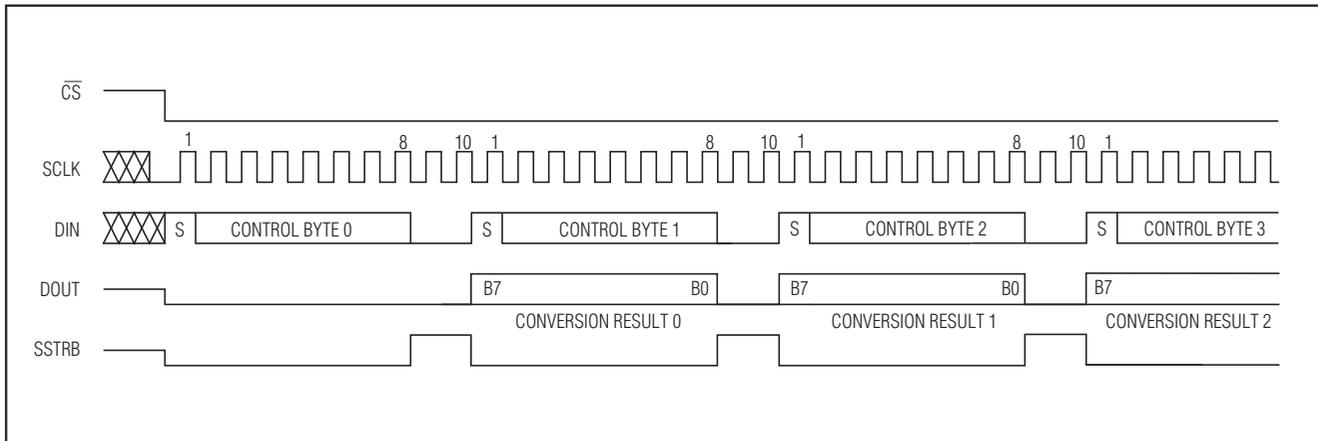


図12a. 外部クロックモードでの連続変換(10クロック/変換タイミング)

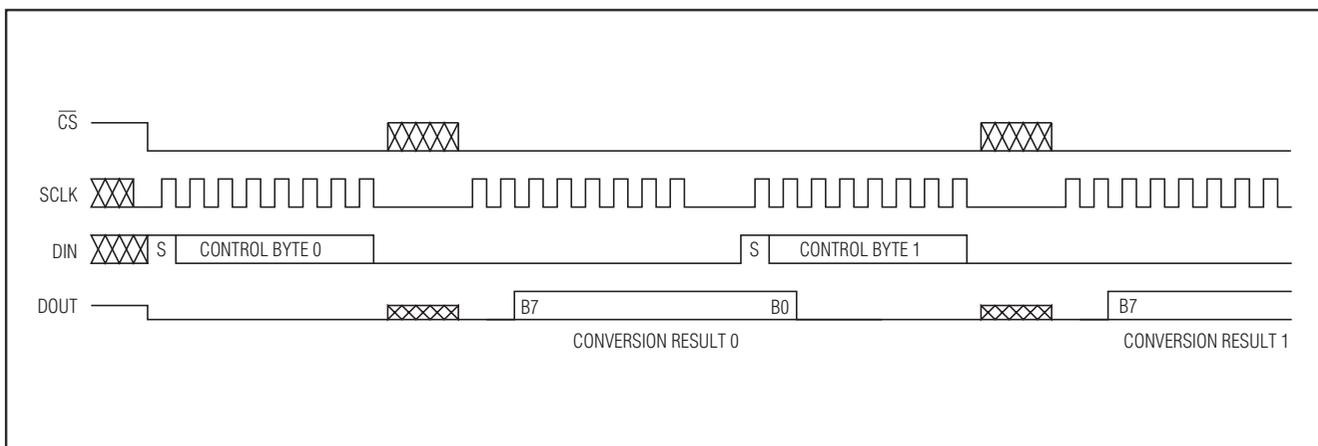


図12b. 外部クロックモードでの連続変換(16クロック/変換タイミング)

データフレーミング

\overline{CS} の立下がりエッジでは、変換は開始されません。DINにクロックインされる最初のロジックハイがスタートビットとして解釈され、これが制御バイトの最初のビットとなります。変換は制御バイトの8番目のビット(PD0ビット)がDINにクロックインされた後のSCLKの立下がりエッジで開始されます。スタートビットは以下のように定義されます。

コンバータがアイドル状態である任意の時間(例えば V_{DD} が印加された後)に、 \overline{CS} がローの状態にDINにクロックインされた最初のハイビット。

または

進行中の変換のMSBがDOUTピンにクロックアウトされた後に、DINにクロックインされた最初のハイビット。

現在の変換が完了する前に \overline{CS} がトグルされると、その後初めてDINにクロックインされたハイビットがスタートビットとして認識され、現在の変換は中止され新しい変換が開始されます。

MAX1110/MAX1111が動作できる最高速度は、10クロック/変換です。図12aに、外部クロックモードで10 SCLKサイクル毎に変換を実行するために必要なシリアルインタフェースタイミングを示します。

多くのマイクロコントローラの場合、変換は8個のSCLKクロックの倍数で実行することが必要とされます。従って、マイクロコントローラがMAX1110/MAX1111を動作させる最高速度は通常16クロック/変換ということになります。図12bに、外部クロックモードで16 SCLKサイクル毎に変換を実行するために必要なシリアルインタフェースタイミングを示します。

+2.7V、低電力、マルチチャネル、シリアル8ビットADC

アプリケーション情報

パワーオンリセット

最初に電源が入った時に $\overline{\text{SHDN}}$ がローでない場合は、内部パワーオンリセット回路によってMAX1110/MAX1111は内部クロックモードで起動されます。SSTRBはパワーアップ時にはハイで、 $\overline{\text{CS}}$ がローの場合は、DINの最初のロジック「1」がスタートビットと見なされます。DOUTは、変換が行われるまではゼロをシフトアウトします。リファレンス電圧が安定するまでは変換を行わないでください ([Electrical Characteristics (電気的特性)]を参照)。

パワーダウン

最大サンプリングレートよりも遅いスピードで動作している場合、MAX1110/MAX1111の自動パワーダウンモードによって変換と変換の間にコンバータは低電流のシャットダウン状態になるため、電力が節約されます。図13に、平均消費電流をサンプリングレートの関数として示します。

パワーダウンを選択するには、 $\overline{\text{SHDN}}$ がハイまたはフローティングの状態にDIN制御バイトのPD1を使用します (表3)。 $\overline{\text{SHDN}}$ をローにすることによって、いつでもコンバータを完全にシャットダウンすることができます。 $\overline{\text{SHDN}}$ は、制御バイトのPD1より優先します。図14aと図14bに、外部および内部クロックモード時の様々なパワーダウンシーケンスを示します。

ソフトウェアのパワーダウン

制御バイトのビットPD1を使用することによって、ソフトウェアのパワーダウンを起動することができます。ソフトウェアのパワーダウンがアサートされると、変換が完了するまでADCは最後に指定されたクロックモードで動作し続けます。その後、ADCはパワーダウンし、低自己消費電流状態になります。内部クロックモードでは、MAX1110/MAX1111がソフトウェアのパワーダウンに入った後もインタフェースはアクティブ状態を保ち、変換結果をクロックアウトすることができます。

DINの最初のロジック「1」がスタートビットと見なされ、これによってMAX1110/MAX1111がパワーアップします。DINバイトにPD1 = 1が含まれていると、チップは

表5. ハード配線によるパワーダウンと内部リファレンス状態

SHDN STATE	DEVICE MODE	INTERNAL REFERENCE
1	Enabled	Disabled
Floating	Enabled	Enabled
0	Power-Down	Disabled

パワーアップ状態に留まります。PD1 = 0の時は変換を1回だけ行い、その後パワーダウンします。

ハード配線のパワーダウン

$\overline{\text{SHDN}}$ ピンをローにすると、コンバータはハード配線のパワーダウン状態に入ります。ソフトウェアのパワーダウンモードとは異なり、変換は完了せずに、 $\overline{\text{SHDN}}$ がローになると同時に停止します。また $\overline{\text{SHDN}}$ は、内部リファレンスの状態も制御します (表5)。 $\overline{\text{SHDN}}$ をフローティング状態にすると、内部2.048V電圧リファレンスがイネーブルされます。 $\overline{\text{SHDN}}$ がフローティングの状態では通常動作に戻るときは、約 $1\text{M}\Omega \times C_{\text{LOAD}}$ の t_{RC} 遅延があります (C_{LOAD} は $\overline{\text{SHDN}}$ ピンでの容量性負荷です)。 $\overline{\text{SHDN}}$ をハイにすると内部リファレンスがディセーブルされ、外部リファレンスを使用する場合には電力を節約することができます。

外部リファレンス

1V~ V_{DD} の外部リファレンスをREFINピンに直接接続してください。REFINのDC入力インピーダンスは非常に高く、リーク電流(10nA typ)のみに起因します。変換中、リファレンスは最大20 μA の平均負荷電流を供給することができ、また変換クロック周波数における出力インピーダンスが1k Ω 以下であることが必要です。リファレンスの出力インピーダンスがこれより大きい場合やノイズが大きい場合は、0.1 μF のコンデンサを使用してREFINピンの近くでバイパスしてください。

MAX1110/MAX1111で外部リファレンスを使用する場合は、 $\overline{\text{SHDN}}$ を V_{DD} に接続して内部リファレンスをディセーブルして、消費電力を削減してください。

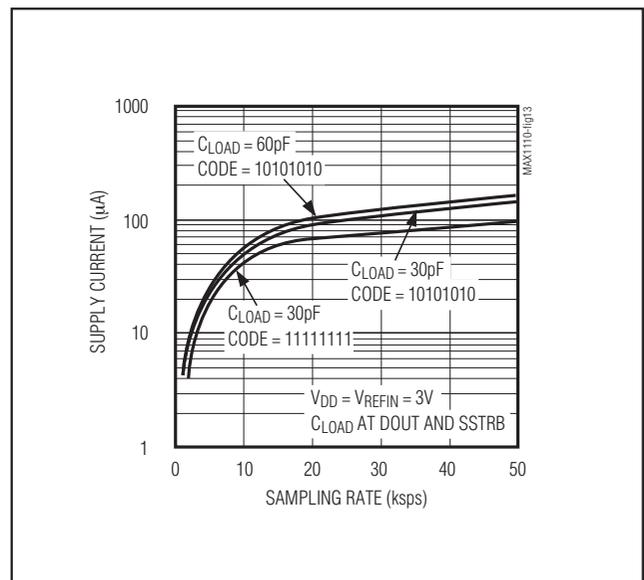


図13. 平均消費電流 対 サンプリングレート

+2.7V、低電力、マルチチャネル、シリアル8ビットADC

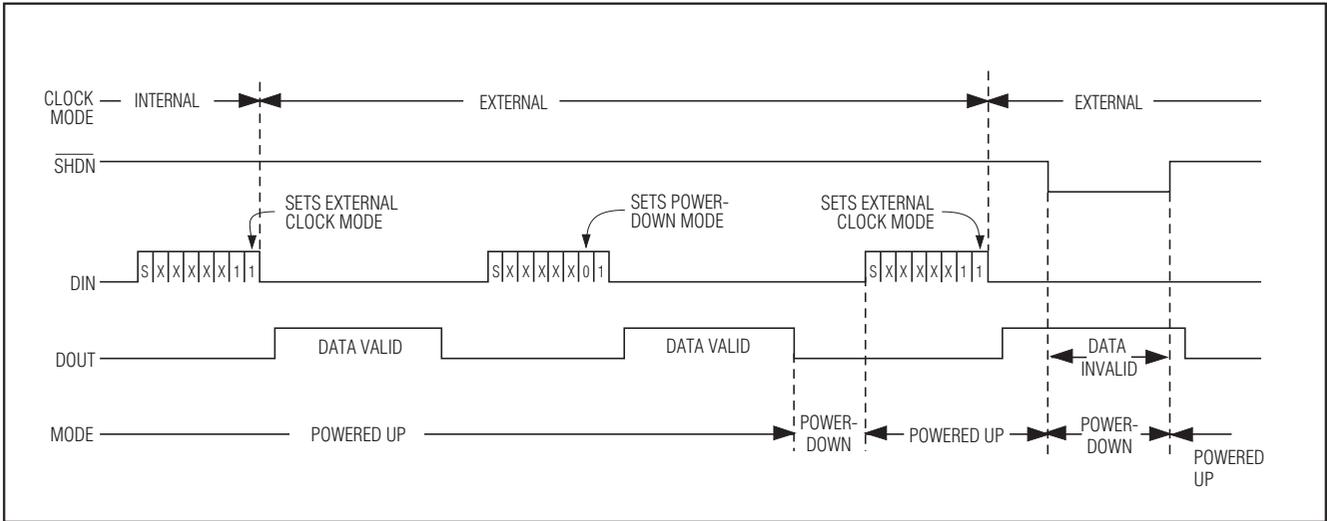


図14a. パワーダウンモード、外部クロック時のタイミング図

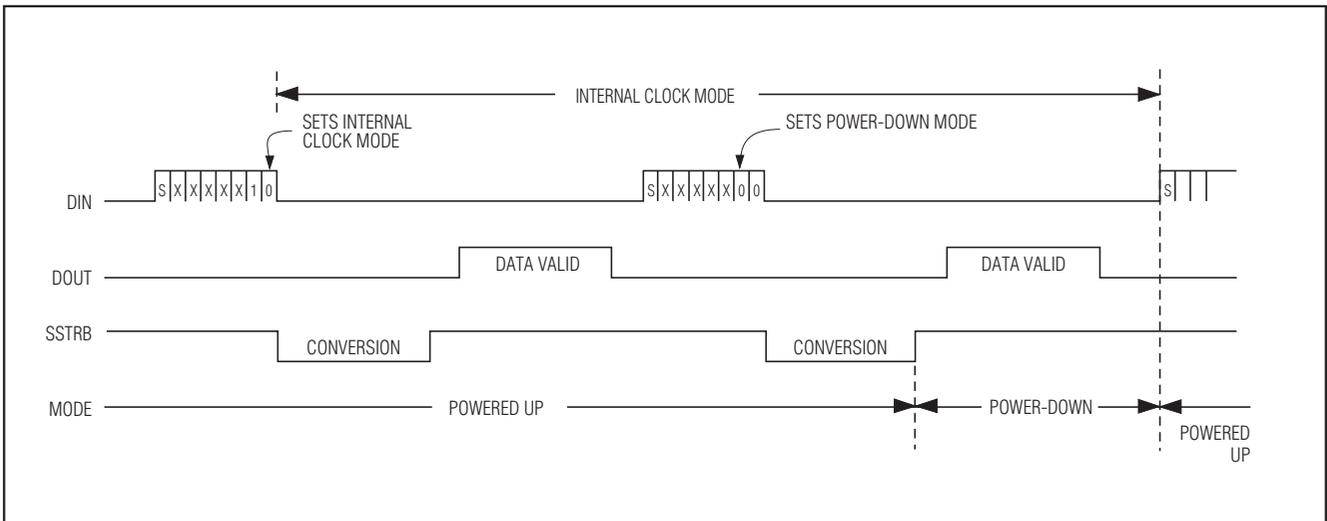


図14b. パワーダウンモード、内部クロック時のタイミング図

内部リファレンス

MAX1110/MAX1111を内部リファレンスで使用するには、REFINをREFOUTに接続してください。内部リファレンスを使用したMAX1110/MAX1111のフルスケール範囲は、ユニポーラ入力で公称2.048V、バイポーラ入力で±1.024Vです。内部リファレンスは、REFINピンのできるだけ近くに配置した1μFのコンデンサでAGNDにバイパスしてください。

伝達関数

表4に、ユニポーラとバイポーラモードでのフルスケール電圧範囲を示します。図15は公称ユニポーラI/O伝達関数、図16はバイポーラI/O伝達関数を示しています(2.048Vリファレンス使用時)。コード遷移は、整数のLSB値のところで起こります。出力コーディングはバイナリで、ユニポーラ動作では1 LSB = 8mV (2.048V/256)、バイポーラ動作では1 LSB = 8mV [(2.048V/2 - -2.048V/2)/256]となります。

+2.7V、低電力、マルチチャネル、シリアル8ビットADC

MAX1110/MAX1111

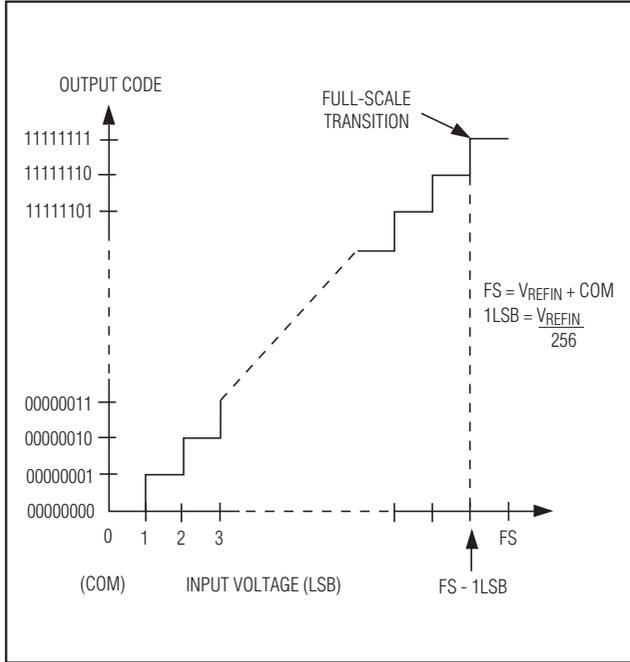


図15. ユニポーラの伝達関数

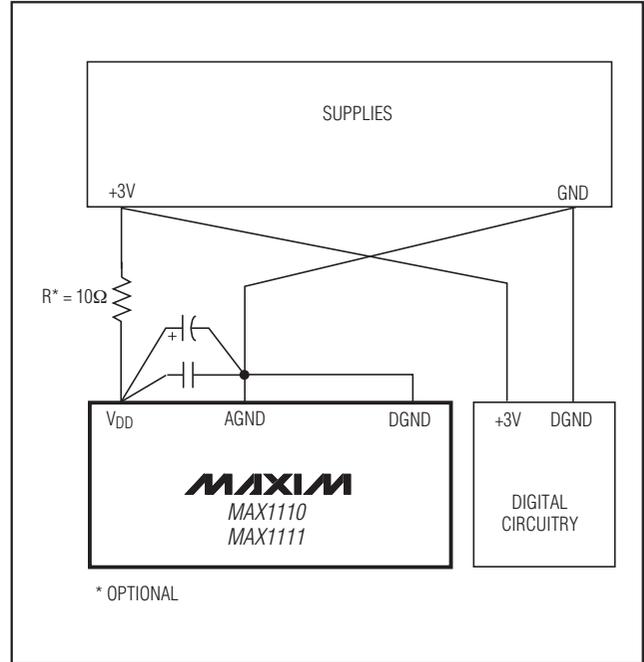


図17. 電源グランド接続図

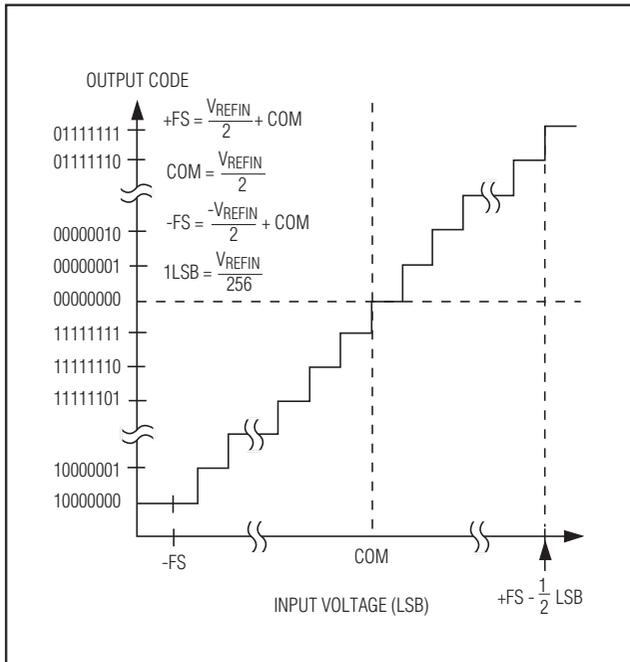


図16. バイポーラの伝達関数

レイアウト、グランド、およびバイパス

最高の性能を得るために、プリント基板を使用してください。ワイヤラップボードはお勧めできません。基板レイアウトについては、デジタルとアナログの信号ラインを分離してください。アナログとデジタル(特にクロック)ラインを互いに平行に走らせないでください。また、デジタルラインがADCパッケージの下に配置されないようにしてください。

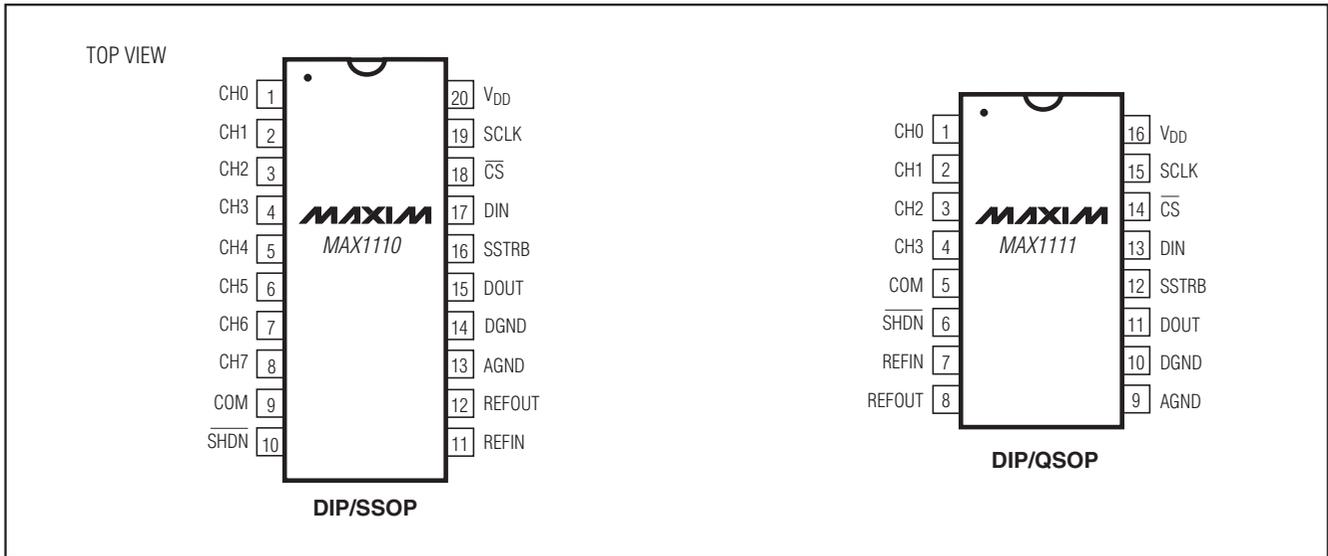
図17に、推奨されるシステムグランド接続法を示します。ロジックグランドとは別に、シングルポイントのアナロググランド(スターグランドポイント)をAGNDのところを設定し、その他のアナロググランドおよびDGNDは全てこのスターグランドに接続してください。その他デジタルシステムのグランドはこのスターグランドに接続しないでください。ノイズを排除するために、このグランドから電源へのグランドリターンはできるだけ短くすると共に、低インピーダンスにしてください。

V_{DD} 電源内の高周波ノイズがADCのコンパレータに影響を与える可能性があります。MAX1110/MAX1111の V_{DD} ピンに近いところで、 $0.1\mu\text{F}$ と $1\mu\text{F}$ のコンデンサを使用して、電源をスターグランドにバイパスしてください。最高の電源ノイズ除去を得るために、コンデンサのリード線はできるだけ短くしてください。+3V電源のノイズが特に大きい場合は、 10Ω 抵抗をローパスフィルタとして接続することができます。

+2.7V、低電力、マルチチャネル、シリアル8ビットADC

MAX1110/MAX1111

ピン配置



型番(続き)

PART	TEMP RANGE	PIN-PACKAGE
MAX1110EPP	-40°C to +70°C	20 Plastic DIP
MAX1110EAP	-40°C to +70°C	20 SSOP
MAX1110MJP	-55°C to +70°C	20 CERDIP**
MAX1111CPE	0°C to +70°C	16 Plastic DIP
MAX1111CEE	0°C to +70°C	16 QSOP
MAX1111EPE	-40°C to +70°C	16 Plastic DIP
MAX1111EEE	-40°C to +70°C	16 QSOP
MAX1111EEE/V+	-40°C to +70°C	16 QSOP
MAX1111MJE	-55°C to +70°C	16 CERDIP**

**入手性についてはお問い合わせください。
/Vは車載認定製品を表します。

チップ情報

TRANSISTOR COUNT: 1996

SUBSTRATE CONNECTED TO DGND

パッケージ

最新のパッケージ図面情報およびランドパターンは、japan.maxim-ic.com/packagesを参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点に注意してください。

パッケージタイプ	パッケージコード	ドキュメントNo.
20 Plastic DIP	P20-3	21-0043
20 SSOP	A20-1	21-0056
20 CERDIP	J20-2	21-0045
16 Plastic DIP	P16-1	21-0043
16 QSOP	E16-1	21-0055
16 CERDIP	J16-3	21-0045

+2.7V、低電力、マルチチャネル、 シリアル8ビットADC

MAX1110/MAX1111

改訂履歴

版数	改訂日	説明	改訂ページ
3	2/10	データシートに車載認定品を追加。	19

マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maximは完全にMaxim製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maximは随時予告なく回路及び仕様を変更する権利を留保します。

20 _____ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2010 Maxim Integrated Products

MaximはMaxim Integrated Products, Inc.の登録商標です。