

デュアル、6ビット、800Msps ADC、 内蔵広帯域入力アンプ付

概要

MAX105は、同相(I)と直交(Q)のベースバンド信号を高速かつ精密に数値化できるように設計されたデュアル6ビットアナログトゥデジタルコンバータ(ADC)です。MAX105は、IとQ両成分のアナログ信号を800Mspsでデジタル出力に変換するとともに、入力周波数200MHz、積分非線形性(INL)と微分非線形性(DNL)が $\pm 0.25\text{LSB}$ で37dB(標準)の信号対雑音比(SNR)を実現します。MAX105アナログ入力プリアンプは、-0.5dBで400MHz、-3dBで1.5GHzのアナログ入力帯域幅を備えています。チャンネル間のマッチング性能は、通常、ゲインが0.04dB、オフセットが0.1LSB、位相が 0.2° です。動的性能は、200MHzのアナログ入力信号と800MHzのサンプリング速度で信号対雑音+歪み(SINAD)が36.4dBです。完全差動コンパレータとエンコーディング回路が、アウトオブシーケンス誤差を低減し、 10^{16} クロックサイクル当たりわずか1エラーという優れた準安定性能を保証します。

さらに、MAX105には、出力データ転送速度をサンプルクロック速度の1/2まで低下させる内部6:12デマルチプレクサを備えたLVDSデジタル出力があります。データは2の補数形式で出力されます。MAX105は+5Vアナログ電源で動作し、LVDS出力ポートは+3.3Vで動作します。データコンバータの標準的な消費電力は2.6Wです。このデバイスは、エクスポーズドパッド付の80ピンTQFPパッケージで提供され、広温度範囲(-40°C~+85°C)の仕様となっています。MAX105の低速400Mspsバージョンについては、MAX107のデータシートを参照して下さい。

アプリケーション

VSATレシーバ
WLAN
試験計測機器
通信システム

ピン配置はデータシートの最後に記載されています。

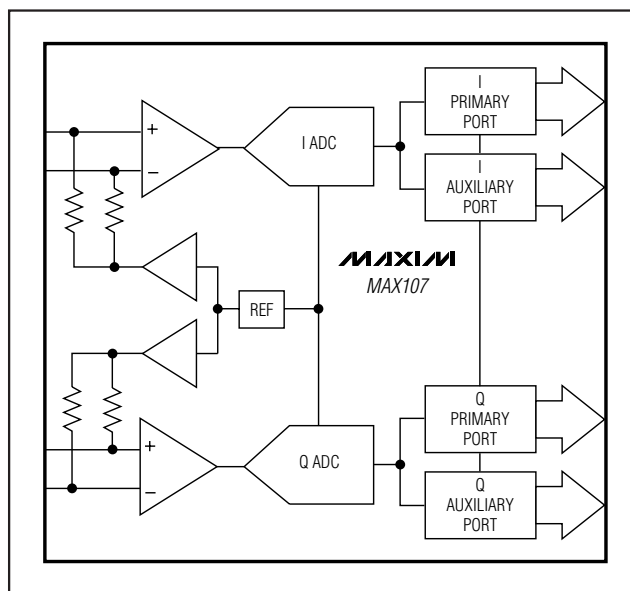
特長

- ◆ 整合した2つの6ビット800Msps ADC
- ◆ 優れた動的性能
 $f_{IN}=200\text{MHz}$ 、 $f_{CLK}=800\text{MHz}$ で36.4dB SINAD
- ◆ 標準INLとDNL： $\pm 0.25\text{LSB}$
- ◆ チャンネル間の位相整合： $\pm 0.2^\circ$
- ◆ チャンネル間のゲイン整合： $\pm 0.04\text{dB}$
- ◆ 6:12デマルチプレクサがデータ転送速度を400MHzに低減
- ◆ 低い誤差発生率：800Mspsにて 10^{16} 準安定状態
- ◆ 2の補数形式のLVDSデジタル出力

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX105ECS	-40°C to +85°C	80-Pin TQFP-EP

ブロックダイアグラム



デュアル、6ビット、800Msps ADC、 内蔵広帯域入力アンプ付

ABSOLUTE MAXIMUM RATINGS

AVCC, AVCCl, AVCCQ and AVCCR to AGND-0.3V to +6V
 OVCCl and OVCCQ to OGND-0.3V to +4V
 AGND to OGND-0.3V to +0.3V
 P0I± to P5I± and A0I± to A5I±
 DREADY+, DREADY- to OGNDI-0.3V to OVCCl+0.3V
 P0Q± to P5Q±, A0Q± to A5Q±
 DOR+ and DOR- to OGNDQ-0.3V to OVCCQ+0.3V
 REF to AGNDR-0.3V to AVCCR+0.3V
 Differential Voltage Between INI+ and INI--2V, +2V
 Differential Voltage Between INQ+ and INQ--2V, +2V

Differential Voltage Between CLK+ and CLK--2V, +2V
 Maximum Current Into Any Pin50mA
 Continuous Power Dissipation (TA = +70°C)
 80-Pin TQFP (derate 44mW/°C above +70°C)3.5W
 Operating Temperature Range
 MAX105ECS-40°C to +85°C
 Junction Temperature+150°C
 Storage Temperature Range-60°C to +150°C
 Lead temperature (soldering, 10s)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(AVCC = AVCCl = AVCCQ = AVCCR = +5V, OVCCl = OVCCQ = +3.3V, AGND = AGNDI = AGNDQ = AGNDR = 0, OGNDI = OGNDQ = 0, fCLK = 802.816MHz, CL = 1μF to AGND at REF, RL = 100Ω ±1% applied to digital LVDS outputs, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY						
Resolution	RES		6			Bits
Integral Nonlinearity (Note 1)	INL		-1	±0.2	1	LSB
Differential Nonlinearity (Note 1)	DNL	No missing codes guaranteed	-1	±0.25	1	LSB
Offset Voltage	VOS	(Note 2)	-1	±0.25	1	LSB
Offset Matching Between ADCs	OM	(Note 2)	-0.5	±0.1	0.5	LSB
ANALOG INPUTS (INI+, INI-, INQ+, INQ-)						
Input Open-Circuit Voltage	VAOC		2.4	2.5	2.6	V
Input Open-Circuit Voltage Matching		(VINI+ - VIN-) - (VINQ+ - VINQ-)			±7.5	mV
Common Mode Input Voltage Range (Note 3)	VCM	Signal + Offset w.r.t. AGND	1.85		3.05	V
Full-Scale Analog Input Voltage Range (Note 4)	VFSR		0.76	0.8	0.84	Vp-p
Input Resistance	RIN		1.7	2		kΩ
Input Capacitance	CIN			1.5		pF
Input Resistance Temperature Coefficient	TCRIN			150		ppm/°C
Full-Power Analog Input BW	FPBW-0.5dB			400		MHz
REFERENCE OUTPUT						
Reference Output Resistance	RREF	Referenced to AGNDR		5		Ω
Reference Output Voltage	√REF	ISOURCE = 500μA	2.45	2.50	2.55	V

デュアル、6ビット、800Msps ADC、 内蔵広帯域入カンプ付

MAX105

ELECTRICAL CHARACTERISTICS (continued)

($AV_{CC} = AV_{CC1} = AV_{CCQ} = AV_{CCR} = +5V$, $OV_{CC1} = OV_{CCQ} = +3.3V$, $AGND = AGND1 = AGNDQ = AGNDR = 0$, $OGND1 = OGNDQ = 0$, $f_{CLK} = 802.816MHz$, $C_L = 1\mu F$ to AGND at REF, $R_L = 100\Omega \pm 1\%$ applied to digital LVDS outputs, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
CLOCK INPUTS (CLK+, CLK-)							
Clock Input Resistance	R _{CLK}	CLK+ and CLK- to AGND		5			kΩ
Clock Input Resistance Temperature Coefficient	TCR _{CLK}			150			ppm/°C
Minimum Clock Input Amplitude				500			mV _{p-p}
LVDS OUTPUTS (P0I± TO P5I±, P0Q± TO P5Q±, A0I± TO A5I±, A0Q± TO A5Q±, DREADY+, DREADY-, DOR+, DOR-)							
Differential Output Voltage	V _{OD}			247		400	mV
Change in Magnitude of V _{OD} Between “0” and “1” States	Δ V _{OD}			±25			mV
Steady-State Common Mode Output Voltage	V _{OC(SS)}			1.125		1.375	V
Change in Magnitude of V _{OC} Between “0” and “1” States	Δ V _{OC}			±25			mV
Differential Output Resistance				80		160	Ω
Output Current		Short output together		2.5			mA
		Short to OGNDI = OGNDQ		25			
DYNAMIC SPECIFICATION							
Effective Number of Bits (Note 8)	ENOB	f _{IN} = 200.018MHz at -0.5dB FS (Note 9)	Differential	5.4	5.8		Bits
			Single-ended	5.75			
			f _{IN} = 400.134MHz at -0.5dB FS	Differential	5.65		
Signal-to-Noise Ratio (Notes 10, 11)	SNR	f _{IN} = 200.018MHz at -0.5dB FS (Note 9)	Differential	35	37		dB
			Single-ended	36.7			
			f _{IN} = 400.134MHz at -0.5dB FS	Differential	36.5		
Total Harmonic Distortion (Note 11)	THD	f _{IN} = 200.018MHz at -0.5dB FS (Note 9)	Differential	-44.5		-41	dBc
			Single-ended	-44.5			
			f _{IN} = 400.134MHz at -0.5dB FS	Differential	-41		
Spurious-Free Dynamic Range	SFDR	f _{IN} = 200.018MHz at -0.5dB FS (Note 9)	Differential	41	45		dB
			Single-ended	45			
			f _{IN} = 400.134MHz at -0.5dB FS	Differential	41.5		

デュアル、6ビット、800Msps ADC、 内蔵広帯域入カンプ付

ELECTRICAL CHARACTERISTICS (continued)

($AV_{CC} = AV_{CC1} = AV_{CCQ} = AV_{CCR} = +5V$, $OV_{CC1} = OV_{CCQ} = +3.3V$, $AGND = AGND1 = AGNDQ = AGNDR = 0$, $OGND1 = OGNDQ = 0$, $f_{CLK} = 802.816MHz$, $C_L = 1\mu F$ to AGND at REF, $R_L = 100\Omega \pm 1\%$ applied to digital LVDS outputs, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS	
Signal-to-Noise Plus Distortion Ratio	SINAD	f _{IN} = 200.018MHz at -0.5dB FS (Note 9)	Differential	34	36.4		dB	
			Single-ended	36.1				
		f _{IN} = 400.134MHz at -0.5dB FS	Differential	35.2				
Two-Tone Intermodulation	TTIMD	f _{IN1} = 124.1660MHz, f _{IN2} = 126.1260MHz at -7dBFS		-52			dBc	
Crosstalk Between ADCs	XTLK	f _{IN1} = 200.0180MHz, f _{INQ} = 210.0140MHz at -0.5dB FS		-70			dB	
Gain Match Between ADCs	GM	(Note 12)		-0.3	±0.04	+0.3	dB	
Phase Match Between ADCs	PM	(Note 12)		-2	±0.2	+2	deg	
Metastable Error Rate				Less than 1 in 10 ¹⁶			Clock Cycles	
POWER REQUIREMENTS								
Analog Supply Voltage	AV _{CC} _	AV _{CC} = AV _{CC} I = AV _{CC} Q = AV _{CC} R		5 ±5%			V	
Digital Supply Voltage	OV _{CC} _	OV _{CC} I = OV _{CC} Q		3.3 ±10%			V	
Analog Supply Current	I _{CC}	I _{CC} = AI _{CC} R + AI _{CC} I + AI _{CC} Q + AI _{CC} C		250	320		mA	
Output Supply Current	OI _{CC}	OI _{CC} = OI _{CC} I + OI _{CC} Q		400	510		mA	
Analog Power Dissipation	P _{DISS}			2.6			W	
Common-Mode Rejection Ratio	CMRR	V _{IN+} = V _{IN-} = ±0.1V (Note 6)		40	60		dB	
Power-Supply Rejection Ratio	PSRR	AV _{CC} = AV _{CC} I = AV _{CC} Q = AV _{CC} R = +4.75V to +5.25V (Note 7)		40	57		dB	
TIMING CHARACTERISTICS								
Maximum Sample Rate	f _{MAX}			800				Msps
Clock Pulse Width Low	t _{PWL}			0.56				ns
Clock Pulse Width High	t _{PWH}			0.56				ns
Aperture Delay	t _{AD}			100			ps	
Aperture Jitter	t _{AJ}			1.5			psRMS	
CLK-to-DREADY Propagation Delay	t _{PD1}	(Note 13)		1.5			ns	
DREADY-to-DATA Propagation Delay	t _{PD2}	(Notes 5, 13)		0	120	300	ps	

デュアル、6ビット、800Msps ADC、 内蔵広帯域入カンプ付

MAX105

ELECTRICAL CHARACTERISTICS (continued)

($V_{CC} = AV_{CC1} = AV_{CCQ} = AV_{CCR} = +5V$, $OV_{CC1} = OV_{CCQ} = +3.3V$, $AGND = AGND1 = AGNDQ = AGNDR = 0$, $OGND1 = OGNDQ = 0$, $f_{CLK} = 802.816MHz$, $C_L = 1\mu F$ to AGND at REF, $R_L = 100\Omega \pm 1\%$ applied to digital LVDS outputs, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DREADY Duty Cycle		(Notes 5, 13)	47		53	%
LVDS Output Rise-Time	t_{RDATA}	20% to 80% (Notes 5, 13)	200		500	ps
LVDS Output Fall-Time	t_{FDATA}	20% to 80% (Notes 5, 13)	200		500	ps
LVDS Differential Skew	t_{SKEW1}	Any differential pair		<65		ps
		Any two LVDS output signals except DREADY		<100		ps
DREADY Rise-Time	$t_{RDREADY}$	20% to 80% (Notes 5, 13)	200		500	ps
DREADY Fall-Time	$t_{FDREADY}$	20% to 80% (Notes 5, 13)	200		500	ps
Primary Port Pipeline Delay	t_{PDP}			5		Clock Cycles
Auxiliary Port Pipeline Delay	t_{PDA}			6		Clock Cycles

Note 1: NL and DNL is measured using a sine-histogram method.

Note 2: Input offset is the voltage required to cause a transition between codes 0 and -1.

Note 3: Numbers provided are for DC-coupled case. The user has the choice of AC-coupling, in which case, the DC input voltage level does not matter.

Note 4: The peak-to-peak input voltage required, causing a full-scale digitized output when using a trigonometric curve-fitting algorithm (e.g. FFT).

Note 5: Guaranteed by design and characterization.

Note 6: Common-mode rejection ratio is defined as the ratio of the change in the offset voltage to the change in the common-mode voltage expressed in dB.

Note 7: Measured with analog power supplies tied to the same potential.

Note 8: Effective number of bits (ENOB) is computed from a curve-fit referenced to the theoretical full-scale range.

Note 9: The clock and input frequencies are chosen so that there are 2041 cycles in an 8,192-long record.

Note 10: Signal-to-noise-ratio (SNR) is measured both with the other channel idling and converting an out-of-phase signal. The worst case number is presented. Harmonic distortion components two through five are excluded from the noise.

Note 11: Harmonic distortion components two through five are included in the total harmonic distortion specification.

Note 12: Both I and Q inputs are effectively tied together (e.g. driven by power splitter). Signal amplitude is -0.5dB FS at an input frequency of $f_{IN} = 200.0180 MHz$.

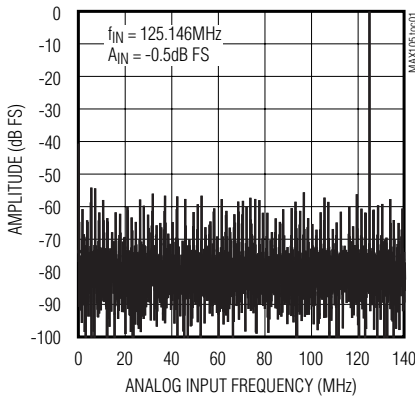
Note 13: Measured with a differential probe, 1pF capacitance.

デュアル、6ビット、800Msps ADC、 内蔵広帯域入力アンプ付

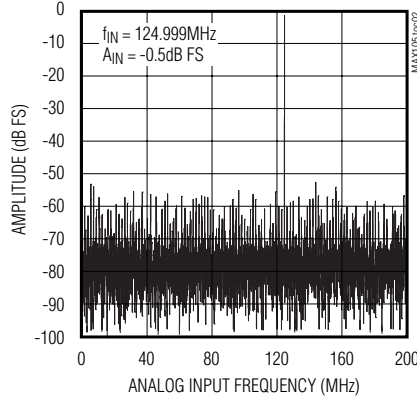
標準動作特性

($AV_{CC} = AV_{CC1} = AV_{CCQ} = AV_{CCR} = +5V$, $OV_{CC1} = OV_{CCQ} = +3.3V$, $AGND = AGND1 = AGNDQ = AGNDR = 0$, $OGND1 = OGNDQ = 0$, $f_{CLK} = 802.816MHz$, differential input at $-0.5dB$ FS, $C_L = 1\mu F$ to $AGND$ at REF , $R_L = 100\Omega \pm 1\%$ applied to digital LVDS outputs, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$)

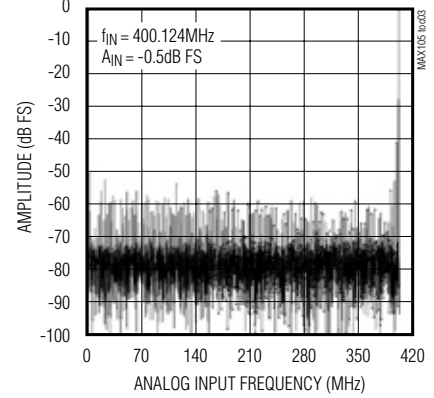
**8192-POINT FFT,
DIFFERENTIAL INPUT**



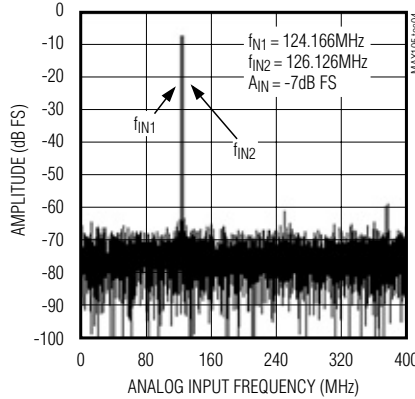
**8192-POINT FFT,
DIFFERENTIAL INPUT**



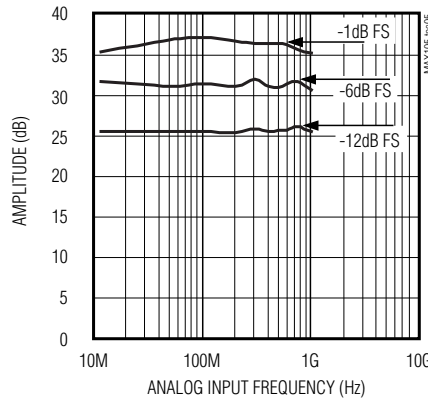
**8192-POINT FFT,
DIFFERENTIAL INPUT**



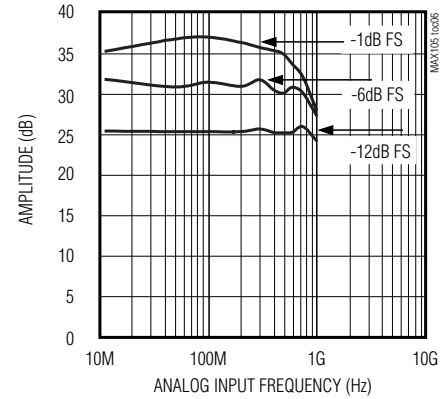
**TWO-TONE IMD (8192-POINT RECORD),
DIFFERENTIAL INPUT**



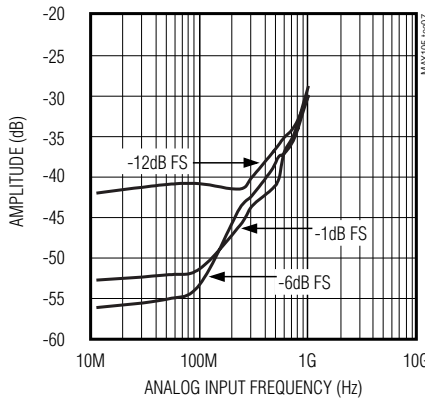
**SNR vs. ANALOG INPUT FREQUENCY,
DIFFERENTIAL INPUT**



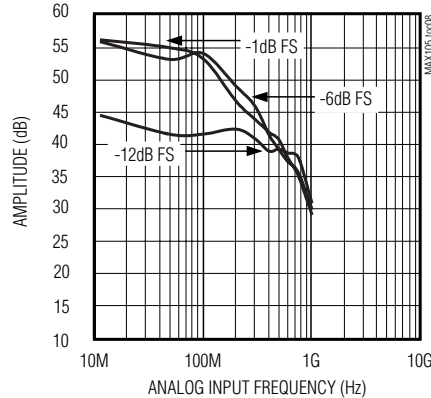
**SINAD vs. ANALOG INPUT FREQUENCY,
DIFFERENTIAL INPUT**



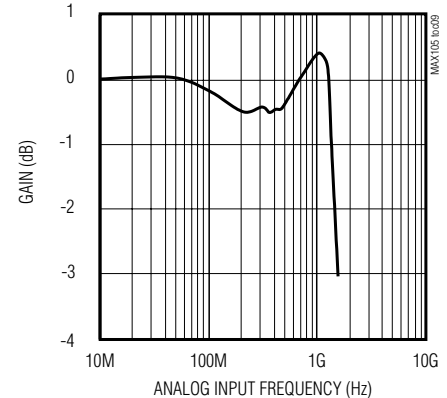
**THD vs. ANALOG INPUT FREQUENCY,
DIFFERENTIAL INPUT**



**SFDR vs. ANALOG INPUT FREQUENCY,
DIFFERENTIAL INPUT**



**FULL-POWER INPUT BANDWIDTH
SINGLE-ENDED INPUT**



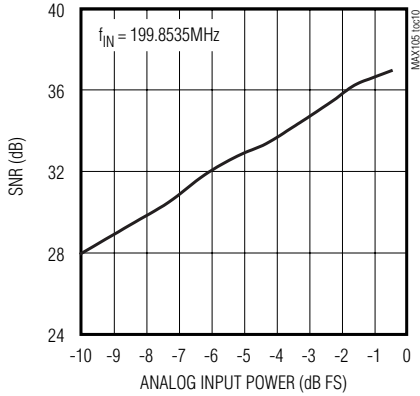
デュアル、6ビット、800Msps ADC、 内蔵広帯域入カンプ付

MAX105

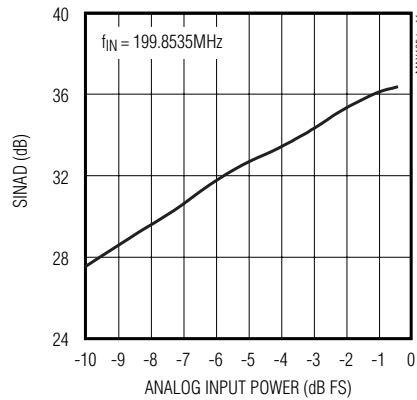
標準動作特性(続き)

($AV_{CC} = AV_{CC1} = AV_{CCQ} = AV_{CCR} = +5V$, $OV_{CC1} = OV_{CCQ} = +3.3V$, $AGND = AGND1 = AGNDQ = AGNDR = 0$, $OGND1 = OGNDQ = 0$, $f_{CLK} = 802.816MHz$, differential input at $-0.5dB$ FS, $C_L = 1\mu F$ to AGND at REF, $R_L = 100\Omega \pm 1\%$ applied to digital LVDS outputs, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$)

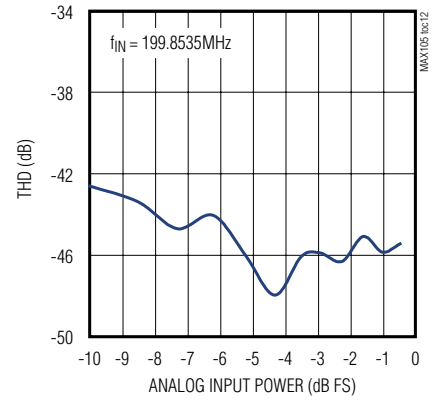
**SNR vs. ANALOG INPUT POWER,
DIFFERENTIAL INPUT**



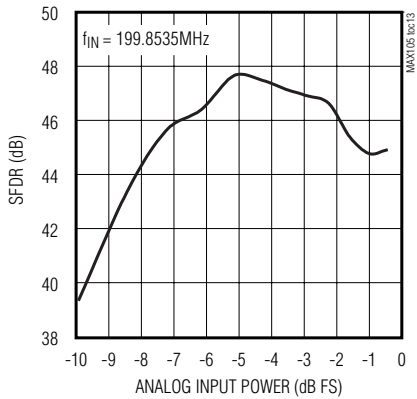
**SINAD vs. ANALOG INPUT POWER,
DIFFERENTIAL INPUT**



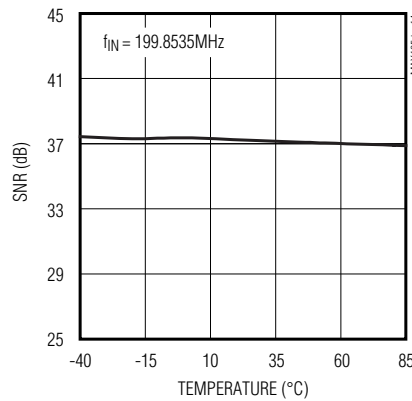
**THD vs. ANALOG INPUT POWER,
DIFFERENTIAL INPUT**



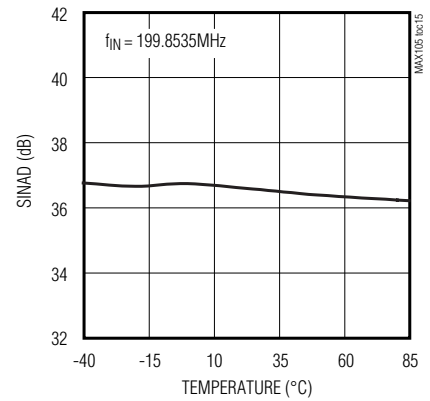
**SFDR vs. ANALOG INPUT POWER,
DIFFERENTIAL INPUT**



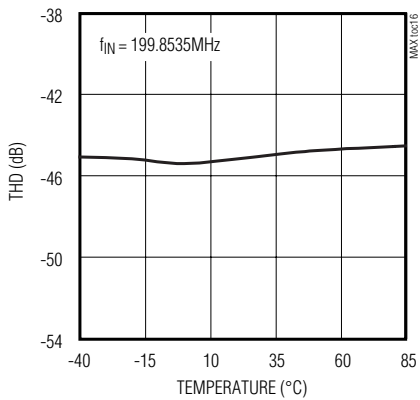
SNR vs. TEMPERATURE



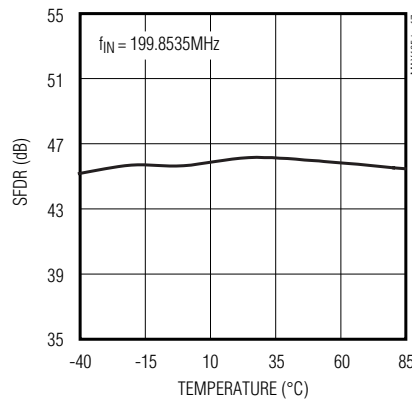
SINAD vs. TEMPERATURE



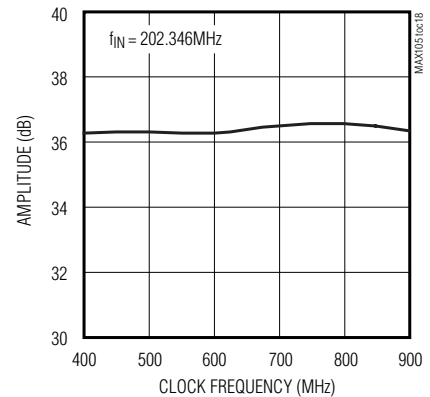
THD vs. TEMPERATURE



SFDR vs. TEMPERATURE



**SNR vs. CLOCK FREQUENCY,
DIFFERENTIAL INPUT (-1dB FS)**

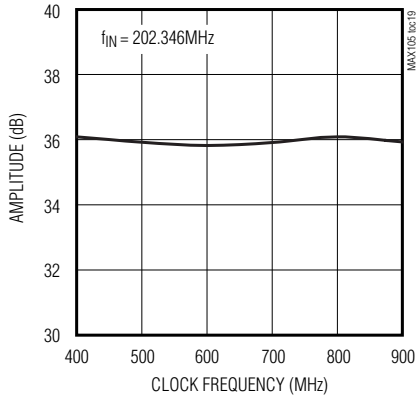


デュアル、6ビット、800Msps ADC、 内蔵広帯域入力アンプ付

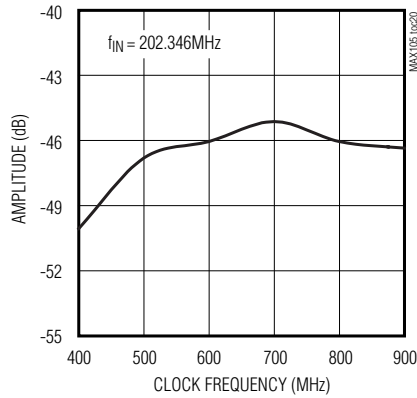
標準動作特性(続き)

($AV_{CC} = AV_{CC1} = AV_{CCQ} = AV_{CCR} = +5V$, $OV_{CC1} = OV_{CCQ} = +3.3V$, $AGND = AGND1 = AGNDQ = AGNDR = 0$, $OGND1 = OGNDQ = 0$, $f_{CLK} = 802.816MHz$, differential input at $-0.5dB FS$, $C_L = 1\mu F$ to $AGND$ at REF , $R_L = 100\Omega \pm 1\%$ applied to digital LVDS outputs, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$)

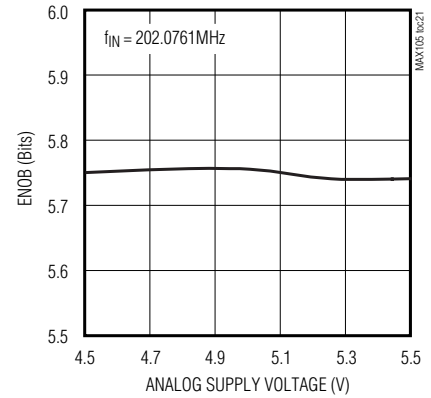
**SINAD vs. CLOCK FREQUENCY,
DIFFERENTIAL INPUT (-1dB FS)**



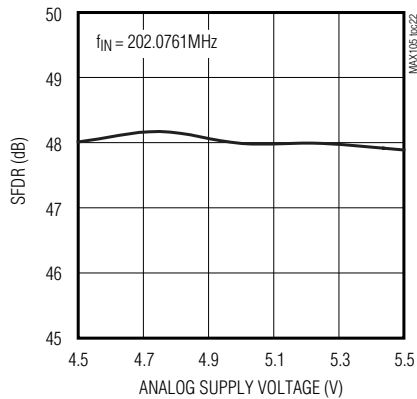
**THD vs. CLOCK FREQUENCY,
DIFFERENTIAL INPUT (-1dB FS)**



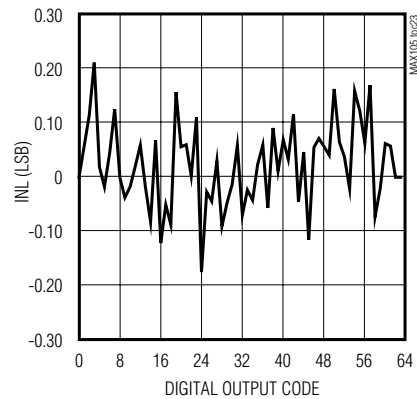
**ENOB vs. ANALOG SUPPLY VOLTAGE,
DIFFERENTIAL INPUT (-1dB FS)**



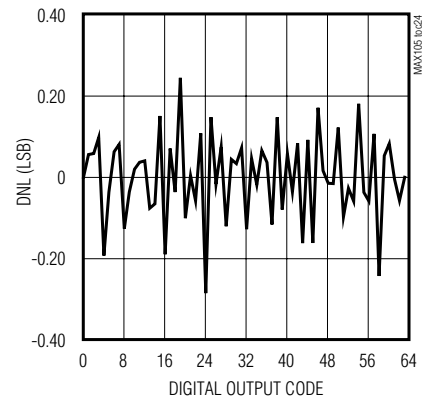
**SFDR vs. ANALOG SUPPLY VOLTAGE,
DIFFERENTIAL INPUT (-1dB FS)**



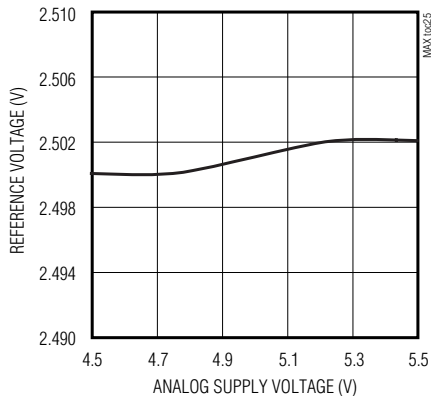
INL vs. DIGITAL OUTPUT CODE



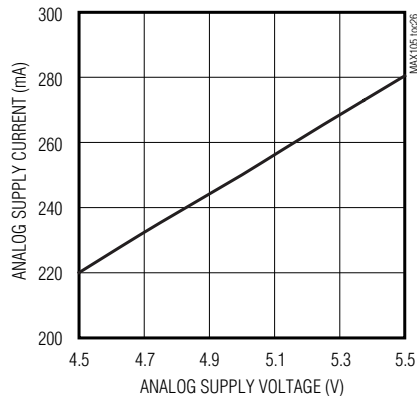
DNL vs. DIGITAL OUTPUT CODE



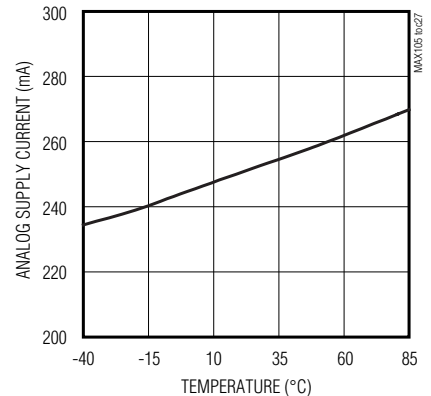
**REFERENCE VOLTAGE vs. ANALOG
SUPPLY VOLTAGE**



**ANALOG SUPPLY CURRENT vs.
ANALOG SUPPLY VOLTAGE**



**ANALOG SUPPLY CURRENT vs.
TEMPERATURE**



デュアル、6ビット、800Msps ADC、 内蔵広帯域入力アンプ付

MAX105

端子説明

端子	名称	機能
1, 20	T.P.	テストポイント。接続しないで下さい。
2	REF	リファレンス出力
3	AVccR	アナログリファレンス電源。内部バンドギャップリファレンスの電源電圧。正しく動作させるために、47pFと並列に0.01μFを接続してAGNDRにバイパスして下さい。
4	AGNDR	リファレンス、アナロググランド。正しく動作させるために、AGNDに接続して下さい。
5, 8	AGNDI	Iチャンネル、アナロググランド。正しく動作させるために、AGNDに接続して下さい。
6	INI-	Iチャンネル、差動入力。負端子。
7	INI+	Iチャンネル、差動入力。正端子。
9	AVccI	Iチャンネル、アナログ電源。Iチャンネルコモンモードバッファ、プリアンプ、量子化器に給電します。正しく動作させるために、47pFと並列に0.01μFを接続してAGNDIにバイパスして下さい。
10	CLK+	サンプリングクロック入力
11	CLK-	コンプリメンタリサンプリングクロック入力
12	AVccQ	Qチャンネル、アナログ電源。Qチャンネルコモンモードバッファ、プリアンプ、量子化器に給電します。正しく動作させるために、47pFと並列に0.01μFを接続してAGNDQにバイパスして下さい。
13, 16	AGNDQ	Qチャンネル、アナロググランド。正しく動作させるために、AGNDに接続して下さい。
14	INQ+	Qチャンネル、差動入力。正端子。
15	INQ-	Qチャンネル、差動入力。負端子。
17, 18	AGND	アナロググランド
19	AVcc	アナログ電源。正しく動作させるために、47pFと並列に0.01μFを接続してAGNDにバイパスして下さい。
21	A5Q+	補助出力データビット5(MSB)、Qチャンネル
22	A5Q-	コンプリメンタリ補助出力データビット5(MSB)、Qチャンネル
23	P5Q+	主出力データビット5(MSB)、Qチャンネル
24	P5Q-	コンプリメンタリ主出力データビット5(MSB)、Qチャンネル
25	A4Q+	補助出力データビット4、Qチャンネル
26	A4Q-	コンプリメンタリ補助出力データビット4、Qチャンネル
27	P4Q+	主出力データビット4、Qチャンネル
28	P4Q-	コンプリメンタリ主出力データビット4、Qチャンネル
29, 35	OVccQ	Qチャンネル出力、デジタル電源。Qチャンネル出力ドライバとDORロジック回路に給電します。正しく動作させるために、47pFと並列に0.01μFを接続してOGNDにバイパスして下さい。
30, 36	OGNDQ	Qチャンネル出力、デジタルグランド。正しく動作させるために、プリント基板上の指定されたデジタルグランド(OGND)に接続して下さい。

デュアル、6ビット、800Msps ADC、 内蔵広帯域入力アンプ付

端子説明(続き)

端子	名称	機能
31	A3Q+	補助出力データビット3、Qチャネル
32	A3Q-	コンプリメンタリ補助出力データビット3、Qチャネル
33	P3Q+	主出力データビット3、Qチャネル
34	P3Q-	コンプリメンタリ主出力データビット3、Qチャネル
37	A2Q+	補助出力データビット2、Qチャネル
38	A2Q-	コンプリメンタリ補助出力データビット2、Qチャネル
39	P2Q+	主出力データビット2、Qチャネル
40	P2Q-	コンプリメンタリ主出力データビット2、Qチャネル
41	A1Q+	補助出力データビット1、Qチャネル
42	A1Q-	コンプリメンタリ補助出力データビット1、Qチャネル
43	P1Q+	主出力データビット1、Qチャネル
44	P1Q-	コンプリメンタリ主出力データビット1、Qチャネル
45	A0Q+	補助出力データビット0(LSB)、Qチャネル
46	A0Q-	コンプリメンタリ補助出力データビット0(LSB)、Qチャネル
47	P0Q+	主出力データビット0(LSB)、Qチャネル
48	P0Q-	コンプリメンタリ主出力データビット0(LSB)、Qチャネル
49	DOR+	コンプリメンタリLVDSアウトオブレンジビット
50	DOR-	LVDSアウトオブレンジビット
51	DREADY-	コンプリメンタリデータレディックロック
52	DREADY+	データレディックロック
53	P0I-	コンプリメンタリ主出力データビット0(LSB)、Iチャネル
54	P0I+	主出力データビット0(LSB)、Iチャネル
55	A0I-	コンプリメンタリ補助出力データビット0(LSB)、Iチャネル
56	A0I+	補助出力データビット0(LSB)、Iチャネル
57	P1I-	コンプリメンタリ主出力データビット1、Iチャネル
58	P1I+	主出力データビット1、Iチャネル
59	A1I-	コンプリメンタリ補助出力データビット1、Iチャネル
60	A1I+	補助出力データビット1、Iチャネル
61	P2I-	コンプリメンタリ主出力データビット2、Iチャネル

デュアル、6ビット、800Msps ADC、 内蔵広帯域入力アンプ付

MAX105

端子説明(続き)

端子	名称	機能
62	P2I+	主出力データビット2、Iチャネル
63	A2I-	コンプリメンタリ補助出力データビット2、Iチャネル
64	A2I+	補助出力データビット2、Iチャネル
65, 72	OVCCI	Iチャネル出力、デジタル電源。Iチャネル出力ドライバとDREADY回路に給電します。正しく動作させるために、47pFと並列に0.01μFを接続してOGNDにバイパスして下さい。
66, 71	OGNDI	Iチャネル出力、デジタルグランド。正しく動作させるために、プリント基板上の指定されたデジタルグランド(OGND)に接続して下さい。
67	P3I-	コンプリメンタリ主出力データビット3、Iチャネル
68	P3I+	主出力データビット3、Iチャネル
69	A3I-	コンプリメンタリ補助出力データビット3、Iチャネル
70	A3I+	補助出力データビット3、Iチャネル
73	P4I-	コンプリメンタリ主出力データビット4、Iチャネル
74	P4I+	主出力データビット4、Iチャネル
75	A4I-	コンプリメンタリ補助出力データビット4、Iチャネル
76	A4I+	補助出力データビット4、Iチャネル
77	P5I-	コンプリメンタリ主出力データビット5、Iチャネル
78	P5I+	主出力データビット5、Iチャネル
79	A5I-	コンプリメンタリ補助出力データビット5、Iチャネル
80	A5I+	補助出力データビット5、Iチャネル

詳細

MAX105は、高速高帯域のI/Q数値化用に設計されたデュアル、+5V、6ビット、800Mspsフラッシュアナログデジタルトウコンバータ(ADC)です。各ADC(図1)は、完全差動の広帯域入力段、6ビット量子化器、ユニークなエンコーディング回路を採用して、準安定状態を1016クロックサイクル当たり1エラー(標準)に制限し、最大1LSBを超える誤差は生じません。集積化6:12出力デマルチプレクサを使用して出力データ転送速度をサンプリングクロック速度の1/2まで低下させることにより、デバイスへのインタフェースを簡素化しています。MAX105は、データをLVDSの2の補数形式で出力します。

MAX105では、800Mspsのクロックを使用した場合、200MHzの入力トーンで36.4dB(標準)の信号対雑音+歪み(SINAD)が発生します。MAX105のアナログ入力は、フルスケール入力範囲が±400mVの差動又はシングルエンドで使用するよう設計されています。さらに、MAX105には内蔵+2.5V精密バンドギャップリファレンスがあり、これはアナログ入力フルスケール範囲を満たすように設計されています。

動作原理

MAX105では、フラッシュ構成、すなわち並列構成を採用しています。この高速フラッシュ構成の重要な点は、革新的な高性能コンパレータを設計に取り入れていることです。各量子化器とダウンストリームロジック回路は、コンパレータ出力を2の補数形式で6ビットの並列コードに変換し、これを内部の6:12デマルチプレクサに送ります。デマルチプレクサにより、ADCはその出力データを主ポート及び補助ポートにサンプリング速度の1/2で提供することができます。LVDSデータの転送速度は、出力ポート当たり最大400MHzです。

入力アンプ回路

すべてのADCについて言えることですが、入力波形が変換中に高速で変化する場合、有効ビット数(ENOB)、信号対雑音+歪み(SINAD)、信号対雑音比(SNR)の各仕様が悪化します。MAX105の内蔵広帯域入力アンプ(IとQ)は、この効果を著しく低減するので高速アナログデータの高変換速度での精密な数値化が可能です。入力アンプは、入力信号のバッファとして働き±400mVの範囲のフルスケール信号を入力することが可能です(800mV_{p-p})。

デュアル、6ビット、800MSPS ADC、 内蔵広帯域入力アンプ付

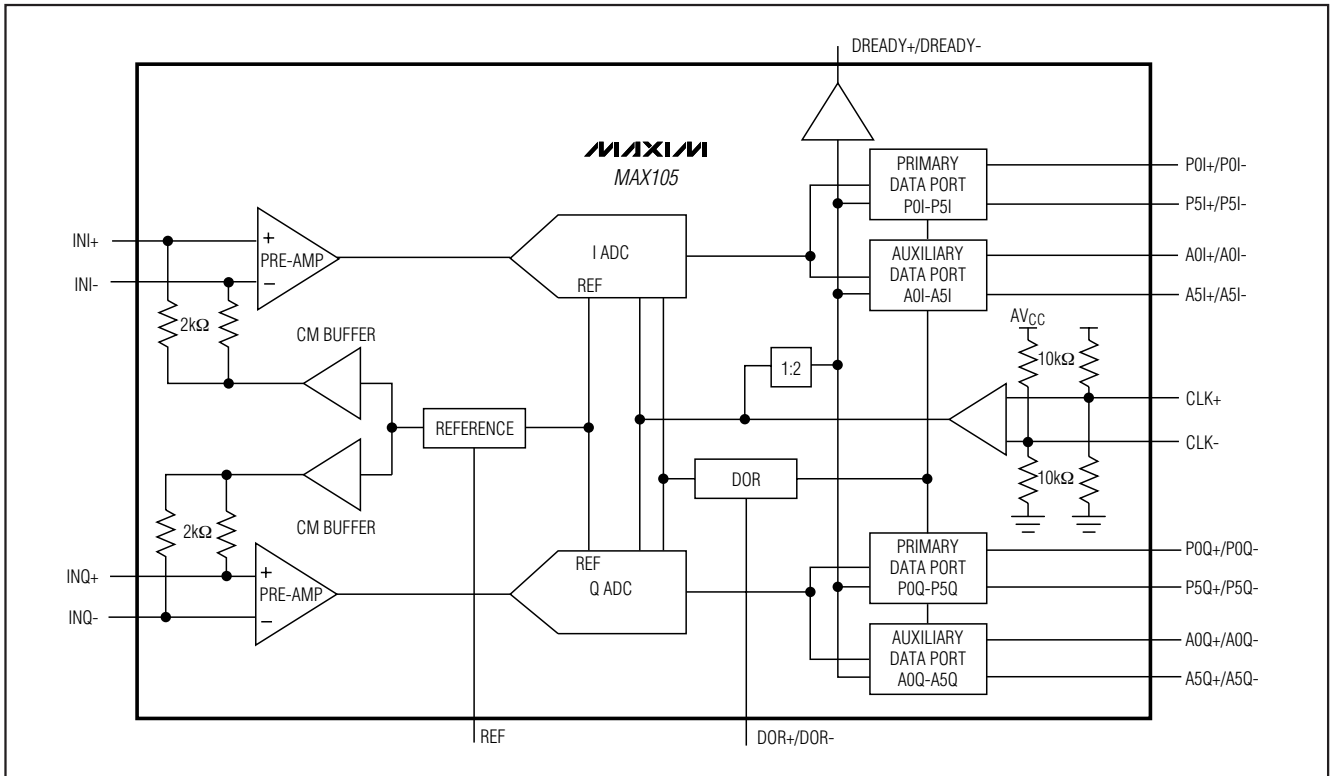


図1. MAX105フラッシュコンバータの構成

内部リファレンス

MAX105は、集積化バッファ+2.5V精密バンドギャップリファレンスを備えています。このリファレンスは、 $\pm 400\text{mV}$ のアナログ入力範囲仕様を満たすように内部で調整されています。データコンバータのリファレンス出力(REF)は、最大 $500\mu\text{A}$ を供給できます。REFを外部のデバイスに供給する場合は、バッファの使用を推奨します。

LVDSデジタル出力

MAX105は、データを2の補数形式で差動LVDS出力に供給します。LVDS出力セルの簡略化した回路図を図2に示します。すべてのLVDS出力は、 $+3.3\text{V} \pm 10\%$ で動作する独立のIチャネル $\text{OV}_{\text{CC}I}$ とQチャネル $\text{OV}_{\text{CC}Q}$ (Qチャネル)電源から給電されます。MAX105 LVDS出力は、約 $+1.2\text{V}$ のコモンモード電圧周辺で $\pm 270\text{mV}$ (標準)までスイングし、各伝送ライン対(真とコンプリメンタリ)の遠端において 100Ω で別々に終端する必要があります。

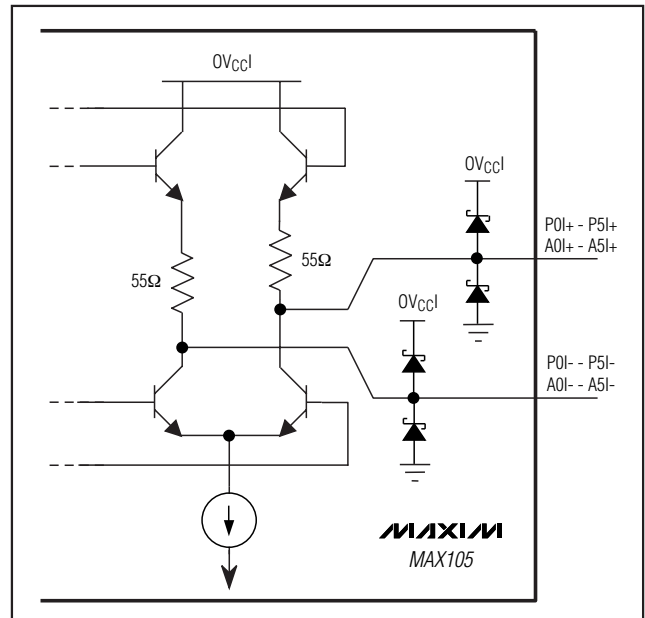


図2. 簡略化したLVDS出力モデル

デュアル、6ビット、800Msps ADC、 内蔵広帯域入力アンプ付

MAX105

表1. DC結合シングルエンドアナログ入力に対応するデジタル出力コード

IN-PHASE INPUTS (INI+, INQ+)	INVERTED INPUTS (INI-, INQ-)	OUT-OF-RANGE BIT (DOR+, DOR-)	OUTPUT CODE
$> +400\text{mV} + V_{\text{REF}}$	AC – Coupled to AGND ₋	1	011111
$+400\text{mV} - 0.5\text{LSB} + V_{\text{REF}}$	AC – Coupled to AGND ₋	0	011111
$0\text{V} + V_{\text{REF}}$	AC – Coupled to AGND ₋	0	000000/111111
$-400\text{mV} + 0.5\text{LSB} + V_{\text{REF}}$	AC – Coupled to AGND ₋	0	100000
$< -400\text{mV} + V_{\text{REF}}$	AC – Coupled to AGND ₋	1	100000

表2. DC結合差動アナログ入力に対応するデジタル出力コード

IN-PHASE INPUTS (INI+, INQ+)	INVERTED INPUTS (INI-, INQ-)	OUT-OF-RANGE BIT (DOR+, DOR-)	OUTPUT CODE
$> +200\text{mV} + V_{\text{REF}}$	$< -200\text{mV} + V_{\text{REF}}$	1	011111
$+200\text{mV} - 0.25\text{LSB} + V_{\text{REF}}$	$-200\text{mV} + 0.25\text{LSB} + V_{\text{REF}}$	0	011111
$0\text{V} + V_{\text{REF}}$	$0\text{V} + V_{\text{REF}}$	0	000000/111111
$-200\text{mV} + 0.25\text{LSB} + V_{\text{REF}}$	$+200\text{mV} - 0.25\text{LSB} + V_{\text{REF}}$	0	100000
$< -200\text{mV} + V_{\text{REF}}$	$> +200\text{mV} + V_{\text{REF}}$	1	100000

アウトオブレンジ動作

I又はQのいずれかのチャンネルがアウトオブレンジ状態で、アウトオブレンジが+FSよりも大きい、-FSよりも小さい場合にアウトオブレンジ状態のフラグを立てるために1つの出力対(DOR+、DOR-)が用意されています。これは、ADC出力データと待ち時間が同じで同じようにデマルチプレクスされます。800MHzのシステムクロックを用いる場合、DOR+とDOR-は最大400MHzのクロックで動作します。

アプリケーション情報

シングルエンドアナログ入力

MAX105は、シングルエンドと差動の両アナログ入力に対して最高速度の動的性能がほとんど低下することなく動作するように設計されています。I(INI+、INI-)とQ(INQ+、INQ-)の両入力チャンネルは、インピーダンスが2kΩで、AC結合とDC結合入力を備えています。代表的なDC結合のシングルエンド構成(表1)では、アナログ入力信号がアナログ入力アンプ段の同相入力端子INI+/INQ+に入ります。一方、逆相入力端子INI-/INQ-はAGNDI/AGNDQにAC結合されています。シングルエンド動作では、 V_{REF} を中心にして800mV_{p-p}の入力振幅が許容されます。

差動アナログ入力

差動入力駆動の+FSデジタル出力(表2)を得るには、INI+(INQ+)とINI-(INQ-)の間に400mVを印加する必要

があります。INI+(INQ+)とINI-(INQ-)の間に電圧差がない時は、中間スケールのデジタル出力コードが現れます。-FSデジタル出力コードでは、同相入力(INI+、INQ+)と逆相入力(INI-、INQ-)の両方に-400mVを印加する必要があります。

バランを用いたシングルエンドから差動への変換

RFバラン(図3)は、シングルエンド信号を完全な差動信号に変換するための優れた方法を提供するもので、最適な性能を得るためにMAX105が必要とするものです。高い周波数では、MAX105はシングルエンド入力信号よりも完全差動入力信号の方がSFDRとTHDが優れています。差動入力モードでは、偶数次の高調波が抑圧され、各入力信号はシングルエンドモードに比べて半分の信号振幅しか必要としません。

クロック入力

MAX105は、広範囲の入力駆動要件を満たすシングルエンド又は差動のいずれかの動作を対象としたクロック入力を備えています。クロック入力(AC又はDC結合)は、 $AV_{\text{CC}}/2$ に対する入力インピーダンスが5kΩで、小振幅の正弦波信号源を用いた場合でもコンバータが正常に動作するように内部においてプリアンプでバッファされています。MAX105は、シングルエンドの位相ノイズが小さい、振幅がわずか500mV_{p-p}(-2dBm)の正弦波クロック信号を考慮して設計されています。

デュアル、6ビット、800Msps ADC、 内蔵広帯域入力アンプ付

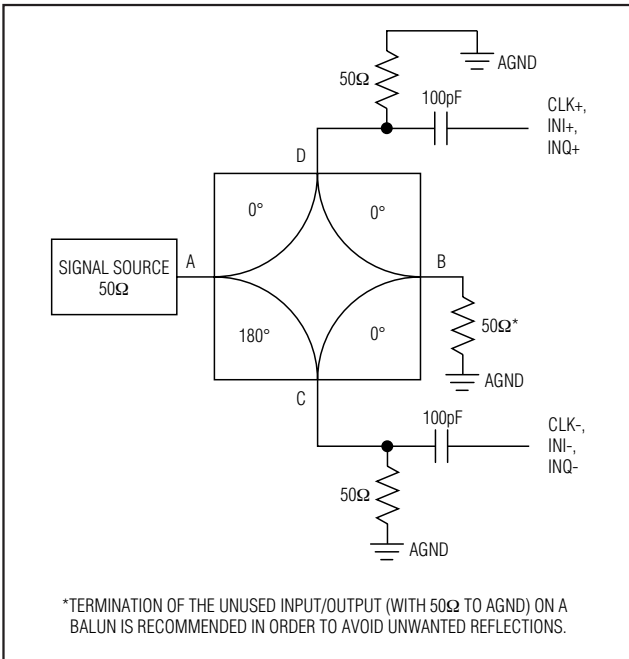


図3. バランを用いたシングルエンドから差動への変換

シングルエンドクロック(正弦波駆動)

低位相ノイズの正弦波信号源を単一のクロック入力にAC又はDC結合することにより、優れた性能が得られます(図4)。基本的に、コンバータの動的性能は、-2dBm (500mV_{p-p}クロック信号振幅)~+10dBm (2V_{p-p}クロック信号振幅)のクロック駆動のパワーレベルにより影響を受けません。MAX105の動的性能仕様は、-2dBm (500mV_{p-p}クロック信号振幅)のシングルエンドクロック駆動により決まります。入力アンプ段の飽和を回避するには、クロックパワーレベルの最大値を+10dBmに制限して下さい。

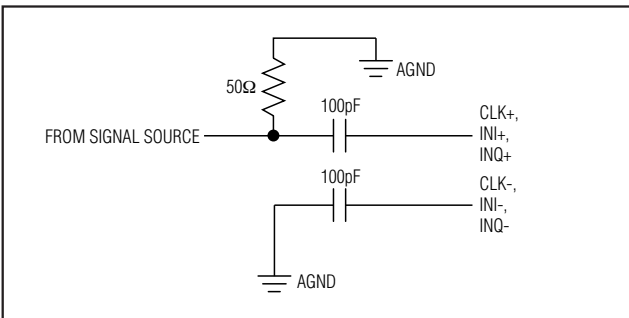


図4. AC結合入力駆動のシングルエンドクロック入力 (CLK、INI、INQ)

差動クロック(正弦波駆動)

差動クロック駆動(図5)は、適切なバラン又はトランスを用いてシングルエンド正弦波信号源を差動駆動に変換することによりメリットが得られます。適切な入力振幅要件については、シングルエンドクロック入力(正弦波駆動)を参照して下さい。

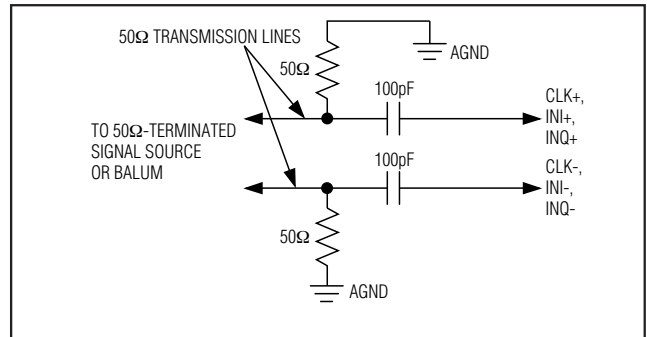


図5. 差動AC結合入力駆動(CLK、INI、INQ)

LVDS、ECL、PECLクロック

MAX105クロックの革新的入力構成により、これらの入力はさらにLVDS、ECL、又はPECL対応で500mV_{p-p}~2V_{p-p}の範囲の入力レベルで駆動できます(図6)。

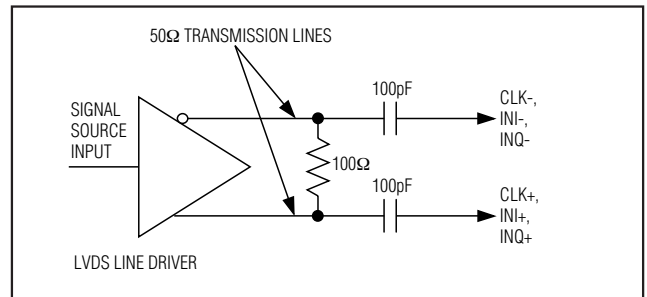


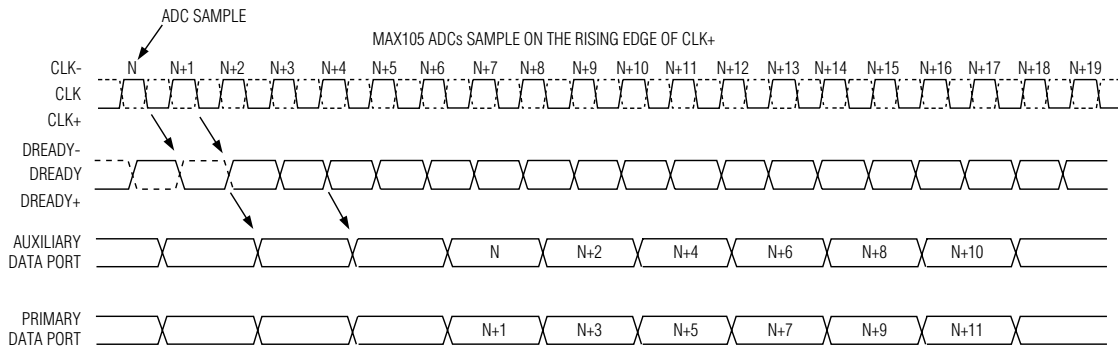
図6. LVDS入力駆動(CLK、INI、INQ)

タイミング要件

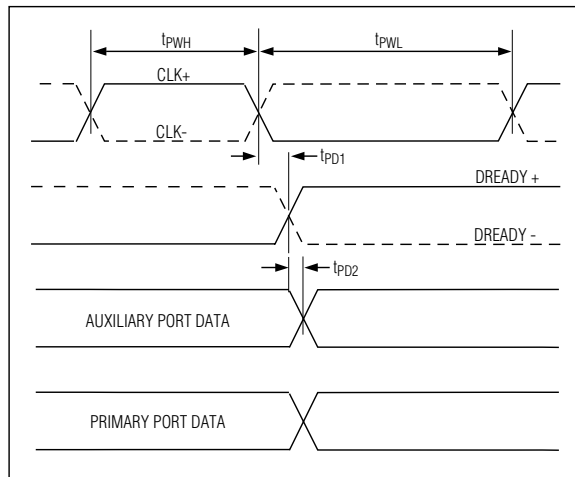
MAX105は、出力データ転送速度(DREADYとDORの各信号を含む)をサンプルクロック速度の1/2に下げる6:12デマルチプレクサを備えています。デマルチプレクスされた出力は、データレディクロックの立上りエッジで、主出力ポートと補助出力ポートに2つの連続したサンプルとしてデュアル6ビット、2の補数形式で現れます。補助データポートには必ず古いサンプルがあります。主出力には、DREADYクロックの位相に

デュアル、6ビット、800Msps ADC、 内蔵広帯域入力アンプ付

MAX105



NOTE: THE LATENCY TO THE PRIMARY PORT IS FIVE CLOCK CYCLES, THE LATENCY TO THE AUXILIARY PORT IS SIX CLOCK CYCLES. BOTH PRIMARY AND AUXILIARY DATA PORTS ARE UPDATED ON THE RISING EDGE OF THE DREADY+ CLOCK.



MAXIM
MAX105

図7. CLKとDREADY信号及び主/補助出力ポートの間の出力タイミング関係

関係なく、最新のデータサンプルがあります。図7に、補助出力と主出力の各ポートのタイミングとデータ割当をCLK及びDREADY信号と関連付けて示します。主ポートのデータは5クロックサイクル遅延しますが、補助ポートのデータは6クロックサイクル遅延します。

標準I/Qアプリケーション

直交振幅変調(QAM)は、デジタル通信システムでチャネル容量を増やすために頻繁に利用されます。QAM信号は、振幅と位相の両方が変調されます。復調器では、このQAM信号がダウンコンバートされ、その同相(I)と直交(Q)の各成分に分離されます。IとQの両チャンネルは、転送された情報を復元するためにADCによりベースバンドレベルで数値化されます。図8は標準アプリケーション回路を示します。この回路により、Lバンド信号をベースバンドに直接同調させ、直接変換チューナ

(MAX2108)とMAX105を組み込んで位相とゲインが良く整合したIチャンネルとQチャンネルを数値化します。フロントエンドLCフィルタがアンチエイリアシングに必要です。

グラウンド、バイパス及び プリント基板レイアウト

グラウンドと電源デカップリングは、MAX105の性能に多大な影響を及ぼします。800MHzのクロック周波数と6ビットの分解能では、不要なデジタルクロストークが入力、リファレンス、電源、グラウンドの各接続部を通して結合する可能性があり、ADCの動的性能に悪影響を与える可能性があります。さらに、I入力とQ入力は、設計が不適切なデカップリング回路を介してクロストークを発生する可能性があります。そのため、図9のグラウンドと電源デカップリングの指針を順守して下さい。

デュアル、6ビット、800Msps ADC、 内蔵広帯域入力アンプ付

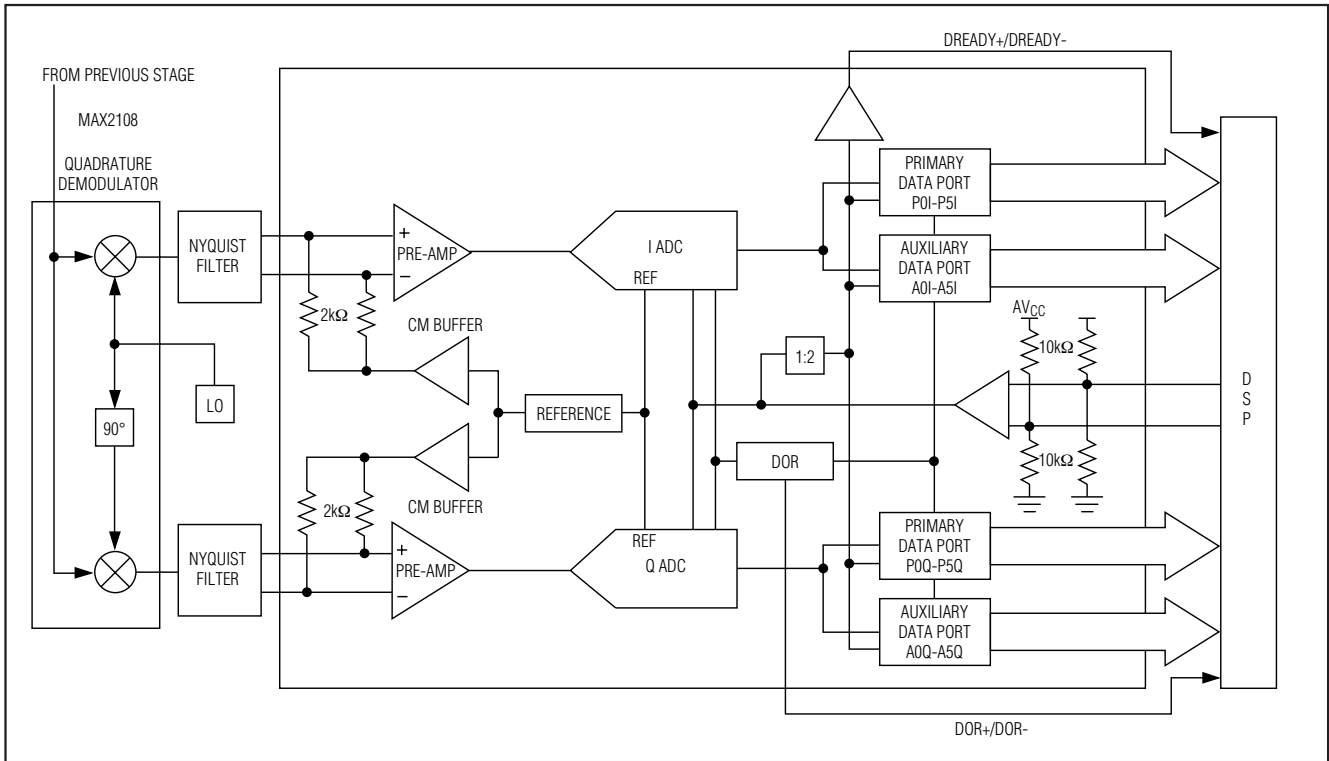


図8. 標準I/Qアプリケーション

マキシム社は、グラウンドと電源プレーンを分離した多層プリント基板(PC基板)をご使用になることを推奨しています。MAX105では、アナログとデジタルのグラウンド接続部(AGND、AGNDI、AGNDQ、AGNDR、OGNDI、OGNDQのそれぞれ)が分離されているため、PC基板では、アナログ(AGND)とデジタル(OGND)に対して独立した区画を指定し、これらを1点のみで接続します。デジタル信号はデジタルグラウンドプレーン上を通るようにし、アナログ信号はアナロググラウンドプレーン上を通るようにします。デジタル信号は敏感なアナログ入力、リファレンス入力、クロック入力から遠ざけて下さい。クロック、アナログ入力、デジタル出力などの高速信号は、MAX105EVキットに採用されているような50Ωのマイクロストリップラインで配線します。MAX105には、下記のように独立したアナログとデジタル電源入力があります。

- $AV_{CC}=+5V\pm5\%$: クロック回路のアナログ入力部用電源
- $AV_{CCI}=+5V\pm5\%$: Iチャンネル共通モードバッファ、プリアンプ、及び量子化器用電源
- $AV_{CCQ}=+5V\pm5\%$: Qチャンネル共通モードバッファ、プリアンプ、及び量子化器用電源

- $AV_{CCR}=+5V\pm5\%$: 内蔵バンドギャップリファレンス用電源
- $OV_{CCI}=+3.3V\pm10\%$: Iチャンネル出力ドライバとDREADY回路網用電源
- $OV_{CCQ}=+3.3V\pm10\%$: Qチャンネル出力ドライバとDOR回路網用電源

電源はすべて、PC基板に入力される点で大きい容量のタンタル又は電解コンデンサでデカップリングします。最良の性能を得るには、0.1μFのコンデンサと並列に10μFのタンタルコンデンサを接続してすべての電源を適切なグラウンドにバイパスし、電源ノイズをフィルタ処理して下さい。高品質の47pFのセラミックチップコンデンサと0.01μFを並列に組み合わせてMAX105デバイスのすぐ近くに配置すると、高周波ノイズが除去されます。適切に設計されたPC基板(MAX105EVキットのデータシートを参照)では、すべてのアナログ電源とすべてのデジタル電源をまとめて接続できるので、2つの独立した電源だけで済みます。フェライトビーズサプレッサを用いて AV_{CC} 、 AV_{CCI} 、 AV_{CCQ} 、 AV_{CCR} をデカップリングすると、個々のアナログ電源端子間のさらなるクロストークを防止します。

デュアル、6ビット、800Msps ADC、 内蔵広帯域入カンプ付

MAX105

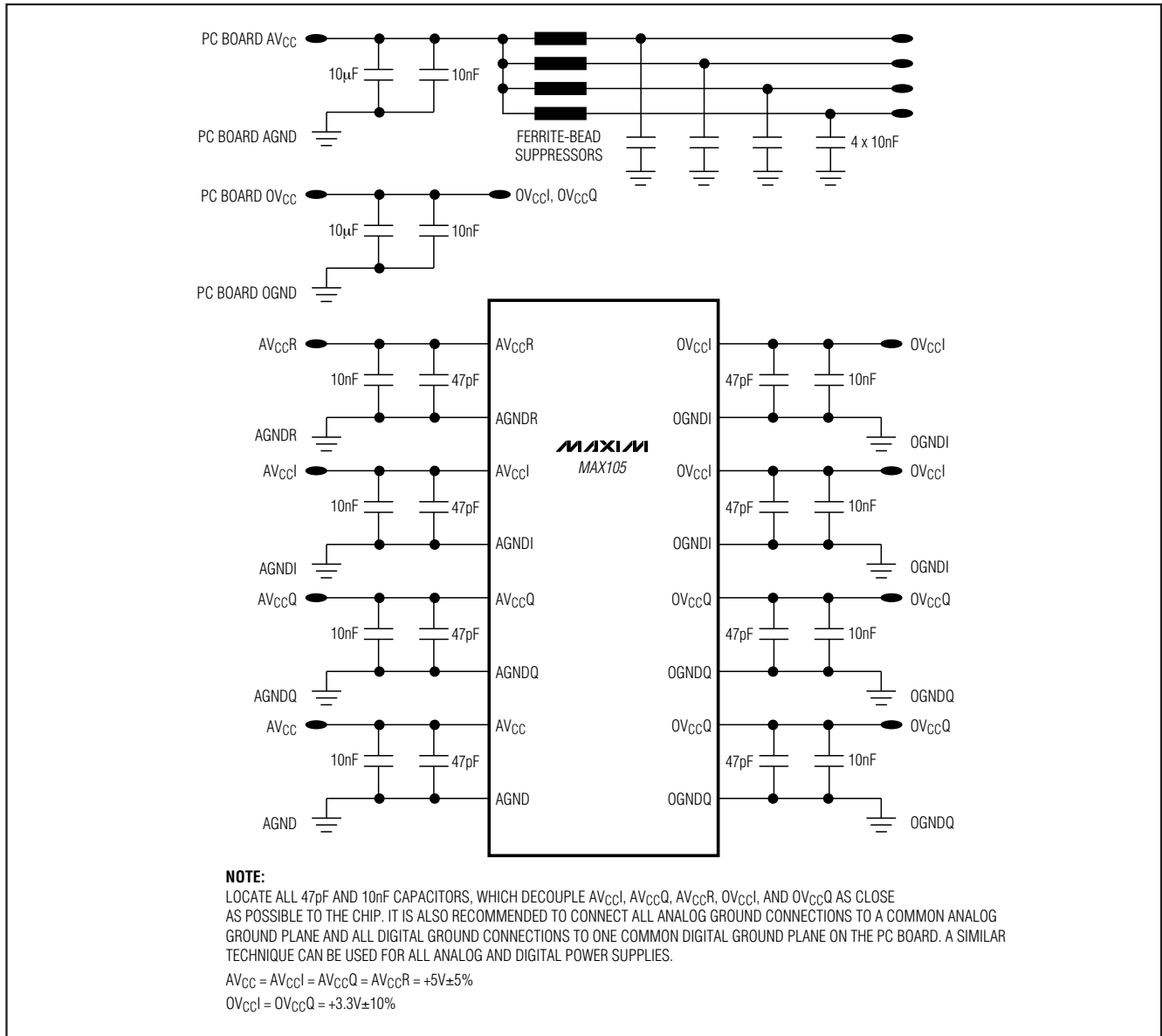


図9. MAX105のデカップリング、バイパス、グラウンド

温度管理

MAX105は、温度特性を向上させた80端子のTQFPパッケージで、設計の自由度が大きく、熱効率が優れ、ジャンクションとケース間の熱抵抗(θ_{jc})が約 $1.26^{\circ}\text{C}/\text{W}$ と低い値です。このパッケージ領域では、データコンバータチップが熱伝導性エポキシで露出パッド(EP)リードフレームに固定されています。パッケージは、このリードフレームが表面で露出し、パッケージのプリント基板(PC基板)側を向くように形成されています(図10)。このため、パッケージは標準の赤外線(IR)

フローソルダリングによりPC基板に取り付けることができます。PC基板上でEPのサイズ($7.5\text{mm} \times 7.5\text{mm}$)に合わせてランドパターンを特別に作製することにより、チップを正しく取り付けることができるだけでなく、これをヒートシンクとしても使用できます。PC基板設計においてサーマルビア*をランド領域に設けてグラウンドプレーンを大きくすると、基板とパッケージ間の熱伝導がさらに良くなります。80ピンTQFPパッケージを効果的に放熱するには、 6×6 ビアのアレイ(各ビア孔の直径が 0.3mm 以下で各ビア孔間のピッチが 1.2mm)が必要です。

* ランドパターンを内部又は外部の銅プレーンに接続します。

デュアル、6ビット、800Msps ADC、 内蔵広帯域入力アンプ付

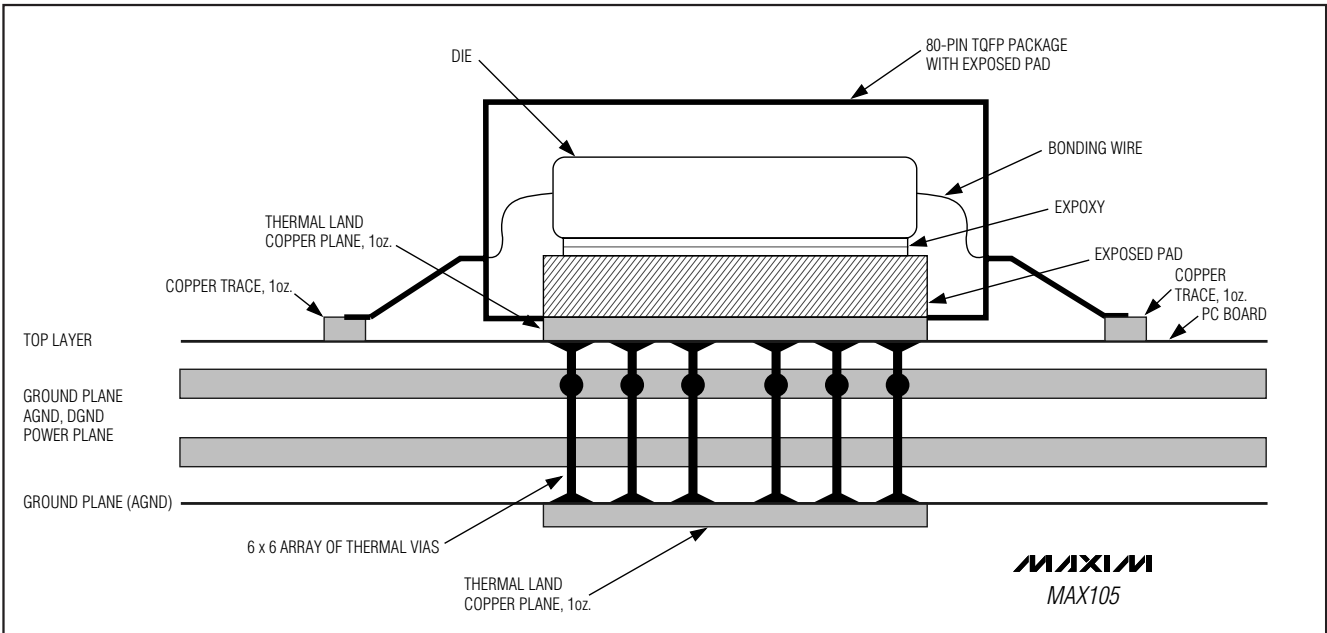


図10. MAX105エクスポーズドパッドパッケージの断面

注記：MAX105の温度管理が有効であるかどうかは、PC基板と回路設計、部品配置、取付けにより大きく異なります。そのため、性能を数字で正確に表わすことはできません。ただし、MAX105EVキットでは、標準的な θ_{ja} として18°C/Wを示しています。MAX105などのデバイスの温度性能を向上するための適切な設計法と推奨値の詳細については、Amkor Technology社のウェブサイト(www.amkor.com.)をご覧ください。

静的パラメータの定義

積分非線形性(INL)

積分非線形性は、実伝達関数の直線からの値のずれです。この直線は、オフセットとゲイン誤差をゼロにしてから伝達関数の両終点を結んだものです。MAX105の静的直線性パラメータは、正弦波ヒストグラム法を用いて測定されます。

微分非線形性(DNL)

微分非線形性は、実際のステップ幅と1LSBの理想値の差です。-1LSBを超えるDNL誤差の仕様は、ミッシングコードのない単調伝達関数を保証するものです。

動的パラメータの定義

アパーチャジッタと遅延

アパーチャの不確定性は、高速コンバータの動的性能に影響を与えます。特にアパーチャジッタは、SNRに直接影響を及ぼし、重大な誤差なしで数値化できる最大スルーレート(dV/dt)を制限します。アパーチャジッタは、次式に従ってADCのSNR性能を制限します。

$$SNR_{dB} = 20 \times \log_{10} [1 / (2 \times \pi \times f_{IN} \times t_{AJ}[RMS])],$$

ここで、 f_{IN} はアナログ入力周波数を表わし、 t_{AJ} はRMSアパーチャジッタです。MAX105の革新的なクロック設計により、アパーチャジッタが1.5ps_{RMS}(標準)に制限されています。図11は、アパーチャ遅延におけるサンプル間変動であるアパーチャジッタ(t_{AJ})を表わします。アパーチャ遅延(t_{AD})は、サンプリングクロックの立上りエッジから実際のサンプルが採られる瞬間までの時間として定義されます(図11)。

信号対雑音比(SNR)

デジタルサンプルから完全に復元された波形の場合、理論的な最大SNRは、フルスケールアナログ入力(RMS値)のRMS量子化誤差(残留誤差)に対する比です。理想的な理論的最小アナログ-デジタル間ノイズは、量子化誤差のみにより発生し、次式のようにADCの分解能(Nビット)から直接得られます。

デュアル、6ビット、800Msps ADC、 内蔵広帯域入力アンプ付

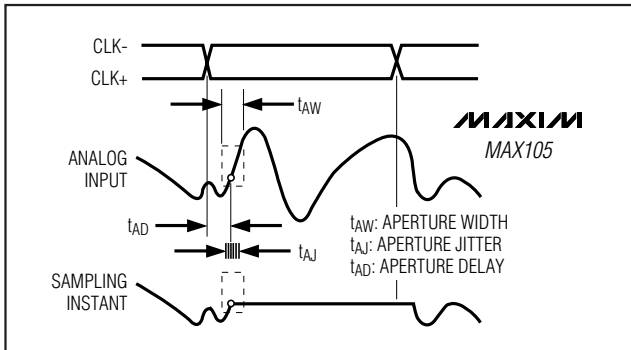


図11. アパーチャのタイミング

$$\text{SNR}_{\text{MAX}}[\text{dB}] = 6.02\text{dB} \times N + 1.76\text{dB}$$

実際には、量子化ノイズ以外に熱ノイズ、リファレンスノイズ、クロックジッタ(アパーチャの不確定性を参照)などのノイズ源があります。SNRは、RMS信号のRMSノイズに対する比を取るにより計算されます。RMSノイズは、全スペクトル成分から基本波、最初の4つの高調波、及びDCオフセットを差し引いた値です。

信号対雑音+歪み(SINAD)

SINADは、全スペクトル成分から基本波成分とDCオフセットを差し引いた値に対するRMS信号の比を取るにより計算されます。

有効ビット数(ENOB)

ENOBは、理想的なADCの量子化ノイズに関する特定の入力周波数、振幅、サンプリング速度でのADCの動的性能を表わします。フルスケール入力の場合、ENOBは次式から求められます。

$$\text{ENOB} = (\text{SINAD} - 1.76\text{dB}) / 6.02\text{dB}$$

全高調波歪み(THD)

THDは、通常、入力信号に含まれる最初の高調波(RMS値)を合計した値と基本波そのものとの比で、次式で表わされます。

$$\text{THD} = 20 \times \log \sqrt{(V_2^2 + V_3^2 + V_4^2 + V_5^2) / V_1^2}$$

ここで、 V_1 は基本波の振幅で、 $V_2 \sim V_5$ は第2～第5高調波の振幅です。

スプリアスフリーダイナミックレンジ(SFDR)

SFDRは、基本波成分の振幅のRMS値の、2番目に大きいスプリアス成分(オフセットを除く)のRMS値に対する比をデシベル単位で表した値です。

ツートーン相互変調歪み(IMD)

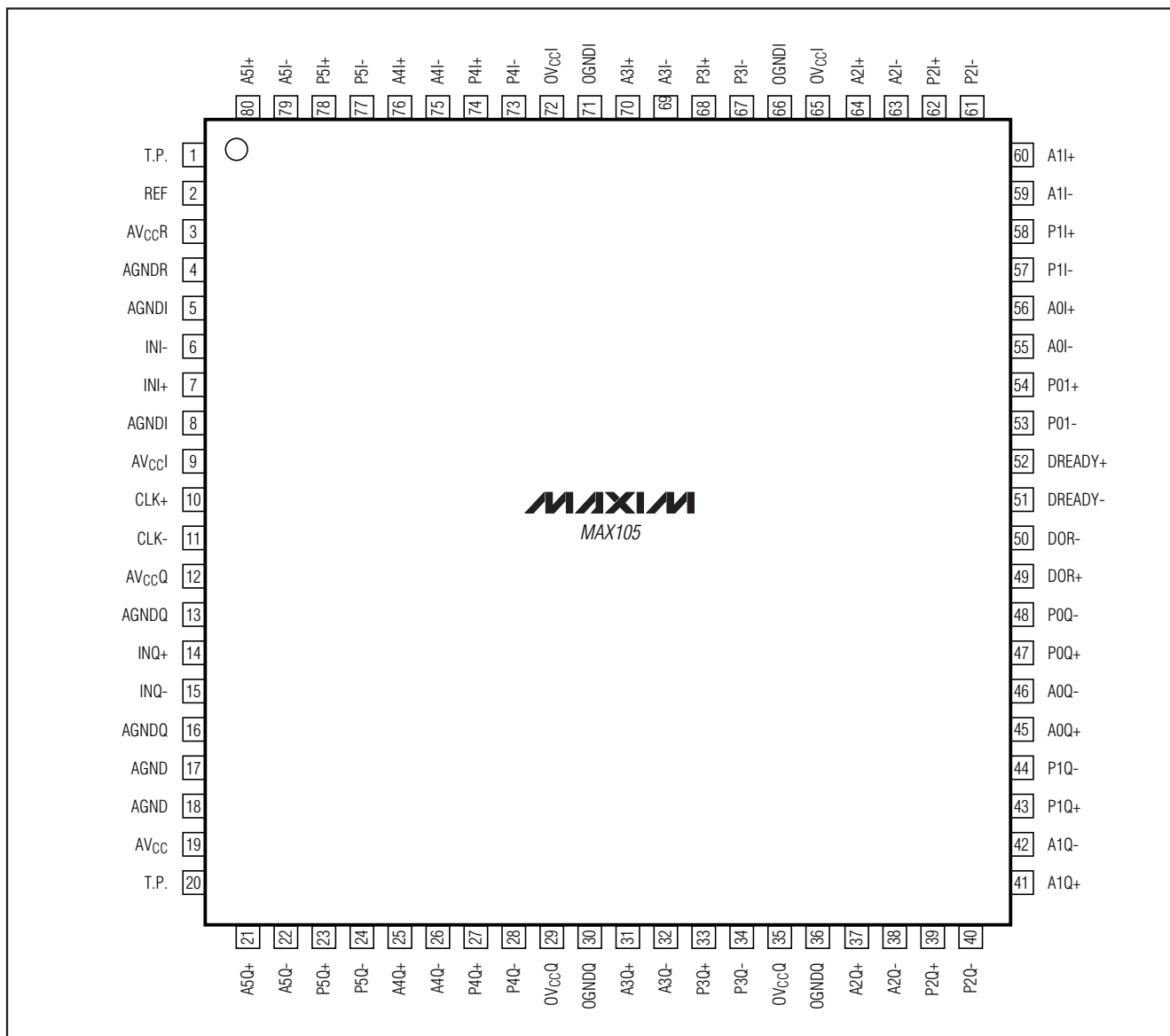
ツートーンIMDは、いずれかの入力トーンと最悪の3次(又は高次の)相互変調積との比をデシベル単位で表した値です。各入力トーンレベルはフルスケールが-7dBで、そのエンベロープのピークはフルスケールが-1dBです。

チップ情報

TRANSISTOR COUNT: 12,286

デュアル、6ビット、800Msps ADC、 内蔵広帯域入力アンプ付

ピン配置

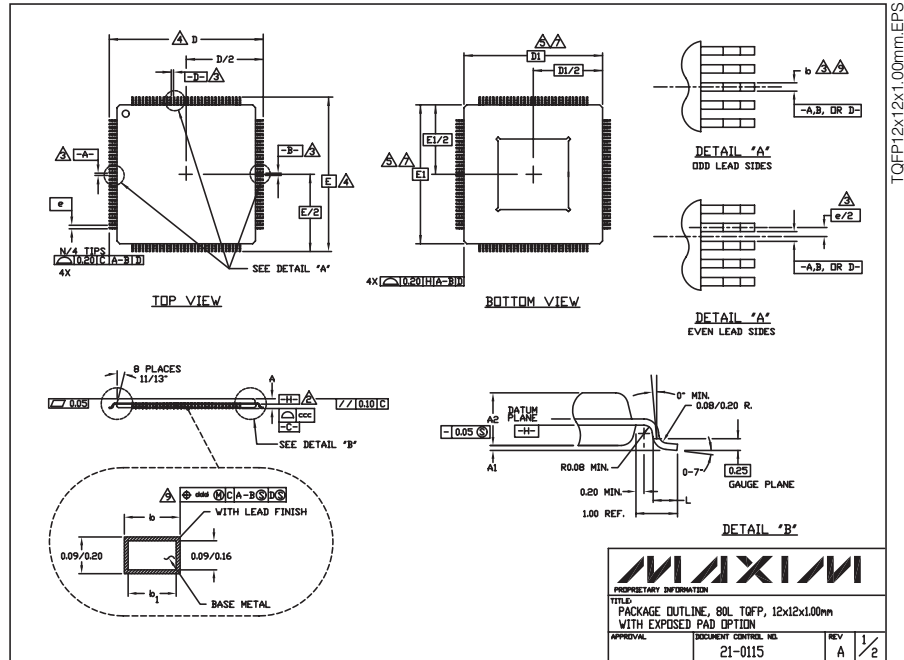


デュアル、6ビット、800MSPS ADC、 内蔵広帯域入力アンプ付

MAX105

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



NOTES:

- ALL DIMENSIONING AND TOLERANCING CONFORM TO ANSI Y14.5-1982.
- DATUM PLANE $\square H$ LOCATED AT MOLD PARTING LINE AND COINCIDENT WITH LEAD, WHERE LEAD EXITS PLASTIC BODY AT BOTTOM OF PARTING LINE.
- DATUMS $\square A$ AND $\square D$ TO BE DETERMINED AT CENTERLINE BETWEEN LEADS WHERE LEADS EXIT PLASTIC BODY AT DATUM PLANE $\square H$.
- TO BE DETERMINED AT SEATING PLANE $\square C$.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE MOLD PROTRUSION IS 0.254mm ON D1 AND E1 DIMENSIONS.
- "N" IS THE TOTAL NUMBER OF TERMINALS.
- THESE DIMENSIONS ARE SMALLER THAN BOTTOM DIMENSIONS AND TOP OF PACKAGE WILL NOT OVERHANG THE BOTTOM OF PACKAGE.
- PACKAGE TOP DIMENSIONS ARE SMALLER THAN BOTTOM DIMENSIONS AND TOP OF PACKAGE WILL NOT OVERHANG THE BOTTOM PACKAGE.
- DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08mm TOTAL IN EXCESS OF THE b DIMENSION AT MAXIMUM MATERIAL CONDITION.
- DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE FOOT.
- CONTROLLING DIMENSION: MILLIMETER
- MAXIMUM ALLOWABLE DIE THICKNESS TO BE ASSEMBLED IN THIS PACKAGE FAMILY IS 0.50mm.

- THIS OUTLINE CONFORMS TO JEDEC PUBLICATION 95 REGISTRATION MS-026, VARIATION AND ADD.

A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

SYMBOL	JEDEC VARIATION ALL DIMENSIONS ARE IN MILLIMETERS			NOTE
	ADD			
	MIN.	NOM.	MAX.	
A	0.05	0.10	0.15	13
A1	0.05	0.10	0.15	
A2	0.95	1.00	1.05	
D	14.00 BSC.			4
D1	12.00 BSC.			7,8
E	14.00 BSC.			4
E1	12.00 BSC.			7,8
L	0.45	0.60	0.75	
N	80			
e	0.50 BSC.			
b	0.17	0.22	0.27	9
b1	0.17	0.20	0.23	
ccc	0.08	0.08	0.08	
ddd	0.08	0.08	0.08	

MAXIM			
PROPRIETARY INFORMATION			
TITLE: PACKAGE OUTLINE, 80L TQFP, 12x12x1.00mm WITH EXPOSED PAD OPTION			
APPROVAL:	DOCUMENT CONTROL NO.	REV	
	21-0115	A	1/2

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 21

© 2001 Maxim Integrated Products, Inc. All rights reserved. MAXIM is a registered trademark of Maxim Integrated Products, Inc.