

## 低電力、90Msps、デュアル6ビットADC

## 概要

MAX1003は、可変入力範囲、内部リファレンス及びクロック発振器を備えた高速低電力動作のデュアル6ビットアナログデジタルコンバータ(ADC)です。このデュアルパラレルADCは、90Mspsまでのサンプリングレートにおいて、同相(I)及び直交(Q)アナログ信号を2つの6ビットオフセットバイナリコードのデジタル出力に変換します。MAX1003は、ベースバンドI及びQ信号と直接インタフェースする能力を備えているため、DBS、VSAT及びQAM16復調アプリケーションに最適です。

MAX1003の入力アンプは真の差動入力を用意しており、-0.5dBアナログ帯域幅が55MHzとなっている上、入力フルスケール範囲は125mVp-p、250mVp-p又は500mVp-pの中から選択できるようになっています。ACカップリング入力信号の場合、入力チャネル間のマッチングは利得が0.1dB以下(typ)、オフセットが1/4LSB以下、位相が0.5°以下となっています。動的性能は、アナログ入力信号が20MHzの場合は有効ビット数(ENOB)が5.85、アナログ入力信号が50MHzの場合はENOBが5.7となっています。

MAX1003は+5Vアナログ電源及び+3.3Vデジタル電源で動作し、+3.3Vロジックコンパチブルのデジタル信号プロセッサ及びマイクロプロセッサとのインタフェースが安易です。パッケージは、36ピンSSOPです。

## アプリケーション

DBSレシーバ  
VSATレシーバ  
ワイドローカルエリアネットワーク(WLAN)  
ケーブルテレビのセットトップボックス

## 特長

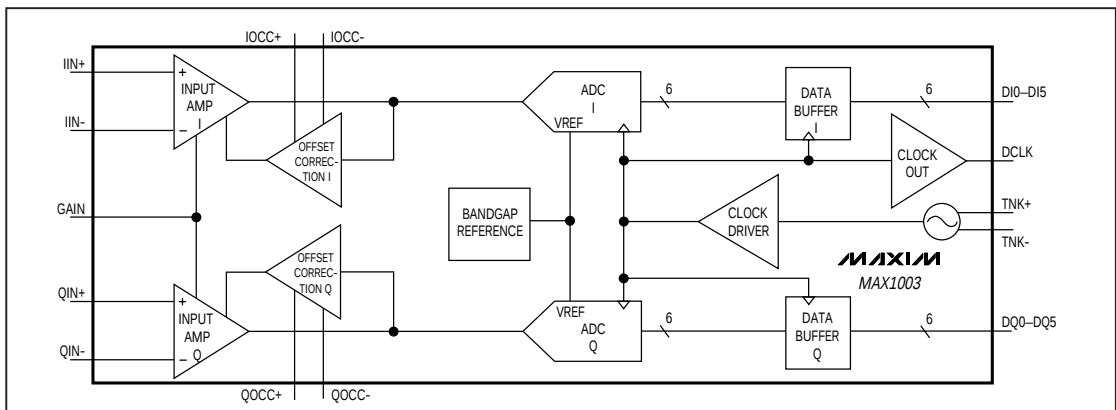
- ◆ 2つのマッチングされた6ビットADC
- ◆ 高速サンプリングレート：1ADC当たり90Msps
- ◆ 低電力消費：350mW
- ◆ 優れた動的性能：
  - ENOB 5.85(アナログ入力20MHz)
  - ENOB 5.7(アナログ入力50MHz)
- ◆ INL及びDNL：±1/4LSB(typ)
- ◆ 内部バンドギャップ電圧リファレンス
- ◆ オーバードライブ能力を備えた内部発振器
- ◆ 真の差動入力を用意した帯域幅55MHz(-0.5dB)の入力アンプ
- ◆ 入力フルスケール範囲はユーザ選択  
(125mVp-p、250mVp-p又は500mVp-p)
- ◆ チャネル間のオフセットマッチング：1/4LSB(typ)
- ◆ 利得マッチング0.1dB、位相マッチング0.5°(typ)
- ◆ シングルエンド又は差動入力駆動
- ◆ フレキシブルな3.3V、CMOSコンパチブルデジタル出力

## 型番

| PART       | TEMP. RANGE  | PIN-PACKAGE |
|------------|--------------|-------------|
| MAX1003CAX | 0°C to +70°C | 36 SSOP     |

ピン配置はデータシートの最後に記載されています。

## ファンクションダイアグラム



# 低電力、90Msps、デュアル6ビットADC

MAX1003

## ABSOLUTE MAXIMUM RATINGS

V<sub>CC</sub> to GND .....-0.3V to 6.5V  
V<sub>CCO</sub> to OGND .....-0.3V to 6.5V  
GND to OGND .....-0.3V to 0.3V  
Digital and Clock Output Pins to OGND...-0.3V to V<sub>CCO</sub> (10sec)  
All Other Pins to GND.....-0.3V to V<sub>CC</sub>

Continuous Power Dissipation (T<sub>A</sub> = +70°C)  
SSOP (derate 11.8mW/°C above +70°C) .....941mW  
Operating Temperature Range.....0°C to +70°C  
Storage Temperature Range .....-65°C to +150°C  
Lead Temperature (soldering, <10sec).....+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## DC ELECTRICAL CHARACTERISTICS

(V<sub>CC</sub> = +5V ±5%, V<sub>CCO</sub> = 3.3V ±300mV, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted.)

| PARAMETER                                | SYMBOL | CONDITIONS                                                  | MIN     | TYP   | MAX    | UNITS |
|------------------------------------------|--------|-------------------------------------------------------------|---------|-------|--------|-------|
| DC ACCURACY (Note 1)                     |        |                                                             |         |       |        |       |
| Resolution                               | RES    |                                                             | 6       |       |        | Bits  |
| Integral Nonlinearity                    | INL    |                                                             | -0.5    | ±0.25 | 0.5    | LSB   |
| Differential Nonlinearity                | DNL    | No missing codes over temperature                           | -0.5    | ±0.25 | 0.5    | LSB   |
| Full-Scale Input Range                   | VFSH   | GAIN = VCC (high gain)                                      | 118.75  | 125   | 131.25 | mVp-p |
|                                          | VFSM   | GAIN = open (mid gain)                                      | 237.5   | 250   | 262.5  |       |
|                                          | VFSL   | GAIN = GND (low gain)                                       | 475     | 500   | 525    |       |
| INVERTING AND NONINVERTING ANALOG INPUTS |        |                                                             |         |       |        |       |
| Input Open-Circuit Voltage               | VAOC   |                                                             | 2.25    | 2.35  | 2.45   | V     |
| Input Resistance                         | RIN    |                                                             | 13      | 20    | 29     | kΩ    |
| Input Capacitance                        | CIN    | Guaranteed by design                                        |         | 3     | 5      | pF    |
| Common-Mode Voltage Range                | VCM    | Other analog input driven with external source (Note 2)     | 1.75    |       | 2.75   | V     |
| OSCILLATOR INPUTS                        |        |                                                             |         |       |        |       |
| Oscillator Input Resistance              | ROSC   | Other oscillator input tied to VCC + 0.3V                   | 4.8     | 8     | 12.1   | kΩ    |
| DIGITAL OUTPUTS (DI0–DI5, DQ0–DQ5)       |        |                                                             |         |       |        |       |
| Digital Outputs Logic-High Voltage       | VOH    | ISOURCE = 50μA                                              | 0.7VCCO |       |        | V     |
| Digital Outputs Logic-Low Voltage        | VOL    | ISINK = 400μA                                               |         |       | 0.5    | V     |
| POWER SUPPLY                             |        |                                                             |         |       |        |       |
| Supply Current                           | ICC    |                                                             |         | 63    | 104    | mA    |
| Power-Supply Rejection Ratio             | PSRR   | VCC = 4.75V to 5.25V (Note 3)                               |         | -75   | -40    | dB    |
| Digital Outputs Supply Current           | ICCO   | 20MHz, full-scale I and Q analog inputs, CL = 15pF (Note 4) |         |       | 21     | mA    |
| Power Dissipation                        | PD     |                                                             |         | 350   |        | mW    |

## AC ELECTRICAL CHARACTERISTICS

(V<sub>CC</sub> = +5V ±5%, V<sub>CCO</sub> = 3.3V ±300mV, T<sub>A</sub> = +25°C, unless otherwise noted.)

| PARAMETER                                                                                                                                                                             | SYMBOL            | CONDITIONS                                                             | MIN  | TYP   | MAX | UNITS       |
|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------|------------------------------------------------------------------------|------|-------|-----|-------------|
| <b>DYNAMIC PERFORMANCE</b> (Gain = open, external 90MHz clock (Figure 7), V <sub>INI</sub> = V <sub>INQ</sub> = 20MHz sine, amplitude -1dB below full scale, unless otherwise noted.) |                   |                                                                        |      |       |     |             |
| Maximum Sample Rate                                                                                                                                                                   | f <sub>MAX</sub>  |                                                                        | 90   |       |     | Msps        |
| Analog Input -0.5dB Bandwidth                                                                                                                                                         | BW                | GAIN = GND, open, V <sub>CC</sub>                                      |      | 55    |     | MHz         |
| Effective Number of Bits                                                                                                                                                              | ENOB <sub>M</sub> | GAIN = open (mid gain)                                                 | 5.6  | 5.85  |     | Bits        |
|                                                                                                                                                                                       |                   | GAIN = open (mid gain), f <sub>IN</sub> = 50MHz, -1dB below full scale |      | 5.7   |     |             |
|                                                                                                                                                                                       | ENOB <sub>H</sub> | GAIN = V <sub>CC</sub> (high gain)                                     |      | 5.8   |     |             |
|                                                                                                                                                                                       | ENOB <sub>L</sub> | GAIN = GND (low gain)                                                  |      | 5.85  |     |             |
| Signal-to-Noise plus Distortion Ratio                                                                                                                                                 | SINAD             | GAIN = open (mid gain)                                                 | 35.5 | 37    |     | dB          |
| Input Offset (Note 5)                                                                                                                                                                 | OFF               | I channel                                                              | -0.5 |       | 0.5 | LSB         |
|                                                                                                                                                                                       |                   | Q channel                                                              | -0.5 |       | 0.5 |             |
| Crosstalk Between ADCs                                                                                                                                                                | XTLK              |                                                                        |      | -55   |     | dB          |
| Offset Mismatch Between ADCs                                                                                                                                                          | OMM               | (Note 5)                                                               | -0.5 | ±0.25 | 0.5 | LSB         |
| Amplitude Match Between ADCs                                                                                                                                                          | AM                |                                                                        | -0.2 | ±0.1  | 0.2 | dB          |
| Phase Match Between ADCs                                                                                                                                                              | PM                |                                                                        | -2   | ±0.5  | 2   | degrees     |
| <b>TIMING CHARACTERISTICS</b> (Data outputs: R <sub>L</sub> = 1MΩ, C <sub>L</sub> = 15pF)                                                                                             |                   |                                                                        |      |       |     |             |
| Clock to Data Propagation Delay                                                                                                                                                       | t <sub>PD</sub>   | (Note 6)                                                               |      | 3.6   |     | ns          |
| Data Valid Skew                                                                                                                                                                       | t <sub>SKEW</sub> | (Note 6)                                                               |      | 1.5   |     | ns          |
| Input to DCLK Delay                                                                                                                                                                   | t <sub>DCLK</sub> | TN <sub>K</sub> + to DCLK (Note 6)                                     |      | 5.3   |     | ns          |
| Aperture Delay                                                                                                                                                                        | t <sub>AD</sub>   | Figure 8                                                               |      | 7.5   |     | ns          |
| Pipeline Delay                                                                                                                                                                        | PD                | Figure 8                                                               |      | 1     |     | clock cycle |

**Note 1:** Best-fit straight-line linearity method.

**Note 2:** A typical application will AC couple the analog input to the DC bias level present at the analog inputs (typically 2.35V). However, it is also possible to DC couple the analog input (using differential or single-ended drive) within this common-mode input range (Figures 4 and 5).

**Note 3:** PSRR is defined as the change in the mid-gain full-scale range as a function of the variation in V<sub>CC</sub> supply voltage, expressed in decibels.

**Note 4:** The current in the V<sub>CCO</sub> supply is a strong function of the capacitive loading on the digital outputs. To minimize supply transients and achieve optimal dynamic performance, reduce the capacitive-loading effects by keeping line lengths on the digital outputs to a minimum.

**Note 5:** Offset-correction compensation enabled, 0.22μF at Q and I compensation inputs (Figures 2 and 3).

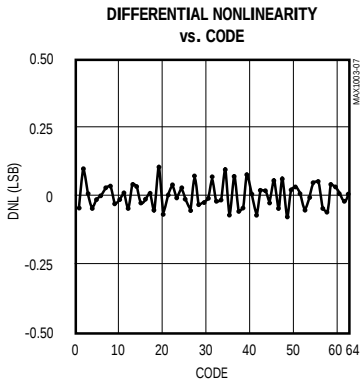
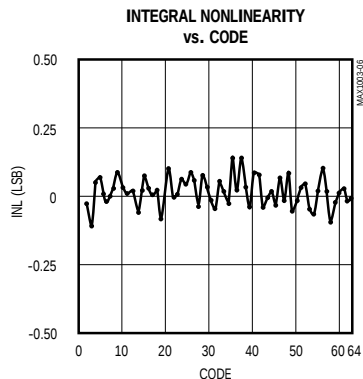
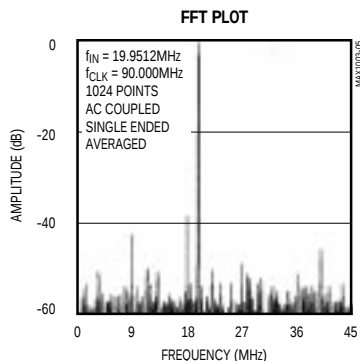
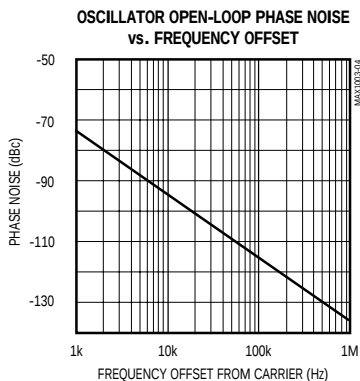
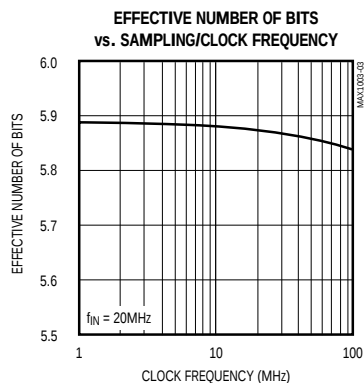
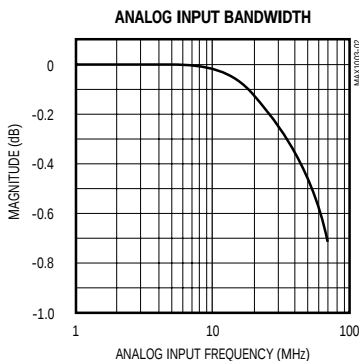
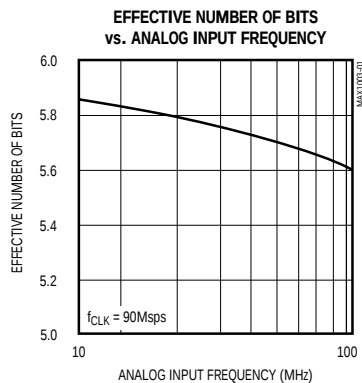
**Note 6:** t<sub>PD</sub> and t<sub>SKEW</sub> are measured from the 1.4V level of the output clock, to the 1.4V level of either the rising or falling edge of a data bit. t<sub>DCLK</sub> is measured from the 50% level of the clock-overdrive signal on TN<sub>K</sub>+ to the 1.4V level of DCLK. The capacitive load on the outputs is 15pF.

# 低電力、90Msps、デュアル6ビットADC

MAX1003

## 標準動作特性

( $V_{CC} = +5V \pm 5\%$ ,  $V_{CCO} = 3.3V \pm 300mV$ ,  $f_{CLK} = 90Msps$ , GAIN = open (midgain) MAX1003 evaluation kit,  $T_A = +25^\circ C$ , unless otherwise noted.)



# 低電力、90Msps、デュアル6ビットADC

MAX1003

## 端子説明

| 端子                | 名称      | 機能                                                                                 |
|-------------------|---------|------------------------------------------------------------------------------------|
| 1                 | GAIN    | 利得選択入力。入力のフルスケール範囲(125/250/500mVp-p)を設定します(表1)。                                    |
| 2                 | IOCC+   | 正Iチャネルオフセット補正補償。ACカップリング入力の場合は、0.22μFコンデンサを接続してください。DCカップリング入力の場合は、グラウンドに接続してください。 |
| 3                 | IOCC-   | 負Iチャネルオフセット補正補償。ACカップリング入力の場合は、0.22μFコンデンサを接続してください。DCカップリング入力の場合は、グラウンドに接続してください。 |
| 4                 | IIN+    | Iチャネル非反転アナログ入力                                                                     |
| 5                 | IIN-    | Iチャネル反転アナログ入力                                                                      |
| 6                 | VCC     | +5V ± 5%電源。0.01μFコンデンサでGND(ピン7)にバイパスしてください。                                        |
| 7, 11, 12, 18, 19 | GND     | アナロググラウンド                                                                          |
| 8                 | VCC     | +5V ± 5%電源。0.01μFコンデンサでGND(ピン11)にバイパスしてください。                                       |
| 9                 | TNK+    | 正発振器/クロック入力                                                                        |
| 10                | TNK-    | 負発振器/クロック入力                                                                        |
| 13                | VCC     | +5V ± 5%電源。0.01μFコンデンサでGND(ピン12)にバイパスしてください。                                       |
| 14                | QIN-    | Qチャネル反転アナログ入力                                                                      |
| 15                | QIN+    | Qチャネル非反転アナログ入力                                                                     |
| 16                | QOCC-   | 負Qチャネルオフセット補正補償。ACカップリング入力の場合は、0.22μFコンデンサを接続してください。DCカップリング入力の場合は、グラウンドに接続してください。 |
| 17                | QOCC+   | 正Qチャネルオフセット補正補償。ACカップリング入力の場合は、0.22μFコンデンサを接続してください。DCカップリング入力の場合は、グラウンドに接続してください。 |
| 20–25             | DQ5–DQ0 | Qチャネルデジタル出力0 ~ 5。DQ5が最上位ビット(MSB)です。                                                |
| 26, 28            | Vcco    | ディジタル出力電源(+3.3V、±300mV)。各々を47pFコンデンサでOGND(ピン27)にバイパスしてください。                        |
| 27                | OGND    | ディジタル出力グラウンド                                                                       |
| 29                | DCLK    | ディジタルクロック出力。出力データのフレームを定めます。                                                       |
| 30–35             | DI0–DI5 | Iチャネルデジタル出力0 ~ 5。DI5が最上位ビット(MSB)です。                                                |
| 36                | VCC     | +5V ± 5%電源。0.01μFコンデンサでGND(ピン19)にバイパスしてください。                                       |

## 詳細

### コンバータの動作

MAX1003は、2つの6ビットアナログデジタルコンバータ(ADC)、バッファ付電圧リファレンス及び発振器回路を備えています。ADCは、フラッシュ変換技法を使用してアナログ入力信号を6ビットパラレルデジタル出力コードに変換します。MAX1003は、ユニークな設計により63個の完全差動コンパレータ及び当社独自のエンコーディング方式により、ダイナミックエンコーディングエラーを1LSB以下に抑えています。制御ロジックは、+3.3V CMOSコンパチブルロジックインタフェースを持つ殆どのマイクロプロセッサ及びDSPへのインタフェースが容易です。図1に、MAX1003の標準アプリケーションを示します。

### 可変入力アンプ

MAX1003は、-0.5dB帯域幅が55MHzで真の差動入力を持つ2つ(I及びQ)の可変利得入力アンプを備えています。高速システムでの性能を向上させるため、各アンプの入力容量は5pF以下になっています。入力アンプ利得はGAINピンで設定され、表1に示すように3つの入力フルスケール範囲(FSR)を選択できます。

図2及び図3に、シングルエンド及び差動ACカップリング入力回路を示します。各アンプ入力には内部で20kΩ抵抗を通じて2.35Vリファレンスにバイアスされているため、

表1. 入力アンプの設定

| GAIN | INPUT FULL-SCALE RANGE (mVp-p) |
|------|--------------------------------|
| GND  | 500                            |
| Open | 250                            |
| VCC  | 125                            |

# MAX1003

ACカップリング入力で動作する場合、入力アンプのDCオフセット電圧は内蔵オフセット補正アンプによって零位(ヌル)から $\pm 1/2$ LSB以内までに調整されます。オフセット補正アンプの周波数応答の主ポールを設定

$$f_C = 1/(0.1 \times C)$$

ここで、Cは補償コンデンサの値( $\mu\text{F}$ )、 $f_c$ はカットオフ周波数(Hz)です。



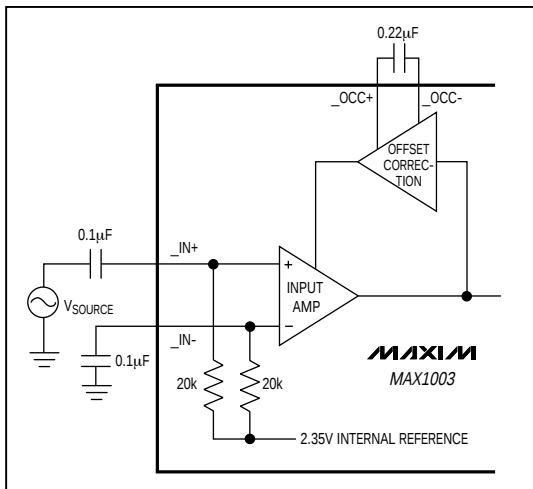


図2. シングルエンドACカップリング入力

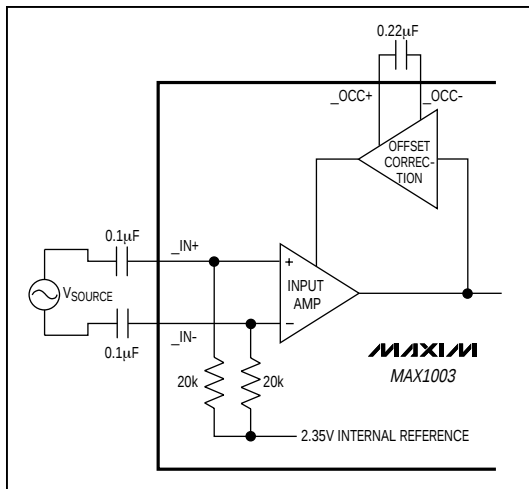


図3. 差動ACカップリング入力

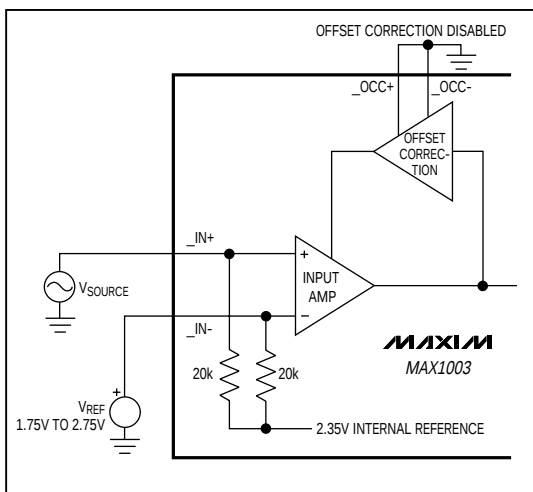


図4. シングルエンドDCカップリング入力

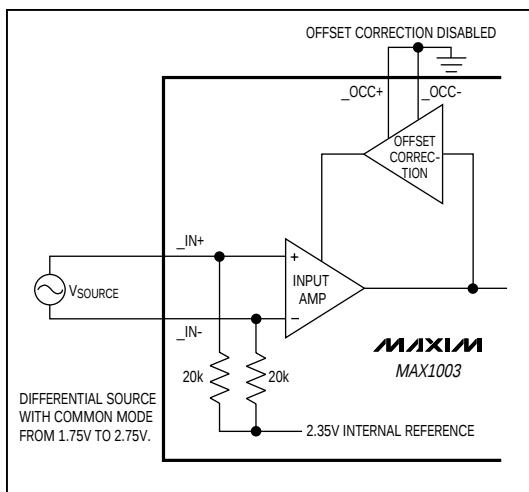


図5. 差動DCカップリング入力

図4及び図5に、入力信号にDC成分が存在するアプリケーション用のシングルエンド及び差動DCカップリング入力回路を示します。アンプの入力同相電圧範囲は、1.75V ~ 2.75Vです。このモードにおける入力信号のDC成分の減衰を防ぐため、I及びQブロックの\_OCC+及び\_OCC-ピンをグラウンドに接続してオフセット補償アンプをディセーブルしてください(図4及び図5)。

## ADC

I及びQ ADCブロックは、それぞれI及びQ入力アンプからアナログ信号を受け取ります。ADCは63個の完全差動コンパレータを使用したフラッシュ変換により、アナログ入力信号をオフセットバイナリフォーマットの6ビット出力にデジタル化します。

## MAX1003

内部フラッシュコンパレータに鋭いクロックエッジを提供するために、内部クロックドライババッファが内蔵されています。このバッファにより複数のコンパレータが同時にクロックされることが保証されるため、ADCの有効ビット数(ENOB)性能が向上します。



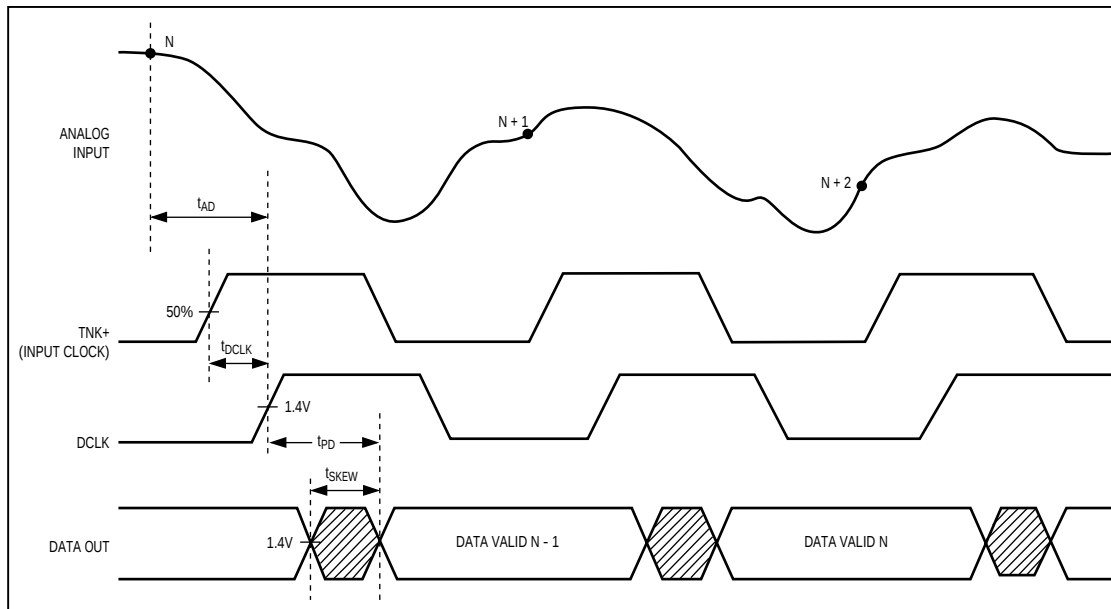


図8. MAX1003のタイミング図

## 外部クロック動作

外部クロックを使用した設計に対応するため、MAX1003の内部発振器は外部クロックソースでオーバードライブできます(図7)。ADCのENOB性能を劣化させるクロック位相ノイズ及びジッタを最小限に抑えるため、外部クロックソースはサイン波にしてください。クロックソース(推奨電圧レベルは約1Vp-p)を発振器入力にACカップリングしてください(図7)。

## 出力データフォーマット

変換結果は、デュアル6ビット幅のデータバスに出力されます。データは、1クロックサイクルのパイプラインディレーの後でADC出力ラッチにラッチされます(図8)。出力データはクロック出力(DCLK)の立上がりエッジでそれぞれのADCのデータ出力ピン(D\_0 ~ D\_5)からクロック出力されます。このときのDCLKからデータへの伝播遅延( $t_{PD}$ )は3.6nsとなっています。MAX1003の出力は、+3.3V CMOSロジックコンパチブルです。

## 伝達関数

図9に、MAX1003の公称伝達関数を示します。出力コーディングは、1LSB = FSR/63のオフセットバイナリです。

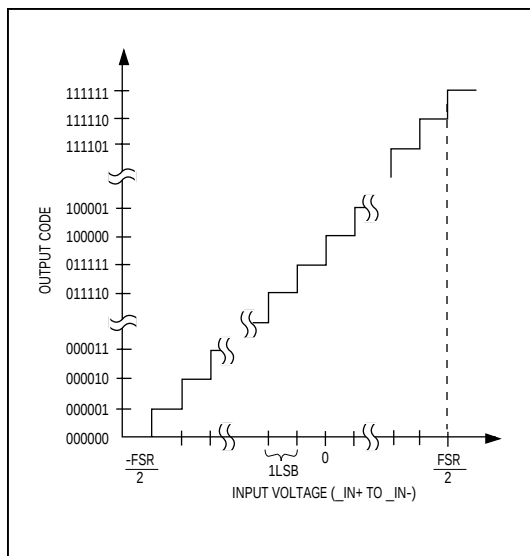


図9. 理想的な伝達関数

## アプリケーション情報

MAX1003は、敏感なアナログ回路を大電流デジタルノイズから分離するために、電源とグラウンドの接続をアナログとデジタルで別々にしています。大電流デジタル出力グラウンド(OGND)及びアナロググラウンド(GND)は同じDCレベルとし、ボードの1箇所のみで接続するようにしてください。これにより最高のノイズ耐性が得られ、変換精度が向上します。個別のグラウンドプレーンを使用することをお勧めします。

ボード全体に対し、アナログ電源及びデジタル電源の両方について良好なDCバイパスを必要とします。電源バイパスコンデンサは電源がボードに配線されるところの近く(即ちコネクタの近く)に配置してください。ESR定格の小さな10 $\mu$ F電解コンデンサをお勧めします。最高の有効ビット数性能を得るには、デジタル出力における容量性負荷を最小限にしてください。デジタル出力トレースは、できるだけ短くしてください。

MAX1003は、アナログ電源( $V_{CC}$ )用に+5V $\pm$ 5%電源、ロジック出力用に+3.3V $\pm$ 300mV電源( $V_{CCO}$ に接続)を必要とします。各 $V_{CC}$ 電源ピンをパッケージのできるだけ近くに配置された高品質のセラミックコンデンサでそれぞれのGNDにバイパスしてください(表2)。推奨レイアウト及びバイパス方式については、評価キットの説明書を参照してください。

## 動的性能

信号対雑音歪み比(SINAD)は、基本入力周波数のRMS振幅とその他全てのADC出力信号のRMS振幅の比です。出力帯域制限はDCより上、ADCサンプルレートの1/2未満の範囲となっています。

理論上の最小A/Dノイズは量子化誤差から生じ、 $SNR = (6.02N + 1.76)$ dBでADCの分解能から直接求めることができます。ここで、Nは分解能を表すビット数です。これによると、完全な6ビットADCでも38dB以上は不可能です。

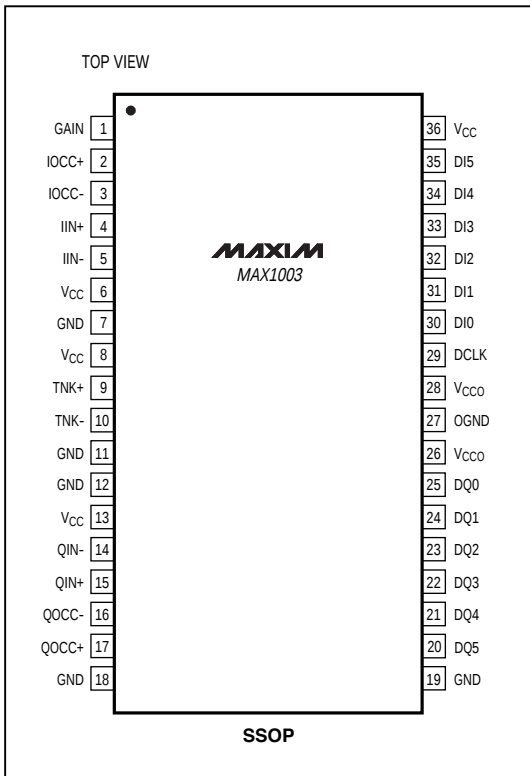
FFTプロット(「標準動作特性」を参照)は、20MHzの純粋なサイン波を90MHzのクロックレートでサンプリングした結果を示しています。この出力のFFTプロットは、様々なスペクトル帯域における出力レベルを表わしています。このプロットは、量子化ノイズフロアを低減して振幅の小さいものを見えやすくするために平均化されています。これにより、MAX1003の優れたスプリアスフリーダイナミックレンジが強調されています。

ADCの有効分解能(又は有効ビット数)は、分解能をSNRに変換する式を $N = (SINAD - 1.76)/6.02$ に変形することによって得られます(「標準動作特性」を参照)。

表2. バイパス

| 電源機能     | $V_{CC}/V_{CCO}$ | GND/OGNDへのバイパス | コンデンサ容量      |
|----------|------------------|----------------|--------------|
| アナログ入力   | 6                | 7              | 0.01 $\mu$ F |
| 発振器/クロック | 8                | 11             | 0.01 $\mu$ F |
| コンバータ    | 13               | 12             | 0.01 $\mu$ F |
| デジタルQ出力  | 26               | 27             | 47pF         |
| デジタルI出力  | 28               | 27             | 47pF         |
| バッファ     | 36               | 19             | 0.01 $\mu$ F |

## ピン配置



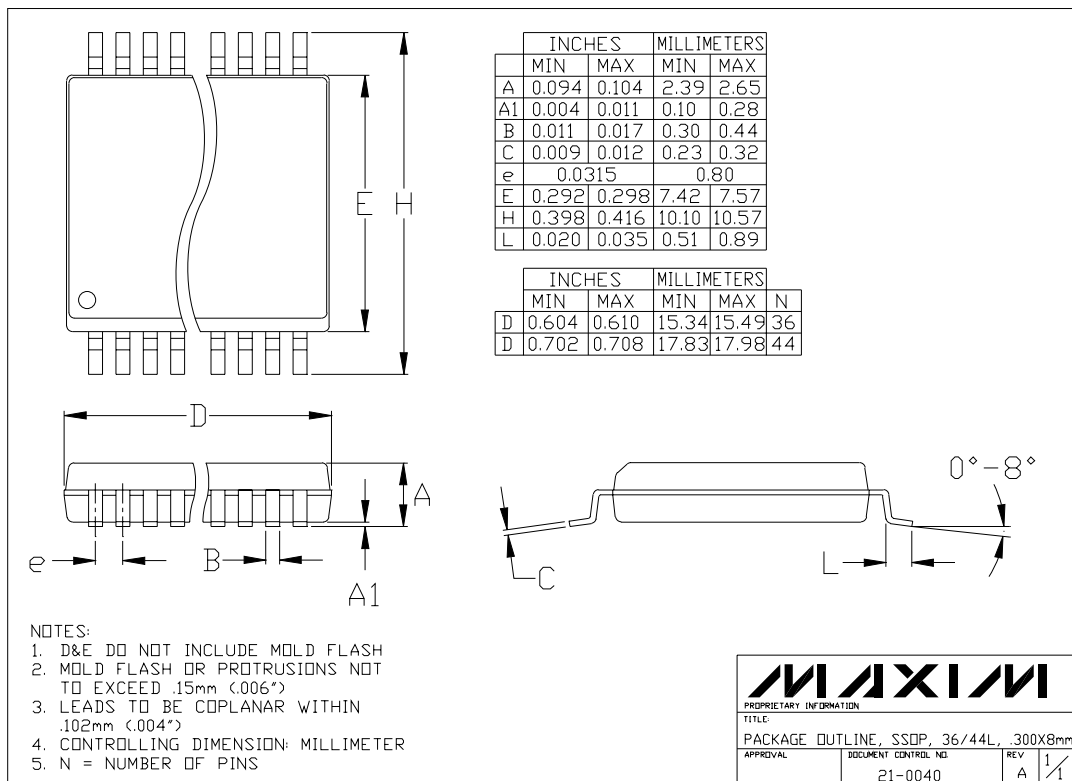
## チップ情報

TRANSISTOR COUNT: 6097

# 低電力、90Msps、デュアル6ビットADC

MAX1003

## パッケージ



販売代理店

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

12 Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600

© 1997 Maxim Integrated Products

MAXIM is a registered trademark of Maxim Integrated Products.