

EVALUATION KIT
AVAILABLE

低電力、60Msps、デュアル6ビットADC

MAX1002

概要

MAX1002は、高速低電力動作特性とユーザ選択入力範囲、内部リファレンス及びクロック発振器を兼ね備えたデュアル6ビットアナログデジタルコンバータ(ADC)です。デュアルパラレルADCは、同相(I)及び直交(Q)アナログ信号を2つの6ビットオフセットバイナリコードのデジタル出力に変換するように設計されています。サンプリングレートは60Mspsまでとなっており、標準積分非直線性(INL)及び微分非直線性(DNL)は $\pm 1/4\text{LSB}$ を実現しています。MAX1002はベースバンドI及びQ信号と直接インタフェースできるため、DBS、VSAT及びQAM16復調アプリケーションに最適です。

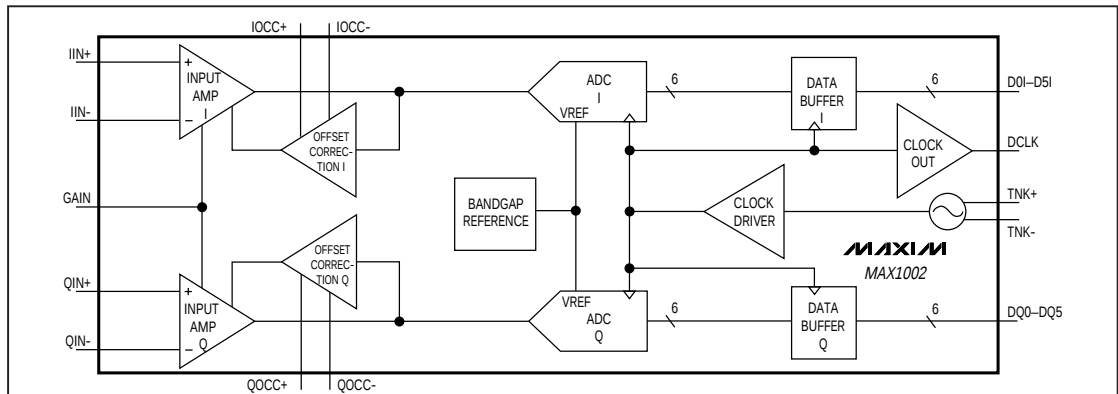
MAX1002の入力アンプは真の差動入力を備え、 -0.5dB アナログ帯域幅は55MHzで、ユーザが入力フルスケール範囲を設定できるようになっています(125mVp-p、250mVp-p又は500mVp-p)。入力信号がACカップリングの場合、入力チャンネル間のマッチングは利得が0.1dB、オフセットが $1/4\text{LSB}$ 、位相が 0.5° (typ)となっています。ダイナミック特性としては、20MHzのアナログ入力信号に対して有効ビット数(ENOB)が5.85、50MHzの入力信号に対して5.78となっています。

MAX1002は+5V単一電源で動作し、TTLコンパチブルデジタル出力を提供します。36ピンSSOPパッケージで提供されており、温度範囲は民生用($0 \sim +70$)のものを用意されています。

アプリケーション

DBSレシーバ
VSATレシーバ
ワイドローカルエリアネットワーク(WLAN)
ケーブルテレビのセットトップボックス

ファンクションダイアグラム



特長

- ◆ INL及びDNL： $\pm 1/4\text{LSB}$ (typ)
- ◆ チャンネル間のオフセットマッチング： $1/4\text{LSB}$ (typ)
- ◆ 利得マッチング：0.1dB
位相マッチング： 0.5° (typ)
- ◆ 内部バンドギャップ電圧リファレンス
- ◆ マッチングされた2つの6ビット、60Msps ADC
- ◆ 優れたダイナミック特性：
ENOBが5.85(アナログ入力20MHz)
ENOBが5.7(アナログ入力50MHz)
- ◆ オーバードライブ能力を備えた内部発振器
- ◆ 真の差動入力を備え、(-0.5dB)帯域幅が55MHzの入力アンプ
- ◆ ユーザによる選択可能な入力フルスケール範囲
(125mVp-p、250mVp-p、500mVp-p)
- ◆ シングルエンド又は差動入力
- ◆ 電源： $+5\text{V}$ 単一
- ◆ TTL出力
- ◆ $+3.3\text{V}$ CMOSコンパチブル出力付の90Mspsのアップグレード製品(MAX1003)も入手可能

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX1002CAX	$0^\circ\text{C to } +70^\circ\text{C}$	36 SSOP

ピン配置はデータシートの最後に記載されています。

低電力、60Msps、デュアル6ビットADC

MAX1002

ABSOLUTE MAXIMUM RATINGS

V _{CC} to GND	-0.3V to +6.5V
V _{CCO} to OGND	-0.3V, +6.5V
GND to OGND	-0.3V, +0.3V
Digital and Clock Output Pins to OGND	-0.3V, V _{CCO} (<10sec)
All Other Pins to GND	-0.3V, V _{CC}

Continuous Power Dissipation (T _A = +70°C)	
SSOP (derate 45mW/°C above +70°C)	941mW
Operating Temperature Range	0°C to +70°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, <10sec)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

(V_{CC}, V_{CCO} = +5V ±5%; T_A = T_{MIN} to T_{MAX}; unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY (Note 1)						
Resolution	RES		6			Bits
Integral Nonlinearity	INL		-0.5	±0.25	0.5	LSB
Differential Nonlinearity	DNL	No missing codes over temperature	-0.5	±0.25	0.5	LSB
Full-Scale Input Range	VFSH	GAIN = VCC (high gain)	118.75	125	131.25	mVp-p
	VFSM	GAIN = open (mid gain)	237.5	250	262.5	
	VFSL	GAIN = GND (low gain)	475	500	525	
INVERTING AND NONINVERTING ANALOG INPUTS						
Input Open-Circuit Voltage	VAOC		2.25	2.35	2.45	V
Input Resistance	RIN		13	20	29	kΩ
Input Capacitance	CIN	Guaranteed by design		3	5	pF
Common-Mode Voltage Range	VCM	Other analog input driven with external source (Note 2)	1.75		2.75	V
OSCILLATOR INPUTS						
Oscillator Input Resistance	ROSC	Other oscillator input tied to VCC + 0.3V	4.8	8	12.1	kΩ
DIGITAL OUTPUTS (DI0–DI5, DQ0–DQ5)						
Digital Outputs Logic-High Voltage	VOH	ISOURCE = 50μA	2.4			V
Digital Outputs Logic-Low Voltage	VOL	ISINK = 400μA			0.5	V
POWER SUPPLY						
Supply Current	ICC			63	104	mA
Power-Supply Rejection Ratio	PSRR	VCC = 4.75V to 5.25V (Note 3)		-75	-40	dB
Digital Outputs Supply Current	ICCO	20MHz, FS I & Q analog inputs, CLOAD = 15pF (Note 4)			24	mA
Power Dissipation	PD			380		mW

AC ELECTRICAL CHARACTERISTICS

(V_{CC}, V_{CCO} = +5V ±5%; T_A = +25°C; unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DYNAMIC PERFORMANCE (GAIN = open; external 60MHz clock (Figure 7); V _{INI} , V _{INI} Q = 20MHz sine; amplitude -1dB below FS; unless otherwise noted.)						
Maximum Sample Rate	f _{MAX}		60			Msp
Analog Input -0.5dB Bandwidth	BW	Gain = GND, open, V _{CC}		55		MHz
Effective Number of Bits	ENOB _M	Gain = open (mid gain)	5.6	5.85		Bits
		Gain = open (mid gain), V _{IN} = 50MHz, -1dB below FS		5.7		
	ENOB _H	Gain = V _{CC} (high gain)		5.8		
	ENOB _L	Gain = V _{CC} (low gain)		5.85		
Signal-to-Noise and Distortion Ratio	SINAD	Gain = open (mid gain)	35.4	37		dB
Input Offset (Note 5)	OFF	I channel	-0.5		0.5	LSB
		Q channel	-0.5		0.5	
Crosstalk Between ADCs	XTLK			-55		dB
Offset Mismatch Between ADCs	OMM2	(Note 5)	-0.5	±0.25	0.5	LSB
Amplitude Match Between ADCs	AM		-0.2	±0.1	0.2	dB
Phase Match Between ADCs	PM		-2	±0.5	2	degrees
TIMING CHARACTERISTICS (data outputs: R _L = 1MΩ, C _L = 15pF, Figure 8)						
DCLK to Data-Propagation Delay	t _{PD}	(Note 6)		7.1		ns
Data Valid Skew	t _{SKEW}	(Note 6)		3.6		ns
Input to DCLK Delay	t _{DCLK}	TN _K + to DCLK (Note 6)		5.3		ns
Aperture Delay	t _{AP}			5.5		ns
Pipeline Delay	PD			1		clock cycle

Note 1: Best straight-line linearity method.

Note 2: A typical application will AC couple the analog input to the DC bias level present at the analog inputs (typically 2.35V). However, it is also possible to DC couple the analog input (using differential or single-ended drive) within this common-mode input range (Figures 4, 5).

Note 3: PSSR is defined as the change in the mid-gain, full-scale range as a function of the variation in V_{CC} supply voltage (expressed in decibels).

Note 4: The current in the V_{CCO} supply is a strong function of the capacitive loading on the digital outputs. To minimize supply transients and achieve the best dynamic performance, reduce the capacitive loading effects by keeping line lengths on the digital outputs to a minimum.

Note 5: Offset-correction compensation enabled, 0.22μF at Q and I compensation inputs (Figures 2, 3).

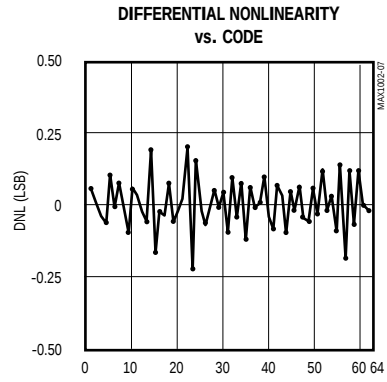
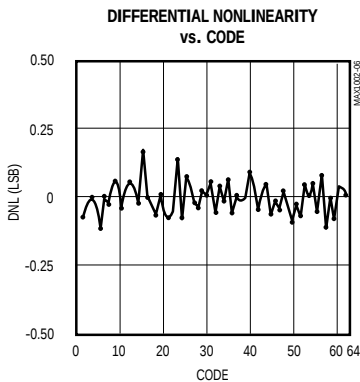
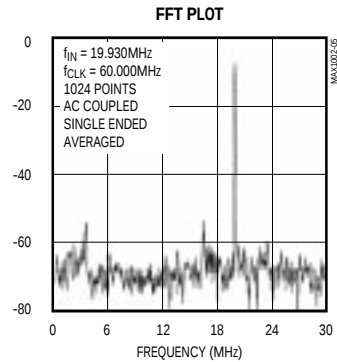
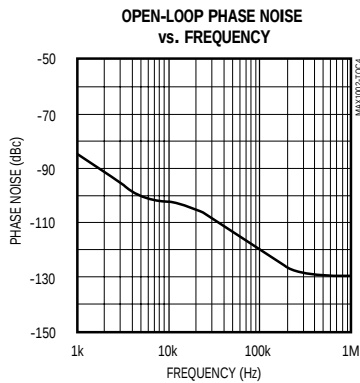
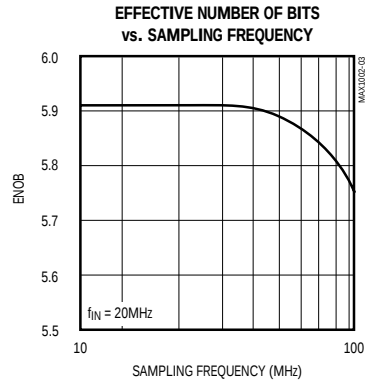
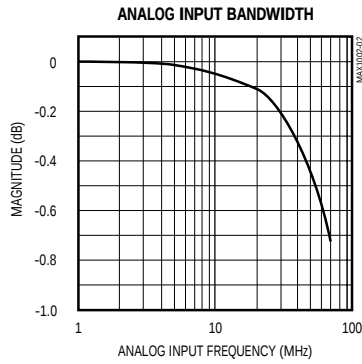
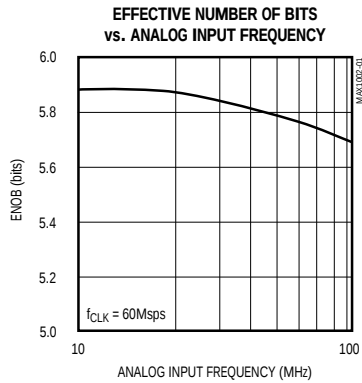
Note 6: t_{PD} and t_{SKEW} are measured from the 1.4V level of the output clock, to the 1.4V level of either the rising or falling edge of a data bit. t_{DCLK} is measured from the 50% level of the clock overdrive signal on TN_K+ to the 1.4V level of DCLK. The capacitive load on the outputs is 15pF.

低電力、60Msps、デュアル6ビットADC

MAX1002

標準動作特性

(V_{CC} , V_{CCO} = +5V $\pm 5\%$; MAX1002/MAX1003 evaluation kit; T_A = +25°C; unless otherwise noted.)



低電力、60Msps、デュアル6ビットADC

MAX1002

端子説明

端子	名称	機 能
1	GAIN	利得選択入力。入力フルスケール範囲(125/250/500mVp-p)を設定します(表1)。
2	IOCC+	正Iチャネルオフセット補正補償。ACカップリング入力の場合は、0.22μFのコンデンサを接続してください(図2、3)。DCカップリング入力の場合は、グランドに接続してください(図4、5)。
3	IOCC-	負Iチャネルオフセット補正補償。ACカップリング入力の場合は、0.22μFのコンデンサを接続してください(図2、3)。DCカップリング入力の場合は、グランドに接続してください(図4、5)。
4	IIN+	Iチャネル非反転アナログ入力
5	IIN-	Iチャネル反転アナログ入力
6	VCC	+5V ± 5%電源。0.01μFコンデンサを使用してGND(ピン7)にバイパスしてください。
7, 11, 12, 18, 19	GND	アナロググランド
8	VCC	+5V ± 5%電源。0.01μFコンデンサを使用してGND(ピン11)にバイパスしてください。
9	TNK+	正発振器/クロック入力
10	TNK-	負発振器/クロック入力
13	VCC	+5V ± 5%電源。0.01μFコンデンサを使用してGND(ピン12)にバイパスしてください。
14	QIN-	Qチャネル反転アナログ入力
15	QIN+	Qチャネル非反転アナログ入力
16	QOCC-	負Qチャネルオフセット補正補償。ACカップリング入力の場合は、0.22μFのコンデンサを接続してください(図2、3)。DCカップリング入力の場合は、グランドに接続してください(図4、5)。
17	QOCC+	正Qチャネルオフセット補正補償。ACカップリング入力の場合は、0.22μFのコンデンサを接続してください(図2、3)。DCカップリング入力の場合は、グランドに接続してください(図4、5)。
20–25	DQ5–DQ0	Qチャネルデジタル出力0 ~ 5。DQ5が最上位ビット(MSB)です。
26, 28	VCCO	+5V ± 5%デジタル電源。各々を47pFでOGND(ピン27)にバイパスしてください。
27	OGND	デジタル出力グランド
29	DCLK	デジタルクロック出力。出力データのフレーミングを行います。
30–35	DI0–DI5	Iチャネルデジタル出力0 ~ 5。DI5が最上位ビット(MSB)です。
36	VCC	+5V ± 5%電源。0.01μFコンデンサを使用してGND(ピン19)にバイパスしてください。

詳細

コンバータの動作

MAX1002は、2つの6ビットアナログデジタルコンバータ(ADC)、バッファ付電圧リファレンス及び発振器回路を備えています。ADCは、フラッシュ変換方式を使用してアナログ入力信号を6ビットパラレルデジタル出力コードに変換します。MAX1002は、63個の完全差動コンパレータ及び1LSB以下のダイナミックエンコーディングエラーを保証する独自のエンコーディング方式を使用したユニークな設計となっています。制御ロジックは、+5V CMOSコンパチブルロジックインタフェースを備えた殆どのデジタルシグナルプロセッサ(DSP)及びマイクロプロセッサ(μP)と簡単にインタフェースします。図1に、MAX1002の標準アプリケーションを示します。

可変入力アンプ

MAX1002は、-0.5dB帯域幅が55MHzで真の差動入力を備えた同相(I)及び直交(Q)可変利得入力アンプを備えています。高速機器における性能を最大限にするため、各アンプの入力容量は5pF以下となっています。入力アンプの利得はGAINピンで設定され、3つの異なる入力フルスケール範囲(FSR)が可能になっています(表1)。

表1. 入力アンプのプログラミング

利得	入力フルスケール範囲(mVp-p)
GND	500
オープン	250
VCC	125

低電力、60Msps、デュアル6ビットADC

MAX1002

図2及び図3に、シングルエンド及び差動ACカップリング入力回路を示します。アンプの各入力は、内部で20kΩ抵抗を通じて2.35Vリファレンスにバイアスされているため、外部DCバイアス回路が排除されています。ACカップリング信号の場合は、各アンプ入力に直列0.1μFコンデンサが必要になります。

ACカップリング入力で作動する場合は、入力アンプのDCオフセット電圧が内蔵オフセット補正アンプによって

零位(ヌル)から±1/2LSB以内までに調整されます。オフセット補正アンプの周波数応答の主ポールを設定するために、外部補償コンデンサが必要です(図2及び図3)。この補償コンデンサは、次式によりアナログ入力応答の低域コーナー周波数を決定します。

$$f_c = 1/(0.1 \times C)$$

ここで、Cは補償コンデンサの値(μF)、 f_c はコーナー周波数(Hz)です。

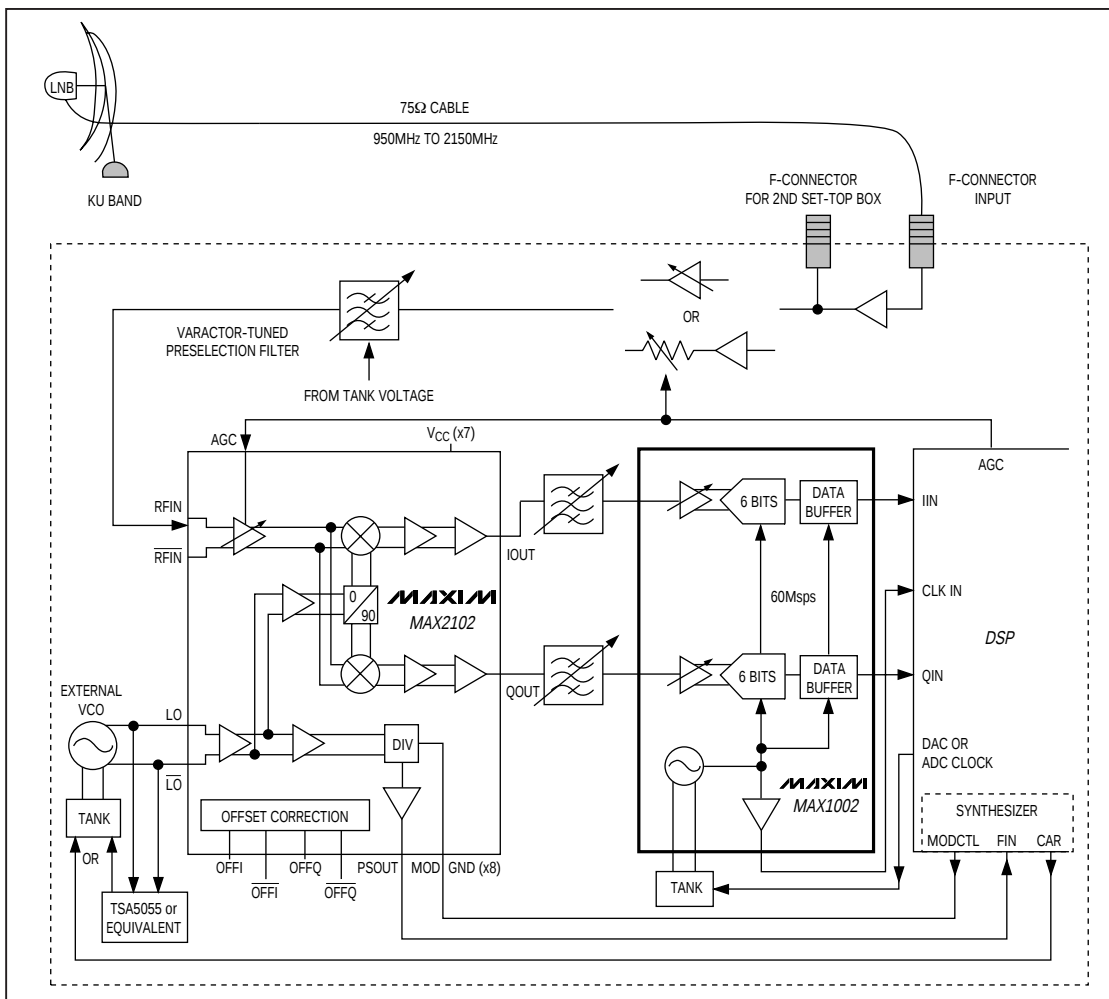


図1. 市販の衛星レシーバシステム

図4及び図5に、入力信号にDC成分が存在するアプリケーション用のシングルエンド及び差動DCカップリング入力回路を示します。アンプの入力同相電圧範囲は、1.75V ~ 2.75Vです。このモードにおける入力信号のDC成分の減衰を防ぐため、I及びQブロックの_OCC+及び_OCC-ピンをグラウンドに接続して、オフセット補償アンプをディセーブルしてください(図4及び図5)。

ADC

I及びQ ADCブロックは、それぞれI及びQ入力アンプからアナログ信号を受信します。ADCは63個の完全差動コンパレータを使用したフラッシュ変換により、アナログ入力信号をオフセットバイナリフォーマットの6ビット出力にデジタル化します。

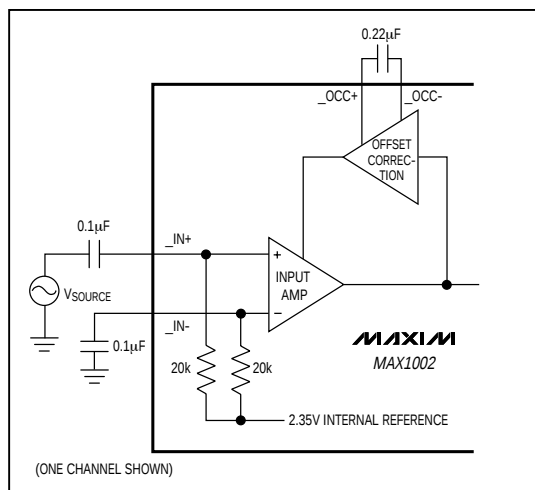


図2. シングルエンドACカップリング入力

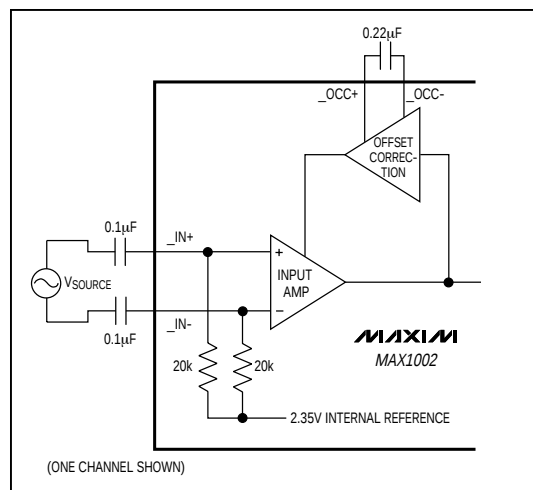


図3. 差動ACカップリング入力

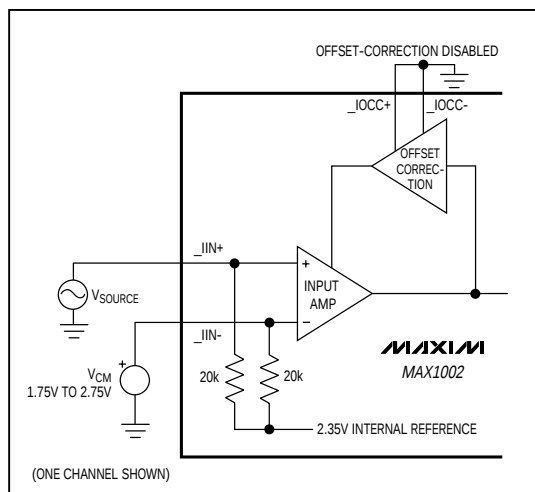


図4. シングルエンドDCカップリング入力

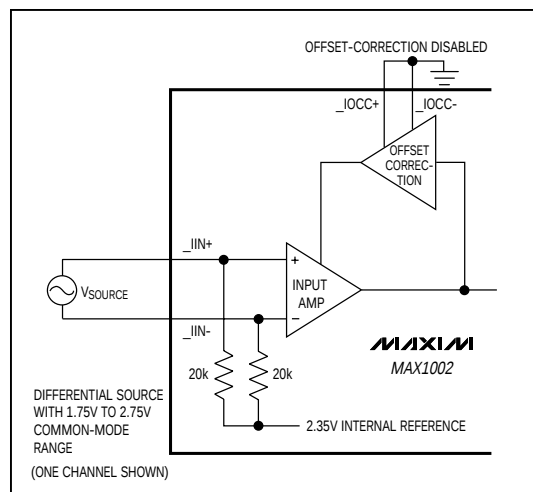


図5. 差動DCカップリング入力

低電力、60Msps、デュアル6ビットADC

MAX1002

MAX1002は当社独自のエンコーディング方式により、ダイナミックエンコーディングエラーを1LSB以下に抑えています。サンプルが取り込まれる時点でアナログ入力が入力コンパレータのうちの1つの決定点の近くに落ちた時に、準安定状態に起因するダイナミックエンコーディングエラーが生じることがあります。通常のコンバータでは、この結果出力に誤りが発生し、偽のフルスケール又はゼロスケール出力が生じる場合があります。MAX1002は、ユニークな設計により、このタイプのエラーの大きさを1LSBに抑えています。

内部電圧リファレンス

MAX1002には、ADCのリファレンスラダーを駆動するための内部バッファ付バンドギャップリファレンスが内蔵されています。内部リファレンス及びバッファにより、リファレンスラダーへの外部(ハイインピーダンス)接続が排除されるため、外部回路からのノイズカップリングの可能性が最小限になると共に、電圧リファレンス、入力アンプ及びリファレンスラダーが温度及び電源の変化によく追従することが保証されます。

発振器回路

MAX1002は、差動発振器を備えています。この発振器は、図6に示すように外部並列共振(タンク)ネットワークによって制御されています。別方法として、発振器を外部クロックソースでオーバードライブすることもできます(図7参照)。

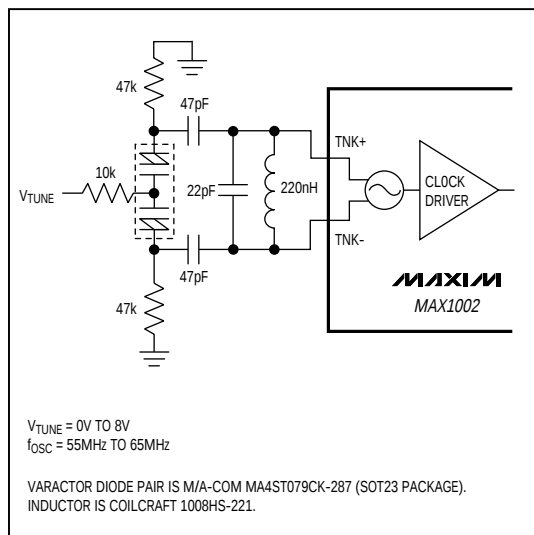


図6. タンク共振発振器

内部クロックの動作(タンク)

タンク回路を使用する場合は、共振インダクタはQが十分に大きく、自己共振周波数(SRF)が発振器周波数の少なくとも2倍のものを使用してください。このアプリケーションにはCoilcraft社の1008HS-221(SRFが700MHzでQが45)が好適です。バラクタ及びタンク素子を調節することにより、様々なクロック周波数範囲を生成できます。

内部フラッシュコンパレータに鋭いクロックエッジを提供するために、内部クロックドライババッファが内蔵されています。このバッファにより、複数のコンパレータが同時にクロックされることが保証されるため、ADCの有効ビット数(ENOB)性能が向上します。

外部クロック動作

外部クロックを使用した設計に対応するため、MAX1002の内部発振器は外部クロックソースでオーバードライブできます(図7)。ADCのENOB性能を劣化させるクロック位相ノイズ及びジッタを最小限に抑えるため、外部クロックソースはサイン波にしてください。クロックソース(推奨電圧レベルは約1Vp-p)を発振器入力にACカップリングしてください(図7)。

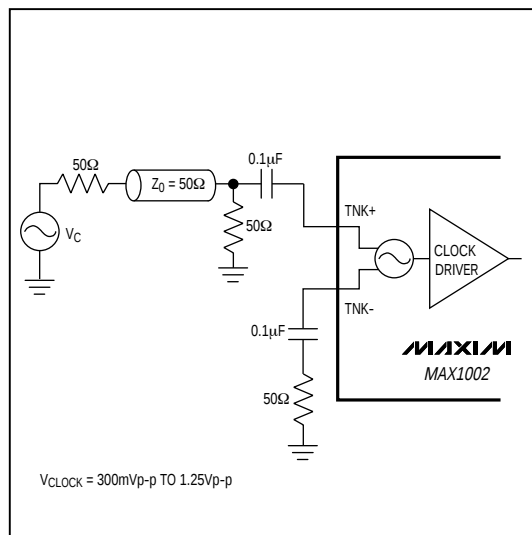


図7. 外部クロック駆動回路

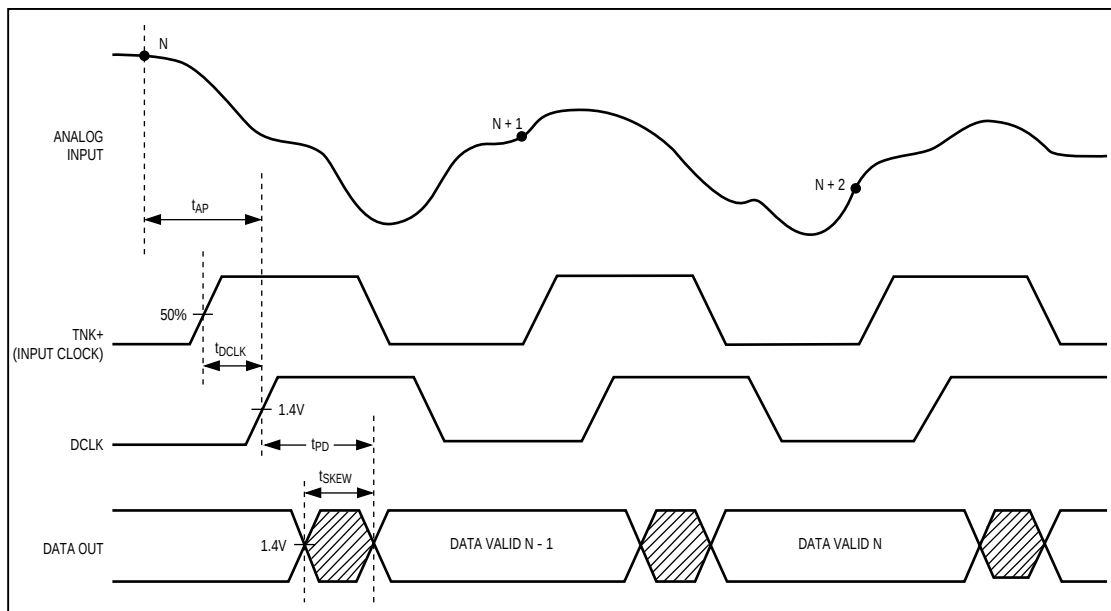


図8. MAX1002のタイミング図

出力データフォーマット

変換結果は、デュアル6ビット幅データバスに出力されます。データは1クロックサイクルのパイプラインディレーの後でADC出力ラッチに取り込まれます(図8)。出力データは、クロック出力(DCLK)の立上がりエッジでそれぞれのADCのデータ出力ピン(D_0 ~ D_5)から出力されます。ここで、DCLKからデータへの伝播遅延(t_{PD})は7.1nsとなっています。MAX1002の出力は、TTLコンパチブルです。

伝達関数

図9に、MAX1002の公称伝達関数を示します。出力コーディングは、1LSB = FSR/63のオフセットバイナリです。

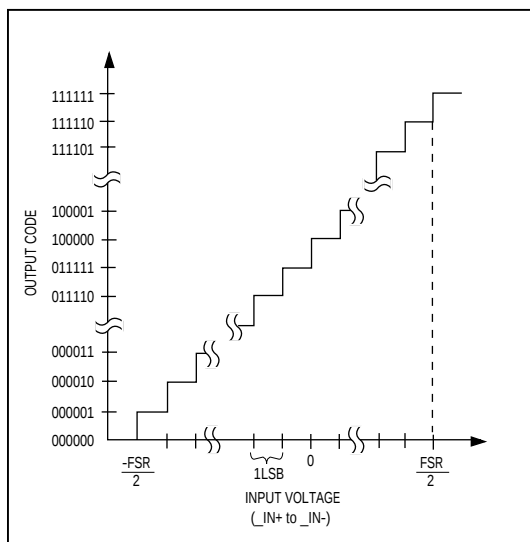


図9. 理想的な伝達関数

アプリケーション情報

MAX1002は、敏感なアナログ回路を大電流デジタルノイズから分離するために、電源とグラウンドの接続をアナログとデジタルで個別にしています。大電流デジタル出力グラウンド(OGND)及びアナロググラウンド(GND)は同じDCレベルとし、ボードの1箇所のみで接続してください。これにより最高のノイズ耐性が得られ、変換精度が向上します。個別のグラウンドプレーンを使用することをお勧めします。

アナログ電源及びデジタル電源の両方について、ボード全体で良好なDCバイパスを必要とします。電源バイパスコンデンサは、電源がボードに配線される位置の近く(即ちコネクタの近く)に配置してください。低ESRの10 μ F電解コンデンサをお勧めします。最高の有効ビット数性能を得るために、デジタル出力における容量性負荷を最小限にしてください。デジタル出力トレースは、できるだけ短くしてください。

MAX1002は、+5V電源で動作できます。最高の性能を得るために、個別の+5V $\pm$ 5%電源を使用した上で、バイパスしてください。各V_{CC}電源ピンをパッケージのできるだけ近くに配置された高品質のセラミックコンデンサでそれぞれのGNDにバイパスしてください(表2)。推奨レイアウト及びバイパス方式については、評価キットの説明書を参照してください。

表2. バイパス

電源機能	V _{CC} / V _{CCO}	GND/OGND へのバイパス	コンデンサ値
アナログ入力	6	7	0.01 μ F
発振器/クロック	8	11	0.01 μ F
コンバータ	13	12	0.01 μ F
デジタルQ出力	26	27	47pF
デジタルI出力	28	27	47pF
バッファ	36	19	0.01 μ F

ダイナミック性能

信号対雑音歪み比(SINAD)は、基本入力周波数のRMS振幅とその他全てのADC出力信号のRMS振幅の比です。出力帯域制限はDC以上、ADCサンプルレートの1/2未満の範囲です。

理論上の最小A/Dノイズは量子化誤差から生じ、SNR = (6.02N + 1.76)dBでADCの分解能から直接求めることができます。ここで、Nは分解能を表すビット数です。これによると、完全な6ビットADCでも38dB以上は不可能ということになります。

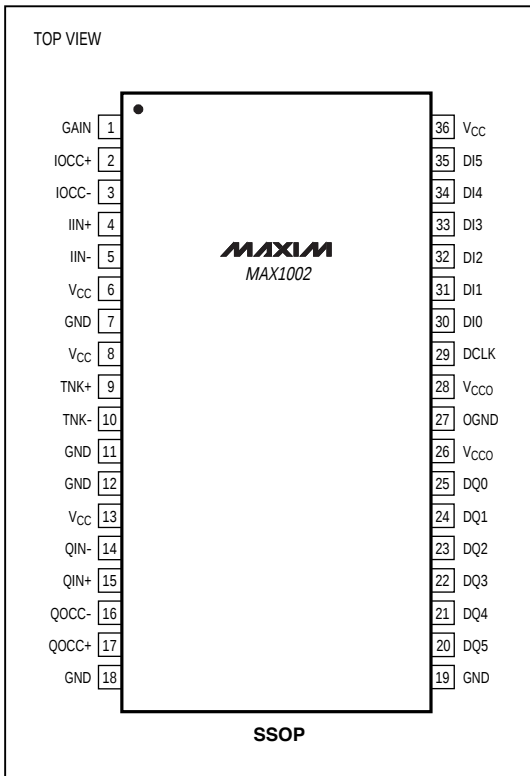
FFTプロット(「標準動作特性」を参照)は、20MHzの純粋なサイン波を60MHzのクロックレートでサンプリングした結果を示しています。この出力FFTプロットには、様々なスペクトル帯域における出力レベルが表示されます。このプロットは、量子化ノイズフロアを低減して低振幅スパークを見えやすくするために平均化されています。これにより、MAX1002の優れたスプリアスフリーダイナミックレンジが強調されています。

ADCの有効分解能(又はENOB)は、分解能をSNRに変換する式を $N = (\text{SINAD} - 1.76)/6.02$ に変形することによって得られます(「標準動作特性」を参照)。

低電力、60Msps、デュアル6ビットADC

ピン配置 _____

チップ情報 _____



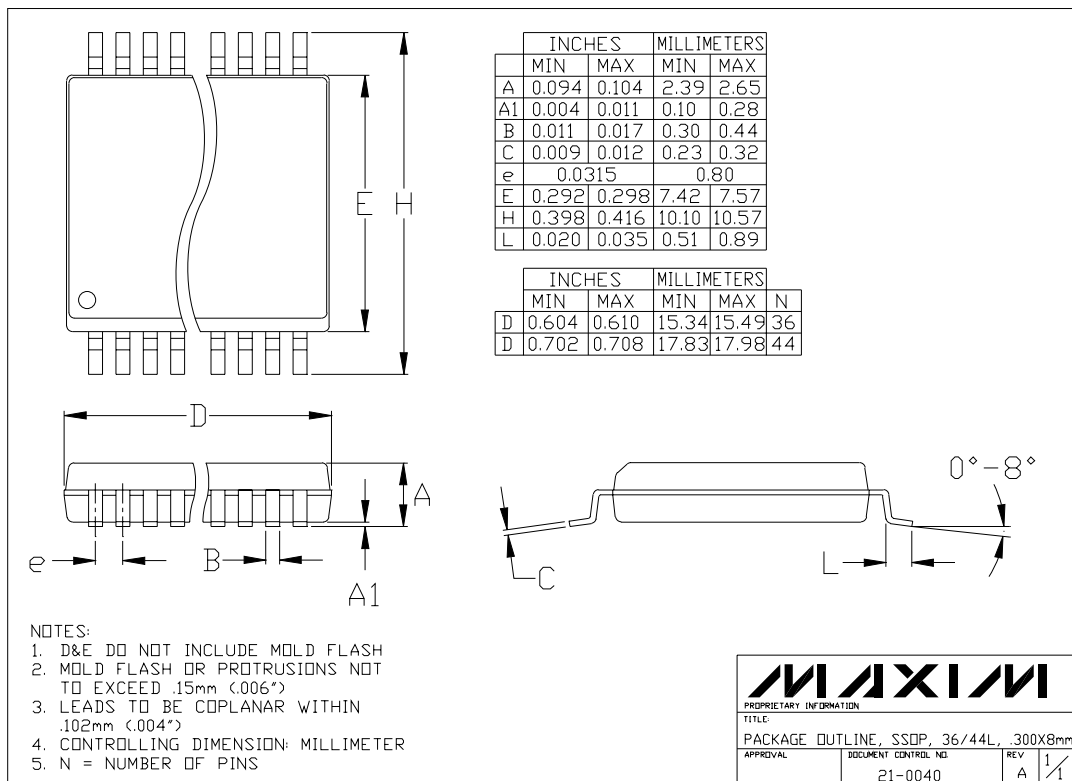
TRANSISTOR COUNT: 6097

MAX1002

低電力、60Msps、デュアル6ビットADC

MAX1002

パッケージ



販売代理店

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

12 _____ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

© 1997 Maxim Integrated Products

MAXIM is a registered trademark of Maxim Integrated Products.