

デュアル出力、6フェーズ、 電流モニタリング機能付きマルチフェーズ 電流モード同期整流式コントローラ

特長

- 1mΩ未満のDCRまたはDrMOSを使った電流検出による効率の向上
- パワー・ブロック、DrMOS、または外部ゲート・ドライバとMOSFETで動作
- 全出力電圧精度: $\pm 0.5\%$
- 柔軟な位相構成
- デュアル出力電流モニタリング
- $t_{ON(MIN)} = 40ns$ 、高周波数で非常に低いデューティ・サイクルに対応
- デュアル差動リモート検出アンプ
- プログラマブルな周波数範囲: 250kHz~1.2MHz
- V_{IN} の電圧範囲がICによって制限されない
- V_{CC} の電圧範囲: 4.5V~5.5V
- V_{OUT} の電圧範囲: 0.5V~2.0V
- LTC7852: 48ピン (5mm×6mm) GQFN
- LTC7852-1: 36ピン (4mm×5mm) QFN

アプリケーション

- コンピュータ・システム
- テレコムおよびデータ通信システム
- DC 配電システム

全ての登録商標および商標の所有権は、それぞれの所有者に帰属します。9525351、9793800を含む米国特許によって保護されています。

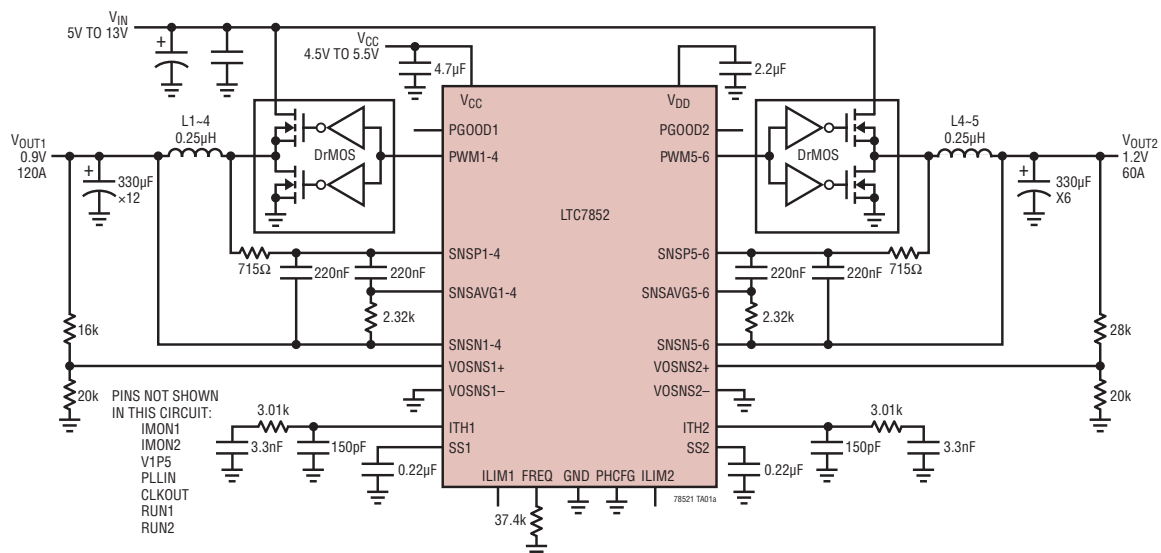
概要

LTC[®]7852/LTC7852-1は、6フェーズ、デュアル出力電流モードの同期整流式降圧スイッチング・レギュレータ・コントローラで、DrMOS、パワー・ブロック、またはディスクリートNチャンネルMOSFETと関連するゲート・ドライバなどの外部パワー供給系デバイスと組み合わせて動作します。柔軟な設計により、1、2、3、4、5、および6フェーズ構成に対応します。LTC7852は電流検出信号のS/N比を向上させる独自の機能を備えており、DC巻線抵抗が非常に低いインダクタを使用して最大限の効率を達成できます。最小オン時間がわずか40nsと短いため、高い降圧比で高いスイッチング周波数を使用できます。2個のデバイスを使用して8、10、または12フェーズを並列接続すれば、最大400Aまでの大電流条件に対応できます。

リモート検出差動アンプと高精度リファレンスにより、0.5V~2.0Vの範囲で正確な出力電圧が得られます。入力電圧はコントローラによる制限を受けません。出力の短絡や過電流に対するヒカッ・モード保護により、熱放散を最小限に抑えます。

LTC7852-1は、内部回路検出信号を備えたDrMOS専用に設計されています。

標準的応用例



目次

特長 1

アプリケーション 1

標準的応用例 1

概要 1

絶対最大定格..... 3

発注情報..... 3

電気的特性..... 4

代表的な性能特性 7

ピン機能..... 9

機能ブロック図..... 10

動作 12

アプリケーション情報..... 16

標準的応用例..... 28

パッケージ..... 30

標準的応用例..... 32

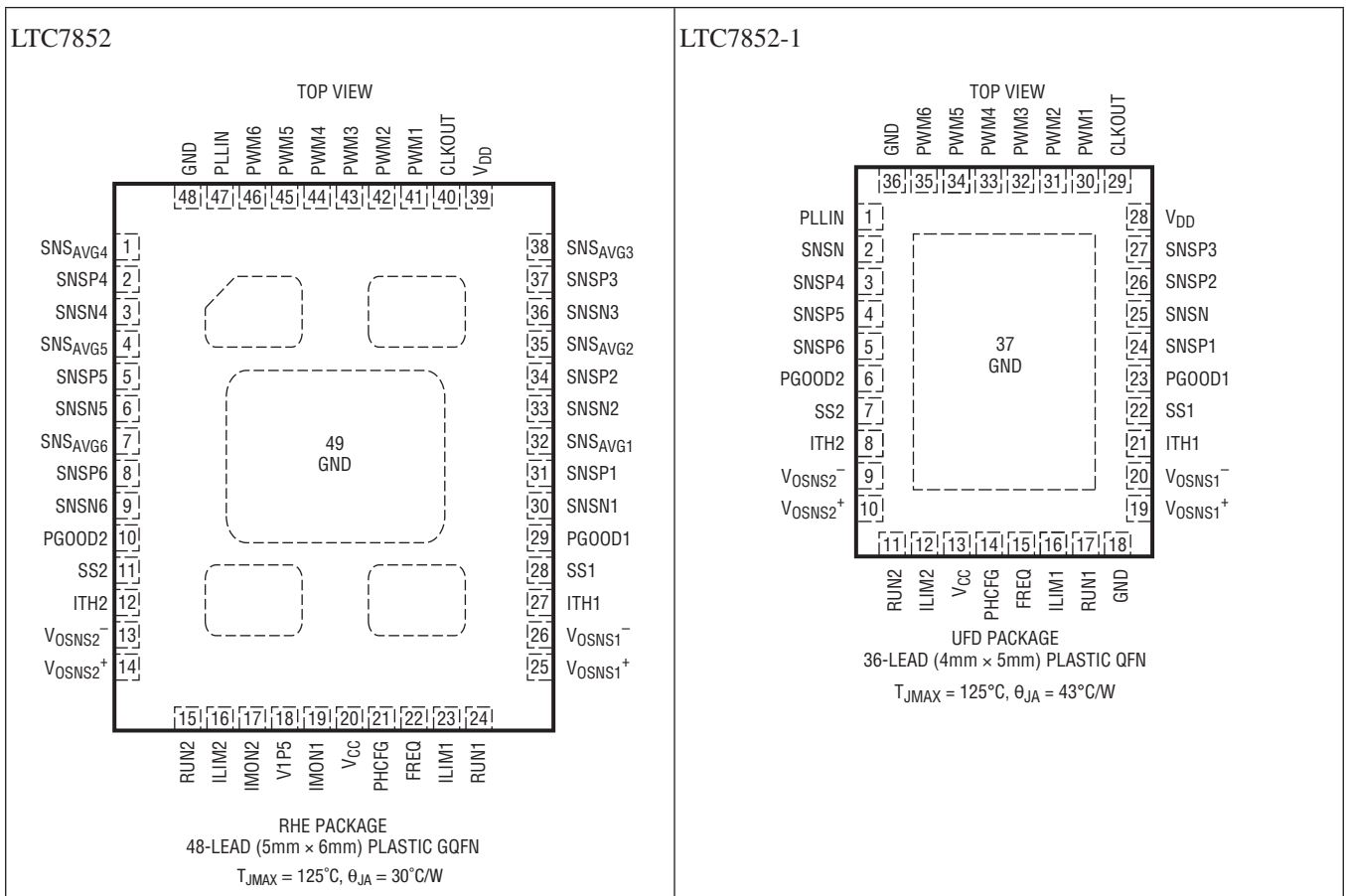
関連製品..... 32

絶対最大定格 (Note 1)

RUN1、2、PGOOD1、2、 V_{CC} の電圧 $-0.3V \sim 6V$
 SNSN、SNSAVG (LTC7852 のみ)、
 SNSP $-0.3V \sim (V_{CC} + 0.3V)$

その他の全てのピンの電圧 $-0.3V \sim (V_{CC} + 0.3V)$
 動作ジャンクション温度範囲 $-40^{\circ}C \sim 125^{\circ}C$
 保存温度範囲 $-65^{\circ}C \sim 150^{\circ}C$

ピン配置



発注情報

鉛フリー仕上げ	テープ&リール	製品マーキング	パッケージ	温度範囲
LTC7852ERHE#PBF	LTC7852ERHE#TRPBF	7852	48-LEAD (5mm x 6mm) Plastic GQFN	$-40^{\circ}C$ to $125^{\circ}C$
LTC7852IRHE#PBF	LTC7852IRHE#TRPBF	7852	48-LEAD (5mm x 6mm) Plastic GQFN	$-40^{\circ}C$ to $125^{\circ}C$
LTC7852EUFD-1#PBF	LTC7852EUFD-1#TRPBF	78521	36-LEAD (4mm x 5mm) Plastic QFN	$-40^{\circ}C$ to $125^{\circ}C$
LTC7852IUFD-1#PBF	LTC7852IUFD-1#TRPBF	78521	36-LEAD (4mm x 5mm) Plastic QFN	$-40^{\circ}C$ to $125^{\circ}C$

更に広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。

テープ&リールの仕様。一部のパッケージは、#TRMPBF 接尾部の付いた指定の販売経路を通じて 500 個入りのリールで供給可能です。

LTC7852/LTC7852-1

電氣的特性

●は規定動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ の値 (Note 2)。注記がない限り、 $V_{CC} = V_{RUN} = 5V$ 。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{CC} Minimum	Bias Supply Input					4.5	V
V_{OUT}	Output Voltage Range	LTC7852 Only (Note 2)	●			2.0	V
V_{OSNS}^+	Regulated Feedback Voltage	$I_{TH} = 1.2V$ (Note 4) -40°C to 125°C 0°C to 85°C	● ●	496 498	500 500	504 502	mV mV
I_{OSNS}^+	Feedback Current					-100	nA
$V_{REFLNREG}$	Reference Voltage Line Reg.	$V_{CC} = 4.5V$ to $5.5V$				0.1	%
$V_{LOADREG}$	Output Voltage Load Regulation	$\Delta I_{TH} = 0.7V$ to $1.2V$ $\Delta I_{TH} = 1.2V$ to $1.6V$	● ●		0.01 0.01	0.1 0.1	% %
$g_{m1,2}$	Transconductance Amplifier g_m	$I_{TH} = 1.7V$, Sink/Source $10\mu A$			2.75		mmho
f_{0dB}	Differential Amplifier Unity-Gain Crossover Frequency	(Note 5)			4		MHz
V_{OVL}	Feedback Overvoltage Lockout	Measured at V_{OSNS}^+	●	5	7.5	10	%
I_Q	Input DC Supply Current Normal Mode Shutdown	$V_{RUN} = 0V$			15 1.2		mA mA
$UVLO$	Undervoltage Lockout	V_{CC} Falling		3.6	4.0	4.3	V
$UVLO_{HYS}$	UVLO Hysteresis				200		mV
I_{SNSAVG}	Sense Pin Bias Currents	$V_{SNSAVG} = 1.0V$ LTC7852 Only	●			± 30	nA
I_{SNSP}	Sense Pin Bias Currents	LTC7852 $SNSP = 1.0V$ LTC7852-1 $SNSP = 1.5V$	●			± 50	nA
I_{SS}	Soft-Start Charge Current	$V_{SS} = 0V$		-4.5	-5	-5.5	μA
V_{SNSN}	Sense Pin Bias Voltage	$-3mA < I_{SNSN} < 3mA$ LTC7852-1 Only			1.5		V
A_{VT_SNS}	Total Sense Signal Gain to Current Comparator	LTC7852 Only			5		V/V
V_{RUN}	RUN Pin ON Threshold	V_{RUN} Rising	●	1.1	1.22	1.34	V
V_{RUN_HYS}	RUN Pin ON Hysteresis				140		mV
I_{RUN}	RUN Pin Pull-Up Current RUN < ON Threshold RUN > ON Threshold	RUN < 1.1V RUN > 1.34V			-1.3 -7.7		μA μA
$V_{SENSE(MAX)}$	Maximum Current Sense Threshold	LTC7852 $I_{TH} = 2.2V$, $V_{SNSN} = 1.0V$ $V_{SNSAVG} = V_{SNSN}$ $I_{LIM} = 0V$ $I_{LIM} = 1/4V_{CC}$ $I_{LIM} = \text{Float}$ $I_{LIM} = 3/4V_{CC}$ $I_{LIM} = V_{CC}$	● ● ● ● ●	9 14 19 24 28.5	10 15 20 25 30	11 16 21 26 31.5	mV mV mV mV mV
		LTC7852-1 $I_{TH} = 2.2V$ $I_{LIM} = 0V$ $I_{LIM} = 1/4V_{CC}$ $I_{LIM} = \text{Float}$ $I_{LIM} = 3/4V_{CC}$ $I_{LIM} = V_{CC}$	● ● ● ● ●	45 70 95 120 142.5	50 75 100 125 150	55 80 105 130 157.5	mV mV mV mV mV
$V_{\text{OMIS Standard Deviation of}}$	Phase to Phase Current Sensed Voltage Mismatching	$I_{LIM} = \text{Float}$, PHCFG = Float $I_{TH} = 2.2V$			0.5		mV
$t_{ON(MIN)}$	Minimum On-Time	(Note 6)			40		ns

電氣的特性

●は規定動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ の値 (Note 2)。注記がない限り、 $V_{CC} = V_{RUN} = 5\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
パワーグッド							
V _{PGOOD(ON)}	PGOOD Pull Down Resistance					200	Ω
I _{PGOOD(OFF)}	PGOOD Leakage Current	V _{PGOOD} = 5V				2	μA
t _{PGOOD}	V _{PGOOD} High to Low Delay				45		μs
V _{PGD}	PGOOD Trip Level	V _{FB} with Respect to Set Output Voltage V _{FB} Ramping Up V _{FB} Ramping Down		5 −5	7.5 −7.5	10 −10	% %
V _{PG1(HYST)}	PGOOD Trip Level Hysteresis				15		mV
発振器とフェーズロック・ループ							
f _{OSC}	Oscillator Frequency	R _{FREQ} = 30.1kΩ R _{FREQ} = 47.5kΩ R _{FREQ} = 54.9kΩ R _{FREQ} = 75.0kΩ		215 550 675 0.875	250 600 750 1.05	285 650 825 1.225	kHz kHz kHz MHz
	Sync.Freq.Range		●	0.25		1.2	MHz
I _{FREQ}	FREQ Pin Output Current	V _{FREQ} = 0.8V		−18.5	20	−21.5	μA
R _{PLLIN}	PLLIN Input Resistance				200		kΩ
V _{PLLIN}	PLLIN Input Threshold	V _{PLLIN} Rising V _{PLLIN} Falling			2 1.2		V V
V _{CLKOUT}	Low Output Voltage High Output Voltage	I _{LOAD} = 500μA I _{LOAD} = −500μA			0.2 5		V V
V _{DD} 出力							
V _{DD}	Internal V _{DD} Voltage				3.3		V
PWM出力							
PWM	PWM Output High Voltage	I _{LOAD} = −500μA	●	3.1	3.3	3.5	V
	PWM Output Low Voltage	I _{LOAD} = 500μA	●			0.5	V
	PWM Output Current in Hi-Z State	PWM = 0V PWM = 3.3V				−1 1	μA μA
IMON出力 (LTC7852のみ)							
V1P5	1.5V Regulator Output Voltage	V _{SNS} = 0, −3mA < I _{V1P5} < 3mA	●	1.4	1.5	1.6	V
IMON	IMON Output Voltage	V _{SNS} = V _{SNSMAX} , I _{LIM} = Float	●	V1P5 +142.5	V1P5 +150	V1P5 +157.5	mV

LTC7852/LTC7852-1

電气的特性

●は規定動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ の値 (Note 2)。注記がない限り、 $V_{CC} = V_{RUN} = 5V$ 。

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: LTC7852/LTC7852-1 は T_J が T_A にほぼ等しいパルス負荷条件でテストされる。LTC7852E/LTC7852-1E は $0^\circ\text{C} \sim 85^\circ\text{C}$ の動作ジャンクション温度で性能仕様に適合することが確認されている。 $-40^\circ\text{C} \sim 125^\circ\text{C}$ の動作ジャンクション温度範囲での仕様は、設計、特性評価および統計的なプロセス・コントロールとの相関で確認されている。LTC7852/LTC7852-1I は $-40^\circ\text{C} \sim 125^\circ\text{C}$ の全動作ジャンクション温度範囲で性能仕様に適合することが確認されている。これらの仕様を満たす最大周囲温度は、基板レイアウト、パッケージの熱抵抗および他の環境要因と関連した特定の動作条件によって決まる。

T_J は周囲温度 T_A および消費電力 P_D から次式に従って計算される。

$$\text{LTC7852RHE: } T_J = T_A + (P_D \cdot 30^\circ\text{C/W})$$

$$\text{LTC7852UFD-1: } T_J = T_A + (P_D \cdot 43^\circ\text{C/W})$$

Note 3: LTC7852-1 の出力電圧範囲は DrMOS によって決まる。

Note 4: LTC7852/LTC7852-1 は、 V_{TH} を規定の電圧にサーボ制御し、結果として得られた V_{FB} を測定する帰還ループ内でテストされる。

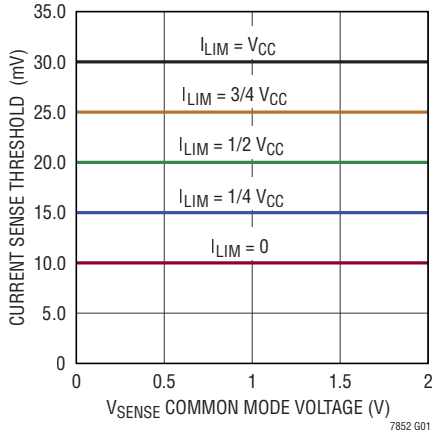
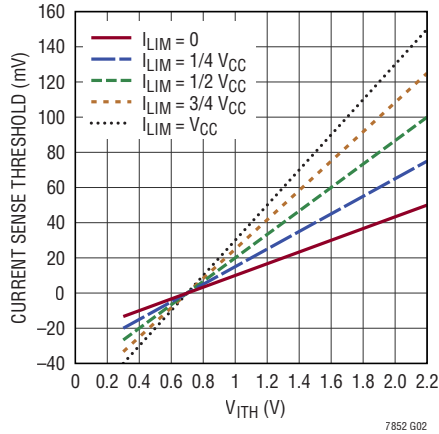
Note 5: 設計により性能を確保している。

Note 6: 最小オン時間の条件は、 I_{MAX} の 40% を超えるインダクタ・ピーク to ピーク・リップル電流に対して規定されている (アプリケーション情報のセクションの「最小オン時間に関する検討事項」を参照)。

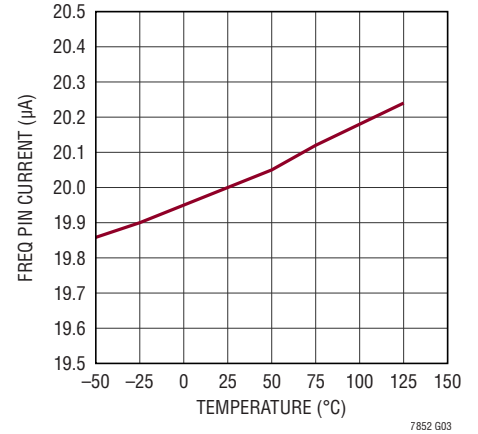
代表的な性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{CC} = 5\text{V}$ 。

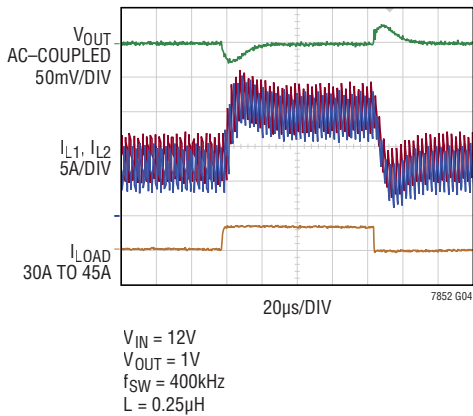
最大電流検出閾値と同相電圧

電流検出閾値と I_{TH} の電圧

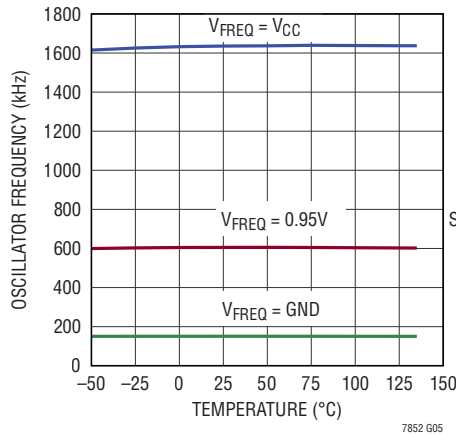
FREQピンのソース電流と温度



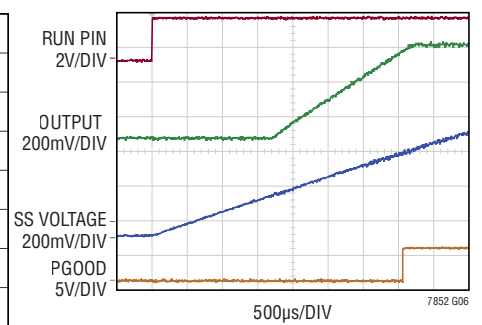
負荷ステップ



発振周波数と温度



0.5Vでのプリバイアス起動

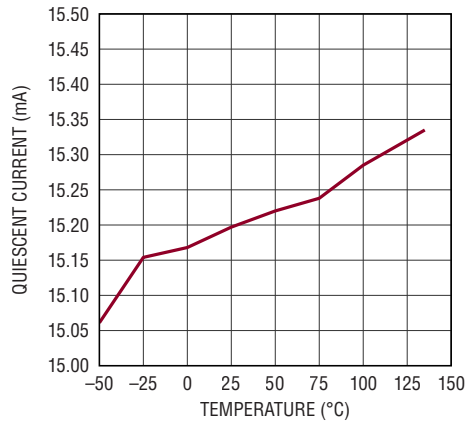


LTC7852/LTC7852-1

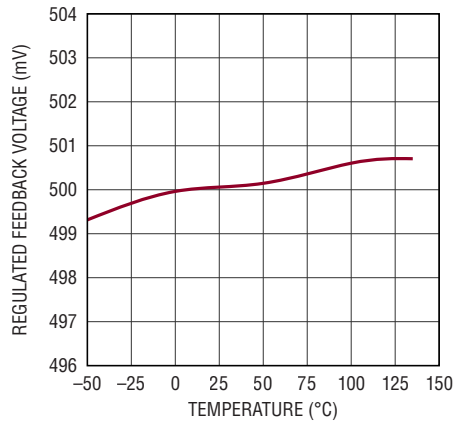
代表的な性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{CC} = 5\text{V}$ 。

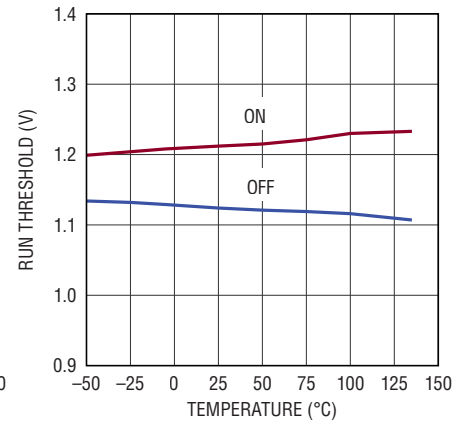
自己消費電流と温度



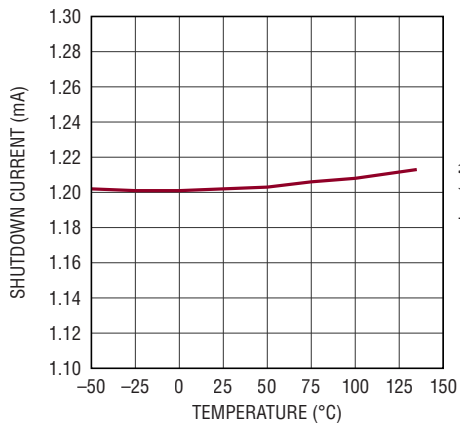
安定化帰還電圧と温度



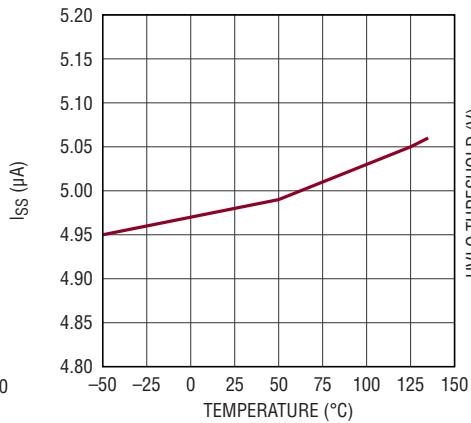
RUNの閾値と温度



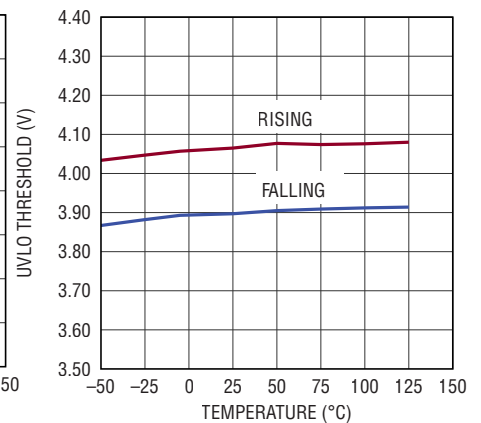
シャットダウン電流と温度



SSプルアップ電流と温度



低電圧ロックアウト閾値(V_{CC})と温度



ピン機能

(GQFN/QFN, LTC7852/LTC7852-1)

V1P5 (ピン18, LTC7852のみ) : 内部生成される1.5V電圧のレギュレータ出力ピン。このピンは低ESRの2.2 μ FコンデンサでSGNDにバイパスします。

IMON1、IMON2 (ピン19、17, LTC7852のみ) : 出力電流モニタ。各IMONピンとV1P5ピンの間の差動電圧は、対応するチャンネルからの出力電流を直線的に示します。

V_{CC} (ピン20 / ピン13) : 外部5V入力。制御回路の電力はこの電圧から供給されます。このピンはチップの近くのコンデンサ(0.1 μ F~1 μ Fのセラミック)を使用してGNDにバイパスします。

PHCFG (ピン21 / ピン14) : 位相設定ピン。このピンは出力1および出力2に電力を供給する位相を選択します。

FREQ (ピン22 / ピン15) : 周波数設定/選択ピン。このピンとSGNDの間に抵抗を接続して、スイッチング周波数を設定します。このピンからは20 μ Aの電流が流れ出します。

ILIM1、ILIM2 (ピン23、16 / ピン16、12) : 電流コンパレータの検出電圧制限の選択ピン。

RUN1、RUN2 (ピン24、15 / ピン17、11) : イネーブル制御入力。1.22Vより高い電圧を入力するとデバイスがオンします。このピンには1 μ Aのプルアップ電流が流れます。RUNピンの電圧が閾値の1.22Vを超えると、プルアップ電流は5 μ Aに増加します。

V_{OSNS1}⁺、V_{OSNS2}⁺ (ピン25、14 / ピン19、10) : リモート検出差動アンプの非反転入力。出力負荷に接続される帰還抵抗分圧器のセンター・タップに接続します。リモート検出差動アンプの出力は、エラーアンプの反転入力に内部で接続されます。

V_{OSNS1}⁻、V_{OSNS2}⁻ (ピン26、13 / ピン20、9) : リモート検出差動アンプの反転入力。出力負荷の検出グラウンドに接続します。

ITH1、ITH2 (ピン27、12 / ピン21、8) : 電流制御閾値およびエラーアンプの補償点。電流コンパレータの閾値は、ITHの制御電圧に応じて増加します。

SS1、SS2 (ピン28、11 / ピン22、7) : ソフトスタート入力。このピンの電圧上昇率によって出力の電圧上昇率が設定されます。グラウンドに接続されるコンデンサによってソフトスタートを設定します。このピンには5 μ Aのプルアップ電流が流れます。最小で22nFのソフトスタート・コンデンサが必要です。

PGOOD1、PGOOD2 (ピン29、10 / ピン23、6) : パワーグッド・インジケータ出力。オープンドレイン出力は、出力電圧がレギュレーション状態でないときはグラウンドに引き下げられます。

SNSN1、SNSN2、SNSN3、SNSN4、SNSN5、SNSN6 (ピン30、33、36、3、6、9, LTC7852のみ) : 電流検出コンパレータの第2の負入力。低DCRによる電流検出が有効な場合、この入力は、インダクタのL/DCR値の5倍のフィルタ帯域幅で出力インジケータのDCRからの信号を検出します。

SNSP1、SNSP2、SNSP3、SNSP4、SNSP5、SNSP6 (ピン31、34、37、2、5、8 / ピン24、26、27、3、4、5) : 電流検出コンパレータの正入力。

SNS_{AVG1}、SNS_{AVG2}、SNS_{AVG3}、SNS_{AVG4}、SNS_{AVG5}、SNS_{AVG6} (ピン32、35、38、1、4、7, LTC7852のみ) : 電流検出コンパレータの第1の負入力。この入力は、インダクタのL/DCR値の3/5の帯域幅を持つフィルタで出力インジケータのDCRからの信号を検出します。1m Ω を超えるDCRによる電流検出またはDrMOSによる電流検出の場合は、このピンをV_{CC}に接続します。

SNSN (ピン2、25, LTC7852-1のみ) : 内蔵の1.5V電圧レギュレータの出力。

V_{DD} (ピン39 / ピン28) : 内部生成された3.3V電源の出力ピン。このピンは低ESRの2.2 μ FコンデンサでSGNDにバイパスします。このピンに外部負荷電流を流さないでください。

CLKOUT (ピン40 / ピン29) : クロック出力ピン。

PWM1、PWM2、PWM3、PWM4、PWM5、PWM6 (ピン41、42、43、44、45、46 / ピン30、31、32、33、34、35) : (上側)ゲート信号出力。この信号は、PWM、外部ゲート・ドライバの上側ゲート入力、内蔵のドライバMOSFET、またはパワー・ブロックに送られます。これはスリーステート互換出力です。

PLLIN (ピン47 / ピン1) : 位相検出器ピンの外部同期入力。内部発振器はこのピンのクロックに同期します。PLL補償回路網がデバイスに組み込まれています。

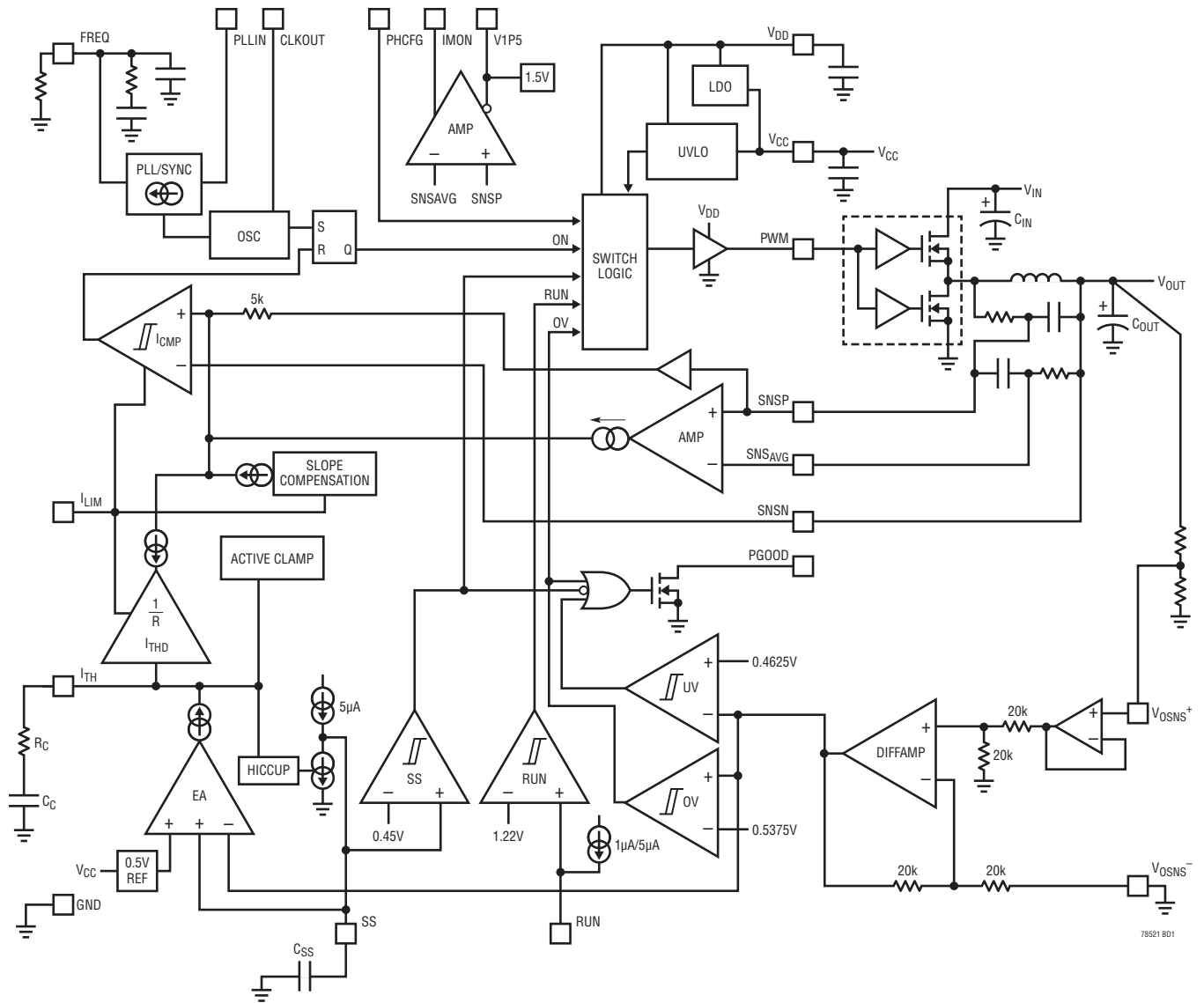
GND (ピン48 / ピン36) : グラウンド。全ての小信号部品と補償用部品をここに接続します。定格の熱性能を得るために、露出パッドはPCBにハンダ処理する必要があります。

露出パッド (ピン49 / ピン37) : グラウンド。

LTC7852/LTC7852-1

機能ブロック図

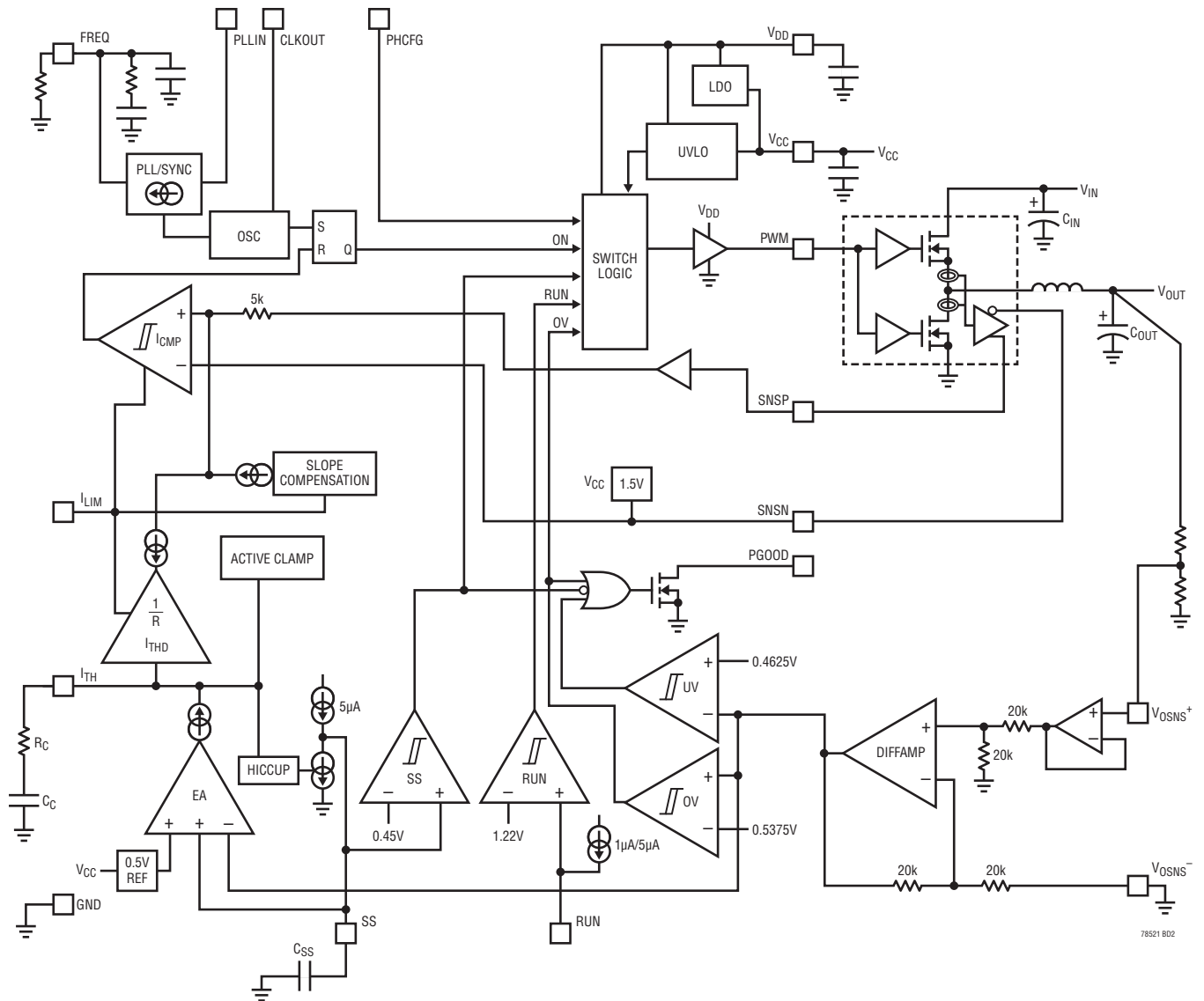
LTC7852



78521 BD1

機能ブロック図

LTC7852-1



78521 BD2

動作

メイン制御ループ

LTC7852/LTC7852-1は、弊社独自の電流検出、電流モードの降圧アーキテクチャを採用しています。通常動作中、上側MOSFETは、発振器がRSラッチをセットすると各サイクルでオンし、メインの電流コンパレータ I_{CMP} がRSラッチをリセットするとオフします。 I_{CMP} がRSラッチをリセットするときのピーク・インダクタ電流は、エラーアンプEAの出力であるITHピンの電圧によって制御されます。リモート検出アンプ(diffamp)は、出力コンデンサ両端で検出された差動電圧を帰還分圧器で割った値に等しい信号を発生し、それをデバイスのローカル・グラウンド・リファレンスを基準にした信号にします。エラーアンプはこの帰還信号を受信し、内部0.5Vリファレンスと比較します。負荷電流が増加すると、0.5Vのリファレンスに対して V_{OSNS}^+ ピンの電圧がわずかに減少します。その結果、ITHの電圧は、インダクタの平均電流が新たな負荷電流に等しくなるまで上昇します。上側MOSFETがオフした後、下側MOSFETがオンし、次のサイクルが開始されるまでこの状態が続きます。軽負荷時または大きなトランジェント状態では、インダクタ電流の反転が許容されます。

RUNピンをローにすると、メイン制御ループはシャットダウンされます。RUNピンを解放すると、 $1.0\mu A$ の内部電流源によってRUNピンがプルアップされます。RUNピンが1.22Vに達すると、メイン制御ループがイネーブルされ、デバイスがパワーアップされます。RUNピンがローのとき、全ての機能は制御された状態を維持します。

非常に低いDCRの検出信号 (LTC7852)

LTC7852はS/N比を向上させる独自の機能を備えており、非常に低いインダクタDCR値($1m\Omega$ 以下)の小検出信号で動作します。これにより電力効率が向上し、(信号を壊す可能性がある)スイッチング・ノイズによるジッタが低減されます。プリント基板を注意深くレイアウトすれば、LTC7852は最低 $0.2m\Omega$ までのDCR値を検出できます。各フェーズに2本の負の検出ピン(SNSNおよび SNS_{AVG})があります。これらのピンは正の検出ピン(SNSP)を共有します。これらの検出ピンは信号を取り込んで内部で処理し、S/N比を14dB向上させます。一方、電源制限の閾値はインダクタのピーク電流とDCR値によって決まり、ILIMピンを使用して $10mV \sim 30mV$ の範

囲の5mVステップで正確に設定できます。インダクタのフィルタは、出力インダクタのL/DCRの時定数の1/5に等しい時定数 $R1 \cdot C1$ を持つ必要があります。 SNS_{AVG} のフィルタには、SNSPの $R1 \cdot C1$ より3倍大きい帯域幅が必要です。

ドライバMOSFET (DrMOS) による電流検出 (LTC7852-1)

LTC7852-1は、DrMOSによる電流検出を使用するコンバータ専用設計されています。SNSNピンは、電流シンクおよびソース機能を持つ内部1.5V電圧レギュレータに接続されます。この回路は、全てのDrMOSの電流検出差動信号に対するコモンモード・バイアスとして機能します。

シャットダウンと起動 (RUNピンとSSピン)

LTC7852/LTC7852-1はRUNピンを使ってシャットダウンすることができます。RUNピンの電圧を1.14Vより低くすると、コントローラのメイン制御ループとほとんどの内部回路がシャットダウンします。RUNピンを解放すると、 $1.0\mu A$ の内部電流によってRUNピンの電圧が上昇し、コントローラがイネーブルされます。あるいは、RUNピンを外部からプルアップするか、またはロジックで直接駆動することもできます。このピンの電圧が6Vの絶対最大定格を超えないように注意してください。コントローラの出力電圧 V_{OUT} の起動は、SSピンの電圧によって制御されます。SSピンの電圧が0.5Vの内部リファレンス電圧より低いとき、LTC7852/LTC7852-1は、 V_{OSNS}^+ の電圧を0.5Vのリファレンス電圧ではなくSSピンの電圧に制御します。このため、SSピンとGNDの間に外付けコンデンサを接続することにより、SSピンを使ってソフトスタートを設定することができます。SSピンには最小で22nFのコンデンサが必要です。 $5\mu A$ の内部プルアップ電流がこのコンデンサを充電して、SSピンに電圧ランプを生成します。SSピンの電圧が0Vから0.5V(更にそれ以上)へ直線的に上昇すると、出力電圧 V_{OUT} もプリバイアスされた値から最終的な設定値まで滑らかに上昇します。アプリケーションによっては、負荷電圧がゼロでない状態でコンバータが起動することがあります。この場合、コンバータのスイッチング開始時に出力コンデンサに電荷が残っています。このような条件下で出力が放電されることを防ぐために、ソフトスタート・ピンの電圧が V_{OSNS}^+ より高くなるまで、下側MOSFETはディスエーブルされます。

動作

RUNピンをローにしてコントローラをディスエーブルした場合、または V_{CC} が4.0Vの低電圧ロックアウト閾値より低くなった場合、SSピンは内部のMOSFETによってローになります。低電圧ロックアウト時には、コントローラがディスエーブルされ、外部MOSFETはオフに保たれます。

周波数の選択とフェーズロック・ループ (FREQピンとPLLINピン)

スイッチング周波数の選択は効率と部品サイズの間の兼ね合いによって決まります。低周波数動作は、MOSFETのスイッチング損失を低減して効率を向上させますが、出力リップル電圧を低く保つには大きなインダクタンスや容量が必要になります。PLLINピンが外部クロック信号源によって駆動されていない場合は、FREQピンを使用してコントローラの動作周波数を250kHz～1.2MHzに設定することができます。FREQピンから20 μ Aの高精度電流が流れ出しているの、GNDとの間に接続した1本の抵抗を使ってコントローラのスイッチング周波数を設定することができます。FREQピンの電圧とスイッチング周波数の関係を表す曲線が、アプリケーション情報のセクションに示されています。LTC7852/LTC7852-1にはフェーズロック・ループ(PLL)が備わっており、PLLINピンに接続された外部クロック信号源に内部発振器を同期させることができます。LTC7852/LTC7852-1はPLLループのフィルタ回路網を内蔵しています。フェーズロック・ループは250kHz～1.2MHzの範囲内の任意の周波数にロックすることができます。外部クロックにロックするまでのコントローラの初期スイッチング周波数を設定するために、周波数設定抵抗は必ず接続してください。

マルチフェーズ動作

LTC7852/LTC7852-1は、柔軟な位相構成によってデュアル大電流出力を実現します。PHCFGを接地するか、フロート状態にするか、またはINTV_{CC}に接続すると、コントローラは、それぞれ4+2モード、3+3モード、5+1モードになります。入出力の電圧リップルを最小限に抑え、電力変換効率を高めるために、マルチフェーズPWM信号が均等にインターリーブされます。表1に詳細を示します。6フェーズのシングル出力コンバータに設定するには、PHCFGピンをフロート状態にして、ITH、V_{OSNS}⁺、V_{OSNS}⁻、RUN、I_{LIM}、およびSSピンをそれぞれ外部で接続します。

マルチチップ動作

出力負荷が大電流を必要とする場合は、複数のLTC7852/LTC7852-1をデ이지チェーン接続して位相をずらして動作させると、入出力の電圧リップルを増やさずに出力電流を増やすことができます。1つの位相のITH、V_{OSNS}⁺、V_{OSNS}⁻、I_{LIM}、およびSSピンを、それに対応する他の位相のピンに接続する必要があります。

PLLINピンを使って、LTC7852/LTC7852-1を、他のLTC7852/LTC7852-1のCLKOUT信号、または他の外部クロック源に同期させることができます。LTC7852/LTC7852-1をPLLINのクロック信号に同期させる場合、PWM1の立上がりエッジはPLLINクロックの立上がりエッジに揃えられます。CLKOUT信号を次段のLTC7852/LTC7852-1のPLLINピンに接続して、システム全体の周波数と位相の両方を揃えることができます。3+3モードでは、PH1とCLKOUTの位相差は90°です。このモードでは、合計12フェーズをデ이지チェーン接続して、互いに位相をずらして同時に動作させることができます。4+2モードでは、PH1とCLKOUTの位相差は225°です。このモードでは、2つのデバイスを使用して、8フェーズがインターリーブするパワー段を構成できます。5+1モードでは、PH1とCLKOUTの位相差は252°です。このモードでは、2つのデバイスを使用して、10フェーズがインターリーブするパワー段を構成できます。

表 1.

	OUTPUT 1			OUTPUT 2			
3+3 Mode	0°	120°	240°	60°	180°	300°	90°
4+2 Mode	0°	90°	180°	270°	45°	225°	225°
5+1 Mode	0°	72°	144°	216°	288°	252°	252°
6 Phase Mode	0°	120°	240°	60°	180°	300°	90°
	PH1	PH2	PH3	PH4	PH5	PH6	CLKOUT

図1に、8、10、12フェーズ動作に必要な接続を示します。

動作

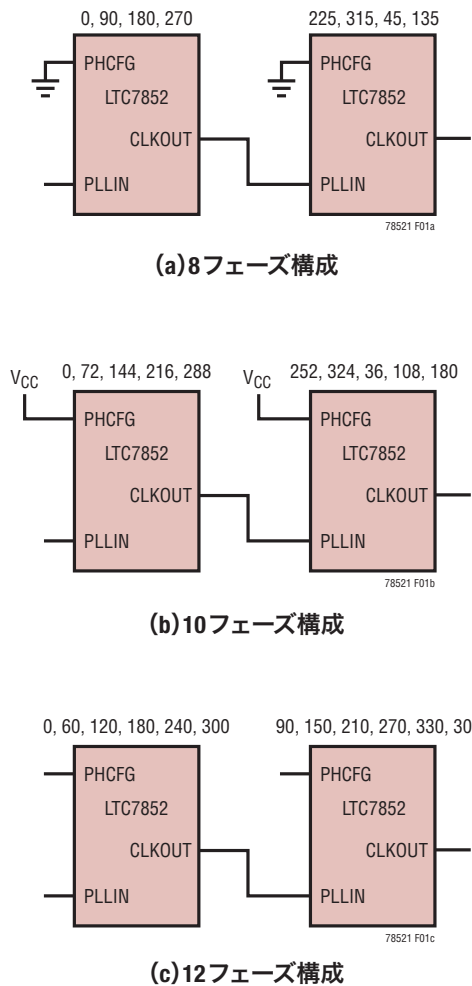


図1. フェーズ動作

差動アンプによる出力電圧の検出

LTC7852/LTC7852-1は、真のリモート検出を必要とするアプリケーション用に、2つの低オフセット、高入力インピーダンス、ユニティゲイン、高帯域幅の差動アンプを内蔵しています。負荷コンデンサの負荷を検出すると、大電流、低電圧のアプリケーションの安定化に直接の利益があります。このようなアプリケーションでは、基板上の配線による損失が全誤差のかかなりの部分を占めることがあります。 V_{OSNS}^+ を

出力負荷両端の帰還分圧器のセンター・タップに接続し、 V_{OSNS}^- を負荷のグラウンドに接続します。図2を参照してください。LTC7852/LTC7852-1の差動アンプはユニティゲインに構成されています。つまり、 V_{OSNS}^+ と V_{OSNS}^- の差はGNDを基準にした差動アンプの出力に変換されます。差動アンプの出力は、エラーアンプの反転入力に内部で接続されます。 V_{OSNS}^+ と V_{OSNS}^- のプリント基板パターンは、基板上のリモート検出ポイントまで全経路にわたって相互に平行に配線するよう注意します。また、これらのノイズにセンシティブなパターンは回路内のどの高速スイッチング・ノードからも離して配線します。理想的には、 V_{OSNS}^+ と V_{OSNS}^- のパターンは低インピーダンスのグラウンド・プレーンによってシールドし、信号の完全性を維持します。

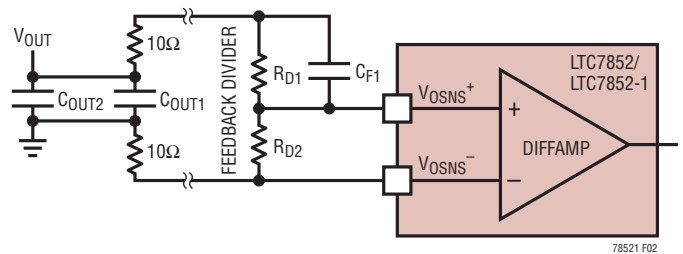


図2. 差動アンプの接続

パワーグッド (PGOODピン)

PGOODピンは、内部NチャンネルMOSFETのオープンドレインに接続されています。 V_{OSNS}^+ ピンの電圧が0.5Vのリファレンス電圧から $\pm 10\%$ の範囲を外れると、MOSFETがオンしてPGOODピンはローになります。RUNピンが1.14Vより低くなるか、LTC7852/LTC7852-1がソフトスタート段階のときも、PGOODピンはローになります。 V_{OSNS}^+ ピンの電圧が $\pm 5\%$ のレギュレーション範囲内のときは、MOSFETはオフになり、外付け抵抗によってこのピンを最大6Vのソースまでプルアップできます。 V_{OSNS}^+ ピンがレギュレーション範囲内に入ると、PGOODピンは直ちにパワーグッドを示します。ただし、 V_{OSNS}^+ がレギュレーション範囲から外れると、45 μ sの内部パワーバッド・マスク遅延が発生します。

各チャンネルに独立したPGOODピンがあります。シングル出力構成では、2本のPGOODピンを相互に接続できます。

動作

出力過電圧保護

過電圧コンパレータ(OV)は、(10%を超える)過渡電圧のオーバーシュートや、出力に過電圧が生じる可能性があるより深刻な状態からデバイスを保護します。このような場合、上側MOSFETはオフし、下側MOSFETはオンして、過電圧状態が解消されるまでこの状態が続きます。

低電圧ロックアウト

LTC7852/LTC7852-1には、低電圧状態になったときにコントローラを保護するための2つの機能が備わっています。高精度UVLOコンパレータは常時V_{CC}電圧をモニタして、PWMの電圧が適切であることを確認します。V_{CC}が上昇中に4.0Vより低くなると、スイッチング動作をロックアウトします。V_{CC}に乱れが生じたときの発振を防ぐため、UVLOコンパレータには200mVの高精度ヒステリシスがあります。

必要に応じて、パワー段の入力電圧の低電圧状態を検出するようにRUNピンを設定することができます。RUNピンは1.22Vの高精度ターンオン・リファレンスを備えているため、入力電圧両端の抵抗分圧器を使って、入力電圧が十分高くなったときにデバイスをオンにすることができます。RUNピンの電圧が1.22Vを超えると、4μAの追加の電流がRUNピンから流れ出します。RUNコンパレータ自体に約80mVのヒステリシスがあります。抵抗分圧器の値を調節することにより、RUNコンパレータに追加のヒステリシスを設定できます。パワー段の入力電圧の低電圧検出閾値は、常にコントローラのUVLO閾値より高い値に設定し、パワー段の後でLTC7852/LTC7852-1がイネーブルされるようにします。

負荷電流モニタリング

LTC7852のI_{MON}ピンは、対応するチャンネルの負荷電流に比例する電圧を出力します。I_{MON}は、VIP5ピンの1.5Vの安定化コモンモード電圧を基準とします。I_{MON}とVIP5の間に、ノイズ・デカップリング用のデカップリング・コンデンサを配置します。I_{MON}ピンは低インピーダンス信号源ではないことに注意してください。最良の精度が得られるように、このピンに接続される回路のもれ電流を最小限に抑えます。負荷電流からI_{MON}信号への1次伝達関数は次のようになります。

$$V_{\text{IMON}} = 150\text{mV}/V_{\text{ILIM}} \cdot \Sigma(V_{\text{SNSAVG}})/N_{\text{PH}}$$

ここで、

N_{PH}: 並列接続されるフェーズの数

V_{ILIM}: 選択されたILIMレベルの最大検出電圧

V_{SNSAVG}: 各フェーズのSNSPとSNSAVGの間の差動検出電圧

6フェーズのシングル出力コンバータでは、I_{MON1}とI_{MON2}を相互に接続します。この信号は6フェーズの合計電流を表します。

アプリケーション情報

このデータシートの1ページの「標準的応用例」は、LTC7852の基本的なアプリケーション回路です。LTC7852は、新しい手法で検出信号のノイズ感度を14dB低減することにより、非常に低いDCR値を使って電流を検出できるように設計および最適化されています。DCRによる検出は、高価な電流検出抵抗が不要となり、特に大電流のアプリケーションでは電力効率が向上するため、広く普及しています。しかし、DCR値が $1\text{m}\Omega$ 未満になると、S/N比が低下し、電流検出が困難になります。LTC7852は、弊社独自の手法でこの問題を解決しています。一般的に、外付け部品の選択は負荷条件に基づいて行い、DCRとインダクタの値の選択から始めます。次に、パワーMOSFETを選択します。最後に、入力と出力のコンデンサを選択します。

LTC7852-1は、電流検出信号付きDrMOSと組み合わせて使用するよう設計されています。DrMOSによる電流検出では、インダクタのDCR値は電流検出/電流分担の精度に影響を与えません。最大電流の制限値は、外部検出回路によって連続的に設定できます。

電流制限のプログラミング

ILIMピンは、コントローラの最大電流制限値を設定する5レベル・ロジック入力です。ILIMを接地するか、フロート状態にするか、または V_{CC} に接続すると、最大電流検出閾値の代表値は、それぞれ10mV、20mV、30mVになります。ILIMを V_{CC} の1/4または V_{CC} の3/4に設定すると、最大電流検出閾値は、それぞれ15mVと25mVになります。ILIMピンはGNDとの間に $500\text{k}\Omega$ のプルダウン抵抗を内蔵し、 V_{CC} との間に $500\text{k}\Omega$ のプルアップ抵抗を内蔵していることに注意してください。最良の電流制限精度を得るには、出力の条件に適合する最大の設定値を使用します。

SNSP、SNSN、およびSNSAVGピン (LTC7852のみ)

SNSPピンとSNSNピンは電流コンパレータの入力で、SNSPピンとSNSAVGピンは内部アンプの入力です。SNSPとSNSAVGの差動信号は、SNSPとSNSNの信号の平均値です。3本の検出ピンの動作入力電圧範囲は、全て0V~2Vです。電流コンパレータまたはアンプに接続される全ての検出ピンは、 $1\mu\text{A}$ 未満の入力バイアス電流が流れる高インピーダンス入力ピンです。SNSNは V_{OUT} に直接接続します。SNSPピンは、インダクタの L/DCR の1/5に等しい $R1 \cdot C1$ 時

定数を持つフィルタに接続されます。SNSAVGピンは、 $R1 \cdot C1$ の3倍の時定数を持つ第2のフィルタに接続されます。したがって、SNSAVGのスイッチング・リップルは減衰します。通常動作中にこれらのピンをフロート状態にしないでください。フィルタ部品(特にコンデンサ)はLTC7852/LTC7852-1の近くに配置し、検出ラインは電流センス素子の下の4端子接続に近づけて一緒に配線します(図3)。LTC7852は、非常に低いDCR値でインダクタ電流を検出するように設計されているため、検出ラインのレイアウトには注意が必要です。この注意を怠ると、寄生抵抗、寄生容量、および寄生インダクタンスによって電流検出信号の完全性が損われ、設定された電流制限が予測不可能になることがあります。図4に示すように、抵抗 $R1$ は出力インダクタの近くに配置し、 $R2$ 、 $C1$ 、 $C2$ はデバイスのピンの近くに配置して、検出信号へのノイズのカップリングを防ぎます。

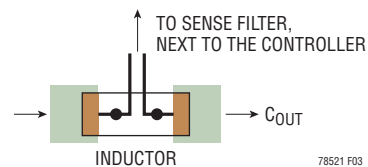


図3. インダクタのDCRによる検出ラインの配置

SNSAVGピンを無効にして V_{CC} に接続することにより、LTC7852を通常の電流モード・コントローラと同じように使用することもできます。 R_{SENSE} 抵抗またはRCフィルタをSNSPピンに接続して、出力インダクタ信号の検出に使用できます。RCフィルタを使用する場合は、フィルタの時定数 $R \cdot C$ を、出力インダクタの L/DCR の時定数に等しくする必要があります。

インダクタのDCRによる検出

LTC7852は、可能な限り最高の効率を必要とする大負荷電流のアプリケーション専用設計されており、 $1\text{m}\Omega$ 未満のインダクタのDCRの信号検出が可能です(図4)。DCRはインダクタの銅のDC巻線抵抗であり、大電流インダクタでは通常 $1\text{m}\Omega$ 未満です。大電流で低出力電圧のアプリケーションでは、DCRまたは検出抵抗が大きいと、導通損失によって電力効率が大幅に低下します。特定の出力条件では、望ましい最大検出電圧を満たすDCRのインダクタを選択し、以下

アプリケーション情報

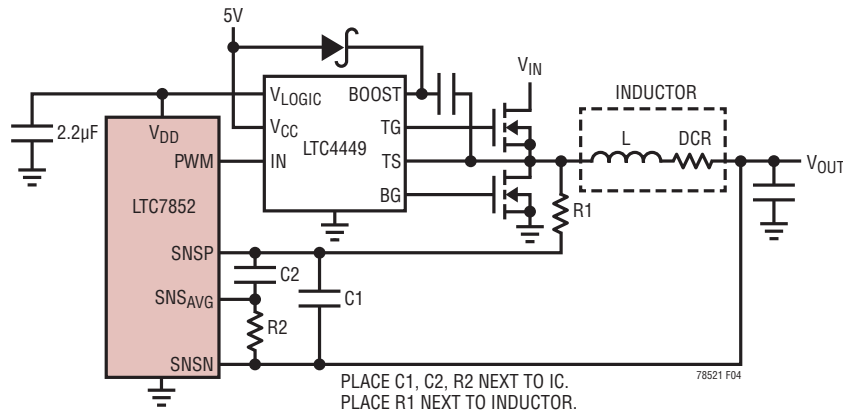


図4. インダクタのDCRによる電流検出

に示す検出ピン・フィルタと出力インダクタ特性の関係を利用します。

$$DCR = \frac{V_{SENSE(MAX)}}{I_{MAX} + \frac{\Delta I_L}{2}}$$

$$L/DCR = 5 \cdot R1 \cdot C1 = 1.6 \cdot R2 \cdot C2$$

ここで、

$V_{SENSE(MAX)}$: 指定の I_{LIM} 閾値での最大検出電圧

I_{MAX} : 最大負荷電流

ΔI_L : インダクタのリップル電流

L 、 DCR : 出力インダクタの特性

$R1 \cdot C1$: SNSN ピンのフィルタの時定数

$R2 \cdot C2$: SNSAVG ピンのフィルタの時定数

通常、 $C1$ と $C2$ は $0.047\mu F \sim 0.47\mu F$ の範囲内で選択します。 $220nF$ の $C1$ と $C2$ を選択し、 DCR が $0.32m\Omega$ の $250nH$ インダクタを選択した場合、 $R1$ は 715Ω 、 $R2$ は $2.21k\Omega$ になります。

$R1$ に発生する若干の電力損失はデューティ・サイクルと関係があり、連続モード時に最大入力電圧で最大になります。

$$P_{LOSS(R1)} = \frac{(V_{IN(MAX)} - V_{OUT}) \cdot V_{OUT}}{R1}$$

$R1$ の電力定格がこの値より大きいことを確認してください。ただし、 DCR による検出には検出抵抗の導通損失がないため、重負荷時の効率が改善されます。電流検出信号の S/N 比を良好に保つため、40% 未満のデューティ・サイクルでは

$2mV$ の最小 ΔV_{SENSE} を使用することを推奨します。実際のリップル電圧は、次式で求められます。

$$\Delta V_{SENSE} = \frac{V_{OUT}}{V_{IN}} \cdot \frac{V_{IN} - V_{OUT}}{R1 C1 \cdot f_{OSE}}$$

DrMOS による電流検出

LTC7852-1 は、電流検出機能を内蔵した DrMOS と組み合わせで動作するように設計されています。SNSN ピンは $1.5V$ に安定化されます。 $2.2\mu F \sim 10\mu F$ の低 ESR のセラミック・デカップリング・コンデンサをグラウンドに接続する必要があります。

ソフトスタート

LTC7852/LTC7852-1 はソフトスタート機能を内蔵しています。SS ピンにコンデンサを接続できます。RUN ピンの電圧が $1.22V$ より低くなると、コントローラはシャットダウン状態になります。このシャットダウン状態では、SS ピンはグラウンドに引き下げられます。RUN ピンの電圧が $1.22V$ より高くなると、コントローラは起動します。その後、ソフトスタート電流の $5\mu A$ が SS のソフトスタート・コンデンサを充電し始めます。ソフトスタートを実行する動作は、コントローラの最大出力電流を制限することではなく、出力ランプ電圧を SS ピンの電圧のランプ・レートに応じて制御することなので注意してください。ソフトスタートの範囲は、SS ピンの電圧が $0V \sim 0.5V$ の範囲になるように規定されます。ソフトスタートの合計時間は次のように計算できます。

$$t_{SOFTSTART} = 0.5V \cdot \frac{C_{SS}}{5\mu A}$$

アプリケーション情報

SSが0Vから0.4Vへ上昇するとき、ITHが0.8Vより高くなるまで下側MOSFETはディスエーブルされます。これにより、コントローラは常に不連続モードで起動します。SSが0.4Vを超えると、コントローラは強制連続モードになり、クリーンなPGOOD信号が確保されます。

プリバイアスされた出力での起動

出力コンデンサがプリバイアスされた状態で電源を起動する必要がある状況が生じることがあります。この場合、出力のプリバイアスを放電せずに起動することが必要です。LTC7852/LTC7852-1は、出力がプリバイアスされた状態で出力コンデンサを放電せずに安全に起動できます。そのために、LTC7852/LTC7852-1は、SSピンの電圧と内部ソフトスタート電圧が V_{OSNS}^+ ピンの電圧より高くなるまで、上側と下側の両方のMOSFETをディスエーブルします。 V_{OSNS}^+ がSSまたは内部ソフトスタート電圧より高いと、エラーアンプの出力はローになります。この場合、制御ループが下側MOSFETをオンにして出力を放電しようとします。上側と下側の両方のMOSFETをディスエーブルすることにより、プリバイアスされた出力電圧の放電を防止できます。SSと内部ソフトスタートの両方が、500mVまたは V_{OSNS}^+ のうち低い方を超えると、上側のMOSFETがイネーブルされます。下側MOSFETは、ITHピンの電圧が800mVより高くなった後でイネーブルされます。プリバイアスがOV閾値より高くなると、下側のゲートが直ちにオンになり、出力をレギュレーション範囲内に戻します。

障害状態: 電流制限

LTC7852/LTC7852-1の電流制限は、ソフトスタート中にディスエーブルされません。デューティ・サイクルが非常に低いときに短絡状態が発生すると、LTC7852/LTC7852-1は短絡電流を制限するためにサイクル・スキップを開始します。この状況では下側のMOSFETが大半の電力を消費しますが、通常動作時よりも少なくなります。短絡時のリップル電流は、次式のように、LTC7852/LTC7852-1の最小オン時間 $t_{ON(MIN)}$ (パワー段接続時に約40ns)、入力電圧、およびインダクタ値によって決まります。

$$\Delta I_{L(SC)} = t_{ON(MIN)} \cdot \frac{V_{IN}}{L}$$

この結果生じる短絡電流は次のとおりです。

$$I_{SC} = \left(\frac{V_{SENSE(MAX)}}{R_{SENSE}} - \frac{1}{2} \Delta I_{L(SC)} \right)$$

過電流障害からの回復

プリセットされた電流制限を超える負荷が電源の出力にかけると、安定化された出力電圧は負荷に応じて低下します。出力は、非常に低インピーダンスの経路を通してグラウンドへ短絡するか、または抵抗性の短絡となります。この場合、負荷電流がプリセットされた電流制限に等しくなるまで、出力は部分的に低下します。コントローラは、32スイッチング期間の間、短絡へ電流を流し続けます。流れる電流の大きさは、ILIMピンの設定に依存します。32スイッチング期間の経過後も過電流障害が解消されない場合、コントローラはヒカップ・モードに移行します。ITHピンは内部MOSFETによってグラウンドに引き下げられます。したがって、両方のMOSFETがオフになります。SSのソフトスタート・コンデンサは2.5μAの電流によって放電されます。シャットダウンと起動のセクションで説明したように、SSがグラウンドに達すると、ITHは解放され、回路はソフトスタートを再試行します。ヒカップ過電流保護はソフトスタート期間中にディスエーブルされません。スリープ時間は次式で推定されます。

$$t_{SLEEP} = C_{SS} \left(\frac{2.7V}{I_{SS}} + \frac{3.3V}{2.5\mu A} \right)$$

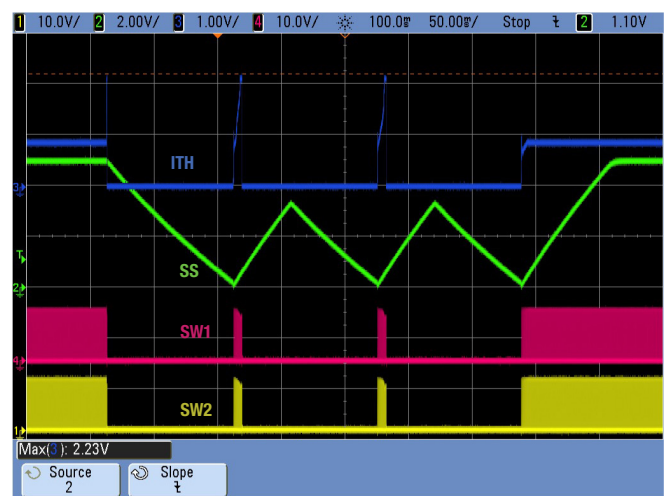


図5. ヒカップ・モードの過電流保護および回復

タイマーが32スイッチング期間でタイムアウトになる前に短絡が解消された場合は、内部ソフトスタート機能を使って出力を回復するので、出力のオーバーシュートは低減されます。この機能がないと、出力コンデンサは電流制限まで充電されることになります。出力容量を最小限に抑えたアプリケーションでは、これによって出力のオーバーシュートが生じる可能性があります。

アプリケーション情報

インダクタ値の計算

希望の入力電圧と出力電圧が与えられると、インダクタ値と動作周波数 f_{OSC} によって直ちにインダクタのピーク t_o ピーク・リップル電流が決まります。

$$I_{RIPPLE} = \frac{V_{OUT}}{V_{IN}} \left(\frac{V_{IN} - V_{OUT}}{f_{OSC} \cdot L} \right)$$

リップル電流が小さいと、インダクタのコア損失、出力コンデンサのESR損失、および出力電圧リップルが減少します。このように、周波数が低くリップル電流が小さい場合に最も効率の高い動作が得られます。ただし、これを達成するには大きなインダクタが必要になります。妥当な出発点として、 $I_{OUT(MAX)}$ の約40%のリップル電流を選択します。入力電圧が最大のときに最大リップル電流が生じることに注意してください。リップル電流が規定の最大値を超えないことを確保するには、次式に従ってインダクタを選択します。

$$L \geq \frac{V_{IN} - V_{OUT}}{f_{OSC} \cdot I_{RIPPLE}} \cdot \frac{V_{OUT}}{V_{IN}}$$

インダクタのコアを選択

インダクタンス値が決定されたら、次にインダクタの種類を選択する必要があります。インダクタ値が同じ場合、コア損失はコア・サイズではなく、選択したインダクタンスに大きく依存します。インダクタンスが増加すると、コア損失は減少します。インダクタンスを大きくするには、ワイヤの巻数を増やす必要があるため、銅損失は残念ながら増加します。フェライトを使用した設計ではコア損失が極めて小さく、高いスイッチング周波数に適しているため、設計目標を銅損と飽和の防止に集中することができます。フェライト・コアの材質は「急激に」飽和します。つまり、設計ピーク電流を超えると、インダクタンスは突然低下します。その結果、インダクタのリップル電流が急激に増加し、そのため出力電圧リップルも増加します。コアは決して飽和させないでください。

PWMピン

PWMピンはスリーステート互換出力であり、大きな容量性負荷にならないDrMOSとMOSFETドライバを駆動するように設計されています。外付け抵抗分圧器を使用して、高インピーダンス状態のときの中間レールへの電圧を設定できます。

パワーMOSFETとショットキー・ダイオード(オプション)の選択

少なくとも2個の外付けパワーMOSFETを選択する必要があります。トップ(メイン)スイッチ用に1個のNチャンネルMOSFETを選択し、ボトム(同期)スイッチ用に1個以上のNチャンネルMOSFETを選択します。全てのMOSFETの個数、種類、およびオン抵抗の選択には、降圧比と共に、MOSFETが実際に使用される場所(メインまたは同期)を考慮に入れます。出力電圧が入力電圧の1/3より小さいアプリケーションの上側MOSFETには、入力容量が小さい小型のMOSFETを使用します。入力電圧が出力電圧よりはるかに大きいアプリケーションでは、動作周波数が300kHzを超えると、通常は上側MOSFETのオン抵抗よりも入力容量の方が全体の効率に大きな影響を与えます。MOSFETメーカーは、スイッチング・レギュレータのメイン・スイッチ・アプリケーション用に、オン抵抗が適度に低く、入力容量を大幅に下げた専用デバイスを設計しています。

MOSFETのピーク t_o ピークのゲート駆動レベルはドライバのバイアス電圧によって設定されるため、ほとんどのアプリケーションではロジックレベル閾値のMOSFETを使用する必要があります。MOSFETのBVDSSの仕様にもよく注意してください。ロジック・レベルのMOSFETの多くは30V以下に制限されています。パワーMOSFETの選択基準には、オン抵抗 $R_{DS(ON)}$ 、入力容量、入力電圧、および最大出力電流などがあります。MOSFETの入力容量は複数の部品の組み合わせで決まりますが、ほとんどのデータシートに含まれている標準的ゲート電荷曲線(図6)から求めることができます。この曲線は、コモンソースの電流源負荷段のゲートに一定の入力電流を強制し、時間に対してゲート電圧をプロットして作成されたものです。

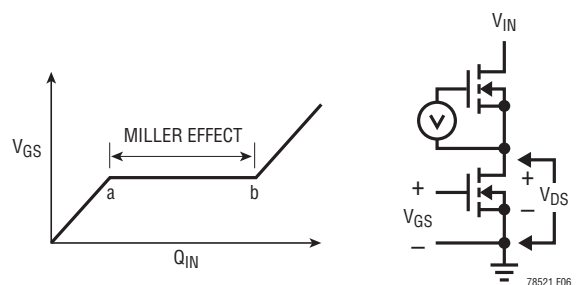


図6. ゲート電荷特性

アプリケーション情報

最初の傾斜した部分は、ゲート-ソース間およびゲート-ドレイン間容量の影響によるものです。曲線の平坦な部分は、ドレインが電流源負荷両端の電圧を下げるのに伴うドレイン-ゲート間容量のミラー乗算効果の結果です。上側の傾斜した部分は、ドレイン-ゲート間蓄積容量とゲート-ソース間容量によるものです。ミラー電荷（曲線が平坦なaからbまでの水平軸のクーロン値の増加分）は特定の V_{DS} ドレイン電圧に対して規定されていますが、曲線で規定されている V_{DS} 値に対するアプリケーションの V_{DS} の比を掛けることにより、異なる V_{DS} 電圧に対して補正することができます。 C_{MILLER} 項を推定するには、メーカーのデータシートでa点-b点のゲート電荷の変化を求め、規定されている V_{DS} 電圧で割ります。 C_{MILLER} は上側MOSFETの過渡損失項を決める際の最も重要な選択基準ですが、MOSFETのデータシートには直接規定されていません。 C_{RSS} と C_{OS} は規定されていますが、これらのパラメータの定義は記載されていません。コントローラが連続モードで動作しているときの上側MOSFETと下側MOSFETのデューティ・サイクルは、以下の式で与えられます。

$$\text{Main Switch Duty Cycle} = \frac{V_{OUT}}{V_{IN}}$$

$$\text{Synchronous Switch Duty Cycle} = \left(\frac{V_{IN} - V_{OUT}}{V_{IN}} \right)$$

最大出力電流でのメインMOSFETと同期MOSFETの消費電力は、以下の式で与えられます。

$$P_{MAIN} = \frac{V_{OUT}}{V_{IN}} (I_{MAX})^2 (1 + \delta) R_{DS(ON)} + (V_{IN})^2 \left(\frac{I_{MAX}}{2} \right) (R_{DR}) (C_{MILLER}) \cdot \left[\frac{1}{V_{INTVCC} - V_{TH(MIN)}} + \frac{1}{V_{TH(MIN)}} \right] \cdot f$$

$$P_{SYNC} = \frac{V_{IN} - V_{OUT}}{V_{IN}} (I_{MAX})^2 (1 + \delta) R_{DS(ON)}$$

ここで、 δ は $R_{DS(ON)}$ の温度依存性、RDRはトップ・ドライブの実効抵抗($V_{GS} = V_{MILLER}$ で約 2Ω)、 V_{IN} は特定のアプリケーションにおけるドレイン電位とドレイン電位の変化です。 $V_{TH(MIN)}$ は、パワーMOSFETのデータシートの規定ドレイン電流で規定されている標準ゲート・スレッシュホールド電圧です。 C_{MILLER} は、MOSFETのデータシートのゲート電荷曲線と上述の手法を使って計算した容量です。

I^2R 損失は両方のMOSFETに共通していますが、上側Nチャネルの式には遷移損失の項が追加されており、これは最高の入力電圧でピークに達します。 $V_{IN} < 20V$ では、大電流での効率は一般に大型のMOSFETを使用すると向上しますが、 $V_{IN} > 20V$ では遷移損失が急激に増加するので、実際には $R_{DS(ON)}$ が大きく C_{MILLER} が小さいMOSFETを使用した方が効率が高くなる点に達します。同期MOSFETの損失は、上側スイッチのデューティ・ファクタが低く入力電圧が高い場合、または同期スイッチが周期の100%近くオンになる短絡時に最も大きくなります。

MOSFETの $(1 + \delta)$ の項は一般に正規化された $R_{DS(ON)}$ と温度の曲線と与えられますが、低電圧MOSFETでは近似値として $\delta = 0.005/^\circ C$ を使用することができます。

同期MOSFETに接続されるオプションのショットキー・ダイオードは、2個の大型パワーMOSFETの導通期間と導通期間の間のデッドタイム中に導通します。これにより、下側MOSFETのボディ・ダイオードがデッド・タイム中にオンして電荷を蓄積するのを防止し、逆回復時間を不要にします。逆回復時間があると、効率が数%低下することがあります。2A~8Aのショットキーは平均電流が比較的小さいため、一般的に両方の動作領域に対して適切な折衷案となります。これより大きなダイオードを使用すると、接合容量が大きいため遷移損失が増加します。

MOSFETドライバの選択

ゲート・ドライバ・デバイス、DrMOS、およびパワー・ブロックには、LTC7852/LTC7852-1のスリーステートPWM出力に適合するインターフェースを持つものを使用できます。必ずパワー段を先にイネーブルし、その後でLTC7852/LTC7852-1をイネーブルするようにします。

アプリケーション情報

C_{IN}とC_{OUT}の選択

連続モードでは、上側 MOSFET のソース電流はデューティ・サイクルが (V_{OUT})/(V_{IN}) の方形波になります。大きな電圧トランジェントを防止するには、1 チャンネルの最大 RMS 電流に対応するサイズの低 ESR コンデンサを使用する必要があります。コンデンサの最大 RMS 電流は次式で与えられます。

$$C_{IN} \text{ Required } I_{RMS} ; \frac{I_{MAX}}{V_{IN}} [(V_{OUT})(V_{IN} - V_{OUT})]^{1/2}$$

この式は V_{IN} = 2V_{OUT} のときに最大値になります。ここで、I_{RMS} = I_{OUT}/2 です。設計ではこの単純で最も厳しい条件がよく使用されます。条件を大きく変化させても状況がそれほど改善されないからです。多くの場合、コンデンサ・メーカーはリップル電流定格をわずか 2000 時間の寿命時間によって規定しています。

このため、コンデンサを更にデレーティングする、つまり要件よりも高い温度定格のコンデンサを選択するようにしてください。設計でのサイズまたは高さの要件に適合させるため、複数のコンデンサを並列に接続できます。LTC7852/LTC7852-1 は動作周波数が高いため、C_{IN} にセラミック・コンデンサを使用することもできます。疑問点については必ずメーカーにお問い合わせください。小型設計にはセラミック・コンデンサが広く普及していますが、いくつかの注意点を守る必要があります。X7R、X5R、および Y5V は誘電体層に使われるセラミック材の例の一部ですが、これらの各種誘電体は、印加される電圧や温度の条件により、容量に与える影響が大きく異なります。物理的には、印加される電圧の変化によって容量値が変化すると、圧電効果が付随し、音を発生させます。可聴周波数で変化する電流が流れる負荷の場合、それに付随して変化する入力電圧がセラミック・コンデンサにかかり、可聴信号が生じることがあります。二次的な問題は、電荷の増加に伴って容量が減少しているセラミック・コンデンサへ逆流するエネルギーに関係しています。電圧が上昇するにつれて容量が減少するため、供給されている一定の電流よりもかなり速い速度で電圧が上昇することがあります。それでも、セラミック・コンデンサは ESR が非常に小さいので、適切なものを選択して使用すると、全体の損失を最小限に抑えることができます。小さな (0.1 μF ~ 1 μF) バイパス・コンデンサ C_{IN} を LTC7852/LTC7852-1 の近くに配置し、V_{IN} ピンとグラウンドの間に挿入することを推奨します。C_{IN} と V_{IN} ピンの間に 2.2 Ω ~ 10 Ω の抵抗を配置する

と、更に絶縁が強化されます。C_{OUT} は、必要な等価直列抵抗 (ESR) に基づいて選択します。一般に、ESR の条件を満たしていれば、その容量はフィルタリング機能にも十分です。定常状態の出力リップル (ΔV_{OUT}) は次式で計算できます。

$$\Delta V_{OUT} ; \Delta I_{RIPPLE} \left(ESR + \frac{1}{8fC_{OUT}} \right)$$

ここで、f = 動作周波数、C_{OUT} = 出力容量、ΔI_{RIPPLE} = インダクタのリップル電流です。ΔI_{RIPPLE} は入力電圧に応じて増加するため、入力電圧が最大ときに出力リップルは最も大きくなります。以下のことを仮定すると、ΔI_{RIPPLE} = 0.4I_{OUT(MAX)} のとき、最大 V_{IN} での出力リップルは 50mV 未満になります。

$$C_{OUT} \text{ に必要な } ESR < N \cdot R_{SENSE}$$

かつ

$$C_{OUT} > \frac{1}{(8f)(R_{SENSE})}$$

小型表面実装パッケージの低 ESR コンデンサの登場により、非常に小さな物理的実装が可能になりました。ITH ピンを使ってスイッチング・レギュレータのループを外部で補償できるため、出力コンデンサの種類を非常に広い範囲から選択できます。各タイプのコンデンサのインピーダンス特性は理想的コンデンサとはかなり異なるため、設計段階で正確なモデリングまたはベンチ評価が必要です。高性能スルーホール・コンデンサには、ニチコン、日本ケミコン、三洋電機などのメーカーを検討してください。三洋製の OS-CON 誘電体コンデンサとパナソニックの SP 表面実装コンデンサは、(ESR・サイズ) の積が優れています。

C_{OUT} の ESR 条件を満たしていれば、RMS 電流定格は一般に I_{RIPPLE(P-P)} の条件をはるかに上回ります。AVX、太陽誘電、村田製作所、および TDK のセラミック・コンデンサは、容量値が大きく、ESR が非常に小さいため、出力電圧の低いアプリケーションに特に適しています。

表面実装アプリケーションでは、アプリケーションの ESR の条件または RMS 電流処理の条件を満たすため、複数のコンデンサを並列に接続しなければならない場合があります。アルミ電解コンデンサと乾式タンタル・コンデンサは、いずれも表面実装パッケージで供給されています。新型の特殊ポリマー表面実装コンデンサも ESR は非常に小さいのです。

アプリケーション情報

が、単位体積あたりの容量密度ははるかに低くなります。タンタル・コンデンサの場合は、スイッチング電源に使用するためのサージテストが実施されていることが不可欠です。表面実装タンタル・コンデンサにはAVXのTPS、AVXのTPSV、KEMETのT510シリーズ、表面実装特殊ポリマー・コンデンサにはパナソニックのSPシリーズが優れた選択肢と言えます。これらは高さ2mm～4mmのケースで供給されています。その他のコンデンサの種類には、三洋電機のPOSCAP、三洋電機のOS-CON、ニチコンのPLシリーズ、Spragueの595Dシリーズなどがあります。各製品の推奨事項についてはメーカーにお問い合わせください。

差動アンプ

LTC7852/LTC7852-1は、真のリモート電圧検出機能を備えています。検出接続は、緊密に結合した1対の共通のプリント基板パターンを通して、負荷から差動アンプの入力へ戻るようにします。差動アンプは、グラウンド・ループの乱れや帰還PCパターンへの容量性または誘導性放射によって生じる同相信号を除去します。LTC7852/LTC7852-1の差動アンプのV_{OSNS}⁺ピンは高入力インピーダンスです。差動アンプの出力は、エラーアンプの反転入力に内部で接続されます。

出力電圧の設定

LTC7852/LTC7852-1の出力電圧は、図2に示すように出力に注意深く接続される外付け帰還抵抗分圧器によって設定されます。安定化出力電圧は次式により求められます。

$$V_{OUT} = 0.5V \cdot \left(1 + \frac{R_{D1}}{R_{D2}} \right)$$

周波数応答を改善するには、フィードフォワード・コンデンサ(C_{F1})を使用できます。V_{OSNS}⁺の配線は、インダクタやSWの配線などのノイズ源から離して配線するよう十分注意してください。基板の導体を流れる大電流によって発生する電圧降下の影響を最小限に抑えるには、V_{OSNS}⁻検出ラインをグラウンドの近くに接続し、V_{OSNS}⁺検出ラインを負荷出力の近くに接続します。

V_{DD}およびV1P5 LDO

LTC7852/LTC7852-1は、V_{CC}電源からV_{DD}とV1P5に電力を供給する真のPMOS LDOを備えています。V_{DD}とV1P5は、最小2.2μFのセラミック・コンデンサまたは低ESRの電解コンデンサでグラウンドにバイパスする必要があります。どのような種類のバルク・コンデンサを使用する場合でも、0.1μFのセラミック・コンデンサをV_{DD}ピンとGNDピンのすぐ近くに追加することを強く推奨します。V_{DD}ピンの外部回路でLDOに負荷をかけないでください。V_{DD}は、RUNピンが解放される前に、目標値の約7%以内に入る必要があります。また、V1P5が安定化された値を約20%下回ると、コントローラはシャットダウン状態に保たれます。

フェーズ・ロック・ループと周波数同期

LTC7852/LTC7852-1は、内部の電圧制御発振器(VCO)と位相検出器で構成されるフェーズ・ロック・ループ(PLL)を内蔵しています。これにより、上側MOSFETのターンオンを、PLLINピンに加えられる外部クロック信号の立上がりエッジにロックさせることができます。位相検出器はエッジに反応するデジタル・タイプで、外部発振器と内部発振器の位相シフトを0°にします。このタイプの位相検出器は、外部クロックの高調波に誤ってロックすることがありません。

位相検出器の出力は、内部フィルタ回路網を充放電する、1対の相補型電流源です。FREQピンからは20μAの高精度電流が流れ出します。これにより、外部クロックがPLLINピンに入力されていないときは、1本の抵抗をGNDに接続してスイッチング周波数を設定することができます。FREQピンの電圧を0.57Vより低い電圧に設定しないでください。FREQピンと内蔵のPLLフィルタ回路網の間の内部スイッチがオンになるため、フィルタ回路網をFREQピンと同じ電圧で事前に充電することができます。FREQピンの電圧と動作周波数の関係を図7に示します。この関係は「電気的特性」の表で規定しています。PLLINピンに外部クロックが検出されると、上記の内部スイッチがオフしてFREQピンの影響を遮断します。LTC7852/LTC7852-1が外部クロックに同期するには、外部クロックの周波数がLTC7852/LTC7852-1の内部VCOの範囲内でなければなりません。250kHzより低いクロックには同期しないでください。簡略ブロック図を図8に示します。

アプリケーション情報

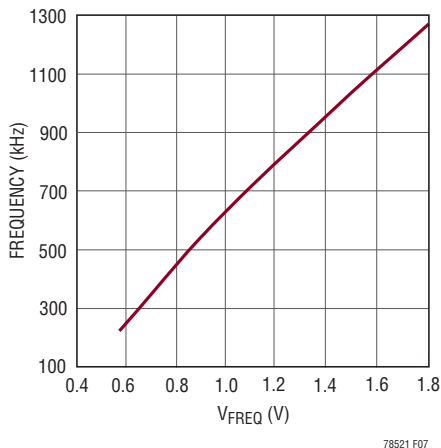


図7. 発振周波数とFREQピンの電圧の関係

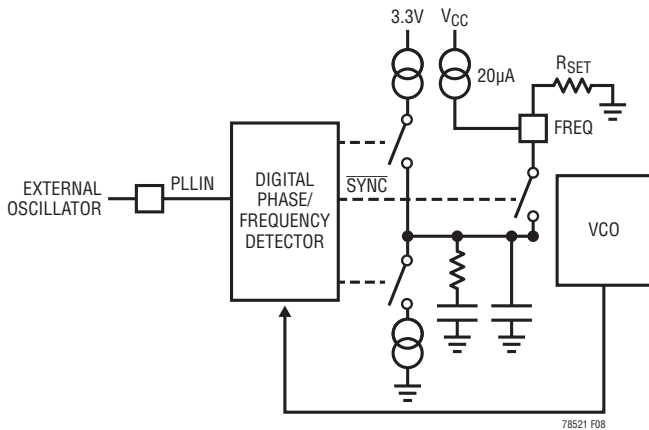


図8. フェーズ・ロック・ループのブロック図

外部クロックの周波数が内部発振器の周波数 f_{OSC} より高いと、位相検出器の出力から電流が連続的に流れ出し、フィルタ回路網をプルアップします。外部クロックの周波数が f_{OSC} より低いと、電流が連続的に吸い込まれ、フィルタ回路網をプルダウンします。外部周波数と内部周波数が等しくても位相が異なると、位相差に相当する時間だけ電流源がオンします。フィルタ回路網の電圧は、内部発振器と外部発振器の位相と周波数が等しくなるまで調整されます。安定した動作点では、位相検出器の出力は高インピーダンスになり、フィルタ・コンデンサCLPがその電圧を保持します。(PLLINピンの)外部クロック入力の高の閾値は標準で1.6Vであり、ローの閾値は1Vです。

マルチフェーズ・アプリケーションでのCLKOUTピンとPHCFGピンの使用

LTC7852/LTC7852-1はCLKOUTピンとPHCFGピンを備えており、マルチフェーズ・アプリケーションでは複数のLTC7852/LTC7852-1デバイスを一緒にデジタイズチェーン接続できます。CLKOUTピンのクロック出力信号を使用して、8、10、または12フェーズの電源ソリューションで追加のデバイスを同期し、同じ入力電源から単一の大電流出力(または複数の出力)を供給できます。

PHCFGピンは、6つのチャンネル間の位相関係と、チャンネル1とCLKOUTの間の位相関係を調整するのに使用します。位相は、PWM1の立上がりエッジとして定義される0°を基準として計算されます。マルチフェーズ・アプリケーションの作成の詳細については、アプリケーション情報のセクションを参照してください。

最小オン時間に関する検討事項

最小オン時間 $t_{ON(MIN)}$ は、LTC7852/LTC7852-1が上側MOSFETをオンすることができる最小時間です。この時間は、内部タイミング遅延、パワー段のタイミング遅延、上側MOSFETをオンするのに必要なゲート電荷の量によって決まります。低デューティ・サイクルのアプリケーションでは、この最小オン時間のリミットに接近する可能性があるため、次の条件が成り立つように注意する必要があります。

$$t_{ON(MIN)} < \frac{V_{OUT}}{V_{IN}(f)}$$

デューティ・サイクルが最小オン時間で対応可能な値より低くなると、コントローラはサイクル・スキップを開始します。出力電圧は引き続き安定化されますが、電圧リップルと電流リップルは増加します。

LTC7852/LTC7852-1の最小オン時間は(PCBレイアウトが適切であれば)約40ns、インダクタ電流リップルは最小で30%、電流検出信号のリップルは少なくとも2mVです。最小オン時間はPCBの電圧ループや電流ループのスイッチング・ノイズの影響を受けることがあります。ピーク検出電圧が低下するにつれて、最小オン時間は徐々に増加します。これは軽負荷でリップル電流が小さい強制連続アプリケーションで特に懸念される点です。この状況でデューティ・サイクルが最小オン時間の限度を下回ると、大きなサイクル・スキップが発生する可能性があります、それに応じて電流リップルと電圧リップルが大きくなります。

アプリケーション情報

効率に関する検討事項

スイッチング・レギュレータのパーセント表示での効率は、出力電力を入力電力で割って100%を掛けたものに等しくなります。多くの場合、個々の損失を分析して、効率を制限する要素が何であり、また何が変化すれば最も効率が改善されるかを判断することが有益です。パーセント表示の効率は、次式で表すことができます。

$$\% \text{Efficiency} = 100\% - (L1 + L2 + L3 + \dots)$$

ここで、L1、L2などは入力電力に対するパーセント値で表した個々の損失です。

回路内で電力を消費する全ての要素で損失が生じますが、LTC7852/LTC7852-1の回路の損失の大部分は、以下に示す主な4つの損失要因、すなわち1) デバイスの V_{CC} 電流、2) MOSFETドライバの電流、3) I^2R 損失、4) 上側MOSFETの遷移損失によって生じます。

1. V_{IN} 電流は「電氣的特性」の表に記載されているDC電源電流です。 V_{IN} の電流による損失は通常小さな値です(0.1%未満)。
2. MOSFETドライバ電流は、パワーMOSFETのゲート容量をスイッチングすることによって流れます。MOSFETのゲートがローからハイに切り替わり、再びローに切り替わるたびに、ドライバの電源からグラウンドに一定量の電荷 dQ が移動します。それによって生じる dQ/dt はドライバの電源から流出する電流であり、一般に制御回路の電流よりはるかに大きくなります。連続モードでは、 $I_{GATECHG} = f(Q_T + Q_B)$ です。ここで、 Q_T と Q_B は上側MOSFETと下側MOSFETのゲート電荷です。
3. I^2R 損失は、ヒューズ(使用する場合)、MOSFET、インダクタ、電流検出抵抗の各DC抵抗から予測されます。連続モードでは、 L や R_{SENSE} に平均出力電流が流れますが、上側MOSFETと同期MOSFETの間でこま切りにされます。2個のMOSFETの $R_{DS(ON)}$ がほぼ同じ場合は、いずれか一方のMOSFETの抵抗に L の抵抗と R_{SENSE} を加算するだけで I^2R 損失を求めることができます。例えば、それぞれの値が $R_{DS(ON)} = 10m\Omega$ 、 $R_L = 10m\Omega$ 、 $R_{SENSE} = 5m\Omega$ である場合、全抵抗は $25m\Omega$ になります。この結果、5V出力の場合、出力電流が3Aから15Aに増加すると損失は2%~8%、3.3V出力では3%~12%の範囲になります。

外付け部品および出力電力レベルが同じ場合、効率は V_{OUT} の2乗に反比例して変化します。高性能デジタル・システムでは低出力電圧と大電流がますます要求されているので、その相乗効果により、スイッチング・レギュレータ・システムの損失項の重要性は倍増ではなく4倍増となります。

4. 遷移損失は上側のMOSFETにのみ当てはまり、しかも大きくなるのは高い入力電圧(通常15V以上)で動作している場合に限ります。遷移損失は次式から概算できます。

$$\text{Transition Loss} = (1.7) V_{IN}^2 \cdot I_{O(MAX)} \cdot C_{RSS} \cdot f$$

銅トレースや内部バッテリー抵抗など他の隠れた損失は、携帯用システムでは更に5%~10%の効率低下を生じる可能性があります。こうしたシステム・レベルの損失を設計段階で盛り込むことが非常に重要です。内部バッテリーとヒューズの抵抗損失は、スイッチング周波数において C_{IN} に適切な電荷を蓄積し、ESRを小さくすれば最小限に抑えることができます。25W電源には、一般にESRが最大 $20m\Omega \sim 50m\Omega$ で容量が最小 $20\mu F \sim 40\mu F$ のコンデンサが必要です。その他の損失(デッド・タイム中のショットキー・ダイオードの導通損失やインダクタのコア損失など)は、合計しても一般には2%未満の損失増にしかありません。

過渡応答のチェック

レギュレータのループ応答は、負荷電流の過渡応答を調べることで確認できます。スイッチング・レギュレータは、DC(抵抗性)負荷電流のステップに応答するのに数サイクルを要します。負荷ステップが発生すると、 V_{OUT} は $\Delta I_{LOAD} \cdot ESR$ に等しい大きさだけシフトします。ここで、ESRは C_{OUT} の等価直列抵抗です。また、 ΔI_{LOAD} は、 C_{OUT} の充電または放電を開始して帰還誤差信号を発生します。この信号により、レギュレータは、電流変化に適応して V_{OUT} を定常状態の値に戻すよう動作します。この回復期間に、安定性に問題があることを示す過度のオーバーシュートやリングングが発生しないか、 V_{OUT} をモニタできます。ITHピンを備えているので、制御ループの動作を最適化できるだけでなく、DC結合され、ACフィルタを通したクローズドループ応答のテスト・ポイントも得られます。このテスト・ポイントでのDCステップ、立上がり時間、およびセトリングは、クローズドループ応答を正確に反映します。2次特性が支配的なシステムを想定すれば、

アプリケーション情報

位相余裕やダンピング・ファクタは、このピンに現れるオーバーシュートのパーセンテージを使用して概算できます。このピンの立上がり時間を調べることで、帯域幅も概算できます。「標準的応用例」の回路に示す ITH ピンの外付け部品は、ほとんどのアプリケーションにおいて検討着手時の妥当な初期値として使えます。ITH ピンの直列 RC-CC フィルタにより、支配的なポール・ゼロのループ補償が設定されます。これらの値は、最終的なプリント回路基板のレイアウトを完了し、特定の出力コンデンサの種類と容量値を決定したら、過渡応答を最適化するために多少(推奨値の0.5~2倍)変更することができます。ループのゲインと位相は、出力コンデンサの様々な種類と値によって決まるので、出力コンデンサは選択する必要があります。立上がり時間が $1\mu\text{s}$ ~ $10\mu\text{s}$ で、最大負荷電流の20%~80%の出力電流パルスによって発生する出力電圧波形と ITH ピンの波形により、帰還ループを開くことなくループ全体の安定性を判断することができます。パワー MOSFET を出力コンデンサの両端に直接接続し、適当な信号発生器でそのゲートを駆動するのが、現実的な負荷ステップ状態を発生する実用的な方法です。出力電流のステップ変化によって生じる初期出力電圧ステップは帰還ループの帯域幅内にない場合があるため、位相余裕を決定するのにこの信号を使用することはできません。このため、ITH ピンの信号を調べる方が確実です。この信号は帰還ループ内にあり、フィルタを通して補償された制御ループ応答です。ループのゲインは RC を大きくすると増加し、ループの帯域幅は CC を小さくすると広がります。CC を小さくすると同じ比率で RC を大きくすると、ゼロの周波数は変化しないため、帰還ループの最も重要な周波数範囲で位相シフトが一定に保たれます。出力電圧のセトリングの様子はクロードループ・システムの安定性に関係し、電源全体の実際の性能を表します。次に、大容量の ($>1\mu\text{F}$) 電源バイパス・コンデンサが接続されている負荷で切り替えが行われると、更に大きなトランジェントが発生します。放電したバイパス・コンデンサが実質的に C_{OUT} と並列接続された状態になるため、 V_{OUT} が急激に低下します。負荷スイッチの抵抗が小さく、かつ短時間で駆動されると、どのようなレギュレータでも出力電圧の急激なステップ変化を防止できるほど素早く電流供給を変えることはできません。 C_{LOAD} 対 C_{OUT} の比率が1:50より大きい場合は、スイッチの立上がり時間を制御して、負荷の立上がり時間を約 $25 \cdot C_{\text{LOAD}}$ に制限するようにしてください。そうすることにより、 $10\mu\text{F}$ のコンデンサでは $250\mu\text{s}$

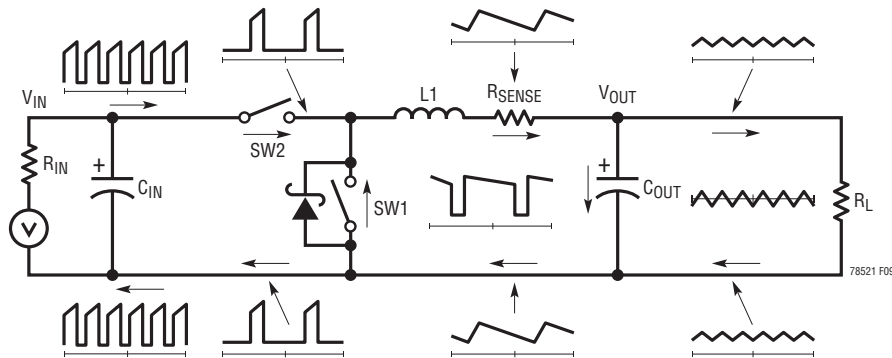
の立上がり時間が必要になり、充電電流は約200mAに制限されるようになります。

プリント回路基板レイアウトのチェックリスト

プリント回路基板をレイアウトするときは、以下のチェックリストを使用して、このデバイスが正しく動作するようにします。図9のレイアウト図に、これらの項目を図示しています。プリント基板のレイアウトでは、以下の項目をチェックしてください。

1. V_{CC} 、 V_{DD} 、 V_{IP5} のデカップリング・コンデンサをデバイスに隣接させて V_{CC} ピンと GND プレーンの間に配置します。X7R または X5R タイプの $1\mu\text{F}$ セラミック・コンデンサは十分小さいのでデバイスと適合します。デバイス内部の電源を安定化させておくため、ESR が非常に小さい $4.7\mu\text{F}$ ~ $10\mu\text{F}$ のセラミック、タンタルなどのコンデンサを追加することを推奨します。
2. C_{OUT} の (+) 端子と (-) 端子の間に帰還分圧器を配置します。 V_{OSNS^+} と V_{OSNS^-} は、最小のプリント基板パターン間隔でデバイスから帰還分圧器に配線します。
3. SNS_{AVG} 、 SNSP 、および SNSN のプリント基板パターンは、最小のプリント基板パターン間隔で一緒に配線されていますか。 SNS_{AVG} 、 SNSP 、および SNSN の間のフィルタ・コンデンサは、できるだけデバイスのピンに近づけて配置します。
4. C_{IN} の (+) 端子は上側 MOSFET のドレインにできるだけ近づけて接続されていますか。このコンデンサは MOSFET にパルス電流を供給します。
5. スイッチング・ノードは、センシティブな小信号ノード (SNSP 、 SNS_{AVG} 、 SNSN 、 V_{OSNS^+} 、 V_{OSNS^-}) から遠ざけてください。理想的には、PWM とスイッチ・ノードのプリント基板パターンは、デバイス(特にデバイスの安定している側)から離して配線する必要があります。 dv/dt が大きいパターンは、グラウンド・パターンやグラウンド・プレーンを使ってセンシティブな小信号ノードから分離します。
6. ロジック・ゲートなどのロー・インピーダンス・ソースを使って PLLIN ピンを駆動し、リードをできるだけ短くします。

アプリケーション情報



BOLD LINES INDICATE HIGH, SWITCHING CURRENTS. KEEP LINES TO A MINIMUM LENGTH.

図9. 枝路電流の波形

- ITHピンと信号グラウンド間の47pF~330pFのセラミック・コンデンサは、できるだけデバイスに近づけて配置します。図9にスイッチング・レギュレータの全ての枝路電流を示します。電流波形を調査すると、高スイッチング電流経路の物理的サイズを小さく抑えることがなぜ重要かが明らかになります。これらのループからは、無線局が信号を送信するのと同じように強い電磁界が放射されます。出力コンデンサのグラウンドは入力コンデンサの負端子に戻し、スイッチング電流の経路と共通グラウンド経路を共有しないようにします。回路の左半分は、スイッチング・レギュレータによって生成されるノイズの発生源になります。非常に大きなスイッチ電流が流れるため、同期MOSFETとショットキー・ダイオードのグラウンド終端は、絶縁された短いプリント基板パターンを使って入力コンデンサのボトム・プレートに戻します。外部OPTI-LOOP®補償は、最適化されていないプリント基板レイアウトには過補償となり、この設計手順は推奨できません。
- 信号グラウンドと電源グラウンドは分離されていますか。このデバイスのグラウンド・ピンとC_{INTVCC}のグラウンド帰還路は、1つにまとめたC_{OUT}の(-)端子に戻す必要があります。V_{OSNS}⁺とITHのパターンはできるだけ短くします。上側のNチャンネルMOSFET、ショットキー・ダイオード、およびC_{IN}コンデンサで形成される経路のリードとプリント基板パターンを短くします。コンデンサは互いに隣接させて、上記のショットキー・ループからは離して配置し、出力コンデンサの(-)端子と入力コンデンサの(-)端子を可能な限り近づけて接続してください。

- 改良型のスター・グラウンド手法を使用します。これは、入力コンデンサおよび出力コンデンサと同じ基板の側にある低インピーダンスの広い銅領域の中央接地点で、ここにINTV_{CC}デカップリング・コンデンサの下側、帰還抵抗分圧器の下側、およびデバイスのGNDピンを接続します。

設計例

6フェーズ大電流レギュレータの設計例を図10に示します。V_{IN} = 12V (公称)、V_{IN} = 20V (最大)、V_{OUT} = 1.0V、I_{MAX} = 200A、f = 400kHzと仮定します。

安定化出力電圧は次式により求められます。

$$V_{OUT} = 0.5V \cdot \left(1 + \frac{R_{D1}}{R_{D2}}\right)$$

V_{FB}ノードとグラウンドの間に20kΩの1%抵抗を使用します。上側帰還抵抗は20kΩです。周波数は、FREQピンを0.75Vにバイアスして設定します(図7を参照)。

インダクタンスの値は、最大リップル電流が30%という假定(フェーズあたり10A)に基づいています。リップル電流の最大値は、最大入力電圧で発生します。

$$L = \frac{V_{OUT}}{f \cdot \Delta I_L(MAX)} \left(1 - \frac{V_{OUT}}{V_{IN(MAX)}}\right)$$

アプリケーション情報

この設計には0.23μHが必要です。Würth 744301025の0.25μHインダクタを選択します。公称入力電圧(12V)でのリップル電流は次式で計算されます。

$$\Delta I_{L(NOM)} = \frac{V_{OUT}}{f \cdot L} \left(1 - \frac{V_{OUT}}{V_{IN(NOM)}} \right)$$

9.2A(28%)のリップルが発生します。ピーク・インダクタ電流は、最大DC値にリップル電流の1/2を加えた値(すなわち、フェーズあたり38A)になります。

最小オン時間は最大の V_{IN} で発生します。最小オン時間は(マージンを含めて)100ns未満にならないようにします。

$$t_{ON(MIN)} = \frac{V_{OUT}}{V_{IN(MAX)} f} = \frac{1.0V}{20V(400kHz)} = 124ns$$

この回路ではDCRによる検出を使用します。0.32mΩのDCRを持つ0.25μHのインダクタを選択し、それに基づいてC1とC2を220nFにした場合、R1とR2は次のように計算されます。

$$R1 = L/DCR \cdot C1 \cdot 5 = 710\Omega$$

$$R2 = L/DCR \cdot C2 \cdot 1.6 = 2.22k$$

R1 = 715Ω、R2 = 2.32kΩを選択します。

このインダクタの最大DCRは0.34mΩです。 $V_{SENSE(MAX)}$ は次式で計算されます。

$$V_{SENSE(MAX)} = I_{PEAK} \cdot DCR_{MAX} = 12mV$$

電流制限は15mVを選択します。

上側MOSFETの消費電力は容易に推定できます。MOSFETにInfineonのBSC050NE2LSを選択すると、 $R_{DS(ON)} = 7.1m\Omega$ (最大)、 $V_{MILLER} = 2.8V$ 、 $C_{MILLER} \cong 108pF$ になります。 T_J (概算値) = 75°Cで最大入力電圧の場合、次のようになります。

$$\begin{aligned} P_{MAIN} &= \frac{1.0V}{20V} (33.3A)^2 [1 + (0.005)(75^\circ C - 25^\circ C)] \cdot \\ &\quad (0.0071\Omega) + (20V)^2 \left(\frac{33.3A}{2} \right) (2\Omega)(108pF) \cdot \\ &\quad \left[\frac{1}{5V - 2.8V} + \frac{1}{2.8V} \right] (400kHz) \\ &= 492mW + 467mW \\ &= 959mW / \text{phase} \end{aligned}$$

下側FETにはInfineon BSC010NE2LS ($R_{DS(ON)} = 1.3m\Omega$ (最大))を選択します。これにより、電力損失は次式で求められます。

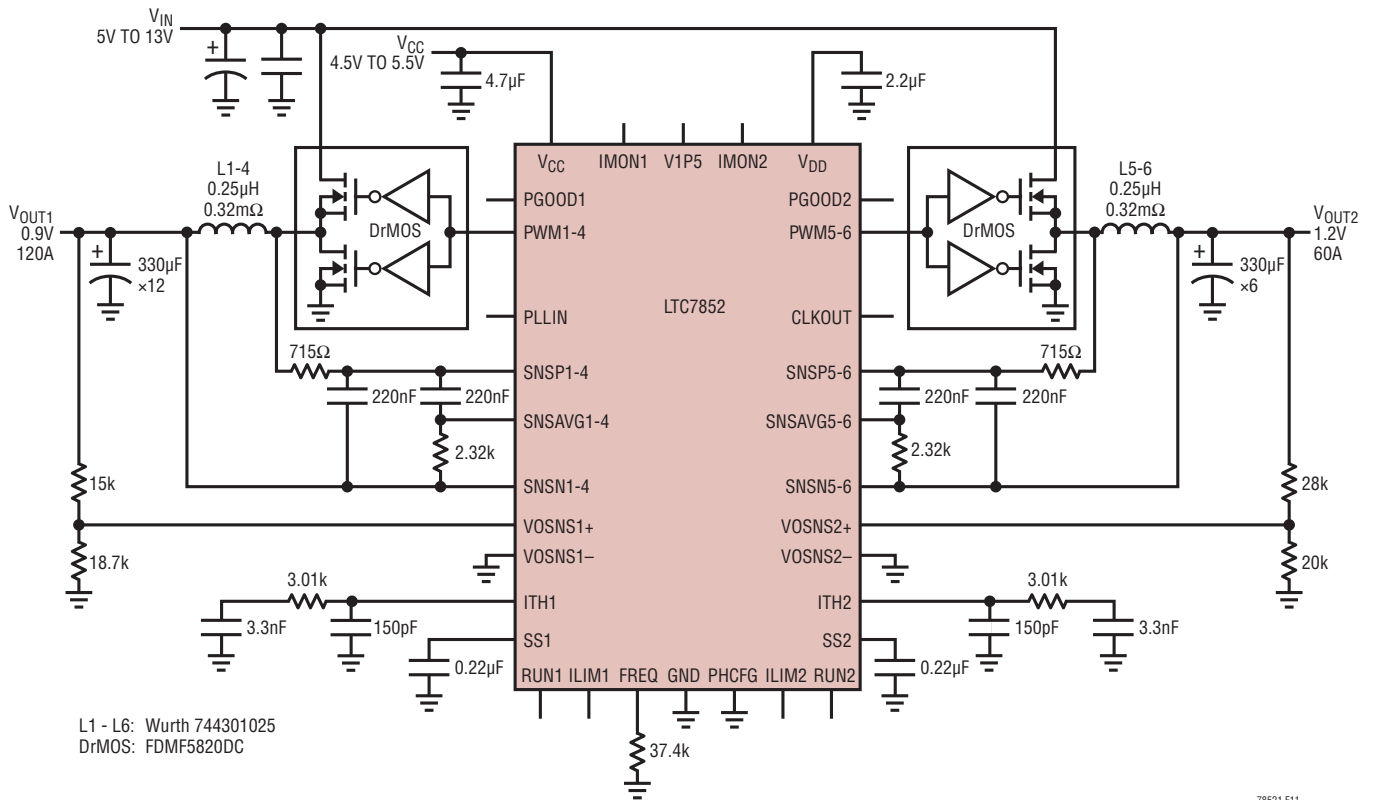
$$\begin{aligned} P_{SYNC} &= \frac{20V - 1.0V}{20V} (33.3A)^2 \cdot \\ &\quad [1 + (0.005) \cdot (75^\circ - 25^\circ C)] \cdot 0.0013\Omega \\ P_{SYNC} &= 1.7W / \text{Phase} \end{aligned}$$

C_{IN} は、13.7A以上の等価RMS電流定格に適合するように選択します。 C_{OUT} には、出力リップルが小さくなるように等価ESRが4.5mΩのものを選択します。連続モードでの出力リップルは、入力電圧が最大のときに最も大きくなります。ESRによる出力電圧リップルは、およそ次のとおりです。

$$V_{ORIPPLE} = R_{ESR} (\Delta I_L) = 0.0045\Omega \cdot 10A = 45mV_{p-p}$$

出力電圧リップルを更に小さくするには、100μFのセラミック・コンデンサを C_{OUT} の両端に配置します。

標準の応用例

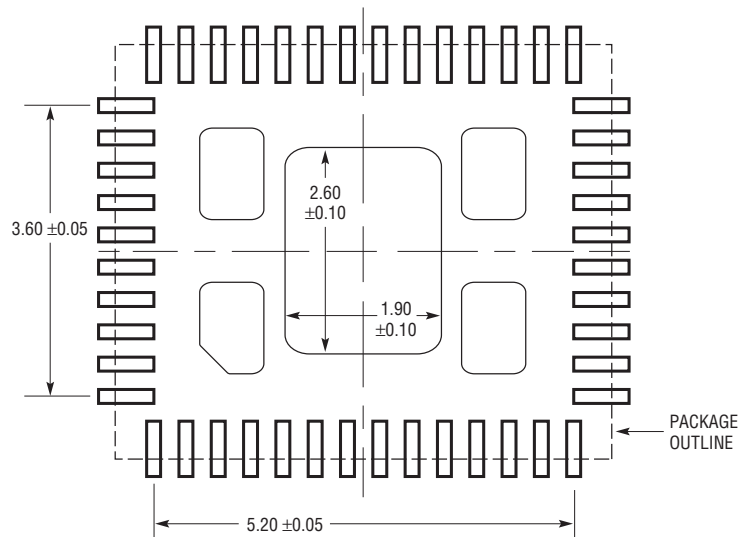


78521 F11

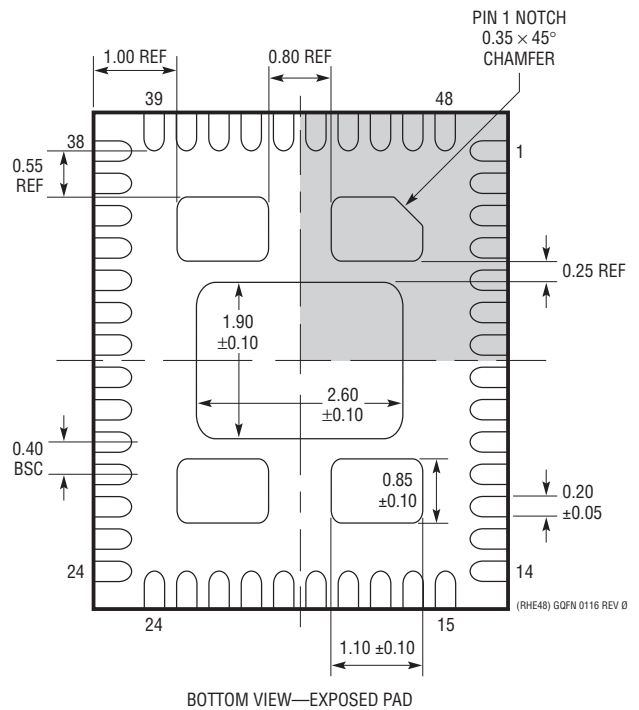
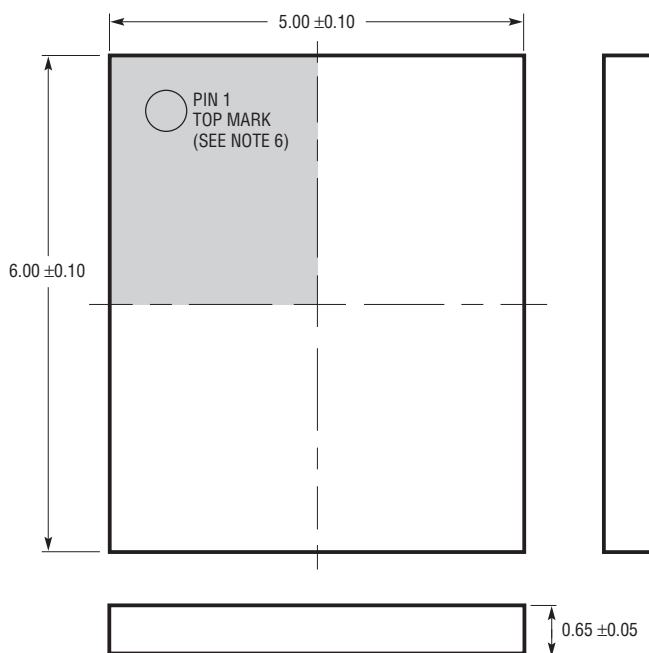
図11. DrMOSを使用する、デュアル出力4フェーズ0.9V/120Aおよび2フェーズ1.2V/60AのLTC7852コンバータ

パッケージ

RHE Package
48-Lead Plastic GQFN (5mm × 6mm)
 (Reference LTC DWG # 05-08-1527 Rev 0)



RECOMMENDED SOLDER PAD LAYOUT
 APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED



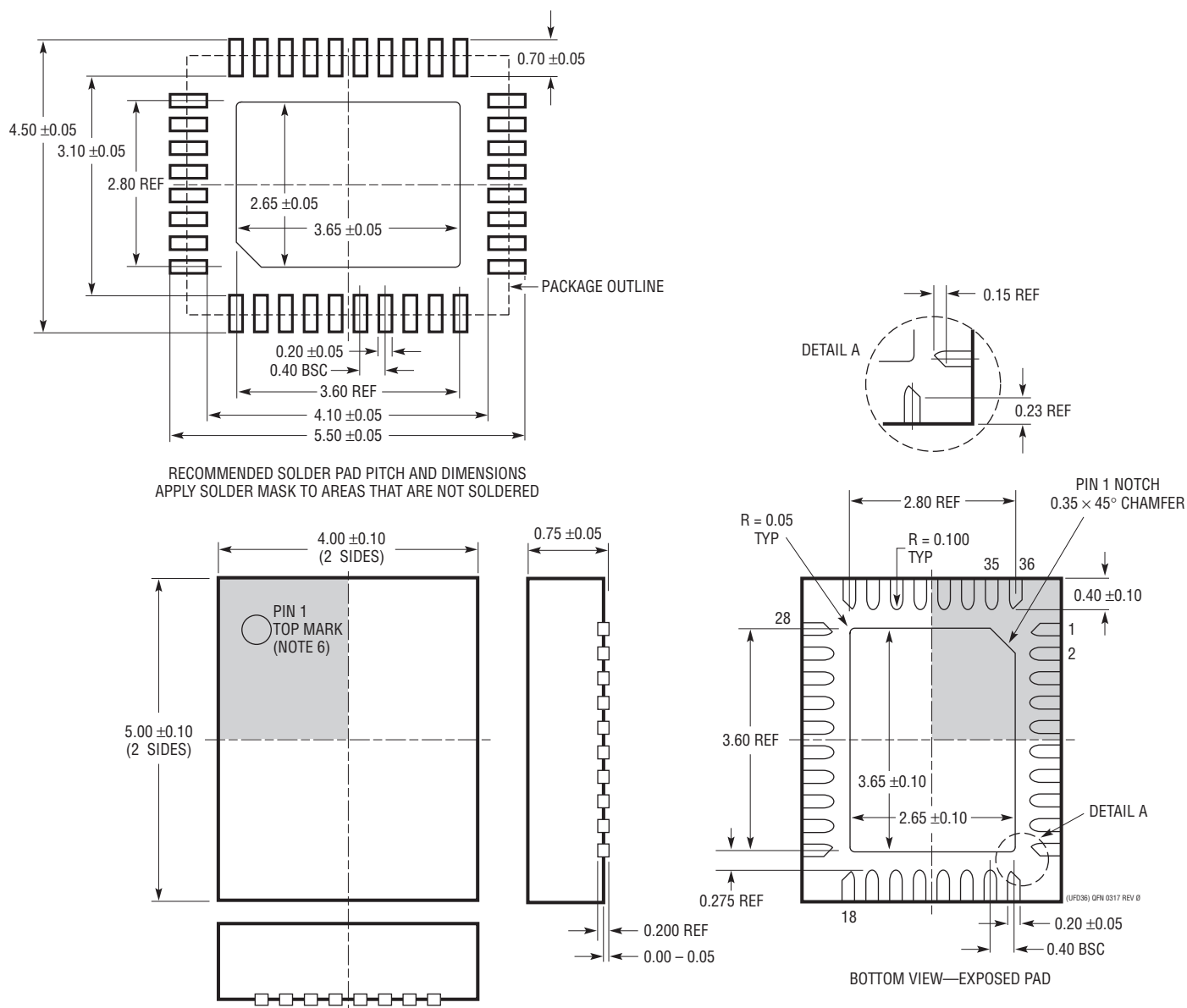
注記:

1. 図は JEDEC のパッケージ外形ではない
2. 図は実寸とは異なる
3. 全ての寸法はミリメートル

4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。
モールドのバリは（もしあれば）各サイドで 0.25mm を超えないこと
5. 露出パッドはパラジウム／ニッケル／金メッキとする
6. 灰色の部分はパッケージの上面と底面の 1 番ピンの位置の参考に過ぎない

パッケージ

UFD Package
36-Lead Plastic QFN (4mm × 5mm)
 (Reference LTC DWG # 05-08-1575 Rev 0)



注記:

1. 図はJEDECのパッケージ外形MO-220のバリエーション(WGHD-3)に含めるよう提案されている
2. 図は実寸とは異なる
3. 全ての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。
モールドのバリは(もしあれば)各サイドで0.15mmを超えないこと
5. 露出パッドはハンダ・メッキとする
6. 灰色の部分はパッケージの上面と底面の1番ピンの位置の参考過ぎない

