

# 超低ジッタ、7.5GHz、 11出力ファンアウト・バッファ・ファミリ

## 特長

- LTC6955: 11の出力バッファ
- LTC6955-1: 10のバッファ出力と1つの2分周出力
- 付加出力ジッタ: 約45fsRMS (ADC SNR法)
- 付加出力ジッタ: 5fsRMS未満  
(積分帯域幅 = 12kHz~20MHz、f = 7.5GHz)
- 11の超低ノイズCML出力
- 並列制御により、複数の出力構成に対応
- 動作ジャンクション温度範囲: -40°C~125°C

## アプリケーション

- 高性能データ・コンバータのクロック
- SONET、ファイバ・チャンネル、GigEのクロック分配
- スキューとジッタの小さいクロックおよびデータ・ファンアウト
- 無線通信と有線通信
- シングルエンドから差動への変換

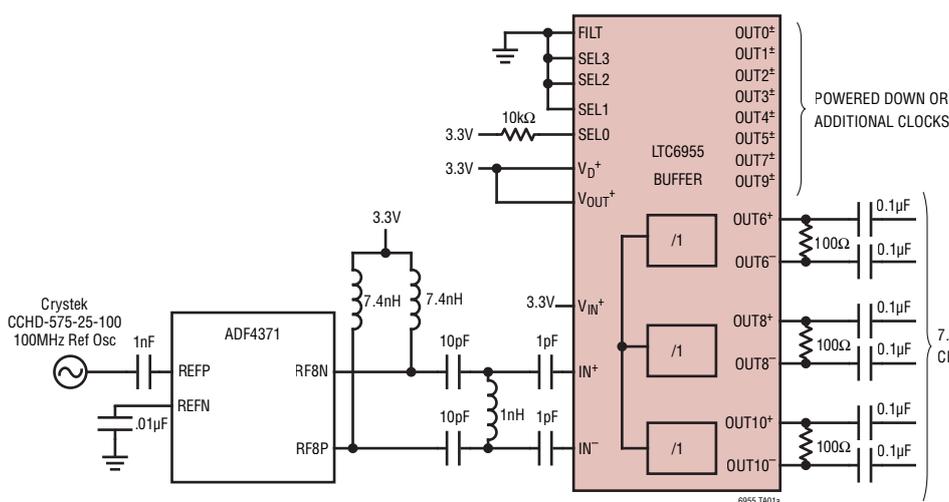
## 概要

LTC<sup>®</sup>6955は、11出力を備えた高性能、超低ジッタのファンアウト・クロック・バッファです。4ピンのパラレル制御ポートにより、複数の出力を設定して、3~11の任意の数の出力をイネーブルすることや、完全にシャットダウンすることができます。また、このパラレル・ポートは交互出力の極性を反転できるので、上面と裏面の基板配線により設計を簡略化できます。各CML出力はDC~7.5GHzの範囲で動作可能です。LTC6955-1は2分周の周波数分周器を備えた1出力バッファを置き換えるので、アナログ・デバイセズのLTC6952またはLTC6953を駆動して、JESD204Bサブクラス1のSYSREF信号を発生できます。これらのSYSREF信号は、LTC6955-1から出力される超低ジッタ・デバイス・クロック(最大7.5GHzの周波数で動作可能)と組み合わせることができます。

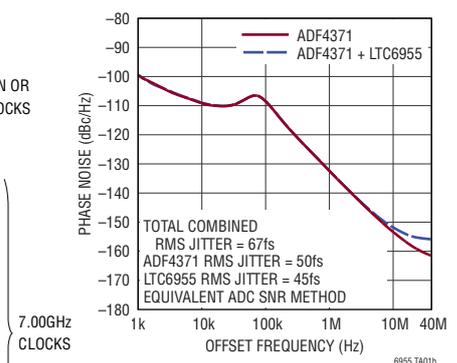
全ての登録商標および商標の所有権は、それぞれの所有者に帰属します。8319551、8819472を含む米国特許によって保護されています。

## 標準的応用例

複数の低ジッタ7GHzクロックの生成



7GHz 累積位相ノイズ  
ADF4371でLTC6955を駆動



# LTC6955

## 絶対最大定格

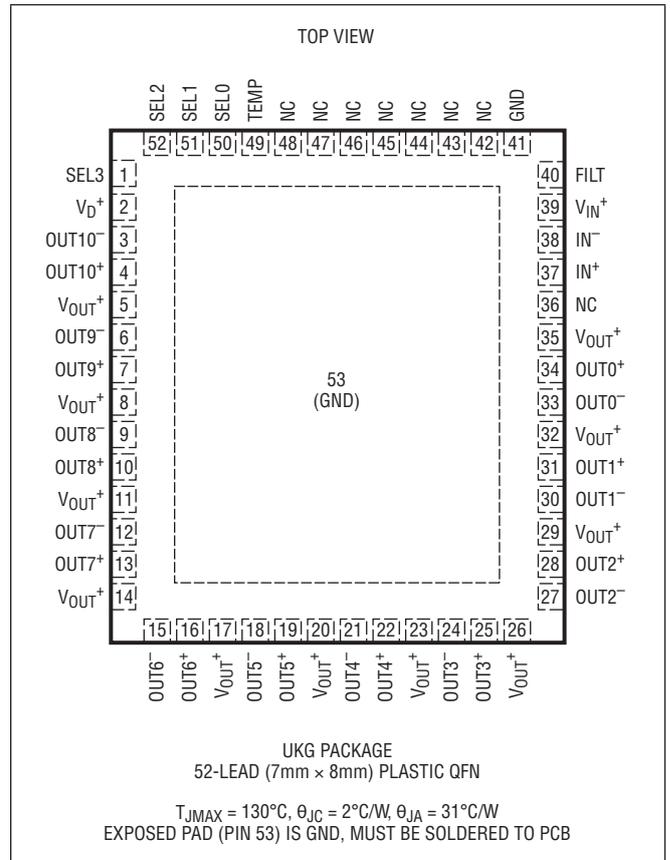
(Note 1)

### 電源電圧

$V^+$  ( $V_{IN}^+$ ,  $V_D^+$ ,  $V_{OUT}^+$ )-GND間 ..... 3.6V  
 全てのピンの電圧 ..... GND - 0.3V ~  $V^+ + 0.3V$   
 $OUTx^+$ ,  $OUTx^-$  ( $x = 0 \sim 10$ ) への電流 .....  $\pm 25mA$   
 動作ジャンクション温度範囲、 $T_J$  (Note 2)

LTC6955I および LTC6955I-1 .....  $-40^\circ C \sim 125^\circ C$   
 ジャンクション温度、 $T_{JMAX}$  .....  $130^\circ C$   
 保存温度範囲 .....  $-65^\circ C \sim 150^\circ C$

## ピン配置



## 発注情報

鉛フリー仕上げ	テープ&リール	製品マーキング	パッケージ	温度範囲
LTC6955IUKG#PBF	LTC6955IUKG#TRPBF	LTC6955UKG	52-Lead (7mm × 8mm) Plastic QFN	$-40^\circ C$ to $125^\circ C$
LTC6955IUKG-1#PBF	LTC6955IUKG-1#TRPBF	LTC6955UKG-1	52-Lead (7mm × 8mm) Plastic QFN	$-40^\circ C$ to $125^\circ C$

更に広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。

テープ&リールの仕様。一部のパッケージは、#TRMPBF 接尾部の付いた指定の販売経路を通じて500個入りのリールで供給可能です。

## 電气的特性

●は全動作温度範囲での規格値を意味する。それ以外は、 $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_D^+ = V_{IN}^+ = V_{OUT}^+ = 3.3\text{V}$  (Note 2)。全ての電圧はGNDを基準にしている。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
<b>入力 (IN<sup>+</sup>、IN<sup>-</sup>)</b>							
f <sub>IN</sub>	Frequency Range		●		7500	MHz	
	Input Power Level	R <sub>Z</sub> = 50Ω, Single-Ended	●	0.25	0.8	1.6	V <sub>P-P</sub>
			●	-8	2	8	dBm
	Self-Bias Voltage			2.05		V	
	Input Common Mode Voltage	800 mV <sub>P-P</sub> Differential Input	●	1.6		2.7	V
	Input Duty Cycle			50		%	
	Minimum Input Slew Rate			100		V/μs	
	Input Resistance	Differential		250		Ω	
	Input Capacitance	Differential		1.0		pF	
<b>デジタル・ピンの仕様</b>							
V <sub>IH</sub>	High-Level Input Voltage	SEL3, SEL2, SEL1, SEL0, FILT	●	1.55		V	
V <sub>IL</sub>	Low-Level Input Voltage	SEL3, SEL2, SEL1, SEL0, FILT	●		0.8	V	
V <sub>IHYS</sub>	Input Voltage Hysteresis	SEL3, SEL2, SEL1, SEL0, FILT		250		mV	
	Input Current	SEL3, SEL2, SEL1, SEL0, FILT	●		±1	μA	
<b>クロック出力 (OUT0<sup>+</sup>、OUT0<sup>-</sup>、OUT1<sup>+</sup>、OUT1<sup>-</sup>、OUT2<sup>+</sup>、OUT2<sup>-</sup>、…、OUT10<sup>+</sup>、OUT10<sup>-</sup>)</b>							
f <sub>OUT</sub>	LTC6955 Output Frequency	Differential Termination = 100Ω, All Outputs	●	0		7500	MHz
	LTC6955-1 Output Frequency	Differential Termination = 100Ω, All Outputs Except OUT10	●	0		7500	MHz
		Differential Termination = 100Ω, OUT10 Only	●	0		3750	MHz
V <sub>OD</sub>	Output Differential Voltage	Differential Termination = 100Ω	●	320	420	550	mV <sub>P-P</sub>
	Output Resistance	Differential		100		Ω	
	Output Common Mode Voltage	Differential Termination = 100Ω		V <sub>OUT<sup>+</sup></sub> - 1.0		V	
t <sub>R</sub>	Output Rise Time, 20% to 80%	Differential Termination = 100Ω		50		ps	
t <sub>F</sub>	Output Fall Time, 80% to 20%	Differential Termination = 100Ω		50		ps	
DC:	Output Duty Cycle	Differential Termination = 100Ω	●	45	50	55	%
t <sub>PD</sub>	LTC6955 Propagation Delay, All Outputs	V <sub>FILT</sub> < V <sub>IL</sub> , T <sub>A</sub> = 25°C		220		ps	
		V <sub>FILT</sub> > V <sub>IH</sub> , T <sub>A</sub> = 25°C		230		ps	
	LTC6955-1 Propagation Delay, All Outputs Except OUT10	V <sub>FILT</sub> < V <sub>IL</sub> , T <sub>A</sub> = 25°C		220		ps	
		V <sub>FILT</sub> > V <sub>IH</sub> , T <sub>A</sub> = 25°C		230		ps	
	LTC6955-1 Propagation Delay, OUT10 Only	V <sub>FILT</sub> < V <sub>IL</sub> , T <sub>A</sub> = 25°C		280		ps	
		V <sub>FILT</sub> > V <sub>IH</sub> , T <sub>A</sub> = 25°C		290		ps	
	Propagation Delay, Temperature Variation			0.23		ps/°C	
t <sub>SKEW</sub>	LTC6955 Skew, All Outputs Except OUT0 (Note 4)	Same Part	●	±10		±25	ps
		Across Multiple Parts	●		±20		±50
	LTC6955-1 Skew, All Outputs Except OUT0 and OUT10 (Note 4)	Same Part	●	±10		±25	ps
		Across Multiple Parts	●		±20		±50

## 電气的特性

●は全動作温度範囲での規格値を意味する。それ以外は、 $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_D^+ = V_{IN}^+ = V_{OUT}^+ = 3.3\text{V}$  (Note 2)。全ての電圧はGNDを基準にしている。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
電源電圧						
	$V_{OUT}^+$ Supply Range		● 3.15	3.3	3.45	V
	$V_D^+$ Supply Range		● 3.15	3.3	3.45	V
	$V_{IN}^+$ Supply Range		● 3.15	3.3	3.45	V

## 電源電流

$I_{DDOUT}$	LTC6955 $V_{OUT}^+$ Supply Current (Note 3)	SEL = 14, All Outputs Active	●	350	420	mA
		SEL = 1, Three Outputs Active		105		mA
		SEL = 0 or 15, All Outputs Off		90		$\mu\text{A}$
	LTC6955-1 $V_{OUT}^+$ Supply Current (Note 3)	SEL = 14, All Outputs Active	●	358	430	mA
		SEL = 1, Three Outputs Active		108		mA
		SEL = 0 or 15, All Outputs Off		90		$\mu\text{A}$
$I_{DD} - 3.3\text{V}$	LTC6955 or LTC6955-1 Sum $V_D^+$ , $V_{IN}^+$ Supply Currents (Note 3)	SEL = 14, All Outputs Active	●	85	110	mA
		SEL = 1, Three Outputs Active		67		mA
		SEL = 0, All Outputs Off, Temp Diode Off		20		$\mu\text{A}$
		SEL = 15, All Outputs Off, Temp Diode On		360		$\mu\text{A}$

## 付加位相ノイズ、ジッタ、スプリアス (Note 5)

Output Noise/Jitter, $f_{IN} = 7.5\text{GHz}$	Phase Noise Floor		-155.2		dBc/Hz
	RMS Jitter, 12kHz to 20MHz Integration BW		5		fsRMS
	RMS Jitter, ADC SNR Method (Note 6)		45		fsRMS
Output Noise/Jitter, $f_{IN} = 1.0\text{GHz}$	Phase Noise Floor		-164		dBc/Hz
	RMS Jitter, 12kHz to 20MHz Integration BW		7		fsRMS
	RMS Jitter, ADC SNR Method (Note 6)		45		fsRMS

**Note 1:** 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

**Note 2:** LTC6955は、 $-40^\circ\text{C} \sim 125^\circ\text{C}$ の全動作ジャンクション温度範囲にわたって規定の性能リミットを満たすことが確認されている。

**Note 3:** SELコード (SEL)は、各出力の状態を、表2に記載されているようにプログラムする。SELの値はSELxピンの電圧状態によって決まる。 $V_{SELx} > V_{IH}$ の場合、デジタル値 (SELx)は「1」。  $V_{SELx} < V_{IL}$ の場合、デジタル値 (SELx)は「0」。SELコードは  $8 \bullet \text{SEL3} + 4 \bullet \text{SEL2} + 2 \bullet \text{SEL1} + \text{SEL0}$  に等しい。

**Note 4:** LTC6955の場合、スキューは、特定の出力のゼロ交差時間と全ての出力の平均ゼロ交差時間の差として定義される。LTC6955-1の場合、スキューは、特定の出力のゼロ交差時間と出力0~9の平均ゼロ交差時間の差として定義される。

**Note 5:** LTC6955による付加位相ノイズとジッタのみ。受信したクロックの位相ノイズは含まれない。

**Note 6:** 増加したRMS (ADC SNR法)は、 $f_{CLK}$ に出力される分配セクションで増加した位相ノイズに統合されて計算される。ADC SNR法の実際の測定値は、この手法による値とよく合致する。

**Note 7:** LTC6955は、スプリッタを通してVCO (CVC055CC-4000-4000)から駆動される。このスプリッタの反対側は、LTC6952の入力を制御してPLL内のVCOをロックしている。LTC6952 PLLのリファレンスはPascal OCXO-E、 $f_{REF} = 100\text{MHz}$ 、 $P_{REF} = 6\text{dBm}$ 。

**Note 8:** DC2611を使って測定。

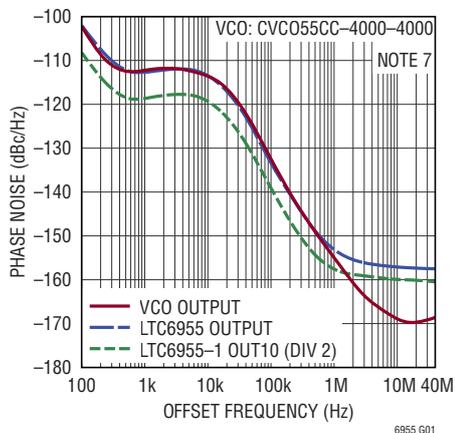
**Note 9:** ケーブル損失はこのプロットには含まれていないが、基板とコネクタの損失は含まれている。出力の基板パターン長さは約5cm。

**Note 10:** 出力0~9のデータは、4つのアセンブリ・ロット (LTC6955とLTC6955-1で2ロットずつ)から抜き取った全部で1304個のデバイスで採取した。LTC6955のOUT10のデータは、2つのアセンブリ・ロットから抜き取った710個のデバイスで採取した。LTC6955-1のOUT10のデータは、2つのアセンブリ・ロットから抜き取った594個のデバイスで採取した。

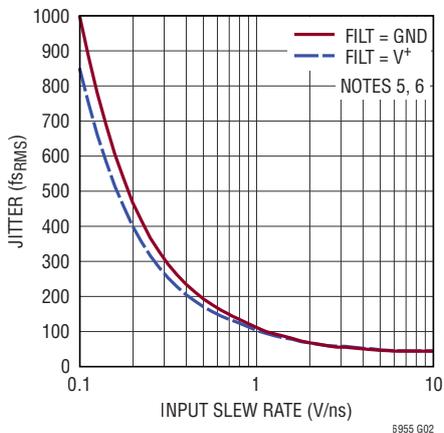
## 代表的な性能特性

$T_A = 25^\circ\text{C}$ 。特に注記がない限り、 $V_D^+ = V_{IN}^+ = V_{OUT}^+ = 3.3\text{V}$ 。

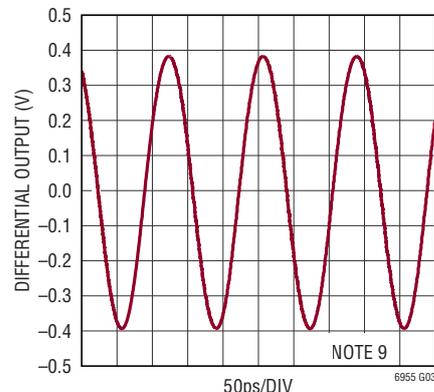
全位相ノイズ、ロック状態のPLLのVCOから駆動、 $f_{IN} = 4000\text{MHz}$ 、 $FILT = GND$



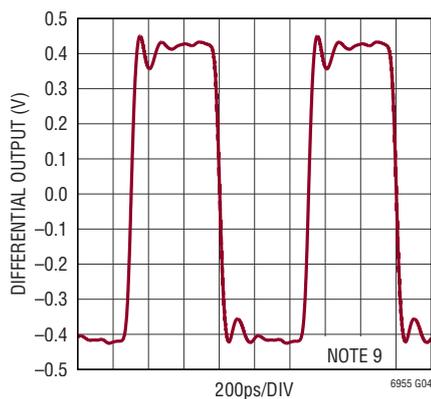
付加ジッタと入力スルー・レート、ADC SNR法



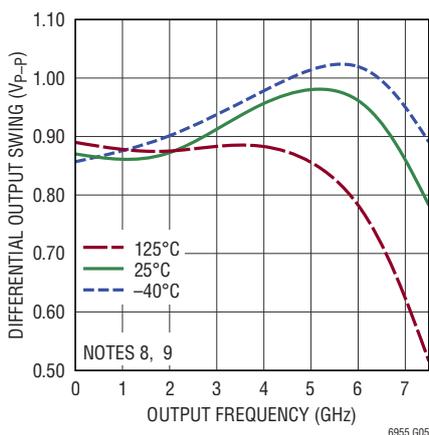
7.5GHz時のCML差動出力



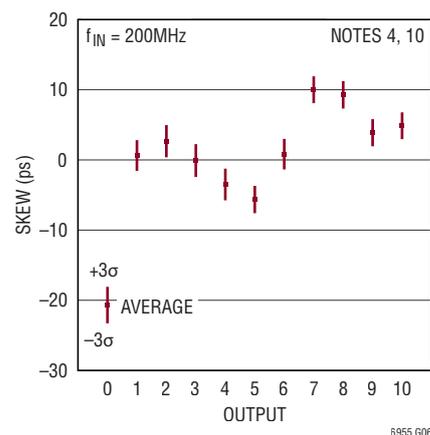
1GHz時のCML差動出力



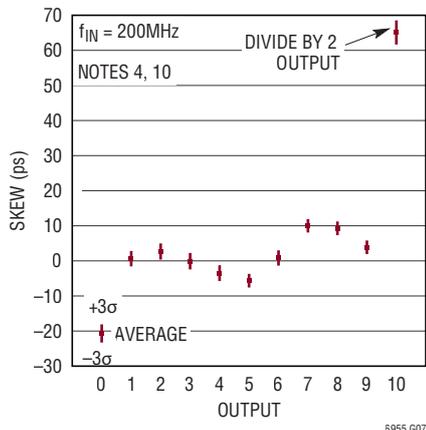
差動出力振幅と周波数、ジャンクション温度



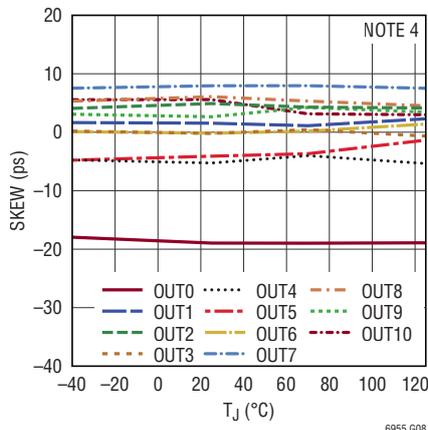
1つのLTC6955でのスキューのばらつき予想



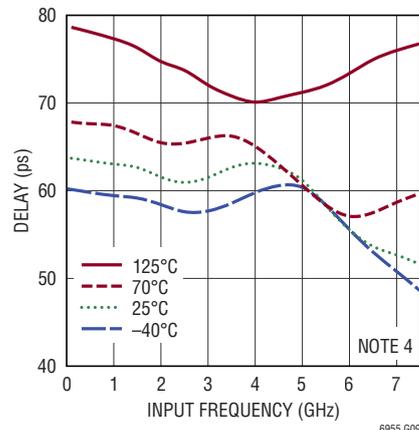
1つのLTC6955-1でのスキューのばらつき予想



代表的な1つのLTC6955-1のジャンクション温度に対するスキューのばらつき



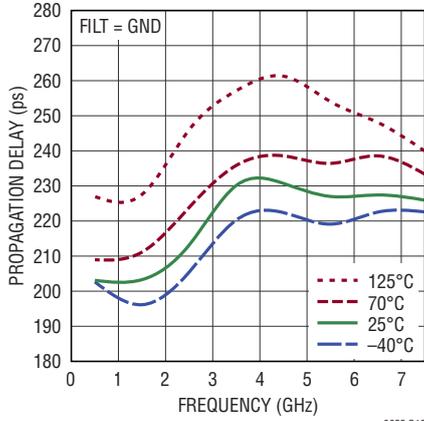
LTC6955-1のOUT10のスキューと周波数、ジャンクション温度



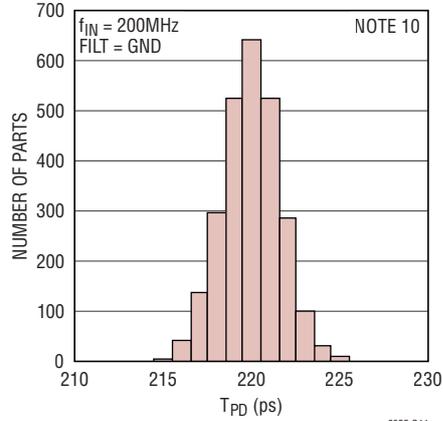
## 代表的な性能特性

$T_A = 25^\circ\text{C}$ 。特に注記がない限り、 $V_D^+ = V_{IN}^+ = V_{OUT}^+ = 3.3\text{V}$ 。

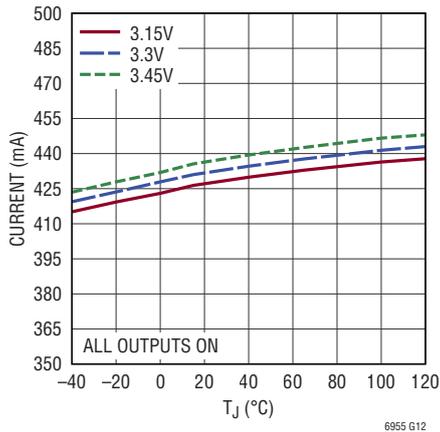
伝搬遅延と周波数、  
ジャンクション温度



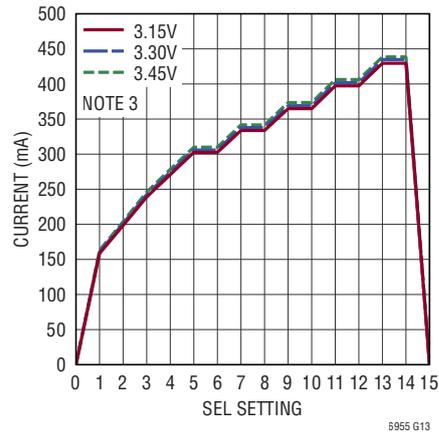
LTC6955およびLTC6955-1の伝搬遅延のばらつき、入力とOUT5の間



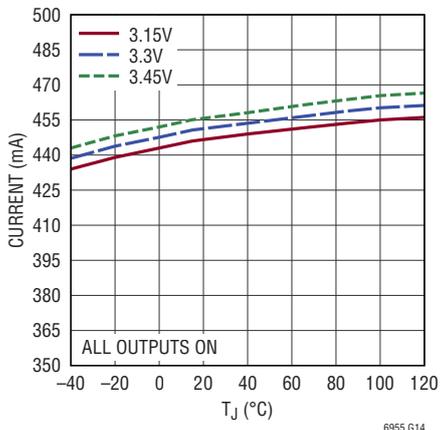
LTC6955の電源電流と  
ジャンクション温度  
および電圧



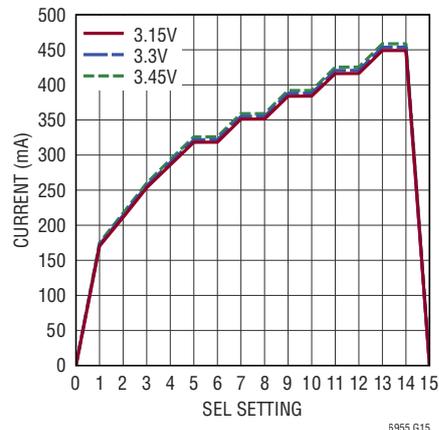
LTC6955の電源電流と  
電圧およびSEL設定



LTC6955-1の電源電流と  
ジャンクション温度および電圧



LTC6955-1の電源電流と  
電圧およびSEL設定



## ピン機能

**SEL3、SEL2、SEL1、SEL0 (ピン 1、52、51、50)** : パラレル・ポートの制御ビット。これらのCMOS入力は出力の構成を制御します。詳細については、動作のセクションを参照してください。

**V<sub>D</sub><sup>+</sup> (ピン 2)** : パラレル・ポート用の3.15~3.45Vの正電源ピン。このピンのできるだけ近くに0.1 $\mu$ Fのセラミック・コンデンサを配置して、このピンをグラウンド・プレーンに直接バイパスします。

**V<sub>OUT</sub><sup>+</sup> (ピン 5、8、11、14、17、20、23、26、29、32、35)** : 出力用の3.15~3.45Vの正電源ピン。各ピンのできるだけ近くに0.01 $\mu$ Fのセラミック・コンデンサを配置して、各ピンを個別にグラウンド・プレーンに直接バイパスします。

**OUT10<sup>+</sup>、OUT10<sup>-</sup> (ピン 3、4)** : 出力信号。出力はバッファされ、これらのピンに差動で出力されます。この出力は、各側に50 $\Omega$  (代表値)の出力抵抗を備えています(100 $\Omega$ 差動)。伝送線路の遠端部は、出力全体にわたって接続された100 $\Omega$ を使用して終端されます。LTC6955では、この出力は入力を分周しないものであり、他の出力と同一です。LTC6955-1では、この出力だけが入力信号を2分周したものになります。詳細については、動作およびアプリケーション情報のセクションを参照してください。

**OUT9<sup>+</sup>、OUT9<sup>-</sup> (ピン 6、7)** : 出力信号。出力はバッファされ、これらのピンに差動で出力されます。この出力は、各側に50 $\Omega$  (代表値)の出力抵抗を備えています(100 $\Omega$ 差動)。伝送線路の遠端部は、出力全体にわたって接続された100 $\Omega$ を使用して終端されます。この出力は入力を分周しないものです。

**OUT8<sup>+</sup>、OUT8<sup>-</sup> (ピン 9、10)** : OUT9と同じ。

**OUT7<sup>+</sup>、OUT7<sup>-</sup> (ピン 12、13)** : OUT9と同じ。

**OUT6<sup>+</sup>、OUT6<sup>-</sup> (ピン 15、16)** : OUT9と同じ。

**OUT5<sup>+</sup>、OUT5<sup>-</sup> (ピン 18、19)** : OUT9と同じ。

**OUT4<sup>+</sup>、OUT4<sup>-</sup> (ピン 21、22)** : OUT9と同じ。

**OUT3<sup>+</sup>、OUT3<sup>-</sup> (ピン 24、25)** : OUT9と同じ。

**OUT2<sup>+</sup>、OUT2<sup>-</sup> (ピン 27、28)** : OUT9と同じ。

**OUT1<sup>+</sup>、OUT1<sup>-</sup> (ピン 30、31)** : OUT9と同じ。

**OUT0<sup>+</sup>、OUT0<sup>-</sup> (ピン 33、34)** : OUT9と同じ。

**NC (ピン 36)** : 内部的に接続されません。このピンは、グラウンド・パッド (ピン 53) に接続することを推奨します。

**IN<sup>+</sup>、IN<sup>-</sup> (ピン 37、38)** : 入力信号。これらのピンに入った差動信号は、低ノイズのアンプによってバッファされ、内部の分配経路と出力に供給されます。これらの自己バイアス入力には、インピーダンス・マッチングに役立つ250 $\Omega$  (代表値)の差動抵抗があります。アプリケーション情報のセクションで説明するマッチング回路を使用することにより、シングルエンドで駆動できます。

**V<sub>IN</sub><sup>+</sup> (ピン 39)** : 入力回路用の3.15V~3.45Vの正電源ピン。このピンのできるだけ近くに0.01 $\mu$ Fのセラミック・コンデンサを配置して、このピンをグラウンド・プレーンに直接バイパスします。

**FILT (ピン 40)** : 入力フィルタ制御ピン。GNDに接続すると、入力はフィルタ処理されません。V<sup>+</sup>に接続すると、入力はフィルタ処理され、スルー・レートの低い入力信号のノイズ性能が向上します。詳細については、動作のセクションを参照してください。

**GND (ピン 41)** : 負電源 (グラウンド)。このピンは、複数のビアを使用してグラウンド・プレーンに直接接続します。

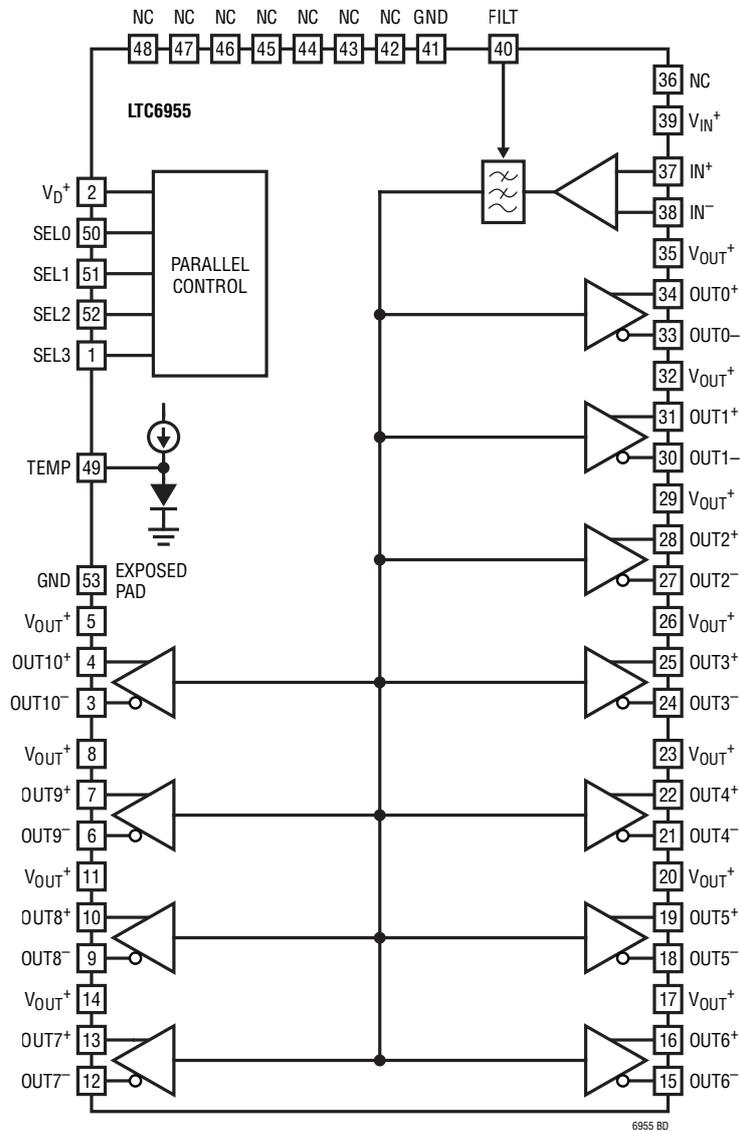
**NC (ピン 42、43、44、45、46、47、48)** : 接続なし。これらのピンは、オープンのままにするか、GNDに接続します。

**TEMP (ピン 49)** : 温度計測ピン。有効にすると、このピンは温度計測ダイオードの電圧を出力します。詳細については、動作のセクションを参照してください。

**GND (露出パッド・ピン 53)** : 負電源 (グラウンド)。パッケージの露出パッドは、PCBのランドに直接ハンダ処理する必要があります。PCBのランド・パターンには、グラウンドのインダクタンスと熱抵抗の両方を減らすために、グラウンド・プレーンへの複数のサーマル・ビアを配置します。

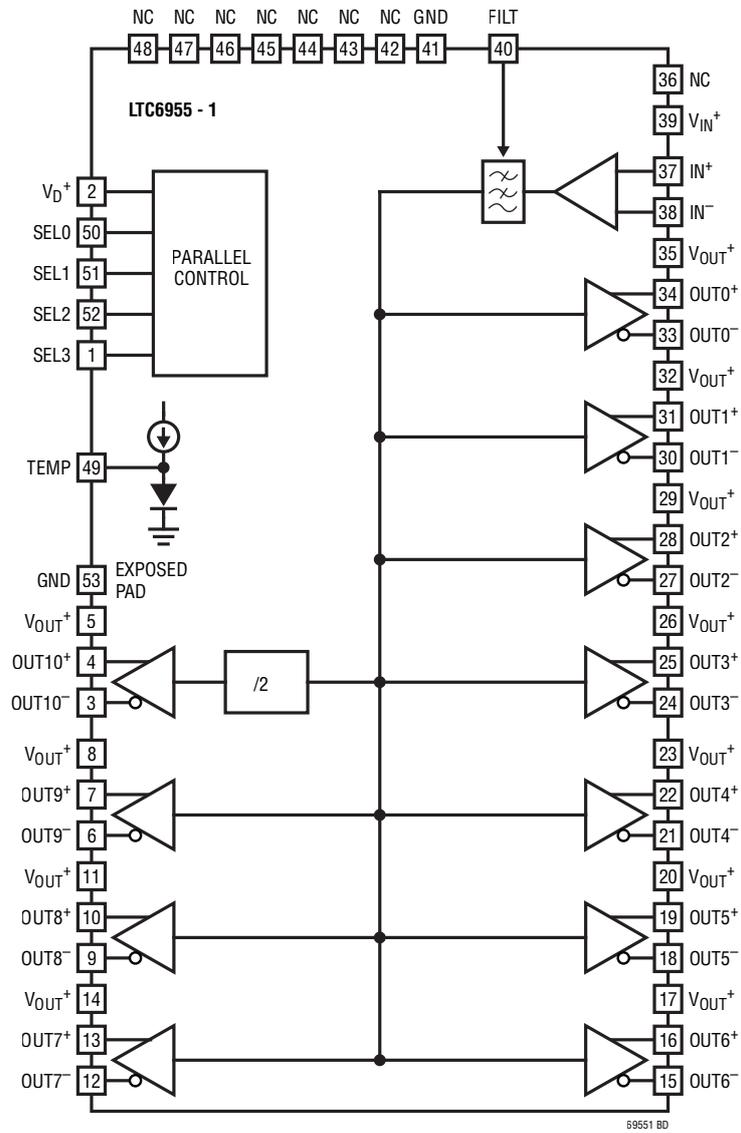
## ブロック図

LTC6955のブロック図



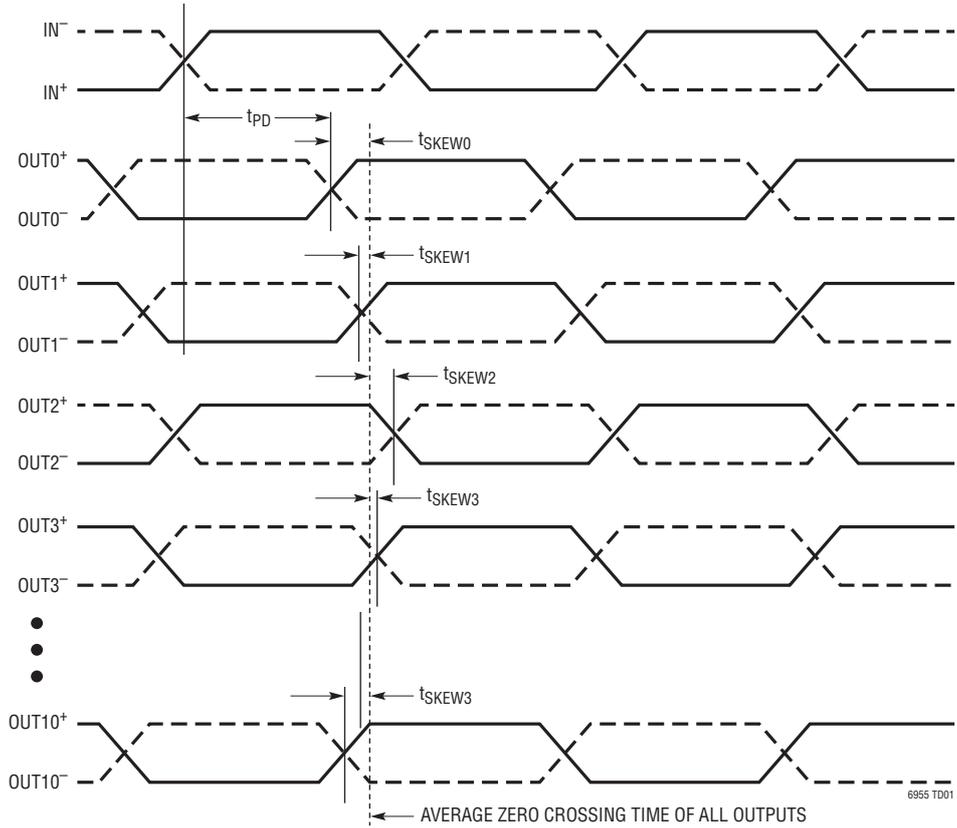
ブロック図

LTC6955-1のブロック図

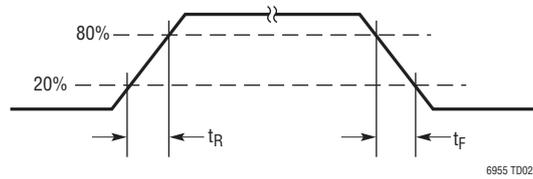


タイミング図

伝搬遅延と出力スキュー



差動CMLの立上がり/立下がり時間



## 動作

LTC6955は、最大7.5GHzで動作する高性能、複数出力のクロック・バッファです。その優れた出力ノイズ・フロアにより、卓越した積分ジッタ性能を達成できます。

### 入力バッファ

LTC6955の入力バッファは、差動とシングルエンド両方の周波数源に対してフレキシブルなインターフェースを提供します。これらの入力は自己バイアスされているので、外付けのVCO/VCXO/VCSOを使用するアプリケーションではACカップリングを推奨します。ただし、LVPECL、CML、またはこの入力の規定コモンモード電圧範囲内のその他のドライバタイプによって、入力をDCカップリングで駆動することもできます。コモン入力インターフェースの構成については、アプリケーション情報のセクションを参照してください。このとき、LTC6955の入力バッファは、図1に示すように250Ωの内部差動抵抗を備えていることに注意してください。

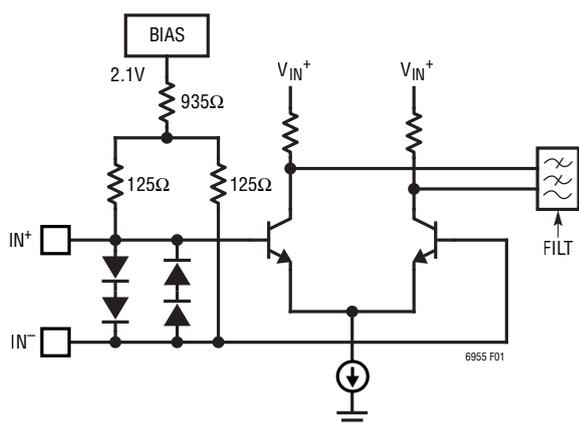


図1. 入力インターフェースの簡略回路図

入力バッファの最大周波数は7.5GHzであり、最大振幅は1.6V<sub>P-P</sub>です。また、入力信号を低ノイズにして、100V/μs以上のスルー・レートにすることも重要です。ただし、スルー・

レートが高い方が性能は向上します。入力のスルー・レートが2V/ns未満のアプリケーションでは、入力バッファ内部の広帯域ノイズ・フィルタリング回路をイネーブルすることで、位相ノイズ性能が向上します。そのためには、FILTピン(ピン40)をV<sup>+</sup>に設定します。入力のスルー・レートが2V/nsより高いときにFILT = V<sup>+</sup>を設定すると、全体的な位相ノイズ性能が低下するので注意してください。FILTの推奨設定については、表1を参照してください。

表1. FILTの制御電圧

FILT V	入力のスルー・レート
V <sup>+</sup>	< 2V/ns
GND	≥ 2V/ns

### CML出力バッファ (OUT0~OUT10)

全ての出力は、超低ノイズで低スキューの2.5V CMLバッファです。各出力はACカップリングまたはDCカップリングが可能であり、100Ωで差動終端できます。シングルエンド出力が必要な場合は、CML出力の各側を個別にACカップリングして50Ωで終端できます。回路の詳細については、図2を参照してください。

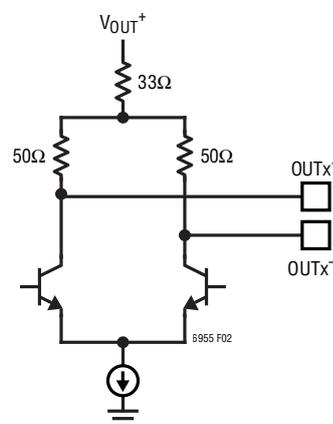


図2. CMLインターフェースの簡略回路図(全OUTx)

## 動作

## 出力のプログラミング

LTC6955の11出力を構成するには、4つのSEL<sub>x</sub>ピンの状態を設定します。一度にイネーブルできる出力の数は3～11であり、奇数の出力には、出力を反転できるという付加機能があります。プログラミングの詳細については、表2を参照してください。ここで、OFFは出力がディスエーブルされていること、ONは出力がイネーブルされていて入力から反転されていないこと、INVは出力がイネーブルされていて入力から反転されていることを、それぞれ意味します。

## TEMPピン

TEMPピンは、イネーブルすると温度計測ダイオードの電圧を出力します。近似的なダイ温度を得るには、キャリブレーション・ポイントが必要です。LTC6955の電源を遮断した状態(SEL3 = SEL2 = SEL1 = SEL0 = 1)にして、既知の温度( $t_{CAL}$ )でTEMPピンの電圧( $V_{TEMPC}$ )を測定します。その後、TEMPピンの電圧をもう一度測定し( $V_{TEMP}$ )、次の式を使用して、目的のアプリケーションでの動作温度を計算します。

$$t = 665 \cdot (V_{TEMPC} - V_{TEMP}) + t_{CAL}$$

ここで、 $t$ と $t_{CAL}$ の単位は°C、 $V_{TEMPC}$ と $V_{TEMP}$ の単位はVです。

TEMPダイオードは、表2に示すように、フル・シャットダウン(SEL3 = SEL2 = SEL1 = SEL0 = 0)以外の全てのモードでイネーブルされます。

表2. SEL<sub>x</sub>ピンによる出力のプログラミング (Note 3)

SEL コード	SEL3	SEL2	SEL1	SEL0	アクティブな 出力の数	OUT0	OUT1	OUT2	OUT3	OUT4	OUT5	OUT6	OUT7	OUT8	OUT9	OUT10	TEMP
0	0	0	0	0	0	OFF	OFF										
1	0	0	0	1	3	OFF	OFF	OFF	OFF	OFF	OFF	ON	OFF	ON	OFF	ON	ON
2	0	0	1	0	4	OFF	OFF	OFF	OFF	ON	OFF	ON	OFF	ON	OFF	ON	ON
3	0	0	1	1	5	OFF	OFF	ON	ON								
4	0	1	0	0	6	OFF	OFF	ON	OFF	ON	OFF	ON	OFF	ON	ON	ON	ON
5	0	1	0	1	7	OFF	OFF	ON	OFF	ON	OFF	ON	INV	ON	INV	ON	ON
6	0	1	1	0	7	OFF	OFF	ON	OFF	ON	OFF	ON	ON	ON	ON	ON	ON
7	0	1	1	1	8	OFF	OFF	ON	OFF	ON	INV	ON	INV	ON	INV	ON	ON
8	1	0	0	0	8	OFF	OFF	ON	OFF	ON	ON						
9	1	0	0	1	9	OFF	OFF	ON	INV	ON	INV	ON	INV	ON	INV	ON	ON
10	1	0	1	0	9	OFF	OFF	ON	ON								
11	1	0	1	1	10	OFF	INV	ON	ON								
12	1	1	0	0	10	OFF	ON	ON									
13	1	1	0	1	11	ON	INV	ON	ON								
14	1	1	1	0	11	ON	ON										
15	1	1	1	1	0	OFF	ON										

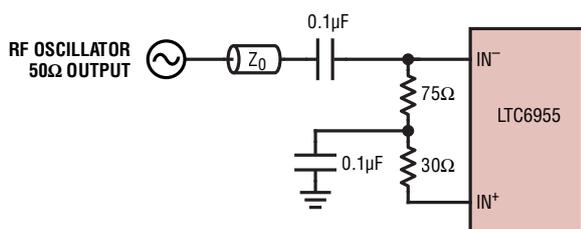
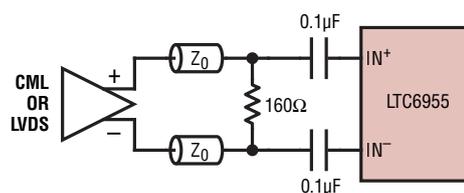
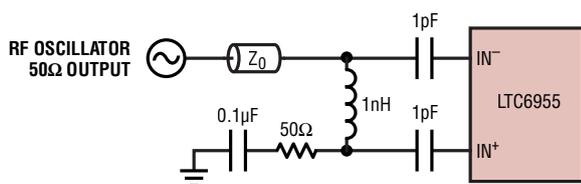
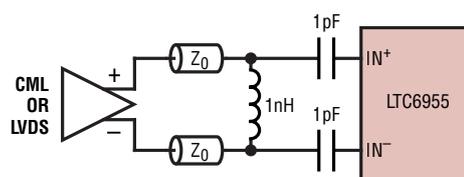
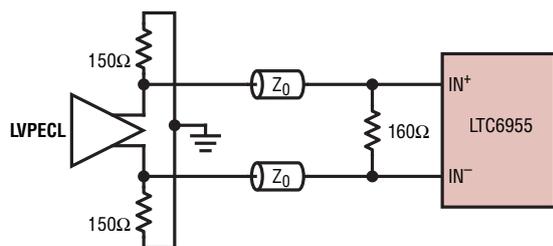
## アプリケーション情報

## はじめに

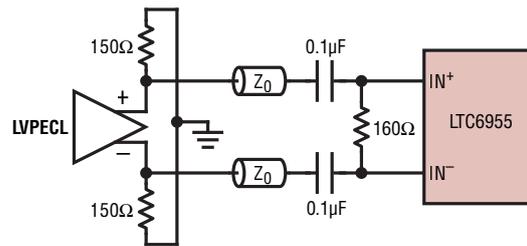
LTC6955は、クロック周波数が同じ複数の出力が必要になるなどのアプリケーションにも使用できます。特に効果的なのはデータ・コンバータのクロック供給であり、データ・コンバータのノイズ性能に悪影響を及ぼさないように、超低ジッタが必要になることが多々あります。

## 入力

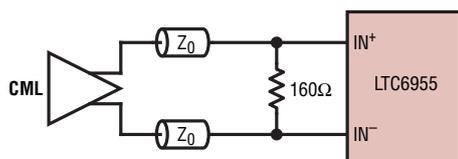
LTC6955の入力バッファ(図1参照)の周波数範囲はDC~7.5GHzです。バッファは、一部内蔵された250Ωの差動入力終端を備えており、必要な場合、外部マッチング・ネットワークにいくらかの柔軟性が与えられます。様々な入力信号の種類に対して推奨されるインターフェースを図3に示します。

AC-Coupled RF Sine Wave Oscillator ( $f_{IN} < 5\text{GHz}$ )AC-Coupled Differential CML or LVDS ( $f_{IN} < 5\text{GHz}$ )AC-Coupled RF Sine Wave Oscillator ( $f_{IN} \geq 5\text{GHz}$ )AC-Coupled Differential CML or LVDS ( $f_{IN} \geq 5\text{GHz}$ )

DC-Coupled Differential LVPECL\*



AC-Coupled Differential LVPECL



DC-Coupled Differential CML\*

\* DC coupled CML and LVPECL input common mode level must be within the min and max levels specified in the Electrical Characteristics. All LTC6951, LTC6952, LTC6953, and LTC6955 CML output levels are acceptable.

6955 F03

図3. 一般的な入力インターフェースの構成。Z<sub>0</sub>信号パターンは全て50Ω伝送線路

## アプリケーション情報

### 8つのADCを使用するLTC6955の設計例

この設計例は、1つのLTC6955により駆動される8つのA/Dコンバータ(ADC)というシステムで構成されます。PCBレイアウトの制約として、回路基板の上面と下面にそれぞれ4つのADCが必要であると仮定します。つまり、LTC6955は、理想的には上面側のADCに4つの非反転クロックを供給し、下面側のADCに4つの反転クロックを供給することが求められます。表2を参照すると、SELコード9を設定すれば、予備出力が1つアクティブになるものの、アクティブな出力の数と極性が(理想と)最も近いものになります。図4に、推奨システムのブロック図を示します。アクティブな出力は、使用しない場合でも100Ωで終端してください。

この例の場合、出力振幅が1.6V<sub>P-P</sub>で500MHzのサイン波発振器により、入力をシングルエンドで駆動すると仮定します。入力スルー・レート(SR)は次式から求めることができます。

$$SR = V_{AMP} \cdot 2\pi \cdot f_{IN}$$

ここで、V<sub>AMP</sub>は入力振幅(単位:V<sub>P</sub>)であり、f<sub>IN</sub>は入力周波数(単位:Hz)です。この例では、次のようになります。

$$SR = 0.8V_P \cdot 2\pi \cdot 500MHz = 2.5V/ns$$

2.5V/nsは2V/nsより大きいので、表1を参照して、FILTピンをGNDに設定します。

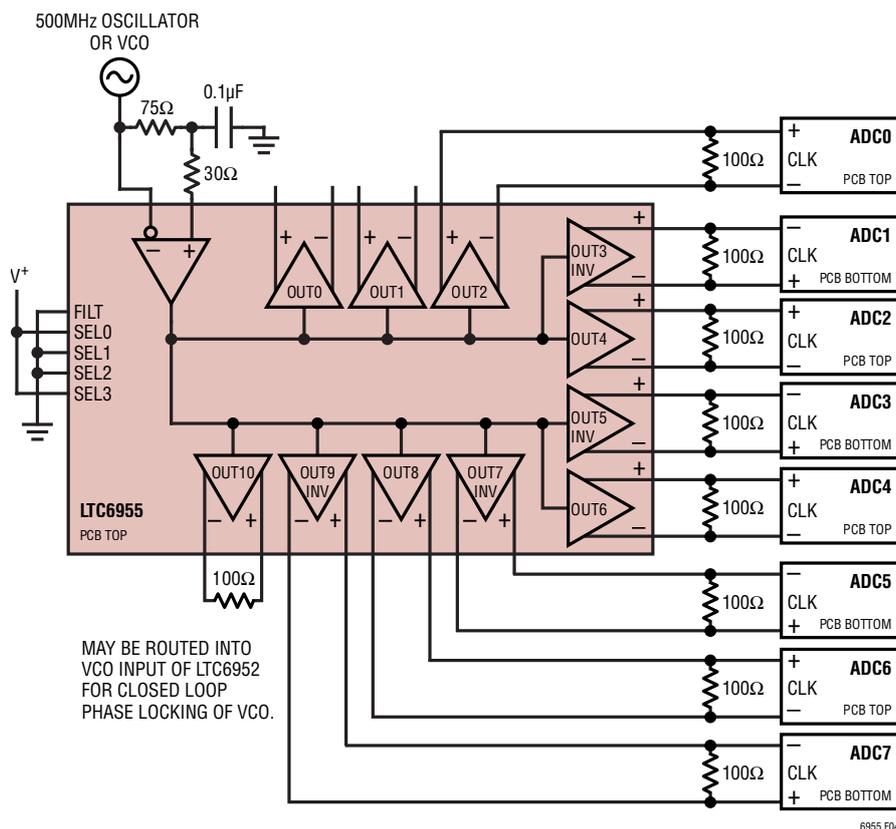


図4. LTC6955設計例のブロック図

## アプリケーション情報

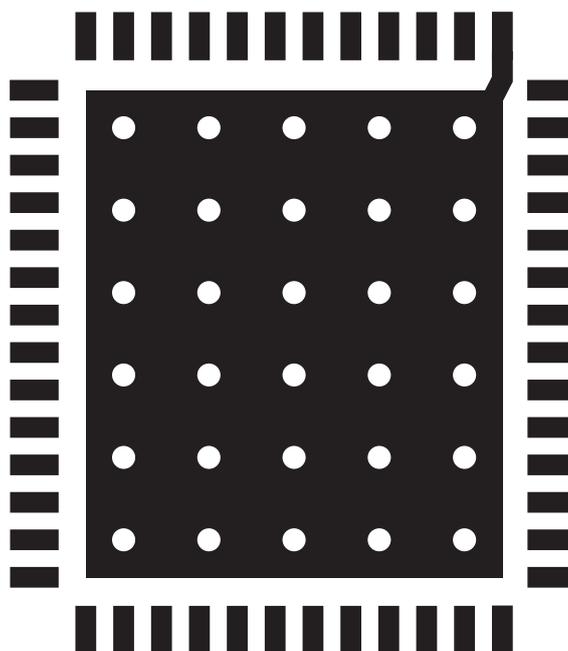
### 電源バイパスおよびPCBレイアウトに関するガイドライン

PCBをレイアウトするときは、電源デカップリングとグラウンドのインダクタンスを最小に抑えるよう注意が必要です。ピン機能のセクションで説明されているように0.01 $\mu$ Fまたは0.1 $\mu$ Fのセラミック・コンデンサをできるだけピンの近くに配置して、電源の全てのV<sup>+</sup>ピンをグラウンド・プレーンに直接バイパスします。電源デカップリング・コンデンサを含む全てのグラウンド接続に、グラウンド・プレーンへの複数のビアを

使います。LTC6955-1は2分周出力を内蔵しているので、デバイス内の他のバッファ出力にスプリアスが現れます。このスプリアスを改善するには、OUT10 (ピン6)のV<sub>OUT</sub><sup>+</sup>電源ピンと直列に

フェライト・ビーズを追加します。一例については、標準的応用例のADC SNRジッタが52fsで7.25GHzのクロックの生成、LTC6952とLTC6955-1を使用を参照してください。

パッケージの露出パッドはグラウンド接続なので、PCBのランドに直接ハンダ付けする必要があります。PCBのランド・パターンには、グラウンドのインダクタンスと熱抵抗の両方を減らすために、グラウンド・プレーンへの複数のサーマル・ビアを配置します(図5の例を参照)。電気的性能と熱性能のための接地の例については、DC2611のレイアウトを参照してください。



6955 F05

図5. PCBのトップ・メタル層のピンおよび露出グラウンド・パッドの設計。  
ピン41は信号グラウンドであり、露出パッドのメタルに直接接続

## アプリケーション情報

## ADCのクロック制御とジッタの条件

きれいな信号にノイズを直接加えると、その信号対ノイズ比 (S/N比) は明らかに低下します。データ・アキュイジション・アプリケーションでは、ノイズの多いクロック信号できれいな信号をデジタル化することでも S/N比が低下します。この問題は、位相ノイズの代わりにジッタを使用して時間領域で説明するのが最善です。この説明では、ジッタがホワイト・ノイズ (周波数に対して強度が平坦) であり、ガウス分布に従うと仮定します。

ADC、入力信号アンプ、およびサンプリング・クロックから成る標準的なデータ・アキュイジション回路に入力されるサイン波信号を図6に示します。また、サイン波をゼロ交差でサンプリングするための3つの信号サンプリング状況も示しています。

最初の状況では、完全なサイン波入力をノイズのないアンプでバッファしてADCを駆動します。サンプリングは完全なゼロ・ジッタ・クロックによって実行されます。付加ノイズまたはサンプル・クロックのジッタがない場合、ADCのデジタル化した出力値は非常に明確に決まり、サイクル単位で完全に再現可能です。

2番目の状況では、完全なサイン波入力をノイズの多いアンプでバッファしてADCを駆動します。サンプリングは完全なゼロ・ジッタ・クロックによって実行されます。付加ノイズはデジタル化した値の不確実性の原因となるので、S/N比を低下させる誤差項が生じます。この状況では、信号にノイズを加えることでS/N比の低下が予想されます。

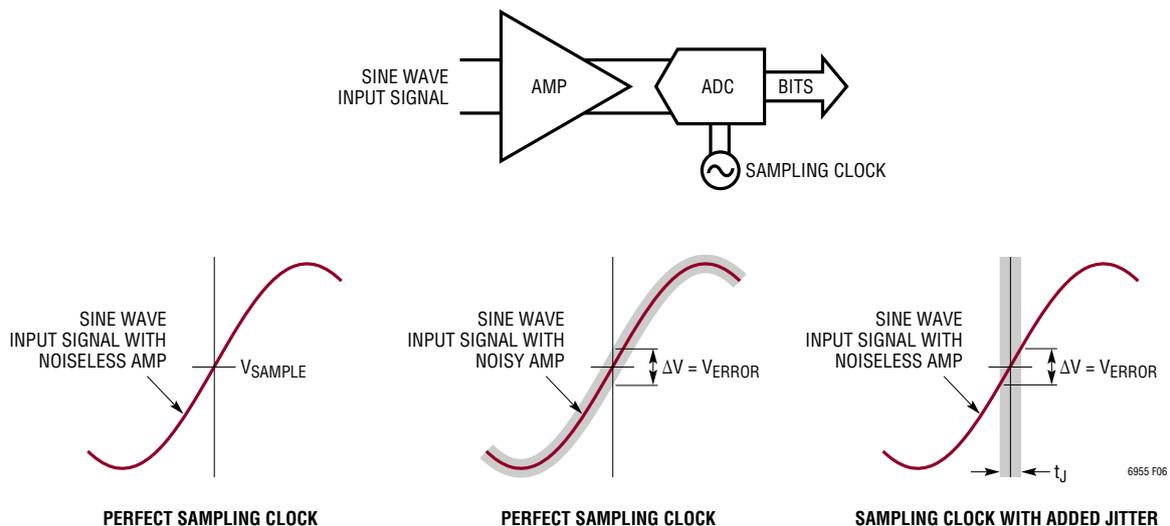


図6. ノイズの多いアンプとジッタのあるサンプル・クロックのサンプリング誤差の影響を示す標準的なデータ・アキュイジション回路

## アプリケーション情報

3番目の状況では、完全なサイン波入力をノイズのないアンプでバッファしてADCを駆動します。サンプリングは付加ジッタのあるクロック信号によって実行されます。信号はスルーイングしているので、前の状況の場合と同様、クロック信号のジッタはデジタル化した値および誤差項での不確実性につながることに注意してください。この場合も、この誤差項はS/N比を低下させます。

実際のシステムには、付加的なアンプ・ノイズとサンプル・クロック・ジッタの両方があります。いったん信号がデジタル化されると、S/N比低下の根本原因(アンプ・ノイズかサンプル・クロック・ジッタか)を突き止めるのは困難です。

サンプル・クロック・ジッタによってS/N比が低下するのは、アナログ入力信号がスルーイングしている場合だけです。アナログ入力信号が安定している場合(DCの場合)、サンプリングがいつ行われるかは問題になりません。更に、高速のスルーイング入力信号は低速のスルーイング入力信号より誤差が大きく(ノイズが多く)なります。

この影響を図7に示します。高速のスルーイング信号の誤差項が低速のスルーイング信号の場合よりどの程度大きいかに注意してください。データ・コンバータのS/N比性能を維持するため、周波数が高い入力信号のデジタル化では、周波数の低い入力信号を使用するアプリケーションよりかなりジッタが少ないクロックが必要です。

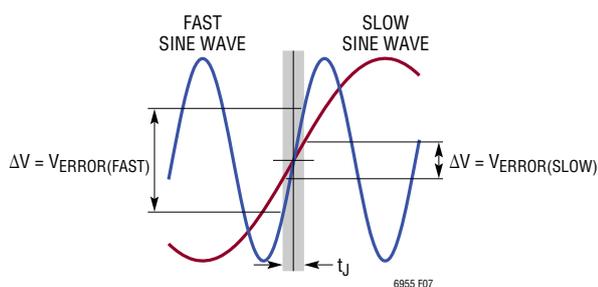


図7. ジッタのあるクロックを使ってサンプリングした高速および低速のサイン波信号

アナログ入力信号の周波数がサンプル・クロックのジッタ条件を決定することに注意が必要です。実際のサンプル・クロック周波数は問題になりません。高周波数信号をアンダーサンプリングする多くのADCアプリケーションには、特に困難なサンプル・クロック・ジッタ条件があります。

以上の説明は、サンプル・クロック・ジッタによるS/N比低下について、直感的に感覚を掴むのに役立ちました。

定量的に捉えるならば、特定のアプリケーションにおける実際のサンプル・クロック・ジッタ条件は以下のように計算されます。

$$t_{J(TOTAL)} = \frac{10^{\frac{-SNR_{dB}}{20}}}{2 \cdot \pi \cdot f_{SIG}} \quad (1)$$

ここで、 $f_{SIG}$ はデジタル化する信号の最大周波数(Hz)、 $SNR_{dB}$ はS/N比条件(dB)、 $t_{J(TOTAL)}$ は全RMSジッタ(秒)です。全ジッタは、ADCのアーチャ・ジッタとサンプル・クロック・ジッタのRMS値の合計であり、次式で計算されます。

$$t_{J(TOTAL)} = \sqrt{t_{J(CLK)}^2 + t_{J(ADC)}^2} \quad (2)$$

あるいは、所定の全ジッタについて、達成可能なS/N比は次のように計算されます。

$$SNR_{dB} = -20 \log_{10} (2 \cdot \pi \cdot f_{SIG} \cdot t_{J(TOTAL)}) \quad (3)$$

これらの計算では、フルスケールのサイン波入力信号を仮定しています。入力信号が中程度のクレスト・ファクタを持つ複雑な変調信号である場合、その信号のピーク・スルー・レートは低くなり、サンプル・クロック・ジッタ条件が緩和される場合があります。

## アプリケーション情報

これらの計算は、理論上の計算でもあります。これらの計算では、分解能が無限でノイズのないADCを仮定しています。現実の全てのADCには付加ノイズと分解能限界があります。ADCの制約を考慮して、サンプル・クロックを過剰に指定しないようにする必要があります。

図8は前出の式をプロットしたもので、与えられた入力信号のサンプル・クロック・ジッタ条件や、与えられたサンプル・クロック・ジッタに関する予想S/N比性能を手軽に推定するのに利用できます。

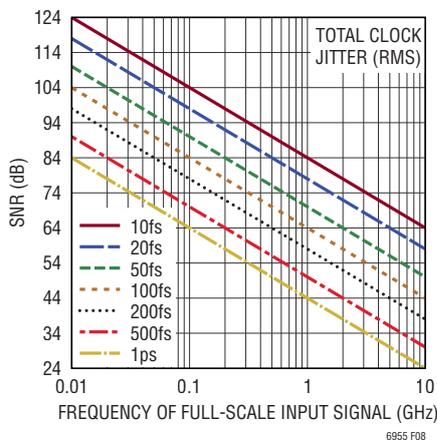


図8. S/N比と入力信号周波数とサンプル・クロック・ジッタ

### ADCのS/N比を使用したクロック・ジッタの間接的測定

一部のアプリケーションでは、システム全体の性能に対するクロックの影響を計算するには、クロック・ジェネレータの位相ノイズを、定義されているオフセット周波数範囲(12kHz~20MHz)内に収めれば十分です。このような状況では、RMSジッタは位相ノイズの測定値から計算できます。

ただし、他のアプリケーションでは、現在の位相ノイズ・アナライザの性能を超える周波数オフセットでのクロックの位相ノイズに関する知識が必要になります。この制限により、位相ノイズの測定値からジッタを計算することが困難になります。

ADCクロックの信号源のRMSジッタは、ジッタが優位を占めるS/N比測定値とジッタ以外が優位を占めるS/N比測定値を比較することによって間接的に測定できます。ジッタが

主体のS/N比測定値(SNR<sub>jitter</sub>)は、低ジッタ、高周波数のフルスケール・サイン波をADCのアナログ入力に印加することによって得られます。ジッタ以外が主体のS/N比測定値(SNR<sub>base</sub>)は、超低振幅(または低周波)のサイン波をADCのアナログ入力に印加することによって得られます。全クロック・ジッタ(t<sub>J(TOTAL)</sub>)は、式4を使用して計算できます。

$$t_{J(TOTAL)} = \frac{10}{2\pi f_{IN}} \left[ \frac{1}{2} \log_{10} \left[ 10^{\left( \frac{SNR_{jitter}}{10} \right)} - 10^{\left( \frac{SNR_{base}}{10} \right)} \right] \right] \quad (4)$$

ADCの本来のアーチャ・ジッタ(t<sub>J(ADC)</sub>)が判明していると仮定すると、クロック・ジェネレータのジッタ(t<sub>J(CLK)</sub>)は式2を使用して得ることができます。

### ADCのサンプル・クロック入力の駆動条件

最近の高速、高分解能ADCは、多くの点で実験室用機器の性能を凌ぐほどの性能をもつ途方もなく繊細な部品です。アナログ信号入力、電圧リファレンス、またはサンプル・クロック入力にノイズや干渉信号があると、デジタル化されたデータに簡単に現われます。ADCの性能を最大限発揮するには、サンプル・クロック入力をきれいな低ジッタ信号で駆動する必要があります。

標準的なADCのサンプル・クロック入力を簡略化したものを図9に示します。この条件で、入力ピンには、符号化の場合、ENC±というラベルが付けられます。一方で一部のADCでは、クロック入力の場合、入力CLK±というラベルが付けられます。この入力、差動リミット・アンプ段と、ADCのトラック&ホールド段を直接制御する後段のバッファで構成されています。

アンプにはそれ自体のノイズがあるので、高速のスルーイング入力信号は、サンプル・クロック入力アンプにとってもメリットがあります。クロスオーバー領域で急速にスルーイングすることにより、低速に遷移する場合よりも、アンプのノイズによって発生するジッタが少なくなります。

## アプリケーション情報

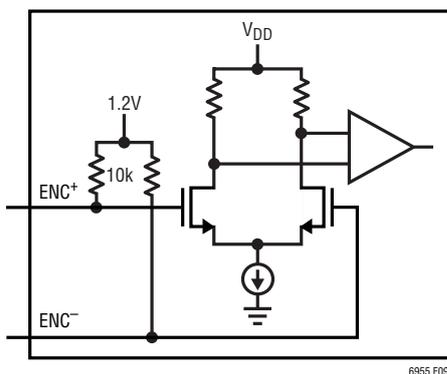
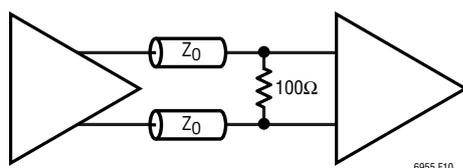


図9. サンプル・クロック入力の簡略回路図

図9に示すように、ADCのサンプル・クロック入力は通常、最善の性能を実現する差動サンプル・クロックを使用した差動入力です。また、図9は、LTC6955のCML出力とは異なる入力コモンモード電圧を持つサンプル・クロック入力も示しています。ほとんどのADCアプリケーションでは、2つのコモンモード電圧間での変換にはACカップリングが必要です。

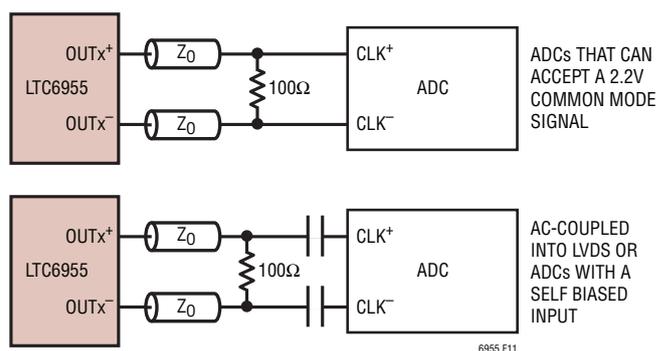
## 伝送線路と終端

立上がりと立下がりが多い高速信号処理回路の相互接続では、終端を適切に整合した伝送線路を使用することが必要です。伝送線路はストリップライン、マイクロストリップライン、それ以外の設計形態のいずれも可能です。伝送線路設計の詳細な説明は、このデータシートの対象範囲に含まれません。伝送線路の特性インピーダンスと終端インピーダンスとの間に不整合があると、信号の一部が反射して戻り、伝送線路の反対側の端に向かいます。開放終端または短絡終端といった極端な場合は、全ての信号が反射して戻ります。この信号反射は、波形のオーバーシュートやリングングにつながります。伝送線路の遠端部を終端する方法として推奨される方法を図10に示します。

図10. 伝送線路の遠端部の終端 ( $Z_0 = 50\Omega$ )

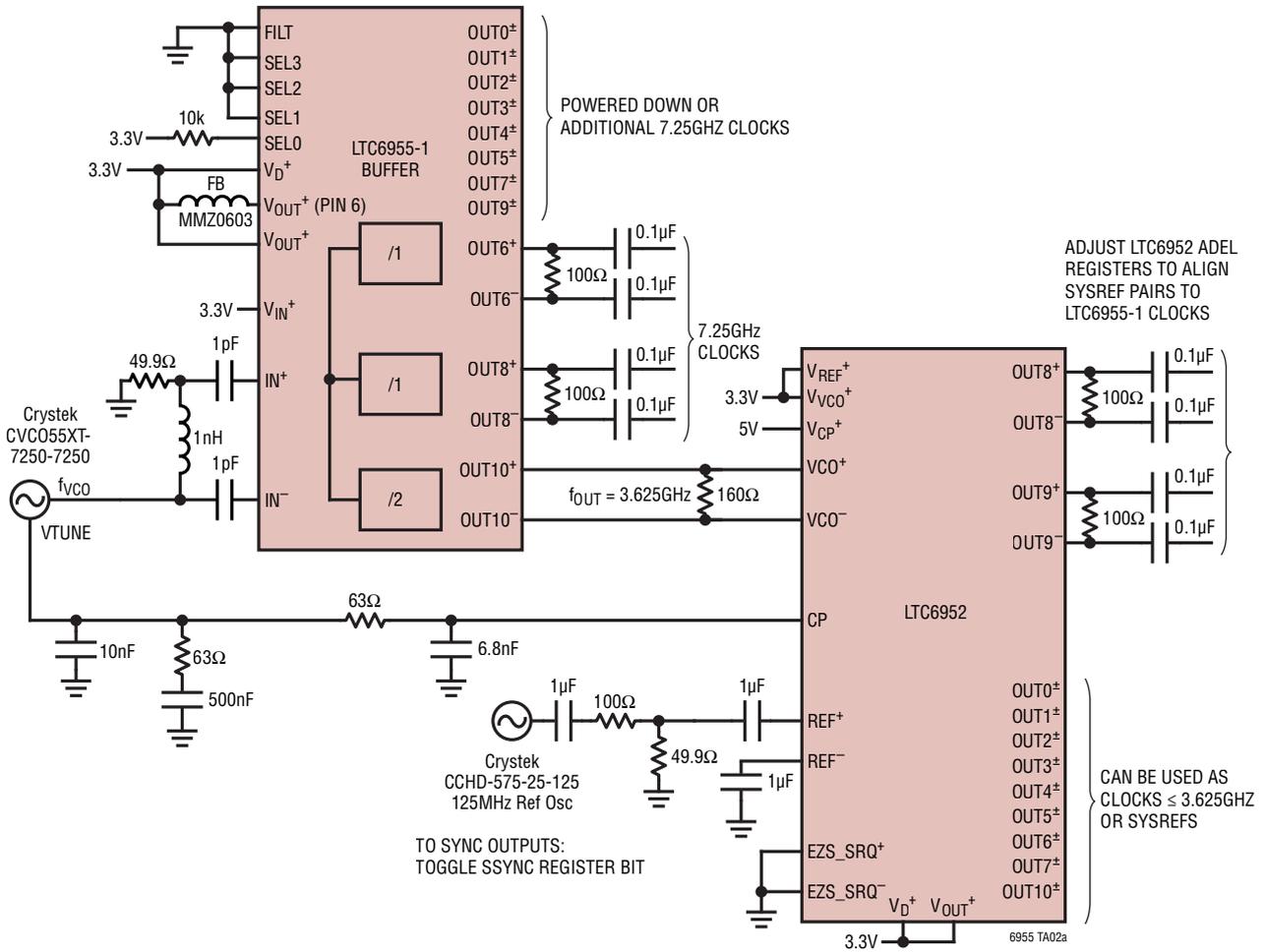
## LTC6955を使用したADCサンプル・クロック入力の駆動

LTC6955のCML出力は、標準のCMLまたはLVPECLデバイスとのインターフェースになると共に、遠端部を終端した伝送線路を駆動する目的で設計されています。CML出力のDCカップリング出力構成とACカップリング出力構成を図11に示します。

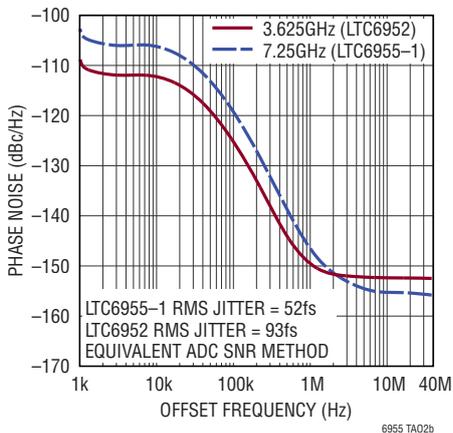
図11. ADCサンプル・クロック入力へのOUTx CMLの接続 ( $Z_0 = 50\Omega$ )

## 標準的応用例

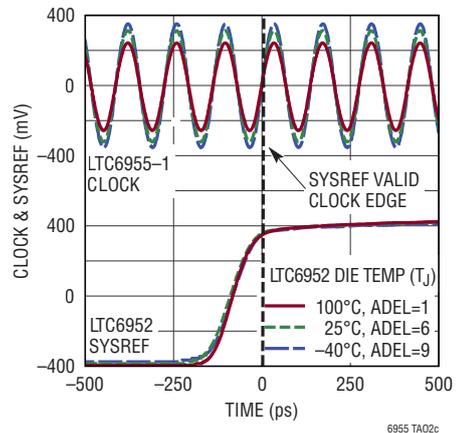
ADC SNR ジッタが52fsで7.25GHzのクロックの生成、LTC6952とLTC6955-1を使用



LTC6955-1とLTC6952の位相ノイズ、 $f_{vco} = 7.25\text{GHz}$

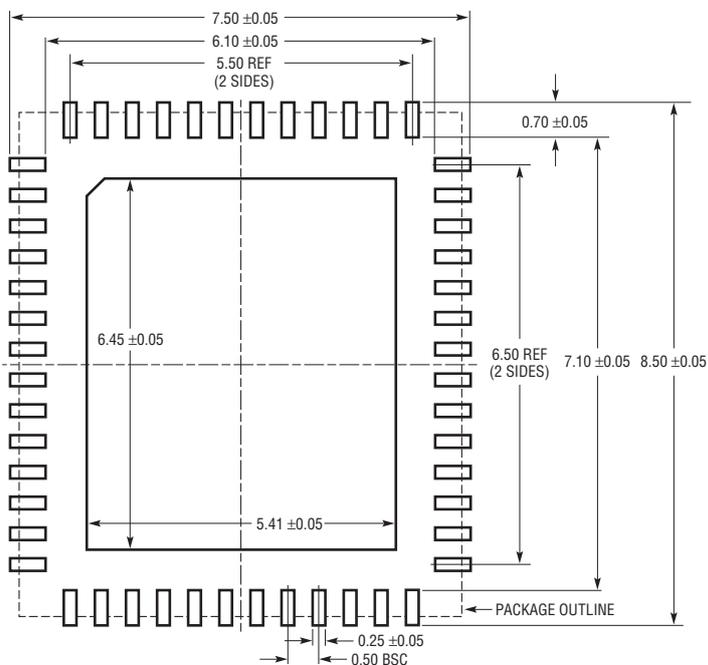


7.25GHzのJESD204B CLKとSYSREF間の全温度範囲でのアライメント・キャリブレーション

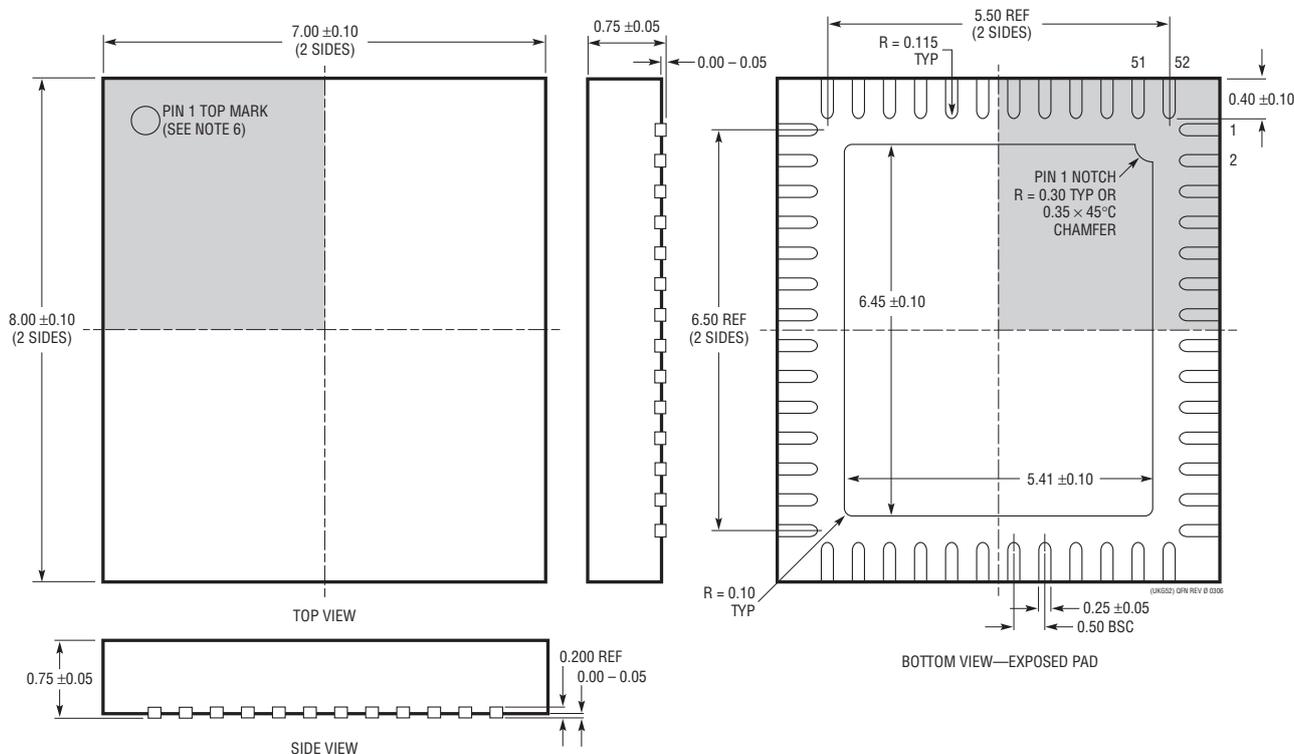


パッケージ

**UKG Package**  
**52-Lead Plastic QFN (7mm × 8mm)**  
 (Reference LTC DWG # 05-08-1729 Rev 0)



RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS  
 APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED



注記:

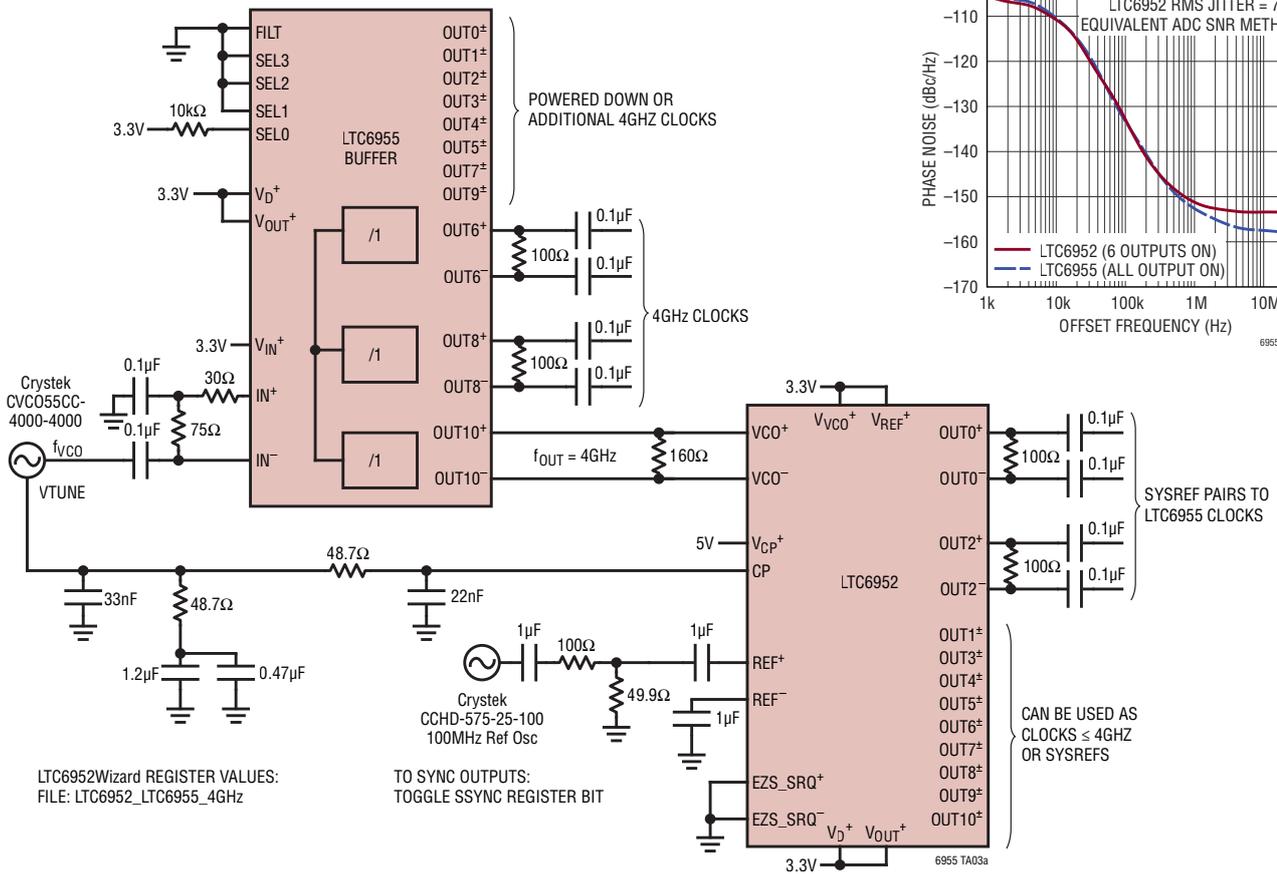
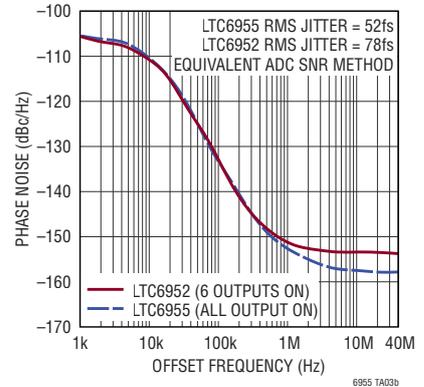
1. 図は JEDEC のパッケージ外形ではない
2. 図は実寸とは異なる
3. 全ての寸法はミリメートル

4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。モールドのバリは(もしあれば)各サイドで 0.20mm を超えないこと
5. 露出パッドはハンダ・メッキとする
6. 灰色の部分はパッケージの上面と底面の 1 番ピンの位置の参考に過ぎない

## 標準的応用例

ADC SNR ジッタが 52fs で 4GHz のクロックの生成、LTC6952 と LTC6955 を使用

LTC6955 と LTC6952 の 4GHz 位相ノイズ



## 関連製品

製品番号	説明	注釈
LTC6952	11 の出力を備え、JESD204B をサポートする超低ジッタ 4.5GHz PLL	11 の独立した CML 出力と分周器および遅延回路を内蔵し、増加した ADC SNR ジッタが 65fs の PLL
LTC6953	11 の出力を備え、JESD204B をサポートする超低ジッタ 4.5GHz クロック分配器	11 の独立した CML 出力と分周器および遅延回路を内蔵、増加した ADC SNR ジッタ: 65fs
LTC6945/ LTC6946	ノイズとスプリアスを極めて低く抑えた整数分周方式シンセサイザ	370MHz ~ 6.39GHz、正規化された帯域内位相ノイズ・フロア: -226dBc/Hz、広帯域位相ノイズ・フロア: -157dBc/Hz
LTC6947/ LTC6948	ノイズとスプリアスを極めて低く抑えた分数分周方式シンセサイザ	350MHz ~ 6.39GHz、正規化された帯域内位相ノイズ・フロア: -226dBc/Hz、広帯域位相ノイズ・フロア: -157dBc/Hz
LTC6950	クロック分配回路を内蔵した 1.4GHz 低位相ノイズ、低ジッタ PLL	付加ジッタが 18fsRMS (12kHz ~ 20MHz) で、4 つの独立した LVPECL 出力
LTC6951	超低ジッタ VCO 内蔵の複数出力クロック・シンセサイザ	4 つの独立した CML 出力、1 つの LVDS 出力、VCO 内蔵、110fs の ADC SNR ジッタ
LTC6954	低位相ノイズ、トリプル出力クロック分配分周器/ドライバ	付加ジッタが 20fsRMS (12kHz ~ 20MHz) より小さい LVPECL、LVDS、および CMOS 出力