

11 個の出力を備えた、JESD204B/JESD204Cをサポートする 超低ジッタ 4.5GHz クロック分配器

特長

- JESD204B/C、サブクラス1 SYSREF 信号生成
- 付加出力ジッタ: 6fs_{RMS} 未満
(積分帯域幅 = 12kHz~20MHz、f = 4.5GHz)
- 付加出力ジッタ: 65fs_{RMS} (ADC SNR 法)
- EZSync™、ParallelSync™ マルチチップ同期
- プログラマブルなデジタル粗遅延および
アナログ微遅延を備えた 11 個の独立した低ノイズ出力
- デバイス・クロックまたは SYSREF 信号のいずれにも
使用可能な柔軟性の高い出力
- LTC6952Wizard ソフトウェア設計ツールのサポート
- 動作ジャンクション温度範囲: -40°C~125°C

アプリケーション

- 高性能データ・コンバータのクロック
- 無線インフラ
- 試験および計測

概要

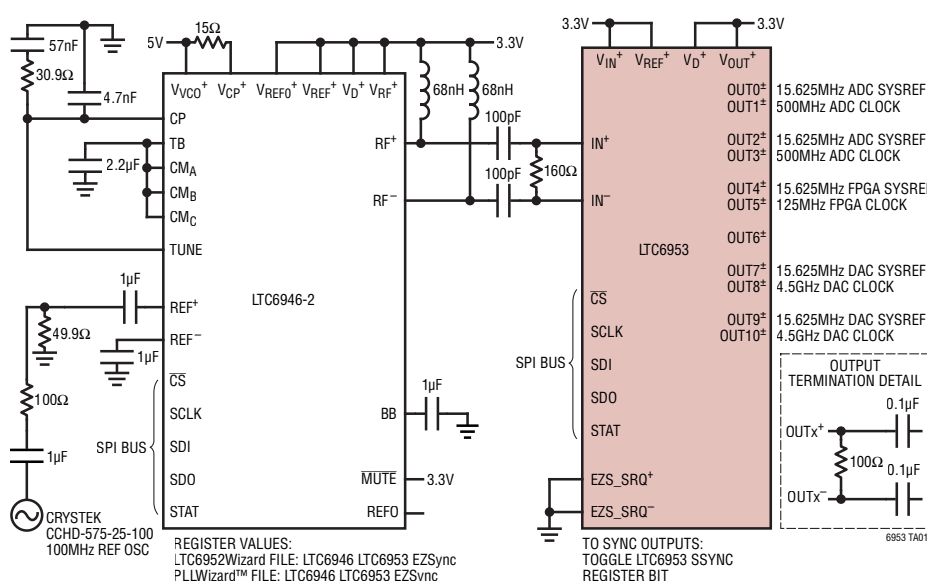
LTC®6953 は、高性能の超低ジッタ、JESD204B/C クロック分配 IC です。LTC6953 の 11 個の出力は、最大 5 組の JESD204B/C サブクラス 1 デバイス・クロックと SYSREF のペアに 1 つの汎用出力を加えた構成にするか、単純に JESD204B/C 以外のアプリケーション向けに 11 個の汎用クロック出力として構成することができます。各出力には、個別にプログラマブルな独自の周波数分周器と出力ドライバがあります。全ての出力を同期させることも、ハーフ・サイクルのデジタル粗遅延やアナログ微遅延を個別に使用して正確に位相を合わせることでもあります。

11 個を超える出力が必要になるアプリケーションの場合は、EZSync または ParallelSync 同期プロトコルを使用して、複数の LTC6953 を LTC6952 や LTC6955 に接続できます。

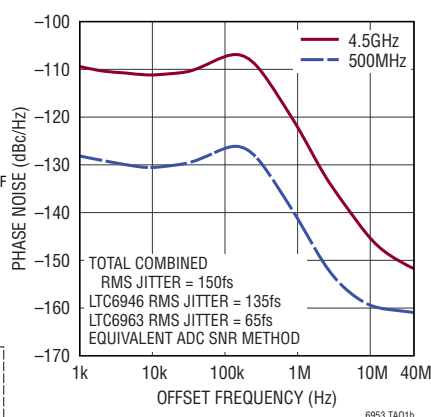
全ての登録商標および商標の所有権は、それぞれの所有者に帰属します。8319551、8819472 を含む米国特許によって保護されています。

標準的応用例

11 の出力を備えた低コストな JESD204B/C ソリューション



累積位相ノイズ、
LTC6946 で LTC6953 を駆動



目次

特長	1
アプリケーション	1
標準的応用例	1
概要	1
絶対最大定格	4
発注情報	4
電気的特性	4
ピン配置	4
代表的な性能特性	8
ピン機能	11
ブロック図	12
タイミング図	13
動作	14
入力バッファ	14
入力ピーク検出器	14
出力分周器 (M0~M10)	14
デジタル出力遅延 (DDEL0~DDEL10)	15
アナログ出力遅延 (ADEL0~ADEL10)	15
CML出力バッファ (OUT0~OUT10)	16
出力の同期とSYSREFの生成	16
EVS_SRQ入力バッファ	16
同期の概要	16
SYSREF生成の概要	17
マルチチップ同期とSYSREF生成	17
EZSyncマルチチップ	19
ParallelSync	20
SYSREF生成モードにおける節電	21
シリアル・ポート	23
通信シーケンス	23
1バイトの転送	24
複数バイトの転送	25
マルチドロップ構成	25
シリアル・ポート・レジスタ	25
STAT出力	28
ブロック・パワーダウン制御	28
アプリケーション情報	29
はじめに	29
出力周波数	29
デジタルおよびアナログの出力遅延	29
入力バッファ	30
EVS_SRQ入力	31
EZSyncスタンドアロンを使用したJESD204B/C設計例	32
入力の仮定	32
設計手順	32
出力モードの決定	33
出力分周器の値の決定	33
出力デジタル遅延値の決定	33
状態レジスタのプログラミング	34

目次

パワーおよびFILTレジスタのプログラミング	34
出力パワーダウンのプログラミング	34
SYNCおよびSYSREFのグローバル・モードのプログラミング	34
出力分周器、遅延および機能のプログラミング	35
同期	35
デバイスを低消費電力モードにする(オプション)	35
SYSREF 要求の実行	35
EZSync マルチチップを使用した JESD204B/C 設計例	37
入力の仮定	38
設計手順	38
出力モードの決定	38
出力分周器の値の決定	39
出力デジタル遅延値の決定	39
状態レジスタのプログラミング	40
パワーおよびFILTレジスタのプログラミング	40
出力パワーダウンのプログラミング	41
SYNCおよびSYSREFのグローバル・モードのプログラミング	41
出力分周器、遅延および機能のプログラミング	41
同期	42
デバイスを低消費電力モードにする	42
SYSREF 要求の実行	42
ParallelSync を使用した JESD204B/C 設計例	44
電源バイパスおよびPCBレイアウトに関するガイドライン	44
ADCのクロック制御とジッタの条件	46
ADCのS/N比を使用したクロック・ジッタの間接的測定	48
ADCのサンプル・クロック入力の駆動条件	48
伝送線路と終端	49
LTC6953を使用したデバイス・クロック入力の駆動	49
LTC6953を使用したDCカップリングSYSREF入力の駆動	49
DCカップリングされたSYSREF(MODEx = 0、1、または3)	49
LTC6953を使用したACカップリングされたSYSREF入力の制御(連続モードまたはゲートッド・モード)	50
連続またはゲートッドSYSREF(MODEx = 0または1)	50
LTC6953を使用したACカップリングされたSYSREF入力の制御(パルス・モード)	50
パルスSYSREF(MODEx = 3)	51
シングルエンドのテスト装置を使用した差動スプリアス信号の測定	51
標準的応用例	52
パッケージ	55
標準的応用例	56
関連製品	56

LTC6953

絶対最大定格

(Note 1)

電源電圧

V^+ (V_{REF}^+ , V_{IN}^+ , V_D^+ , V_{OUT}^+) から GND 3.6V

全てのピンの電圧 GND – 0.3V ~ $V^+ + 0.3V$

OUTx⁺, OUTx[–], (x = 0~10) への電流 ±25mA

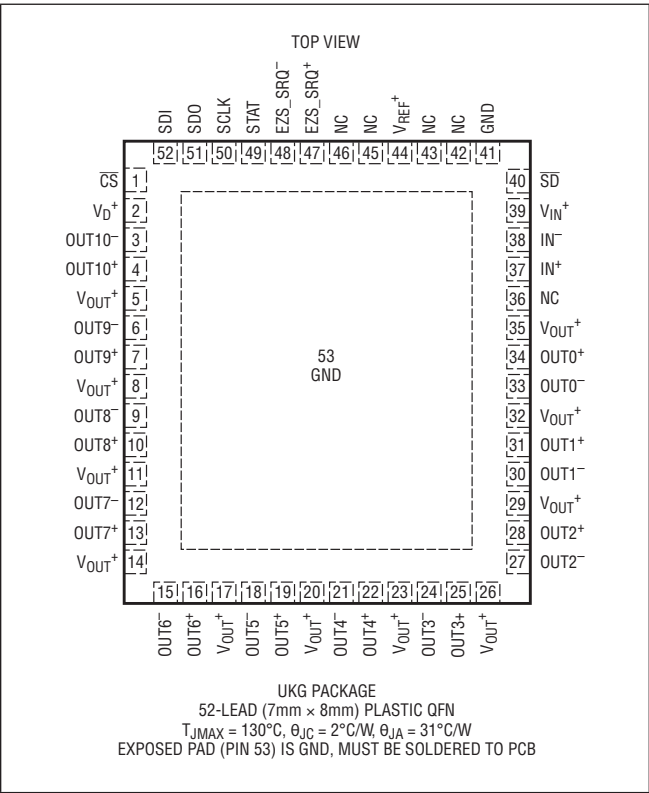
動作ジャンクション温度範囲、T_J (Note 2)

LTC6953I –40°C ~ 125°C

ジャンクション温度、T_{JMAX} 130°C

保存温度範囲 –65°C ~ 150°C

ピン配置



発注情報

鉛フリー仕上げ	テープ&リール	製品マーキング	パッケージ	温度範囲
LTC6953IUKG#PBF	LTC6953IUKG#TRPBF	6953	52-Lead (7mm×8mm) Plastic QFN	–40°C to 125°C

更に広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。

[テープ&リールの仕様](#)を参照してください。一部のパッケージは、#TRMPBF接尾部の付いた指定の販売経路を通じて 500 個入りのリールで供給可能です。

電気的特性

●は全動作ジャンクション温度範囲での規格値を意味する。それ以外は、T_A = 25°Cでの値。
注記がない限り、 $V_{REF}^+ = V_D^+ = V_{IN}^+ = V_{OUT}^+ = 3.3V$ (Note 2)。全ての電圧はGNDを基準にしている。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
入力 (IN ⁺ 、IN [−])							
f _{IN}	Frequency Range		●	4500			MHz
	Input Signal Level	R _Z = 50Ω, Single-Ended	●	0.25	0.8	1.6	V _{P-P}
	Self-Bias Voltage			2.05			V
	Input Common Mode Voltage	800mV _{P-P} Differential Input	●	1.6	2.7		V
	Input Duty Cycle			50			%
	Minimum Input Slew Rate			100			V/μs

電氣的特性

●は全動作ジャンクション温度範囲での規格値を意味する。それ以外は、 $T_A = 25^\circ\text{C}$ での値。

注記がない限り、 $V_{REF}^+ = V_D^+ = V_{IN}^+ = V_{OUT}^+ = 3.3\text{V}$ (Note 2)。全ての電圧はGNDを基準にしている。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
	Minimum Input Signal Detected ($V_{COOK} = 1$)	PDVCOPK = 0, $f_{IN} = 10\text{MHz}$, Single-Ended Sine Wave	●	250			mV _{P-P}
	Maximum Input Signal Not Detected ($V_{COOK} = 0$)	PDVCOPK = 0, $f_{IN} = 10\text{MHz}$, Single-Ended Sine Wave	●			40	mV _{P-P}
	Input Resistance	Differential			250		Ω
	Input Capacitance	Differential			1.0		pF

CMOS SYNC/SYSREF 要求入力 (EZS_SRQ⁺のみ)

	High-Level Input Voltage	EZS_SRQ ⁻ Tied to GND	●	1.3			V
	Low-Level Input Voltage	EZS_SRQ ⁻ Tied to GND	●			0.6	V
	Input Voltage Hysteresis	EZS_SRQ ⁻ Tied to GND			200		mV
	Input Current	EZS_SRQ ⁻ Tied to GND	●			±1	μA

差動 SYNC/SYSREF 要求入力 (EZS_SRQ⁺ と EZS_SRQ⁻)

	Input Signal Level		●	0.5	0.8	2.7	V _{P-P}
	Self-Bias Voltage		●	1.6	2.1	2.5	V
	Input Common Mode Voltage	800mV _{P-P} Differential Input		1.5		3.0	V
	Input Resistance	Differential			53		k Ω
	Input Capacitance	Differential			1		pF

デジタル・ピンの仕様

V_{IH}	High-Level Input Voltage	$\overline{CS}$, SDI, SCLK, $\overline{SD}$	●	1.55			V
V_{IL}	Low-Level Input Voltage	$\overline{CS}$, SDI, SCLK, $\overline{SD}$	●			0.8	V
V_{IHYS}	Input Voltage Hysteresis	$\overline{CS}$, SDI, SCLK, $\overline{SD}$			250		mV
	Input Current	$\overline{CS}$, SDI, SCLK, $\overline{SD}$	●			±1	μA
I_{OH}	High-Level Output Current	SDO and STAT, $V_{OH} = V_D^+ - 400\text{mV}$	●		-3.3	-1.9	mA
I_{OL}	Low-Level Output Current	SDO and STAT, $V_{OL} = 400\text{mV}$	●	2.0	3.4		mA
	SDO Hi-Z Current		●			±1	μA

デジタル・タイミング仕様

t_{CKH}	SCLK High Time		●	25			ns
t_{CKL}	SCLK Low Time		●	25			ns
t_{CSS}	$\overline{CS}$ Setup Time		●	10			ns
t_{CSH}	$\overline{CS}$ High Time		●	10			ns
t_{CS}	SDI to SCLK Setup Time		●	6			ns
t_{CH}	SDI to SCLK Hold Time		●	6			ns
t_{DO}	SCLK to SDO Time	To $V_{IH}/V_{IL}/\text{Hi-Z}$ with 30pF Load	●			16	ns

EZS_SRQのタイミング仕様

t_{SRQH}	EZS_SRQ High Time		●	1			ms
t_{SRQL}	EZS_SRQ Low Time		●	1			ms
	EZS_SRQ Skew, Part to Part	SRQMD = 0, PARASYNC = 0				10	μs

出力分周器 (M0、M1、M2、M3、M4、M5、M6、M7、M8、M9、M10)

Mx	Output Divider Range ($x = 0$ to 10)	$Mx = P \times 2^N$, Where $P = 1$ to 32 All Integers, $N = 0$ to 7	●	1		4096	counts
D_{DELx}	Output Digital Delay ($x = 0$ to 10)	$\frac{1}{2}$ Input Cycles (Note 3)	●	0		4095	$\frac{1}{2}$ cycles
t_{ADELx}	Output Analog Delay ($x = 0$ to 10)	ADELx = 0			0		ps
		ADELx = 1, $f_{OUTx} \leq 300\text{MHz}$			90		ps
		ADELx = 63, $f_{OUTx} \leq 300\text{MHz}$			1100		ps

電気的特性

●は全動作ジャンクション温度範囲での規格値を意味する。それ以外は、 $T_A = 25^\circ\text{C}$ での値。
 注記がない限り、 $V_{REF}^+ = V_D^+ = V_{IN}^+ = V_{OUT}^+ = 3.3\text{V}$ (Note 2)。全ての電圧はGNDを基準にしている。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
	Output Analog Delay (x = 0 to 10), Step Size	ADELx = 1 to 31, $f_{OUTx} \leq 300\text{MHz}$		11		ps
		ADELx = 32 to 63, $f_{OUTx} \leq 300\text{MHz}$		26		ps
	Output Analog Delay (x = 0 to 10)	$300\text{MHz} \leq f_{OUTx} \leq 2.25\text{GHz}$		Note 4		ps
	Maximum Output Frequency for Analog Delay			2.25		GHz
	Temperature Coefficient of Analog Delay	ADELx = 1 to 31	●	0.06		%/ $^\circ\text{C}$
		ADELx = 32 to 63	●	0.06		%/ $^\circ\text{C}$

CMLクロック出力 ($OUT0^+$, $OUT0^-$, $OUT1^+$, $OUT1^-$, $OUT2^+$, $OUT2^-$, $OUT10^+$, $OUT10^-$)

f _{OUT}	Output Frequency	Differential Termination = 100Ω, MODEx = 0 (Clock Mode)	●	0	4500	MHz		
		Differential Termination = 100Ω, MODEx = 1, 2 or 3 (SYSREF Modes)	●	0	150	MHz		
V _{OD}	Output Differential Voltage	Differential Termination = 100Ω	●	320	420	550	mV _{PK}	
	Output Resistance	Differential		100			Ω	
	Output Common Mode Voltage	Differential Termination = 100Ω		V _{OUT} ⁺ – 1.0			V	
t _{RISE}	Output Rise Time, 20% to 80%	Differential Termination = 100Ω		50			ps	
t _{FALL}	Output Fall Time, 80% to 20%	Differential Termination = 100Ω		50			ps	
	Output Duty Cycle	Differential Termination = 100Ω	●	45	50	55	%	
t _{PD}	Propagation Delay from IN [±] to OUT10	f _{IN} = 4500MHz, Mx = 16		335			ps	
	Propagation Delay from IN [±] to OUT10, Temperature Variation	f _{IN} = 4500MHz, Mx = 16		0.35			ps/°C	
t _{SKEW}	Skew, All Outputs (Note 12)	One Part, All Mx the Same, Even or 1	●	±10			±25	ps
		One Part, Any Mx		±30				ps
		Accross Multiple Parts; All Mx the Same, Even or 1; All T _J within ±10°C	●				±50	ps
	Additional Output Delay, Mx = Odd vs Mx = 1 or Even	Mx = 5, 11, 15, 17, 19, 25 or 27		4				ps
		Mx = 3, 7, 9, 13, 21, 23, 29 or 31		15				ps

電源電圧

	V_{REF}^+ Supply Range	●	3.15	3.3	3.45	V
	V_{OUT}^+ Supply Range	●	3.15	3.3	3.45	V
	V_D^+ Supply Range	●	3.15	3.3	3.45	V
	V_{IN}^+ Supply Range	●	3.15	3.3	3.45	V

電源電流

I_{DDOUT}	Sum V_{OUT}^+ Supply Currents	All Outputs Enabled (Note 5)	●	750	850	mA
		Typical JESD204B/C Application (Note 6)		570		mA
		PDALL = 1		500		μA
$I_{CC} - 3.3\text{V}$	Sum V_D^+ , V_{REF}^+ , V_{IN}^+ Supply Currents	Digital Inputs at Supply Levels	●	99	120	mA
		Digital Inputs at Supply Levels, PDALL = 1		500		μA
	Supply Current Deltas from Total Chip Current	PDx[1:0] = 2 (x = 0 to 10) per Output		-34		mA
		PDx[1:0] = 3 (x = 0 to 10) per Output		-68		mA
		EZS_SRQ $^\pm$ State = 1, SSRQ = 1 or SRQMD = 1		+175		mA
		Mx = Odd (Not Mx = 1) per Output		+8.6		mA
		ADELx = 1 to 31 per Output		+3.0		mA
		ADELx = 32 to 63 per Output		+4.7		mA

電気的特性

●は全動作ジャンクション温度範囲での規格値を意味する。それ以外は、 $T_A = 25^\circ\text{C}$ での値。
 注記がない限り、 $V_{\text{REF}}^+ = V_D^+ = V_{\text{IN}}^+ = V_{\text{OUT}}^+ = 3.3\text{V}$ (Note 2)。全ての電圧はGNDを基準にしている。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
付加位相ノイズ、ジッタ、スプリアス (Note 7)						
	Additive Phase Noise and RMS Jitter ($f_{\text{IN}} = 4.5\text{GHz}$, $f_{\text{OUTx}} = 4.5\text{GHz}$, $M_x = 1$)	Phase Noise Floor		-154.3		dBc/Hz
		RMS Jitter, 12kHz to 20MHz Integration BW		6		fsRMS
		RMS Jitter, ADC SNR Method (Note 9)		65		fsRMS
	Additive Phase Noise and RMS Jitter ($f_{\text{IN}} = 4.5\text{GHz}$, $f_{\text{OUTx}} = 2.25\text{GHz}$, $M_x = 2$)	Phase Noise Floor		-157.1		dBc/Hz
		RMS Jitter, 12kHz to 20MHz Integration BW		8		fsRMS
		RMS Jitter, ADC SNR Method (Note 9)		66		fsRMS
	Additive Phase Noise and RMS Jitter ($f_{\text{IN}} = 4.5\text{GHz}$, $f_{\text{OUTx}} = 1.125\text{GHz}$, $M_x = 4$)	Phase Noise Floor		-160.2		dBc/Hz
		RMS Jitter, 12kHz to 20MHz Integration BW		9		fsRMS
		RMS Jitter, ADC SNR Method (Note 9)		65		fsRMS
	Additive Phase Noise and RMS Jitter ($f_{\text{IN}} = 3.2\text{GHz}$, $f_{\text{OUTx}} = 200\text{MHz}$, $M_x = 16$)	Phase Noise Floor		-167.8		dBc/Hz
		RMS Jitter, 12kHz to 20MHz Integration BW		21		fsRMS
		RMS Jitter, ADC SNR Method (Note 9)		65		fsRMS
	Additive Phase Noise and RMS Jitter ($f_{\text{IN}} = 3.2\text{GHz}$, $f_{\text{OUTx}} = 50\text{MHz}$, $M_x = 64$)	Phase Noise Floor		-173.8		dBc/Hz
		RMS Jitter, 12kHz to 20MHz Integration BW		41		fsRMS
		RMS Jitter, ADC SNR Method (Note 9)		65		fsRMS

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: LTC6953は、 -40°C ~ 125°C の全動作ジャンクション温度範囲で規定性能の制限に適合することが確認されている。最大の動作条件下では、ジャンクション温度を 125°C 以下に保つため、エアフローまたは放熱が必要になる場合がある。アプリケーション情報のセクションに示すように、露出パッド(ピン53)は多数のサーマル・ピアを使用してグラウンド・プレーンに直接ハンダ付けする必要がある。

Note 3: デジタル遅延の絶対最大時間は $100\mu\text{s}$ に制限される。

Note 4: $f_{\text{OUT}} \geq 300\text{MHz}$ の場合、アナログ遅延時間と ADELx は変化する。代表的な性能特性のプロットと動作セクションを参照されたい。

Note 5: 全ての出力がイネーブルされたクロックとして構成: 全 $\text{PDx}[1:0] = 0$, $\text{EZS_SRQ}^{\pm}$ ピンのステート = 0, $\text{SSRQ} = 0$, $\text{SRQMD} = 0$, $\text{PDALL} = 0$, $\text{PDVCOCPK} = 0$ 。

Note 6: 6つのイネーブルされたクロック出力と、出力ドライバがディセーブルされた5つの SYSREF 出力で構成: PD0 , PD2 , PD4 , PD6 , PD8 , $\text{PD10} = 0$ で、 PD1 , PD3 , PD5 , PD7 , $\text{PD9} = 2$ 。EZS_ $\text{SRQ}^{\pm}$ ピンのステート = 0, $\text{SSRQ} = 0$, $\text{SRQMD} = 0$, $\text{PDALL} = 0$, $\text{PDVCOCPK} = 0$ 。

Note 7: LTC6953による付加位相ノイズとジッタのみ。受信したクロックの位相ノイズは含まれない。

Note 8: DC2610を使って測定。

Note 9: 増加したRMS (ADC SNR法)は、 f_{CLK} に出力される分配セクションで増加した位相ノイズに統合されて計算される。実際のADC SNR測定値は、この手法の値によく合致する。

Note 10: DC2610の出力から計測器に36インチのケーブルをつなげて測定。このプロットでは、ケーブル損失は考慮されていない。

Note 11: 統計は、2つのプロセス・ロットの合計1200の測定デバイスから計算された。

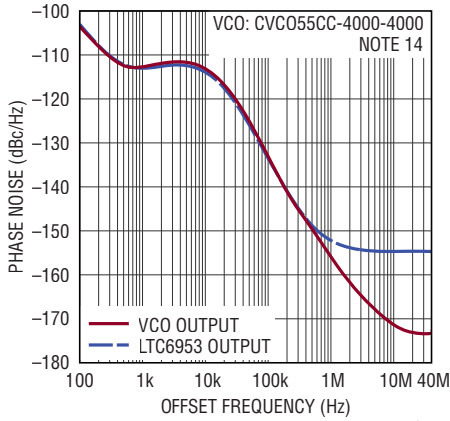
Note 12: スキューは、特定の出力のゼロ交差時間と全ての出力の平均ゼロ交差時間の差として定義される。

Note 13: 測定された入力電源は、LTC6953の $\text{IN}^{\pm}$ ピンにディエンベッドされる。

Note 14: LTC6953は、スプリッタを通してVCO (CVC055CC-4000-4000)から駆動される。このスプリッタの反対側は、LTC6952の入力を制御してPLL内のVCOをロックしている。LTC6952 PLLのリファレンスはPascal OCXO-E、 $f_{\text{REF}} = 100\text{MHz}$ 、 $P_{\text{REF}} = 6\text{dBm}$ 。

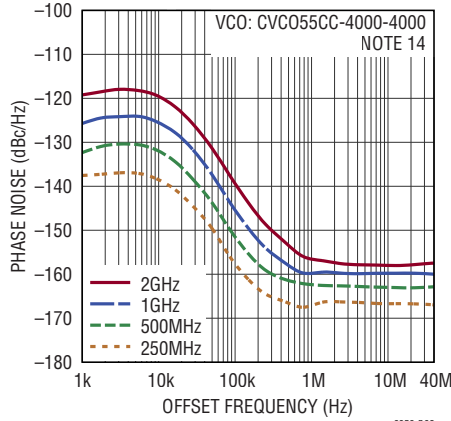
代表的な性能特性

全位相ノイズ、ロック状態のPLLの
VCOから駆動、 $f_{VCO} = 4\text{GHz}$ 、 $Mx = 1$



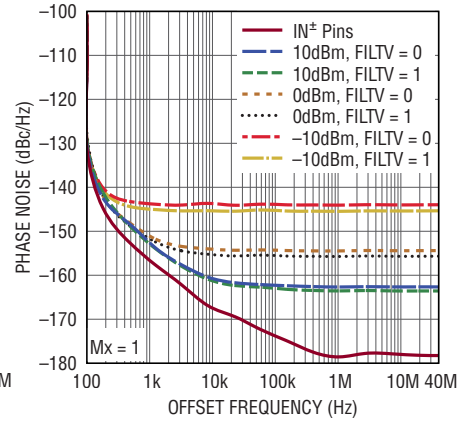
6953 G01

全位相ノイズ、ロック状態のPLLの
VCOから駆動、 $f_{VCO} = 4\text{GHz}$ 、
 $Mx = 2, 4, 8, 16$



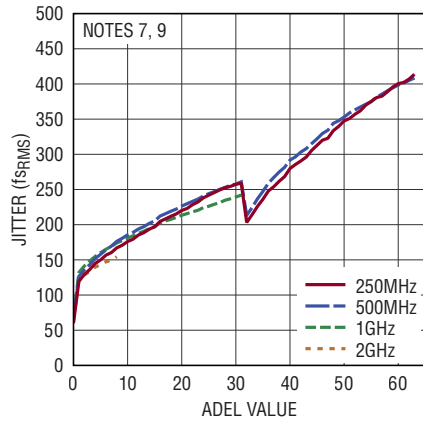
6953 G02

全位相ノイズ、100MHzサイン波
入力信号



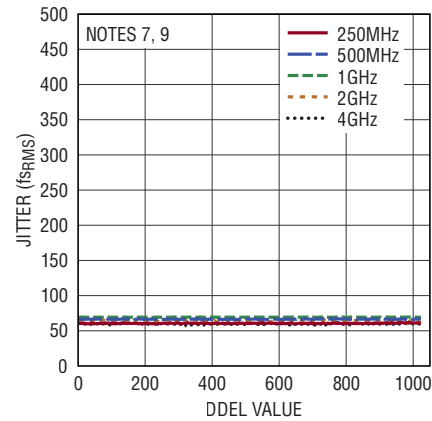
6953 G03

付加ジッタとADEL値、ADC SNR法、
 $f_{IN} = 4\text{GHz}$ 、 $Mx = 2, 4, 8, 16$



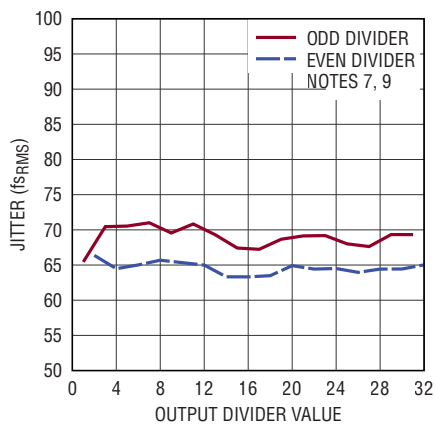
6953 G04

付加ジッタとDDEL値、ADC SNR法、
 $f_{IN} = 4\text{GHz}$ 、 $Mx = 1, 2, 4, 8, 16$



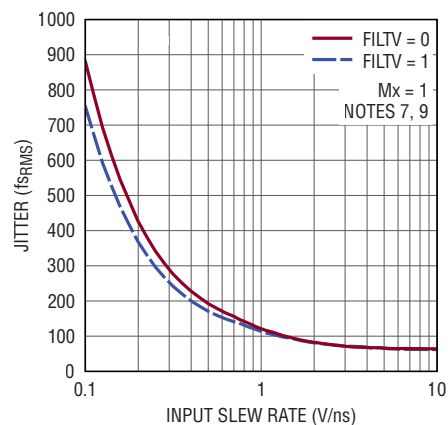
6953 G05

付加ジッタと分周器設定、
ADC SNR法



6953 G06

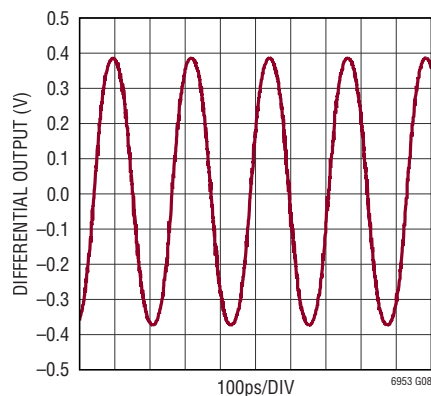
付加ジッタと入力スルー・レート、
ADC SNR法



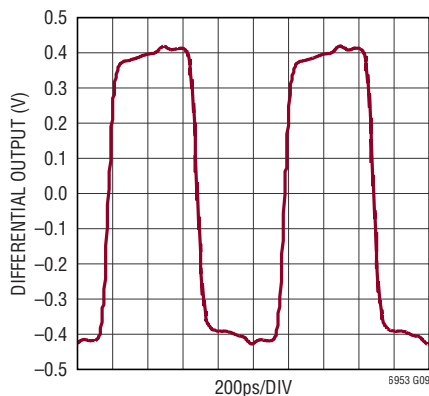
6953 G07

代表的な性能特性

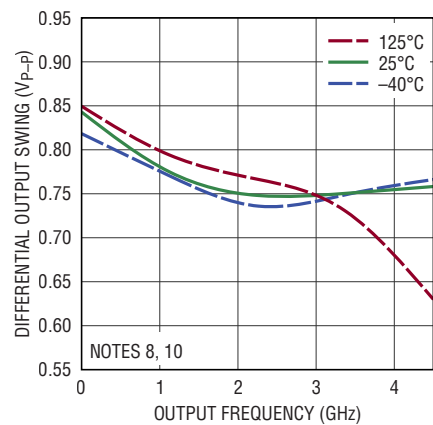
4.5GHz時のCML差動出力



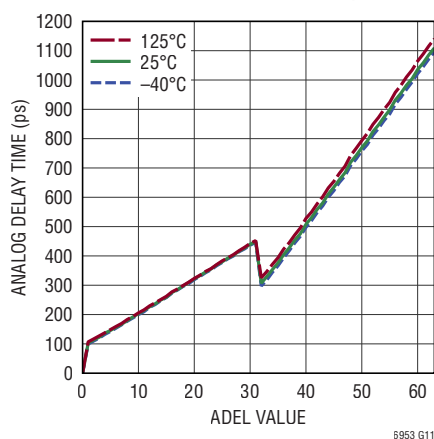
1GHz時のCML差動出力



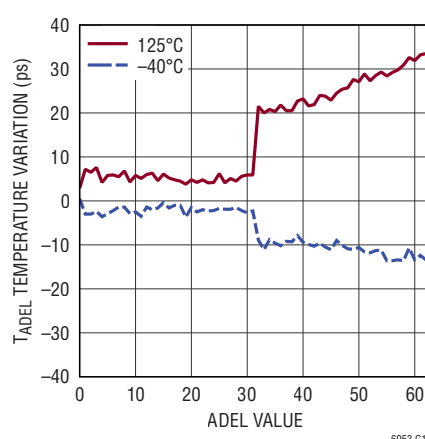
差動出力振幅と周波数、温度



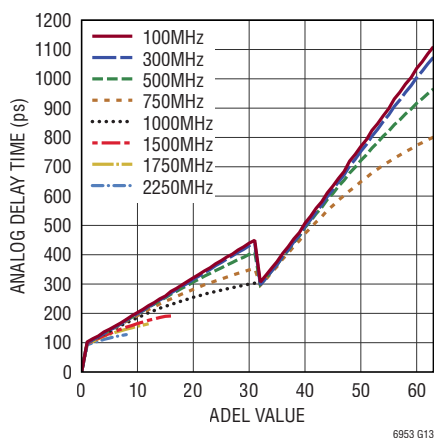
アナログ遅延時間とADEL値、温度



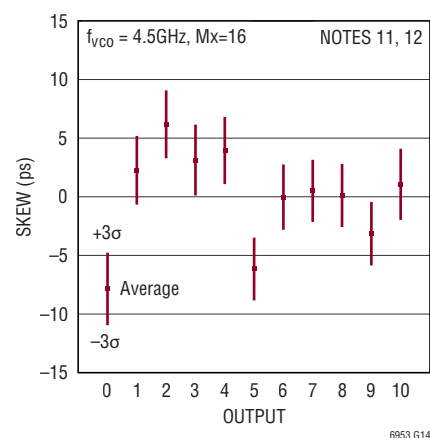
アナログ遅延時間の25°Cからの温度ばらつき



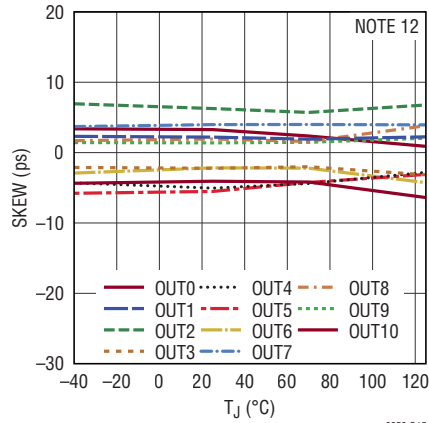
複数の出力周波数におけるアナログ遅延時間とADEL値



1つのデバイスにおけるスキューばらつきの予想

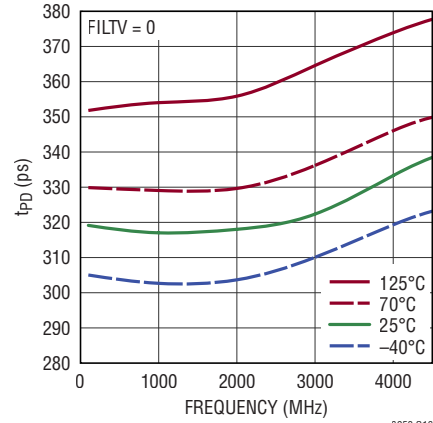


代表的な性能特性

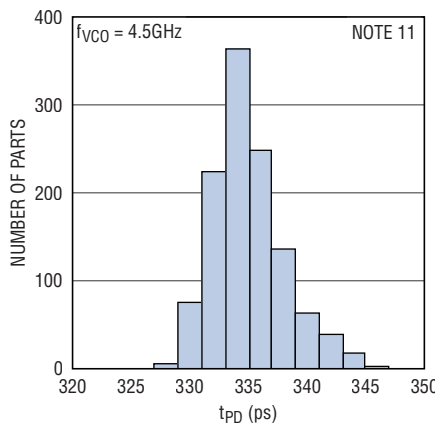
標準的な1つのデバイスにおける
温度に対するスキューばらつき

6953 G15

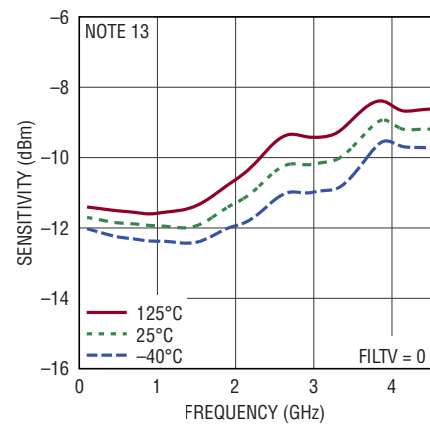
伝搬遅延と周波数、温度



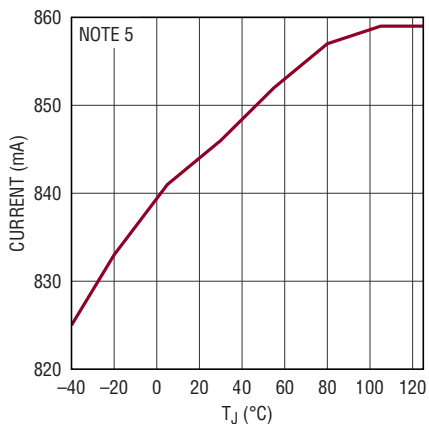
6953 G16

伝搬遅延のばらつき、OUT4への
入力

6953 G17

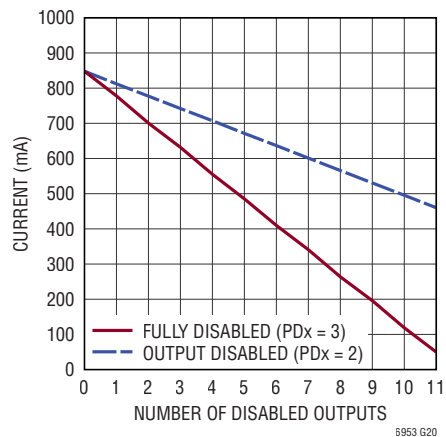
検出された入力信号と周波数、
温度

6953 G18

電源電流とジャンクション温度、
全出力カインエプル

6953 G19

電源電流とディスエーブル出力の数



6953 G20

ピン機能

CS (ピン1): シリアル・ポートのチップ・セレクト。このCMOS入力をローにするとシリアル・ポートの通信バーストを開始し、再度ハイにするとバーストを終了します。詳細については、動作のセクションを参照してください。

V_D⁺ (ピン2): 同期/SYSREF要求機能とシリアル・ポート用の3.15V~3.45Vの正電源ピン。このピンのできるだけ近くに0.01μFのセラミック・コンデンサを配置して、このピンをグラウンド・プレーンに直接バイパスします。

OUT0⁺, OUT0⁻ (ピン34, 33): 出力信号。出力分周器はバッファされ、差動でこれらのピンに出力されます。この出力は、各側に50Ω(標準)の出力抵抗を備えています(100Ω差動)。伝送線路の遠端部は、出力全体にわたって接続された100Ωを使用して終端されます。詳細については、動作とアプリケーション情報のセクションを参照してください。

OUT1⁺, OUT1⁻ (ピン31, 30): OUT0と同じ。

OUT2⁺, OUT2⁻ (ピン28, 27): OUT0と同じ。

OUT3⁺, OUT3⁻ (ピン25, 24): OUT0と同じ。

OUT4⁺, OUT4⁻ (ピン22, 21): OUT0と同じ。

OUT5⁺, OUT5⁻ (ピン19, 18): OUT0と同じ。

OUT6⁺, OUT6⁻ (ピン16, 15): OUT0と同じ。

OUT7⁺, OUT7⁻ (ピン13, 12): OUT0と同じ。

OUT8⁺, OUT8⁻ (ピン10, 9): OUT0と同じ。

OUT9⁺, OUT9⁻ (ピン7, 6): OUT0と同じ。

OUT10⁺, OUT10⁻ (ピン4, 3): OUT0と同じ。

V_{OUT}⁺ (ピン5, 8, 11, 14, 17, 20, 23, 26, 29, 32, 35): 出力分周器用の3.15V~3.45Vの正電源ピン。各ピンのできるだけ近くに0.01μFのセラミック・コンデンサを配置して、各ピンを個別にグラウンド・プレーンに直接バイパスします。

NC (ピン36, 42, 43, 45, 46): 内部的に接続されません。これらのピンは、グラウンド・パッド(ピン53)に接続することを推奨します。

IN⁺, IN⁻ (ピン37, 38): 入力信号。これらのピンに入った差動信号は、低ノイズのアンプによってバッファされ、内部の分配経路に供給されます。これらの自己バイアス入力、インピーダンス・マッチングを助ける、250Ω(標準)の差動抵抗があります。動作のセクションで説明するマッチング回路を使用することで、シングルエンドで駆動することもできます。

V_{IN}⁺ (ピン39): 入力回路用の3.15V~3.45Vの正電源ピン。このピンのできるだけ近くに0.01μFのセラミック・コンデンサを配置して、このピンをグラウンド・プレーンに直接バイパスします。

SD (ピン40): チップのシャットダウン・ピン。GNDに接続すると、このCMOS入力はチップの全てのブロックをディスエーブルします。これは、シリアル・インターフェースのPDALLと同じ機能です。

GND (ピン41): 負電源(グラウンド)。このピンは、グラウンド・パッド(ピン53)に直接接続します。

V_{REF}⁺ (ピン44): EZS_SRQ回路用の3.15V~3.45Vの正電源ピン。このピンのできるだけ近くに0.1μFのセラミック・コンデンサを配置して、このピンをグラウンド・プレーンに直接バイパスします。

EZS_SRQ⁺, EZS_SRQ⁻ (ピン47, 48): 同期またはSYSREF要求入力。SRQMDビットにより、この差動またはシングルエンド入力はEZSync要求またはSYSREF要求のいずれかとして定義されます。差動入力として動作させることも、EZS_SRQ⁻をGNDとシングルエンドCMOS信号で駆動されるEZS_SRQ⁺に接続することもできます。詳細については、動作のセクションとアプリケーション情報のセクションを参照してください。

STAT (ピン49): 状態出力。この信号は、 $\overline{\text{VCOOK}}$ およびVCOOKの状態ビットを論理和で組み合わせたものであり、STATUSレジスタを介してプログラムできます。温度測定のためのダイオード電圧を示すよう構成することも可能です。詳細については、動作のセクションを参照してください。

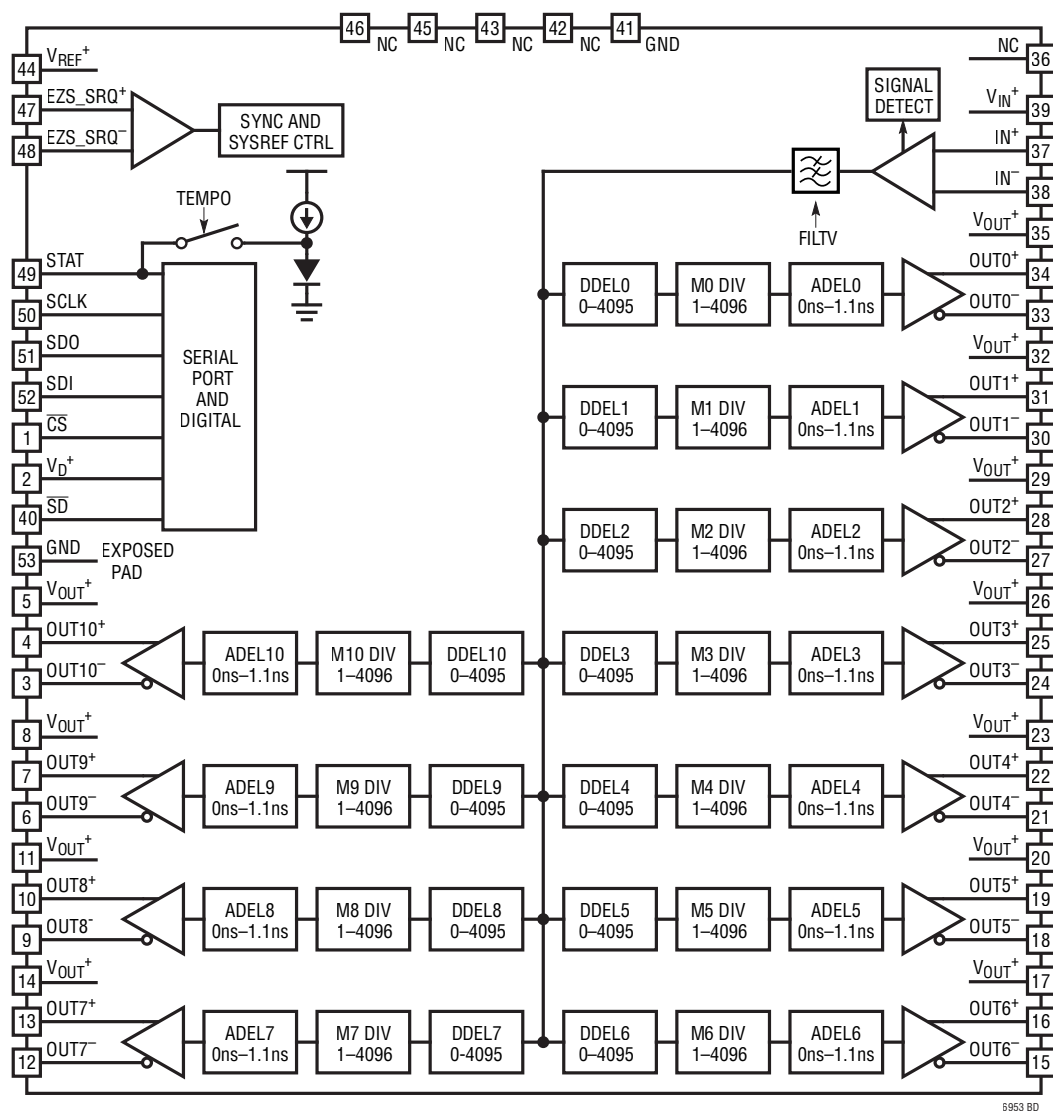
SCLK (ピン50): シリアル・ポートのクロック。このCMOS入力は、その立上がりエッジでシリアル・ポートの入力データをクロックと合わせます。詳細については、動作のセクションを参照してください。

SDO (ピン51): シリアル・ポートのデータ出力。このCMOSスリーステート出力は、読出し通信バースト中にシリアル・ポートからのデータを出力します。必要に応じて、出力がフローティングにならないようにGNDとの間に200kΩ超の抵抗を接続することもできます。詳細については、動作のセクションを参照してください。

SDI (ピン52): シリアル・ポートのデータ入力。シリアル・ポートはこのCMOS入力をデータに使用します。詳細については、動作のセクションを参照してください。

GND (露出パッド・ピン53): 負電源(グラウンド)。パッケージの露出パッドは、PCBのランドに直接ハンダ付けする必要があります。PCBのランド・パターンには、グラウンドのインダクタンスと熱抵抗の両方を減らすために、グラウンド・プレーンへの複数のサーマル・ビアを配置します。

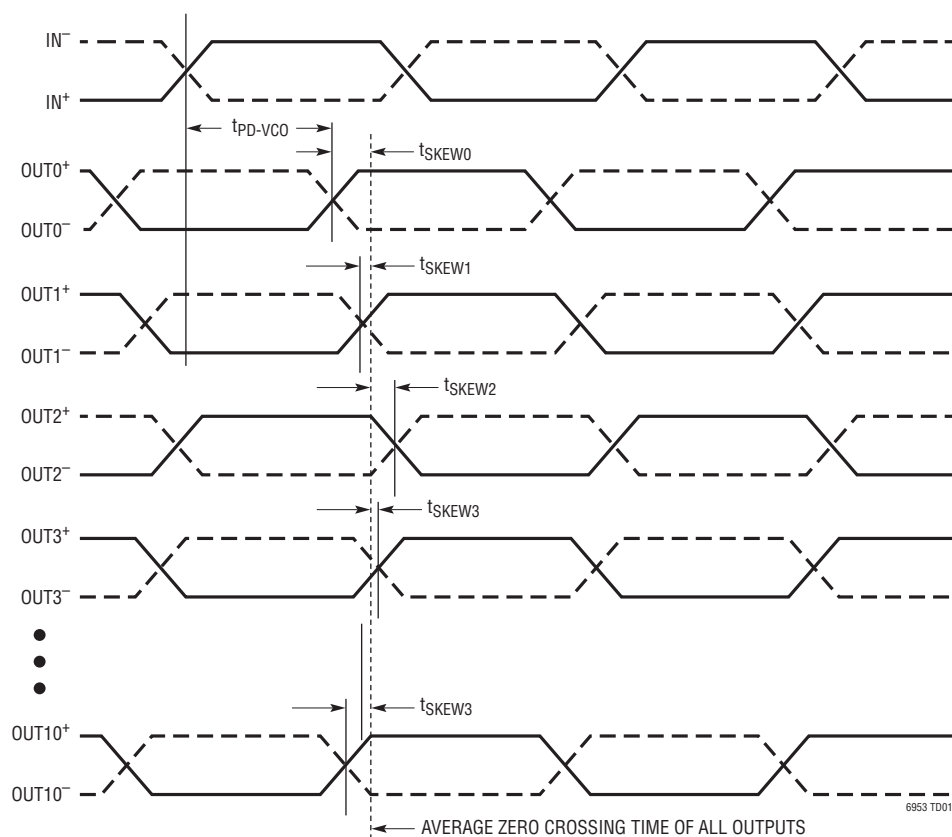
ブロック図



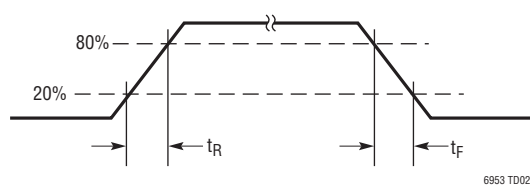
5953 BD

タイミング図

伝搬遅延と出力スキュー



差動CMLの立上がり／立下がり時間



動作

LTC6953は、最高4.5GHzで動作する高性能な複数出力クロック分配器です。LTC6953とその周辺製品のLTC6952にはアナログ・デバイス独自のEZSyncおよびParallelSync標準が採用されており、複数の出力および複数のチップにわたってクロックを同期することが可能です。その優れた出力ノイズ・フロアにより、卓越した付加ジッタ性能を達成できます。JESD204B/Cサブクラス1アプリケーションに向けて、LTC6953は、複数の方法でSYSREFパルスを生成できます。

入力バッファ

LTC6953の入力バッファは、差動とシングルエンド両方の周波数源に対してフレキシブルなインターフェースを提供します。これらの入力には自己バイアスされており、外付けのVCO/VCXO/VCSOを使用するアプリケーションではACカップリングすることを推奨します。ただし、入力は、LVPECL、CML、もしくはこの入力に仕様規定されたコモンモード電圧範囲内のその他のドライバ・タイプによってDCカップリングで駆動することも可能です。コモン入力インターフェースの構成については、アプリケーション情報のセクションを参照してください。このとき、LTC6953の入力バッファは、図1に示すように250Ωの内部差動抵抗を備えていることに注意してください。

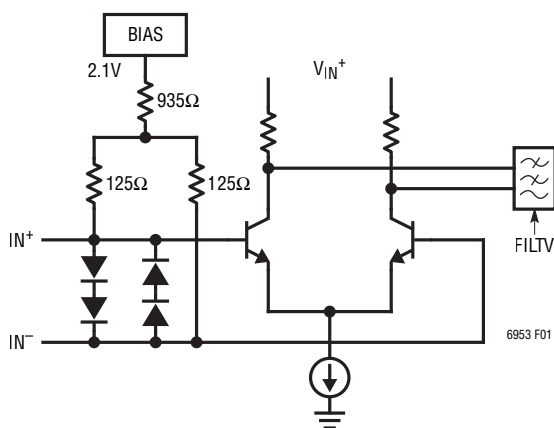


図1. 入力インターフェースの簡略回路図

入力バッファの最大入力周波数は4.5GHz、最大振幅は1.6V_{p-p}です。また、IN[±]入力信号が低ノイズで、少なくとも100V/μsのスルー・レートを持つことも重要です。スルー・レートが高いほど、性能は向上します。入力のスルー・レートが2V/ns未満のアプリケーションでは、入力バッファに内蔵されたブロードバンド・ノイズ・フィルタリング回路をイネーブルすることで、位相ノイズ性能が向上します。これは、シリアル・ポート・レジスタh02の構成ビットFILT Vをアサートすることによって実現できます。入力のスルー・レートが2V/nsより高いときにFILT Vに1をセットすると、PLLの全体的な位相ノイズ性能が低下するので注意してください。FILT Vの推奨設定については、表1を参照してください。

表1. FILT Vのプログラミング

FILT V	入力のスルー・レート
1	< 2V/ns
0	≥ 2V/ns

入力ピーク検出器

IN[±]入力の入力ピーク検出回路は、入力信号が存在するかどうかを検出して、状態フラグVCOOKおよびVCOOKを生成します。この状態フラグは、STAT出力とシリアル・ポート・レジスタh00の両方から利用できます。VCOOKは、VCOOKの論理反転です。この回路には、VCOOKフラグが検出閾値でチャタリングするのを防ぐためにヒステリシスが備わっています。ピーク検出器は、レジスタh02のPDVCOPKビットを使用してパワーダウンできます。

ピーク検出器によってRMS検出器が近似されるため、サイン波入力と方形波入力は4/πの倍数で異なる検出閾値を持ちます。VCOOKの検出値については、表2を参照してください。

表2. VCOOK、VCOOK状態出力と入力振幅

VCOOK	VCOOK	サイン波 f _{IN}	方形波 f _{IN}
1	0	≥ 250mV _{p-p}	≥ 200mV _{p-p}
0	1	< 100mV _{p-p}	< 75mV _{p-p}

出力分周器(M0~M10)

11個のまったく同一の、独立した出力分周器が、入力バッファによって直接駆動されます。分周器は、入力周波数f_{IN}を分周値M_xで分周し、周波数f_{OUTx}で50%デューティ・サイクルの出力信号を生成します。M_xの値は、MPx[4:0]ビットとMDx[2:0]ビットにより、式1を用いて設定されます。

$$M_x = (MP_x + 1) \cdot 2^{MD_x} \quad (1)$$

正常に動作させるには、M_xが32以下の場合、MD_xに0をセットする必要があります。

動作

対応する PDx[1:0] ビットを調整することで、任意の分周器をミュートまたはパワーダウンして、電流を節約することができます。PDx[1:0] ビットの説明を表3に示します。

表3. PDx[1:0] のプログラミング

PDx[1:0]	説明
0	通常動作
1	出力をミュート (OINVx = 0 の場合 OUTx = 0、OINVx = 1 の場合 OUTx = 1)、内部分周器の実行および同期は継続
2	出力をパワーダウン (+出力と-出力の両方が V_{OUT}^+ になる)、内部分周器の実行および同期は継続
3	分周器と出力をパワーダウン (+出力と-出力の両方が V_{OUT}^+ になる)、内部分周器は停止するため、通常動作に戻るには再同期が必要

デジタル出力遅延 (DDEL0~DDEL10)

各出力分周器は、同期イベントの後に、入力周期の 1/2 の整数倍単位で出力の開始時間を遅延させることができます。デジタル遅延値は DDELx[11:0] ビットにプログラムされ、0~4095 の任意の値に設定できます。デジタル遅延がイネーブルされるのは、同期ビット SRQENx が 1 にセットされている場合のみです。出力デジタル遅延に行った変更は、同期後まで反映されません。デジタル遅延は、クロックのジッタ性能を一切低下させることなく使用できます。同期については、動作のセクションを参照してください。デジタル遅延設定の使用について詳しくは、アプリケーション情報のセクションを参照してください。

アナログ出力遅延 (ADEL0~ADEL10)

各出力がアナログ微遅延機能を備えており、ADELx[5:0] ビットで制御される小刻みのステップで、出力遅延時間 (t_{ADELx}) をより細かく調整できます。出力周波数が 300MHz 未満の場合、絶対遅延時間は 0~1.1ns の範囲になります。300MHz を超えると、遅延時間は周波数依存になり、ADELx の有効な利用範囲は表4に従って低下します。

表4. 最大 ADELx と出力周波数範囲

f_{OUT} の範囲	最大 ADELx
$f_{OUT} \leq 750\text{MHz}$	63
$750\text{MHz} < f_{OUT} \leq 1\text{GHz}$	31
$1\text{GHz} < f_{OUT} \leq 1.5\text{GHz}$	16
$1.5\text{GHz} < f_{OUT} \leq 1.75\text{GHz}$	12
$1.75\text{GHz} < f_{OUT} \leq 2.25\text{GHz}$	8
$f_{OUT} > 2.25\text{GHz}$	0

図2は、概算アナログ遅延時間 (t_{ADELx}) と ADELx および出力周波数の関係を示しています。Y 軸は対数スケールで、ADEL = 0 のときのアナログ遅延は 0 であることに注意してください。アナログ遅延の見積もりを計算する方法について詳しくは、アプリケーション情報セクションを参照してください。

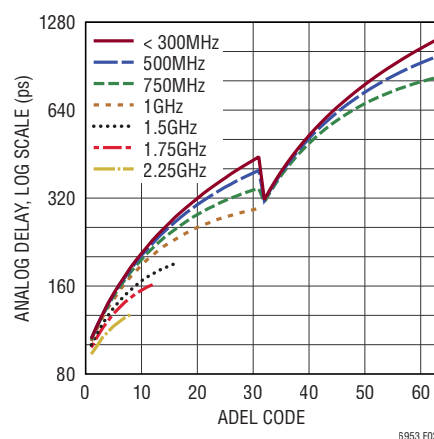


図2. アナログ遅延時間と ADEL コードおよび出力周波数

アナログ遅延はジッタ性能が低下させるため、デバイス・クロックにアナログ遅延を使用する際は注意してください。可能な限り、性能に悪影響を及ぼすことのないデジタル遅延を使用してください。アナログ遅延を入力周期の半分より大きくする必要はありません。

アナログ遅延は SRQENx ビットの値に関わらず常にイネーブルされ、ADELx レジスタに書き込むと直ちに有効になります。しかし、ADEL の変更により、特に、ADEL=0 と ADEL≠0 を切り替えた場合、一時的に出力にグリッチが生じることがあります。アナログ遅延設定の使用方法について詳しくは、アプリケーション情報のセクションを参照してください。LTC6952 Wizard を使用することで、ADEL の計算と視覚化が可能です。

動作

CML 出力バッファ (OUT0~OUT10)

全ての出力は、非常に低ノイズで低スキューの2.5V CML バッファです。各出力はACカップリングまたはDCカップリングが可能であり、100Ωで差動終端できます。シングルエンド出力が必要な場合は、CML 出力の各側を個別にACカップリングして50Ωで終端できます。OINV_xビットは、各出力のセンスを選択的に反転させ、長さの一致するトレースを交差させる必要をなくし、基板配線を容易にします。また、OINV_xは、表3に示すように、ミュート状態(PD_x = 1)の出力のステートを決定します。回路の詳細については、図3を参照してください。

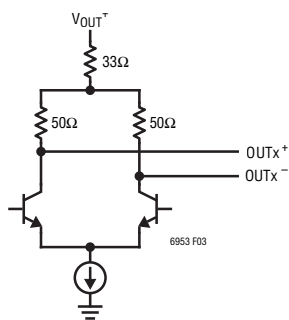


図3. CML インターフェースの簡略回路図(全 OUTx)

出力の同期とSYSREFの生成

LTC6953には、複数の方法で全ての出力を既知の位相整列に同期できる回路が用意されており、EZSync マルチチップ・クロック・エッジ同期プロトコルを使用する様々なアプリケーションに対応できます。同期は、同じチップ上の出力の任意の組み合わせ間(EZSync スタンドアロン)または複数のカスケード接続されたFOLLOWERチップ間(EZSync マルチチップ)で実行できます。出力が正しい周波数に同期された後、LTC6953はJESD204B/Cサブクラス1の仕様に規定されている自走、ゲーテッド、または有限パルスのSYSREF信号を生成することができます。

EZS_SRQ 入力バッファ

同期とSYSREF要求の両方を、ソフトウェア信号(レジスタh0BのビットSSRQ)またはEZS_SRQ[±]ピンの電圧信号のいずれかによって実現できます。これらのピンの電圧は、電気的特性の仕様範囲内の任意の差動信号です。あるいは、EZS_SRQ⁻をGNDに接続して、EZS_SRQ⁺にCMOS信号を供給することもできます。EZS_SRQ 入力の簡略回路図を図4に示します。SSRQビットを使用するとき、EZS_SRQ[±]ピンのステータスはロジック0にする必要があります。これは、EZS_SRQ[±]の両ピンをGNDに設定することで簡単に実現

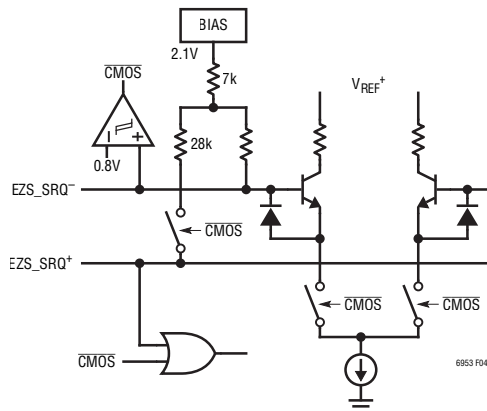


図4. EZS_SRQ インターフェースの簡略回路図

できます。同様に、EZS_SRQ[±]ピンを使用するときは、SSRQビットに0をセットする必要があります。SRQMDビットは、EZS_SRQ[±]ピンまたはSSRQビットが出す要求のタイプを決定します。SRQMD = 0のとき、出力の同期要求になります。SRQMD = 1のとき、SYSREFパルス出力要求になります。

同期は必ずSYSREF要求の前に実行しなければならないことに注意してください。同期を再実行するのは、分周器設定が変更されたとき、もしくは分周器がパワーダウンされたときのみです。

同期の概要

同期の目標は、1つまたは複数のLTC6953 (もしくはアナログ・デバイセズのその他の互換クロック・デバイス) 上の全ての出力分周器を既知の位相関係に合わせることです。最初の起動時、パワーオン・リセット(POR)の後、もしくは出力分周値が変更になったとき、出力は同期されていません。出力デジタル遅延(DDEL_x)に行った変更は、同期が行われるまでは反映されません。同期をしなくても各出力の周波数は正確ですが、同期イベントが発生するまでは、位相間の関係は不明です。

LTC6953で同期をイネーブルするには、レジスタh0BのSRQMDビットに0をセットします。同期は、EZS_SRQ入力がハイ・ステートで駆動されるか、SSRQビットに1を書き込むことのいずれかによって開始されます。ある出力のSRQEN_xビットが1にセットされると、その出力分周器は実行を停止し、100μsより長い内部タイミング遅延の後、ロジック「0」ステータスに戻ります。EZS_SRQ入力ステータスまたはSSRQビットは、最低1msの間ハイに保持される必要があります。

動作

EZS_SRQ 入力が高レベルに戻る、もしくは SSRQ ビットに「0」が書き込まれると、同期された内部分周器が初期遅延の後に動作を開始します。DDELx ≠ 0 の出力は、更に DDELx/2 の入力サイクル分遅延します。各出力の動作は、その出力に対応する SRQENx ビットと MODEx ビットによって個別に定義されます。これについては、表5に示されています。同じ DDELx 遅延設定を持つ全ての分周器で、電気的特性の表に示すスキュー時間内に出力立ち上がりエッジが発生します。各遅延の範囲は0~4095入力ハーフ・サイクルであり、各分周器の分周比設定とは独立しています。同期プログラミングの例については、アプリケーション情報のセクションを参照してください。更に、LTC6952 Wizard を使用することで、これらのタイミング関係を視覚化することができます。

表5. 同期 (SRQMD = 0) 出力動作とデバイス設定

SRQENx	MODEx	分周器が他の分周器に同期	内部分周器が SYNC 信号の立ち上がりエッジから遅延を開始 (DDELx = 0)	出力動作
0	0	No	N/A	自走
	1, 2, または 3			ミュート
1	0	Yes	~45µs + 7/ f _{IN}	SYNC High でミュート、SYNC Low で実行
	1 または 3			ミュート
	2			SYNC 信号パススルー

SYSREF 生成の概要

JESD204B/C サブクラス1仕様は、1つのロジック・デバイス (FPGA) によって、複数のデータ・コンバータ・デバイス (A/D コンバータ (ADC) または D/A コンバータ (DAC)) のタイミングを調整し、シリアル・リンク全体で再現可能かつプログラマブルな遅延を提供する手法を規定しています。SYSREF と呼ばれるパルス (またはパルス・トレイン) によって、システム内の全てのデバイス上のローカル・マルチフレーム・クロック (LMFC) と内部クロック分周器が同期されます。SYSREF 信号が ADC、DAC、および FPGA のクロックに同期された状態を維持し、デバイスで仕様規定されているセットアップとホールドのタイミングを満たすよう注意する必要があります。

LTC6953 は、JESD204B/C の仕様に規定されている3つの異なる SYSREF 生成手法をサポートしています。

- 自走
- SYSREF 要求信号によるゲートッド・オン／オフ
- SYSREF 要求信号の立ち上がりエッジ後に1個、2個、4個、または8個の SYSREF パルス

これらのモードは、各出力の個別にプログラマブルな MODEx ビットによって定義されます。SYSREF パルスを生成するには、SRQMD ビットに1をセットします。また、MPx は0より大きくなければなりません。SYSREF 要求 (SYSREQ) は、SSRQ ビットに1をセットするか、EZS_SRQ[±]ピンにより (PARSYNC = 1 でない限り)、適用されます。表6は、SYSREF 生成モードにおける出力動作を説明しています。SYSCT[1:0] ビットはレジスタ h0B にあります。

「同期の概要」で述べた通り、同期は、必ず SYSREF の生成より前に行う必要があります。

表6. SYSREF 生成モードにおける出力動作 (SRQMD = 1)

SRQENx	MODEx	出力動作
0	0	自走、SYSREQ を無視
	1, 2, または 3	ミュート、SYSREQ を無視
1	0	自走、SYSREQ を無視
	1	ゲートッド・パルス: SYSREQ がハイのとき実行、ローのときミュート
	2	SYSREQ パススルー
	3	SYSREQ がハイになった後、2 ^{SYSCT} 個のパルスを出力

マルチチップ同期と SYSREF 生成

EZSync スタンドアロン構成 (図5) の1つの LTC6953 を使用して、最大11個のクロック信号または SYSREF を生成および同期できます。11を超えるクロック出力が必要になるアプリケーションに対応するため、LTC6953 とその周辺製品の LTC6952 では、EZSync マルチチップと ParallelSync という2つの方法で、マルチチップ同期および SYSREF 生成をサポートしています。同期構成は、EZMD ビットおよび PARSYNC ビット (LTC6952 のみ) によって決まります。必要な設定を表7に示します。表8ではこれらの手法の重要な特性とその変数を紹介し、後続の段落で詳しく説明します。この表は2段アプリケーションのみにについて記載していることに注意してください。多くの段を使用する場合、より多くの出力が可能になります。

動作

表 7. 異なる同期トポロジに対する EZSync と PARSYNC の設定

制御ビット	EZSync スタンドアロン (図 5 参照)	EZSync マルチチップ (図 6 および 7 参照)		ParallelSync マルチチップ (図 8 および 9 参照)
		CONTROLLER	FOLLOWER	
PARSYNC (LTC6952 のみ)	0	0	0	1
EZMD	0	0	1	0

表 8. EZSync と ParallelSync のパラメーターと制限 (2 段のみ)

	EZSync スタンドアロン (図 5 参照)	EZSync マルチチップ				ParallelSync マルチチップ	
		ピン制御の要求 (図 6 参照)		要求パススルー (図 7 参照)		一般的 リファレンス 分配 (図 8 参照)	LTC6953 リファレンス 分配 (図 9 参照)
		CONTROLLER	FOLLOWER	CONTROLLER	FOLLOWER		
RMS ジッタ ^a	~75fs	~75fs	~105fs	~75fs	~105fs	~75fs	~75fs
利用可能なフォロワ数 (Nfol)	–	1~11		1~5		–	–
利用可能な並列デバイス数 (Npar)	–	–		–		無限 ^b	1~5
出力合計数	11	11 Nfol	11 Nfol	11 – 2 Nfol	11 Nfol	11 Npar	11 Npar
出力最大数	11	121		56		無限 ^b	55
最大スキュー	t _{SKEW}	~ t _{SKEW} + t _{pd} ^c		~ t _{SKEW} + t _{pd} ^c		~ t _{SKEW} ^d	~ t _{SKEW} ^d
SYNC のタイミング	簡単	簡単		簡単		中程度	簡単
SYSREF 要求のタイミング	簡単	中程度		簡単		中程度	簡単
外付け VCO の数	1	1		1		Npar	Npar
ソフトウェア SYNC/SYSREF 要求?	Yes	No		Yes		No	Yes

^a ADC SNR 相当の統合 PLL/VCO RMS ジッタ寄与が 27fs で、分配のみのデバイスの付加ジッタが 70fs と想定。

^b 唯一の制限は、リファレンスを正確に分配できる能力。

^c CONTROLLER と FOLLOWER の出力間の最も厳しいスキューを想定。FOLLOWER の伝搬遅延と、CONTROLLER と FOLLOWER 間の配線スキューに依存する。

^d リファレンス分配デバイスのスキュー、リファレンス配線および個々のデバイス間のスキューに依存する。

動作

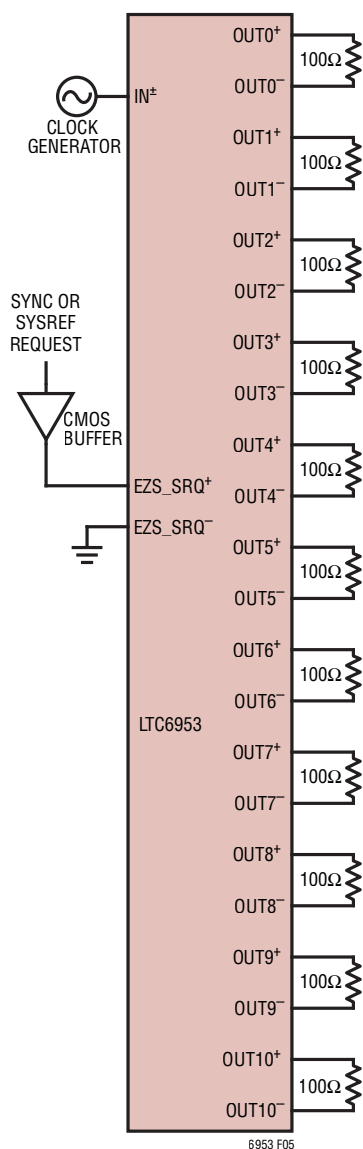
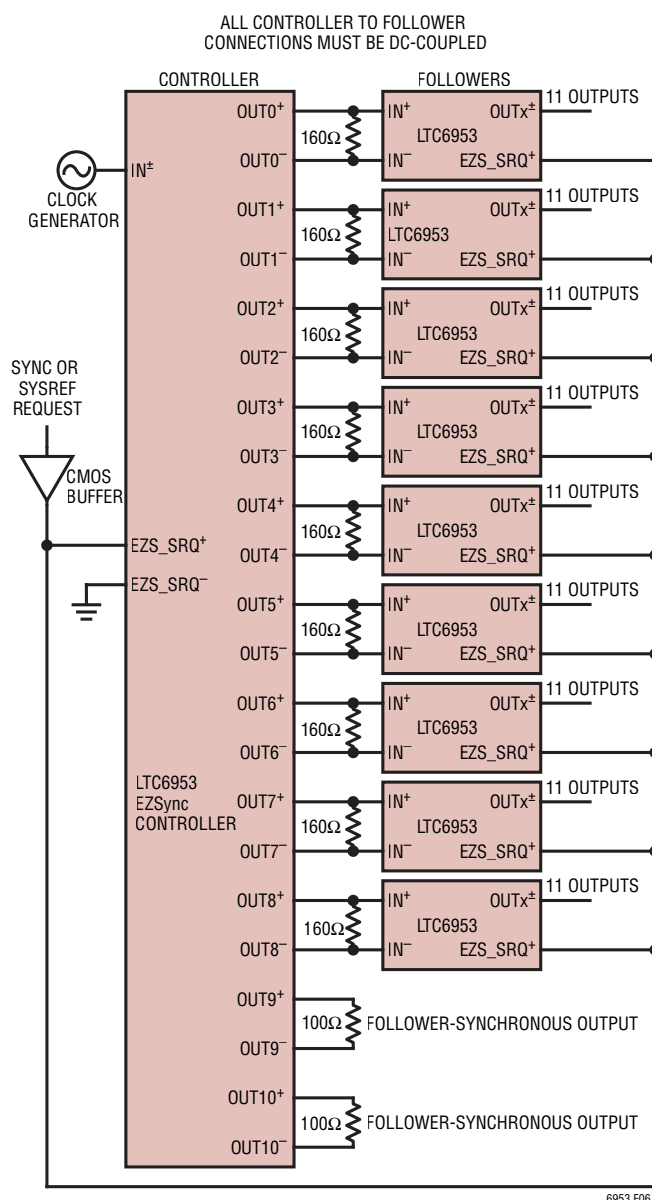


図5. EZSync スタンドアロン

図6. EZSync マルチチップ同期
(9個のフォロワを図示、最大で11個可能)

EZSync マルチチップ

EZSync マルチチップを使用するときは、図6に示すように、互換デバイスを互いにカスケード接続し、CONTROLLER デバイスのクロック出力で、1個～11個の FOLLOWER デバイスの入力を制御します。EZSync プロトコルにより、SYNC 信号上の緩やかなタイミング制約によって、全てのデバイスを簡単に同期できます。JESD204B/C アプリケーションで使用する場合、全ての FOLLOWER が SYSREF 信号を同時に開始および停止させるため、SYSREF 要求を自走式の SYSREF 出力のタイミングに合うように調整しなければいけない可能性があります。FOLLOWER デバイスとしては、LTC6953 を使用することを推奨します。ただし、必要な場合、LTC6952

の PLL をディセーブルすることによって (PDPLL = 1)、LTC6952 を FOLLOWER として使用できます。

SYNC および/または SYSREF 要求の両方を CONTROLLER の SSRQ ビットへのシンプルなソフトウェア書き込み処理に単純化するには、デバイスを図7に示すように接続し、追加の CONTROLLER 出力で各 FOLLOWER の EZS_SRQ ピン (LTC6953 または LTC6952 FOLLOWER のみで提供) を駆動します。この要求パススルー構成では、使用可能な FOLLOWER の数が少なくなる代わりに (最大5個)、システムの複雑度が緩和されます。CONTROLLER のパススルー出力の MPx は 0 より大きくする必要があることに注意してください。

動作

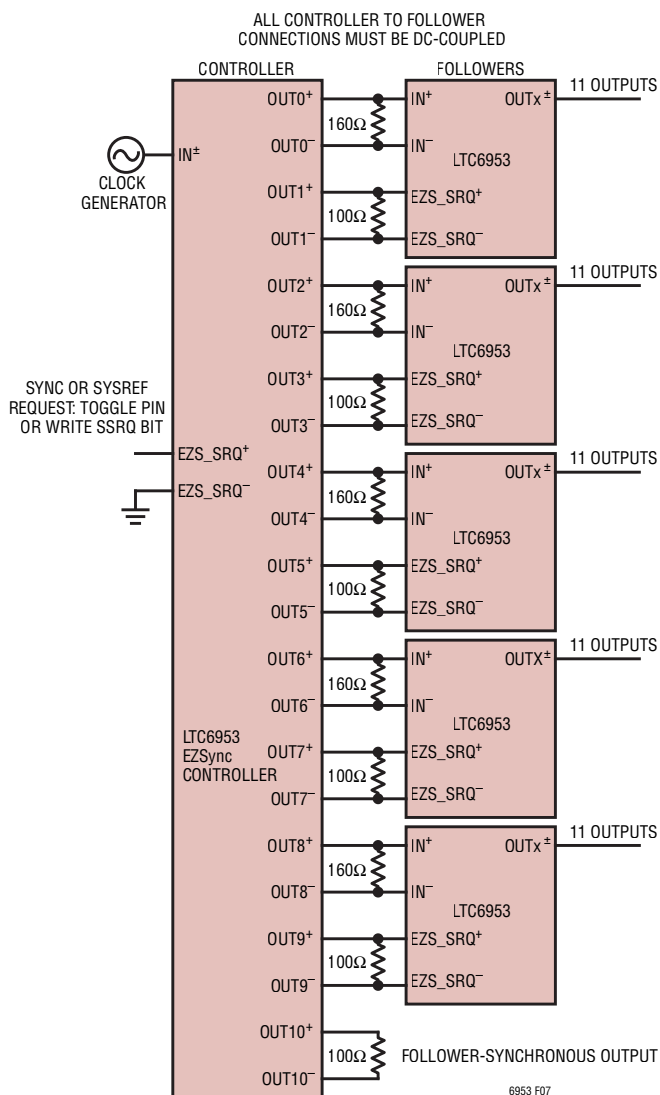


図7. EZSync マルチチップ同期、要求パススルー

EZSync同期では、いかなる場合においても、FOLLOWER出力または任意のフォロワ同期CONTROLLER出力がクロッキングを開始する前に、CONTROLLERが各FOLLOWERに7個のプレパルスを出力するようにプログラムする必要があります。更に、CONTROLLERでEZMDビットが0にセットされ、FOLLOWERではEZMDとPDPLLの両方が1にセットされている必要があります。プログラミングの例については、アプリケーション情報のセクションを参照してください。また、LTC6952Wizardでプログラミングのガイダンスが得られます。

ParallelSync

ParallelSyncアプリケーションでは、図8に示すように、複数のParallelSync互換デバイスを並列に接続し、分配REF信号を共有します。並列接続の利点は、クロック信号が2つ以上のカスケード接続デバイスを伝搬することがないため、ジッタ性能が向上することです。しかし、同期を実現するには、接続された全てのデバイスのSYNC/SRQの立下りエッジが同じREFサイクル内になければならないため、SYNCおよびSYSREF要求(SRQ)信号のタイミングをより厳密に制御することが必要になります。LTC6953は、以下に述べるリファレンスおよびEZS_SRQ分配の一部として利用する場合を除き、ParallelSyncデバイスとしての互換性を持ちません。ParallelSyncの詳細については、LTC6952のデータシートを参照してください。

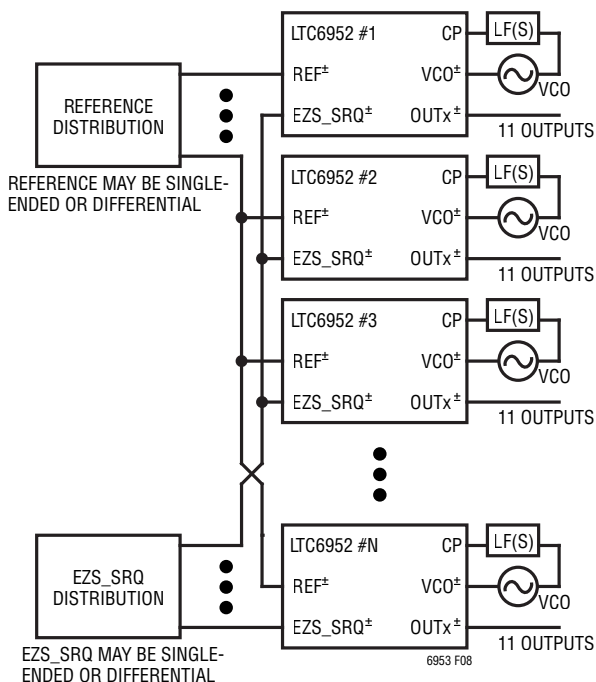


図8. ParallelSync マルチチップ同期

動作

ParallelSync の SYNC/SRQ タイミングは、図9に示すように、リファレンスとしての LTC6953 (または PLL がディスエーブルされた LTC6952) と、EZS_SRQ 分配ブロックを使用することによって、1つのソフトウェア・ビット書込みに単純化できます。このアプリケーションでは、リファレンス分配デバイスの EZS_SRQ 出力が、対応するリファレンス・クロック出力の立下がりエッジで遷移するよう設定します。そのためには、最初に表9に示す設定を用いてリファレンス分配デバイスを同期します。ここで、 $DDEL_{REF}$ は任意の有効な DDEL 値で構いません。

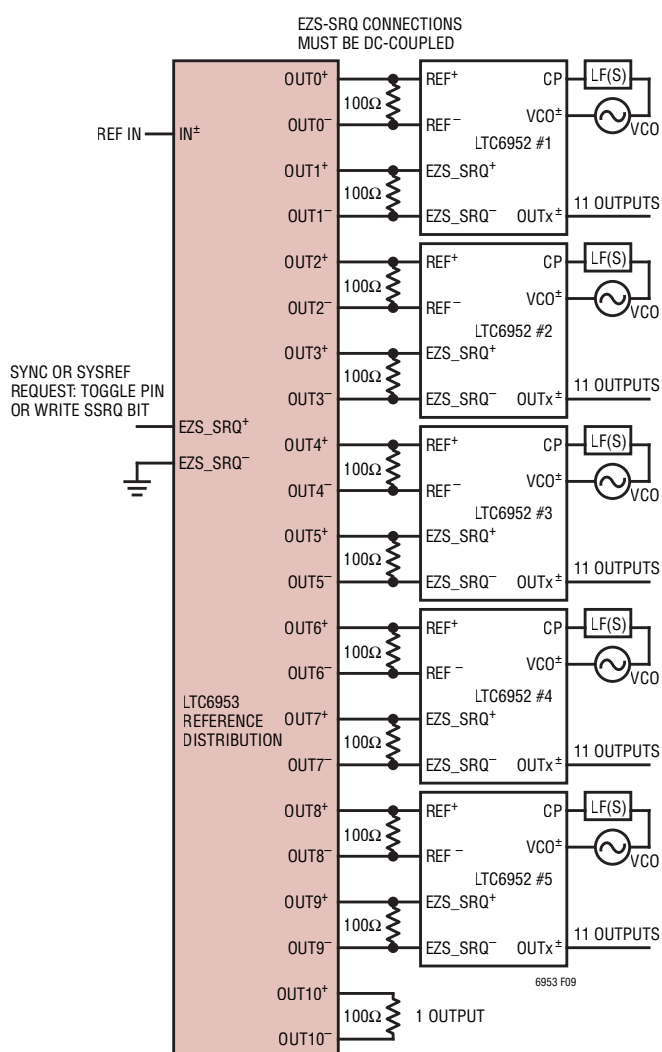


図9. ParallelSync マルチチップ同期、LTC6953またはLTC6952でリファレンス分配

表9. ParallelSyncのリファレンス分配の分周器とDDEL設定

REF CLK 分周値	REF CLK DDEL	EZS_SRQ 分周値	EZS_SRQ DDEL
1	$DDEL_{REF}$	2	$DDEL_{REF} + 1$
2	$DDEL_{REF}$	2	$DDEL_{REF} + 2$
3	$DDEL_{REF}$	3	$DDEL_{REF} + 3$
4	$DDEL_{REF}$	4	$DDEL_{REF} + 4$
REF Divide > 4	$DDEL_{REF}$	= REF Divide	$DDEL_{REF}$

SYNCまたはSYSREF要求を並列デバイスに送信する直前に、リファレンス分配デバイスのSRQMDビットに1をセットします。これにより、パススルー要求はリファレンス・クロックに自動的にタイミングを合わせます。要求が完了した後、SRQMDビットを0に戻し、リファレンス分配デバイスからの電源電流を抑えます。プログラミングの例については、アプリケーション情報のセクションを参照してください。

所定のアプリケーションに対して最適な構成を決定するには、図10のフローチャートを利用できます。このフローチャートは、表8のパラメーターを使用して、最適な構成へガイドします。

マルチチップ同期では、システム条件に応じて、多くの単純化や追加が可能です。例えば、上述のアプリケーションでは、2段までしか想定していませんでしたが、段を追加して出力数を増やすこともできます。しかし、それらのアプリケーションはこのデータシートの対象範囲を超えています。弊社にお問い合わせください。

SYSREF生成モードにおける節電

ほとんどのアプリケーションにおいて、SYSREF要求はめったに発生しません。LTC6953は、SYSREF出力とクロック出力との正確なタイミング関係を維持しながら、回路をできる限りシャットダウンするモードを提供しています。PDxビットに2を書き込むことで、個々の出力を低消費電力モードにし、内部分周器は実行したままにすることができます。ここで、xは対象の出力を示します。更に、LTC6953をSYSREF生成モード($SRQMD = 1$)にすると、 $SRQMD = 0$ のときより電流がかなり多くなります。そのため、SYSREF要求が必要になるまで、 $SRQMD$ ビットを0にセットしたままにします。SYSREF信号が必要になったら、 $SRQMD$ に1をセットし、PDxビットを0に戻し、少なくとも50 μ s待ってからSYSREF要求を発行します。完了したら、SYSREF出力を低消費電力モード($PDx = 2$)に戻し、 $SRQMD = 0$ をセットします。

動作

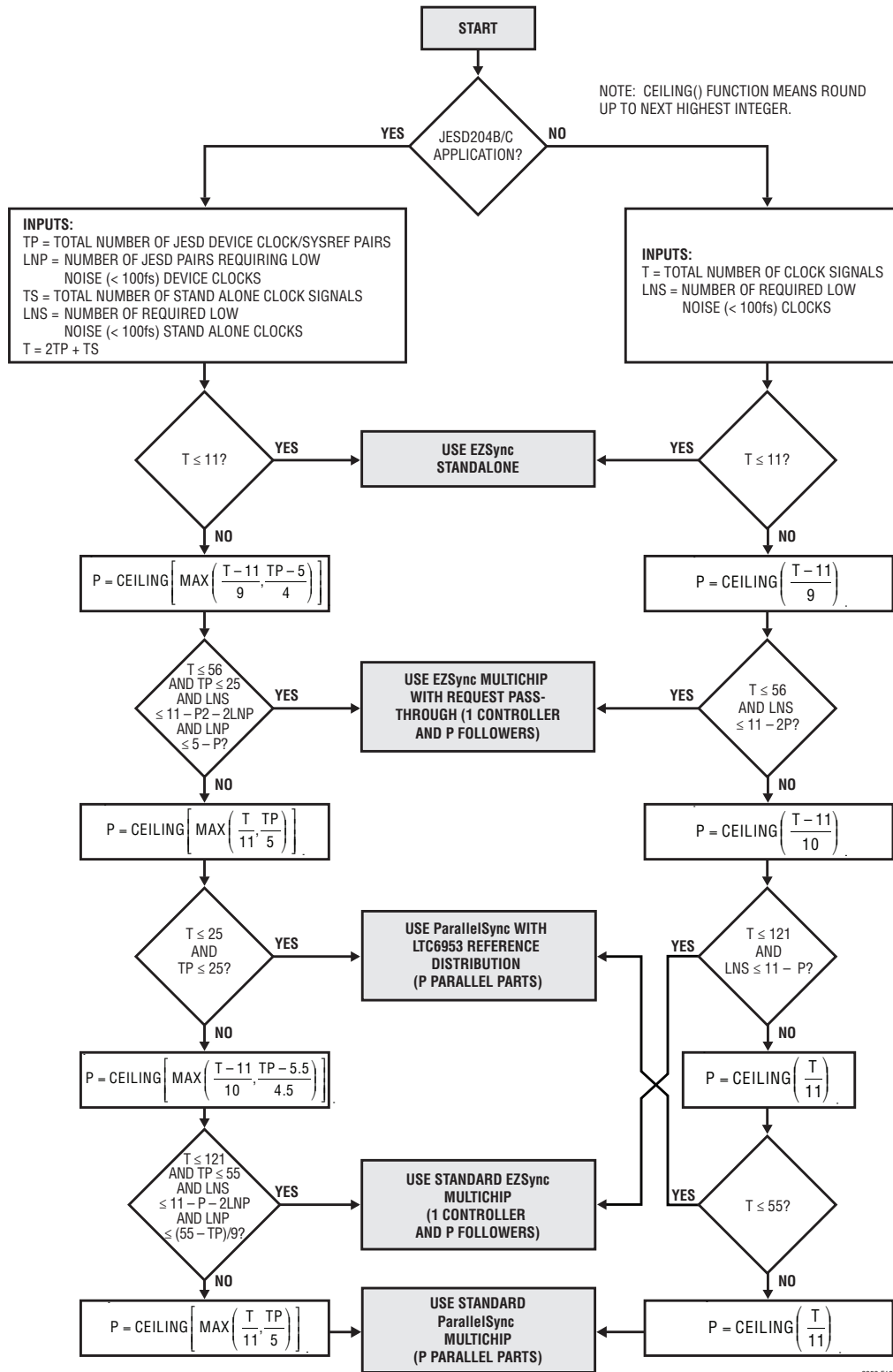


図 10. 所定のアプリケーションに最適なプロトコルを決定するためのフローチャート

6953 F10

動作

シリアル・ポート

SPI互換のシリアル・ポートは、制御およびモニタ機能を備えています。これに加えて、構成設定可能な状態出力STATは瞬時モニタ機能を備えています。

通信シーケンス

シリアル・バスは、 $\overline{\text{CS}}$ 、SCLK、SDI、SDOで構成されています。デバイスへのデータ転送は、シリアル・バスのマスタ・デバイスが最初に $\overline{\text{CS}}$ をローにしてLTC6953のポートをイネーブルすることにより行われます。SDIに与えられた入力データはSCLKの立上がりエッジでクロックされます。データは常に**MSBファースト**で転送されます。通信バーストは、シリアル・バスのマスタが $\overline{\text{CS}}$ をハイに戻すと終了します。詳細については、図11を参照してください。

データは、通信バーストの間にSDOを使ってデバイスから読み出されます。 $\overline{\text{CS}}$ がハイのとき、またはデバイスからデータが読み出されていないとき、SDOはスリーステート(Hi-Z)になるので、読出しをマルチドロップにできる(シリアル・バスに複数のLTC6953を並列に接続できる)可能性があります。LTC6953をマルチドロップ構成で使用しない場合、またはシリアル・ポートのマスタが読出しシーケンスと読出しシーケンスの間SDOラインのレベルを設定することができない場合、SDOとGNDの間に200kより大きな値の抵抗を接続して、Hi-Z状態の間にラインが確実に既知のレベルに戻るようにすることを推奨します。詳細については、図12を参照してください。

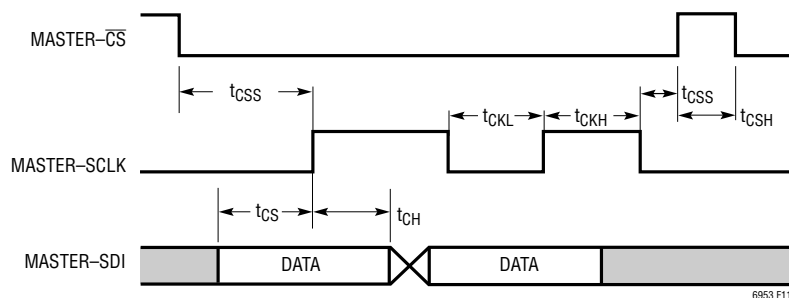


図11. シリアル・ポート書き込みのタイミング図

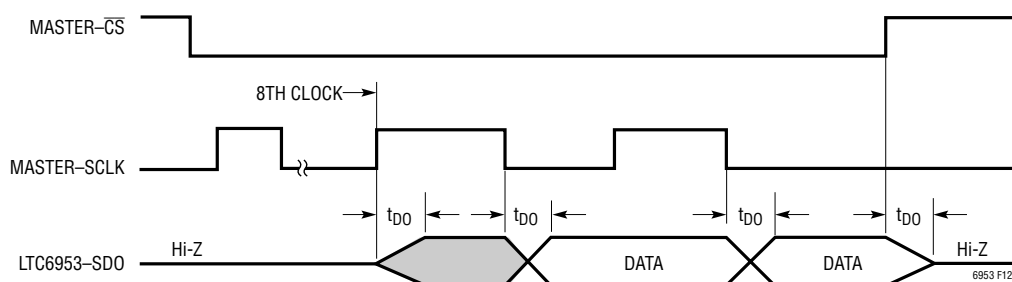


図12. シリアル・ポート読出しのタイミング図

動作

1バイトの転送

シリアル・ポートは簡単なメモリ・マップとして構成されており、56個のバイト幅のレジスタにより、状態と制御のデータを利用できます。全てのデータ・バーストは少なくとも2バイトで構成されます。最初のバイトの最上位7ビットはレジスタのアドレスです。LSBが1であればデバイスからの読出しを示し、LSBが0であればデバイスからの書込みを示します。それに続く1バイト、または複数バイトは、指定されたアドレスからのデータ、または指定されたアドレスへのデータです。詳細な書込みシーケンスの例については図13を、読出しシーケンスについては図14を参照してください。

図15は、2つの書込み通信バーストの例を示しています。シリアル・バスのマスタからSDIに送られる最初のバーストの最初のバイトには、宛先のレジスタ・アドレス(ADDRX)および書込みを示している「0」のLSBが含まれます。次のバイトはアドレスがADDRXのレジスタ宛のデータです。続いてCSがハイになり、転送が終了します。2番目のバーストの最初のバイトには、宛先のレジスタ・アドレス(ADDRY)および書込みを示しているLSBが含まれます。SDIの次のバイトはアドレスがADDRYのレジスタ宛のデータです。続いてCSがハイになり、転送が終了します。

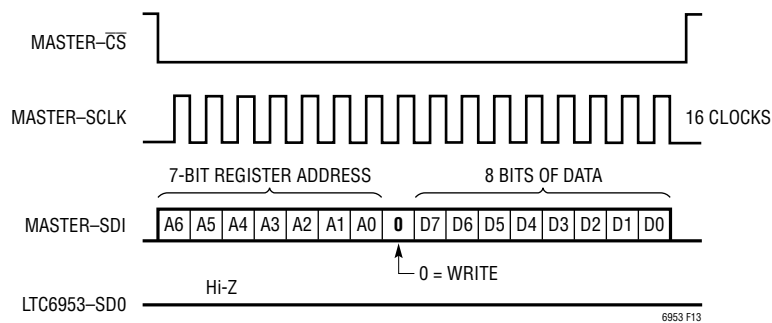


図13. シリアル・ポートの書込みシーケンス

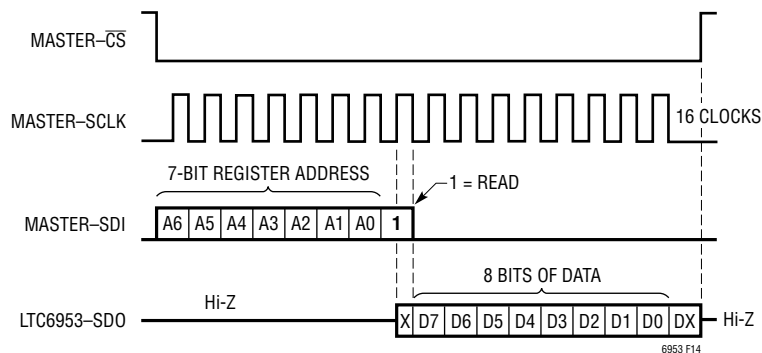


図14. シリアル・ポートの読出しシーケンス

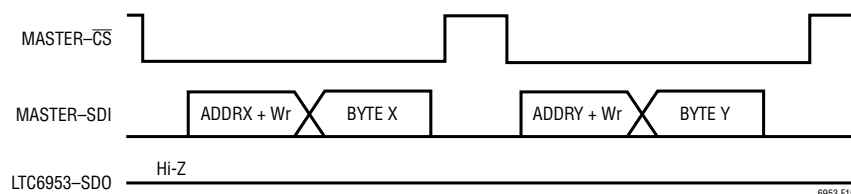


図15. シリアル・ポートの1バイト書込み

動作

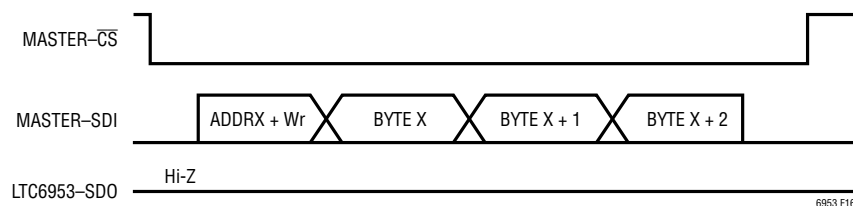


図16. シリアル・ポートの自動インクリメント書込み

複数バイトの転送

図16に示されているように、LTC6953のレジスタ・アドレス自動インクリメント機能を使用すれば、複数バイトのデータ転送をより効率的に行うことができます。前と同様、シリアル・ポートのマスタは、最初のバイトで宛先レジスタのアドレスを送り、2番目のバイトでそのレジスタ宛のデータを送りますが、引き続き後続のレジスタ宛のバイトを送ります。バイト1のアドレスはADDRX + 1、バイト2のアドレスはADDRX + 2、以下同様です。レジスタ・アドレス・ポインタが56(h38)を過ぎてインクリメントしようとする、自動的に0にリセットされます。

自動インクリメントによるデバイスからの読出しの例を図17に示します。シリアル・バスのマスタからSDIに送られるバーストの最初のバイトには、宛先のレジスタ・アドレス (ADDRX) および読出しを示している「1」のLSBが含まれます。LTC6953が読出しバーストを検出すると、SDOをHi-Z状態から抜け出させ、レジスタADDRXのデータから開始して、データ・バイトを順に送り出します。デバイスは、バーストが終了するまで、SDIの他の全てのデータを無視します。

マルチドロップ構成

複数のLTC6953がシリアル・バスを共有することができます。このマルチドロップ構成では、SCLK、SDI、およびSDOが全デバイス間で共有されます。シリアル・バスのマスタはデバイスごとに別個のCSを使って、必ず1個のデバイスのCSのみが同時にアサートされるようにする必要があります。値の大きな抵抗をSDOに接続して、Hi-Z状態の間ラインが既知のレベルに必ず戻るようにすることを推奨します。

シリアル・ポート・レジスタ

LTC6953のメモリ・マップを表10に示します。また、ビットの詳細説明を表11に示します。「ADDR」の列に16進数で示されているレジスタ・アドレスは、各レジスタを指定するために使用します。各レジスタに読出し専用(R)または読出し／書込み(R/W)のいずれかが表記されています。右側には、デバイス起動時またはリセット後のレジスタのデフォルト値が示されています。

アドレスh00の読出し専用レジスタは、様々な状態フラグを決定するために使用されます。これらのフラグは、レジスタh01を構成設定することにより、STATピンに直ちに出力することができます。詳細については、STAT出力のセクションを参照してください。

アドレスh38のレジスタは、デバイス識別用の読出し専用バイトです。

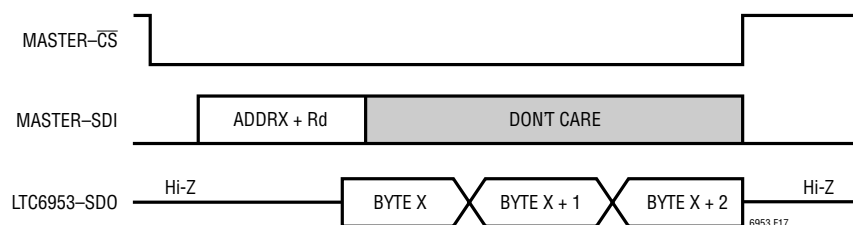


図17. シリアル・ポートの自動インクリメント読出し

動作

表 10. シリアル・ポート・レジスタの内容

ADDR	MSB	[6]	[5]	[4]	[3]	[2]	[1]	LSB	R/W	デフォルト
h00	0	0	1	0	VCOOK	VCOOK	0	1	R	
h01	INVSTAT	x[6]	x[5]	x[4]	x[3]	x[2]	x[1]	x[0]	R/W	h04
h02	PDALL	*	PDVCOPK	*	*	*	FILTV	POR	R/W	h08
h03	PD3[1]	PD3[0]	PD2[1]	PD2[0]	PD1[1]	PD1[0]	PD0[1]	PD0[0]	R/W	h00
h04	PD7[1]	PD7[0]	PD6[1]	PD6[0]	PD5[1]	PD5[0]	PD4[1]	PD4[0]	R/W	h00
h05	TEMPO	*	PD10[1]	PD10[0]	PD9[1]	PD9[0]	PD8[1]	PD8[0]	R/W	h00
h06	*	*	*	*	*	*	*	*	R/W	h0C
h07	*	*	*	*	*	*	*	*	R/W	h01
h08	*	*	*	*	*	*	*	*	R/W	h00
h09	*	*	*	*	*	*	*	*	R/W	h2D
h0A	*	*	*	*	*	*	*	*	R/W	h93
h0B	*	*	*	EZMD	SRQMD	SYSCT[1]	SYSCT[0]	SSRQ	R/W	h86
h0C	MP0[4]	MP0[3]	MP0[2]	MP0[1]	MP0[0]	MD0[2]	MD0[1]	MD0[0]	R/W	h00
h0D	SRQEN0	MODE0[1]	MODE0[0]	OINV0	DDEL0[11]	DDEL0[10]	DDEL0[9]	DDEL0[8]	R/W	h00
h0E	DDEL0[7]	DDEL0[6]	DDEL0[5]	DDEL0[4]	DDEL0[3]	DDEL0[2]	DDEL0[1]	DDEL0[0]	R/W	h00
h0F	*	*	ADEL0[5]	ADEL0[4]	ADEL0[3]	ADEL0[2]	ADEL0[1]	ADEL0[0]	R/W	h00
h10	MP1[4]	MP1[3]	MP1[2]	MP1[1]	MP1[0]	MD1[2]	MD1[1]	MD1[0]	R/W	h00
h11	SRQEN1	MODE1[1]	MODE1[0]	OINV1	DDEL1[11]	DDEL1[10]	DDEL1[9]	DDEL1[8]	R/W	h00
h12	DDEL1[7]	DDEL1[6]	DDEL1[5]	DDEL1[4]	DDEL1[3]	DDEL1[2]	DDEL1[1]	DDEL1[0]	R/W	h00
h13	*	*	ADEL1[5]	ADEL1[4]	ADEL1[3]	ADEL1[2]	ADEL1[1]	ADEL1[0]	R/W	h00
h14	MP2[4]	MP2[3]	MP2[2]	MP2[1]	MP2[0]	MD2[2]	MD2[1]	MD2[0]	R/W	h00
h15	SRQEN2	MODE2[1]	MODE2[0]	OINV2	DDEL2[11]	DDEL2[10]	DDEL2[9]	DDEL2[8]	R/W	h00
h16	DDEL2[7]	DDEL2[6]	DDEL2[5]	DDEL2[4]	DDEL2[3]	DDEL2[2]	DDEL2[1]	DDEL2[0]	R/W	h00
h17	*	*	ADEL2[5]	ADEL2[4]	ADEL2[3]	ADEL2[2]	ADEL2[1]	ADEL2[0]	R/W	h00
h18	MP3[4]	MP3[3]	MP3[2]	MP3[1]	MP3[0]	MD3[2]	MD3[1]	MD3[0]	R/W	h00
h19	SRQEN3	MODE3[1]	MODE3[0]	OINV3	DDEL3[11]	DDEL3[10]	DDEL3[9]	DDEL3[8]	R/W	h00
h1A	DDEL3[7]	DDEL3[6]	DDEL3[5]	DDEL3[4]	DDEL3[3]	DDEL3[2]	DDEL3[1]	DDEL3[0]	R/W	h00
h1B	*	*	ADEL3[5]	ADEL3[4]	ADEL3[3]	ADEL3[2]	ADEL3[1]	ADEL3[0]	R/W	h00
h1C	MP4[4]	MP4[3]	MP4[2]	MP4[1]	MP4[0]	MD4[2]	MD4[1]	MD4[0]	R/W	h00
h1D	SRQEN4	MODE4[1]	MODE4[0]	OINV4	DDEL4[11]	DDEL4[10]	DDEL4[9]	DDEL4[8]	R/W	h00
h1E	DDEL4[7]	DDEL4[6]	DDEL4[5]	DDEL4[4]	DDEL4[3]	DDEL4[2]	DDEL4[1]	DDEL4[0]	R/W	h00
h1F	*	*	ADEL4[5]	ADEL4[4]	ADEL4[3]	ADEL4[2]	ADEL4[1]	ADEL4[0]	R/W	h00
h20	MP5[4]	MP5[3]	MP5[2]	MP5[1]	MP5[0]	MD5[2]	MD5[1]	MD5[0]	R/W	h00
h21	SRQEN5	MODE5[1]	MODE5[0]	OINV5	DDEL5[11]	DDEL5[10]	DDEL5[9]	DDEL5[8]	R/W	h00
h22	DDEL5[7]	DDEL5[6]	DDEL5[5]	DDEL5[4]	DDEL5[3]	DDEL5[2]	DDEL5[1]	DDEL5[0]	R/W	h00
h23	*	*	ADEL5[5]	ADEL5[4]	ADEL5[3]	ADEL5[2]	ADEL5[1]	ADEL5[0]	R/W	h00
h24	MP6[4]	MP6[3]	MP6[2]	MP6[1]	MP6[0]	MD6[2]	MD6[1]	MD6[0]	R/W	h00
h25	SRQEN6	MODE6[1]	MODE6[0]	OINV6	DDEL6[11]	DDEL6[10]	DDEL6[9]	DDEL6[8]	R/W	h00
h26	DDEL6[7]	DDEL6[6]	DDEL6[5]	DDEL6[4]	DDEL6[3]	DDEL6[2]	DDEL6[1]	DDEL6[0]	R/W	h00
h27	*	*	ADEL6[5]	ADEL6[4]	ADEL6[3]	ADEL6[2]	ADEL6[1]	ADEL6[0]	R/W	h00
h28	MP7[4]	MP7[3]	MP7[2]	MP7[1]	MP7[0]	MD7[2]	MD7[1]	MD7[0]	R/W	h00
h29	SRQEN7	MODE7[1]	MODE7[0]	OINV7	DDEL7[11]	DDEL7[10]	DDEL7[9]	DDEL7[8]	R/W	h00
h2A	DDEL7[7]	DDEL7[6]	DDEL7[5]	DDEL7[4]	DDEL7[3]	DDEL7[2]	DDEL7[1]	DDEL7[0]	R/W	h00

動作

ADDR	MSB	[6]	[5]	[4]	[3]	[2]	[1]	LSB	R/W	デフォルト
h2B	*	*	ADEL7[5]	ADEL7[4]	ADEL7[3]	ADEL7[2]	ADEL7[1]	ADEL7[0]	R/W	h00
h2C	MP8[4]	MP8[3]	MP8[2]	MP8[1]	MP8[0]	MD8[2]	MD8[1]	MD8[0]	R/W	h00
h2D	SRQEN8	MODE8[1]	MODE8[0]	OINV8	DDEL8[11]	DDEL8[10]	DDEL8[9]	DDEL8[8]	R/W	h00
h2E	DDEL8[7]	DDEL8[6]	DDEL8[5]	DDEL8[4]	DDEL8[3]	DDEL8[2]	DDEL8[1]	DDEL8[0]	R/W	h00
h2F	*	*	ADEL8[5]	ADEL8[4]	ADEL8[3]	ADEL8[2]	ADEL8[1]	ADEL8[0]	R/W	h00
h30	MP9[4]	MP9[3]	MP9[2]	MP9[1]	MP9[0]	MD9[2]	MD9[1]	MD9[0]	R/W	h00
h31	SRQEN9	MODE9[1]	MODE9[0]	OINV9	DDEL9[11]	DDEL9[10]	DDEL9[9]	DDEL9[8]	R/W	h00
h32	DDEL9[7]	DDEL9[6]	DDEL9[5]	DDEL9[4]	DDEL9[3]	DDEL9[2]	DDEL9[1]	DDEL9[0]	R/W	h00
h33	*	*	ADEL9[5]	ADEL9[4]	ADEL9[3]	ADEL9[2]	ADEL9[1]	ADEL9[0]	R/W	h00
h34	MP10[4]	MP10[3]	MP10[2]	MP10[1]	MP10[0]	MD10[2]	MD10[1]	MD10[0]	R/W	h00
h35	SRQEN10	MODE10[1]	MODE10[0]	OINV10	DDEL10[11]	DDEL10[10]	DDEL10[9]	DDEL10[8]	R/W	h00
h36	DDEL10[7]	DDEL10[6]	DDEL10[5]	DDEL10[4]	DDEL10[3]	DDEL10[2]	DDEL10[1]	DDEL10[0]	R/W	h00
h37	*	*	ADEL10[5]	ADEL10[4]	ADEL10[3]	ADEL10[2]	ADEL10[1]	ADEL10[0]	R/W	h00
h38	REV[3]	REV[2]	REV[1]	REV[0]	PART[3]	PART[2]	PART[1]	PART[0]	R	hx3 [†]

* 未使用

† リビジョンによって異なる

表 11. シリアル・ポート・レジスタのビット・フィールドのまとめ

ビット	説明	デフォルト	ADDR
ADELx[5:0]	OUT0 アナログ遅延の設定	0	不定
DDELx[11:0]	1/2 入力サイクルの OUTx 遅延	h000	不定
EZMD	EZSync モード	0	h0B
FILTV	入力バッファのフィルタ	0	h02
INVSTAT	STAT 出力を反転	0	h01
MDx[2:0]	OUTx 2 ^N の値	0	不定
MODEx[1:0]	SYSREF モード (SRQENx = 1) : 0 = 自走 1 = ゲーテッド・パルス 2 = 要求パルスルー 3 = 2 ^{SYSCT} 個のパルス	0	不定
MPx[4:0]	OUTx プリスケアラの値	h0	不定
OINVx	OUTx の反転	0	不定
PART[3:0]	デバイス・コード (h2 = 6952, h3 = 6953)		h38
PDALL	チップ全体のパワーダウン	0	h02
PDVCOOK	入力信号検出器のパワーダウン	0	h02
PDx[1:0]	OUTx のパワーダウンモード: 0 = 通常動作 1 = 出力をロジック「0」にミュート 2 = 出力ドライバをパワーダウン 3 = 分周器全体をパワーダウン	h0	不定
POR	パワーオン・リセットを強制	0	h02
REV[3:0]	リビジョン・コード		h38

ビット	説明	デフォルト	ADDR
SRQENx	OUTx で SYNC または SYSREF を イネーブル	0	不定
SRQMD	0 = 同期モード 1 = SYSREF 要求モード	0	h0B
SSRQ	ソフトウェア SYNC または SYSREF 要求	0	h0B
SYSCT[1:0]	MODEx=3 時の SYSREF パルス・カウント: 0 = 1 パルス 1 = 2 パルス 2 = 4 パルス 3 = 8 パルス	h3	h0B
TEMPO	STAT で温度計測ダイオードを イネーブル		h05
VCOOK	入力有効フラグ		h00
VCOOK	入力無効フラグ		h00
x[6:0]	STAT 出力の Mask	h04	h01

動作

STAT 出力

STAT 出力ピンはレジスタ h01 の x[6:0] ビットと INVSTAT に
よって設定されます。これらのビットは、式2に従って、状態レ
ジスタ h00 の対応する状態フラグをビットごとにマスクするか
またはイネーブルするのに使われます。その回路図を図18に
示します。TEMPOが0にセットされている場合、このビットご
とのブール演算の結果がSTATピンに出力されます。

$$\text{STAT} = (\text{OR}(\text{Reg00}[6:0] \text{ AND } \text{Reg01}[6:0])) \text{ XOR } \text{INVSTAT} \quad (2)$$

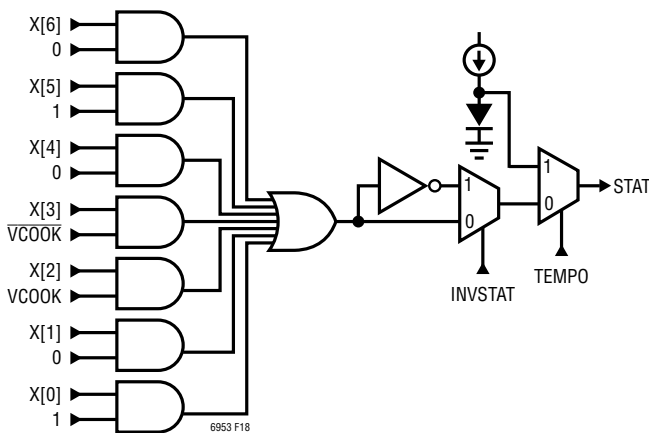


図18. STATの簡略回路図

例えば、VCOOKのフラグがセットされていたら必ずSTATが
ハイになるようアプリケーションが要求する場合は、x[2]を1
にセットし、INVSTATを0にセットし、h04のレジスタ値を与
えます。LTC6953で使用されるのはVCOOKと $\overline{\text{VCOOK}}$ のみ
のため、ビットx[3:2]のみを使用します。x[6:4]とx[1:0]のビッ
トは常に0にセットしておかなければなりません。

STATピンは、レジスタ h05 の TEMPO ビットに1をセットする
ことによって、300 μ A の内部バイアス電流を持つ温度計測
に変換することができます。概算温度を得るには、最初に単
一のキャリブレーション・ポイントが必要です。LTC6953をパ
ワーダウンした状態 (PDALL = 1) で、既知の温度 (T_{CAL}) に
おいて、STATピンの電圧 (V_{TEMPC}) を測定します。その後、
STAT電圧を測定し (V_{TEMP})、式3を使用することで、所望
のアプリケーションの動作温度を計算できます。

$$T = 665 \cdot (V_{\text{TEMPC}} - V_{\text{TEMP}}) + T_{\text{CAL}} \quad (3)$$

ここで、Tおよび T_{CAL} の単位は $^{\circ}\text{C}$ 、 V_{TEMPC} と V_{TEMP} の単
位はボルトです。外部バイアス電流は必要ないことに注意し
てください。TEMPOに1をセットした後、50 μ sのセトリング時
間を設けます。

ブロック・パワーダウン制御

LTC6953のパワーダウン制御ビットは、表11に記載されてい
るレジスタh02にあります。デバイスの異なる部分を個別にパ
ワーダウンすることができます。個別の出力をパワーダウン
するには、表3を参照してください。このレジスタのLSB、つ
まりPOR (パワーオン・リセット) ビットには注意する必要
があります。1を書き込むと、このビットはデバイスのデジ
タル回路を起動時のデフォルト状態に強制的に完全にリ
セットします。

アプリケーション情報

はじめに

クロック分配器の目的は、周波数 f_{IN} のクロック信号を受信し、入力周波数と同じ周波数もしくは入力周波数を分周した別の値の周波数を持つ複数の新しいクロック信号を生成することです。各出力クロックの位相は、同期のプロセスを通して他のクロックに対して相対的に個別調整可能です。LTC6953 の標準的応用例を図 19 に示します。

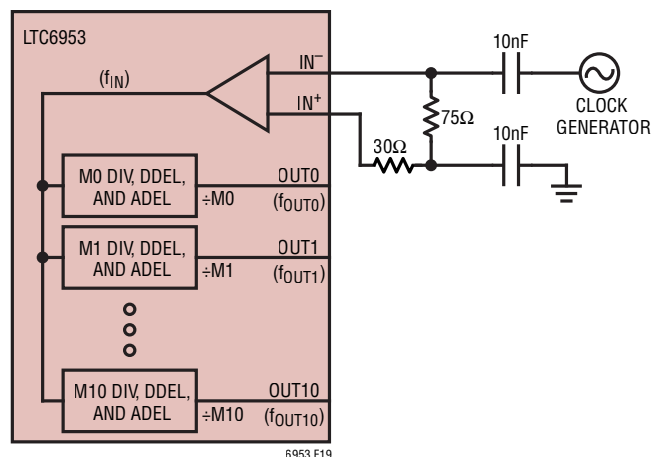


図 19. LTC6953 の標準的応用例

出力周波数

ある特定の入力周波数 f_{IN} について、 M_x 分周器の出力に生じる出力周波数 f_{OUTx} は、式 4 で与えられます。

$$f_{OUTx} = \frac{f_{IN}}{M_x} \quad (4)$$

デジタルおよびアナログの出力遅延

同期を行うと、各出力分周器の開始時間を、入力サイクルの 1/2 で表現されるデジタル遅延ビット (DDEL_x) にプログラムされた値だけ遅延できます。遅延を時間として計算する必要があるアプリケーションでは、式 5 を使用できます。ここで、DDEL_x は DDEL0 ~ DDEL10 です。

$$t_{DDELx} = \frac{D_{DDELx}}{(2 \cdot f_{IN})} \quad (5)$$

アナログ遅延ブロック (ADEL_x) は、理想的でない PCB 配線によって生じた信号タイミングの差を除去するのに役立ちます。これは、JESD204B/C アプリケーションで、SYSREF のセットアップ時間とホールド時間をデバイス・クロックに対して最適化するために効果的です。デジタル遅延とは異なり、アナログ遅延を追加すると、ジッタ性能に悪影響が生じます。可能な限り、アナログ遅延を SYSREF 経路に追加して、デバイス・クロックへの影響を最小限に抑えてください。例えば、ある SYSREF / クロック・ペアの SYSREF 信号が宛先に到着するのが遅すぎる場合、デジタル遅延コードを 1 つデバイス・クロックに追加してから、必要に応じてデバイス・クロックに近づけるためにアナログ遅延を SYSREF に追加します。

概算のアナログ遅延時間は、式 6 (ADEL_x < 32 の場合) および式 7 (ADEL_x ≥ 32 の場合) を使用して、表 4 に記載された周波数の制限を守りながらピコ秒 (ps) 単位で計算できます。

ADEL_x = 1 ~ 31 の場合:

$$t_{ADEL} = [(11.25 \cdot ADEL_x + 93.8)^{-2.5} + (0.00285 \cdot f_{OUT})^{2.5}]^{-0.4} \quad (6)$$

ADEL_x = 32 ~ 63 の場合:

$$t_{ADEL} = [(26 \cdot ADEL_x - 517)^{-2.5} + (0.00125 \cdot f_{OUT})^{2.5}]^{-0.4} \quad (7)$$

ここで、 f_{OUT} は出力周波数で、単位は GHz です。

LTC6952 Wizard を使用することで、アナログ遅延の計算と視覚化が可能です。

アプリケーション情報

入力バッファ

LTC6953の入力バッファ (図1 参照) の周波数範囲はDC～4.5GHzです。バッファは、一部内蔵された 250Ω の差動入力

終端を備えており、必要な場合、外部マッチング・ネットワークにいくらかの柔軟性が与えられます。様々な入力信号の種類に対して推奨されるインターフェースを図20に示します。

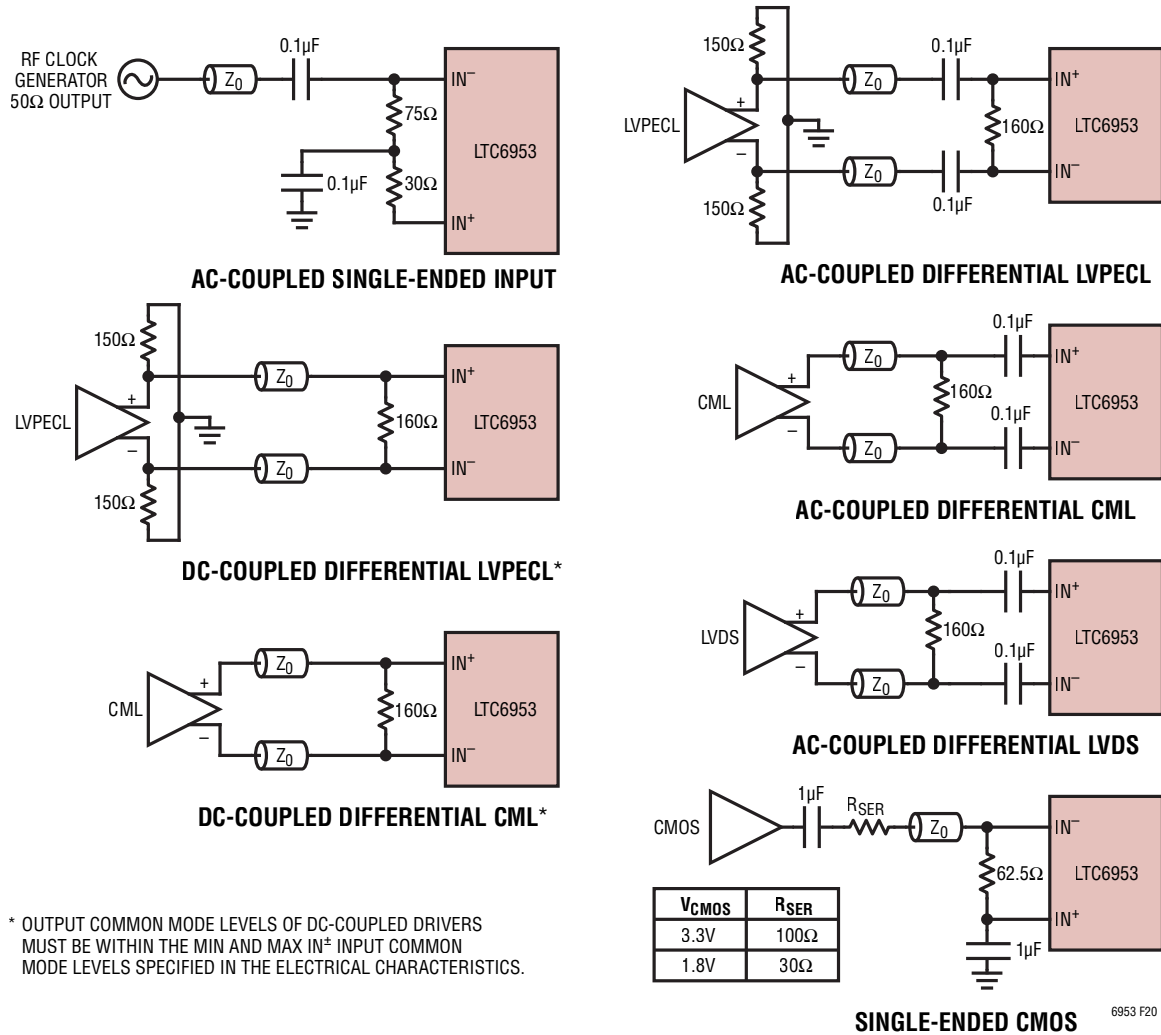


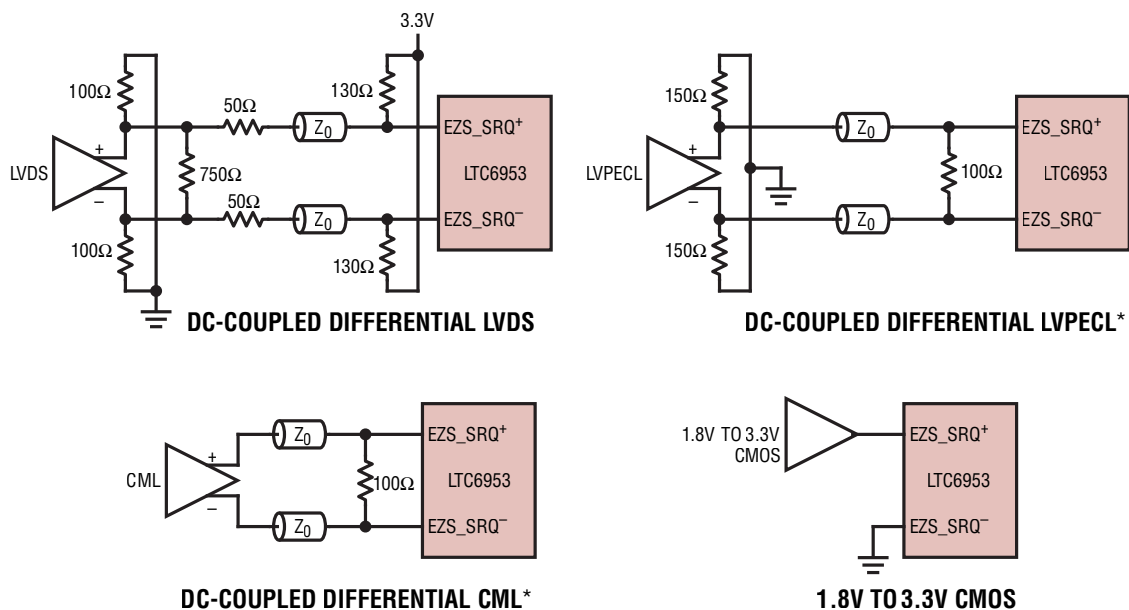
図20. 一般的な入力インターフェースの構成。 Z_0 信号パターンは全て 50Ω 伝送線路

アプリケーション情報

EVS_SRQ 入力

LTC6953のEVS_SRQ入力バッファ(図4参照)は、同期要求とSYSREF要求を制御します。全ての接続は**必ず**DCカップリングする必要があり、EVS_SRQ⁺入力ピンへの差動CMLまたはLVPECL、レベルシフト・ネットワークを備えた差動

LVDS、またはシングルエンド1.8V~3.3V CMOSのいずれかを接続できます(CMOS駆動の場合、EVS_SRQ⁻は接地します)。推奨されるインターフェースの種類を図21に示します。



6953 F21

* OUTPUT COMMON MODE LEVELS OF DIFFERENTIAL DRIVERS MUST BE WITHIN THE MIN AND MAX EVS_SRQ INPUT COMMON MODE LEVELS SPECIFIED IN THE ELECTRICAL CHARACTERISTICS.

図21. 一般的なEVS_SRQ入力インターフェースの構成。Z₀信号パターンは全て50Ω伝送線路

アプリケーション情報

EZSync スタンドアロンを使用した JESD204B/C 設計例

この設計例は、2つの JESD204B/C A/D コンバータ (ADC)、2つの JESD204B/C D/A コンバータ (DAC)、1つの JESD204B/C 互換 FPGA のシステムで構成されます。全てのデータ・コンバータ (ADC および DAC) と FPGA に JESD204B/C サブクラス 1 のデバイス・クロックおよび SYSREF が要求され、FPGA にはもう 1 つ追加の管理クロックが要求されます。更に、ADC には、全 RMS ジッタが 100fs 未満の低ノイズのクロックが要求されます。これにより、以下に示す周波数を持つ、合計 11 個の別個の信号を生成することになります。この例では、全てのデバイスの SYSREF 周波数が同じで、SYSREF 要求立上がりエッジで 4 つのパルスを出力するものとします。

$$f_{\text{ADC-CLK}} = 500\text{MHz}$$

$$f_{\text{DAC-CLK}} = 4000\text{MHz}$$

$$f_{\text{FPGA-CLK}} = 125\text{MHz}$$

$$f_{\text{FPGA-MGMT}} = 100\text{MHz}$$

$$f_{\text{SYSREF}} = 12.5\text{MHz}$$

出力数の合計が 11 であるため、図 22 に示すように、1 個の LTC6953 を使用して必要な全ての出力を生成することができます。分かりやすくするため、終端抵抗と AC カップリング・コンデンサは図示していません。

入力の仮定

この例では、入力周波数 4000MHz の外部クロック発生器によって制御されているものと仮定します。

$$f_{\text{IN}} = 4000\text{MHz}$$

設計手順

このようなクロック分配ソリューションの設計と有効化は、次の手順から成り立ちます。

1. 全ての出力モードを決定する。
2. 全ての M 分周器の値を決定する。
3. 全てのデジタル遅延の値を決定する。
4. 正しい分周器の値、出力遅延、その他の設定を使用してデバイスをプログラムする。
5. 出力を同期する。
6. 次の SYSREF 要求まで、SYSREF 出力を低消費電力モードにする (省略可能、動作のセクションを参照)。
7. デバイスを SYSREF 要求モードにし、必要なときに SYSREF 要求を送信する。
8. デバイスを SYNC モード (SRQMD=0) に戻し、SYSREF 出力を低消費電力モードにして電力を節約する (省略可能)。

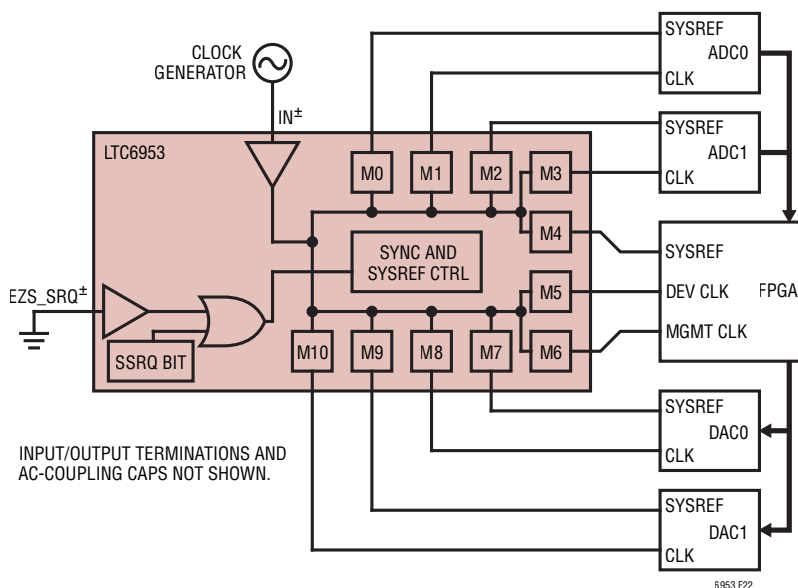


図 22. JESD204B/C EZSync スタンドアロン設計例のブロック図

アプリケーション情報

同期は必ずSYSREF要求の前に実行しなければならないことに注意してください。同期を再実行するのは、分周器設定が変更されたとき、もしくは分周器がパワーダウンされたときのみです。

出力モードの決定

全ての出力は表5と表6に記載された各出力の個別のMODE_x ビットを使用して、クロック (MODE_x = 0)、SYSREF (MODE_x = 1または3)、またはSYNC/SRQパススルー出力 (MODE_x = 2)としてプログラムできます。出力に対応するSRQEN_x ビットに0をセットすることにより、その出力がSYNCおよびSYSREF要求を無視するようプログラムすることもできます。この設計例ではパルスSYSREF (MODE_x = 3)が必要なため、FPGA 管理クロックは常に自走 (SRQEN_x = 0)でなければならないことに注意してください。表12にそれぞれの出力モード設定をまとめます。

表 12. EZSync スタンドアロン設計例の出力モード設定

出力	目的	SRQEN _x	MODE _x	PD _x
OUT0	ADC0 SYSREF	1	3	0
OUT1	ADC0 CLK	1	0	0
OUT2	ADC1 SYSREF	1	3	0
OUT3	ADC1 CLK	1	0	0
OUT4	FPGA SYSREF	1	3	0
OUT5	FPGA DEV CLK	1	0	0
OUT6	FPGA MGMT CLK	0	0	0
OUT7	DAC0 SYSREF	1	3	0
OUT8	DAC0 CLK	1	0	0
OUT9	DAC1 SYSREF	1	3	0
OUT10	DAC1 CLK	1	0	0

出力分周器の値の決定

各出力の目標周波数が既に決定しているので、出力分周器の値は式4を使用して計算できます。その結果を表13に示します。

表 13. EZSync スタンドアロン設計例の出力分周設定

出力	目的	周波数 (MHz)	分周値 (M _x)
OUT0	ADC0 SYSREF	12.5	320
OUT1	ADC0 CLK	500	8
OUT2	ADC1 SYSREF	12.5	320
OUT3	ADC1 CLK	500	8
OUT4	FPGA SYSREF	12.5	320
OUT5	FPGA DEV CLK	125	32
OUT6	FPGA MGMT CLK	100	40
OUT7	DAC0 SYSREF	12.5	320
OUT8	DAC0 CLK	4000	1
OUT9	DAC1 SYSREF	12.5	320
OUT10	DAC1 CLK	4000	1

出力デジタル遅延値の決定

出力デジタル遅延は、出力間の位相関係を制御するために使用されます。遅延の最小ステップは受信入力信号の周期の1/2です。この設計例では、デジタル遅延を使用して、各デバイスのSYSREF信号のエッジを、そのデバイスのセットアップ時間(t_s)およびホールド時間(t_h)条件に最適化された対応するデバイス・クロックに対して既知の位相関係に置きます。各デバイスの最適なSYSREFエッジ位置は、目標とするSYSREFの有効立上がりクロック・エッジの直前の立下がりクロック・エッジで発生するものと仮定します。言い換えれば、SYSREFの有効デバイス・クロック・エッジの前の、対応デバイス・クロック周期の1/2以内に、SYSREFはステータスを変化させる必要があります。図23の例を参照してください。

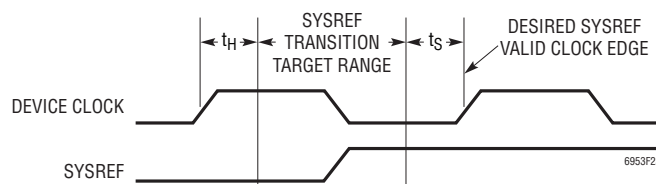


図 23. SYSREF エッジのタイミング例

アプリケーション情報

この設計例の各出力のデジタル遅延値を計算するため、次の手順を使用します。

1. 全てのJESD204B/C デバイス・クロックを、最も遅いJESD204B/C デバイス・クロックの周期の半分だけ遅延させます。1 コードのデジタル遅延は入力サイクルの半分に等しいため、この遅延設定は最も遅いデバイス・クロックの分周値と同じです。非JESD204B/C クロック (FPGA 管理クロックなど) は、この計算には含まれません。この遅延値は、目標とするSYSREF 有効クロック・エッジを定義します。この例では、最も遅いJESD204B/C クロックはFPGA デバイス・クロックです。

$$DDEL_{SYSvalid} = M_{FPGA}CLK = 32$$

$$DDEL_{ADC-CLK} = DDEL_{SYSvalid} = 32$$

$$DDEL_{DAC-CLK} = DDEL_{SYSvalid} = 32$$

$$DDEL_{FPGA-CLK} = DDEL_{SYSvalid} = 32$$

2. デバイス・クロック / SYSREF の各ペアについて、 $DDEL_{SYSvalid}$ からデバイス・クロック周期の1/2を減算し、SYSREF 遅延を求めます。これは以下のように、デバイス・クロックの対応する分周値を減算しているのと同じです。

$$DDEL_{ADC-SYS} = DDEL_{SYSvalid} - M_{ADC-CLK}$$

$$DDEL_{ADC-SYS} = 32 - 8 = 24$$

$$DDEL_{DAC-SYS} = DDEL_{SYSvalid} - M_{DAC-CLK}$$

$$DDEL_{DAC-SYS} = 32 - 1 = 31$$

$$DDEL_{FPGA-SYS} = DDEL_{SYSvalid} - M_{FPGA-CLK}$$

$$DDEL_{FPGA-SYS} = 32 - 32 = 0$$

表 14 に、全ての出力のDDEL 設定をまとめます。

表 14. EZSync スタンドアロン設計例の出力DDELx 設定

出力	目的	DDELx
OUT0	ADC0 SYSREF	24
OUT1	ADC0 CLK	32
OUT2	ADC1 SYSREF	24
OUT3	ADC1 CLK	32
OUT4	FPGA SYSREF	0
OUT5	FPGA DEV CLK	32
OUT6	FPGA MGMT CLK	0
OUT7	DAC0 SYSREF	31
OUT8	DAC0 CLK	32
OUT9	DAC1 SYSREF	31
OUT10	DAC1 CLK	32

以上で、出力分周器と遅延が決定され、LTC6953 をプログラムできるようにしました。

状態レジスタのプログラミング

この例では、LTC6953 が障害状態を発生すると、そのたびにSTAT ピンを使用してシステムにアラートを出します。 $x[3] = 1$ をプログラムして、 $\overline{VCOOK}$ フラグがアサートされたら、必ずSTAT ピンが強制的にハイになるようにします。

$$Reg01 = h08$$

パワーおよびFILTレジスタのプログラミング

正常に動作するには、内部ブロックを全てイネーブルする必要があります。また、入力信号は十分なスルー・レートとパワーを持つため、FILTV ビットは必要ありません。

$$Reg02 = h00$$

出力パワーダウンのプログラミング

最初のセットアップと同期の間、使用される全ての出力とSRQ 回路をフル・パワーに設定する必要があります。これらのビットは後で、SYSREF 要求を待ち受けながらデバイスを低消費電力モードにするために使用できます。

$$Reg03 = h00$$

$$Reg04 = h00$$

$$Reg05 = h00$$

SYNC および SYSREF のグローバル・モードのプログラミング

EZMD ビットは、デバイスがEZSync スタンドアロン / CONTROLLER (0) であるか、FOLLOWER (1) であるかを制御します。この例はEZSync スタンドアロン・アプリケーションのため、EZMD ビットには0 をセットします。SRQMD ビットは、デバイスが同期モード (0) であるか、SYSREF 要求モード (1) であるかを決定します。SYSCT は、パルスSYSREF モードの出力のパルス数をプログラムします (パルス数 = 2^{SYSCT}) のため、この例で4 個のパルスを実現するにはSYSCT = 2 にします)。この情報を使用して、レジスタh0B をプログラムできます。

$$Reg0B = h04$$

ここではSSRQ ビットは「0」のままですが、後で、同期およびSYSREF 要求の手順で使用する予定です。また、同期およびSYSREF 要求は、SSRQ ビットのソフトウェア制御によって行うため、EZS_SRQ[±]ピンは接地する必要があります。

アプリケーション情報

出力分周器、遅延および機能のプログラミング

出力ごとに4つのレジスタを使用すると、出力を互いに独立して構成できます。最初のレジスタは、式1に示すように、2つの制御ワード、MPxおよびMDxを通して出力分周比を制御します。

2番目のレジスタには、制御モードとデジタル遅延制御ワードの最上位ビットが含まれます。3番目のレジスタには、デジタル遅延制御ワードの残りが含まれます。4番目のレジスタには、アナログ遅延制御が含まれます。

アナログ遅延のビットと出力反転(OINVx)ビットの両方をPCBレイアウトの問題を修正するために使用できます。それぞれ、例えば、パターン長のミスマッチや、差動信号のクロスオーバーなどの問題に役立ちます。**クロック信号にアナログ遅延を使用すると、ジッタ性能が低下するので注意してください。**この例では、PCBが理想的な方法でレイアウトされており、出力反転もアナログ遅延も必要ないものと仮定します。この情報により、全てのレジスタh0C~h37を表15に示す値にプログラムできます。これらの値は、表20、表21(および式1)、表22の情報を使用して計算されたものです。

表 15. EZSync スタンドアロン設計例の出力レジスタ設定

ADDR	値	ADDR	値	ADDR	値
h0C	h9C	h1C	h9C	h2C	h00
h0D	hE0	h1D	hE0	h2D	h80
h0E	h18	h1E	h00	h2E	h20
h0F	h00	h1F	h00	h2F	h00
h10	h38	h20	hF8	h30	h9C
h11	h80	h21	h80	h31	hE0
h12	h20	h22	h20	h32	h1F
h13	h00	h23	h00	h33	h00
h14	h9C	h24	h99	h34	h00
h15	hE0	h25	h00	h35	h80
h16	h18	h26	h00	h36	h20
h17	h00	h27	h00	h37	h00
h18	h38	h28	h9C		
h19	h80	h29	hE0		
h1A	h20	h2A	h1F		
h1B	h00	h2B	h00		

同期

この例の出力は現在、目的の周波数で動作していますが、互いの位相関係はランダムです。同期により、既知の再現可能な位相で動作するよう出力を強制できます。この例のような同期は、EZS_SRQ[±]ピンを駆動して外部的に、もしくはReg0BのSSRQビットを使用して内部的に実現できます。デバイスは設定されたばかりのため、SSRQビットに1をセットし、EZS_SRQ[±]ピンをローでホールドします。

Reg0B = h05

最低1ms待機した後、SSRQに0をセットします。

Reg0B = h04

内部の同期プロセスが完了すると、出力は図24に示すように整列されます。同期後の位相整列を明示するため、実際の出力だけでなく、ミュートされたSYSREF出力の内部分周器の動作も表示されていることに注意してください。

デバイスを低消費電力モードにする(オプション)

必要に応じて、LTC6953はSYSREF要求の待機を続けながら低消費電力モードにすることができます。これは、全てのSYSREFが定義された出力にPDx = 2をセットすることで実現できます。これにより、出力ドライバ回路がパワーダウンされますが、内部分周器はクロックとの正しい位相関係を保ったまま実行を続けます。

SYSREF 要求の実行

SYSREFパルスを生成するには、SRQMDに1を書き込み、全てのSYSREF出力PDxビットに0を書き込んでLTC6953を低消費電力モード(使用されている場合)から抜け出させます。50μsの間、回路がパワーアップするのを待ちます。Reg0BのSSRQビットに1を書き込むことによって、SYSREF要求を送信します。

Reg0B = h05

最低1ms待機した後、SSRQに0をセットします。

Reg0B = h04

必要に応じてデバイスを低消費電力モードに戻すには、SRQMDに0を書き込み、全てのSYSREF定義の出力にPDx = 2をセットします。図25に示すように、SYSREF要求の立上がりエッジの後、SYSREF出力は4回パルスを発生してから、「0」のステートに戻ります。

アプリケーション情報

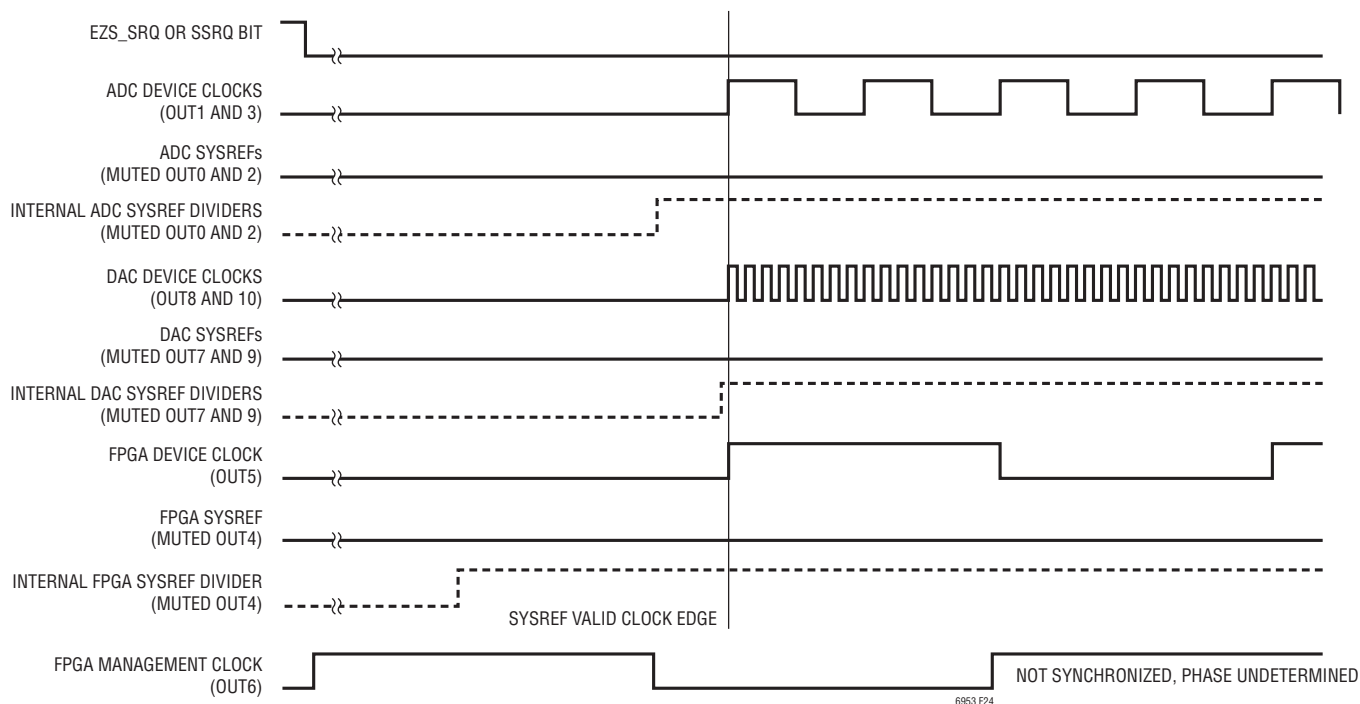


図 24. EZSync スタンドアロン設計例の同期後の出力 (SRQMD = 0)

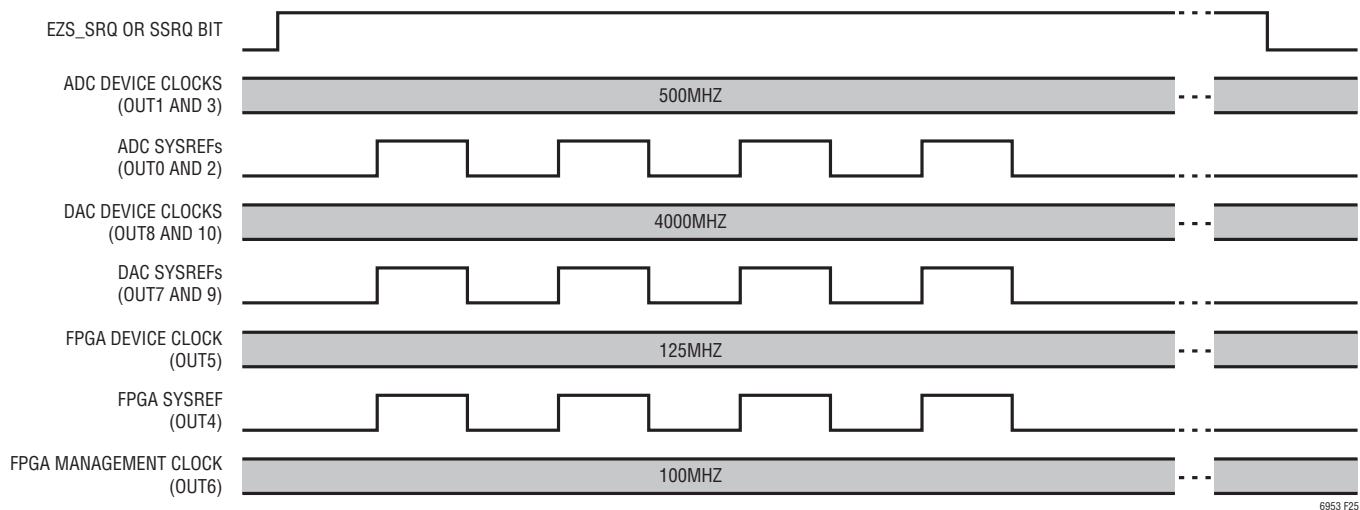


図 25. EZSync スタンドアロン設計例の SYSREF 要求後の出力 (SRQMD = 1)

アプリケーション情報

EZSync マルチチップを使用した JESD204B/C 設計例

この設計例は、4つのJESD204B/C A/Dコンバータ(ADC)、4つのJESD204B/C D/Aコンバータ(DAC)、1つのJESD204B/C互換FPGAのシステムで構成されます。全てのデータ・コンバータ(ADCおよびDAC)とFPGAにJESD204B/Cサブクラス1のデバイス・クロックおよびSYSREFが要求され、FPGAにはもう1つ追加の管理クロックが要求されます。更に、ADCには、全RMSジッタが100fs未満の低ノイズのクロックが要求されます。これにより、以下に示す周波数を持つ、合計19個の別個の信号を生成することになります。この例では、全てのデバイスのSYSREF周波数が同じで、SYSREF要求立上がりエッジで4つのパルスを出力するものとします。

$$f_{\text{ADC-CLK}} = 500\text{MHz}$$

$$f_{\text{DAC-CLK}} = 4000\text{MHz}$$

$$f_{\text{FPGA-CLK}} = 125\text{MHz}$$

$$f_{\text{FPGA-MGMT}} = 100\text{MHz}$$

$$f_{\text{SYSREF}} = 12.5\text{MHz}$$

使用するマルチチップ構成を決めるため、図10のフローチャートを活用します。この例には、合計9個のJESD204B/Cデバイス・クロック/SYSREFペアが存在し、うち4つは合計ジッタが100fs未満である必要があります。また、FPGA用に低ノイズでない追加のスタンドアロン・クロックも必要です。このため、以下のようになります。

$$\text{TP} = 9$$

$$\text{LNP} = 4$$

$$\text{TS} = 1$$

$$\text{LNS} = 0$$

これらの入力に基づいて、図10では、1つのCONTROLLERチップと1つのFOLLOWERチップを使用した、図7に示す要求パススルー・トポロジのEZSyncマルチチップ・プロトコルの使用が提案されます。FOLLOWERチップにはLTC6953の使用が推奨されますが、システム全体のブロック図を図26に示します。CONTROLLER LTC6953のOUT8が、FOLLOWER LTC6953のIN[±]入力を制御しています。このような出力を「フォロワー・ドライバ」出力と呼びます。

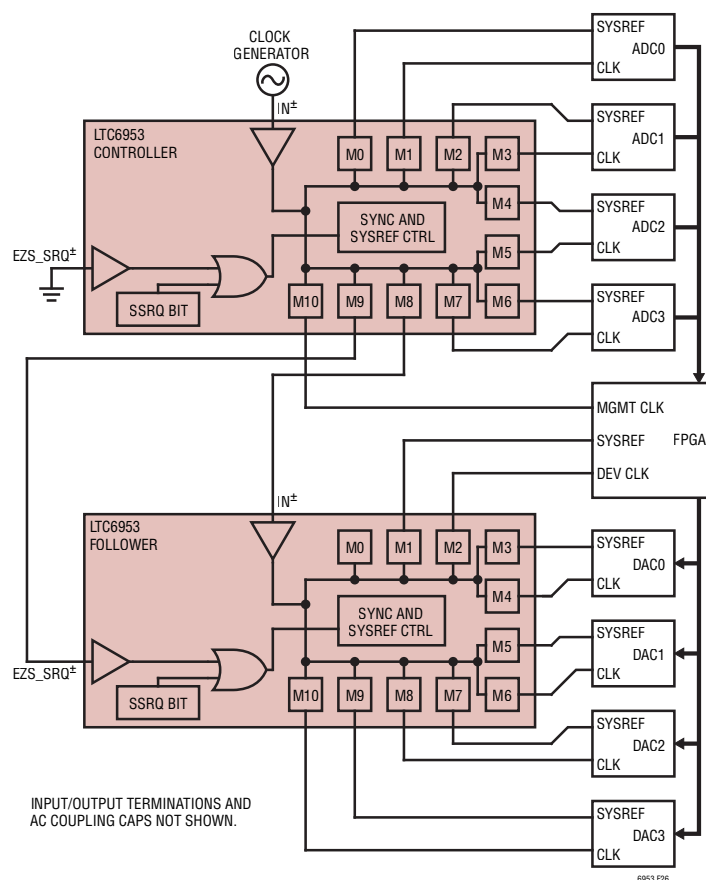


図 26. JESD204B/C EZSync マルチチップ設計例のブロック図

アプリケーション情報

CONTROLLERのOUT9は、FOLLOWERのEZS_SRQ[±]ピンを駆動しているため、SYNC/SRQパススルー出力です。また、CONTROLLERのクロック出力は最もジッタが小さいクロックであるため、ADCの駆動に使用されていることに注意してください。

入力の仮定

この例では、CONTROLLER LTC6953 への入力 は周波数 4000MHz の外部クロック発生器によって制御されているものと仮定します。

$f_{IN} = 4000\text{MHz}$

設計手順

このようなクロック分配ソリューションの設計と有効化は、次の手順から成り立ちます。

1. CONTROLLERとFOLLOWERの全ての出力モードを決定する。
2. 全てのM分周器の値を決定する。
3. 全てのデジタル遅延の値を決定する。
4. 正しい分周器の値、出力遅延、その他の設定を使用してデバイスをプログラムする。
5. 出力を同期する。
6. 次のSYSREF要求まで、SYSREF出力を低消費電力モードにする(省略可能、動作のセクションを参照)。
7. デバイスをSYSREF要求モードにし、必要なときにSYSREF要求を送信する。
8. デバイスをSYNCモード(SRQMD=0)に戻し、SYSREF出力を低消費電力モードにして電力を節約する(省略可能)。

同期は必ずSYSREF要求の前に実行しなければならないことに注意してください。同期を再実行するのは、分周器設定が変更されたとき、もしくは分周器がパワーダウンされたときのみです。

出力モードの決定

全ての出力は表5と表6に記載された各出力の個別のMODExビットを使用して、クロック(MODEx = 0)、SYSREF(MODEx = 1または3)、またはSYNC/SRQパススルー出力(MODEx = 2)としてプログラムできます。出力に対応するSRQENxビットに0をセットすることにより、その出力がSYNCおよびSYSREF要求を無視するようプログラムすることもできます。この設計例ではパルスSYSREF(MODEx = 3)が必要なため、FPGA管理クロックは常に自走(CONTROLLER SRQEN10 = 0)でなければならないことに注意してください。表16にそれぞれの出力モード設定をまとめます。

表 16. EZSync マルチチップ設計例の出力モード設定

IC	出力	目的	SRQENx	MODEx	PDx
CONTROLLER	OUT0	ADC0 SYSREF	1	3	0
	OUT1	ADC0 CLK	1	0	0
	OUT2	ADC1 SYSREF	1	3	0
	OUT3	ADC1 CLK	1	0	0
	OUT4	ADC2 SYSREF	1	3	0
	OUT5	ADC2 CLK	1	0	0
	OUT6	ADC3 SYSREF	1	3	0
	OUT7	ADC3 CLK	1	0	0
	OUT8	To FOLLOWER IN [±]	1	0	0
	OUT9	FOLLOWER EZS_SRQ	1	2	0
FOLLOWER	OUT0	Unused	0	0	3
	OUT1	FPGA SYSREF	1	3	0
	OUT2	FPGA DEV CLK	1	0	0
	OUT3	DAC0 SYSREF	1	3	0
	OUT4	DAC0 CLK	1	0	0
	OUT5	DAC1 SYSREF	1	3	0
	OUT6	DAC1 CLK	1	0	0
	OUT7	DAC2 SYSREF	1	3	0
	OUT8	DAC2 CLK	1	0	0
	OUT9	DAC3 SYSREF	1	3	0
	OUT10	DAC3 CLK	1	0	0

アプリケーション情報

出力分周器の値の決定

出力の目標周波数が決定したら、出力分周器の値を計算できます。ADC、DAC、FPGAのクロック周波数は既知です。あと、記述が必要なのは、FOLLOWERをドライブする2つのCONTROLLER出力になります。CONTROLLERのOUT8はFOLLOWERの入力を制御するため、その周波数はFOLLOWERの最大周波数以上にする必要があります。このため、以下のようになります。

$$f_{\text{CONT-OUT8}} = 4000\text{MHz}$$

更に、JESD204B/Cアプリケーションでソフトウェア制御のEZSync構成を使用する場合、FOLLOWERのEVS_SRQ入力を制御するCONTROLLER出力は、SYSREF周波数(複数のSYSREF周期が使用されている場合、最も低いSYSREF周波数)と等しくする必要があります。

$$f_{\text{CONT-OUT9}} = 12.5\text{MHz}$$

これで、全ての周波数が既知になったので、式4を使って出力分周器の値を求めます。その結果を表17に示します。

表 17. EZSync マルチチップ設計例の出力分周設定

IC	出力	目的	周波数 (MHz)	分周値 (Mx)
CONTROLLER	OUT0	ADC0 SYSREF	12.5	320
	OUT1	ADC0 CLK	500	8
	OUT2	ADC1 SYSREF	12.5	320
	OUT3	ADC1 CLK	500	8
	OUT4	ADC2 SYSREF	12.5	320
	OUT5	ADC2 CLK	500	8
	OUT6	ADC3 SYSREF	12.5	320
	OUT7	ADC3 CLK	500	8
	OUT8	To FOLLOWER IN [±]	4000	1
	OUT9	FOLLOWER EVS_SRQ	12.5	320
FOLLOWER	OUT10	FPGA MGMT CLK	100	40
	OUT0	Unused	N/A	N/A
	OUT1	FPGA SYSREF	12.5	320
	OUT2	FPGA DEV CLK	125	32
	OUT3	DAC0 SYSREF	12.5	320
	OUT4	DAC0 CLK	4000	1
	OUT5	DAC1 SYSREF	12.5	320
	OUT6	DAC1 CLK	4000	1
	OUT7	DAC2 SYSREF	12.5	320
	OUT8	DAC2 CLK	4000	1
	OUT9	DAC3 SYSREF	12.5	320
	OUT10	DAC3 CLK	4000	1

出力デジタル遅延値の決定

出力デジタル遅延は、出力間の位相関係を制御するために使用されます。遅延の最小ステップは入力信号の周期の1/2です。この設計例では、デジタル遅延を使用して、各デバイスのSYSREF信号のエッジを、そのデバイスのセットアップ時間(t_s)およびホールド時間(t_H)条件に最適化された対応するデバイス・クロックに対して既知の位相関係に置きます。各デバイスの最適なSYSREFエッジ位置は、目標とするSYSREFの有効立上がりクロック・エッジの直前の立下がりクロック・エッジで発生するものと仮定します。図23の例を参照してください。

EZSyncマルチチップ同期では、FOLLOWERの入力を制御するCONTROLLER出力(フォロー-ドライバ)は、FOLLOWER出力が開始する前に7個のパルスを出力する必要があります。これは、FOLLOWERの出力に合わせる必要のある全てのCONTROLLER出力(フォロー同期)を7個のパルスと同じ時間だけ遅延させる必要がある、つまり、これらの各フォロー同期出力に遅延オフセット(DDEL_{FS-OS})を設ける必要がある、ということを示しています。

$$DDEL_{FS-OS} = 14 \cdot M_{FD} + DDEL_{FD} \quad (8)$$

ここで、 M_{FD} はフォロー-ドライバの分周器の値、 $DDEL_{FD}$ はフォロー-ドライバのデジタル遅延の値です。ほとんどのアプリケーションで、 $DDEL_{FD}$ は0にセットされます。

この設計例の各出力の遅延値を計算するため、次の手順を使用します。

1. 全てのJESD204B/Cデバイス・クロックを、最も遅いJESD204B/Cデバイス・クロックの周期の半分だけ遅延させます。1コードのデジタル遅延は入力クロック・サイクルの半分に等しいため、この遅延設定は最も遅いデバイス・クロックの分周値と同じです。非JESD204B/Cクロック(FPGA管理クロックなど)は、この計算には含まれません。この遅延値は、目標とするSYSREF有効クロック・エッジを定義します。この例では、最も遅いJESD204B/CクロックはFPGAデバイス・クロックです。

$$DDEL_{SYSvalid} = M_{FPGACLK} = 32$$

$$DDEL_{ADC-CLK'} = DDEL_{SYSvalid} = 32$$

$$DDEL_{DAC-CLK'} = DDEL_{SYSvalid} = 32$$

$$DDEL_{FPGA-CLK'} = DDEL_{SYSvalid} = 32$$

アプリケーション情報

2. デバイス・クロック／SYSREFの各ペアについて、 $DDEL_{SYSvalid}$ からデバイス・クロック周期の1/2を減算し、SYSREF遅延を求めます。これは以下のように、デバイス・クロックの対応する分周値を減算しているのと同じです。

$$DDEL_{ADC-SYS'} = DDEL_{SYSvalid} - M_{ADC-CLK}$$

$$DDEL_{ADC-SYS'} = 32 - 8 = 24$$

$$DDEL_{DAC-SYS'} = DDEL_{SYSvalid} - M_{DAC-CLK}$$

$$DDEL_{DAC-SYS'} = 32 - 1 = 31$$

$$DDEL_{FPGA-SYS'} = DDEL_{SYSvalid} - M_{FPGA-CLK}$$

$$DDEL_{FPGA-SYS'} = 32 - 32 = 0$$

3. CONTROLLERとFOLLOWERの出力を調整します。FOLLOWERと同期する全てのCONTROLLER出力は、そのDDEL値に式8で求めた遅延オフセットを加える必要があります。FOLLOWER出力には、調整は必要ありません。この例では、ADC CLKとSYSREFは、CONTROLLERから次のように得られます。

$$DDEL_{ADC-CLK} = DDEL_{ADC-CLK'} + DDEL_{FS-OS}$$

$$DDEL_{ADC-CLK} = 32 + 14 = 46$$

$$DDEL_{ADC-SYS} = DDEL_{ADC-SYS'} + DDEL_{FS-OS}$$

$$DDEL_{ADC-SYS} = 24 + 14 = 38$$

$$DDEL_{DAC-CLK} = DDEL_{DAC-CLK'} + 0 = 32$$

$$DDEL_{DAC-SYS} = DDEL_{DAC-SYS'} + 0 = 31$$

$$DDEL_{FPGA-CLK} = DDEL_{FPGA-CLK'} + 0 = 32$$

$$DDEL_{FPGA-SYS} = DDEL_{FPGA-SYS'} + 0 = 0$$

CONTROLLER OUT9はSYNC/SRQパルスをパススルーするだけです。エッジがシステム全体で最も新しく発生したSYSREFと同時に発生するように、そのデジタル遅延を設定する必要があります。これによって、将来のSYSREF要求が適切に調整されます。CONTROLLERデバイス上にあるため、式8で得られた遅延オフセットも追加する必要があることに注意してください。最も新しく発生したSYSREFは、DAC SYSREFです。そのため、次のようになります。

$$DDEL_{OUT9} = DDEL_{DAC-SYS} + DDEL_{FS-OS}$$

$$DDEL_{OUT9} = 31 + 14 = 45$$

この例では、フォロワ-ドライバのデジタル遅延は0にセットされます。

$$DDEL_{FD} = DDEL_{OUT8} = 0$$

表18に、全ての出力のDDEL設定をまとめます。

表18. EZSync マルチチップ設計例の出力DDELx設定

IC	出力	目的	DDELx
CONTROLLER	OUT0	ADC0 SYSREF	38
	OUT1	ADC0 CLK	46
	OUT2	ADC1 SYSREF	38
	OUT3	ADC1 CLK	46
	OUT4	ADC2 SYSREF	38
	OUT5	ADC2 CLK	46
	OUT6	ADC3 SYSREF	38
	OUT7	ADC3 CLK	46
	OUT8	FOLLOWER Input	0
	OUT9	FOLLOWER EZS_SRQ	45
FOLLOWER	OUT10	FPGA MGMT CLK	0
	OUT0	Unused	N/A
	OUT1	FPGA SYSREF	0
	OUT2	FPGA DEV CLK	32
	OUT3	DAC0 SYSREF	31
	OUT4	DAC0 CLK	32
	OUT5	DAC1 SYSREF	31
	OUT6	DAC1 CLK	32
	OUT7	DAC2 SYSREF	31
	OUT8	DAC2 CLK	32
	OUT9	DAC3 SYSREF	31
	OUT10	DAC3 CLK	32

以上で、出力分周器と遅延が決定され、デバイスをプログラムできるようにしました。

状態レジスタのプログラミング

この例では、LTC6953が障害状態が発生すると、そのたびにSTATピンを使用してシステムにアラートを出します。CONTROLLERとFOLLOWERについて、 $x[3] = 1$ をプログラムして、 $\overline{VCOOK}$ フラグがアサートされたら、必ずSTATピンが強制的にハイになるようにします。

CONTROLLER Reg01 = h08

FOLLOWER Reg01 = h08

パワーおよびFILTレジスタのプログラミング

CONTROLLERとFOLLOWERが正しく動作するには、内部ブロックを全てイネーブルする必要があります。また、入力信号は十分なスルー・レートとパワーを持つため、FILT_Vビットは必要ありません。

CONTROLLER Reg02 = h00

FOLLOWER Reg02 = h00

アプリケーション情報

出力パワーダウンのプログラミング

最初のセットアップと同期の間、使用される全ての出力をフル・パワーに設定する必要があります。これらのビットは後で、SYSREF要求を待ち受けながらデバイスを低消費電力モードにするために使用できます。

CONTROLLER Reg03 = h00

CONTROLLER Reg04 = h00

CONTROLLER Reg05 = h00

FOLLOWER Reg03 = h03

FOLLOWER Reg04 = h00

FOLLOWER Reg05 = h00

SYNCおよびSYSREFのグローバル・モードのプログラミング

EZMDビットは、デバイスがEZSyncスタンドアロン／CONTROLLER (0)であるか、FOLLOWER (1)であるかを制御します。SRQMDビットは、デバイスが同期モード(0)であるか、SYSREF要求モード(1)であるかを決定します。SYSCTは、パルスSYSREFモードの出力のパルス数をプログラムします(パルス数 = 2^{SYSCT} のため、この例で4個のパルスを実現するにはSYSCT = 2にします)。この情報を使用して、CONTROLLERとFOLLOWERのレジスタh0Bをプログラムできます。

CONTROLLER Reg0B = h04

FOLLOWER Reg0B = h14

ここではSSRQビットは「0」のままですが、後で、同期およびSYSREF要求の手順で使用する予定です。

出力分周器、遅延および機能のプログラミング

出力ごとに4つのレジスタを使用すると、出力を互いに独立して構成できます。最初のレジスタは、式1に示すように、2つの制御ワード、MPxおよびMDxを通して出力分周比を制御します。2番目のレジスタには、制御モードとデジタル遅延制御ワードの最上位ビットが含まれます。3番目のレジスタには、デジタル遅延制御ワードの残りが含まれます。4番目のレジスタには、アナログ遅延制御が含まれます。

アナログ遅延のビットと出力反転(OINVx)ビットの両方をPCBレイアウトの問題を修正するために使用できます。それぞれ、例えば、パターン長のミスマッチや、差動信号のクロスオーバーなどの問題に役立ちます。**クロック信号にアナログ遅延を使用すると、ジッタ性能が低下するので注意してください。**この例では、PCBが理想的な方法でレイアウトされており、出力反転もアナログ遅延も必要ないものと仮定します。この情報により、CONTROLLERとFOLLOWERの全てのレジスタh0C～h37を表19と表20に示す値にプログラムできます。これらの値は、表24、表25(および式1)、表26の情報を使用して計算されたものです。

表19. EZSync マルチチップ設計例のCONTROLLERの出力レジスタ設定

ADDR	値	ADDR	値	ADDR	値
h0C	h9C	h1C	h9C	h2C	h00
h0D	hE0	h1D	hE0	h2D	h80
h0E	h26	h1E	h26	h2E	h00
h0F	h00	h1F	h00	h2F	h00
h10	h38	h20	h38	h30	h9C
h11	h80	h21	h80	h31	hC0
h12	h2E	h22	h2E	h32	h2D
h13	h00	h23	h00	h33	h00
h14	h9C	h24	h9C	h34	h99
h15	hE0	h25	hE0	h35	h00
h16	h26	h26	h26	h36	h00
h17	h00	h27	h00	h37	h00
h18	h38	h28	h38		
h19	h80	h29	h80		
h1A	h2E	h2A	h2E		
h1B	h00	h2B	h00		

アプリケーション情報

表 20. EZSync マルチチップ設計例の FOLLOWER の出力レジスタ設定

ADDR	値	ADDR	値	ADDR	値
h0C	h00	h1C	h00	h2C	h00
h0D	h00	h1D	h80	h2D	h80
h0E	h00	h1E	h20	h2E	h20
h0F	h00	h1F	h00	h2F	h00
h10	h9C	h20	h9C	h30	h9C
h11	hE0	h21	hE0	h31	hE0
h12	h00	h22	h1F	h32	h1F
h13	h00	h23	h00	h33	h00
h14	hF8	h24	h00	h34	h00
h15	h80	h25	h80	h35	h80
h16	h20	h26	h20	h36	h20
h17	h00	h27	h00	h37	h00
h18	h9C	h28	h9C		
h19	hE0	h29	hE0		
h1A	h1F	h2A	h1F		
h1B	h00	h2B	h00		

同期

この例の出力は現在、目的の周波数で動作していますが、互いの位相関係はランダムです。同期により、既知の再現可能な位相で動作するよう出力を強制できます。この例のような同期は、CONTROLLERのEZS_SRQ[±]ピンをドライブして外部的に、もしくはCONTROLLERのReg0BのSSRQビットを使用して内部的に実現できます。デバイスは設定されたばかりのため、SSRQビットに1をセットし、EZS_SRQ[±]ピンをローにホールドします。

CONTROLLER Reg0B = h05

最低 1ms 待機した後、SSRQ に 0 をセットします。

CONTROLLER Reg0B = h04

内部の同期プロセスが完了すると、出力は図 27 に示すように整列されます。同期後の位相整列を明示するため、実際の出力だけでなく、ミュートされたSYSREF出力の内部分周器の動作も表示されていることに注意してください。また、全てのFOLLOWER出力に、電気的特性に記載されたFOLLOWERのt_{PD}に等しい、CONTROLLER出力からの遅延が加わっていることにも注意してください。

デバイスを低消費電力モードにする

必要に応じて、両デバイスはSYSREF要求の待機を続けながら低消費電力モードにすることができます。これは、全てのSYSREFが定義された出力にPD_x = 2をセットすることで実現できます。これにより、出力ドライバ回路がパワーダウンされますが、内部分周器はクロックとの正しい位相関係を保ったまま実行を続けます。

SYSREF 要求の実行

SYSREFパルスを生成するには、SRQMDに1を書き込み、全てのSYSREF出力PD_xビットに0を書き込んでデバイスを低消費電力モード(使用されている場合)から抜け出させます。50μsの間、回路がパワーアップするのを待ちます。CONTROLLERのReg0BのSSRQビットに1を書き込むことによって、SYSREF要求を送信します。

CONTROLLER Reg0B = h05

最低 1ms 待機した後、Reg0B に再び書き込みます。

CONTROLLER Reg0B = h04

必要に応じてデバイスを低消費電力モードに戻すには、SRQMDに0を書き込み、全てのSYSREF定義の出力にPD_x = 2をセットします。図 28 に示すように、SYSREF要求の立上がりエッジの後、SYSREF出力は4回パルスを発生してから、「0」のステートに戻ります。FOLLOWER SYSREFパルスは、CONTROLLERのパルスと完全に同時に開始または停止しないことがあることに注意してください。SYSREFエッジは正しく整列しているため、これは問題ではありません。

アプリケーション情報

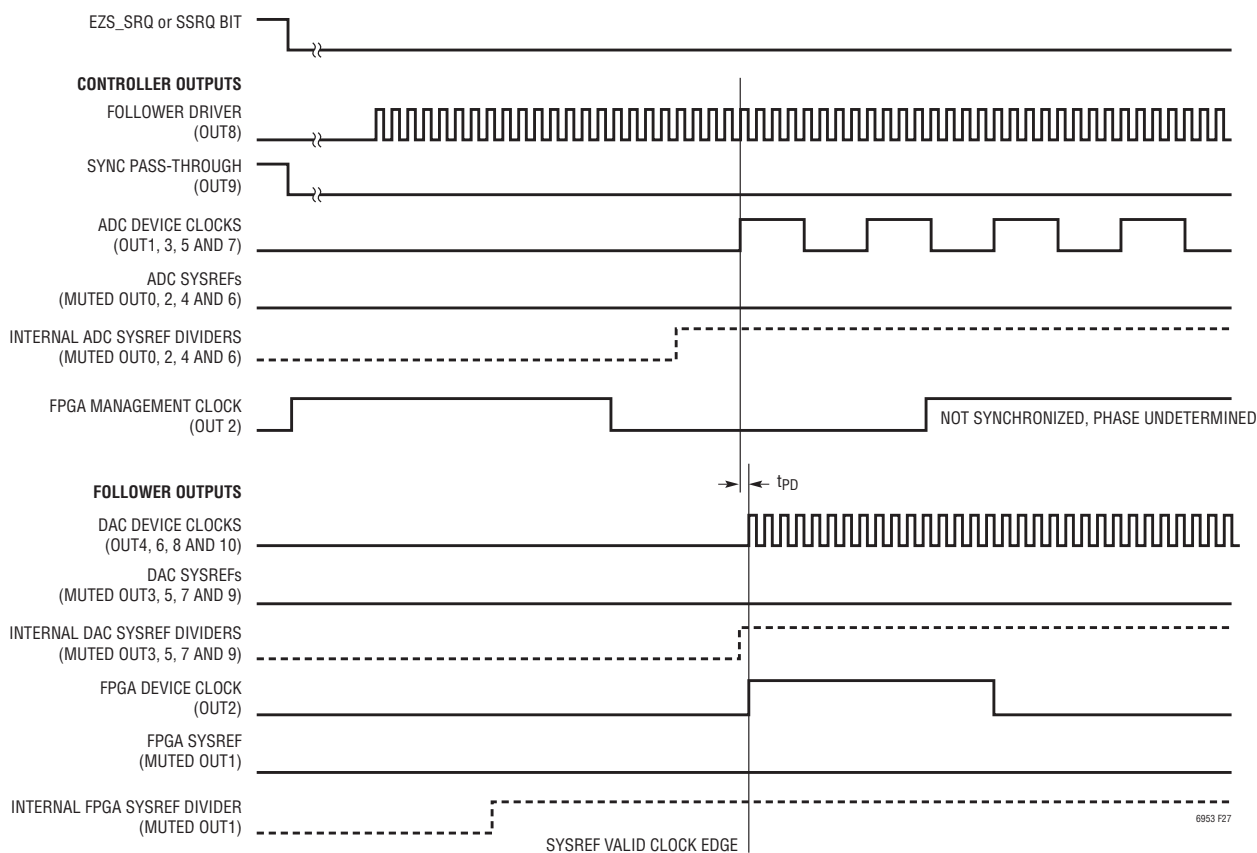


図 27. EZSync マルチチップ設計例の同期後の出力 (SRQMD = 0)

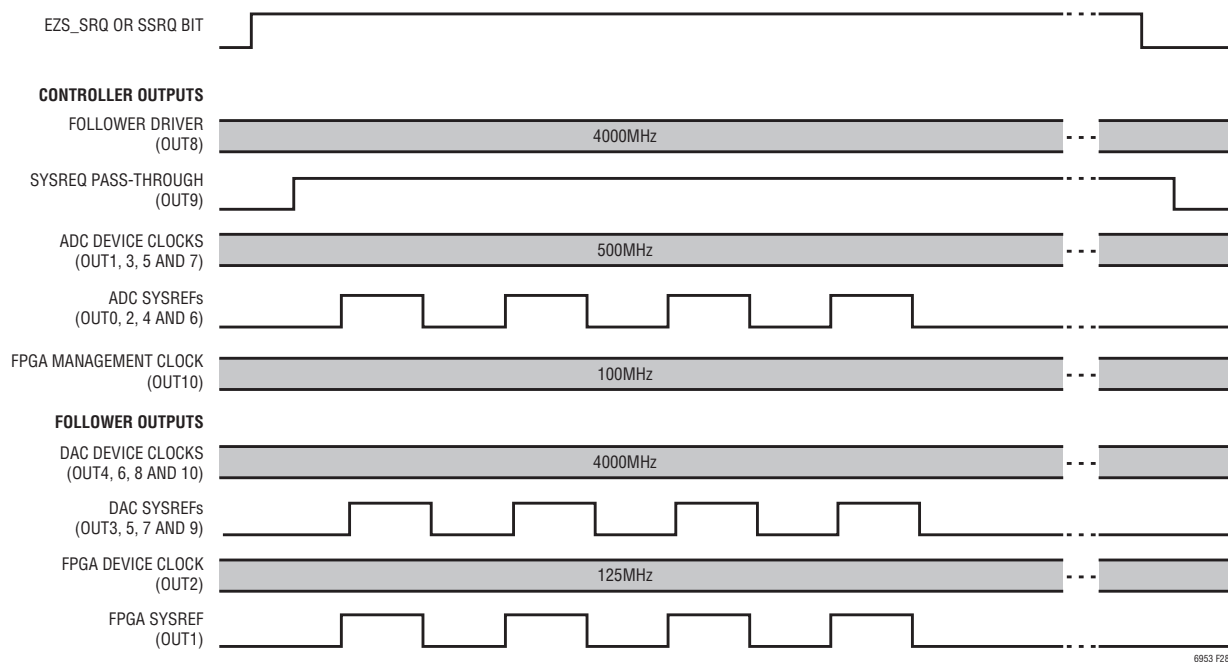


図 28. EZSync マルチチップ設計例の SYSREF 要求後の出力 (SRQMD = 1)

アプリケーション情報

ParallelSyncを使用した JESD204B/C 設計例

この設計例は、8つのJESD204B/C A/Dコンバータ(ADC)と1つのJESD204B/C 互換FPGAのシステムで構成されます。全てのADCとFPGAにJESD204B/Cサブクラス1のデバイス・クロックおよびSYSREFが要求され、FPGAにはもう1つ追加の管理クロックが要求されます。更に、ADCには、全RMSジッタが100fs未満の低ノイズのクロックが要求されます。これにより、以下に示す周波数を持つ、合計19個の別個の信号を生成することになります。この例では、全てのデバイスのSYSREF周波数が同じで、SYSREF要求立上がりエッジで4つのパルスを出力するものとします。

$$f_{\text{ADC-CLK}} = 294.912\text{MHz}$$

$$f_{\text{FPGA-CLK}} = 147.456\text{MHz}$$

$$f_{\text{FPGA-MGMT}} = 98.304\text{MHz}$$

$$f_{\text{SYSREF}} = 9.216\text{MHz}$$

使用するマルチチップ構成を決めるため、図10のフローチャートを活用します。この例には、合計9個のJESD204B/Cデバイス・クロック／SYSREFペアが存在し、うち8つは合計ジッタが100fs未満である必要があります。また、FPGA用に低ノイズでない追加のスタンドアロン・クロックも必要です。このため、以下のようになります。

$$\text{TP} = 9$$

$$\text{LNP} = 8$$

$$\text{TS} = 1$$

$$\text{LNS} = 0$$

これらの入力に基づいて、図10では、1つのLTC6953をリファレンス分配チップ(REF LTC6953)として使用し、並列に接続した2つのLTC6952でクロックを生成する(LTC6952 #1およびLTC6952 #2)、図9に示すLTC6953リファレンス分配トポロジのParallelSyncマルチチップ・プロトコルの使用が提案されます。図29に、システム全体のブロック図を示します。REF LTC6953のOUT0がLTC6952 #1のREF⁺入力を制御し、OUT1がLTC6952 #1のEZS_SRQ⁺ピンを制御していることに注意してください。同様に、REF LTC6953のOUT2がLTC6952 #2のREF⁺を駆動し、OUT3がLTC6952 #2のEZS_SRQ⁺ピンを駆動しています。この構成の全ての出力は、低いRMSジッタ(ADC SNR法で約75fs)を持ちます。

参考のためにParallelSync設計例を記載しますが、この例の設計作業の大部分がLTC6952に関係します。本例のデバイスをプログラムする方法については、LTC6952データシートを参照してください。

電源バイパスおよびPCBレイアウトに関するガイドライン

PCBをレイアウトするときは、電源デカップリングとグラウンドのインダクタンスを最小に抑えるよう注意が必要です。ピン機能のセクションで説明されているように0.01μFまたは0.1μFのセラミック・コンデンサをできるだけピンの近くに配置して、電源の全てのV⁺ピンをグラウンド・プレーンに直接バイパスします。電源デカップリング・コンデンサを含む全てのグラウンド接続に、グラウンド・プレーンへの複数のビアを使います。

パッケージの露出パッドはグラウンド接続なので、PCBのランドに直接ハンダ付けする必要があります。PCBのランド・パターンには、グラウンドのインダクタンスと熱抵抗の両方を減らすために、グラウンド・プレーンへの複数のサーマル・ビアを配置します(図30の例を参照)。電気的性能と熱性能のための接地の例については、DC2610のレイアウトを参照してください。

アプリケーション情報

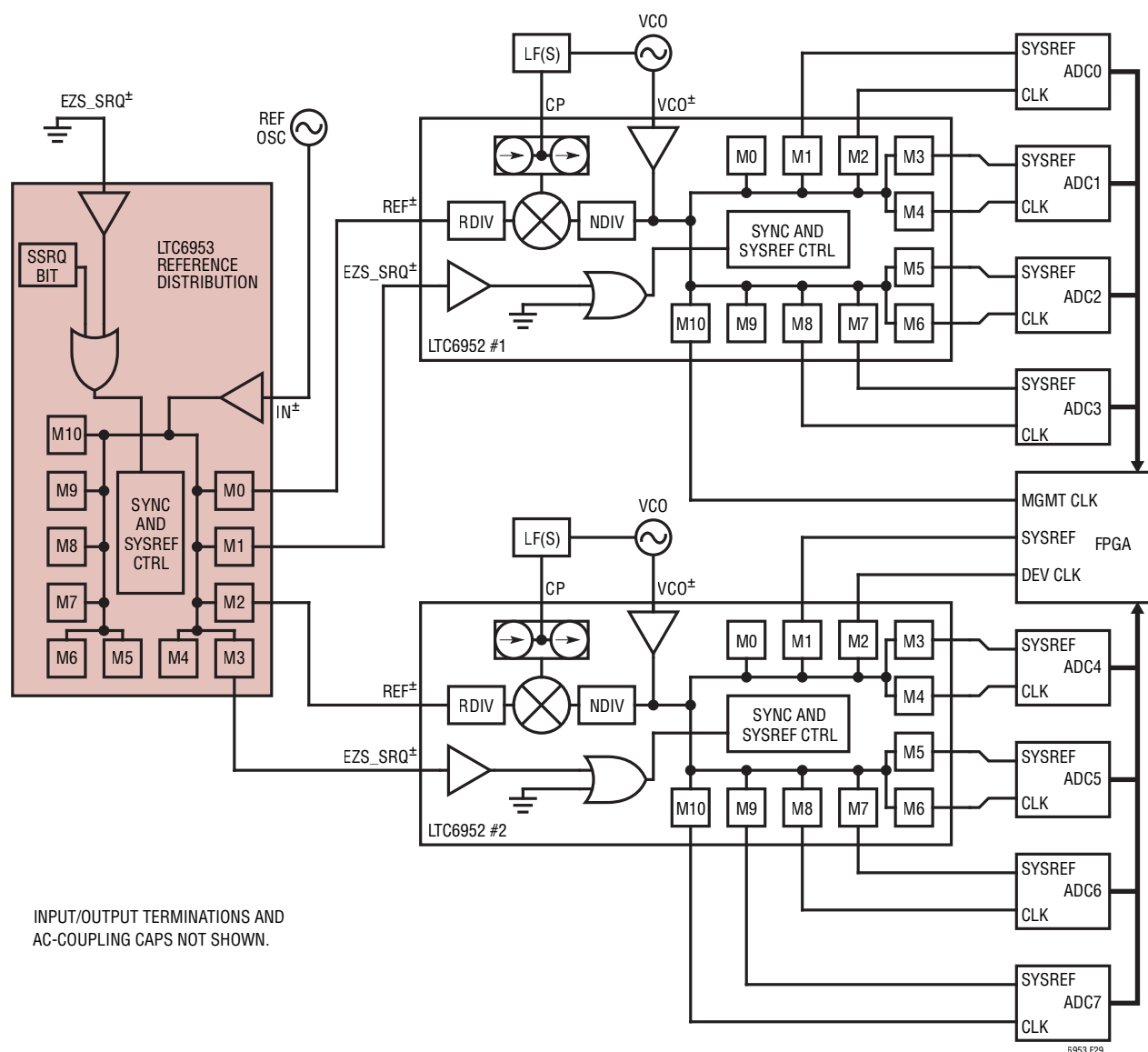


図 29. LTC6953 リファレンス分配設計例の JESD204B/C ParallelSync のブロック図

アプリケーション情報

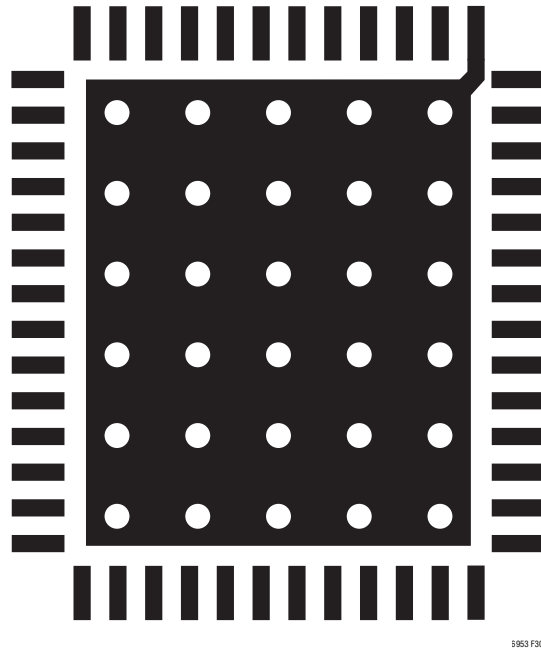


図 30. PCB のトップ・メタル層のピンおよび露出グラウンド・パッドの設計。
ピン 41 は信号グラウンドであり、露出パッドのメタルに直接接続

ADC のクロック制御とジッタの条件

きれいな信号にノイズを直接加えると、その信号対ノイズ比 (S/N 比) は明らかに低下します。データ・アキュイジション・アプリケーションでは、ノイズの多いクロック信号できれいな信号をデジタル化することでも S/N 比が低下します。この問題は、位相ノイズの代わりにジッタを使用して時間領域で説明するのが最善です。この説明では、ジッタがホワイト・ノイズ (周波数に対して強度が平坦) であり、ガウス分布に従うと仮定します。

ADC、入力信号アンプ、およびサンプリング・クロックから成る標準的なデータ・アキュイジション回路に入力されるサイン波信号を図 31 に示します。また、サイン波をゼロ交差でサンプリングするための 3 つの信号サンプリング状況も示しています。

最初の状況では、完全なサイン波入力をノイズのないアンプでバッファして ADC を駆動します。サンプリングは完全なゼロ・ジッタ・クロックによって実行されます。付加ノイズまたはサンプル・クロックのジッタがない場合、ADC のデジタル化した出力値は非常に明確に決まり、サイクル単位で完全に再現可能です。

2 番目の状況では、完全なサイン波入力をノイズの多いアンプでバッファして ADC を駆動します。サンプリングは完全なゼロ・ジッタ・クロックによって実行されます。付加ノイズはデジタル化した値の不確実性の原因となるので、S/N 比を低下させる誤差項が生じます。この状況では、信号にノイズを加えることで S/N 比の低下が予想されます。

3 番目の状況では、完全なサイン波入力をノイズのないアンプでバッファして ADC を駆動します。サンプリングは付加ジッタのあるクロック信号によって実行されます。信号はスルーイングしているので、前の状況の場合と同様、クロック信号のジッタはデジタル化した値および誤差項での不確実性につながることに注意してください。この場合も、この誤差項は S/N 比を低下させます。

実際のシステムには、付加的なアンプ・ノイズとサンプル・クロック・ジッタの両方があります。いったん信号がデジタル化されると、S/N 比低下の根本原因 (アンプ・ノイズかサンプル・クロック・ジッタか) を突き止めるのは、実質的に不可能です。

アプリケーション情報

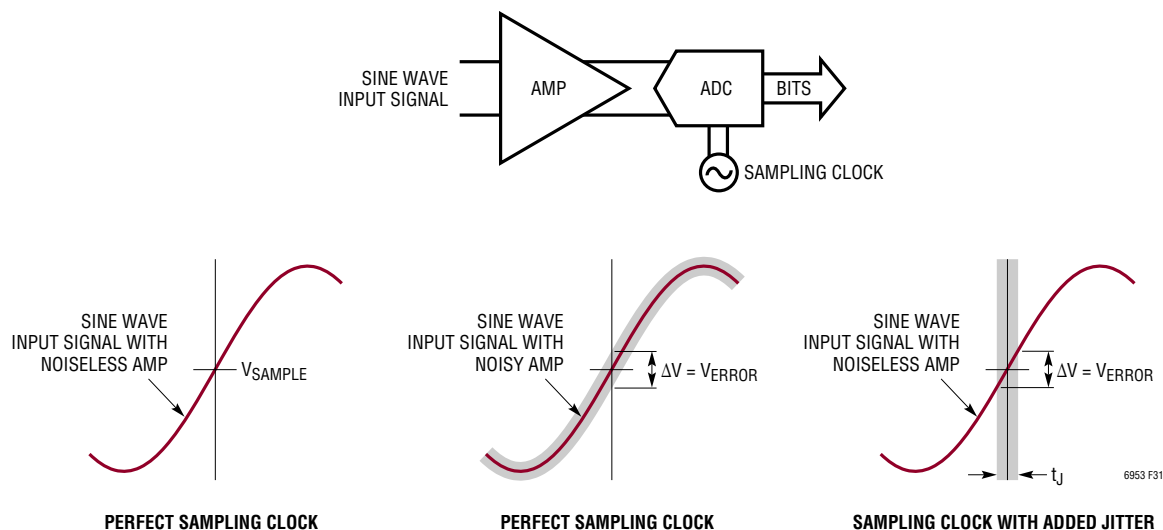


図31. ノイズの多いアンプとジッタのあるサンプル・クロックのサンプリング誤差の影響を示す標準的なデータ・アキュイジション回路

サンプル・クロック・ジッタによってS/N比が低下するのは、アナログ入力信号がスルーイングしている場合だけです。アナログ入力信号が安定している場合(DCの場合)、サンプリングがいつ行われるかは問題になりません。更に、高速のスルーイング入力信号は低速のスルーイング入力信号より誤差が大きく(ノイズが多く)なります。

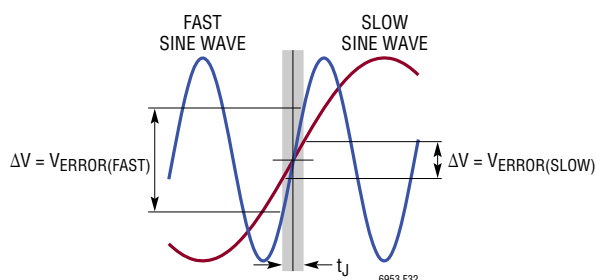


図32. ジッタのあるクロックを使ってサンプリングした高速および低速のサイン波信号

この影響を図32に示します。高速のスルーイング信号の誤差項が低速のスルーイング信号の場合よりどの程度大きいか注意してください。データ・コンバータのS/N比性能を維持するため、周波数が高い入力信号のデジタル化では、周波数の低い入力信号を使用するアプリケーションよりかなりジッタが少ないクロックが必要です。

アナログ入力信号の周波数がサンプル・クロックのジッタ条件を決定することに注意が必要です。**実際のサンプル・クロック周波数は問題になりません。**高周波数信号をアン

ダーサンプリングする多くのADCアプリケーションには、特に困難なサンプル・クロック・ジッタ条件があります。

以上の説明は、サンプル・クロック・ジッタによるS/N比低下について、直感的に感覚を掴むのに役立ちました。

定量的に捉えるならば、特定のアプリケーションにおける実際のサンプル・クロック・ジッタ条件は以下のように計算されます。

$$t_{J(TOTAL)} = \frac{10}{2 \cdot \pi \cdot f_{SIG}} \frac{-SNR_{dB}}{20} \quad (9)$$

ここで、 f_{SIG} はデジタル化する信号の最高周波数(Hz)、 SNR_{dB} はS/N比条件(dB)、 $t_{J(TOTAL)}$ は全RMSジッタ(秒)です。全ジッタは、ADCのアパーチャ・ジッタとサンプル・クロック・ジッタのRMS値の合計であり、次式で計算されます。

$$t_{J(TOTAL)} = \sqrt{t_{J(CLK)}^2 + t_{J(ADC)}^2} \quad (10)$$

あるいは、所定の全ジッタについて、達成可能なS/N比は次のように計算されます。

$$SNR_{dB} = -20 \log_{10}(2 \cdot \pi \cdot f_{SIG} \cdot t_{J(TOTAL)}) \quad (11)$$

これらの計算では、フルスケールのサイン波入力信号を仮定しています。入力信号が中程度のクレスト・ファクタを持つ複雑な変調信号である場合、その信号のピーク・スルー・レートは低くなり、サンプル・クロック・ジッタ条件が緩和される場合があります。

アプリケーション情報

これらの計算は、理論上の計算でもあります。これらの計算では、分解能が無限でノイズのないADCを仮定しています。現実の全てのADCには付加ノイズと分解能限界があります。ADCの制約を考慮して、サンプル・クロックを過剰に指定しないようにする必要があります。

図33は前出の式をプロットしたもので、与えられた入力信号のサンプル・クロック・ジッタ条件や、与えられたサンプル・クロック・ジッタに関する予想S/N比性能を手軽に推定するのに利用できます。

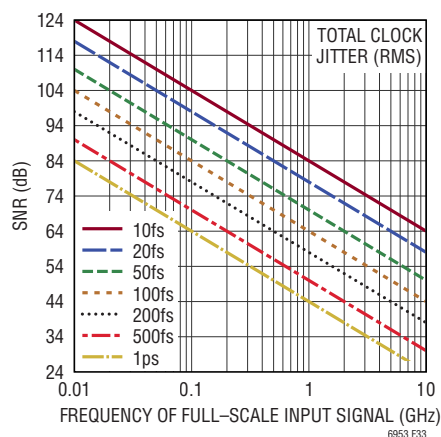


図33. S/N比と入力信号周波数とサンプル・クロック・ジッタ

ADCのS/N比を使用したクロック・ジッタの間接的測定

一部のアプリケーションでは、システム全体の性能に対するクロックの影響を計算するには、クロック・ジェネレータの位相ノイズを、定義されているオフセット周波数範囲(12kHz~20MHz)内に収めれば十分です。このような状況では、RMSジッタは位相ノイズの測定値から計算できます。

ただし、他のアプリケーションでは、現在の位相ノイズ・アナライザの性能を超える周波数オフセットでのクロックの位相ノイズに関する知識が必要になります。この制限により、位相ノイズの測定値からジッタを計算することが困難になります。

ADCクロックの信号源のRMSジッタは、ジッタが優位を占めるS/N比測定値とジッタ以外が優位を占めるS/N比測定値を比較することによって間接的に測定できます。ジッタが優位を占めるS/N比測定値(SNR_{jitter})は、低ジッタかつ高周波数のフルスケールのサイン波をADCのアナログ入力に印加することによって作成します。ジッタ以外が優位を占めるS/N比測定値(SNR_{base})は、超低振幅(または低周波数)の

サイン波をADCのアナログ入力に印加することによって作成します。全クロック・ジッタ($t_{J(TOTAL)}$)は、式12を使用して計算できます。

$$T_{J(TOTAL)} = \frac{10}{2\pi f_{IN}} \left[\frac{1}{2} \log_{10} \left[10^{-\left(\frac{SNR_{JITTER}}{10}\right)} - 10^{-\left(\frac{SNR_{BASE}}{10}\right)} \right] \right] \quad (12)$$

ADCの本来のアーチャ・ジッタ($t_{J(ADC)}$)が判明していると仮定すると、クロック・ジェネレータのジッタ($t_{J(CLK)}$)は式10を使用して得ることができます。

ADCのサンプル・クロック入力の駆動条件

最近の高速、高分解能ADCは、多くの点で実験室用機器の性能を凌ぐほどの性能をもつ途方もなく繊細な部品です。アナログ信号入力、電圧リファレンス、またはサンプル・クロック入力にノイズや干渉信号があると、デジタル化されたデータに簡単に現われます。ADCの性能を最大限発揮するには、サンプル・クロック入力をきれいな低ジッタ信号で駆動する必要があります。

標準的なADCのサンプル・クロック入力を簡略化したものを図34に示します。この場合、入力ピンには、符号化入力の場合、 $ENC^{\pm}$ というラベルが付けられます。一方で、一部のADCでは、クロック入力の場合、入力 $CLK^{\pm}$ というラベルが付けられます。この入力、差動リミット・アンプ段と、ADCのトラック&ホールド段を直接制御する後段のバッファで構成されています。

アンプにはそれ自体のノイズがあるので、高速のスルーイング入力信号は、サンプル・クロック入力アンプにとってもメリットがあります。クロスオーバー領域で急速にスルーイングすることにより、低速に遷移する場合よりも、アンプのノイズによって発生するジッタが少なくなります。

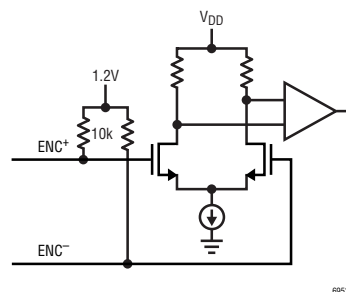


図34. サンプル・クロック入力の簡略回路図

アプリケーション情報

図34に示すように、ADCのサンプル・クロック入力とは通常、最善の性能を実現する差動サンプル・クロックを使用した差動入力です。また、図34は、LTC6953のCML出力とは異なる入力コモンモード電圧を持つサンプル・クロック入力も示しています。ほとんどのADCアプリケーションでは、2つのコモンモード電圧間での変換にはACカップリングが必要です。

伝送線路と終端

立上がりとし下がりが速い高速信号処理回路の相互接続では、終端を適切に整合した伝送線路を使用することが必要です。伝送線路はストリップライン、マイクロストリップライン、それ以外の設計形態のいずれも可能です。伝送線路設計の詳細な説明は、このデータシートの対象範囲に含まれません。伝送線路の特性インピーダンスと終端インピーダンスとの間に不整合があると、信号の一部が反射して戻り、伝送線路の反対側の端に向かいます。開放終端または短絡終端といった極端な場合では、全ての信号が反射して戻ります。この信号反射は、波形のオーバーシュートやリングングにつながります。伝送線路の遠端部を終端する方法として推奨される方法を図35に示します。

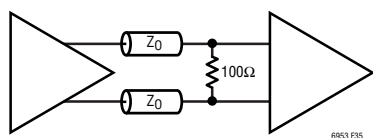


図35. 伝送線路の遠端部の終端 ($Z_0 = 50\Omega$)

LTC6953を使用したデバイス・クロック入力の駆動

LTC6953のCML出力は、標準のCMLまたはLVPECLデバイスとのインターフェースになると共に、遠端部を終端した伝送線路を駆動する目的で設計されています。CML出力のDCカップリング出力構成とACカップリング出力構成を図36に示します。レシーバー・デバイスの中には、 100Ω の終端抵抗をデバイスに内蔵しているものもあり、その場合は外付けの 100Ω 抵抗が不要になることに注意してください。

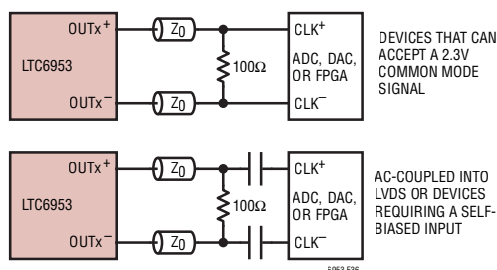


図36. デバイス・クロック入力へのOUTx CMLの接続 ($Z_0 = 50\Omega$)

LTC6953を使用したDCカップリングSYSREF入力の駆動

JESD204B/Cアプリケーションでは、理想的には図37に示すように、LTC6953からデータ・コンバータまたはFPGAに対してSYSREF信号をDCカップリングします。これは、 $2.3V$ のコモンモード入力信号を受け入れることができるレシーバー・デバイスで可能です。レシーバー・デバイスの中には、 100Ω の終端抵抗をデバイスに内蔵しているものもあり、その場合は外付けの 100Ω 抵抗が不要になることに注意してください。

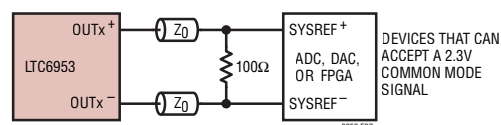


図37. OUTx CMLのSYSREF入力へのDCカップリング

あらゆるモードのDCカップリングされたSYSREFについて、正常なJESD204B/C SYSREF動作を実現するには、次の手順を使用します。

これらの手法では、SYSREF出力が既に同期されており、SYSREF出力ドライバが節電のためにディスエーブルされているものと仮定します ($PDx = 2$)。

DCカップリングされたSYSREF (MODEx = 0、1、または3)

1. $PDx = 0$ および $SRQMD = 1$ にセットして、LTC6953のSYSREF出力ドライバをイネーブルします。
2. レシーバー・デバイスをSYSREFを受け入れるように設定します。
3. $SSRQ$ または EZS_SRQ 入力に少なくとも $1ms$ の間、1をセットし、その後0に戻します。
4. SYSREFがレシーバー・デバイスによって受け入れられた後、SYSREFの受け入れを停止するようにデバイスを設定します。
5. $PDx = 2$ および $SRQMD = 0$ にセットして、LTC6953のSYSREF出力ドライバをディスエーブルします。

アプリケーション情報

LTC6953を使用したACカップリングされたSYSREF入力の制御(連続モードまたはゲートッド・モード)

2.3VのコモンモードCML信号を受け入れることができないコンバータも存在します。その場合、SYSREFはACカップリングしなければなりません。通常、ACカップリングは連続動作可能ではないため、SYSREFが要求されるまでのセトリング時間の条件が長くなり、SYSREFの使用方法が複雑になります。しかし、連続またはゲートッドSYSREFパルス(MODEx = 0または1)において図38に示す接続を使用することによって、SYSREFのACカップリングを実現できます。レシーバー・デバイスの中には、100Ωの終端抵抗をデバイスに内蔵しているものもあり、その場合は連続またはゲートッドSYSREFに外付けの100Ω抵抗が不要になることに注意してください。

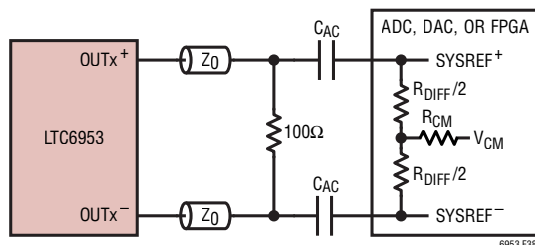


図38. OUTx CMLのSYSREF入力へのACカップリング
(連続またはゲートッド・モード動作)

連続またはゲートッドSYSREF接続のセトリング時間は、ACカップリング・コンデンサ(CAC)、レシーバー・デバイスの差動入力抵抗(RDIFF)とコモンモード入力抵抗(RCM)の両方によって、次のように決まります。

$$t_{\text{settleC}} \cong 10 \cdot \left(2R_{\text{CM}} + \frac{R_{\text{DIFF}}}{2} \right) \cdot C_{\text{AC}}$$

ACカップリングされた連続またはゲートッドSYSREFについて、正常なJESD204B/C SYSREF動作を実現するには、次の手順を使用します。

これらの手法では、SYSREF出力が既に同期されており、SYSREF出力ドライバが節電のためにディスエーブルされているものと仮定します(PDx = 2)。

連続またはゲートッドSYSREF(MODEx = 0または1)

1. PDx = 0およびSRQMD = 1にセットして、LTC6953のSYSREF出力ドライバをイネーブルします。
2. ゲートッドSYSREF(MODEx = 1)が使用されている場合、SSRQまたはEZS_SRQ入力に1をセットします。
3. 少なくともt_{settleC}のセトリング時間の間待機します。
4. レシーバー・デバイスをSYSREFを受け入れるように設定します。
5. SYSREFがレシーバー・デバイスによって受け入れられた後、SYSREFの受け入れを停止するようにデバイスを設定します。
6. ゲートッドSYSREF(MODEx = 1)が使用されている場合、SSRQまたはEZS_SRQ入力に0をセットします。
7. PDx = 2およびSRQMD = 0にセットして、LTC6953のSYSREF出力ドライバをディスエーブルします。

LTC6953を使用したACカップリングされたSYSREF入力の制御(パルス・モード)

パルスSYSREFアプリケーション(MODEx = 3)にACカップリングが必要な場合、図39に示す接続を使用できます。レシーバー・デバイスの中には、100Ωの終端抵抗をデバイスに内蔵しているものもあることに注意してください。その場合、ACカップリングされた、パルスSYSREFは推奨されません。

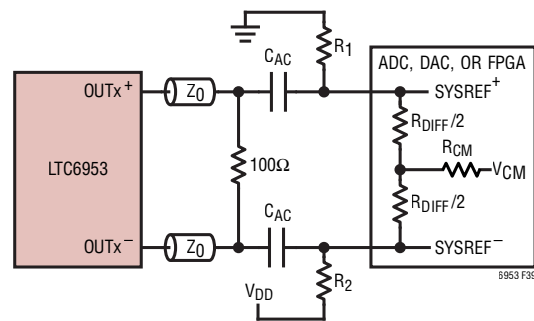


図39. OUTx CMLのSYSREF入力へのACカップリング
(パルス・モード動作)

アプリケーション情報

図39における R_1 と R_2 の目的は、SYSREF出力がアクティブではないときに、CMLロジック「0」に等価なオフセットをSYSREF入力に強制することです。これらの抵抗の値は、電源電圧(V_{DD})とレシーバー・デバイスの入力コモンモード電圧(V_{CM})と差動入力抵抗(R_{DIFF})によって決まります。式14を使って R_1 を計算し、式15を使って R_2 を計算します。

$$R_1 = R_{DIFF} \cdot \left[\frac{V_{CM}}{0.44 - 0.5} \right] \quad (14)$$

$$R_2 = R_{DIFF} \cdot \left[\frac{V_{DD} - V_{CM}}{0.44 - 0.5} \right] \quad (15)$$

100Ωの終端抵抗を内蔵しているレシーバー・デバイスでは、 R_1 と R_2 の値は非常に小さいことがあります。それが全体の終端インピーダンスに悪影響を与え、望ましくないインピーダンス不整合につながる可能性があります。そのため、100Ωの終端抵抗を内蔵しているレシーバー・デバイスにACカップリングしたパルスSYSREF (MODEx = 3)の使用は推奨されません。

パルスSYSREF接続(図39)のセトリング時間は、ACカップリング・コンデンサ(C_{AC})、レシーバー・デバイスの差動入力抵抗(R_{DIFF})とコモンモード入力抵抗(R_{CM})の両方、および抵抗 R_1 と R_2 によって「概算」できます。

$$t_{\text{settleP}} \approx 10 \cdot \left(\frac{R_{DEV} \cdot R_{OS}}{R_{DEV} + R_{OS}} \right) \cdot C_{AC} \quad (16)$$

ここで、

$$R_{DEV} = \frac{2R_{CM} + R_{DIFF}}{2} \quad (17)$$

$$R_{OS} = \text{MINIMUM}(R_1, R_2)$$

パルス・モードのSYSREFがACカップリングで正常に動作するには、 t_{settleP} を1000/ f_{SYSREF} より大きくする必要があります。ここで、 f_{SYSREF} はSYSREFパルスの周波数です。

ACカップリングされたパルスSYSREFについて、正常なJESD204B/C SYSREF動作を実現するには、次の手順を使用します。

これらの手法では、SYSREF出力が既に同期されており、SYSREF出力ドライバが節電のためにディスエーブルされているものと仮定します(PDx = 2)。

パルスSYSREF (MODEx = 3)

1. PDx = 0およびSRQMD = 1にセットして、LTC6953のSYSREF出力ドライバをイネーブルします。
2. 少なくとも t_{settleP} のセトリング時間の間待機します。
3. レシーバー・デバイスをSYSREFを受け入れるように設定します。
4. SSRQまたはEZS_SRQ入力に少なくとも1msの間、1をセットし、その後0に戻します。
5. レシーバー・デバイスをSYSREFの受け入れを停止するように設定します。
6. PDx = 2およびSRQMD = 0にセットして、LTC6953のSYSREF出力ドライバをディスエーブルします。

シングルエンドのテスト装置を使用した差動スプリアス信号の測定

スペクトル・アナライザを使用してクロック生成チップのシングルエンド出力のスプリアス信号を測定すると、特に方形波を近似する出力で悲観的な結果が得られます。これには2つの理由があります。

1つ目は、スプリアス・エネルギーはたいいてい電源に重畳されたAC信号であるため、差動出力は正負の出力のマッチングによりノイズを除去できます。差動出力の片側のみを観察する場合、除去は行われません。

2つ目は、これが最も重要ですが、スペクトル・アナライザでは、方形波のピークとボトムのペダスタル電圧で発生する振幅変調を含む入力時のエネルギーが全て表示されることです。しかし、クロックに影響を与えるのは、ゼロ交差の近くの振幅変調のみです。

この測定誤差を解消する最善の方法は、別のきれいな電源でクロック・ジェネレータの出力を制限バッファに差動で駆動する方法です。これにより、制限バッファの差動出力の1つをスペクトル・アナライザに接続し、スプリアス・エネルギーを正しく測定できるようになります。LTC6953をクロック・ジェネレータとして、LTC6955をリミッタとして使用したこの手法の例を図40に示します。

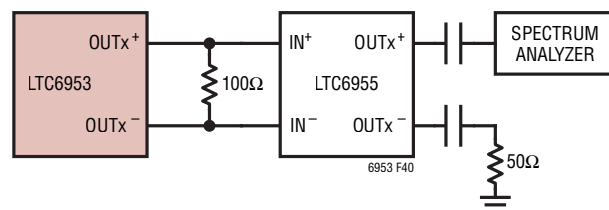
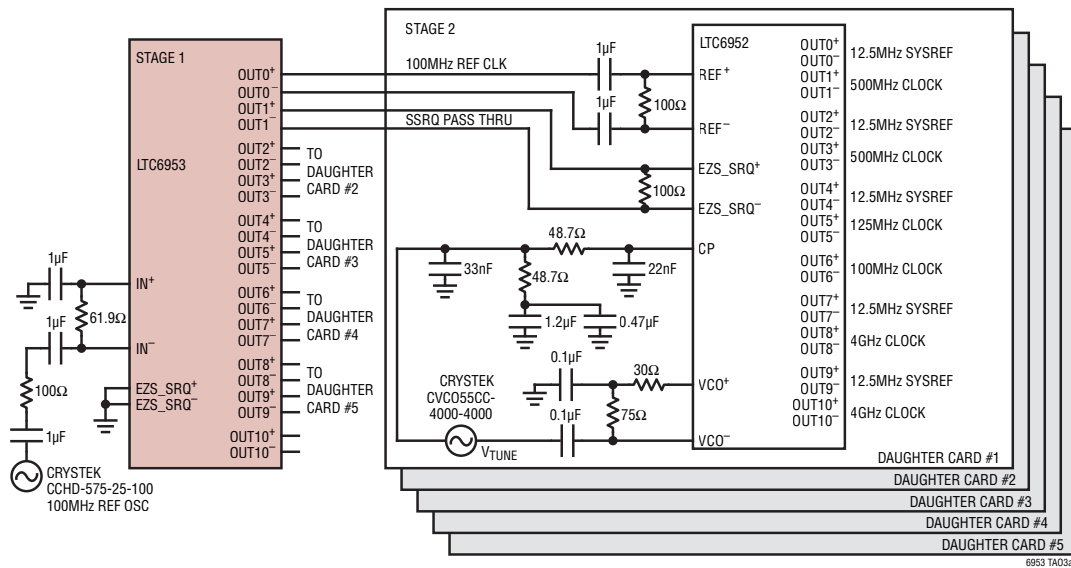


図40. スプリアス測定手法の例

標準的応用例

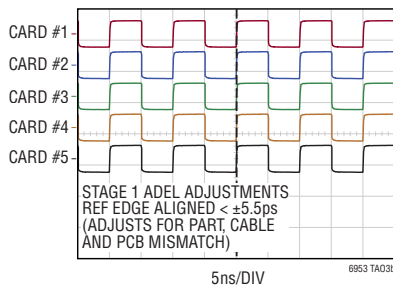
ParallelSync マルチチップ同期、要求パススルー



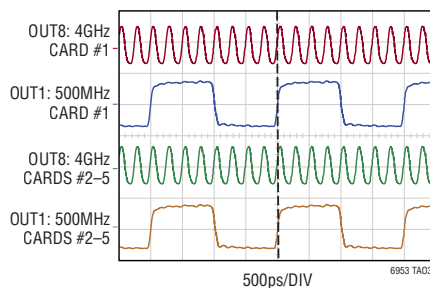
INITIAL SETUP: PROGRAM LTC6952 AND LTC6953 REGISTERS SETTINGS CREATED FROM THE LTC6952Wizard.

- STEP 1: SYNCHRONIZE STAGE 1 REFERENCE SIGNALS
 A) EZSync, TOGGLE STAGE 1 LTC6953 SSRQ BIT
 B) OPT: FINE ALIGNMENT, ADJUST STAGE 1 ADEL BITS
- STEP 2: SYNCHRONIZE STAGE 2 OUTPUT SIGNALS
 A) SET STAGE 1 LTC6953 SRQMD = 1
 B) ParallelSync, TOGGLE STAGE 1 LTC6953 SSRQ BIT
- STEP 3: SEND SYSREF REQUEST
 A) POWER UP LTC6952 SYSREF OUTPUTS
 B) SET LTC6952 SRQMD = 1
 C) SEND SYSREF, TOGGLE STAGE 1 LTC6953 SSRQ BIT
- STEP 4: OPTIONAL REDUCE POWER
 A) POWER DOWN LTC6952 SYSREF OUTPUTS
 B) SET STAGE 1 LTC6953 AND LTC6952 SRQMD = 0

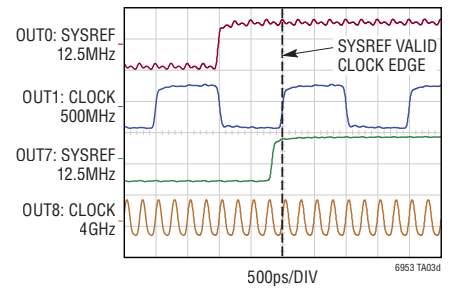
ステップ1:ドーター・カード入力におけるリファレンス整列



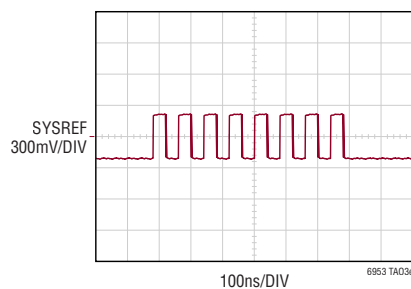
ステップ2:ParallelSync マルチチップのクロック整列



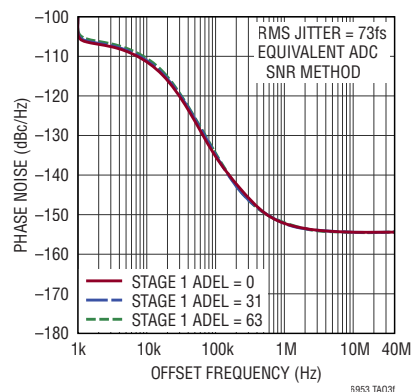
ステップ3:SYSREFの整列



ステップ3:SYSREFパルス

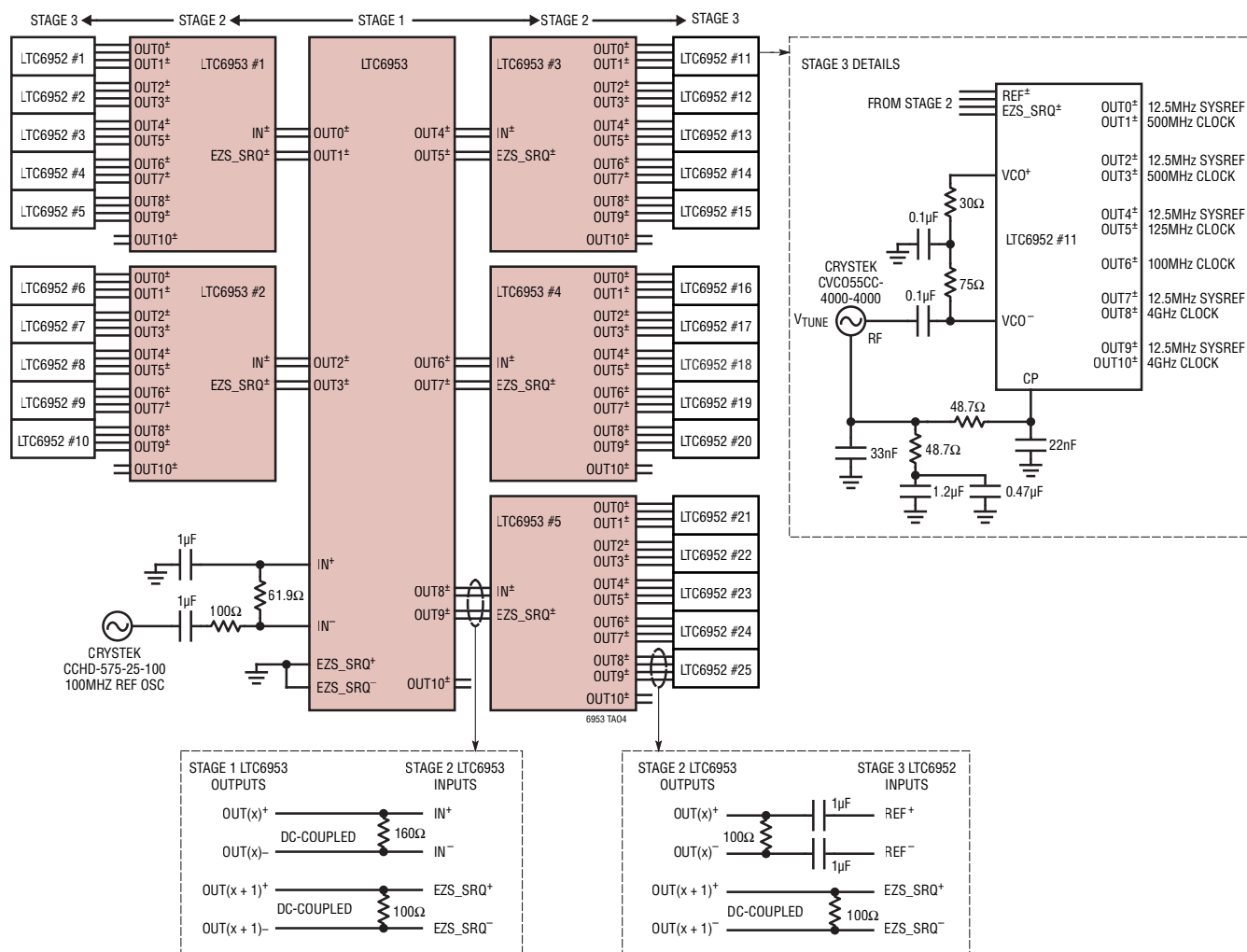


第2段LTC6952位相ノイズと第1段LTC6953 ADELの設定、 $f_{OUT} = 4\text{GHz}$ 、 $M_x = 1$



標準的応用例

3段同期アーキテクチャを使用した最大125組のADCクロック/SYSREFペアの生成回路図



標準的応用例

3段同期アーキテクチャを使用した最大125組のADCクロック／SYSREFペアの生成 同期手順と測定結果

初期ステップ: LTC6952 Wizard から作成した LTC6952 と LTC6953 のレジスタ設定をプログラムします。

ステップ 1: 第 1 段と第 2 段のリファレンス信号を同期する

- A) EZSync: 第 1 段 LTC6953 の SSRQ ビットをトグルする
- B) OPT: 精密な整列、第 2 段 ADEL ビットを調整する

ステップ 2: 第 3 段の出力信号を同期する

- A) 第 1 段と第 2 段の LTC6953 に SRQMD = 1 をセットする
- B) ParallelSync: 第 1 段 LTC6953 の SSRQ ビットをトグルする

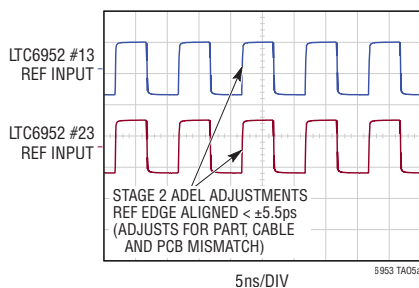
ステップ 3: SYSREF 要求を送信する

- A) LTC6952 の SYSREF 出力をパワーアップする
- B) LTC6952 に SRQMD=1 をセットする
- C) SYSREF を送信する: 第 1 段 LTC6953 の SSRQ ビットをトグルする

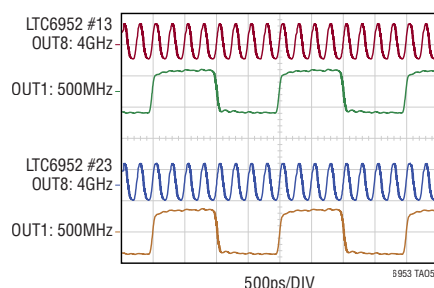
ステップ 4: オプションの節電

- A) LTC6952 の SYSREF 出力をパワーダウンする
- B) 第 1 段と第 2 段の LTC6953 および LTC6952 に SRQMD = 0 をセットする

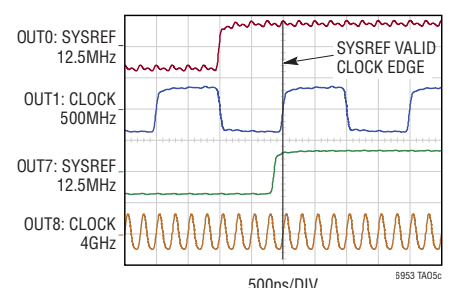
ステップ 1: リファレンスの整列



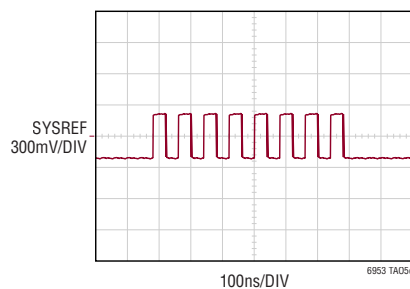
ステップ 2: ParallelSync
マルチチップのクロック整列



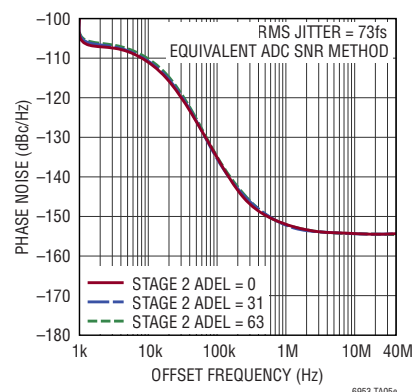
ステップ 3: SYSREF の整列



ステップ 3: SYSREF パルス

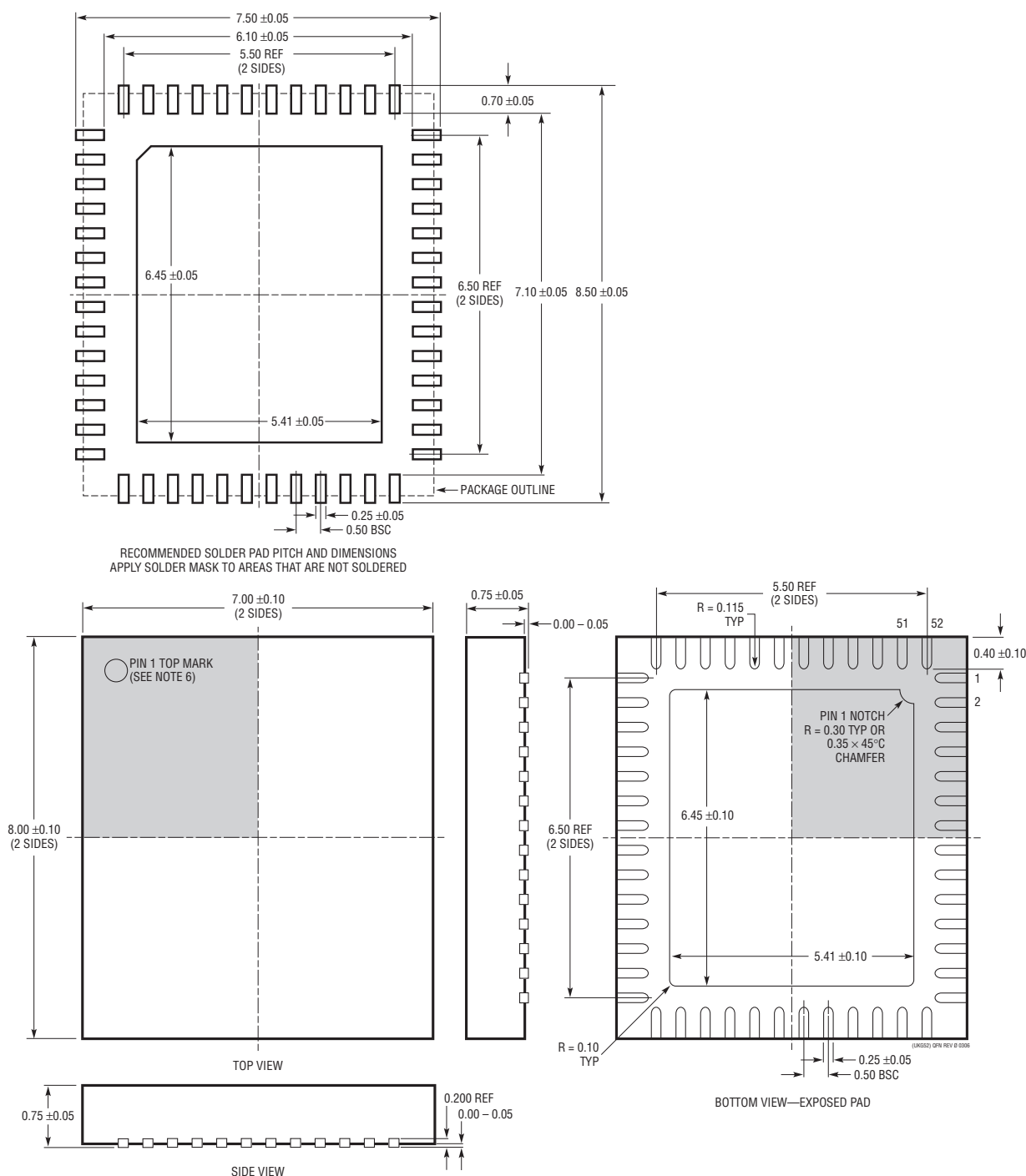


第 2 段 LTC6952 位相ノイズと
第 1 段 LTC6953 ADEL の設定、
 $f_{OUT} = 4\text{GHz}$ 、 $M_x = 1$



パッケージ

UKG Package
52-Lead Plastic QFN (7mm × 8mm)
 (Reference LTC DWG # 05-08-1729 Rev 0)



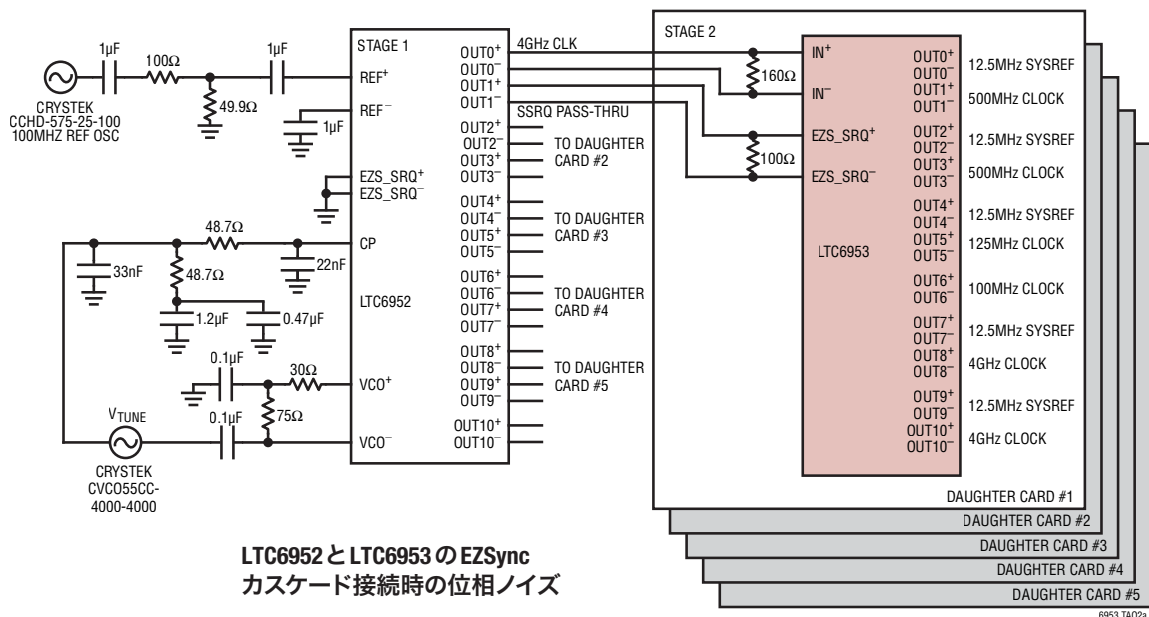
注記:

1. 図はJEDECのパッケージ外形ではない
2. 図は実寸とは異なる
3. 全ての寸法はミリメートル

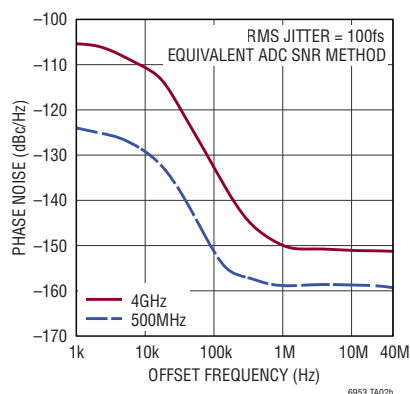
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。
モールドのバリは(もしあれば)各サイドで0.20mmを超えないこと
5. 露出パッドはハンダ・メッキとする
6. 灰色の部分はパッケージの上面と底面の1番ピンの位置の参考に過ぎない

標準的応用例

EZSync マルチチップ同期、要求パススルー



LTC6952とLTC6953のEZSync
カスケード接続時の位相ノイズ



関連製品

製品番号	説明	注釈
LTC6952	11の出力を備えた、JESD204B/Cをサポートする超低ジッタ4.5GHz PLL	11の独立したCML出力と分周器および遅延回路を内蔵し、増加したADC SNR ジッタが65fsのPLL
LTC6955/LTC6955-1	超低ジッタ、7.5GHz、11出力ファンアウト・バッファ・ファミリ	11のCML出力、45fsの付加ADC SNR ジッタ
HMC7043	JESD204B/Cをサポートする高性能の3.2GHz、14出力ファンアウト・バッファ	
HMC7044	JESD204B/C 対応、3.2GHz、14出力、高性能ジッタ減衰器	
HMC987	3.3V 低ノイズ1:9ファンアウト・バッファ、DC~8GHz	
LTC6951	超低ジッタVCO内蔵の複数出力クロック・シンセサイザ	4つの独立したCML出力、1つのLVDS出力、VCO内蔵、110fsのADC SNR ジッタ