

デイジーチェーン・インターフェースを備えた 15 セルのバッテリ・スタック・モニタ

特長

- 最大15個の直列バッテリ・セルを測定
- 最大全測定誤差:2.2mV
- スタック可能なアーキテクチャで数百セルをサポート
- isoSPI™ インターフェース内蔵
 - 1Mbの絶縁型シリアル通信
 - 1本のツイスト・ペア・ケーブルを使用(最大100m)
 - 低いEMI感度およびEMI放射
 - 双方向により破損ワイヤを保護
- 245µsでシステム内の全てのセルを測定
- 電圧と電流の同期測定
- プログラム可能な3次ノイズ・フィルタを備えた16ビット・ デルタシグマ(ΔΣ)型A/Dコンバータ(ADC)
- ISO 26262 準拠システム用に設計
- プログラム可能なパルス幅変調によるパッシブ・セル・ バランス調整(最大200mA)
- 9個の汎用デジタルI/0またはアナログ入力
 - 温度やその他のセンサー入力
 - I²CまたはSPIマスタとして設定可能
- スリープ・モード時電源電流:6µA
- 64 ピン eLQFP パッケージ

アプリケーション

- 電気自動車およびハイブリッド電気自動車
- バックアップ・バッテリ・システム
- グリッド蓄電システム
- 高出力携帯機器

概要

LTC[®]6812-1は、最大15個の直列接続バッテリ・セルを 2.2mV未満の全測定誤差で測定するマルチセル・バッテリ・ スタック・モニタです。LTC6812-1のセル測定範囲は0V~ 5Vなので、ほとんどのバッテリの組成に適しています。15個 全てのセルを245µs以内に測定可能であり、低めのデータ・ アクイジション・レートを選択することにより、ノイズを大幅 に低減できます。

複数のLTC6812-1デバイスを直列接続できるので、長い高 電圧バッテリ列のセルを同時に監視できます。各LTC6812-1 は、RF耐性のある高速、長距離通信用のisoSPIインター フェースを備えています。複数のデバイスをデイジーチェー ンで接続し、1つのホスト・プロセッサを全てのデバイスに接 続します。このデイジーチェーンは双方向に動作するので、 通信経路に障害が発生した場合でも、通信の完全性が確 保されます。

LTC6812-1には、バッテリ・スタックまたは絶縁型電源から 直接給電できます。LTC6812-1は、セルごとのパッシブ方式 バランス調整機能を内蔵しており、PWMのデューティ・サイ クルをセルごとに個別制御できます。その他の機能には、内 蔵の5Vレギュレータ、9つの汎用I/Oライン、消費電流が6µA まで減少するスリープ・モードなどがあります。

全ての登録商標および商標の所有権は、それぞれの所有者に帰属します。8908779、 9182428、9270133を含む米国特許によって保護されています。

標準的応用例



セル15の測定誤差と温度



Rev. 0

目次

符長	1
アプリケーション	1
標準的応用例	1
概要	1
絶対最大定格	3
発注情報	3
・	3
	4
代表的な性能特性	
ピン機能	15
ブロック図	16
ッロックロ	17
新作	10
判1	10
	. 18
LTC6812-1のコアのステートの説明	.18
isoSPIステートの説明	19
消費電力	19
ADCの動作	20
データ・アクイジション・システムの診断	25
ウォッチドッグ・タイマーと放電タイマー	32
セル・バランス調整に対応したSピンのパルス幅変調	.33
放電タイマー・モニタ	.34

GPIOを使用するLTC6812-1のI ² C/SPIマスタ	34
Sピンの制御設定を使用したSピンのパルス生成…	39
Sピンのミュート	40
シリアル・インターフェースの概要	40
4線式シリアル・ペリフェラル・インターフェース	
(SPI)の物理層	40
2線絶縁型インターフェース(isoSPI)の物理層	40
データ・リンク層	51
ネットワーク層	51
アプリケーション情報	67
DC 電力の供給	67
内部保護とフィルタリング	68
セルのバランス調整	71
セル測定時の放電制御	72
デジタル通信	75
高度なアプリケーション	82
外部温度プローブの読取り	84
パッケージ	85
標準的応用例	86
関連製品	86

LTC6812-1

絶対最大定格

(Note 1)

全電源電圧
V ⁺ - V [−] 間93.75V
電源電圧(C10基準)
V ⁺ - C10 間50V
入力電圧(√基準)
C00.3V~6V
C15ー0.3V~(V ⁺ + 5.5Vと93.75Vの低い方)
C(n)、S(n)ー0.3V~(8・nと93.75Vの低い方)
IPA、IMA、IPB、IMB——————————————————————————
DRIVE0.3V~7V
その他全てのピン0.3V~6V
入力間の電圧
C(n)-C(n-1)間、S(n)-C(n-1)間0.3V~8V
C13-C10間0.3V~21V
C8-C5間0.3V~21V
C3-C0間0.3V~21V
ピンへの流入電流/ピンからの流出電流
V _{REG} 、IPA、IMA、IPB、IMB、C(n)、S(n) 以外の
全てのピン10mA
IPA、IMA、IPB、IMB
規定ジャンクション温度範囲
LTC6812I-1–40°C~85°C
LTC6812H-1–40°C~125°C
ジャンクション温度150°C
保存温度範囲65°C~150°C
デバイスのHBM(人体モデル)ESD分類レベル:1C
デバイスのCDM(デバイス帯電モデル)ESD分類レベル:C5

ピン配置



*これらのピンの機能は、ISOMDの接続先により異なる。 ISOMDをVに接続した場合:CSB、SCK、SDI、SDO ISOMDをV_{REG}に接続した場合:IPA、IMA、NC、NC **このピンはVに接続する必要がある。

発注情報

トレイ	製品マーキング*	パッケージ	MSL定格	規定ジャンクション温度範囲
LTC6812ILWE-1#3ZZPBF	LTC6812LWE-1	64-Lead Plastic eLQFP	3	-40°C to 85°C
LTC6812HLWE-1#3ZZPBF	LTC6812LWE-1	64-Lead Plastic eLQFP	3	-40°C to 125°C

更に広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。

テープ&リールの仕様。一部のパッケージは、#TRMPBF 接尾部の付いた指定の販売経路を通じて500個入りのリールで供給可能です。

LTC####モデルのバージョンは、車載アプリケーションの品質と信頼性の条件に対応するため、管理された製造工程により供給されます。これらのモデルは#WTRPBF、#WPBF、または#ZZPBF 接尾部を付けて供給されており、アナログ・デバイセズのARPLに記載されています。

これらの車載モデルの仕様は商用モデルと異なる場合があるため、設計者はこのデータシートの電気的特性のセクションを慎重にレビューしてください。車載アプリケーションには、上記 の車載グレード製品のみを提供しています。特定製品の発注情報とこれらのモデルに特有の車載信頼性レポートについては、弊社または弊社代理店にお問い合わせください。

4

SYMBOL	PARAMETER	CONDITIONS		MIN	ТҮР	MAX	UNITS
ADCのDC						I	
	Measurement Resolution				0.1		mV/Bit
	ADC Offset Voltage	(Note 2)			0.1		mV
	ADC Gain Error	(Note 2)			0.01		%
	Total Measurement Error (TME) in Normal	C(n) to C(n-1), GPIO(n) to $V^- = 0$			±0.2		mV
	Mode	C(n) to $C(n-1) = 2.0$				±1.6	mV
		C(n) to C(n-1), GPIO(n) to $V^- = 2.0$, LTC6812I	•			±1.8	mV
		C(n) to C(n-1), GPIO(n) to $V^- = 2.0$, LTC6812H	•			±2.0	mV
		C(n) to $C(n-1) = 3.3$				±2.2	mV
		C(n) to C(n-1), GPIO(n) to $V^- = 3.3$, LTC6812I	•			±3.0	mV
		C(n) to C(n-1), GPIO(n) to $V^- = 3.3$, LTC6812H	•			±3.3	mV
		C(n) to $C(n-1) = 4.2$				±2.8	mV
		C(n) to C(n-1), GPIO(n) to $V^- = 4.2$, LTC6812I	•			±3.8	mV
		C(n) to C(n-1), GPIO(n) to $V^- = 4.2$, LTC6812H	•			±4.2	mV
		C(n) to C(n-1), GPIO(n) to $V^- = 5.0$			±1		mV
		Sum of Cells	•		±0.05	±0.35	%
		Internal Temperature, T = Maximum Specified Temperature			±5		٦°
		V _{REG} Pin	•	-1	-0.15	0	%
		V _{REF2} Pin	•	-0.05	0.05	0.20	%
		Digital Supply Voltage, V _{REGD}	•	-0.5	0.5	1.5	%
	Total Measurement Error (TME) in Filtered	C(n) to C(n-1), GPIO(n) to $V^- = 0$			±0.1		mV
	Mode	C(n) to $C(n-1) = 2.0$				±1.6	mV
		C(n) to C(n-1), GPIO(n) to $V^- = 2.0$, LTC6812I	•			±1.8	mV
		C(n) to C(n-1), GPIO(n) to $V^- = 2.0$, LTC6812H	•			±2.0	mV
		C(n) to $C(n-1) = 3.3$				±2.2	mV
		C(n) to C(n-1), GPIO(n) to $V^- = 3.3$, LTC6812I				±3.0	mV
		C(n) to C(n-1), GPIO(n) to $V^- = 3.3$, LTC6812H				±3.3	mV
		C(n) to $C(n-1) = 4.2$				±2.8	mV
		C(n) to C(n-1), GPIO(n) to $V^- = 4.2$, LTC6812I				±3.8	mV
		C(n) to C(n-1), GPIO(n) to $V^- = 4.2$, LTC6812H	•			±4.2	mV
		C(n) to C(n-1), GPIO(n) to $V^- = 5.0$			±1		mV
		Sum of Cells			±0.05	±0.35	%
		Internal Temperature, T = Maximum Specified Temperature			±5		°C
		V _{REG} Pin		-1	-0.15	0	%
		V _{REF2} Pin		-0.05	0.05	0.20	%
		Digital Supply Voltage, V _{REGD}		-0.5	0.8	1.5	%

SYMBOL	PARAMETER	CONDITIONS			MIN	ТҮР	MAX	UNITS
	Total Measurement Error (TME) in	C(n) to C(n-1), GPIO(n) to	V ⁻ = 0			±2		mV
	Fast Mode	C(n) to C(n-1), GPIO(n) to	V ⁻ = 2.0				±4	mV
		C(n) to C(n-1), GPIO(n) to	V ⁻ = 3.3				±6	mV
		C(n) to C(n-1), GPIO(n) to	V ⁻ = 4.2				±8.3	mV
		C(n) to C(n-1), GPIO(n) to	V ⁻ = 5.0			±10		mV
		Sum of Cells				±0.15	±0.5	%
		Internal Temperature, T = Temperature	Maximum Specified			±5		٦°
		V _{REG} Pin			-1.5	-0.15	1	%
		V _{REF2} Pin			-0.18	0.05	0.32	%
		Digital Supply Voltage, V _R	EGD		-2.5	-0.4	2	%
	Input Range	C(n) n = 1 to 15			C(n-1)	C(n-	-1) + 5	V
		CO			0		1	V
		GPIO(n) n = 1 to 9			0		5	V
l	Input Leakage Current When Inputs Are Not	C(n) n = 0 to 15				10	±250	nA
	Being Measured	GPIO(n) n = 1 to 9				10	±250	nA
	Input Current When Inputs Are Being	C(n) n = 0 to 15				±1		μA
	Measured (State: Core = MEASURE)	GPIO(n) n = 1 to 9				±1		μA
	Input Current During Open Wire Detection				70	100	130	μA
電圧リフス	アレンスの仕様	1						
V _{REF1}	1st Reference Voltage	V _{REF1} Pin, No Load			3.0	3.15	3.3	V
	1st Reference Voltage TC	V _{REF1} Pin, No Load				3		ppm/°C
	1st Reference Voltage Thermal Hysteresis	V _{REF1} Pin, No Load				20		ppm
	1st Reference Voltage Long Term Drift	V _{REF1} Pin, No Load				20		ppm/√khr
V _{REF2}	2nd Reference Voltage	V _{REF2} Pin, No Load			2.993	3	3.007	V
		V _{REF2} Pin, 5k Load to V ⁻			2.992	3	3.008	V
	2nd Reference Voltage TC	V _{REF2} Pin, No Load				10		ppm/°C
	2nd Reference Voltage Thermal Hysteresis	V _{REF2} Pin, No Load				100		ppm
	2nd Reference Voltage Long Term Drift	V _{REF2} Pin, No Load				60		ppm/√khr
全般的な	DC仕様							
Ivp	V ⁺ Supply Current	State: Core = SLEEP,	$V_{REG} = 0V$			6.1	11	μA
	(SeeFigure 1: LTC6812-1 Operation	isoSPI = IDLE	$V_{REG} = 0V$			6.1	18	μA
	State Diagramy		$V_{REG} = 5V$			3	5	μA
			$V_{REG} = 5V$			3	9	μA
		State: Core = STANDBY		•	9 6	14 14	22 28	μΑ μΑ
		State: Core = REFUP		•	0.4 0.375	0.55 0.55	0.8 0.825	mA mA
		State: Core = MEASURE		•	0.65 0.6	0.95 0.95	1.35 1.4	mA mA

SYMBOL	PARAMETER	CONDITIONS			MIN	ТҮР	MAX	UNITS
IREG(CORE)	V _{REG} Supply Current	State: Core = SLEEP, V _{REG} = 5V				3.1	6	μA
	(SeeFigure 1: LTC6812-1 Operation State	isoSPI = IDLE $V_{REG} = 5V$	•		3.1	9	μA	
	Diagram)	State: Core = STANDBY		•	10 6	35 35	60 65	μΑ μΑ
		State: Core = REFUP		•	0.4 0.3	0.9 0.9	1.4 1.5	mA mA
		State: Core = MEASURE		•	14 13.5	15 15	16 16.5	mA mA
IREG(isoSPI)	Additional V _{REG} Supply Current	ISOMD = 0,	READY	•	3.6	4.5	5.2	mA
	if isoSPI in READY/ACTIVE States	$R_{B1} + R_{B2} = 2k$	ACTIVE	•	5.6	6.8	8.1	mA
	Note: ACTIVE State Current	ISOMD = 1,	READY	•	4.0	5.2	6.5	mA
	Assumes $t_{CLK} = 1 \mu s$, (Note 3)	$R_{B1} + R_{B2} = 2k$	ACTIVE	•	7.0	8.5	10.5	mA
		ISOMD = 0,	READY	•	1.0	1.8	2.4	mA
		$R_{B1} + R_{B2} = 20k$	ACTIVE	•	1.3	2.3	3.3	mA
		ISOMD = 1,	READY		1.6	2.5	3.5	mA
_		$R_{B1} + R_{B2} = 20k$	ACTIVE		1.8	3.1	4.8	mA
	V ⁺ Supply Voltage	TME Specifications Met			16	50	75	V
	V ⁺ to C15 Voltage	TME Specifications Met			-0.3			V
	V ⁺ to C10 Voltage	TME Specifications Met					40	V
	C11 Voltage	TME Specifications Met			2.5			V
	C6 Voltage	TME Specifications Met			1			V
V _{REG}	V _{REG} Supply Voltage	TME Supply Rejection < 1	mV/V		4.5	5	5.5	V
	DRIVE Output Voltage	Sourcing 1µA		•	5.4 5.2	5.7 5.7	5.9 6.1	V V
		Sourcing 500µA		•	5.2	5.7	6.1	V
V _{REGD}	Digital Supply Voltage			•	2.7	3	3.6	V
	Discharge Switch ON Resistance	$V_{CELL} = 3.6V$		•		4	10	Ω
	Thermal Shutdown Temperature					150		°C
V _{OL(WDT)}	Watch Dog Timer Pin Low	WDT Pin Sinking 4mA		•			0.4	V
V _{OL(GPIO)}	General Purpose I/O Pin Low	GPIO Pin Sinking 4mA (Us	ed as Digital Output)	•			0.4	V
ADCのタイ	ミング仕様							
tCYCLE	Measurement + Calibration Cycle Time	Measure 15 Cells			1692	1956	2077	μs
(Figure 3, Figure 4	When Starting from the REFUP State in Normal Mode	Measure 3 Cells		•	352	407	432	μs
Figure 6)	Normal Wode	Measure 15 Cells and 2 G	PIO Inputs		2382	2753	2924	μs
	Measurement + Calibration Cycle Time	Measure 15 Cells		•	145.2	167.8	178.2	ms
	When Starting from the REFUP State in Filtered Mode	Measure 3 Cells		•	29.1	33.6	35.7	ms
		Measure 15 Cells and 2 G	PIO Inputs	•	203.2	234.9	249.5	ms
	Measurement + Calibration Cycle Time	Measure 15 Cells		•	811	937	996	μs
	When Starting from the REFUP State in Fast	Measure 3 Cells		•	176	203	215	μs
		Measure 15 Cells and 2 GPIO Inputs		1149	1328	1410	μs	

SYMBOL	PARAMETER	CONDITIONS		MIN	ТҮР	MAX	UNITS
t _{SKEW1}	Skew Time.The Time Difference Between	Fast Mode		168	194	206	μs
(Figure 6)	GPIO2 and Cell 1 Measurements, Command = ADCVAX	Normal Mode	•	470	543	577	μs
t _{SKEW2}	Skew Time.The Time Difference Between	Fast Mode		162	187	198	μs
(Figure 3)	Cell 15 and Cell 1 Measurements, Command = ADCV	Normal Mode	•	464	536	569	μs
t _{SKEW3}	Skew Time.The Time Difference Between	Fast Mode		127	147	156	μs
(Figure 6)	Cell 15 and GPIO1 Measurements, Command = ADCVAX	Normal Mode	•	354	409	434	μs
twake	Regulator Start-Up Time	V _{REG} Generated from DRIVE Pin (Figure 32)			200	400	μs
tSLEEP	Watchdog or Discharge Timer	DTEN Pin = 0 or DCT0[3:0] = 0000		1.8	2	2.2	sec
(Figure 26)		DTEN Pin = 1 and DCT0[3:0] ≠ 0000		0.5		120	min
t _{REFUP} (Figure 3 for example)	Reference Wake-Up Time.Added to t_{CYCLE} Time When Starting from the STANDBY State. $t_{REFUP} = 0$ When Starting from Other States.	$t_{\mbox{\scriptsize REFUP}}$ is Independent of the Number of Channels Measured and the ADC Mode	•	2.7	3.5	4.4	ms
fs	ADC Clock Frequency				3.3		MHz
SPIインター	ーフェースのDC仕様						
VIH(SPI)	SPI Pin Digital Input Voltage High	Pins CSB, SCK, SDI		2.3			V
VIL(SPI)	SPI Pin Digital Input Voltage Low	Pins CSB, SCK, SDI	•			0.8	V
VIH(CFG)	Configuration Pin Digital Input Voltage High	Pins ISOMD, DTEN, GPI01 to GPI09, A0 to A3	•	2.7			V
VIL(CFG)	Configuration Pin Digital Input Voltage Low	Pins ISOMD, DTEN, GPI01 to GPI09, A0 to A3	•			1.2	V
ILEAK(DIG)	Digital Input Current	Pins CSB, SCK, SDI, ISOMD, DTEN, A0 to A3	•			±1	μA
V _{OL(SDO)}	Digital Output Low	Pin SDO Sinking 1mA	•			0.3	V
isoSPIのDC	仕様(図17を参照)						
V _{BIAS}	Voltage on IBIAS Pin	READY/ACTIVE State IDLE State	•	1.9	2.0 0	2.1	V V
IB	Isolated Interface Bias Current	$R_{BIAS} = 2k \text{ to } 20k$	•	0.1		1.0	mA
A _{IB}	Isolated Interface Current Gain	$V_A = \le 1.6V \qquad \qquad I_B = 1mA \\ I_B = 0.1mA$	•	18 18	20 20	22 24.5	mA/mA mA/mA
VA	Transmitter Pulse Amplitude	$V_A = V_{IP} - V_{IM} $	•			1.6	V
VICMP	Threshold-Setting Voltage on ICMP Pin	V _{TCMP} = A _{TCMP} • V _{ICMP}	•	0.2		1.5	V
ILEAK(ICMP)	Input Leakage Current on ICMP Pin	V _{ICMP} = 0V to V _{REG}	•			±1	μA
ILEAK(IP/IM)	Leakage Current on IP and IM Pins	IDLE State, V _{IP} or V _{IM} , 0V to V _{REG}	•			±1	μA
A _{TCMP}	Receiver Comparator Threshold Voltage Gain	$V_{CM} = V_{REG}/2$ to $V_{REG} - 0.2V, V_{ICMP} = 0.2V$ to $1.5V$	•	0.4	0.5	0.6	V/V
V _{CM}	Receiver Common Mode Bias	IP/IM Not Driving		(V _{REG}	- V _{ICMP} /3 -	167mV)	V
R _{IN}	Receiver Input Resistance	Single-Ended to IPA, IMA, IPB, IMB	•	26	35	45	kΩ
isoSPIのアー)					
VWAKE	Differential Wake-Up Voltage	t _{DWELL} = 240ns	•	200			mV
tDWELL	Dwell Time at V _{WAKE} Before Wake Detection	V _{WAKE} = 200mV	•	240			ns
tREADY	Start-Up Time After Wake Detection		•			10	μs
t _{IDLE}	Idle Timeout Duration		•	4.3	5.5	6.7	ms

●は規定の全温度範囲での規格値を意味する。それ以外はT_A = 25℃での値。注記がない限り、テスト条件はV⁺ = 49.5V、V_{REG} = 5.0V。 注記がない限り、ISOMD ピンはV⁻ ピンに接続する。

SYMBOL	PARAMETER	CONDITIONS		MIN	ТҮР	MAX	UNITS
isoSPIのハ	パルス・タイミング仕様(図22を参照)					I	
t _{1/2PW(CS)}	Chip-Select Half-Pulse Width	Transmitter	•	120	150	180	ns
t _{FILT(CS)}	Chip-Select Signal Filter	Receiver	•	70	90	110	ns
t _{INV(CS)}	Chip-Select Pulse Inversion Delay	Transmitter	•	120	155	190	ns
twndw(CS)	Chip-Select Valid Pulse Window	Receiver	•	220	270	330	ns
t _{1/2PW(D)}	Data Half-Pulse Width	Transmitter	•	40	50	60	ns
t _{FILT(D)}	Data Signal Filter	Receiver	•	10	25	35	ns
t _{INV(D)}	Data Pulse Inversion Delay	Transmitter		40	55	65	ns
t _{WNDW(D)}	Data Valid Pulse Window	Receiver	•	70	90	110	ns
SPIのタイ	ミング条件(図16および図25を参照)						
t _{CLK}	SCK Period	(Note 4)	•	1			μs
t ₁	SDI Setup Time before SCK Rising Edge		•	25			ns
t ₂	SDI Hold Time after SCK Rising Edge		•	25			ns
t ₃	SCK Low	$t_{CLK} = t_3 + t_4 \geq 1 \mu s$		200			ns
t4	SCK High	$t_{CLK} = t_3 + t_4 \geq 1 \mu s$		200			ns
t ₅	CSB Rising Edge to CSB Falling Edge			0.65			μs
t ₆	SCK Rising Edge to CSB Rising Edge	(Note 4)	•	0.8			μs
t ₇	CSB Falling Edge to SCK Rising Edge	(Note 4)	•	1			μs
isoSPIのタ	イミング仕様(図25を参照)						
t ₈	SCK Falling Edge to SDO Valid	(Note 5)				60	ns
t9	SCK Rising Edge to Short ±1 Transmit		•			50	ns
t ₁₀	CSB Transition to Long ±1 Transmit		•			60	ns
t ₁₁	CSB Rising Edge to SDO Rising	(Note 5)				200	ns
t _{RTN}	Data Return Delay		•	325	375	425	ns
t _{DSY(CS)}	Chip-Select Daisy-Chain Delay				120	180	ns
t _{DSY(D)}	Data Daisy-Chain Delay			200	250	300	ns
t _{LAG}	Data Daisy-Chain Lag (vs Chip-Select)	$= [t_{\text{DSY}(D)} + t_{1/2\text{PW}(D)}] - [t_{\text{DSY}(CS)} + t_{1/2\text{PW}(CS)}]$		0	35	70	ns
t _{5(GOV)}	Chip-Select High-to-Low Pulse Governor			0.6		0.82	μs
t _{6(GOV)}	Data to Chip-Select Pulse Governor			0.8		1.05	μs
t _{BLOCK}	isoSPI Port Reversal Blocking Window		•	2		10	μs

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える 可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿 命に悪影響を与える恐れがある。

Note 2:ADCの仕様は、全測定誤差の仕様によって確認されている。

Note 3: ACTIVE ステートの電流は DCの測定値から計算される。データ1が50%、データ0が 50%の連続した1MHzの通信がisoSPIポートに存在する場合、ACTIVE ステートの電流は、V_{REG} に流れ込む平均電源電流の増加分になる。クロック・レートが遅くなるほど、電源電流は減 少する。詳細については、アプリケーション情報のセクションを参照。 Note 4: これらのタイミング仕様はケーブルの遅延によって異なり、各方向に50nsの遅延を許容する。50nsは10mのCAT5ケーブル(伝播速度が光速の66%)に対応する。これより長いケーブルを使用する場合は、遅延が大きくなる分、仕様を低減する必要がある。

Note 5:これらの仕様には、SDOの立上がり時間と立下がり時間は含まれない。立下がり時間 (内部プルダウン・トランジスタのため標準で5ns)は問題ではないが、立上がりエッジの遷 移時間t_{RISE}はSDOピンでのプルアップ抵抗と負荷容量によって異なる。SDOがMCUのセット アップ時間要件を満たすように、時定数を選択する必要がある。

注記がない限り、T_A = 25°C。



注記がない限り、T_A = 25°C。









測定時間と温度



スリープ時の電源電流とⅤ+



スタンバイ時の電源電流とⅤ+



REFUP 電源電流とV+







V_{REF1}と温度

3.145

3.140

3.135

3.130

-50



68121 G26

V_{REF2}と温度



注記がない限り、T_A = 25°C。





内部ダイ温度の上昇と放電電流

注記がない限り、T_A = 25°C。





VREF1 および VREF2 の起動



VREG および VDRIVE の起動



isoSPIの電流(READY時)と温度







IBIAS 電圧の負荷レギュレーション



注記がない限り、T_A = 25°C。



0

ピン機能

CO~C15:セルの入力。

S1~S15: バランス入力/バランス出力。 セルを放電するため、15個の内部Nチャンネル MOSFET がS(n)とC(n-1)の間に接続されています。

Ⅴ⁺:正電源ピン。

♥:負電源ピン。デバイスの外部で、各V⁻ピンを互いに短絡 させる必要があります。

VREF2:複数の10kサーミスタを駆動するための2番目のバッファ付きリファレンス電圧。外付けの1µFコンデンサを使用してバイパスします。

VREF1: ADCのリファレンス電圧。外付けの1µFコンデンサ を使用してバイパスします。DC負荷を接続することはできま せん。

GPIO[1:9]:汎用I/O。デジタル入力またはデジタル出力として 使用するか、V⁻~5Vの測定範囲でアナログ入力として使用 できます。GPIO[3:5]はI²CポートまたはSPIポートとして使用 できます。

DTEN: 放電タイマーのイネーブル・ピン。放電タイマーをイ ネーブルするには、このピンをVREGに接続します。

DRIVE:NPNのベースをこのピンに接続します。コレクタはV⁺ に接続し、エミッタはV_{REG}に接続します。

V_{REG}:5Vレギュレータ入力。外付けの1µFコンデンサを使用 してバイパスします。

ISOMD:シリアル・インターフェース・モード。ISOMDを V_{REG} に接続すると、LTC6812-1のピン53、54、61、および62は絶縁型の2線式インターフェース(isoSPI)モードに合わせて構成されます。ISOMDを V^- に接続すると、LTC6812-1は4線SPIモードに合わせて構成されます。

WDT:ウォッチドッグ・タイマーの出力ピン。これはオープン・ ドレイン NMOS のデジタル出力です。このピンは未接続のま まにするか、1Mの抵抗を介して V_{REG}に接続することができ ます。LTC6812-1が2秒以内に有効なコマンドを受信しない 場合は、ウォッチドッグ・タイマー回路がLTC6812-1をリセッ トし、WDTピンが高インピーダンスになります。

シリアル・ポート・ピン

	ISOMD = V _{REG}	$ISOMD = V^-$
ポートB	IPB	IPB
(ピン57、58、63、64)	IMB	IMB
	ICMP	ICMP
	IBIAS	IBIAS
ポートA	(NC)	SD0
(ピン53、54、61、62)	(NC)	SDI
	IPA	SCK
	IMA	CSB

CSB、SCK、SDI、SDO:4線式シリアル・ペリフェラル・インター フェース(SPI)。アクティブ・ローのチップ選択(CSB)、シリア ル・クロック(SCK)、およびシリアル・データ入力(SDI)はデ ジタル入力です。シリアル・データ出力(SDO)はオープン・ド レインNMOS出力ピンです。SDOには5kのプルアップ抵抗 が必要です。

IPA、IMA:絶縁型の2線式シリアル・インターフェース・ポートA。IPA (プラス)とIMA (マイナス)は、差動入力/出力対です。

IPB、IMB: 絶縁型の2線式シリアル・インターフェース・ポートB。IPB (プラス)とIMB (マイナス)は、差動入力/出力対です。

IBIAS: 絶縁型インターフェースの電流バイアス。IBIASをV[−] に抵抗分圧器を介して接続し、インターフェースの出力電流 レベルを設定します。isoSPIインターフェースがイネーブルさ れている場合、IBIASピンの電圧は2Vです。IPA/IMAまた はIPB/IMBの出力駆動電流は、IBIASピンから流れ出る電 流(I_B)の20倍に設定されます。

ICMP: 絶縁型インターフェースのコンパレータ電圧閾値設定。このピンをIBIASとV⁻の間の抵抗分圧器に接続し、 isoSPIレシーバーのコンパレータの電圧閾値を設定します。 コンパレータの閾値はICMPピンの電圧の半分に設定され ます。

露出パッド:V⁻。露出パッドはPCBにハンダ付けする必要があります。

ブロック図



LTC6811-1からの改善点

LTC6812-1は、LTC6811-1のデザインを発展させたものです。LTC6812-1での機能の変更点と追加点を次の表にまとめています。

 LTC6812-1の追加機能	利点	関連のデータシート・セクション
	各変換サイクル時に3つのセルを測定できる	ADCの動作
3つのADCデジタル・フィルタの他に第4のフィル タがあり、冗長性を確保するために使用される	全てのデジタル・フィルタで障害が発生しないこ とを確認する	表10の説明とPS[1:0]ビットについては、 デジタル冗長化機能を使用したA/D変換
ADOLコマンドを使用して、ADC1とADC2によりセル 6を同時に測定し、ADC2とADC3によりセル11を 同時に測定する	ADC2とADC1の精度が同程度であることを確認し、またADC3とADC2の精度が同程度であることを確認する	セル電圧測定の重複(ADOLコマンド)
放電タイマーの動作中にモニタ機能を有効化で きるセルの電圧がプログラム可能な低電圧閾値 に達すると、セル・バランス調整機能を自動的に 終了できる	セル・バランス調整機能の向上	放電タイマー・モニタ
内部の放電MOSFETは200mAのバランス調整電流 を供給できる(ダイ温度が95℃を超えた場合は 80mA)。バランス調整電流はセルの電圧とは無 関係	セル・バランス調整の高速化、特にセルの電圧 が低い場合	内部 MOSFET によるセル・バランス調整
	COをV に直接接続する必要がない	電気的特性での入力範囲
MUTEコマンドとUNMUTEコマンドにより、ホストが レジスタの値を上書きせずに放電ピン(Sピン)を オン/オフすることが可能	Sピンをオフしてからセルの測定までのタイミン グの制御範囲が拡大	Sピンのミュート
補助測定に断線診断機能を組み込む	障害検出能力の向上	補助断線チェック(AXOWコマンド)
GPI0 ピンを4つ追加して合計9 ピンとなる	測定可能な温度センサーまたはその他のセン サーの数が増加	補助(GPIO) 測定(ADAX コマンド) および補助断 線チェック(AXOWコマンド)
 LTC6812-1のデイジーチェーンは双方向で動作で きる(両方のポートがマスタにもスレーブにもな る)	冗長な通信経路	可逆的なisoSPI

ステート図

LTC6812-1の動作は、コア回路とisoSPI回路の2つのセク ションに分かれています。両方のセクションは、独立した一 連の動作ステートと、タイムアウトによるシャットダウンを備 えています。

LTC6812-1のコアのステートの説明

SLEEP ステート

リファレンスとADCの電力が遮断されます。ウォッチドッグ・ タイマー(ウォッチドッグ・タイマーと放電タイマーを参照) はタイムアウトしています。また、放電タイマーも無効化され ているかタイムアウトしています。電源電流は最小レベルま で減少します。isoSPIポートは、IDLEステートになります。 DRIVEピンは0Vです。

WAKEUP信号を受信すると(シリアル・インターフェースの ウェイクアップを参照)、LTC6812-1はSTANDBYステートに 入ります。

STANDBY ステート

リファレンスとADCはオフになります。ウィッチドッグ・タイ マーまたは放電タイマー(あるいはその両方)は動作中で す。DRIVEピンは外付けトランジスタを介してV_{REG}ピンに 5Vの電源を供給します(あるいは、V_{REG}ピンには外部電源 から電力を供給してもかまいません)。

有効なADCコマンドを受け取るか、構成レジスタ・グループ AのREFONビットが1に設定されると、デバイスはリファレ ンスを起動できる状態になるまでtREFUPの間停止し、その 後REFUPステートまたはMEASUREステートに移行します。 それ以外で、t_{SLEEP}の間(ウォッチドッグ・タイマーと放電タ イマーの両方が期限切れになるまで)有効なコマンドを受 け取らなかった場合、LTC6812-1はSLEEPステートに戻り ます。放電タイマーが無効化されている場合は、ウォッチドッ グ・タイマーのみが関係します。

REFUP ステート

このステートに達するには、構成レジスタ・グループAの REFONビットを1に設定する必要があります(WRCFGA コマンドを使用。表36を参照)。ADCはオフになります。 LTC6812-1がSTANDBYステートから開始するよりも早く AD変換を開始できるようにするために、リファレンスが起動 します。

有効なADCコマンドを受け取るとデバイスはMEASUREス テートになり、変換を開始します。それ以外の場合、手動で (WRCFGAコマンドを使用)もしくは(ウォッチドッグ・タイ マーが期限切れになったときに)自動的にREFONビットに0 が設定されると、LTC6812-1はSTANDBYステートに戻りま す(その後、ウォッチドッグ・タイマーと放電タイマーの両方 が期限切れになると、LTC6812-1は直接SLEEPステートに 移行します)。

MEASURE ステート

このステートでは、LTC6812-1はA/D変換を実行します。リファレンスとADCの電源が投入されます。

LTC6812-1は、A/D変換が完了すると、REFONビットに応じてREFUPステートまたはSTANDBYステートのいずれかに



図1.LTC6812-1の動作ステート図

移行します。REFONを1に設定してREFUPステートを活用することによって、追加のA/D変換をより迅速に開始できます。

注記:ADCコマンド以外のコマンドでは、コアのステートが 移行しません。A/D変換または診断コマンドのみが、コアを MEASURE ステートに移行します。

isoSPIステートの説明

注記:LTC6812-1は、デイジーチェーン通信用に2つisoSPI ポート(AおよびB)を備えています。

IDLEステート

isoSPIポートの電力が遮断されます。

isoSPIのポートAまたはポートBがWAKEUP信号を受信す ると(シリアル・インターフェースのウェイクアップを参照)、 isoSPIはREADYステートに移行します。コアがSTANDBY ステートにある場合、この移行は素早く(t_{READY}以下で) 行われます。コアがSLEEPステートにある場合、isoSPIは、 WAKEUP信号を受信してから、t_{WAKE}以内にREADYステー トに移行します。

READY ステート

isoSPIポートは通信可能な状態にあります。このステートで のシリアル・インターフェース電流は、ISOMDピンの状態と $R_{BIAS} = R_{B1} + R_{B2}$ (IBIASピンに接続された外付け抵抗)に よって決まります。

ポートAまたはポートBで動作がない(つまり、WAKEUP信号がない)時間がt_{IDLE}より長くなると、LTC6812-1はIDLEステートに移行します。シリアル・インターフェースがデータを送信または受信すると、LTC6812-1はACTIVEステートに移行します。

ACTIVEステート

LTC6812-1は、一方または両方のisoSPIポートを使用して データの送受信を行います。シリアル・インターフェースは、 この状態で最も多くの電力を消費します。isoSPIパルスの 密度が高くなるので、電源電流はクロック周波数の増加に 伴って増加します。

消費電力

LTC6812-1の電力は、次の2つのピン(V⁺およびV_{REG})から 供給されます。V⁺入力は、先頭セルの電圧より0.3V低い電 圧以上の電圧を必要とし、コア回路の高電圧素子に電力を 供給します。V_{REG}入力は5Vを必要とし、残りのコア回路と isoSPI回路に電力を供給します。V_{REG}入力には、安定化さ れたDRIVE出力ピンによって駆動される外付けトランジス タを介して電力を供給できます。あるいは、V_{REG}ピンには外 部電源から電力を供給してもかまいません。

消費電力は動作ステートによって異なります。各ステートでの電源ピンの電流を概算する式を表1および表2に示します。V⁺ピンの電流は、コアのステートにのみ依存します。ただし、V_{REG}ピンの電流は、コアのステートとisoSPIのステートの両方に依存するため、2つの成分に分けることができます。 isoSPIインターフェースに流れる電流は、V_{REG}ピンからの電流だけです。

$I_{\text{REG}} = I_{\text{REG(CORE)}} + I_{\text{REG(isoSPI)}}$

SLEEPステートでは、外部電源から電力を供給した場合、 V_{REG}ピンが約3.1µAを吸い込みます。そうでない場合は、V⁺ ピンが必要な電流を供給します。

表1. コアの電源電流

ステート		Ivp	IREG(CORE)
	FD V _{REG} = 0V 6.1μA		ΟμΑ
SLEEP	$V_{\text{REG}} = 5V$	3μΑ	3.1µA
STANDBY		14µA	35µA
REFUP		550µA	900µA
MEASURE		950µA	15mA

表2. isoSPIの電源電流の式

isoSPI ステート	ISOMDの 接続	IREG(isoSPI)
IDLE	N/A	0mA
	V _{REG}	2.2mA + 3 ● I _B
READY	V-	1.5mA + 3 ● I _B
ACTIVE	V _{REG}	Write: 2.5mA + $\left(3 + 20 \cdot \frac{100 \text{ns}}{\text{t}_{\text{CLK}}}\right) \cdot \text{I}_{\text{B}}$ Read: 2.5mA + $\left(3 + 20 \cdot \frac{100 \text{ns} \cdot 1.5}{\text{t}_{\text{CLK}}}\right) \cdot \text{I}_{\text{B}}$
	V	$1.8\text{mA} + \left(3 + 20 \bullet \frac{100\text{ns}}{t_{\text{CLK}}}\right) \bullet I_{\text{B}}$

ADCの動作

LTC6812-1の内部には3つのADCがあります。これら3つの ADCは、15セルを測定するときに同時に動作します。汎用入 力の測定に使用されるADCは1つだけです。以下の説明で は、実行される動作に応じて、ADCという用語を使用して1 つまたは全部のADCを表わします。以下の説明では、例え ばタイミング図で3つの回路を区別する必要があるときは、 ADC1、ADC2、およびADC3と表記します。

ADCモード

構成レジスタ・グループAのADCOPTビット(CFGAR0[0]) と変換コマンドのモード選択ビットMD[1:0]を組み合わせ ると、ADCの8つの動作モードが得られます。これらのモー ドは、異なるオーバーサンプリング率(OSR)に対応していま す。これらのモードの精度とタイミングを表3にまとめていま す。それぞれのモードにおいて、ADCは最初に入力を測定 し、次に各チャンネルのキャリブレーションを行います。モー ドの名前は、ADC測定の-3dB帯域幅に基づいています。

7kHzモード(通常動作モード):このモードでは、ADCの分 解能が高く、TME(全測定誤差)が低く抑えられています。こ れは、速度と精度のバランスが最適になるように組み合わさ れていることから、通常動作モードと見なされます。

27kHzモード(高速モード):このモードでは、ADCのスルー プットが最大になりますが、TME (全測定誤差)はある程度 増加します。そのためこのモードは、高速モードとも呼ばれま す。速度の向上は、オーバーサンプリング率を小さくすること によって実現されます。その結果、ノイズと平均測定誤差が 増加します。

26Hzモード(フィルタ・モード):このモードでは、OSRを増 やすことによって、ADCのデジタル・フィルタの-3dB周波数 が26Hzに減少します。このモードは、-3dB周波数が低いた め、フィルタ・モードとも呼ばれます。精度は7kHzモード(通 常動作モード)と同様ですが、ノイズが少なくなります。

14kHz、3kHz、2kHz、1kHz、および422Hzモード: 14kHz、 3kHz、2kHz、1kHz、および422Hzモードは、ADCデジタ ル・フィルタの-3dB 周波数をそれぞれ13.5kHz、3.4kHz、 1.7kHz、845Hz、および422Hzに設定する追加オプションを 提供します。14kHzモードの精度は、27kHzモード(高速モー ド)と同様です。3kHz、2kHz、1kHz、および422Hzモードの 精度は、7kHzモード(通常動作モード)と同様です。 これらのモードにおけるフィルタの帯域幅と変換時間を表3 および表5に示します。コアがSTANDBYステートにある場 合、A/D変換を開始する前にリファレンスを起動するため に、tREFUPの追加時間が必要です。構成レジスタ・グループ AのREFONビットを1に設定した場合、A/D変換とA/D変 換の間にリファレンスを起動したままにすることができます。 したがって、遅延tREFUPの後、コアはREFUPステートになっ ています。その後のADCコマンドでは、A/D変換を開始する 前にtREFUPの遅延は発生しません。

表3.ADCフィ	ルタの帯域	域幅と精度	
	ー3dB	-40dB	3.3V、
	フィルタの	フィルタの	25°C での

モード	-3dB フィルタの 帯域幅	-40dB フィルタの 帯域幅	3.3V、 25°Cでの TME仕様	3.3V、-40°C、 125°Cでの TME仕様
27kHz (Fast Mode)	27kHz	84kHz	±6mV	±6mV
14kHz	13.5kHz	42kHz	±6mV	±6mV
7kHz (Normal Mode)	6.8kHz	21kHz	±2.2mV	±3.3mV
3kHz	3.4kHz	10.5kHz	±2.2mV	±3.3mV
2kHz	1.7kHz	5.3kHz	±2.2mV	±3.3mV
1kHz	845Hz	2.6kHz	±2.2mV	±3.3mV
422Hz	422Hz	1.3kHz	±2.2mV	±3.3mV
26Hz (Filtered Mode)	26Hz	82Hz	±2.2mV	±3.3mV

注記:TMEは全測定誤差。

ADCの範囲と分解能

C入力とGPIO入力の範囲および分解能は同じです。 LTC6812-1内部のADCの範囲は、およそ-0.82V~+5.73V です。負の読出し値は0Vに丸められます。データのフォー マットは16ビットの符号なし整数で、LSBは100µVです。し たがって、0x80E8(10進数で33,000)は3.3Vの測定値を示 します。

デルタシグマ型ADCでは、特に高速モードなどでオーバー サンプリング率(OSR)が低い場合に、入力電圧に応じて量 子化ノイズが発生します。ADCモードの一部では、入力電 圧がADC範囲の上限と下限に近づくにつれて量子化ノイズ が増加します。例として、通常動作モードとフィルタ・モード での全測定ノイズと入力電圧を図2に示します。

ADCの規定範囲は0V~5Vです。表4では、ADCの精度範 囲は、0.5V~4.5Vの間で任意に定義されます。これは、低 OSRモードでも量子化ノイズが比較的一定になる範囲です (図2を参照)。ADCの8つの動作モード全てについて、こ の範囲内の全ノイズを表4にまとめます。ノイズのない分解能 も示されています。例えば、通常動作モードでのノイズのな い14ビットの分解能とは、DC入力では上位14ビットにはノ イズがないが、15番目と16番目の最下位ビット(LSB)にはフ リッカ・ノイズがあることを意味しています。



図2. 測定ノイズと入力電圧

ADCの範囲と電圧リファレンスの値

標準的なADCの範囲は、電圧リファレンスを正確に2倍し た値であり、ADCの測定誤差は電圧リファレンスの誤差に 正比例します。LTC6812-1のADCは、標準的なものではあ りません。VREF1の絶対値は、ADCのゲイン誤差を補正す るために増加または減少の調整が行われます。したがって、 ADCの全測定誤差(TME)の規格値は、VREF1の規格値よ りも優れています。例えば、7kHzモード(通常動作モード) で3.300Vを測定する場合、全測定誤差の25℃での規格 値は±2.2mVですが、V_{REF1}の25°Cでの規格値は3.150V ±150mVです。

セル電圧の測定(ADCVコマンド)

ADCV コマンドは、ピンC0からC15までのバッテリ・セル入 力の測定を開始します。このコマンドには、測定対象のチャ ンネル数とADCモードを選択するためのオプションが複数 あります。ADCVコマンドのフォーマットについては、コマンド のセクションを参照してください。

全15セルを測定するADCVコマンドのタイミングを図3に示 します。全15セルを測定するADCVコマンドを受け取ると、 ADC1は下部の5セルを順次測定します。ADC2は中間の5 セルを測定し、ADC3は上部の5セルを測定します。セル測 定が完了すると、各チャンネルは補正され、オフセット誤差 が除去されます。

全15セルを測定するADCVコマンドの変換時間を表5に示 します。合計変換時間は、キャリブレーション・ステップの終 了を示すt5cにより与えられます。

3セルだけを測定するADCVコマンドのタイミングを図4に示 します。

モード	全範囲 ¹	規定範囲	精度範囲 ²	LSB	フォーマット	最大ノイズ	ノイズのない 分解能 ³
27kHz (Fast)						$\pm 4mV_{P-P}$	10 Bits
14kHz						±1mV _{P-P}	12 Bits
7kHz (Normal)		OV to 5V	0.5V to 4.5V	100 µV	Unsigned 16 Bits	±250 µV _{P-P}	14 Bits
3kHz	–0.8192V to					±150 µV _{P-P}	14 Bits
2kHz	5.7344V					±100 μV _{P-P}	15 Bits
1kHz						±100 µV _{P-P}	15 Bits
422Hz						±100 µV _{P-P}	15 Bits
26Hz (Filtered)						±50 µV _{P-P}	16 Bits

表4. ADCの範囲と分解能

1.負の読出し値はOVに丸められます。

2.精度範囲は、ノイズが最大ノイズより小さくなる範囲です。

3.ノイズのない分解能は、精度範囲内のノイズ・レベルの測定値です。



図3.全15セルを測定するADCVコマンドのタイミング

			同期時間(μs)				
モード	to	t _{1M}	t _{2M}	t _{4M}	t _{5M}	tsc	t _{SKEW2}
27kHz	0	58	104	198	244	937	187
14kHz	0	87	163	314	390	1,083	303
7kHz	0	145	279	547	681	1,956	536
3kHz	0	261	512	1,012	1,263	2,537	1,001
2kHz	0	494	977	1,943	2,426	3,701	1,932
1kHz	0	960	1,908	3,805	4,753	6,028	3,794
422Hz	0	1,890	3,770	7,529	9,408	10,683	7,518
26Hz	0	29,818	59,624	119,238	149,044	167,774	119,227

表5. 全15セルを様々なモードで測定するADCVコマンドの変換時間と同期時間



図4.3セルを測定するADCVコマンドのタイミング

3セルだけを測定するADCVコマンドの変換時間を表6に示します。t_{IC}は、このコマンドの合計変換時間を表します。

表 6.3つのセルを様々なモードで測定する ADCVコマンドの変換時間

	変換時間(μs)						
モード	t ₀	t _{1M}	t _{1C}				
27kHz	0	58	203				
14kHz	0	87	232				
7kHz	0	145	407				
3kHz	0	261	523				
2kHz	0	494	756				
1kHz	0	960	1,221				
422Hz	0	1,890	2,152				
26Hz	0	29,818	33,570				

低電圧/過電圧モニタ

C入力が測定されるたびに、結果は、メモリに格納されてい る低電圧閾値および過電圧閾値と比較されます。セルの測 定値が過電圧制限値を超えている場合は、メモリ内のビッ トがフラグとしてセットされます。同様に、測定結果が低電 圧制限値より低い場合にもフラグがセットされます。過電圧 閾値と低電圧閾値は構成レジスタ・グループAに格納され ます。フラグはステータス・レジスタ・グループBと補助レジス タ・グループDに格納されます。

補助(GPIO)測定(ADAX コマンド)

ADAXコマンドによってGPIO入力の測定が開始されます。 このコマンドには、測定するGPIO入力(GPIO1~9)と使用 するADCモードを選択するためのオプションがあります。ま た、ADAXコマンドは、2番目のリファレンスも測定します。 ADAXコマンドには、GPIOのサブセットと2番目のリファレ ンスを個別に測定するためのオプションと、9つのGPIO全 てと2番目のリファレンスを1つのコマンドで測定するための オプションがあります。ADAXコマンドのフォーマットについ ては、コマンドのセクションを参照してください。全ての補助 測定はV⁻ピンの電圧を基準にしています。GPIOに温度セン サーを接続すれば、このコマンドを使用して外部温度を読 み出すことができます。これらのセンサーの電源は2番目のリ ファレンスから取ることができ、このリファレンスもADAXコ マンドによって測定されるので、正確なレシオメトリック測定 を行うことができます。

全てのGPIOと2番目のリファレンスを測定するADAXコマンドのタイミングを図5に示します。全部で10回の測定がADC1単独で実行されます。2番目のリファレンスは、GPIO5の測定後からGPIO6の測定前の間に測定されます。

全てのGPIOと2番目のリファレンスを測定するADAXコマンドの変換時間を表7に示します。t10Cは合計変換時間を表します。



図5.全てのGPIOと2番目のリファレンスを測定するADAXコマンドのタイミング

表7	全てのGPIOと2番目のリファI	ノンスを様々なモードで	測定する ADAX コマン	ドの変換時間と同期時間
-1 · · ·				

			同期時間(μs)				
モード	to	t _{1M}	t _{2M}	t _{9M}	t _{10M}	t _{10C}	tskew
27kHz	0	58	104	431	478	1,825	420
14kHz	0	87	163	693	769	2,116	682
7kHz	0	145	279	1,217	1,350	3,862	1,205
3kHz	0	261	512	2,264	2,514	5,025	2,253
2kHz	0	494	977	4,358	4,841	7,353	4,347
1kHz	0	960	1,908	8,547	9,496	12,007	8,536
422Hz	0	1,890	3,770	16,926	18,805	21,316	16,915
26Hz	0	29,818	59,624	268,271	298,078	335,498	268,260

デジタル冗長化機能を備えた補助(GPIO)測定 (ADAXDコマンド)

ADAXDコマンドはADAXコマンドと同様に動作しますが、 デジタル冗長化機能を使用して追加の診断を実行すること だけが異なります。冗長化を有効にするには、ADAXDの実 行時に構成レジスタ・グループBのPS[1:0]を0または1に設 定する必要があります。デジタル冗長化機能を使用したA/D 変換のセクションを参照してください。

ADAXとADAXDの実行時間は同じです。

セル電圧とGPIOの測定(ADCVAX コマンド)

ADCVAXコマンドは、15個のセルの測定値を2つのGPIO 測定値(GPIO1およびGPIO2)と組み合わせます。このコマン ドを使用すると、電流センサーをGPIO1入力またはGPIO2 入力に接続した場合に、バッテリ・セルの電圧測定値と電流 測定値の同期が容易になります。ADCVAXコマンドのタイミ ングを図6に示します。ADCVAXコマンドのフォーマットにつ いては、コマンドのセクションを参照してください。高速モー ドでの電流測定値と電圧測定値の同期時間(tsKEW1およ びtsKEW3)は、それぞれ194µsおよび147µs以内です。

様々なモードでのADCVAXコマンドの変換時間と同期時間を表8に示します。このコマンドの合計変換時間はt7Cにより与えられます。



図 6. ADCVAX コマンドのタイミング

				同期時間(μs)							
モード	t ₀	t _{1M}	t _{2M}	t _{3M}	t _{4M}	t _{5M}	t _{6M}	t _{7M}	t _{7C}	tskew1	tskew3
27kHz	0	58	104	151	205	252	306	352	1,328	194	147
14kHz	0	87	163	238	321	397	480	556	1,531	310	235
7kHz	0	145	279	413	554	688	829	963	2,753	543	409
3kHz	0	261	512	762	1,020	1,270	1,527	1,778	3,568	1,008	758
2kHz	0	494	977	1,460	1,950	2,433	2,924	3,407	5,197	1,939	1,456
1kHz	0	960	1,908	2,857	3,812	4,761	5,717	6,665	8,455	3,801	2,853
422Hz	0	1,890	3,770	5,649	7,536	9,415	11,302	13,181	14,971	7,525	5,645
26Hz	0	29,818	59,624	89,431	119,245	149,052	178,866	208,672	234,899	119,234	89,427

表8. 様々なモードでのADCVAXコマンドの変換時間と同期時間

データ・アクイジション・システムの診断

バッテリ・モニタリング・データ・アクイジション・システムは、 マルチプレクサ、ADC、1番目のリファレンス、デジタル・フィル タ、およびメモリで構成されます。信頼性の高い性能を長期 間確保するために、診断コマンドがいくつかあります。これら のコマンドを使用して、各回路が正常に動作していることを 確認できます。

内部デバイス・パラメータの測定(ADSTAT コマンド)

ADSTAT コマンドは、以下に示す内部デバイス・パラメータ を測定する診断コマンドです。対象となるパラメータは、セ ル合計測定値(SC)、内部ダイ温度(ITMP)、アナログ電源 電圧(VA)、およびデジタル電源電圧(VD)です。これらのパ ラメータについて、以降のセクションで説明します。前述し た8つのADCモードは、全てこれらの変換で使用できます。 ADSTATコマンドのフォーマットについては、コマンドのセク ションを参照してください。4つの内部デバイス・パラメータ 全てを測定するADSTATコマンドのタイミングを図7に示し ます。

4つの内部パラメータ全てを測定するADSTATコマンドの変換時間を表9に示します。t_{4C}は、ADSTATコマンドの合計変換時間を表します。



図7.SC、ITMP、VA、VDを測定するADSTATコマンドのタイミング

12.5, 50, 1111											
		変換時間(μs)									
モード	t ₀	t _{1M}	t _{2M}	t _{3M}	t4M	t4c	tskew				
27kHz	0	58	104	151	198	742	140				
14kHz	0	87	163	238	314	858	227				
7kHz	0	145	279	413	547	1,556	402				
3kHz	0	261	512	762	1,012	2,022	751				
2kHz	0	494	977	1,460	1,943	2,953	1,449				
1kHz	0	960	1,908	2,857	3,805	4,814	2,845				
422Hz	0	1,890	3,770	5,649	7,529	8,538	5,638				
26Hz	0	29,818	59,624	89,431	119,238	134,211	89,420				

表9. SC、ITMP、VA、VDを様々なモードで測定するADSTATコマンドの変換時間と同期時間

セル合計測定値: セル合計測定値は、C15とC0の間の電圧 を30:1に減衰させた値です。 セル合計測定値(SC)の16ビッ トADCの値は、ステータス・レジスタ・グループAに格納され ます。 C0ピンとV⁻ピンの間に電位差があると、 この差と等し い誤差がSCの値に生じます。 SCの値から、全セルの電圧測 定値の合計は次式により与えられます。

Sum of All Cells = SC • 30 • 100 μV

内部ダイ温度: ADSTAT コマンドは、内部ダイ温度の測定に も使用できます。ダイ温度測定値(ITMP)の16ビットADC の値は、ステータス・レジスタ・グループAに格納されま す。ITMPから、実際のダイ温度は次式を使用して計算され ます。

Internal Die Temperature (°C) =

$$\mathsf{ITMP} \bullet \left(\frac{100 \ \mu \mathsf{V}}{7.6 \mathsf{mV}}\right) \circ \mathsf{C} - 276 \circ \mathsf{C}$$

電源測定値: ADSTAT コマンドは、アナログ電源(V_{REG})と デジタル電源(V_{REGD})の測定にも使用されます。アナログ 電源電圧測定値(VA)の16ビットADCの値は、ステータス・ レジスタ・グループAに格納されます。デジタル電源電圧測 定値(VD)の16ビットADCの値は、ステータス・レジスタ・グ ループBに格納されます。VAとVDから、各電源の測定値は 次の式によって得られます。

Analog Power Supply Measurement (V_{REG}) = $V_A \bullet 100 \ \mu V$ Digital Power Supply Measurement (V_{REGD}) = $V_D \bullet 100 \ \mu V$ V_{REG}の値は外付け部品によって決まります。精度を維持す るため、V_{REG}は4.5V~5.5Vの範囲内にします。V_{REGD}の 値は内部部品によって決まります。V_{REGD}の通常の範囲は 2.7V~3.6Vです。

デジタル冗長化機能を使用した内部デバイス・ パラメータの測定(ADSTATDコマンド)

ADSTATDコマンドはADSTATコマンドと同様に動作し ますが、デジタル冗長化機能を使用して追加の診断を実 行することだけが異なります。冗長化を有効にするには、 ADSTATDの実行時に構成レジスタ・グループBのPS[1:0] を0または1に設定する必要があります。デジタル冗長化機 能を使用したA/D変換のセクションを参照してください。

ADSTATとADSTATDの実行時間は同じです。

デジタル冗長化機能を使用した A/D 変換

3つの内部ADCは、独自のデジタル積分マシンおよびデジタ ル微分マシンをそれぞれ搭載しています。また、LTC6812-1 は、冗長化と誤り検査に使用される第4のデジタル積分マシ ンおよびデジタル微分マシンも搭載しています。

全てのADCコマンドおよびセルフ・テスト・コマンド(ADAX およびADSTATを除く)は、デジタル冗長化と並行して実 行できます。これに該当するのは、ADCV、ADOW、CVST、 ADOL、ADAXD、AXOW、AXST、ADSTATD、STATST、 ADCVAX、ADCVSCです。A/D変換を冗長化と同時に実行 する場合、アナログ変調器はそのビット・ストリームを主要デ ジタル・マシンと冗長デジタル・マシンの両方に送信します。

変換が終了すると、2つのマシンからの結果が比較されま す。一致しなかった場合は、0xFF0X (≥ 6.528V)という値が 結果レジスタに書き込まれます。この値はADCのクランプ範 囲外であり、ホストはこれを障害の兆候として識別します。 最後の4ビットは、結果値のどのニブルが一致しなかったを 示すために使用されます。

結果	意味
0b1111_1111_0000_0XXX	ビット15~12には障害が検出されなかった
0b1111_1111_0000_1XXX	ビット15~12に障害が検出された
0b1111_1111_0000_X0XX	ビット11~8には障害が検出されなかった
0b1111_1111_0000_X1XX	ビット11~8に障害が検出された
0b1111_1111_0000_XX0X	ビット7~4には障害が検出されなかった
0b1111_1111_0000_XX1X	ビット7~4に障害が検出された
0b1111_1111_0000_XXX0	ビット3~0には障害が検出されなかった
0b1111_1111_0000_XXX1	ビット3~0に障害が検出された

存在する冗長デジタル・マシンは1つなので、冗長化を 一度に適用できるADCは1つだけです。デフォルトでは、 LTC6812-1はADC経路の冗長化を自動的に選択します。た だし、構成レジスタ・グループBのPS[1:0]ビットに書き込む ことにより、ADCの冗長化経路を選択できます。 ADC経路の冗長化について可能性のある全ての選択肢を表10に示します。

構成レジスタ・グループBのFDRFビットに1を書き込むと、 その後のA/D変換の間はデジタル冗長化の比較が機能しな くなります。

セル電圧とセル電圧合計の測定(ADCVSCコマンド)

ADCVSCコマンドは、15個のセルの測定値をセル電圧合計の測定値と組み合わせます。このコマンドにより、個々の バッテリ・セル電圧測定値とセル電圧合計測定値の同期が 簡単になります。ADCVSCコマンドのタイミングを図8に示し ます。ADCVSCコマンドのフォーマットについては、コマンド のセクションを参照してください。高速モードでのセル電圧 測定値とセル電圧合計測定値の同期時間(t_{SKEW4}および t_{SKEW5})は、それぞれ147µsおよび101µs以内です。

様々なモードでのADCVSCコマンドの変換時間と同期時間 を表11に示します。このコマンドの合計変換時間はt_{6C}によ り与えられます。

2C10, 100 11		× 1/ 12						
	PS[1:0	0] = 00	PS[1:0	PS[1:0] = 01)] = 10	PS[1:0)] = 11
MEASURE	PATH SELECT	REDUNDANT MEASURE						
Cells 1, 6, 11	ADC1	Cell 1	ADC1	Cell 1	ADC2	Cell 6	ADC3	Cell 11
Cells 2, 7, 12	ADC2	Cell 7	ADC1	Cell 2	ADC2	Cell 7	ADC3	Cell 12
Cells 3, 8, 13	ADC3	Cell 13	ADC1	Cell 3	ADC2	Cell 8	ADC3	Cell 13
Cells 4, 9, 14	ADC1	Cell 4	ADC1	Cell 4	ADC2	Cell 9	ADC3	Cell 14
Cells 5, 10, 15	ADC2	Cell 10	ADC1	Cell 5	ADC2	Cell 10	ADC3	Cell 15
Cell 6 (ADOL)	ADC2	Cell 6	ADC1	Cell 6	ADC2	Cell 6	ADC3	N/A
Cell 11 (ADOL)	ADC2	Cell 11	ADC1	N/A	ADC2	Cell 11	ADC3	Cell 11
GPIO[n]*	ADC1	GPIO[n]	ADC1	GPIO[n]	ADC2	N/A	ADC3	N/A
2nd Reference*	ADC1	2nd Ref	ADC1	2nd Ref	ADC2	N/A	ADC3	N/A
SC*	ADC1	SC	ADC1	SC	ADC2	N/A	ADC3	N/A
ITMP*	ADC1	ITMP	ADC1	ITMP	ADC2	N/A	ADC3	N/A
VA*	ADC1	VA	ADC1	VA	ADC2	N/A	ADC3	N/A
VD*	ADC1	VD	ADC1	VD	ADC2	N/A	ADC3	N/A

表10. ADC 経路の冗長化の選択

*ADAX コマンドおよび ADSTAT コマンドは ADAXD コマンドおよび ADSTATD コマンドと同一ですが、ADAXと ADSTAT はデジタル冗長化機能を適用しません。



図8.全15セル、SCを測定するADCVSCコマンドのタイミング

			同期時	間(µs)						
モード	t ₀	t1M	t2M	tзм	t4M	t5M	t _{6M}	t6C	tskew4	tskew5
27kHz	0	58	104	151	205	259	306	1,147	147	101
14kHz	0	87	163	238	321	404	480	1,322	235	159
7kHz	0	145	279	413	554	695	829	2,369	409	275
3kHz	0	261	512	762	1,020	1,277	1,527	3,067	758	508
2kHz	0	494	977	1,460	1,950	2,441	2,924	4,463	1,456	973
1kHz	0	960	1,908	2,857	3,812	4,768	5,717	7,256	2,853	1,904
422Hz	0	1,890	3,770	5,649	7,536	9,423	11,302	12,842	5,645	3,766
26Hz	0	29,818	59,624	89,431	119,245	149,059	178,866	201,351	89,427	59,621

表11. 様々なモードでのADCVSCコマンドの変換時間と同期時間

セル電圧測定の重複(ADOLコマンド)

ADOLコマンドは、まずADC1とADC2によってセル6を同時 に測定します。次に、ADC2とADC3によってセル11を同時 に測定します。ホストは結果を互いに比較して、障害を示す 可能性がある不整合を検出できます。ADC2によるセル6の 測定結果は、通常はセル7の結果が入っているセル電圧レ ジスタ・グループCに置かれます。ADC1による測定結果は、 通常はセル8の結果が入っているセル電圧レジスタ・グルー プCに置かれます。ADC3によるセル11の測定結果は、通常 はセル13の結果が入っているセル電圧レジスタ・グループE に置かれます。ADC2による測定結果は、通常はセル14の結 果が入っているセル電圧レジスタ・グループE に置かれます。ADC2による測定結果は、通常はセル14の結 果が入っているセル電圧レジスタ・グループE に置かれます。ADC2による測定結果は、通常はセル14の結 てください。

ADOLコマンドの変換時間を表12に示します。t_{2C}は、このコマンドの合計変換時間を表します。

精度チェック

データ・アクイジション・システムの精度を確認する最良の 方法は、独立した電圧リファレンスを測定することです。 LTC6812-1には、このために2番目のリファレンスが内蔵さ れています。ADAXコマンドは、この2番目のリファレンスの 測定を開始します。測定結果は補助レジスタ・グループBに 置かれます。この結果の範囲は、ADC1の測定精度と2番 目のリファレンスの精度によって決まり、温度ヒステリシスと 長時間ドリフトが含まれます。読出し値が2.990V~3.014V (LTC6812Iでは2.992V~3.012V)の範囲を外れる場合 は、システムが規定の許容誤差から外れていることを示して います。ADC2は、ADOLコマンドを使用してADC1と比較す ることによって検証します。ADC3は、ADOLコマンドを使用 してADC2と比較することによって検証します。



図9. ADOLコマンドのタイミング

表12. ADOLコマンドの変換時間

	変換時間(μs)							
モード	t ₀	t _{1M}	t _{2M}	t _{2C}				
27kHz	0	58	106	384				
14kHz	0	87	164	442				
7kHz	0	146	281	791				
3kHz	0	262	513	1,024				
2kHz	0	495	979	1,490				
1kHz	0	960	1,910	2,420				
422Hz	0	1,891	3,772	4,282				
26Hz	0	29,818	59,626	67,119				

MUX デコーダ・チェック

診断コマンドDIAGNによって、各マルチプレクサ・チャン ネルが正しく動作していることを確認できます。このコマン ドは全てのチャンネルを巡回検査して、チャンネル・デコー ダが不合格になると、ステータス・レジスタ・グループBの MUXFAILビットを1に設定します。チャンネル・デコーダがテ ストに合格した場合、MUXFAILビットは0に設定されます。 MUXFAILは、電源投入時(POR)またはCLRSTATコマンド の実行後にも1に設定されます。

コアがREFUPステートにある場合、DIAGN コマンドの実行 には約400µsかかります。コアがSTANDBYステートにある 場合、DIAGNコマンドの実行には約4.5msかかります。ポー リング方法のセクションに記載されたポーリング方法を使 用して、DIAGNコマンドの完了を確認できます。

デジタル・フィルタ・チェック

デルタシグマ型ADCは、1ビット・パルス密度変調器とその 後段に接続されたデジタル・フィルタで構成されています。ア ナログ入力電圧が高くなると、パルス密度変調ビット・スト リームにおける1の比率(%)が大きくなります。デジタル・フィ ルタは、この高周波の1ビット・ストリームを1つの16ビット・ ワードに変換します。デルタシグマ型ADCが、よくオーバー サンプリング・コンバータと呼ばれるのはこのためです。

デジタル・フィルタとメモリの動作は、セルフ・テスト・コマン ドによって確認できます。セルフ・テスト中のADCの動作を 図10に示します。1ビット・パルス密度変調器の出力は、1ビッ ト・テスト信号に置き換えられます。このテスト信号はデジタ ル・フィルタを通過して16ビット値に変換されます。1ビットの テスト信号には、変調器からの通常の1ビット信号と同じデ ジタル変換が行われるので、セルフ・テスト・コマンドによる 変換時間は通常のA/D変換コマンドによる変換時間とまっ たく同じです。16ビットADCの値は、対応する通常のA/D 変換コマンドと同じレジスタ・グループに保存されます。テス ト信号は、1と0が交互に現れるパターンをレジスタ内に置 くように設計されています。セルフ・テスト・コマンドの一覧を 表13に示します。デジタル・フィルタとメモリが正しく機能し ている場合は、表13に示す値がレジスタに格納されます。詳 細については、コマンドのセクションを参照してください。



図10. LTC6812-1のADCセルフ・テストの動作

表13.	セルフ・テス	ト・コマン	ドのまとめ
------	--------	-------	-------

		各AI				
コマンド	セルフ・テストの オプション	27kHz	14kHz	7kHz、3kHz、2kHz、 1kHz、422Hz、26Hz	結果レジスタ・グループ	
OVET	ST[1:0] = 01	0x9565	0x9553	0x9555	C1V to C15V	
6421	ST[1:0] = 10	0x6A9A	0x6AAC	0x6AAA	(CVA, CVB, CVC, CVD, CVE)	
AVCT	ST[1:0] = 01	0x9565	0x9553	0x9555	G1V to G9V, REF	
AY21	ST[1:0] = 10	0x6A9A	0x6AAC	0x6AAA	(AUXA, AUXB, AUXC, AUXD)	
CTATCT	ST[1:0] = 01	0x9565	0x9553	0x9555	SC, ITMP, VA, VD	
214121	ST[1:0] = 10	0x6A9A	0x6AAC	0x6AAA	(STATA, STATB)	

ADC クリア・コマンド

LTC6812-1には、3つのADCクリア・コマンドCLRCELL、 CLRAUX、およびCLRSTATがあります。これらのコマンド は、全てのA/D変換結果を保存しているレジスタをクリアし ます。

CLRCELLコマンドは、セル電圧レジスタ・グループA、B、C、 D、Eをクリアします。これらのレジスタ内の全てのバイトは、 CLRCELLコマンドによって0xFFに設定されます。

CLRAUX コマンドは、補助レジスタ・グループA、B、C、およ びDをクリアします。これらのレジスタ内の全てのバイトは、グ ループDの最後の4つのレジスタを除き、CLRAUXコマンド によって0xFFに設定されます。

CLRSTAT コマンドは、ステータス・レジスタ・グループBの REVビットとRSVDビットを除き、ステータス・レジスタ・グ ループAおよびBをクリアします。REVを読み出すと、デバイ スのリビジョン・コードが返されます。RSVDビットは、常に0 を読み出します。ステータス・レジスタ・グループBと補助レジ スタ・グループDのOVフラグ、UVフラグ、MUXFAILビット、 およびTHSDビットは、CLRSTAT コマンドによって全て1に 設定されます。RDSTATB コマンドの実行後、THSDビットは 0に設定されます。SC、ITMP、VA、およびVDを格納するレ ジスタは、CLRSTAT コマンドによって全て0xFFに設定され ます。

断線チェック(ADOW コマンド)

ADOW コマンドは、LTC6812-1の ADCと外部セルとの間に 断線がないかを確認するために使用されます。このコマンド はADCVコマンドとまったく同様にCピン入力のA/D変換を 行いますが、2つのCピンを測定するときに2つの内部電流源 が2つのCピンにシンク電流またはソース電流を供給する点 が異なります。ADOWコマンドのプルアップ(PUP)ビットによ り、電流源が供給する100µAがシンク電流かソース電流か が決まります。

以下の簡単なアルゴリズムを使用して、19のCピンのいずれ かに断線があるかどうかを確認できます。

- PUP = 1を設定した15セルのコマンドADOWを少なくと も2回実行する。最後にセル1~15の電圧を1回読み出 し、その結果をアレイCELLPU(n)に保存する。
- PUP = 0を設定した15セルのコマンドADOWを少なくとも2回実行する。最後にセル1~15の電圧を1回読み出し、その結果をアレイCELLpp(n)に保存する。
- セル2~15に対して上のステップで行ったプルアップ測定 とプルダウン測定の差を取る。
 CELL_Δ(n) = CELL_{PU}(n) – CELL_{PD}(n)

1から14までの全てのnの値に対して、次のように判定する。CELL_Δ(n+1) < -400mVの場合、C(n)が断線している。CELL_{PU}(1) = 0.0000の場合、C(0)が断線している。CELL_{PD}(15) = 0.0000の場合、C(15)が断線している。

上記のアルゴリズムは、断線箇所のLTC6812-1側に10nF 程度の容量を残し、通常動作モードの変換を使用して断線 を検出します。ただし、断線状態のCピンの外部容量がこれ より大きい場合は、このアルゴリズムで断線状態を検出でき るだけの十分な差を作り出す時間を100µA電流源に与え るために、ステップ1と2で実行する断線変換の時間を長く する必要があります。これを実現するには、ステップ1と2で ADOW コマンドを3回以上実行するか、通常動作モード変 換ではなくフィルタ・モード変換を使用します。必要な変換 回数は、表14を使用して決定してください。

表	14
---	----

にピンの	ステップ1と2で必要なADOWコマンドの実行回数							
外部容量	通常動作モード	フィルタ・モード						
≤10nF	2	2						
100nF	10	2						
1 µF	100	2						
С	1 + ROUNDUP (C/10nF)	2						

補助断線チェック(AXOWコマンド)

AXOWコマンドは、LTC6812-1のGPIOピンと外部回路との間に断線がないかを確認するために使用されます。このコマンドはADAXコマンドとまったく同様にGPIOピン入力のA/D変換を行いますが、各GPIOピンを測定するときに内部電流源が各GPIOピンにシンク電流またはソース電流を供給する点が異なります。AXOWコマンドのプルアップ(PUP)ビットにより、電流源が供給する100µAがシンク電流かソース電流かが決まります。

サーマル・シャットダウン

LTC6812-1を過熱から保護するために、デバイスにはサー マル・シャットダウン回路が組み込まれています。ダイで検出 された温度が約150°Cを超えると、サーマル・シャットダウ ン回路が作動して、構成レジスタ・グループと(PWM/Sコン トロール・レジスタ・グループBのSコントロール・ビットを含 む)Sコントロール・レジスタ・グループをデフォルト状態にリ セットします。これによって、全ての放電スイッチがオフにな ります。サーマル・シャットダウンが発生すると、ステータス・ レジスタ・グループBのTHSDビットがハイになります。また、 CLRSTATコマンドが診断の目的でTHSDビットをハイに設 定することもできます。このビットは、ステータス・レジスタ・グ ループBに対する読出し動作(RDSTATBコマンド)が実行 されるとクリアされます。CLRSTATコマンドは、診断の目的

でTHSDビットをハイに設定しますが、構成レジスタ・グルー プはリセットしません。

リビジョン・コード

ステータス・レジスタ・グループBには4ビットのリビジョン・ コード(REV)が格納されています。ソフトウェアでデバイス のリビジョンを確認する必要がある場合、詳細に関しては 弊社までお問い合わせください。それ以外の場合、コードは 無視してかまいません。ただし、データ読出し時にパケット・ エラー・コード(PEC)を計算するときは、いかなる場合でも 全ビットの値を使う必要があります。

ウォッチドッグ・タイマーと放電タイマー

2秒以上有効なコマンドが確認されないと、ウォッチドッグ・ タイマーが期限切れになります。これにより、いかなる場合 でも、構成レジスタ・バイトCFGAR0~3と、構成レジスタ・ グループBのGPIOビットがリセットされます。CFGAR4、 CFGAR5、(PWM/Sコントロール・レジスタ・グループBのS コントロール・ビットを含む)Sコントロール・レジスタ・グルー プ、および構成レジスタ・グループBの残りは、放電タイマー が無効になると、ウォッチドッグ・タイマーによってリセットさ れます。ウォッチドッグ時間が経過すると、WDTピンは外部 プルアップによってハイになります。ウォッチドッグ・タイマー は常にイネーブル状態であり、一致コマンドPECが設定さ れた有効なコマンドが実行されると、その都度リセットされ ます。

放電スイッチをオンのままにする時間をプログラマブルにす るため、放電タイマーが使用されます。放電タイマーを使用 している場合は、ウォッチドッグ・タイマーが作動しても放電 スイッチはオフになりません。

放電タイマーをイネーブルするには、DTENピンをV_{REG}に接続します(図11)。この構成では、放電スイッチをオンのままにする時間を事前にプログラムできますが、その時間は、構成レジスタ・グループAに書き込まれたDCTOの値によって決まります。様々な時間の設定値と対応するDCTOの値を表15に示します。また、ウォッチドッグ・タイマー・イベントまたは放電タイマー・イベントが発生した後の構成レジスタ・ グループの状態をまとめたものを表16に示します。



図11. ウォッチドッグ・タイマーと放電タイマー

表15. DCT0の設定

DCTO	0	1	2	3	4	5	6	7	8	9	А	В	С	D	E	F
時間(分)	Disabled	0.5	1	2	3	4	5	10	15	20	30	40	60	75	90	120

表16

	ウォッチドッグ・タイマー	放電タイマー
DTEN = 0, $DCTO = XXXX$	Resets CFGAR0-5, CFGBR0-1 and SCTRL When It Fires	Disabled
DTEN = 1, DCTO = 0000	Resets CFGAR0-5, CFGBR0-1 and SCTRL When It Fires	Disabled
DTEN = 1, DCTO != 0000	Resets CFGAR0-3 and GPIO Bits in CFGBR0 When It Fires	Resets CFGAR4-5, SCTRL and Remainder of CFGBR0-1 When It Fires

放電タイマーの状態を調べるには、RDCFGAコマンドを使用して、構成レジスタ・グループAを読み出します。表17に示すように、DCTOの値は放電タイマーの期限が切れるまでの残り時間を示します。

表17.

DCTO(読出し値)	残りの放電時間(分)
0	Disabled (or) Timer Has Timed Out
1	$0 < \text{Timer} \le 0.5$
2	0.5 < Timer ≤ 1
3	1 < Timer ≤ 2
4	2 < Timer ≤ 3
5	3 < Timer ≤ 4
6	4 < Timer ≤ 5
7	5 < Timer ≤ 10
8	10 < Timer ≤ 15
9	15 < Timer ≤ 20
A	20 < Timer ≤ 30
В	30 < Timer ≤ 40
C	40 < Timer ≤ 60
D	60 < Timer ≤ 75
E	75 < Timer ≤ 90
F	90 < Timer ≤ 120

ウォッチドッグ・タイマ-とは異なり、放電タイマ-は、有効なコ マンドがあってもリセットされません。放電タイマ-をリセット できるのは、有効なWRCFGA(構成レジスタ・グループAの 書込み)コマンドの後だけです。コマンドによっては、その途 中で放電タイマーの期限が切れる可能性があります。

WRCFGAコマンドの途中で放電タイマーが作動すると、構成レジスタ・グループと(PWM/Sコントロール・レジスタ・グループBのSコントロール・ビットを含む)Sコントロール・レジスタ・グループは、表16に従ってリセットします。ただし、有効なWRCFGAコマンドの終了時には、新しいデータが構成レジスタ・グループAにコピーされます。放電タイマーが作動しても、新しい構成データが失われることはありません。

RDCFGAコマンドまたはRDCFGBコマンドの途中で放電タ イマーが作動すると、構成レジスタ・グループは、表16に従っ てリセットします。この結果、CFGAR4、CFGAR5、CFGBR0、 CFGBR1の各バイトからの読出しデータが壊れる可能性が あります。RDSCTRLコマンドまたはRDPSBコマンドの途中 で放電タイマーが作動すると、(PWM/Sコントロール・レジス タ・グループBのSコントロール・ビットを含む)Sコントロー ル・レジスタ・グループは、表16に従ってリセットします。この 結果、読出しデータが壊れる可能性があります。

セル・バランス調整に対応したSピンのパルス幅変調

セルの放電を更に制御するため、ホストはSピンを構成して、 パルス幅変調を使用して動作できます。ウォッチドッグ・タイ マーの期限が切れないうちは、構成レジスタ・グループの DCCビットがSピンを直接制御します。ウォッチドッグ・タイ マーの期限が切れると、PWM動作が始まり、選択された放 電時間の残りまで続くか、ウェイクアップ・イベントが発生す る(更にウォッチドッグ・タイマーがリセットされる)まで続き ます。PWM動作時は、DCCビットを1に設定して、PWM機 能を動作させる必要があります。

いったんPWM動作が始まると、表18に示すように、PWMレジスタでの構成によってSピンの一部または全部が周期的 にデアサートされ、目的のデューティ・サイクルを実現できま す。各PWM信号は30秒周期で動作します。各サイクルでは、 デューティ・サイクルを0%から100%まで1/15 = 6.67% (2秒) 刻みでプログラムできます。

Sピンの各PWM信号を異なる間隔でシーケンス制御して、2 つのピンがオンまたはオフに同時に切り替わらないようにし ます。チャンネル間のスイッチング間隔は62.5msなので、15 ピン全部を切り替えるには、0.9375秒(15・62.5ms)が必要 です。

(PWMレジスタ・グループおよびPWM/Sコントロール・レジ スタ・グループBにある) PWM制御設定のデフォルト値は、 全て1です。スリープ・モードに入ると、PWM制御設定はデ フォルト値に初期化されます。

表18.Sピンのパルス幅変調設定

DCCビット (構成レジスタ・グループ)	PWMCの設定	オン時間(秒)	オフ時間(秒)	デューティ・サイクル(%)
0	4'bXXXX	0	Continuously Off	0
1	4'b1111	Continuously On	0	100.0
1	4'b1110	28	2	93.3
1	4'b1101	26	4	86.7
1	4'b1100	24	6	80.0
1	4'b1011	22	8	73.3
1	4'b1010	20	10	66.7
1	4'b1001	18	12	60.0
1	4'b1000	16	14	53.3
1	4'b0111	14	16	46.7
1	4'b0110	12	18	40.0
1	4'b0101	10	20	33.3
1	4'b0100	8	22	26.7
1	4'b0011	6	24	20.0
1	4'b0010	4	26	13.3
1	4'b0001	2	28	6.7
1	4'b0000	0	Continuously Off 0	

放電タイマー・モニタ

LTC6812-1は、放電タイマーが作動している間、セル電圧を 周期的にモニタする機能を備えています。この機能を有効に するには、ホストが構成レジスタ・グループBのDTMENビッ トに1を書き込む必要があります。

放電タイマー・モニタが有効になっていて、ウォッチドッグ・ タイマーの期限が切れている場合、LTC6812-1は全てのセ ル電圧の変換を7kHz(通常動作)モードで30秒ごとに実行 します。過電圧と低電圧の比較が実行され、セル電圧が閾 値を超えるとフラグが設定されます。低電圧セルがある場合 は、構成レジスタ・グループAまたは構成レジスタ・グループ Bの関連DCCビットを放電タイマー・モニタが自動的にクリ アするので、セルはそれ以上放電されません。また、DCCビッ トをクリアすると、PWMの放電もディスエーブルされます。こ の機能により、ホストは目的の放電レベルまでの低電圧閾 値を書き込み、放電タイマー・モニタを使用して、全てのセル または選択したセルをそのレベルまで(一定の放電または PWM放電により)放電できます。 放電タイマーのモニタ中は、セル電圧の測定時にデジタル 冗長検査が実行されます。デジタル冗長性障害が発生する と、全てのDCCビットはクリアされます。

GPI0を使用するLTC6812-1のI²C/SPIマスタ

LTC6812-1のI/OポートGPIO3、GPIO4、GPIO5を、I²Cマ スタ・ポートまたはSPIマスタ・ポートとして使用し、I²Cス レーブまたはSPIスレーブと通信できます。I²Cマスタの場 合は、GPIO4とGPIO5が、それぞれI²Cインターフェースの SDAポートとSCLポートを形成します。SPIマスタの場合 は、GPIO3、GPIO4、およびGPIO5が、それぞれSPIインター フェースのCSBMポート、SDIOMポート、およびSCKMポー トになります。LTC6812-1のSPIマスタは、SPIモード3(CHPA = 1、CPOL = 1)をサポートします。

GPIOはオープンドレイン出力なので、I²CマスタまたはSPI マスタとして動作するには、これらのポートに外部プルアップ が必要です。また、構成レジスタ・グループのGPIOビットに 1を書き込んで、これらのポートがデバイスによって内部で ローに引き下げられないようにすることも重要です。

COMMレジスタ

LTC6812-1は、表19に示すように、6バイトのCOMMレジ スタを備えています。このレジスタは、スレーブとのI²C通信 またはSPI通信に必要な、全てのデータと制御ビットを格 納します。COMMレジスタには、スレーブ・デバイスとの間 で送受信される3バイトのデータDn[7:0]が格納されます。 ICOMn[3:0]は、各データ・バイトを送受信する前の制御動 作を指定します。FCOMn[3:0]は、各データ・バイトを送受信 した後の制御動作を指定します。

COMMレジスタのICOMn[3]ビットを1に設定すると、デバイスはSPIマスタになります。また、このビットを0に設定すると、デバイスはI²Cマスタになります。

ICOMn[3:0]とFCOMn[3:0]に対して有効な書込みコードと、 デバイスをI²Cマスタとして使用した場合のそれらの動作を 表20に示します。

ICOMn[3:0]とFCOMn[3:0]に対して有効な書込みコードと、 デバイスをSPIマスタとして使用した場合のそれらの動作を 表21に示します。

ICOMn[3:0]とFCOMn[3:0]に対して有効なのは、表20お よび表21に示したコードのみであることに注意してくださ い。表20および表21に記載されていない他のコードを ICOMn[3:0]とFCOMn[3:0]に書き込むと、I²Cポートまたは SPIポートで予期しない動作が発生する可能性があります。

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
COMMO	RD/WR	ICOM0[3]	ICOM0[2]	ICOM0[1]	ICOM0[0]	D0[7]	D0[6]	D0[5]	D0[4]
COMM1	RD/WR	D0[3]	D0[2]	D0[1]	D0[0]	FCOM0[3]	FCOM0[2]	FCOM0[1]	FCOM0[0]
COMM2	RD/WR	ICOM1[3]	ICOM1[2]	ICOM1[1]	ICOM1[0]	D1[7]	D1[6]	D1[5]	D1[4]
COMM3	RD/WR	D1[3]	D1[2]	D1[1]	D1[0]	FCOM1[3]	FCOM1[2]	FCOM1[1]	FCOM1[0]
COMM4	RD/WR	ICOM2[3]	ICOM2[2]	ICOM2[1]	ICOM2[0]	D2[7]	D2[6]	D2[5]	D2[4]
COMM5	RD/WR	D2[3]	D2[2]	D2[1]	D2[0]	FCOM2[3]	FCOM2[2]	FC0M2[1]	FCOM2[0]

表19. COMM レジスタのメモリ・マップ

表20. I²CマスタのICOMn[3:0]とFCOMn[3:0]の書込みコード

制御ビット	コード	動作	説明
ICOMn[3:0]	0110	START	l ² CポートでSTART信号を生成し、その後データを送信する
	0001	STOP	I ² CポートでSTOP信号を生成する
	0000	BLANK	すぐにI ² Cポートからのデータ送信に進む
	0111	No Transmit	SDAとSCLを解放し、残りのデータは無視する
	0000	Master ACK	マスタは9クロック・サイクル目にACK信号を生成する
FCOMn[3:0]	1000	Master NACK	マスタは9クロック・サイクル目にNACK信号を生成する
	1001	Master NACK + STOP	マスタはNACK信号を生成し、その後STOP信号を生成する

表21. SPIマスタのICOMn[3:0]とFCOMn[3:0]の書込みコード

制御ビット	コード	動作	説明
ICOMn[3:0]	1000	CSBM Low	SPIポート(GPI03)でCSBMのロー信号を生成する
	1010	CSBM Falling Edge	CSBM(GPI03)をハイにした後、ローにする
	1001	CSBM High	SPIポート(GPI03)でCSBMのハイ信号を生成する
	1111	No Transmit	SPIポートを解放し、残りのデータは無視する
FCOMn[3:0]	X000	CSBM Low	バイト送信の終了時までCSBMをローに保持する
	1001	CSBM High	バイト送信の終了時にCSBMをハイにする

COMMコマンド

次の3つのコマンドは、スレーブ・デバイスとのI²C通信また はSPI通信を遂行するのに役立ちます。3つのコマンドは、 WRCOMM、STCOMM、およびRDCOMMです。

WRCOMMコマンド:このコマンドは、COMMレジスタへの データ書込みに使用されます。このコマンドは、6バイトの データをCOMMレジスタに書き込みます。データの最後に はPECを書き込む必要があります。PECが一致しない場合 は、CSBがハイになった時点でCOMMレジスタ内の全ての データがクリアされて1になります。書込みコマンド・フォー マットの詳細については、バス・プロトコルのセクションを参 照してください。

STCOMMコマンド:このコマンドは、GPIOポート上のI²C/SPI 通信を初期化します。COMMレジスタには、スレーブへ送信 する3バイトのデータが格納されます。このコマンドの実行時 には、COMMレジスタに格納されているデータ・バイトがス レーブのI²CデバイスまたはSPIデバイスに送信され、I²Cデ バイスまたはSPIデバイスから受信したデータがCOMMレジ スタに格納されます。このコマンドは、I²C通信の場合、GPIO4 (SDA)とGPIO5 (SCL)を使用し、SPI通信の場合、GPIO3 (CSBM)、GPIO4 (SDIOM)、およびGPIO5 (SCKM)を使 用します。

STCOMMコマンドの後には、CSBがローに保たれる間、1バ イトのデータをスレーブ・デバイスへ送るごとに24個のクロッ ク・サイクルが続きます。例えば、3バイトのデータをスレーブ へ送信するには、STCOMMコマンドとそのPECを送信し、そ の後に72個のクロック・サイクルが続きます。STCOMMコマ ンドの72個のクロック・サイクルの最後で、CSBをハイに引き 上げます。

I²C通信またはSPI通信の間、スレーブ・デバイスから受信したデータはCOMMレジスタ内で更新されます。

RDCOMM コマンド:スレーブ・デバイスから受信したデータ は、RDCOMM コマンドを使用してCOMM レジスタから読み 出すことができます。このコマンドは、6バイトのデータとその 後のPECを読み出します。読出しコマンド・フォーマットの詳 細については、バス・プロトコルのセクションを参照してくだ さい。

デバイスを I^2C マスタとして使用した場合のICOMn[3:0]と FCOMn[3:0]に対する読出しコードを、表22に示します。 Dn[7:0]には、 I^2C スレーブが送信したデータ・バイトが格納 されています。

表22. I²CマスタのICOMn[3:0]とFCOMn[3:0]の読出しコード

制御ビット	コード	説明	
	0110	マスタはSTART信号を生成	
100Mp[0.0]	0001	マスタはSTOP信号を生成	
1001011[3:0]	0000	BLANK、バイト間ではSDAをローに維持	
	0111	BLANK、バイト間ではSDAをハイに維持	
	0000	マスタはACK信号を生成	
	0111	スレーブはACK信号を生成	
	1111	スレーブはNACK信号を生成	
FCOMn[3:0]	0001	スレーブはACK信号を生成、マスタはSTOP 信号を生成	
	1001	スレーブはNACK信号を生成、マスタはSTOP 信号を生成	

SPIマスタの場合、ICOMn[3:0]とFCOMn[3:0]の読出しコードは、それぞれ常に0111と1111です。Dn[7:0]には、SPIスレーブが送信したデータ・バイトが格納されています。

図12は、GPIOを使用した、I²CマスタまたはSPIマスタとしてのLTC6812-1の動作を示しています。



図12. GPI0を使用するLTC6812-1のI²C/SPIマスタ

これらのコマンドを使用すれば、3バイトずつに分けて任意 の数のバイトをスレーブへ送信することができます。GPIO ポートが、異なるSTCOMMコマンド間でリセットされること はありません。ただし、コマンド間の待機時間が2秒よりも長 い場合は、ウォッチドッグ・タイマーがタイムアウトし、ポート をデフォルト値にリセットします。

I²Cマスタを使用して複数バイトのデータを送信する場合、 START信号が必要なのは、データ・ストリーム全体の先頭 だけです。また、STOP信号が必要なのもデータ・ストリーム の最後だけです。全ての中間データ・グループでは、データ・ バイトの前にBLANKコードを使用することができ、必要に 応じてデータ・バイトの後にACK/NACK信号を使用するこ とができます。SDAとSCLが、異なるSTCOMMコマンド間 でリセットされることはありません。
SPIマスタを使用して複数バイトのデータを送信する場合、 1番目のデータ・バイトの先頭でCSBMのロー信号を送信し ます。FCOMn[3:0]で適切なコードを使用して、中間データ・ グループに対して、CSBMをローに保つかハイに引き上げ ることができます。データの最終バイトの最後で、CSBMの ハイ信号を送信します。CSBM、SDIOM、およびSCKMが、 異なるSTCOMMコマンド間でリセットされることはありま せん。

図13は、様々なケースのI²Cマスタについて、STCOMM コマンドの後の24個のクロック・サイクルを示しています。 ICOMn[3:0]がSTOP状態を規定している場合は、STOP信 号の送信後にSDAラインとSCLラインがハイに維持され、 ワードの残りのデータが全て無視されます。ICOMn[3:0]が NO TRANSMITの場合は、SDA ラインとSCL ラインの両方 が解放されて、ワードの残りのデータが無視されます。これ は、スタック内の特定デバイスがスレーブと通信する必要の ない場合に使用されます。

図14は、SPIマスタについて、STCOMMコマンドの後の24 個のクロック・サイクルを示しています。I²Cマスタと同様に、 ICOMn[3:0]がCSBM HIGHまたはNO TRANSMIT状態を 指定した場合、SPIマスタのCSBM、SCKM、および SDIOM の各ラインが解放され、ワードの残りのデータが無視され ます。



図 13. I²Cマスタの STCOMM のタイミング図



図14. SPIマスタのSTCOMMのタイミング図

I²CマスタとSPIマスタのタイミング仕様

LTC6812-1のI²CマスタまたはSPIマスタのタイミングは、 LTC6812-1のプリイマリSPIインターフェースでの通信のタイ ミングによって制御されます。プライマリSPIクロックに対するI²Cマスタのタイミング関係を、表23に示します。SPIマスタのタイミング仕様を表24に示します。

表23. I²Cマスタのタイミング

I ² Cマスタのパラメータ	プライマリSPIインターフェースとの タイミング関係	t _{CLK} = 1 µsでのタイミング仕様
SCL Clock Frequency	1/(2 • t _{CLK})	Max 500kHz
t _{HD} ;STA	t3	Min 200ns
tLOW	t _{CLK}	Min 1 µs
tнigh	t _{CLK}	Min 1 µs
t _{SU} ;STA	$t_{CLK} + t_4^*$	Min 1.03 µs
t _{HD} ;DAT	t4*	Min 30ns
t _{SU} ;DAT	t3	Min 200ns
t _{SU} ;STO	t _{CLK} + t ₄ *	Min 1.03 µs
t _{BUF}	3 • t _{CLK}	Min 3 µs

*注記:isoSPIを使用する場合、t4は内部で生成され、最小値の30nsになる。また、t3 = t_{CLK} – t4である。SPIを使用する場合、t3とt4は、SCK入力のロー時間とハイ時間であり、それぞれ既定 最小値の200nsになる。

表24. SPIマスタのタイミング

SPIマスタのパラメータ	プライマリSPIインターフェースとの タイミング関係	t _{CLK} = 1 µs でのタイミング仕様		
SDIOM Valid to SCKM Rising Setup	t ₃	Min 200ns		
SDIO Valid from SCKM Rising Hold	t _{CLK} + t4*	Min 1.03 µs		
SCKM Low	t _{CLK}	Min 1 µs		
SCKM High	t _{CLK}	Min 1 µs		
SCKM Period (SCKM_Low + SCKM_High)	2 • t _{CLK}	Min 2µs		
CSBM Pulse Width	3 • t _{CLK}	Min 3µs		
SCKM Rising to CSBM Rising	5 • t _{CLK} + t ₄ *	Min 5.03 µs		
CSBM Falling to SCKM Falling	t ₃	Min 200ns		
CSBM Falling to SCKM Rising	t _{CLK} + t ₃	Min 1.2 µs		
SCKM Falling to SDIOM Valid	Master Requ	ires < t _{CLK}		

*注記:isoSPIを使用する場合、t4は内部で生成され、最小値の30nsになる。また、t3 = tCLK - t4である。SPIを使用する場合、t3とt4は、SCK入力のロー時間とハイ時間であり、それぞれ既定 最小値の200nsになる。

Sピンの制御設定を使用したSピンのパルス生成

LTC6812-1のSピンは、簡単なシリアル・インターフェースと して使用できます。これが特に役立つのは、アナログ・デバ イセズのLT8584を制御するときです。このデバイスは、大型 バッテリ・スタックのバランスを能動的に制御する目的で設 計された、モノリシックのフライバックDC/DCコンバータで す。LT8584には、シリアル・インターフェースを介して制御さ れるいくつかの動作モードがあります。LTC6812-1は、各S ピンの一連のパルスを送信することによってLT8584と通信 して、LT8584の特定のモードを選択できます。(Sコントロー ル・レジスタ・グループおよびPWM/Sコントロール・レジス タ・グループBにある)Sピンの制御設定を使用して、15のS ピンのそれぞれの動作を指定します。ここで、各ニブルは、 Sピンをハイに駆動するか、ローに駆動するか、またはパル ス数が1~7のパルス・シーケンスを送信するかを指定しま す。LT8584に送信できるSピンの可能な動作を表25に示し ます。

Sピンのパルスが発生するパルス・レートは、6.44kHz(155 µs 周期)です。パルス幅は77.6 µsになります。Sピンのパルス 生成が始まるのは、最後のコマンドのPECクロックの後に、 STSCTRLコマンドが送信されたときです。ただし、コマンド のPECが一致することが前提です。ホストは、パルス生成の 状態をポーリングするために、SCKにクロックを入力し続け ることがあります。このポーリングはADCのポーリング機能と 同様に機能します。データ出力は、Sピンのパルス・シーケン スが完了するまでロジック・ローのままです。

Sピンのパルス生成が進行している間、新たなSTSCTRL、 WRSCTRL、またはWRPSBコマンドは無視されます。 PLADCコマンドを使用すると、Sピンのパルス生成がいつ完 了したかを調べることができます。

WRSCTRL (またはWRPSB) コマンドとコマンドのPECを正常に受信したが、データのPECが一致しない場合、Sピンの制御設定はクリアされます。

構成レジスタ・グループAまたは構成レジスタ・グループBの DCCビットがアサートされると、LTC6812-1は、Sピンの制御 設定に関係なく、選択されたSピンをローに駆動します。Sピ ンの制御設定を使用する場合、ホストはDCCビットを0に設 定したままにする必要があります。

CLRSCTRLコマンドを使用してSピンの制御設定を全て0 に迅速にリセットし、パルス生成マシンによってSピンの制 御を解除できます。このコマンドは、オートモーティブ・アプリ ケーションで診断制御ループの時間を短縮するのに役立ち ます。

ニブルの値	Sピンの動作
0000	
0001	
0010	
0011	
0100	
0101	
0110	
0111	
1XXX	

表25.Sピンのパルス生成動作

Sピンのミュート

SピンはMUTEコマンドを送信すればディスエーブルが可能 であり、UNMUTEコマンドを送信すれば再イネーブルが可 能です。MUTEコマンドとUNMUTEコマンドは後に続くデー タが不要なので、多数のLTC6812-1デバイスを介して迅速 に伝搬できます。これにより、ホストはレジスタの内容を乱す ことなく、放電の無効化と再有効化を迅速に(<100µs)実行 できます。このことは、例えばセル測定を実行する前に一定 のセトリング時間を確保するのに便利です。ミュート・ステー タスは、構成レジスタ・グループBの読出し専用MUTEビッ トで報告されます。

シリアル・インターフェースの概要

LTC6812-1には2種類のシリアル・ポートがあります。それ は標準的な4線式シリアル・ペリフェラル・インターフェース (SPI)と2線絶縁型インターフェース(isoSPI)です。ピン53、 54、61、62が2線シリアル・ポートと4線シリアル・ポートのど ちらになるかは、ISOMDピンの状態によって決まります。

LTC6812-1はデイジーチェーン構成で使用されます。2番目のisoSPIインターフェースは、ピン57、58、63、および64を使用します。

4線式シリアル・ペリフェラル・インターフェース (SPI)の物理層

外部接続

ISOMDをV⁻に接続すると、シリアル・ポートAは4線式SPI として設定されます。SDOピンはオープン・ドレイン出力で、 プルアップ抵抗を介して適切な電源電圧に接続する必要が あります(図15)。

タイミング

4線シリアル・ポートは、CPHA = 1およびCPOL = 1を使う SPIシステムで動作するように構成されています。したがって SDIのデータは、SCK 立上がりエッジの間、安定している必 要があります。このタイミングを図16に示します。最大デー タ・レートは1Mbpsですが、デバイスは規定の最大データ・ レートでの動作を確保するために、量産時には1Mbpsより 高いデータ・レートでテストされます。

2線絶縁型インターフェース(isoSPI)の物理層

2線インターフェースは、シンプルなツイスト・ペア・ケーブ ルを使用してLTC6812-1を相互接続します。このインター フェースは、配線が高いRF電界にさらされた場合でも、パ ケット・エラー率が低くなるように設計されています。絶縁は 外付けのトランスを通じて実現されます。

標準SPI信号は差動パルスにエンコードされます。送信パ ルスの強度とレシーバーの閾値レベルは、2個の外付け抵 抗によって設定されます。これらの抵抗の値を調整すること によって、消費電力とノイズ耐性を天秤に掛けることができ ます。

図17は、isoSPI回路の動作を示しています。IBIASピンは2V リファレンスによって駆動します。外付け抵抗R_{B1}およびR_{B2} によって、リファレンス電流I_Bが流れます。この電流は、トラン スミッタのドライブ強度を設定します。また、R_{B1}とR_{B2}は分 圧器を形成して、2Vリファレンスの数分の1の電圧をICMP ピンに供給します。レシーバー回路の閾値は、ICMPピンの 電圧の半分です。

外部接続

LTC6812-1は、ポートBとポートAという2つのシリアル・ポートを備えています。ポートBは、常に2線インターフェースとして構成されます。ポートAは、ISOMDピンの接続に応じて、2線インターフェースまたは4線インターフェースになります。



図15.4線SPI構成











ポートAを4線インターフェースとして構成すると、ポートAは 常にスレーブ・ポートになり、ポートBはマスタ・ポートになり ます。通信は、デイジーチェーン構成における先頭のデバイ スのポートAで常に開始されます。デイジーチェーンの末尾 のデバイスは、ポートBを使用せず、RMで終端する必要があ ります。マイクロプロセッサとLTC6812-1が同じPCB上にあ る場合の最も単純なポート接続を図18に示します。この図 では、LTC6812-1間の信号を結合するのにコンデンサを使 用しています。

ポートAを2線インターフェースとして構成した場合、通信は ポートAとポートBのいずれで開始してもかまいません。通信 をポートAで開始した場合、LTC6812-1はポートAをスレー ブとして構成し、ポートBをマスタとして構成します。同様に、 通信をポートBで開始した場合、LTC6812-1はポートBをス レーブとして構成し、ポートAをマスタとして構成します。可 逆的なisoSPIの詳細については、可逆的なisoSPIのセクショ ンを参照してください。

複数の同一PCBの堅牢な相互接続の例を図19に示します。 各PCBにはLTC6812-1が1つずつ実装されており、デイジー チェーンでの動作に合わせて構成されています。マイクロプ ロセッサは別のPCB上に置かれています。マイクロプロセッ サPCBと最初のLTC6812-1 PCB間の2線絶縁を実現するに は、LTC6820サポート・デバイスを使用します。LTC6820は、 図17に示す図と機能的に等価です。この例では、通信をポー トAで開始しています。したがって、LTC6812-1はポートAを スレーブとして構成し、ポートBをマスタとして構成します。

単一のLTC6812-1の使用

必要なLTC6812-1が1つだけの場合で、2番目のisoSPIポート(ポートB)のバイアスと終端が適切である場合は、図20お よび図21に示すように、単一の(非デイジーチェーン接続) デバイスとして使用できます。ICMPはGNDに接続しないで ください。ただし、IBIASには直接接続してかまいません。 IBIASにはバイアス抵抗(2k~20k)が必要です。IBIASは V_{REG}にもV⁻にも直接接続しないでください。最後に、IPB とIMBは100Ωの抵抗に終端します(V_{REG}とV⁻には接続し ないでください)。



図18. 容量結合型デイジーチェーン構成



図19.トランス絶縁型デイジーチェーン構成

43





図20.2線式のポートAを使用する単一デバイス



図21.4線式のポートAを使用する単一デバイス

バイアス抵抗の選択

調整可能な信号の振幅により、システムは消費電力の見返 りに通信の堅牢性を得られます。また、調整可能なコンパ レータの閾値により、システムは信号損失を考慮に入れるこ とができます。

isoSPIトランスミッタの駆動電流とコンパレータの電圧閾値 は、IBIASとV⁻の間の抵抗分圧器 (R_{BIAS} = R_{B1} + R_{B2})に よって設定されます。分割された電圧は ICMP ピンに接続さ れ、コンパレータの閾値がこの電圧 (V_{ICMP})の半分に設定 されます。いずれかの isoSPI インターフェースが (IDLEでは なく) イネーブルされると、IBIAS は 2V に維持されるため、電 流 I_Bが IBIAS ピンから流れ出します。IP および IM ピンの駆 動電流は 20 • I_Bです。

例えば、分圧器の抵抗 R_{B1} が2.8k、抵抗 R_{B2} が1.21k(した がって、 $R_{BIAS} = 4k$)の場合、次のようになります。

$$I_{B} = \frac{2V}{R_{B1} + R_{B2}} = 0.5mA$$

 $I_{DRV} = I_{IP} = I_{IM} = 20 \bullet I_B = 10 mA$

$$V_{ICMP} = 2V \bullet \frac{R_{B2}}{R_{B1} + R_{B2}} = I_B \bullet R_{B2} = 603 \text{mV}$$

 $V_{TCMP} = 0.5 \bullet V_{ICMP} = 302mV$

この例では、パルス駆動電流 I_{DRV}は 10mA になり、レシー バーのコンパレータは、IP-IM 間の振幅が±302mVより大き いパルスを検出します。

絶縁障壁として1:1のトランスを使用し、ツイスト・ペア・ケー ブルで接続されて両端が120Ωの抵抗で終端される場合、 送信差動信号の振幅(±)は、次のようになります。

$$V_{A} = I_{DRV} \bullet \frac{R_{M}}{2} = 0.6V$$

(この結果は、トランスとケーブルの損失による振幅の減衰 を無視しています)。

isoSPIパルスの詳細

2つのLTC6812-1デバイスは、絶縁障壁を介して差動パルスを送受信することによって通信が可能です。トランスミッタが出力できるのは、3つの電圧レベル(+VA、0V、および-VA)です。正の出力は、負荷抵抗RMの両端のIPソース電流とIMシンク電流によって得られます。負の電圧は、IPシンク電流

とIMソース電流によって生成されます。両方の出力がオフである場合、負荷抵抗によって差動出力は強制的に0Vになります。

DC信号成分を除去して信頼性を向上させるために、isoSPI は2種類のパルス長を使用します。これにより、表26に示す ように、4種類のパルスを送信できます。A+1パルスは正のパ ルスとして送信され、その次に負のパルスが送信されます。 A-1パルスは負のパルスとして送信され、その次に正のパル スが送信されます。各パルスの期間は、必要な対称対の半 分であるため、t1/2PWとして定義されます(isoSPIパルスの全 持続時間は2・t1/2PWです)。

表26. isoSPIパルスの種類

パルスの種類	1番目のレベル (t _{1/2PW})	2番目のレベル (t _{1/2PW})	最終レベル
Long +1	+V _A (150ns)	–V _A (150ns)	OV
Long -1	–V _A (150ns)	+V _A (150ns)	OV
Short +1	+V _A (50ns)	–V _A (50ns)	OV
Short -1	–V _A (50ns)	+V _A (50ns)	OV

レシーバーはこれらの種類のisoSPIパルスをそれぞれ検 出するように設計されています。正常に検出するには、入力 isoSPIパルス(CSBまたはデータ)が以下の条件を満たす必 要があります。

- 1. 入力パルスの $t_{1/2PW}$ >レシーバーの t_{FILT}
- 2. 入力パルスのt_{INV} < レシーバーのt_{WNDW}

最初の条件にとって最も厳しいマージン(マージン1)は、入 カパルスのt_{1/2PW}の最小値とレシーバーのt_{FILT}の最大値と の差です。同様に、2番目の条件にとって最も厳しいマージン (マージン2)は、レシーバーのt_{WNDW}の最小値と入力パル スのt_{INV}の最大値との差です。これらのタイミングの関係を 図22に示します。

ホスト・マイクロコントローラは、この2線インターフェースを 使用するために、isoSPIパルスを生成する必要がありませ ん。システム内の1番目のLTC6812-1は、ポートA上の4線 SPIインターフェースを使用してマイクロコントローラと通信 し、次にポートB上の2線isoSPIインターフェースを使用し て他のLTC6812-1とデイジーチェーン接続できます。あるい は、LTC6820を使用して、SPI信号をisoSPIパルスに変換で きます。

LTC6812-1

動作



図 22. isoSPI パルスの詳細

ポートAをSPIに合わせて構成した場合の動作

LTC6812-1がポートAをSPIとして(ISOMD = V⁻)動作する 場合、SPIは4つの通信イベント(CSBの立下がり、CSBの立 上がり、SDI = 0でのSCKの立上がり、およびSDI = 1での SCKの立上がり)のいずれか1つを検出します。各イベントは 4種類のパルスのいずれかに変換され、デイジーチェーンを 介して送信されます。表27で説明されているように、CSBの 変化を送信する場合は長いパルスが使用され、データを送 信する場合は短いパルスが使用されます。

表27.	ポー	トB((マスタ)isoSPIポー	トの機能
------	----	-----	------	-----------	------

通信イベント(ポートA SPI)	送信パルス(ポートBisoSPI)
CSB Rising	Long +1
CSB Falling	Long -1
SCK Rising Edge, $SDI = 1$	Short +1
SCK Rising Edge, $SDI = 0$	Short -1

ポートAをisoSPIに合わせて構成した場合の動作

絶縁障壁のもう一方の側(つまり、ケーブルの他端)にある、 2番目のLTC6812-1では、ポートAがisoSPIに合わせて構成 されるように、ISOMD = V_{REG}になります。スレーブのisoSPI ポート(ポートAまたはB)は、送信された各パルスを受信し て、表28に示すように内部でSPI信号を再構築します。更に、 このポートは、READコマンドの実行時にリターン・データ・ パルスを送信できます。

表28. ポートA(スレーブ) isoSPIのポート機能

受信パルス (ポートA isoSPI)	SPIポートの 内部動作	リターン・パルス
Long +1	Drive CSB High	None
Long -1	Drive CSB Low	
Short +1	1.Set SDI = 1 2.Pulse SCK	Short –1 Pulse if Reading a 0 Bit
Short -1	1.Set SDI = 0 2.Pulse SCK	No Return Pulse if not in READ Mode or if Reading a 1 Bit)

スレーブのisoSPIポートが長い(CSB)パルスを送信すること はありません。その上、スレーブのisoSPIポートは、短い-1パ ルスのみを送信し、+1パルスを送信しません。マスタ・ポート は、ヌル応答をロジック1として認識します。

可逆的なisoSPI

LTC6812-1が、ポートAをisoSPIに合わせて構成して動作す る場合、通信はポートAとポートBのいずれから開始しても かまいません。言い換えると、LTC6812-1は、通信の方向に 応じて、ポートAとポートBのどちらもスレーブまたはマスタと して構成できます。可逆的なisoSPI機能により、一連のデイ ジーチェーン接続デバイスでは、両方向からの通信が可能 です。回路図の例については、図23を参照してください。可 逆的なisoSPIの動作を図24に示します。



図23. 可逆的な isoSPIのデイジーチェーン

4





図24. 可逆的な isoSPI のステート図

LTC6812-1はSLEEPステートのとき、ポートAまたはポートBでの有効なWAKEUP信号に応答します。このことは、ISOMDピンの構成がいずれの場合にも成り立ちます。

WAKEUP信号がポートAで送信された場合、LTC6812-1は isoSPIの起動後にポートBで長い+1 isoSPIパルス(CSBの 立上がり)を送信します。WAKEUP信号がポートBで送信さ れた場合、LTC6812-1はisoSPIを起動しますが、ポートAで は長い+1 isoSPIパルスを送信しません。

LTC6812-1はREADYステートのとき、ポートAまたはポー トBで長い-1 isoSPIパルス(CSBの立下がり)を送信する ことによって通信を開始できます。LTC6812-1は、長い-1 isoSPIパルスを受信したポートを自動的にスレーブとして構 成します。また、もう一方のポートはマスタとして構成されま す。isoSPIパルスは、マスタ・ポートを介してデイジーチェーン の残りのデバイスに送信されます。

ACTIVEステートでは、LTC6812-1は通信の途中であり、内部SPIポートのCSBはローです。通信の最後に、スレーブ・ ポートで長い+1パルス(CSBの立上がり)を受信すると、デ バイスはREADYステートに戻ります。通常の通信ルーチン の一部ではありませんが、LTC6812-1では、ACTIVEステー トの範囲内でポートAとポートBを交換できます。この機能 は、ポートの現在のステートに関係なく、マスタ・コントロー ラがLTC6812-1のスレーブ・ポートの制御を取り戻すのに 便利です。このためには、デバイスが送信した最後のisoSPI 信号から遅延時間tBLOCKの経過後に、マスタ・ポートで長い-1 isoSPIパルスを送信します。tBLOCKの範囲内で長いisoSPIパルスをマスタ・ポートに送信しても、このパルスはデバイスによって排除されます。これにより、(ケーブル長が100m未満の)終端が不十分なケーブルから信号が反射するので、LTC6812-1はポートを切り替えられなくなります。

タイミング図

デイジーチェーン接続されたLTC6812-1デバイスに対する READコマンドのisoSPIタイミング図を図25に示します。 ISOMDピンは末尾のデバイスのV⁻に接続されるので、その ポートAはSPIポート(CSB、SCK、SDI、およびSDO)として 構成されます。3つのスタック・デバイスのisoSPI信号を、ポー ト名(AまたはB)とデバイス番号のラベルを付けて示します。 なお、ISO B1とISO A2は、実際には同じ信号ですが、デバ イス1と2を接続する伝送ケーブルのそれぞれの端に現れま す。同様に、ISO B2とISO A3も同じ信号ですが、デバイス2 と3の間にはケーブルによる遅延が生じます。

ビットW_N~W₀は、READコマンドの16ビットのコマンド・ コードと16ビットのPECを表します。ビットW₀の最後に、3 つのデバイスがREADコマンドをデコードして、データのシフ ト出力を開始します。このデータはクロックSCKの次の立上 がりエッジで有効になります。ビットX_N~X₀は、デバイス1 によってシフト出力されたデータを表します。ビットY_N~Y₀ は、デバイス2によってシフト出力されたデータを表し、ビット





図 25. isoSPIのタイミング図





Z_N~Z₀は、デバイス3によってシフト出力されたデータを表 します。これらのデータは全て、デバイス1のSDOポートから デイジーチェーン式に読み出されます。

シリアル・インターフェースのウェイクアップ

t_{IDLE}の時間内にポートAまたはポートBに動作がなかった 場合、シリアル・ポート(SPIまたはisoSPI)は、低消費電力の IDLEステートに移行します。WAKEUP回路は、ピン61~64 での動作をモニタします。

ISOMD = V⁻の場合、ポートAはSPIモードになっていま す。CSB ピンまたはSCK ピンに動作があると、SPIインター フェースがウェイクアップします。ISOMD = V_{REG}の場合、 ポートAはisoSPIモードになっています。IPA-IMA間(また はIPB-IMB間)に差動動作があると、isoSPIインターフェー スがウェイクアップします。isoSPIの状態が、コアの状態に応 じてt_{WAKE}またはt_{READY}の時間内にREADYに変わると、 LTC6812-1は通信できる状態になります(詳細については、 図1およびステートの説明を参照)。

タイミングと機能的に等価な回路を図26に示します(ポートAのみ表示)。同相信号はシリアル・インターフェースを ウェイクアップしません。このインターフェースは、大信号の シングルエンド・パルスまたは低振幅の対称パルスを受信し た後にウェイクアップするよう設計されています。差動信号 |SCK(IPA) – CSB(IMA)|は、シリアル・インターフェースを起 動するWAKEUP信号として有効になるために、t_{DWELL} = 240nsの最小持続時間の間、V_{WAKE} = 200mV以上である 必要があります。

デイジーチェーンのウェイクアップ—方法1

LTC6812-1は、通信できる状態になった後、ポートB上で長い+1パルスを送信します。デイジーチェーン接続構成では、 このパルスがスタック内の次のデバイスをウェイクアップし、 そのデバイスが更に次のデバイスをウェイクアップします。ス タック内に「N」個のデバイスが存在する場合は、コアの状態 に応じて、N・tWAKEまたはN・tREADYの時間内に全てのデ バイスの電源が投入されます。大規模なスタックの場合、N ・tWAKEの時間は、tIDLE以上になることがあります。その場 合、ホストは、N・tWAKEの時間よりも長く待機した後、別の ダミー・バイトを送信し、全てのデバイスが確実にREADYス テートになるために、N・tREADYの間、待機することがあり ます。

方法1を使用できるのは、デイジーチェーン上にある全ての デバイスがIDLEステートである場合です。これにより、デバ イスがWAKEUP信号をデイジーチェーンで伝搬することが 確実になります。ただし、この方法では、チェーンの途中にあ るデバイスがIDLEステートではなくREADYステートである 場合、全てのデバイスをウェイクアップできません。そうなっ た場合、READYステートにあるデバイスはウェイクアップ・ パルスを伝搬しないので、そのデバイスより上のデバイスは IDLEステートのままになります。この状況(IDLEになってい るデバイスもあるが、そうでないデバイスもある状況)が起こ る可能性があるのは、わずかt_{IDLE}のアイドル時間経過後に デイジーチェーンをウェイクアップしようとした場合です。



図 26. ウェイクアップ検出と IDLE タイマー

デイジーチェーンのウェイクアップ—方法2

より堅牢なウェイクアップ方法は、組込みのウェイクアップ・ パルスに依存せず、デイジーチェーン全体をウェイクアップ するのに十分な時間をかけてisoSPIトラフィックを手動で 送信することです。少なくとも、デバイスごとに一対の長い isoSPIパルス(-1および+1)が必要であり、tREADYまたは twake (コア・ステートがそれぞれ STANDBY または SLEEP である場合)よりは長いが、ttpLEよりは短い時間で区切るこ とが必要です。これにより、各デバイスをウェイクアップして、 次のパルスを後続のデバイスに伝搬することができます。こ の方法は、チェーン内の一部のデバイスがIDLEステートで はない場合にも機能します。実際に、方法2を実行するには、 CSBピン(LTC6820のCSBピン、またはISOMD=0にした末 尾のLTC6812-1のCSBピン)を切り替え、長いisoSPIパルス を生成することが必要です。代わりに、(RDCFGAなどの)ダ ミー・コマンドを実行して長いisoSPIパルスを生成することも できます。

データ・リンク層

LTC6812-1では、全てのデータがバイト・グループ単位で伝送されます。全てのバイトは、8ビットで構成されます。各バイトは、最上位ビット(MSB)を先頭にして送信されます。CSBは、コマンド・バイトとそれ以降のデータの間を含むコマンド・シーケンスの全期間にわたり、ローのままである必要があります。書込みコマンドでは、データは、CSBの立上がりエッジでラッチされます。

ネットワーク層

パケット・エラー・コード

パケット・エラー・コード (PEC) は、レジスタ・グループ内の 全てのビットについて計算される15ビットの巡回冗長検査 (CRC) 値で、この計算はPECの初期値00000000000000 と、特性多項式 $x^{15} + x^{14} + x^{10} + x^8 + x^7 + x^4 + x^3 + 1$ を使 用して、渡された順番に行なわれます。15ビットのPEC 値の 計算には、簡単な手順を定めることができます。

- 2. PECレジスタ・グループに入る各ビットのDINを、次のよう に設定する。
 - IN0 = DIN XOR PEC[14] IN3 = IN0 XOR PEC[2] IN4 = IN0 XOR PEC[3] IN7 = IN0 XOR PEC[6] IN8 = IN0 XOR PEC[7] IN10 = IN0 XOR PEC[9] IN14 = IN0 XOR PEC[13]
- 3. 15ビットのPECを次のように更新する。

PEC[14] = IN14 PEC[13] = PEC[12] PEC[12] = PEC[11] PEC[11] = PEC[10] PEC[0] = IN10 PEC[9] = PEC[8] PEC[8] = IN8 PEC[7] = IN7 PEC[6] = PEC[5] PEC[5] = PEC[4] PEC[4] = IN4 PEC[3] = IN3 PEC[2] = PEC[1] PEC[1] = PEC[0]PEC[0] = IN0

4. 全データがシフトされるまで、ステップ2に戻る。最後の PEC(16ビット)はPECレジスタの15ビット値で、LSBに0 ビットが追加される。

前述のアルゴリズムを図27に示します。16ビット・ワード (0x0001)に対するPEC計算の例を表29に示します。 0x0001のPECを計算してLSBに0ビットを挿入すると、 0x3D6Eとなります。より長いデータ・ストリームの場合は、 PECレジスタへ送られる最終データ・ビットの終了時点で PECが有効になります。

LTC6812-1は、受け取ったどのコマンドまたはどのデータに 対してもPECを計算し、それをコマンドまたはデータに続く PECと比較します。コマンドまたはデータは、PECが一致す る場合にのみ有効と見なされます。また、LTC6812-1は、シ フトアウトするデータの末尾に、計算されたPECを付加しま す。LTC6812-1に対する書込み時または読出し時のPECの フォーマットを表30に示します。



図27.15ビットのPEC計算回路

表29.0x0001のPEC計算

PEC[14]	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	0	0
PEC[13]	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1	1	0	0
PEC[12]	0	0	0	0	0	0	0	0	1	0	0	0	0	1	1	0	1	1
PEC[11]	0	0	0	0	0	0	0	1	0	0	0	0	1	1	0	1	1	1
PEC[10]	0	0	0	0	0	0	1	0	0	0	0	1	1	0	1	1	1	1
PEC[9]	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0	1	1
PEC[8]	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0	1	0	0
PEC[7]	0	0	0	1	0	0	0	0	0	0	0	1	1	1	0	1	1	1
PEC[6]	0	0	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
PEC[5]	0	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1
PEC[4]	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1	1
PEC[3]	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0
PEC[2]	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
PEC[1]	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
PEC[0]	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1
IN14	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	0		0
IN10	0	0	0	0	0	1	0	0	0	0	1	1	0	1	1	1		PEC Word
IN8	0	0	0	1	0	0	0	0	0	0	1	0	0	0	1	0		
IN7	0	0	1	0	0	0	0	0	0	0	1	1	1	0	1	1		
IN4	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1		
IN3	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0		
INO	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1		
DIN	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1		
Clock Cycle	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	

表30. 書込み/読出しのPECフォーマット

名前	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
PEC0	RD/WR	PEC[14]	PEC[13]	PEC[12]	PEC[11]	PEC[10]	PEC[9]	PEC[8]	PEC[7]
PEC1	RD/WR	PEC[6]	PEC[5]	PEC[4]	PEC[3]	PEC[2]	PEC[1]	PEC[0]	0

いずれかのコマンドがLTC6812-1に書き込まれるときに、コ マンド・バイトのCMD0とCMD1(表37と表38を参照)、およ びPECバイトのPEC0とPEC1が、次の順序でポートAで送 信されます。

CMD0、CMD1、PEC0、PEC1

デイジーチェーン接続されたLTC6812-1デバイスへの書込 みコマンドの実行後、データが各デバイスに送信され、その 後PECが送信されます。例えば、構成レジスタ・グループAを デイジーチェーン接続された2つのデバイス(プライマリ・デ バイスPとスタック構成デバイスS)に書き込む場合、プライ マリ・デバイスのポートAに、次の順序でデータが送信され ます。

CFGAR0(S), \cdots , CFGAR5(S), PEC0(S), PEC1(S), CFGAR0(P), \cdots , CFGAR5(P), PEC0(P), PEC1(P)

デイジーチェーン接続されたデバイスに対して読出しコマン ドを実行すると、各デバイスは、データとそのデータに対して 計算されたPECをポートAでシフト出力し、その後ポートB でデータを受信します。例えば、デイジーチェーン接続され た2つのデバイス(プライマリ・デバイスPとスタック構成デバ イスS)からステータス・レジスタ・グループBを読み出すとき に、プライマリ・デバイスは、次の順序でポートAからデータ を送信します。

STBR0(P), ···, STBR5(P), PEC0(P), PEC1(P), STBR0(S), ···, STBR5(S), PEC0(S), PEC1(S)

コマンドのフォーマットについては、バス・プロトコルを参照 してください。

コマンド・バイトは、デイジーチェーン構成内の全てのデバイ スが同時に受け取ります。例えば、スタック構成のデバイス でA/D変換を開始する場合は、1つのADCVコマンドを送る と、全デバイスが同時に変換を開始します。読出しと書込み のコマンドでは、1つのコマンドが送られ、次いでスタック構 成のデバイスが事実上カスケード接続されたシフト・レジス タになり、データが各デバイスを通して、スタック内の1つ上 のデバイス(書込み時)または1つ下のデバイス(読出し時) にシフトされます。シリアル・インターフェースの概要のセク ションを参照してください。

ポーリング方法

A/D変換の完了を判断する最も簡単な方法は、コントロー ラにA/D変換を開始させ、指定の変換時間が経過するのを 待って結果を読み出すことです。

SPIモード(ISOMDピンをローに接続)で通信する単一の LTC6812-1を使用する場合は、2つのポーリング方法があり ます。最初の方法は、A/D変換コマンドの送信後にCSBを ローに保持する方法です。変換コマンドの入力後、デバイス が変換実行によってビジー状態になっているときは、SDOラ インがローに駆動されます。デバイスが変換を完了すると、 SDOはハイになります。ただし、デバイスが変換を完了してい なくても、CSBがハイになるとSDOはハイに戻ります(図28)。 この方法に伴う問題は、A/D変換の完了を待っている間、 コントローラが他のシリアル通信を自由に実行できないこと です。

次の方法は、この制約を受けません。コントローラはADC開始コマンドを送って他のタスクを実行し、次にADCの状態を ポーリングする(PLADC)コマンドを送って、A/D変換の状態を判断できます(図29)。PLADCコマンド入力後、デバイ スが変換実行によってビジー状態になっている場合、SDO はローになります。変換が終了するとSDOはハイになります。 ただし、CSBがハイになると、デバイスが変換を完了していな くてもSDOはハイになります。

isoSPIモードで通信する単一のLTC6812-1を使用する場 合、ロー側のポートは、受信したマスタisoSPIパルスに応答 する場合にのみデータ・パルスを送信します。したがって、上 に述べたどちらかのポーリング方法でコマンドを入力した後 は、isoSPIデータ・パルスがデバイスに送られて変換状態が 更新されます。これらのパルスは、LTC6820を使用した場合 は、そのSCKピンにクロックを入力するだけで送信できます。 LTC6812-1はこのパルスに応答して、変換実行のため引き続 きビジー状態にある場合はローのisoSPIパルスを返し、変 換が完了している場合はハイのデータ・パルスを返します。 CSB ハイのisoSPIパルスがデバイスに送られると、デバイス はポーリング・コマンドを終了します。

N個のスタック・デバイスのデイジーチェーン構成では、同 じ2つのポーリング方法を使用できます。末尾のデバイスが SPIモードで通信する場合、末尾のデバイスのSDOはスタッ ク全体の変換ステータスを示します。つまり、スタック内にあ る全てのデバイスが変換を完了するまで、SDOはローのま まになります。最初のポーリング方法では、A/D変換コマン ドが送信された後、CSBをローに維持している間に、SCK でクロック・パルスが送信されます。SDOのステータスが有 効になるのは、SCKで最後のN個のクロック・パルスが到達 した後です。先頭のN個のクロック・パルスの間、デイジー チェーンの末尾にあるLTC6812-1は0つまりローのデータ・ パルスを出力します。N個のクロック・パルスの後、末尾の LTC6812-1からの出力データは、後続のクロック・パルスが 到達するたびに更新されます(図30)。2番目のポーリング方 法では、CSBをローに維持している間に、PLADCコマンドを 送信して、その後クロック・パルスがSCKに到達します。最初 の方法と同様に、SDOのステータスは、SCKにN個のクロッ



図28. A/D変換コマンド実行後のSD0のポーリング(単一のLTC6812-1)



図 29. PLADC コマンドを使用した SDO のポーリング(単一のLTC6812-1)

ク・パルスが到達して初めて有効になり、後続のクロック・サイクルのたびに更新されます(図31)。

末尾のデバイスがisoSPIモードで通信する場合は、isoSPIの データ・パルスがデバイスに送られて変換状態が更新され ます。LTC6820を使用した場合は、そのSCKピンにクロック を入力すればこの方法を実現できます。変換ステータスが 有効になるのは、末尾のLTC6812-1デバイスがN個のisoSPI データ・パルスを受信した後に限られており、このステータ スはその後isoSPIデータ・パルスが到達するたびに更新され ます。スタック内にあるいずれかのデバイスが変換によりビ ジー状態になっている場合、デバイスはローのデータ・パル スを返し、全てのデバイスが解放されている場合は、ハイの データ・パルスを返します。



図 30. A/D 変換コマンド実行後の SD0 のポーリング (デイジーチェーン構成)



図 31. PLADC コマンドを使用した SDO のポーリング(デイジーチェーン構成)

バス・プロトコル

プロトコル・フォーマット:コマンドのプロトコル・フォーマットを表32~34に示します。表31はプロトコル図を読み取る鍵となります。

表31. プロトコル・キー

CMD0	Command Byte 0 (See Table 35)
CMD1	Command Byte 1 (See Table 35)
PECO	Packet Error Code Byte 0 (See Table 30)
PEC1	Packet Error Code Byte 1 (See Table 30)
п	Number of Bytes
	Continuation of Protocol
	Master to Slave
	Slave to Master

表32. ポーリング・コマンド

8	8	8	8	
CMD0	CMD1	PECO	PEC1	Poll Data

表33. 書込みコマンド

8	8	8	8	8	8	8	8	8	8
CMDO	CMD1	PEC0	PEC1	Data Byte Low	 Data Byte High	PEC0	PEC1	Shift Byte 1	 Shift Byte n

表34. 読出しコマンド

8	8	8	8	8	8	8	8	8	8
CMD0	CMD1	PEC0	PEC1	Data Byte Low	 Data Byte High	PEC0	PEC1	Shift Byte 1	 Shift Byte n

コマンド・フォーマット:コマンドのフォーマットを表35に示します。CC[10:0]は11ビットのコマンド・コードです。全てのコマンド・コードの一覧を表36に示します。コマンドの値は、CMD0[7]からCMD0[3]までは全て0です。PECは16ビットのコマンド (CMD0およびCMD1)全体を対象に計算する必要があります。

表35. コマンド・フォーマット

名前	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CMD0	WR	0	0	0	0	0	CC[10]	CC[9]	CC[8]
CMD1	WR	CC[7]	CC[6]	CC[5]	CC[4]	CC[3]	CC[2]	CC[1]	CC[0]

コマンド

全てのコマンドとそのオプションを表36に示します。

表36. コマンド・コード

						CC[10:0)] – コマ:	ンド・コー	・ド			
コマンドの説明	名前	10	9	8	7	6	5	4	3	2	1	0
Write Configuration Register Group A	WRCFGA	0	0	0	0	0	0	0	0	0	0	1
Write Configuration Register Group B	WRCFGB	0	0	0	0	0	1	0	0	1	0	0
Read Configuration Register Group A	RDCFGA	0	0	0	0	0	0	0	0	0	1	0
Read Configuration Register Group B	RDCFGB	0	0	0	0	0	1	0	0	1	1	0
Read Cell Voltage Register Group A	RDCVA	0	0	0	0	0	0	0	0	1	0	0
Read Cell Voltage Register Group B	RDCVB	0	0	0	0	0	0	0	0	1	1	0
Read Cell Voltage Register Group C	RDCVC	0	0	0	0	0	0	0	1	0	0	0
Read Cell Voltage Register Group D	RDCVD	0	0	0	0	0	0	0	1	0	1	0
Read Cell Voltage Register Group E	RDCVE	0	0	0	0	0	0	0	1	0	0	1
Read Auxiliary Register Group A	RDAUXA	0	0	0	0	0	0	0	1	1	0	0
Read Auxiliary Register Group B	RDAUXB	0	0	0	0	0	0	0	1	1	1	0
Read Auxiliary Register Group C	RDAUXC	0	0	0	0	0	0	0	1	1	0	1
Read Auxiliary Register Group D	RDAUXD	0	0	0	0	0	0	0	1	1	1	1
Read Status Register Group A	RDSTATA	0	0	0	0	0	0	1	0	0	0	0
Read Status Register Group B	RDSTATB	0	0	0	0	0	0	1	0	0	1	0
Write S Control Register Group	WRSCTRL	0	0	0	0	0	0	1	0	1	0	0
Write PWM Register Group	WRPWM	0	0	0	0	0	1	0	0	0	0	0
Write PWM/S Control Register Group B	WRPSB	0	0	0	0	0	0	1	1	1	0	0
Read S Control Register Group	RDSCTRL	0	0	0	0	0	0	1	0	1	1	0
Read PWM Register Group	RDPWM	0	0	0	0	0	1	0	0	0	1	0
Read PWM/S Control Register Group B	RDPSB	0	0	0	0	0	0	1	1	1	1	0
Start S Control Pulsing and Poll Status	STSCTRL	0	0	0	0	0	0	1	1	0	0	1
Clear S Control Register Group	CLRSCTRL	0	0	0	0	0	0	1	1	0	0	0

CC[10:0] – コマンド・コード												
コマンドの説明	名前	10	9	8	7	6	5	4	3	2	1	0
Start Cell Voltage ADC Conversion and Poll Status	ADCV	0	1	MD[1]	MD[0]	1	1	DCP	0	CH[2]	CH[1]	CH[0]
Start Open Wire ADC Conversion and Poll Status	ADOW	0	1	MD[1]	MD[0]	PUP	1	DCP	1	CH[2]	CH[1]	CH[0]
Start Self Test Cell Voltage Conversion and Poll Status	CVST	0	1	MD[1]	MD[0]	ST[1]	ST[0]	0	0	1	1	1
Start Overlap Measurements of Cell 6 and Cell 11 Voltages	ADOL	0	1	MD[1]	MD[0]	0	0	DCP	0	0	0	1
Start GPIOs ADC Conversion and Poll Status	ADAX	1	0	MD[1]	MD[0]	1	1	0	0	CHG[2]	CHG[1]	CHG[0]
Start GPIOs ADC Conversion with Digital Redundancy and Poll Status	ADAXD	1	0	MD[1]	MD[0]	0	0	0	0	CHG[2]	CHG[1]	CHG[0]
Start GPIOs Open Wire ADC Conversion and Poll Status	AXOW	1	0	MD[1]	MD[0]	PUP	0	1	0	CHG[2]	CHG[1]	CHG[0]
Start Self Test GPIOs Conversion and Poll Status	AXST	1	0	MD[1]	MD[0]	ST[1]	ST[0]	0	0	1	1	1
Start Status Group ADC Conversion and Poll Status	ADSTAT	1	0	MD[1]	MD[0]	1	1	0	1	CHST[2]	CHST[1]	CHST[0]
Start Status Group ADC Conversion with Digital Redundancy and Poll Status	ADSTATD	1	0	MD[1]	MD[0]	0	0	0	1	CHST[2]	CHST[1]	CHST[0]
Start Self Test Status Group Conversion and Poll Status	STATST	1	0	MD[1]	MD[0]	ST[1]	ST[0]	0	1	1	1	1
Start Combined Cell Voltage and GPIO1, GPIO2 Conversion and Poll Status	ADCVAX	1	0	MD[1]	MD[0]	1	1	DCP	1	1	1	1
Start Combined Cell Voltage and SC Conversion and Poll Status	ADCVSC	1	0	MD[1]	MD[0]	1	1	DCP	0	1	1	1
Clear Cell Voltage Register Groups	CLRCELL	1	1	1	0	0	0	1	0	0	0	1
Clear Auxiliary Register Groups	CLRAUX	1	1	1	0	0	0	1	0	0	1	0
Clear Status Register Groups	CLRSTAT	1	1	1	0	0	0	1	0	0	1	1
Poll ADC Conversion Status	PLADC	1	1	1	0	0	0	1	0	1	0	0
Diagnose MUX and Poll Status	DIAGN	1	1	1	0	0	0	1	0	1	0	1
Write COMM Register Group	WRCOMM	1	1	1	0	0	1	0	0	0	0	1
Read COMM Register Group	RDCOMM	1	1	1	0	0	1	0	0	0	1	0
Start I ² C/SPI Communication	STCOMM	1	1	1	0	0	1	0	0	0	1	1
Mute Discharge	MUTE	0	0	0	0	0	1	0	1	0	0	0
Unmute Discharge	UNMUTE	0	0	0	0	0	1	0	1	0	0	1

表37. コマンド・ビットの説明

名前	説明	値										
		MD	ADCOPT(CFGAR0[0]) =	CFGAR0[0]) = 0 ADCOPT(CFGAR0[0]) = 1 odd 1kHz Modo								
		00	422Hz Mode			1kHz Mode						
MD[1:0]	ADC Mode	01	27kHz Mode (Fast)			14kHz Mod	le					
		10	7kHz Mode (Normal)			3kHz Mode	1					
		11	26Hz Mode (Filtered)			2kHz Mode	}					
		DCP										
DCP	Discharge Permitted	0	Discharge Not Permittee	t								
		1	Discharge Permitted									
						Total Con	version Tim	e in the 8 A	DC Modes			
		СН		27kHz	14kHz	7kHz	3kHz	2kHz	1kHz	422Hz	26Hz	
		000	All Cells	1.1ms	1.3ms	2.3ms	3.0ms	4.4ms	7.2ms	12.8ms	201ms	
CH[5·0]	Cell Selection for	001	Cells 1, 6, 11									
01[2.0]	ADC Conversion	010	Cells 2, 7, 12									
		011	Cells 3, 8, 13	203 µs	232 µs	407 µs	523 µs	756 µs	1.2ms	2.2ms	34ms	
		100	Cells 4, 9, 14									
		101	Cells 5, 10, 15									
	Pull-Up/Pull-	PUP										
PUP	for Open Wire	0	Pull-Down Current									
	Conversions	1	Pull-Up Current									
			1			Se	elf Test Conv	version Res	ult			
ST[1:0]	Self Test Mode	ST		27kHz	14kHz	7kHz	3kHz	2kHz	1kHz	422Hz	26Hz	
01[1.0]	Selection	01	Self Test 1	0x9565	0x9553	0x9555	0x9555	0x9555	0x9555	0x9555	0x9555	
		10	Self test 2	0x6A9A	0x6AAC	0x6AAA	0x6AAA	0x6AAA	0x6AAA	0x6AAA	0x6AAA	
			1			Total Con	version Tim	e in the 8 A	DC Modes			
		CHG		27kHz	14kHz	7kHz	3kHz	2kHz	1kHz	422Hz	26Hz	
		000	GPIO 1–5, 2nd Reference, GPIO 6–9	1.8ms	2.1ms	3.9ms	5.0ms	7.4ms	12.0ms	21.3ms	335ms	
	GPIO Selection	001	GPIO 1 and GPIO 6									
CHG[2:0]	for ADC Conversion	010	GPIO 2 and GPIO 7	200.00	420.00	700.00	1.0mo	1 5 m o	0.4ma	4.0mo	67 1ma	
	001100131011	011	GPIO 3 and GPIO 8	380 µS	439µs	788µs	1.0ms	1.5005	2.4015	4.3005	67.IIIIS	
		100	GPIO 4 and GPIO 9]								
		101	GPIO 5	200.00	220.00	402.00	E20.40	752.00	1.0mo	0.1mo	24ma	
		110	2nd Reference	200 µs	229µ8	403 µS	520 µS	753 µS	1.21115	2.1115	341115	
						Total Con	version Tim	e in the 8 A	DC Modes			
		CHST		27kHz	14kHz	7kHz	3kHz	2kHz	1kHz	422Hz	26Hz	
		000	SC, ITMP, VA, VD	742 µs	858 µs	1.6ms	2.0ms	3.0ms	4.8ms	8.5ms	134ms	
CHST[2:0]*	Status Group Selection	001	SC									
		010	ITMP	200.00	220.00	402.00	520.00	752.00	1.0mo	2 1 mo	24ma	
		011	VA	200 µs	229 µ8	403 µS	520µ8	703µ8	1.21115	2.11115	341115	
		100	VD									

*注記: ADSTAT コマンドの CHST に有効なオプションは 0~4 です。 ADSTAT コマンドで CHST を 5/6 に設定すると、LTC6812-1 はこのコマンドを無視します。

メモリ・マップ

表38. 構成レジスタ・グループA

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CFGAR0	RD/WR	GPI05	GPI04	GPI03	GPI02	GPI01	REFON	DTEN	ADCOPT
CFGAR1	RD/WR	VUV[7]	VUV[6]	VUV[5]	VUV[4]	VUV[3]	VUV[2]	VUV[1]	VUV[0]
CFGAR2	RD/WR	VOV[3]	VOV[2]	VOV[1]	VOV[0]	VUV[11]	VUV[10]	VUV[9]	VUV[8]
CFGAR3	RD/WR	VOV[11]	VOV[10]	V0V[9]	VOV[8]	V0V[7]	VOV[6]	VOV[5]	V0V[4]
CFGAR4	RD/WR	DCC8	DCC7	DCC6	DCC5	DCC4	DCC3	DCC2	DCC1
CFGAR5	RD/WR	DCTO[3]	DCT0[2]	DCTO[1]	DCTO[0]	DCC12	DCC11	DCC10	DCC9

表39. 構成レジスタ・グループB

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CFGBR0	RD/WR	RSVD	DCC15	DCC14	DCC13	GPI09	GPI08	GPI07	GPI06
CFGBR1	RD/WR	MUTE	FDRF	PS[1]	PS[0]	DTMEN	DCCO	RSVD	RSVD
CFGBR2	RD/WR	RSVD0							
CFGBR3	RD/WR	RSVD0							
CFGBR4	RD/WR	RSVD0							
CFGBR5	RD/WR	RSVD0							

表40. セル電圧レジスタ・グループA

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CVAR0	RD	C1V[7]	C1V[6]	C1V[5]	C1V[4]	C1V[3]	C1V[2]	C1V[1]	C1V[0]
CVAR1	RD	C1V[15]	C1V[14]	C1V[13]	C1V[12]	C1V[11]	C1V[10]	C1V[9]	C1V[8]
CVAR2	RD	C2V[7]	C2V[6]	C2V[5]	C2V[4]	C2V[3]	C2V[2]	C2V[1]	C2V[0]
CVAR3	RD	C2V[15]	C2V[14]	C2V[13]	C2V[12]	C2V[11]	C2V[10]	C2V[9]	C2V[8]
CVAR4	RD	C3V[7]	C3V[6]	C3V[5]	C3V[4]	C3V[3]	C3V[2]	C3V[1]	C3V[0]
CVAR5	RD	C3V[15]	C3V[14]	C3V[13]	C3V[12]	C3V[11]	C3V[10]	C3V[9]	C3V[8]

表41. セル電圧レジスタ・グループB

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CVBR0	RD	C4V[7]	C4V[6]	C4V[5]	C4V[4]	C4V[3]	C4V[2]	C4V[1]	C4V[0]
CVBR1	RD	C4V[15]	C4V[14]	C4V[13]	C4V[12]	C4V[11]	C4V[10]	C4V[9]	C4V[8]
CVBR2	RD	C5V[7]	C5V[6]	C5V[5]	C5V[4]	C5V[3]	C5V[2]	C5V[1]	C5V[0]
CVBR3	RD	C5V[15]	C5V[14]	C5V[13]	C5V[12]	C5V[11]	C5V[10]	C5V[9]	C5V[8]
CVBR4	RD	C6V[7]	C6V[6]	C6V[5]	C6V[4]	C6V[3]	C6V[2]	C6V[1]	C6V[0]
CVBR5	RD	C6V[15]	C6V[14]	C6V[13]	C6V[12]	C6V[11]	C6V[10]	C6V[9]	C6V[8]

表42. セル電圧レジスタ・グループC

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CVCR0*	RD	C7V[7]*	C7V[6]*	C7V[5]*	C7V[4]*	C7V[3]*	C7V[2]*	C7V[1]*	C7V[0]*
CVCR1*	RD	C7V[15]*	C7V[14]*	C7V[13]*	C7V[12]*	C7V[11]*	C7V[10]*	C7V[9]*	C7V[8]*
CVCR2**	RD	C8V[7]**	C8V[6]**	C8V[5]**	C8V[4]**	C8V[3]**	C8V[2]**	C8V[1]**	C8V[0]**
CVCR3**	RD	C8V[15]**	C8V[14]**	C8V[13]**	C8V[12]**	C8V[11]**	C8V[10]**	C8V[9]**	C8V[8]**
CVCR4	RD	C9V[7]	C9V[6]	C9V[5]	C9V[4]	C9V[3]	C9V[2]	C9V[1]	C9V[0]
CVCR5	RD	C9V[15]	C9V[14]	C9V[13]	C9V[12]	C9V[11]	C9V[10]	C9V[9]	C9V[8]

*ADOLコマンドの実行後、セル電圧レジスタ・グループCのCVCROおよびCVCR1には、ADC2によるセル6の測定結果が格納されます。

**ADOLコマンドの実行後、セル電圧レジスタ・グループCのCVCR2およびCVCR3には、ADC1によるセル6の測定結果が格納されます。

表43. セル電圧レジスタ・グループD

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CVDR0	RD	C10V[7]	C10V[6]	C10V[5]	C10V[4]	C10V[3]	C10V[2]	C10V[1]	C10V[0]
CVDR1	RD	C10V[15]	C10V[14]	C10V[13]	C10V[12]	C10V[11]	C10V[10]	C10V[9]	C10V[8]
CVDR2	RD	C11V[7]	C11V[6]	C11V[5]	C11V[4]	C11V[3]	C11V[2]	C11V[1]	C11V[0]
CVDR3	RD	C11V[15]	C11V[14]	C11V[13]	C11V[12]	C11V[11]	C11V[10]	C11V[9]	C11V[8]
CVDR4	RD	C12V[7]	C12V[6]	C12V[5]	C12V[4]	C12V[3]	C12V[2]	C12V[1]	C12V[0]
CVDR5	RD	C12V[15]	C12V[14]	C12V[13]	C12V[12]	C12V[11]	C12V[10]	C12V[9]	C12V[8]

表44. セル電圧レジスタ・グループE

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CVER0*	RD	C13V[7]*	C13V[6]*	C13V[5]*	C13V[4]*	C13V[3]*	C13V[2]*	C13V[1]*	C13V[0]*
CVER1*	RD	C13V[15]*	C13V[14]*	C13V[13]*	C13V[12]*	C13V[11]*	C13V[10]*	C13V[9]*	C13V[8]*
CVER2**	RD	C14V[7]**	C14V[6]**	C14V[5]**	C14V[4]**	C14V[3]**	C14V[2]**	C14V[1]**	C14V[0]**
CVER3**	RD	C14V[15]**	C14V[14]**	C14V[13]**	C14V[12]**	C14V[11]**	C14V[10]**	C14V[9]**	C14V[8]**
CVER4	RD	C15V[7]	C15V[6]	C15V[5]	C15V[4]	C15V[3]	C15V[2]	C15V[1]	C15V[0]
CVER5	RD	C15V[15]	C15V[14]	C15V[13]	C15V[12]	C15V[11]	C15V[10]	C15V[9]	C15V[8]

*ADOLコマンドの実行後、セル電圧レジスタ・グループEの CVER0 および CVER1 には、ADC3 によるセル11の測定結果が格納されます。 **ADOLコマンドの実行後、セル電圧レジスタ・グループEの CVER2 および CVER3 には、ADC2 によるセル11の測定結果が格納されます。

表45. 補助レジスタ・グループA

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
AVAR0	RD	G1V[7]	G1V[6]	G1V[5]	G1V[4]	G1V[3]	G1V[2]	G1V[1]	G1V[0]
AVAR1	RD	G1V[15]	G1V[14]	G1V[13]	G1V[12]	G1V[11]	G1V[10]	G1V[9]	G1V[8]
AVAR2	RD	G2V[7]	G2V[6]	G2V[5]	G2V[4]	G2V[3]	G2V[2]	G2V[1]	G2V[0]
AVAR3	RD	G2V[15]	G2V[14]	G2V[13]	G2V[12]	G2V[11]	G2V[10]	G2V[9]	G2V[8]
AVAR4	RD	G3V[7]	G3V[6]	G3V[5]	G3V[4]	G3V[3]	G3V[2]	G3V[1]	G3V[0]
AVAR5	RD	G3V[15]	G3V[14]	G3V[13]	G3V[12]	G3V[11]	G3V[10]	G3V[9]	G3V[8]

表46. 補助レジスタ・グループB

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
AVBR0	RD	G4V[7]	G4V[6]	G4V[5]	G4V[4]	G4V[3]	G4V[2]	G4V[1]	G4V[0]
AVBR1	RD	G4V[15]	G4V[14]	G4V[13]	G4V[12]	G4V[11]	G4V[10]	G4V[9]	G4V[8]
AVBR2	RD	G5V[7]	G5V[6]	G5V[5]	G5V[4]	G5V[3]	G5V[2]	G5V[1]	G5V[0]
AVBR3	RD	G5V[15]	G5V[14]	G5V[13]	G5V[12]	G5V[11]	G5V[10]	G5V[9]	G5V[8]
AVBR4	RD	REF[7]	REF[6]	REF[5]	REF[4]	REF[3]	REF[2]	REF[1]	REF[0]
AVBR5	RD	REF[15]	REF[14]	REF[13]	REF[12]	REF[11]	REF[10]	REF[9]	REF[8]

表47. 補助レジスタ・グループC

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
AVCR0	RD	G6V[7]	G6V[6]	G6V[5]	G6V[4]	G6V[4] G6V[3]		G6V[1]	G6V[0]
AVCR1	RD	G6V[15]	G6V[14]	G6V[13]	G6V[12]	G6V[11]	G6V[10]	G6V[9]	G6V[8]
AVCR2	RD	G7V[7]	G7V[6]	G7V[5]	G7V[4]	G7V[3]	G7V[2]	G7V[1]	G7V[0]
AVCR3	RD	G7V[15]	G7V[14]	G7V[13]	G7V[12]	G7V[11]	G7V[10]	G7V[9]	G7V[8]
AVCR4	RD	G8V[7]	G8V[6]	G8V[5]	G8V[4]	G8V[3]	G8V[2]	G8V[1]	G8V[0]
AVCR5	RD	G8V[15]	G8V[14]	G8V[13]	G8V[12]	G8V[11]	G8V[10]	G8V[9]	G8V[8]

表48. 補助レジスタ・グループD

REGISTER	ISTER RD/WR BIT 7 BIT 6		BIT 5 BIT 4		BIT 3	BIT 2	BIT 1	BIT 0	
AVDRO	RD	G9V[7]	G9V[6]	G9V[5]	G9V[4] G9V[3]		G9V[2]	G9V[1]	G9V[0]
AVDR1	RD	G9V[15]	G9V[14]	G9V[13]	G9V[12]	G9V[11]	G9V[10]	G9V[9]	G9V[8]
AVDR2	RD	RSVD1	RSVD1	RSVD1	RSVD1	RSVD1	RSVD1	RSVD1	RSVD1
AVDR3	RD	RSVD1	RSVD1	RSVD1	RSVD1	RSVD1	RSVD1	RSVD1	RSVD1
AVDR4	RD	RSVD	RSVD	C150V	C15UV	C140V	C14UV	C130V	C13UV
AVDR5	RD	RSVD1	RSVD1	RSVD1	RSVD1	RSVD	RSVD	RSVD	RSVD

表49. ステータス・レジスタ・グループA

REGISTER	GISTER RD/WR BIT 7		BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
STAR0	RD	SC[7]	SC[6]	SC[5]	SC[4]	SC[3]	SC[2]	SC[1]	SC[0]
STAR1	RD	SC[15]	SC[14]	SC[13]	SC[12]	SC[11]	SC[10]	SC[9]	SC[8]
STAR2	RD	ITMP[7]	ITMP[6]	ITMP[5]	ITMP[4]	ITMP[3]	ITMP[2]	ITMP[1]	ITMP[0]
STAR3	RD	ITMP[15]	ITMP[14]	ITMP[13]	ITMP[12]	ITMP[11]	ITMP[10]	ITMP[9]	ITMP[8]
STAR4	RD	VA[7]	VA[6]	VA[5]	VA[4]	VA[3]	VA[2]	VA[1]	VA[0]
STAR5	RD	VA[15]	VA[14]	VA[13]	VA[12]	VA[11]	VA[10]	VA[9]	VA[8]

表50. ステータス・レジスタ・グループB

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
STBR0	RD	VD[7]	VD[6]	VD[5]	VD[4]	VD[3]	VD[2]	VD[1]	VD[0]
STBR1	RD	VD[15]	VD[14]	VD[13]	VD[12]	VD[11]	VD[10]	VD[9]	VD[8]
STBR2	RD	C40V	C4UV	C30V	C3UV	C2OV	C2UV	C10V	C1UV
STBR3	RD	C80V	C8UV	C70V	C7UV	C60V	C6UV	C50V	C5UV
STBR4	RD	C120V	C12UV	C110V	C11UV	C100V	C10UV	C90V	C9UV
STBR5	RD	REV[3]	REV[2]	REV[1]	REV[0]	RSVD	RSVD	MUXFAIL	THSD

表51. COMM レジスタ・グループ

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
СОММО	RD/WR	ICOM0[3]	ICOM0[2]	ICOM0[1]	ICOM0[0]	D0[7]	D0[6]	D0[5]	D0[4]
COMM1	RD/WR	D0[3]	D0[2]	D0[1]	D0[0]	FCOM0[3]	FCOM0[2]	FCOM0[1]	FCOM0[0]
COMM2	RD/WR	ICOM1[3]	ICOM1[2]	ICOM1[1]	ICOM1[0]	D1[7]	D1[6]	D1[5]	D1[4]
COMM3	RD/WR	D1[3]	D1[2]	D1[1]	D1[0]	FCOM1[3]	FC0M1[2]	FCOM1[1]	FCOM1[0]
COMM4	RD/WR	ICOM2[3]	ICOM2[2]	ICOM2[1]	ICOM2[0]	D2[7]	D2[6]	D2[5]	D2[4]
COMM5	RD/WR	D2[3]	D2[2]	D2[1]	D2[0]	FC0M2[3]	FC0M2[2]	FC0M2[1]	FC0M2[0]

表52. Sコントロール・レジスタ・グループ

REGISTER	RD/WR	BIT 7	BIT 6 BIT 5		BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
SCTRL0	RD/WR	SCTL2[3]	SCTL2[2]	SCTL2[1]	SCTL2[0]	SCTL1[3]	SCTL1[2]	SCTL1[1]	SCTL1[0]
SCTRL1	RD/WR	SCTL4[3]	SCTL4[2]	SCTL4[1]	SCTL4[0]	SCTL3[3]	SCTL3[2]	SCTL3[1]	SCTL3[0]
SCTRL2	RD/WR	SCTL6[3]	SCTL6[2]	SCTL6[1]	SCTL6[0]	SCTL5[3]	SCTL5[2]	SCTL5[1]	SCTL5[0]
SCTRL3	RD/WR	SCTL8[3]	SCTL8[2]	SCTL8[1]	SCTL8[0]	SCTL7[3]	SCTL7[2]	SCTL7[1]	SCTL7[0]
SCTRL4	RD/WR	SCTL10[3]	SCTL10[2]	SCTL10[1]	SCTL10[0]	SCTL9[3]	SCTL9[2]	SCTL9[1]	SCTL9[0]
SCTRL5	RD/WR	SCTL12[3]	SCTL12[2]	SCTL12[1]	SCTL12[0]	SCTL11[3]	SCTL11[2]	SCTL11[1]	SCTL11[0]

表53. PWMレジスタ・グループ

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
PWMR0	RD/WR	PWM2[3]	PWM2[2]	PWM2[1]	PWM2[0]	PWM1[3]	PWM1[2]	PWM1[1]	PWM1[0]
PWMR1	RD/WR	PWM4[3]	PWM4[2]	PWM4[1]	PWM4[0]	PWM3[3]	PWM3[2]	PWM3[1]	PWM3[0]
PWMR2	RD/WR	PWM6[3]	PWM6[2]	PWM6[1]	PWM6[0]	PWM5[3]	PWM5[2]	PWM5[1]	PWM5[0]
PWMR3	RD/WR	PWM8[3]	PWM8[2]	PWM8[1]	PWM8[0]	PWM7[3]	PWM7[2]	PWM7[1]	PWM7[0]
PWMR4	RD/WR	PWM10[3]	PWM10[2]	PWM10[1]	PWM10[0]	PWM9[3]	PWM9[2]	PWM9[1]	PWM9[0]
PWMR5	RD/WR	PWM12[3]	PWM12[2]	PWM12[1]	PWM12[0]	PWM11[3]	PWM11[2]	PWM11[1]	PWM11[0]

表54. PWM/Sコントロール・レジスタ・グループB

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
PSR0	RD/WR	PWM14[3]	PWM14[2]	PWM14[1]	PWM14[0] PWM13[3]		PWM13[2]	PWM13[1]	PWM13[0]
PSR1	RD/WR	RSVD	RSVD	RSVD	RSVD	PWM15[3]	PWM15[2]	PWM15[1]	PWM15[0]
PSR2	RD/WR	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD
PSR3	RD/WR	SCTL14[3]	SCTL14[2]	SCTL14[1]	SCTL14[0]	SCTL13[3]	SCTL13[2]	SCTL13[1]	SCTL13[0]
PSR4	RD/WR	RSVD	RSVD	RSVD	RSVD	SCTL15[3]	SCTL15[2]	SCTL15[1]	SCTL15[0]
PSR5	RD/WR	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD

表55. メモリ・ビットの説明

名前	説明	値																
GPIOx	GPIOx Pin Control	書込み:0 → GPI 読出し:0 → GPI	書込み:0 → GPIOx ピンのプルダウンをオン、1 → GPIOx ピンのプルダウンをオフ(デフォルト) 読出し:0 → GPIOx ピンをロジック0、1 → GPIOx ピンをロジック1															
REFON	Reference Powered Up	1 → ウォッチドッ 0 → リファレンス	ッグ・タイマ スは変換後	ーがター にシャッ	「ムアウト トダウン	ヽするま ヽ(デフ:	ŧでリフ ォルト)	アレン	スは起	動した	まま							
DTEN	Discharge Timer Enable (READ ONLY)	1 → 放電スイッ・ 0 → 放電タイマ	チの放電タ ーをディス	イマーを エーブル	をイネー: ,	ブル												
ADCOPT	ADC Mode Option Bit	$ \begin{array}{ccc} \text{ADCOPT} & 0 \rightarrow \\ & 1 \rightarrow \end{array} $	OPT: 0 → ADC 変換コマンドの MD[1:0] ビットにより、27kHz、7kHz、422Hz、26Hz のいずれかのモードを選択 (デフォルト) 1 → ADC 変換コマンドの MD[1:0] ビットにより、14kHz、3kHz、1kHz、2kHz のいずれかのモードを選択															
VUV	Undervoltage Comparison Voltage*	Comparison Voltag Default: VUV = 0x	ge = (VUV + 000	1) • 16 •	100 μV													
VOV	Overvoltage Comparison Voltage*	Comparison Voltag Default: VOV = 0x	ge = VOV • [.] 000	16 • 100	μV													
DCC[x]	Discharge Cell x	$x = 1 \sim 15$: x = 0:																
DCTO	Discharge Time Out Value	DCTO (Write)	0	1	2	3	4	5	6	7	8	9	A	В	C	D	E	F
		Time (Min)	Disabled	0.5	1	2	3	4	5	10	15	20	30	40	60	75	90	120
		DCTO (Read)	0	1	2	3	4	5	6	7	8	9	A	В	C	D	E	F
		Time Left (Min)	Disabled or Timeout	0–0.5	0.5–1	1–2	2–3	3–4	4–5	5–10	10–15	15–20	20–30	30–40	40–60	60–75	75–90	90–120
MUTE	Mute Status (READ ONLY)	1 → ミュートを 0 → ミュートを	作動させて 停止	放電を無	無効化													
FDRF	Force Digital Redundancy Failure	1 → A/D変換での 0 → 通常の冗長	→ A/D 変換でのデジタル冗長化比較を強制的に機能停止 → 通常の冗長化比較を有効化															
PS[1:0]	Digital Redundancy Path Selection	 11 → 冗長化の適用先をADC3のデジタル経路に限定 10 → 冗長化の適用先をADC2のデジタル経路に限定 01 → 冗長化の適用先をADC1のデジタル経路に限定 00 → 冗長化はセル変換時にADC1、ADC2、および ADC3のデジタル経路に順次適用され、 AUX変換時とSTATUS変換時にADC1に適用される 																

表55(続き).メモリ・ビットの説明

名前	説明	
DTMEN	Enable Discharge Timer Monitor	→ DTENピンがアサートされている場合、放電タイマー・モニタ機能は有効化される → 放電タイマー・モニタ機能は無効化される。DTENピンがアサートされている場合、通常の 放電タイマー機能は有効化される
CxV	Cell x Voltage*	- 1~15 セルxの16ビットADC測定値 セルxのセル電圧 = CxV ● 100 µV CxV は起動時およびクリア・コマンド後に 0xFFFF にリセットされる
GxV	GPIO x Voltage*	1~9 GPI0xの16ビットADC測定値 GPI0xの電圧 = GxV • 100 μV CxV は起動時およびクリア・コマンド後に 0xFFFF にリセットされる
REF	2nd Reference Voltage*	2番目のリファレンスの16ビットADC測定値 2番目のリファレンスの電圧 = REF • 100 μV 通常の範囲は2.990V~3.014V (LTC6812Iでは2.992V~3.012V)、V _{REF2} 電圧の変動や ADCのTMEには追加のマージンを見込んで、誤った障害が報告されないようにする
SC	Sum of Cells Measurement*	全セル電圧合計の16ビットADC測定値 全セル電圧合計 = SC ● 100 μV ● 30
ITMP	Internal Die Temperature*	内部ダイ温度の16ビットADC測定値 温度測定電圧 = I_{TMP} ● 100 μV/7.6mV/°C – 276°C
VA	Analog Power Supply Voltage*	アナログ電源電圧の16ビットADC測定値 アナログ電源電圧 = VA • 100μV VAの値は外付け部品によって設定し、通常動作では4.5V~5.5Vの範囲内にする
VD	Digital Power Supply Voltage*	デジタル電源電圧の16ビットADC測定値 デジタル電源電圧 = VD ● 100µV 通常の範囲は2.7V~3.6V
CxOV	Cell x Over- voltage Flag	
CxUV	Cell x Under- voltage Flag	
REV	Revision Code	
RSVD	Reserved Bits	
RSVD0	Reserved Bits	出し:読出し値は常に0
RSVD1	Reserved Bits	
MUXFAIL	Multiplexer Self Test Result	出し:0 → マルチプレクサはセルフ・テストに合格、1 → マルチプレクサはセルフ・テストに不合格
THSD	Thermal Shutdown Status	出し:0 → サーマル・シャットダウンは発生していない、1 → サーマル・シャットダウンが発生した テータス・レジスタ・グループBの読出し時にTHSD ビットを0にクリア
SCTLx[x]	S Pin Control Bits	0-Sピンをハイに駆動(デアサート) 1-Sピンで1回のハイ・パルスを送信 0-Sピンで2回のハイ・パルスを送信 1-Sピンで3回のハイ・パルスを送信 0-Sピンで4回のハイ・パルスを送信 1-Sピンで5回のハイ・パルスを送信 0-Sピンで6回のハイ・パルスを送信 1-Sピンで7回のハイ・パルスを送信 X-Sピンをローに駆動(アサート)

表55(続き).メモリ・ビットの説明

名前	説明	値										
PWMx[x]	PWM Discharge Control	2000 - DCCx = 1でウォッチドッグ・タイマーの期限が切れている場合、0%の放電デューティ・サイクルを選択 2001 - DCCx = 1でウォッチドッグ・タイマーの期限が切れている場合、6.7%の放電デューティ・サイクルを選択 2010 - DCCx = 1でウォッチドッグ・タイマーの期限が切れている場合、13.3%の放電デューティ・サイクルを選択 1110 - DCCx = 1でウォッチドッグ・タイマーの期限が切れている場合、93.3%の放電デューティ・サイクルを選択 1111 - DCCx = 1でウォッチドッグ・タイマーの期限が切れている場合、100%の放電デューティ・サイクルを選択										
ICOMn	Initial Communication Control Bits	Write	l ² C	0110	0001		0000			0111		
				START	STOP BL		BLANK		NC	NO TRANSMIT		
			SPI	1000	1010		1001			1111		
				CSB Low	CSB Falling Edge		CSB High		NO TRA) TRAI	NSMIT
		Read	l ² C	0110	0001		0000		01	0111		
				START from Master	STOP from Ma	aster	SDA Low Between Bytes		6	SDA Hig		h Between Bytes
			SPI	0111								
Dn	I ² C/SPI Communication Data Byte	I ² C/SPIスレーブ・	デバイスと	の間で送信または受信したデータ								
FCOMn	Final Communication Control Bits	Write	l ² C	0000		1000				1001		
				Master ACK		Master NACK				Master NACK + STOP		
			SPI	X000			1001					
				CSB Low			CSB High					
		Read	12C	0000	0111		1111	0001				1001
				ACK from Master	ACK from Slav	/e	NACK f	from Slave ACK from Ma		X from Slave + STOP om Master		NACK from Slave + STOP from Master
			SPI	1111								

*電圧の式にはレジスタの10進数(12ビットでは0~4095、16ビットでは0~65535)を使用する。

DC電力の供給

簡易リニア電圧レギュレータ

LTC6812-1の主要電源ピンは5V(±0.5V)のV_{REG}入力ピン です。V_{REG}に必要な5V電源を生成するには、図32に示すよ うに、DRIVEピンを使用し、数個の外付け部品を追加して、 ディスクリート・レギュレータを構成します。DRIVEピンから は5.7V出力が得られ、1mAのソース電流を供給できます。 NPNトランジスタによってバッファを構成すると、全温度範 囲で安定した5Vが得られます。NPNトランジスタは、 β (電 流増幅率)が全温度範囲にわたって十分(>40)なものを選 択して、必要な電源電流を供給するようにします。isoSPIを 介した通信とA/D変換を同時に行う場合には、LTC6812-1 のV_{REG}のピーク電流条件が35mAに近づきます。追加の負 荷をサポートするためにV_{REG}ピンが必要な場合は、更に高 い*β*を持つトランジスタが必要になることがあります。



図 32. NPNパス・トランジスタを使用した簡易VREG電源

NPNのコレクタには、電圧がV⁻より6V以上高い電圧源か ら電力を供給できます。これには、モニタの対象となるセル、 つまり非安定化電源も含まれます。NPNをトランジェントか ら保護するために、コレクタ電力の接続には100Ω/100nFの RCデカップリング・ネットワークを推奨します。NPNのエミッ タは、1µFコンデンサでバイパスします。LTC6812-1のウェイ クアップ時間が長くなるため、これより大きな容量は使用し ないでください。コレクタ電圧が高いと著しく発熱する場合 があるため、NPNの熱特性には一定の注意が必要です。

向上したレギュレータの電力効率

セル・スタックからLTC6812-1に電力を供給するときの効率 を向上するため、V_{REG}への電力は、NPNパス・トランジスタ からではなく、DC/DCコンバータから供給できます。最適な 回路は、図33に示すように、アナログ・デバイセズのLT8631 降圧レギュレータがベースになっています。バッテリ・スタッ クとLT8631の入力の間には100Ωの抵抗を推奨します。こ れにより、スタックに接続するときの突入電流を防ぎ、伝導 EMIを低減します。EN/UVLOピンはDRIVEピンに接続し ます。これにより、LTC6812-1がSLEEPステートになると、 LT8631は低消費電力の状態になります。



図 33. セル・スタックと高効率レギュレータの 組み合わせを電力供給元にした V_{REG}

内部保護とフィルタリング

内部保護機能

LTC6812-1は、堅牢な性能を確保するために、様々なESD 保護回路を内蔵しています。具体的な保護構造を表す等価 回路を、図34に示します。ツェナー・ダイオードは公称クラン プ電圧で示しており、記載のないダイオードは標準的なPN 接合動作を示します。

セル入力とGPIO 入力のフィルタリング

LTC6812-1はデルタシグマ型ADCを使用しており、これには デルタシグマ型変調器とその後段にSINC3有限インパルス 応答(FIR)デジタル・フィルタが組み込まれています。これに より、入力フィルタリング条件が大幅に緩和されます。更に、 プログラム可能なオーバーサンプリング率を使用して、測定 速度とフィルタのカットオフ周波数との間の最適な妥協点を 判断できます。この高次ローパス・フィルタを使用した場合で



E. ZENER VOLIACE IS OV UNELOS MARINED OTHERWISE.

図34.LTC6812-1の内部ESD保護構造

も、特に高速変換モードでは、高速トランジェント・ノイズに よって測定時に残留ノイズが発生することがあります。これ は、各ADC入力にRCローパス・デカップリングを追加する ことによって、最小限に抑えることができます。これを追加す ることで、損傷を与える可能性のある高エネルギーのトラン ジェントを除去することもできます。約100Ωを超える抵抗を ADC入力に追加すると、測定でシステム的な誤差が発生す るようになります。この誤差は、フィルタ容量を増やすか、ソ フトウェアでのキャリブレーションを使用して計算処理で補 償することによって改善できます。最高レベルのバッテリ電 圧のリップル除去が要求される状況では、接地コンデンサ・ フィルタを推奨します。この構成では、直列接続された抵抗 とコンデンサを使用して、HFノイズをV⁻から分離します。ノイ ズの周期性が少ないか、高いオーバー・サンプリングを使用 しているシステムでは、差動コンデンサ・フィルタ構造が適し ています。この構成では、抵抗は各入力に直列接続されます が、コンデンサは隣接するCピン間に接続されます。ただし、 差動コンデンサの各部分が相互作用します。その結果、フィ ルタ応答の一貫性が低くなり、減衰がRCによる予測値より も(約1ディケイド)低くなります。これらのコンデンサには、 加えられる電圧のうちの1セル分の電圧が発生します(その ため、コンデンサ値が小さく低コスト)。また、これらのコンデ ンサは、トランジェント・エネルギーをデバイス全体に均一に 分配する傾向があり、これによって、内部の保護構造に対す るストレスが低下します。これら2つの方法を、図35の回路 図で示します。ADCの精度は、代表的な性能曲線に示すよ うにRとCによって変化しますが、誤差は、R=100ΩかつC = 10nFの場合に最小になります。測定では全てV⁻が基準に なるため、GPIOピンは接地されたコンデンサの構成を常に 使用します。



図 35. 入力フィルタ構造の構成

非標準のセル入力フィルタの使用

100Ωと10nFのセル・ピン・フィルタを全てのアプリケーショ ンに対して推奨します。このフィルタにより、ノイズ除去性能 と全測定誤差(TME)性能の最も良い組み合わせが得られ ます。CピンのRCフィルタとして値が100Ω/10nFより大きい ものを使用するアプリケーションでは、測定誤差が増える可 能性があります。RCの時定数が大きくなるにつれて、TME 全体とTMEのばらつきの両方がどのように増えるかを図36 に示します。誤差の増加分はMUXのセトリングに関係があ ります。標準的な全チャンネルのADCVコマンドを発行す る前に、特別な1チャンネルの変換を実施することにより、 TMEのレベルをデータシートの規格値付近まで低減できま す。標準的なADCVコマンドのシーケンスを図37に示しま す。MUXを安定化できる推奨のコマンド・シーケンスとタイ ミングを図37bおよび37cに示します。順序変更の目的は、 MUXをC1/C6/C11で安定化してから測定サイクルを開始 できるようにすることです。C1/C6/C11のADCVコマンドと全 チャンネルのADCVコマンドとの間の遅延は、使用するRC の時定数により異なります。一般的な目安としては、C1/C6/ C11のADCVコマンドと全チャンネルのADCVコマンドとの 間の待ち時間は6τです。推奨のコマンド・シーケンスを使用 した場合の予想TMEを図36bに示します。



a)セルの測定誤差範囲と入力 RC の値



b)セルの測定誤差と入力RCの値 (測定前の追加の変換および遅延)







セルのバランス調整

内部 MOSFET によるセル・バランス調整

パッシブ方式のバランス調整では、直列スタック内の1つの セルが過充電された場合、S出力を抵抗に接続することで、 このセルを徐々に放電できます。各S出力は、オン抵抗の最 大値が10Ωの内部NチャンネルMOSFETに接続されていま す。図38aに示すように、外付け抵抗をこれらのMOSFETと 直列に接続して、大部分の熱をLTC6812-1パッケージの外 側に放散できるようにします。

図38aに示すように、内部の放電スイッチ(MOSFET) S1~ S15を使用し、最大200mAのバランス調整電流(ダイ温度が 95°Cを超えた場合は最大80mA)を流して、セルのバランス を受動的に調整できます。200mAを超えるバランス調整電 流は、ダイが過剰に発熱するため、内部スイッチでは推奨し ません。内部の放電スイッチを使用してセルを放電する場合 は、ダイ温度をモニタしてください。サーマル・シャットダウン のセクションを参照してください。

アンチエイリアシング(折返し誤差防止)・フィルタの抵抗は 放電経路の一部なので、取り除くか、値を低減します。追加 のセル電圧測定フィルタにRCを使用してもかまいませんが、 フィルタの抵抗は小さな値(通常は10Ω前後)のままにして、 バランス電流への影響を低減する必要があります。



a) Internal Discharge Circuit



b) External Discharge Circuit

図38. 内部/外部放電回路

外部トランジスタによるセル・バランス調整

200mAを超えるバランス調整電流または大きなセル・フィ ルタが必要なアプリケーションでは、S出力を使用して外 部トランジスタを制御できます。LTC6812-1は、プルアップ のPMOSトランジスタと1kの直列抵抗を内蔵しています。 図38bに示すように、Sピンは外付けMOSFETのゲートを駆 動するのに適したデジタル出力として動作できます。RCフィ ルタを組み込んだ外付けMOSFET回路を図35に示します。 セルの電圧が非常に低いアプリケーションでは、図38bの PMOSをPNPに置き換えることができます。PNPを使用する 場合は、ベースと直列に接続する抵抗を小さくします。

放電抵抗の選択

バランス抵抗の値を増減する場合は、バッテリの標準的な アンバランスとセル・バランス調整の許容時間を知ることが 重要です。ほとんどの小型バッテリ・アプリケーションでは、 バランス調整回路が5時間のバランス調整によって5%の SOC (充電状態)誤差を補正できるのが妥当です。例えば、 5AHrのバッテリで、そのSOCアンバランスが5%の場合、アン バランスは約250mAHrになります。50mAのバランス調整電 流を使用すると、誤差は5時間以内に修正できます。100mA のバランス調整電流を使用すると、誤差は2.5時間以内に 修正されます。非常に大型のバッテリを使用するシステムで は、パッシブ方式のバランス調整を実行して大きなSOCアン バランスを短時間で修正するのは困難になります。バランス 調整中に過剰な熱が発生すると、通常はバランス調整電流 が制限されます。大容量バッテリのアプリケーションでは、 バランス調整時間を短時間にすることが必要な場合、アク ティブ方式のバランス調整解決策を検討してください。バラ ンス抵抗を選択する場合は、以下の式を使用すると抵抗値 を決定するのに役立ちます。

Balance Current =

%SOC_Imbalance • Battery Capacity Number of Hours to Balance

Balance Resistor =

Nominal Cell Voltage Balance Current

アクティブ方式のセル・バランス調整

1A以上のセル・バランス調整電流が必要なアプリケーショ ンでは、アクティブ方式のバランス調整システムを実装する ことを検討してください。アクティブ方式のバランス調整で は、はるかに多くのバランス調整電流を流しても、過剰な熱 が発生せずに済みます。また、アクティブ方式のバランス調 整では、大半のバランス調整電流が再分配されてバッテリ・ パックに戻るので、エネルギー回収にも対応できます。アナ ログ・デバイセズのLT8584を使用した簡単なアクティブ方式 バランス調整実装回路を図39に示します。また、LT8584は、 LTC6812-1を介して制御できる高度な機能も内蔵していま す。詳細については、このデータシートのSピンの制御設定 を使用したSピンのパルス生成と、LT8584のデータシートを 参照してください。



図 39. アクティブ方式のバランス調整を行う15セルの バッテリ・スタック・モジュール

セル測定時の放電制御

セル測定コマンドの実行時に放電許可(DCP)ビットがハイ である場合、Sピンの放電状態はセルの測定中に変化しま せん。DCPビットがローである場合、Sピンの放電状態は、対 応するセルまたは隣接セルの測定中、無効になります。外付 けの放電トランジスタを使用する場合、LTC6812-1内部の PMOSトランジスタのインピーダンスは比較的低い1kΩなの で、放電電流を完全にオフにしてからセルを測定することが できます。DCP=0の場合のADCVコマンドを表56に示しま す。この表では、OFFは対応するDCC[x]ビットの状態に関 係なく、Sピンの放電が強制的にオフになることを示していま す。ONは、測定コマンドより前にSピンの放電がオンであっ た場合、測定期間中、Sピンの放電がオンのままであること を示しています。

場合によっては、放電の実行によって生じた測定誤差を自動放電制御によって全て取り除くことができません。この原因は、放電トランジスタをオフにする速度が十分ではなく、 セルの電圧が完全に安定してから測定を開始することがで きないためです。放電の実行時に最高の測定精度を得る には、MUTEコマンドとUNMUTEコマンドを使用します。 MUTEコマンドを発行して、ADCVコマンドを発行する前に 全ての放電トランジスタを一時的にディスエーブルすること ができます。セル変換が完了したら、UNMUTEを送信して、 以前はオンだった放電トランジスタを全て再イネーブルする ことができます。この方法を使用すると、時間損失を非常に 小さく抑えながら、測定精度を最大限に高めることができ ます。

放電回路の検証方法

内部の放電機能を使用するときは、放電機能を検証する機 能をソフトウェアに実装できます。外付けの放電MOSFET を使用するアプリケーションでは、バッテリ・セルと放電 MOSFETのソースとの間に抵抗を追加できます。こうすると、 システムが放電機能をテストできます。両方の回路を図40 に示します。放電回路の機能を検証するには、セルを測定し
表56. DCP = 0での ADCV コマンド実行時の放電制御

	セル測定期間					セル・キャリブレーション期間				
	セル 1/6/11	セル 2/7/12	セル 3/8/13	セル 4/9/14	セル 5/10/15	セル 1/6/11	セル 2/7/12	セル 3/8/13	セル 4/9/14	セル 5/10/15
放電ピン	t ₀ – t _{1M}	t _{1M} – t _{2M}	t _{2M} – t _{3M}	t _{3M} — t _{4M}	t _{4M} — t _{5M}	t _{5M} – t _{1C}	t _{1C} – t _{2C}	t _{2C} – t _{3C}	t _{3C} – t _{4C}	t4c – t5c
S1	0FF	0FF	ON	ON	0FF	0FF	0FF	ON	ON	0FF
S2	0FF	0FF	0FF	ON	ON	0FF	0FF	0FF	ON	ON
S3	ON	0FF	OFF	OFF	ON	ON	0FF	0FF	0FF	ON
S4	ON	ON	OFF	0FF	0FF	ON	ON	0FF	0FF	OFF
S5	0FF	ON	ON	0FF	OFF	0FF	ON	ON	0FF	0FF
S6	0FF	0FF	ON	ON	0FF	0FF	0FF	ON	ON	0FF
S7	0FF	0FF	OFF	ON	ON	0FF	0FF	0FF	ON	ON
S8	ON	0FF	0FF	0FF	ON	ON	0FF	0FF	0FF	ON
S9	ON	ON	0FF	0FF	OFF	ON	ON	0FF	0FF	0FF
S10	OFF	ON	ON	0FF	0FF	0FF	ON	ON	0FF	0FF
S11	0FF	0FF	ON	ON	0FF	0FF	0FF	ON	ON	0FF
S12	0FF	0FF	0FF	ON	ON	0FF	0FF	0FF	ON	ON
S13	ON	0FF	0FF	0FF	ON	ON	0FF	0FF	0FF	ON
S14	ON	ON	0FF	0FF	0FF	ON	ON	0FF	0FF	0FF
S15	OFF	ON	ON	OFF	OFF	OFF	ON	ON	0FF	OFF



て、放電がオフのときの測定値と放電がオンのときの測定 値を比較します。放電がオンのときに測定するには、放電許 可(DCP)ビットを設定する必要があります。放電がオンのと きの測定値の変化は、抵抗値に基づいて計算されます。以 下のアルゴリズムを図40と組み合わせて使用し、各放電回 路を検証できます。

- 1. 放電していない(全てのS出力がオフの)全てのセルを測 定し、その結果を読み出して保存する。
- 2. S1、S6、およびS11をオンにする。
- 3. C1-C0間、C6-C5間、C11-C10間を測定する。
- 4. S1、S6、およびS11をオフにする。
- 5. S2、S7、およびS12をオンにする。
- 6. C2-C1間、C7-C6間、C12-C11間を測定する。

7. S2、S7、およびS12をオフにする。

- •••
- 14. S5、S10、およびS15をオンにする。
- 15. C5-C4間、C10-C9間、C15-C14間を測定する。
- 16. S5、S10、およびS15をオフにする。
- 17. セル電圧レジスタ・グループを読み出して、手順2~16の 結果を取得する。
- 新しい読出し値と古い読出し値を比較する。各セル の電圧読出し値は一定の比率で減少する。この比率 は、内部回路による設計ではRDISCHARGEとRFILTER によって設定され、外付けMOSFETによる設計では RDISCHARGE1とRDISCHARGE2によって設定される。正確 な減少量は、抵抗値とMOSFETの特性によって異なる。



a) Internal Discharge Circuit



b) External Discharge Circuit

図40. バランス調整のセルフ・テスト回路

デジタル通信

PECの計算

パケット・エラー・コード(PEC)を使用すると、LTC6812-1か ら読み出されたシリアル・データが有効であり、破損してい ないことを確認できます。これは、特にノイズの多い環境で は、信頼性の高い通信を確保するために重要な機能です。 LTC6812-1では、LTC6812-1に対する全ての読出しデータと 全ての書込みデータについて、PECを計算する必要がありま す。このため、PECを計算するための効率的な手段を持つこ とが重要になります。 以下に示すCのコードにより、ルックアップ・テーブルから生成されたPEC計算方法を簡単に実装できます。このコードには2つの関数があります。1つ目の関数init_PEC15_Table()は、マイクロコントローラの起動時に1度だけ呼び出され、 PEC15テーブルの配列(pec15Table[])を初期化します。このテーブルは、今後の全てのPEC計算で使用されます。また、起動時にinit_PEC15_Table()関数を実行するのではなく、 PEC15テーブルをマイクロコントローラにハード・コードすることもできます。pec15()関数は、PECを計算し、与えられた任意の長さのバイト配列で、正確な15ビットのPECを返します。

```
int16 pec15Table[256];
int16 CRC15_POLY = 0x4599;
void init_PEC15_Table()
for (int i = 0; i < 256; i++)
remainder = i << 7;</pre>
for (int bit = 8; bit > 0; --bit)
if (remainder & 0x4000)
remainder = ((remainder << 1));</pre>
remainder = (remainder ^ CRC15 POLY)
}
else
remainder = ((remainder << 1));</pre>
pec15Table[i] = remainder&0xFFFF;
unsigned int16 pec15 (char *data , int len)
int16 remainder,address;
remainder = 16;//PEC seed
for (int i = 0; i < len; i++)</pre>
address = ((remainder >> 7) ^ data[i]) & 0xff;//calculate PEC table address
remainder = (remainder << 8 ) ^ pec15Table[address];</pre>
return (remainder*2);//The CRC15 has a 0 in the LSB so the final value must be
multiplied by 2
}
```

isoSPIのIBIASとICMPの設定

LTC6812-1は、消費電力またはノイズ耐性に合わせて各ア プリケーションのisoSPIリンクを最適化できます。isoSPIシス テムの消費電力とノイズ耐性は、事前に設定されたIB電流 によって決まり、これがisoSPIの信号電流を制御します。バ イアス電流を増大して、20・IBに等しいisoSPI信号電流を 発生させます。IBが小さいと、READYおよびACTIVEステー トでのisoSPIの消費電力が少なくて済みますが、IBが大きい と、対応する終端抵抗RM両端の差動信号電圧VAの振幅 が大きくなります。電流IBは、図41に示すように、2VのIBIAS ピンとGNDの間に接続した抵抗RB1とRB2の和によって設 定されます。レシーバーの入力閾値はICMPの電圧によって 設定され、ICMPの電圧は、抵抗RB1およびRB2で形成され る抵抗分圧器によって設定されます。レシーバーの閾値は、 ICMPピンに現れる電圧の半分になります。

バイアス電流(100µA~1mA) I_Bとレシーバーのコンパレー 夕閾値電圧 V_{ICMP}/2を設定するときは、以下のガイドライン に従います。

RM = 伝送線路の特性インピーダンスZ0

信号振幅 V_A = (20 • I_B) • (R_M/2)

V_{TCMP}(レシーバーのコンパレータ閾値)=K•VA

VICMP(ICMPピンの電圧)=2•VTCMP

 $R_{B2} = V_{ICMP}/I_B$

 $R_{B1} = (2/I_B) - R_{B2}$

次に示すアプリケーションに応じて、IBおよびK(信号振幅 VAとレシーバーのコンパレータ閾値の比)を選択します。

小電力のリンクの場合: IB = 0.5mA および K = 0.5

最大電力のリンクの場合: IB = 1mAおよびK = 0.5

長いリンク(>50m)の場合: IB = 1mAおよびK = 0.25

システム・ノイズがほとんどないアプリケーションでは、IBを 0.5mAに設定すると、消費電力とノイズ耐性の折り合いをう まくつけることができます。このIBの設定を1:1のトランスと $R_M = 100 \Omega$ で使用する場合は、 R_{B1} を3.01k、 R_{B2} を1kに設 定します。標準のCAT5ツイスト・ペア・ケーブルを使用する 場合、この設定で最大50mの通信が可能です。ノイズが非 常に多い環境でのアプリケーションや50mより長いケーブ ルが必要なアプリケーションでは、IBを1mAに増やすことを 推奨します。駆動電流を大きくすると、ケーブルでの挿入損 失の増加が補償され、ノイズ耐性が向上します。50mを超え るケーブルと巻数比1:1のトランスおよび $R_M = 100 \Omega$ を使用 する場合は、 R_{B1} を1.5k、 R_{B2} を499 Ωにします。

isoSPIリンクの最大クロック・レートは、isoSPIケーブルの長 さによって決まります。ケーブルが10m以下の場合は、最大 1MHzのSPIクロック周波数が可能です。ケーブルの長さが 長くなるにつれて、可能な最大SPIクロック・レートは減少し ます。この依存性は、伝播遅延の増加によるものであり、こ れによってタイミングの規格外れが発生する可能性があり ます。CAT5ツイスト・ペア・ケーブルを使用した場合、ケーブ ル長が長くなるに従って最大データ・レートがどのように減 少するかを図42に示します。

ケーブルの遅延は、tCLK、t6、t7の3つのタイミング仕様に影響を与えます。電気的特性の表では、これらの仕様のそれぞれが100nsまで減定格され、50nsのケーブル遅延が許容されます。更に長いケーブルの場合は、最小のタイミング・パラメータを次に示すように計算できます。

t_{CLK}、t₆、およびt₇ > 0.9 µs + 2 • t_{CABLE} (0.2m/ns)



図41. isoSPI回路



図42. データ・レートとケーブル長

isoSPIのモジュール式デイジーチェーンの実装

デイジーチェーンisoSPIバスのハードウェア設計は、デイ ジーチェーンの2点間アーキテクチャにより、ネットワーク内 の各デバイスで同一です。図41に示す単純な設計で機能し ますが、ほとんどの設計回路には不適切です。図43に示すよ うに、終端抵抗RMを分割して、コンデンサでバイパスします。 この変更により、差動終端と同相終端の両方が得られるの で、システムのノイズ耐性が向上します。





図43. デイジーチェーン・インターフェースの部品

バッテリ・モジュール間にケーブルを使用すると、特にオート モーティブ・アプリケーションでは、通信線でノイズの影響 を受けやすくなる恐れがあります。電磁干渉(EMC)レベル が高い場合は、フィルタを更に追加することを推奨します。 図43の回路例では、コモンモード・チョーク(CMC)を使用 して、バッテリ配線上でのトランジェントから同相ノイズを除 去する機能を追加したことを示しています。また、センター・ タップ付きのトランスを使用すると、ノイズ性能が更に向上 します。センター・タップにバイパス・コンデンサを接続する ことで、同相ノイズに対応する低インピーダンスが得られます (図43b)。センター・タップのないトランスは低価格で済む ので好まれます。この場合には、分割終端抵抗とバイパス・ コンデンサを追加すれば(図43a)、isoSPI性能を向上できま す。10nFよりも大きなセンター・タップ・コンデンサの使用は 避けてください。使用するとisoSPIのコモンモード電圧を安 定化できないためです。イーサネット・アプリケーションまた はCANbusアプリケーションで使用されるものと同等のコモ ンモード・チョークを推奨します。具体的な例を表58に示し ます。

デイジーチェーン設計での重要な考慮事項は、isoSPIネットワーク内にあるデバイスの数です。チェーンの長さは、逐次処理のタイミングを決める要因であり、データの遅延とスループットに影響します。isoSPIデイジーチェーンでのデバイスの最大数は、逐次処理のタイミング条件によって厳密に規定されています。ただし、逐次読出し時間(と消費電流の増加)が実用上の限界を決める可能性があることに注意する必要があります。

デイジーチェーンでは、正常な動作を確保するのに、タイミングに関する次の2つの考慮事項が最も重要です(図25参照)。

- 1. t₆(最後のクロックとチップ選択の立上がりまでの時間) を十分に長くする必要がある。
- 2. t5 (チップ選択の立上がりから次の立下がりまでの時間 (コマンドとコマンドの間))を十分に長くする必要があ る。

t5とt6の長さは、両方ともデイジーチェーン内にある LTC6812-1デバイスの数が増加するのに応じて長くする必 要があります。これらの時間の計算式は以下のようになり ます。

 $t_5 > (\text{#devices} \bullet 70\text{ns}) + 900\text{ns}$

 $t_6 > (\text{\#devices} \bullet 70\text{ns}) + 950\text{ns}$





図44. 単一基板上でのデイジーチェーン・インターフェースの部品

同一PCB上での複数のLTC6812-1の接続

複数のLTC6812-1デバイスを同一のPCB上で接続する場合、LTC6812-1のisoSPIポート間に必要なトランスは1つだけです。また、ケーブルがないと通信線上でのノイズ・レベルが減少し、分割終端だけで済むことが多くなります。複数のLTC6812-1が同一のPCB上に存在し、isoSPIドライバLTC6820を介して末尾のMCUと通信するアプリケーションの例を図44に示します。センター・タップ付きのトランスを使用する場合は、コンデンサを追加してノイズ除去性能を高めることができます。ディスクリートのコモンモード・チョーク

(表示せず)を1つのトランスの両側に取り付けることにより、追加のノイズ・フィルタを設けることができます。

低ノイズが要求される単一基板設計では、図45に示すよう なコンデンサ絶縁型の簡単な結合によってトランスを置き 換えることができます。この回路では、2つの10nFのコンデン サでトランスを直接置き換えます。オプションのコモンモー ド・チョーク(CMC)を使用すると、トランスを使用するアプリ ケーション回路と同様にノイズを除去できます。この回路は、 トランス回路と同じIBIAS/ICMPの設定を使用するように設 計されています。



図45. 同一PCB上での複数のLTC6812-1に対応する容量性絶縁結合



isoSPIデータ・リンクによるMCUとLTC6812-1の接続

LTC6820は、標準の4線SPIを、LTC6812-1と直接通信で きる2線isoSPIリンクに変換します。例を図46に示します。 アプリケーションにLTC6820を使用すると、マイクロコント ローラとLTC6812-1のスタックの間を絶縁できます。また、 LTC6820を使用すると、LTC6812-1デバイスおよびバッテリ・ パックと比較的離れた場所にBMSコントローラを配置する システム構成が可能になります

トランス選択ガイド

図41に示すように、1つのトランスまたは1対のトランスに よって、2つのisoSPIポート間のisoSPI信号を絶縁します。 isoSPI信号は、最大1.6VP-Pのプログラム可能なパルス振幅 と、50nsおよび150nsのパルス幅を備えています。これらのパ ルスを、必要な忠実度で送信できるようにするため、システ ムに必要なのは、トランスの1次側インダクタンスを60µHよ り大きくして、巻数比を1:1にすることです。また、漏れインダ クタンスが2.5µHより少ないトランスを使用することも必要 です。パルス波形の観点から、1次側インダクタンスが最も影 響するのは、50nsおよび150nsパルスのドループです。1次側 インダクタンスが小さすぎると、パルスの振幅は減少し始め、 パルスの周期にわたって減衰します。パルス・ドループが厳し い場合、レシーバーから見た実効パルス幅が大幅に狭まり、 ノイズ・マージンが減少します。低下のパーセント値が全パ ルス振幅と比較して小さい値である限り、ある程度の低下は 許容されます。漏れインダクタンスが主に影響するのは、パ ルスの立上がり時間と立下がり時間です。立上がり時間と 立下がり時間が長いと、パルス幅は実質的に減少します。パ ルス幅は、ICMPピンで設定されている閾値を信号が超える 時間に応じて、レシーバーにより決定されます。立上がり時 間と立下がり時間が長いと、タイミングのマージンは減少し ます。一般的には、パルス・エッジをできるだけ高速に保つ のが最善です。また、トランスを評価する場合には、巻線の 並列容量に留意することも大切です。トランスのCMRRは低 周波では非常に良好ですが、この除去比特性は高周波では 低下します。その原因は、主として巻線間の容量です。トラン スを選択する場合には、できれば巻線の並列容量が少ない ものを選ぶのが最善です。

トランスを選択する場合、同様に重要なのは、アプリケー ションに合わせて適切な絶縁定格の製品を選ぶことです。ト ランスの動作電圧定格は、アプリケーションに合わせて製 品を選択するときの重要な仕様です。LTC6812-1デバイス間 のデイジーチェーン・リンクを相互接続した場合に受けるス トレスは、代表的なアプリケーションでは60V未満なので、 通常のパルス・トランスやLANタイプのトランスで十分です。 LTC6820に接続する場合は、一般に、良好な長期信頼性を 確保するため、はるかに高い動作電圧定格が必要となる可 能性があります。通常は、動作電圧をバッテリ・スタック全体



図 46. LTC6820 を使用して絶縁型 SPI 制御に対応する LTC6812-1 とµC とのインターフェース

の電圧に一致させるのが確実です。残念なことに、トランス のメーカーは1秒間のHVテストしか規定しないことが多く、 これは製品の長期(永続)的な定格と同等ではありません。 例えば、ほとんどの安全規格によると、1.5kV定格のトランス は継続的に230Vを扱えることを期待されており、3kVのデ バイスは長期間1100Vに対応できることを期待されていま すが、メーカーがこれらのレベルを必ずしも認証するわけで はありません(仕様については実際のメーカー・データを参 照)。通常、高電圧のトランスを、メーカーは「高絶縁」タイプ または「強化絶縁」タイプと呼んでいます。isoSPIリンクで評 価されたトランスの一覧を表 57に示します。

ほとんどのアプリケーションでは、ノイズを除去するのにコモンモード・チョーク(CMC)も必要です。使用するトランスに予めCMCが組み込まれていない場合、適したCMCの一覧を表58に示します。

表57. 推奨のトランス

メーカー	製品番号	温度範囲	Vworking	V _{hipot} /60S	CT	СМС	н	L	幅 (幅/リード)	ピン	AEC- Q200
Pulse	HX1188FNL	-40°C to 85°C	60V (est)	1.5kV _{RMS}	٠	•	6.0mm	12.7mm	9.7mm	16SMT	_
Pulse	HX0068ANL	-40°C to 85°C	60V (est)	1.5kV _{RMS}	٠	•	2.1mm	12.7mm	9.7mm	16SMT	_
Pulse	HM2100NL	-40°C to 105°C	1000V	4.3kVDC	-	•	3.4mm	14.7mm	14.9mm	10SMT	•
Pulse	HM2112ZNL	–40°C to 125°C	1000V	4.3kVDC	٠	•	4.9mm	14.8mm	14.7mm	12SMT	٠
Sumida	CLP178-C20114	–40°C to 125°C	1000V (est)	3.75kV _{RMS}	٠	•	9mm	17.5mm	15.1mm	12SMT	_
Sumida	CLP0612-C20115		600V _{RMS}	3.75kV _{RMS}	٠	-	5.7mm	12.7mm	9.4mm	16SMT	-
Wurth	7490140110	–40°C to 85°C	250V _{RMS}	4kV _{RMS}	٠	•	10.9mm	24.6mm	17.0mm	16SMT	_
Wurth	7490140111	0°C to 70°C	1000V (est)	4.5kV _{RMS}	٠	-	8.4mm	17.1mm	15.2mm	12SMT	-
Wurth	749014018	0°C to 70°C	250V _{RMS}	4kV _{RMS}	٠	•	8.4mm	17.1mm	15.2mm	12SMT	-
Halo	TG110-AE050N5LF	-40°C to 85/125°C	60V (est)	1.5kV _{RMS}	٠	•	6.4mm	12.7mm	9.5mm	16SMT	•
推奨のシン	ノグル・トランス	<u> </u>									
Pulse	PE-68386NL	-40°C to 130°C	60V (est)	1.5kVDC	-	-	2.5mm	6.7mm	8.6mm	6SMT	-
Pulse	HM2101NL	–40°C to 105°C	1000V	4.3kVDC	-		5.7mm	7.6mm	9.3mm	6SMT	٠
Pulse	HM2113ZNL	–40°C to 125°C	1600V	4.3kVDC	٠		3.5mm	9mm	15.5mm	6SMT	٠
Wurth	750340848	–40°C to 105°C	250V	3kV _{RMS}	-	-	2.2mm	4.4mm	9.1mm	4SMT	_
Halo	TGR04-6506V6LF	-40°C to 125°C	300V	3kV _{RMS}	٠	-	10mm	9.5mm	12.1mm	6SMT	_
Halo	TGR04-A6506NA6NL	–40°C to 125°C	300V	3kV _{RMS}	٠	-	9.4mm	8.9mm	12.1mm	6SMT	•
Halo	TDR04-A550ALLF	–40°C to 105°C	1000V	5kV _{RMS}	٠	-	6.4mm	8.9mm	16.6mm	6TH	•
TDK	ALT4532V-201-T001	–40°C to 105°C	60V (est)	~1kV	٠	-	2.9mm	3.2mm	4.5mm	6SMT	٠
Sumida	CEEH96BNP-LTC6804/11	–40°C to 125°C	600V	2.5kV _{RMS}	-	-	7mm	9.2mm	12.0mm	4SMT	_
Sumida	CEP99NP-LTC6804	–40°C to 125°C	600V	2.5kV _{RMS}	٠	-	10mm	9.2mm	12.0mm	8SMT	_
Sumida	ESMIT-4180/A	–40°C to 105°C	250V _{RMS}	3kV _{RMS}	-	-	3.5mm	5.2mm	9.1mm	4SMT	•
TDK	VGT10/9EE-204S2P4	–40°C to 125°C	250V (est)	2.8kV _{RMS}	٠	-	10.6mm	10.4mm	12.7mm	8SMT	

表58. 推奨のコモンモード・チョーク

メーカー	製品番号
TDK	ACT45B-101-2P
Murata	DLW43SH101XK2

isoSPI レイアウトのガイドライン

isoSPI信号線のレイアウトは、データ・リンクのノイズ耐性を 最大限に引き上げる重要な役割も果たしています。以下に 示すレイアウトのガイドラインを推奨します。

- トランスはisoSPIケーブル・コネクタにできるだけ近づけ て配置する。距離は2cm以下に保つ。LTC6812-1はトラ ンスに近づける一方で、トランスから1cm~2cm以上離 して配置することで、磁界結合からデバイスまで距離をあ ける。
- 2. トランスの下、isoSPIコネクタの下、またはトランスとコネ クタの間にはV⁻のグラウンド・プレーンを広げない。
- isoSPI信号のパターンはできるだけまっすぐにする一方 で、グラウンド・メタルまたはスペースによって周囲の回路 から分離する。内部層上のグラウンド・プレーンによって 分離されている場合を除き、パターンがisoSPI信号線と 交差しないようにする。

システムの電源電流

LTC6812-1には、様々な動作状態に対応する各種の電源電流仕様があります。平均電源電流は、システム内の制御ループに左右されます。各制御ループ・サイクルでどのコマンドが実行されるか、更に制御ループ・サイクルの持続時間はどれくらいか、ということは知っておく必要があります。この情報により、LTC6812-1がMEASUREステートにある時間と低消費電力のSLEEPステートにある時間の割合(%)を求めることができます。また、isoSPI通信またはSPI通信の量も平均電源電流に影響します。

シリアル・スループットの計算

どのLTC6812-1の場合でも、通信時間を割り出す計算は単純で、伝送時のビット数に使用されるSPIクロック周期を掛けたものです。LTC6812-1の制御プロトコルは非常に統一されているので、ほとんど全てのコマンドを書込み、読出し、動作に分類できます。表59を使用して、任意のLTC6812-1コマンドでのビット数を求めることができます。

高度なアプリケーション

15個未満のセルでのLTC6812-1の使用

セルは、従来からある最下段(C1)から最上段(C15)の順序 で接続できます。その際、不使用のC入力は、全て最上段の 接続セルに短絡するか、全てオープンのままにしておいてか まいません。不使用のSピンは、未接続のままにしておいてか まいません。

あるいは、セルが15個未満のアプリケーションで測定の同 期を最適化するため、3番目のMUXの最上段(C15)、2番目 のMUXの最上段(C10)、1番目のMUXの最上段(C5)の間 で、不使用のCピンを均等に配分することもできます。図47 を参照してください。測定対象セルの数が3の倍数ではない 場合、最上段のMUXに接続するセルの数を減らします。不 使用のセル入力は、同じMUX上にある他の不使用入力に 接続してから、100Ωの抵抗を介してバッテリ・スタックに接 続します。不使用の入力がある場合、該当セルの読出し値は 0.0Vになります。

ホール・センサーを使用した電流測定

0V~5Vのアナログ出力を備えたアクティブ・センサーなど、 任意のアナログ信号に対して、LTC6812-1の補助ADC入力 (GPIOピン)を使用できます。バッテリ電流測定では、ホー ル・センサーが、絶縁型で低消費電力の解決策を提供しま す。与えられたVccに比例した2つの出力を生成する標準的 なホール・センサーを図48に模式的に示します。図48のセ ンサーには、VCCの半分の値を中心とした2つの双方向出 力があります。CH1は0A~50Aの低電流範囲であり、CH2 は0A~200Aの高電流範囲です。このセンサーは、5V電源 から電力を供給され、アナログ出力を生成します。このアナ ログ出力は、GPIOピン、つまり図 50に示す MUX アプリケー ションの入力に接続されます。GPIO1とGPIO2をADCの入 力として使用すると、同じ変換シーケンス内でセル入力として (ADCVAXコマンドを使用して)デジタル化できます。その ため、セル電圧の測定とセル電流の測定を同期させること ができます。

表59.	デイ	゙ジーチ	ェーン	でのシリ	ノア川	し通信時間の式
------	----	------	-----	------	-----	---------

コマンド・タイプ	コマンド・バイト + コマンド PEC	データ・バイト +データPEC (デバイス単位)	合計ビット	通信時間
Read	4	8	$(4 + (8 \bullet \#ICs)) \bullet 8$	Total Bits • Clock Period
Write	4	8	(4 + (8 • #ICs)) • 8	Total Bits • Clock Period
Operation	4	0	4 ● 8 = 32	32 • Clock Period







図48. 標準的なホール効果バッテリ電流センサーと補助 ADC 入力のインターフェース

外部温度プローブの読取り

図49は、負温度係数(NTC)サーミスタの標準的なバイアス 回路を示しています。25°Cで10kというのはセンサーの最も 一般的な値であり、V_{REF2}出力段は、これら複数のプローブ にバイアスを加えるために必要な電流を供給する目的で設 計されています。回路が25°Cで1.5V(V_{REF2}は公称3V)を 供給するように、NTCの値に応じてバイアス抵抗を選択しま す。回路全体の応答は、図49のグラフに示すように、標準的 なセルの温度範囲内で約–1%/°Cです。

補助測定数の拡張

LTC6812-1は、ADC入力として使用できる9つのGPIOピン を備えています。9種類より多くの信号を測定する必要があ るアプリケーションでは、マルチプレクサ(MUX)回路を実 装して、16種類の信号までアナログ測定を拡張することがで きます(図50)。GPIO1のADC入力は測定に使用され、MUX はGPIO4およびGPIO5のI²Cポートで制御されます。バッ ファ・アンプが選択されていたのは高速セトリングのためで あり、これによって使用可能なスループット・レートが向上し ます。



図49.標準的な温度プローブ回路と相対出力



図50.16種類の追加アナログ測定をサポートするMUX回路

パッケージ



注記: 1. 寸法はミリメートル 2. バッケージの寸法にはモールドのパリを含まない。モールドのパリは(もしあれば)、 露出パッドの各サイドのピン間で0.25mm、最大値で0.50mm、さらに露出パッド のコーナーでは最大値で0.77mm を超えないこと

3.1 番ピンの識別マークはモールドのくぼみ、直径 0.50mm 4. 図は実寸とは異なる

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることに万全を期していますが、その利用に関して、あるいは利 用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。仕様は予告なく変更される場合がありま す。アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。 Rev. 0

標準的応用例



関連製品

製品番号	説明	注釈
LTC6801	独立動作のマルチセル・バッテリ・ スタック・フォルト・モニタ	直列接続された最大12個のバッテリ・セルの低電圧と過電圧を監視。LTC6802、LTC6803、 およびLTC6804の姉妹品。
LTC6802	第1世代の12セル・バッテリ・スタッ ク・モニタおよびバランス調整IC	最大12個の直列バッテリ・セルのセル電圧を測定。デイジーチェーン機能により、複数のデバイスを接続して、独自のレベルシフト・シリアル・インターフェースを介して多数のバッテリ・セルを同時に測定可能。パッシブ方式のセル・バランス調整機能を内蔵。
LTC6803	第2世代の12セル・バッテリ・スタッ ク・モニタおよびバランス調整IC	最大12個の直列バッテリ・セルのセル電圧を測定。デイジーチェーン機能により、複数のデ バイスを接続して、独自のレベルシフト・シリアル・インターフェースを介して多数のバッテリ・ セルを同時に測定可能。パッシブ方式のセル・バランス調整機能を内蔵。
LTC6804	第3世代の12セル・バッテリ・スタッ ク・モニタおよびバランス調整IC	最大12個の直列バッテリ・セルのセル電圧を測定。デイジーチェーン機能により、複数のデバイスを接続して、内蔵の1MHz、2線式絶縁型通信(isoSPI)を介して多数のバッテリ・セルを同時に測定可能。パッシブ方式のセル・バランス調整機能を内蔵。
LTC6811	第4世代の12セル・バッテリ・スタッ ク・モニタおよびバランス調整IC	最大12個の直列バッテリ・セルのセル電圧を測定。デイジーチェーン機能により、複数のデバイスを接続して、内蔵の1MHz、2線式絶縁型通信(isoSPI)を介して多数のバッテリ・セルを同時に測定可能。パッシブ方式のセル・バランス調整機能を内蔵。
LTC6820	isoSPI 絶縁型通信インターフェース	ツイスト・ペア・ケーブルを使用する最大100メートルのSPI通信用の絶縁型インターフェース を提供。LTC6804、LTC6806、LTC6811、LTC6812、およびLTC6813の姉妹品。
LTC6813	第4世代の18セル・バッテリ・スタッ ク・モニタおよびバランス調整IC	最大18個の直列バッテリ・セルのセル電圧を測定。isoSPIデイジーチェーン機能により、複数のデバイスを相互接続して、多数のバッテリ・セルを同時に測定可能。isoSPIバスは最大1MHzで動作可能であり、双方向に動作して、断線や損傷したコネクタなど、障害条件に対応できます。最大200mAのパッシブ方式セル・バランス調整機能を内蔵。



