

5チャンネル、300mA電流源出力の 16ビットSoftSpan DAC

特長

- チャンネルあたりのプログラマブル出力範囲: 300mA、200mA、100mA、50mA、25mA、12.5mA、6.25mA、3.125mA
- 柔軟な電源電圧: 2.85V~33V
- ドロップアウト電圧: 1Vを確保
- 出力チャンネルごとに個別の電源
- オプションの負電源に切り替えるスイッチを内蔵
- 全範囲で全16ビット分解能
- 動作温度: -40°C~125°C
- 高精度(最大10ppm/°C)内部リファレンスまたは外部リファレンス入力
- アナログ・マルチプレクサによる電圧および電流の監視
- SPIまたは専用ピンによるA/Bの切替え
- SPIシリアル・インターフェース: 1.8V~5V
- 5mm × 5mm 32ピンQFNパッケージ

アプリケーション

- チューナブル・レーザ
- 半導体光アンプ
- 抵抗加熱器
- 電流モードのバイアス印加
- 比例ソレノイド・ドライブ

概要

LTC[®]2662は5チャンネル、16ビットの電流源D/Aコンバータ(DAC)ファミリで、5つの高コンプライアンス電流源出力を備え、200mAで1Vのドロップアウト電圧をサポートします。デバイスは最大32Vの負荷電圧をサポートします。チャンネルごとにプログラム可能で、フルスケール出力が最大300mAの8種類の電流範囲があります。また、チャンネルを並列接続すると、大電流の極めて細かい調整や、最大1.5Aの結合出力に対応できます。

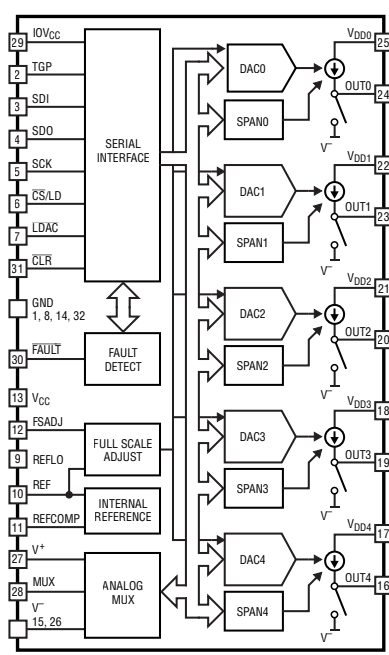
全ての出力チャンネルに専用の電源ピンが用意されています。それぞれ2.85V~33Vの範囲で動作可能であり、内蔵のスイッチによって出力をオプションの負電源に接続できます。

LTC2662は高精度の1.25Vリファレンス(最大10ppm/°C)を内蔵しており、オプションで外部リファレンスを使用することもできます。

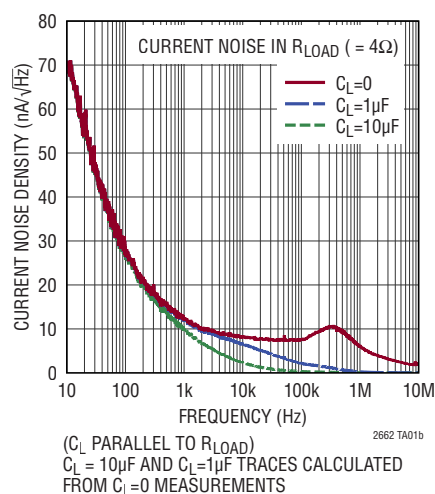
SPI/Microwire互換の3線式シリアル・インターフェースは、クロック・レートが最大50MHzのときにわずか1.71Vのロジック・レベルで動作します。

全ての登録商標および商標の所有権は、それぞれの所有者に帰属します。

ブロック図



電流ノイズ密度と周波数



目次

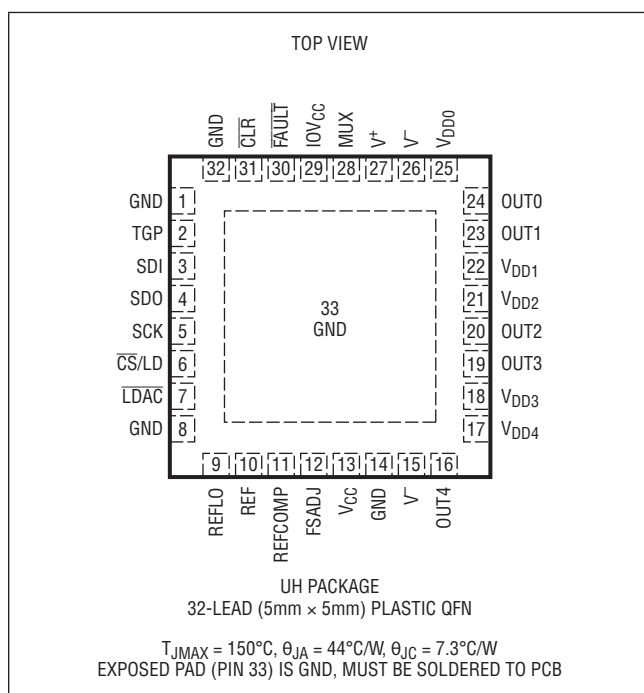
特長	1
アプリケーション	1
ブロック図	1
概要	1
絶対最大定格.....	3
ピン配置.....	3
発注情報.....	4
製品選択ガイド.....	4
電気的特性.....	5
リファレンス特性	6
デジタル入力とデジタル出力.....	6
電源要件	7
タイミング特性	7
代表的な性能特性	9
ピン機能.....	11
ブロック図	13
タイミング図	14
動作	16
パッケージ	27
標準的応用例.....	28
関連製品	28

絶対最大定格

(Note 1)

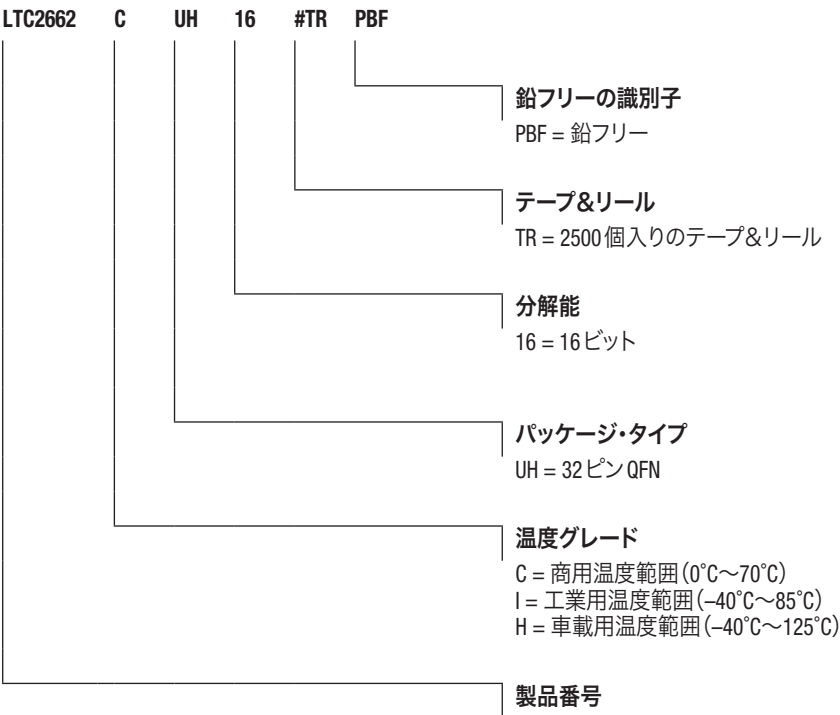
アナログ電源電圧 (V_{CC})		-0.3V~6V
デジタル I/O 電圧 (IOV_{CC})		-0.3V~6V
負電源電圧 (V^-)		-16.5V~0.3V
正電源電圧 (V^+)		-0.3V~($V^- + 36V$)
出力電源電圧 (V_{DD0} , V_{DD1} , V_{DD2} , V_{DD3} , V_{DD4})		-0.3V~($V^+ + 0.3V$)
OUT0, OUT1, OUT2, OUT3, OUT4		($V^- - 0.3V$)~($V_{DDX} + 0.3V$)
MUX		($V^- - 0.3V$)~($V^+ + 0.3V$)
REF, REFCOMP, FSADJ		-0.3V~($V_{CC} + 0.3V$ と6Vの低い方)
$\overline{CS}/LD$, SCK, SDI, $\overline{LDAC}$, $\overline{CLR}$, TGP		-0.3V~6V
FAULT		-0.3V~6V
SDO		-0.3V~($IOV_{CC} + 0.3V$ と6Vの低い方)
動作ジャンクション温度 (T_J) 範囲		
LTC2662C		0°C~70°C
LTC2662I		-40°C~85°C
LTC2662H		-40°C~125°C
最大ジャンクション温度		150°C
保存温度範囲		-65°C~150°C

ピン配置



LTC2662

発注情報



更に広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。*温度グレードは出荷時のコンテナのラベルで識別されます。
[テープ&リールの仕様](#)。一部のパッケージは、#TRMPBF 接尾部の付いた指定の販売経路を通じて 500 個入りのリールで供給可能です。

製品選択ガイド

鉛フリー仕上げ	テープ&リール	製品マーキング	パッケージ	温度範囲
LTC2662CUH-16#PBF	LTC2662CUH-16#TRPBF	266216	32-Lead (5mm × 5mm) QFN	0°C to 70°C
LTC2662IUH-16#PBF	LTC2662IUH-16#TRPBF	266216	32-Lead (5mm × 5mm) QFN	-40°C to 85°C
LTC2662HUH-16#PBF	LTC2662HUH-16#TRPBF	266216	32-Lead (5mm × 5mm) QFN	-40°C to 125°C

電氣的特性

●は全動作ジャンクション温度範囲での規格値を意味する。それ以外は $T_J = 25^\circ\text{C}$ での規格値。規定のない限り、 $V_{CC} = 10V_{CC} = 5V$ 、 $V^- = -5V$ 、 $V_{DD0-4} = 5V$ 、 $V^+ = 5V$ 、 $FSADJ = V_{CC}$ 、 $V_{(REF)} = 1.25V$ (外部)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
DC 性能、全範囲共通 (Note 4)							
	Resolution		●	16			Bits
	Monotonicity	(Note 3)	●	16			Bits
DNL	Differential Nonlinearity	(Note 3)	●		± 0.2	± 1	LSB
INL	Integral Nonlinearity	(Note 3)	●		± 12	± 64	LSB
I_{OS}	Offset Error Current	(Note 3)	●		± 0.1	± 0.4	%FSR
	V_{OS} Temperature Coefficient				10		ppm/ $^\circ\text{C}$
GE	Gain Error (Note 4)	300mA, 200mA, 100mA Ranges	●		0.3	0.9	%FSR
		50mA, 25mA Ranges	●		0.4	1.2	%FSR
		12.5mA, 6.25mA, 3.125mA Ranges	●		0.7	1.5	%FSR
	Gain Temperature Coefficient	$FSADJ = V_{CC}$			30		ppm/ $^\circ\text{C}$
TUE	Total Unadjusted Error (Note 4)	300mA, 200mA, 100mA Ranges	●		0.4	1.4	%FSR
		50mA, 25mA Ranges	●		0.5	1.7	%FSR
		12.5mA, 6.25mA, 3.125mA Range	●		0.8	2	%FSR
PSRR	Power Supply Rejection Ratio	Range = 100mA; $I_{OUT} = 50\text{mA}$					
		V_{CC} : 4.75V to 5.25V			2.2		LSB
		V_{DDX} : 2.85V to 3.15V			0.6		LSB
		V_{DDX} : 4.75V to 5.25V			3.7		LSB
		V^+ : 4.75V to 5.25V			0.09		LSB
		V^- : -5.25V to -4.75V			0.01		LSB
	DC Crosstalk (Note 5)	Due to 200mW Change in Dissipated Power			14		LSB

DC 性能

$V_{DROPOUT}$	Dropout Voltage ($V_{DDX} - V_{OUTX}$)	200mA Range; ($V_{DDX} - V^-$) = 4.75V	●		0.72	1	V
		200mA Range; ($V_{DDX} - V^-$) = 2.85V			0.85		V
		200mA Range; ($V_{DDX} - V^-$) = 33V	●		0.76	1.1	V
		300mA Range; ($V_{DDX} - V^-$) = 4.75V			1.13		V
		300mA Range; ($V_{DDX} - V^-$) = 2.85V	●		1.15	1.75	V
	Hi-Z Output Leakage Current	$I_{OUTX} = \text{Hi-Z}$, $2.85V \leq (V_{DDX} - V^-) \leq 33V$	●		0.1	1	μA
$R_{PULLDOWN}$	OUTX Switch-to- V^- Resistance to V^- Supply	Span Code = 1000b, Sinking 80mA	●		8	12	Ω

AC 性能

t_{SET}	Settling Time, Full-Scale Step 3.125mA Range	$\pm 0.024\%$ ($\pm 1\text{LSB}$ at 12b) (Notes 9, 12)			6.1		μs
		$\pm 0.0015\%$ ($\pm 1\text{LSB}$ at 16b) (Notes 9, 12)			19.2		μs
	Settling Time, 145mA-155mA Step 200mA Range	$\pm 0.024\%$ ($\pm 1\text{LSB}$ at 12b) (Notes 9, 12)			3.5		μs
		$\pm 0.0015\%$ ($\pm 1\text{LSB}$ at 16b) (Notes 9, 12)			7.7		μs
	Settling Time, Full-Scale Step 200mA Range	$\pm 0.024\%$ ($\pm 1\text{LSB}$ at 12b) (Notes 9, 12)			4.5		μs
		$\pm 0.0015\%$ ($\pm 1\text{LSB}$ at 16b) (Notes 9, 12)			8.7		μs
	Glitch Impulse	At Mid-Scale Transition, 200mA Range, $R_{LOAD} = 4\Omega$			180		pA $\cdot$ s
	DAC-to-DAC Crosstalk (Note 6)	100mA to 200mA Step, $R_{LOAD} = 15\Omega$			150		pA $\cdot$ s
i_{noise}	Output Current Noise Density Internal Reference, $I_{OUT} = 150\text{mA}$, $R_{LOAD} = 4\Omega$, $C_{LOAD} = 10\mu\text{F}$	$f = 1\text{kHz}$			12		nA/ $\sqrt{\text{Hz}}$
		$f = 10\text{kHz}$			5		nA/ $\sqrt{\text{Hz}}$
		$f = 100\text{kHz}$			0.5		nA/ $\sqrt{\text{Hz}}$
		$f = 1\text{MHz}$			0.05		nA/ $\sqrt{\text{Hz}}$

リファレンス特性

●は全動作ジャンクション温度範囲での規格値を意味する。それ以外は $T_J = 25^\circ\text{C}$ での規格値。規定のない限り、 $V_{CC} = IOV_{CC} = 5V$ 、 $V^- = -5V$ 、 $V_{DD0-4} = 5V$ 、 $V^+ = 5V$ 、 $FSADJ = V_{CC}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{REF}	Reference Output Voltage		1.248	1.25	1.252	V
	V_{REF} Temperature Coefficient	(Note 7)		± 3	± 10	ppm/ $^\circ\text{C}$
	V_{REF} Line Regulation	$V_{CC} = 5V \pm 10\%$		50		$\mu\text{V/V}$
	V_{REF} Short-Circuit Current	$V_{CC} = 5.5V$, Forcing Output to GND		2.5		mA
	REFCOMP Pin Short-Circuit Current	$V_{CC} = 5.5V$, Forcing Output to GND		65		μA
	V_{REF} Load Regulation	$V_{CC} = 5V \pm 10\%$, $I_{REF} = 100\mu\text{A}$ Sourcing		140		mV/mA
	V_{REF} Output Voltage Noise Density	$C_{REFCOMP} = C_{REF} = 0.1\mu\text{F}$, at $f = 10\text{kHz}$		32		nV/ $\sqrt{\text{Hz}}$
	V_{REF} Input Voltage Range	External Reference Mode	● 1.225		1.275	V
	V_{REF} Input Current	External Reference Mode	●	0.001	1	μA
	V_{REF} Input Capacitance	(Note 8)		40		pF
R_{FSADJ}	External Full-Scale Adjust Gain Resistor	R_{FSADJ} to GND	● 19	20	50	k Ω

デジタル入力とデジタル出力

●は全動作ジャンクション温度範囲での規格値を意味する。それ以外は $T_J = 25^\circ\text{C}$ での規格値。規定のない限り、 $V_{CC} = IOV_{CC} = 5V$ 、 $V^- = -5V$ 、 $V_{DD0-4} = 5V$ 、 $V^+ = 5V$ 、 $FSADJ = V_{CC}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
デジタル I/O						
V_{OH}	Digital Output High Voltage	SDO Pin, Load Current = $-100\mu\text{A}$	●	$IOV_{CC} - 0.2$		V
V_{OL}	Digital Output Low Voltage	SDO Pin, Load Current = $100\mu\text{A}$	●		0.2	V
		FAULT Pin, Load Current = $100\mu\text{A}$	●		0.2	V
	Digital Hi-Z Output Leakage Current	SDO Pin Leakage Current ($\overline{\text{CS}}/\text{LD}$ High)	●		± 1	μA
		FAULT Pin Leakage Current (Not Asserted)	●		1	μA
	Digital Input Current	$V_{IN} = \text{GND to } IOV_{CC}$	●		± 1	μA
C_{IN}	Digital Input Capacitance	(Note 8)	●		8	pF

 $IOV_{CC} = 2.85 \sim V_{CC}$

V_{IH}	High Level Input Voltage	●	$0.8 \cdot IOV_{CC}$			V
V_{IL}	Low Level Input Voltage	●			0.5.	V

 $IOV_{CC} = 1.71V \sim 2.85V$

V_{IH}	High Level Input Voltage	●	$0.8 \cdot IOV_{CC}$			V
V_{IL}	Low Level Input Voltage	●			0.5.	V

電源要件

●は全動作ジャンクション温度範囲での規格値を意味する。それ以外は $T_J = 25^\circ\text{C}$ での規格値。規定のない限り、 $V_{CC} = IOV_{CC} = 5V$ 、 $V^- = -5V$ 、 $V_{DD0-4} = 5V$ 、 $V^+ = 5V$ 、 $FSADJ = V_{CC}$ 、 $V_{(REF)} = 1.25V$ (外部)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{CC}	Analog Supply Voltage	V_{CC} Must Not Exceed V^+	●	2.85		5.5	V
IOV_{CC}	Digital I/O Supply Voltage		●	1.71		V_{CC}	V
V^-	Negative Supply Voltage		●	-15.75		0	V
V^+	Positive Supply Voltage		●	2.85		$V^- + 33$	V
V_{DD0} to V_{DD4}	Output Supply Voltages		●	2.85		V^+	V
	Supply Current V_{CC}	All Ranges (Code = 0, All Channels)	●		2.6	3.8	mA
	Supply Current IOV_{CC}	All Ranges (Code = 0, All Channels)	●		0.01	1	μA
	Supply Current V^+	All Ranges (Code = 0, All Channels)	●		385	500	μA
	Supply Current V^-	All Ranges (Code = 0, All Channels)	●		2.3	3.2	mA
	Supply Current V_{DD0-4}	All Ranges (Code = 0, per Channel) 25mA Range (Code = Full-Scale, per Channel), (Note 9) 200mA Range (Code = Full-Scale, per Channel), (Note 9)	● ● ●		0.7 26.5 204	1.2 27.6 207	mA mA mA
I_{SLEEP}	Shutdown Current V_{CC}	(Notes 10, 11)	●		1	10	μA
	Shutdown Current IOV_{CC}	(Notes 10, 11)	●		0.01	1	μA
	Shutdown Current V^+	(Notes 10, 11)	●		20	36	μA
	Shutdown Current V^-	(Notes 10, 11)	●		30	59	μA
	Shutdown Current V_{DD0-4}	(Notes 10, 11) per Channel	●		20	8.1	μA

監視マルチプレクサ

	DC Output Impedance				15		$k\Omega$
	Leakage Current	Monitor Mux Disabled (High Impedance)	●		0.1	1	μA
	Output Voltage Range	Monitor Mux Selected to I_{OUT0-4} Pin Voltage	●	V^-		V^+	V
	Continuous Current (Note 8)		●			± 1	mA

タイミング特性

●は全動作ジャンクション温度範囲での規格値を意味する。それ以外は $T_J = 25^\circ\text{C}$ での規格値。デジタル入力の低電圧は0Vで高電圧は IOV_{CC} 。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
$V^+ = V_{DDX} = V_{CC} = 2.85V \sim 5.5V$ 、 $IOV_{CC} = 2.85V \sim V_{CC}$							
t_1	SDI Valid to SCK Setup		●	6			ns
t_2	SDI Valid to SCK Hold		●	6			ns
t_3	SCK HIGH Time		●	9			ns
t_4	SCK LOW Time		●	9			ns
t_5	$\overline{CS}/LD$ Pulse Width		●	10			ns
t_6	LSB SCK High to $\overline{CS}/LD$ High		●	19			ns
t_7	$\overline{CS}/LD$ Low to SCK High		●	7			ns
t_8	SDO Propagation Delay From SCK Falling Edge	$4.5V \leq IOV_{CC} \leq V_{CC}$	●			20	ns
	$C_{LOAD} = 10pF$	$2.85V \leq IOV_{CC} < 4.5V$	●			30	ns

タイミング特性

●は全動作ジャンクション温度範囲での規格値を意味する。それ以外は $T_J = 25^\circ\text{C}$ での規格値。デジタル入力の低電圧は0Vで高電圧は IOV_{CC} 。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
t_g	CLR Pulse Width		●	20			ns
t_{10}	$\overline{CS}/LD$ High to SCK Positive Edge		●	7			ns
t_{12}	LDAC Pulse Width		●	15			ns
t_{13}	$\overline{CS}/LD$ High to LDAC High or Low Transition		●	15			ns
	SCK Frequency	50% Duty Cycle	●			50	MHz
t_{14}	TGP High Time	(Note 8)	●	1			μs
t_{15}	TGP Low Time	(Note 8)	●	1			μs

$V^+ = V_{DDX} = V_{CC} = 2.85V \sim 5.5V$, $1.71V \leq IOV_{CC} < 2.85V$

t_1	SDI Valid to SCK Setup		●	7			ns
t_2	SDI Valid to SCK Hold		●	7			ns
t_3	SCK HIGH Time		●	30			ns
t_4	SCK LOW Time		●	30			ns
t_5	$\overline{CS}/LD$ Pulse Width		●	15			ns
t_6	LSB SCK High to $\overline{CS}/LD$ High		●	19			ns
t_7	$\overline{CS}/LD$ Low to SCK High		●	7			ns
t_8	SDO Propagation Delay From SCK Falling Edge	$C_{LOAD} = 10\text{pF}$	●			60	ns
t_9	CLR Pulse Width		●	30			ns
t_{10}	$\overline{CS}/LD$ High to SCK Positive Edge		●	7			ns
t_{12}	LDAC Pulse Width		●	15			ns
t_{13}	$\overline{CS}/LD$ High to LDAC High or Low Transition		●	15			ns
	SCK Frequency	50% Duty Cycle	●			15	MHz
t_{14}	TGP High Time	(Note 8)	●	1			μs
t_{15}	TGP Low Time	(Note 8)	●	1			μs

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: 全ての電圧値はGNDを基準にしている。

Note 3: オフセット電流はコード384で測定される。直線性はコード384からコード65,535までの範囲で定義される。

Note 4: $I_{FS} = 300\text{mA}$ の場合、 $R_{LOAD} = 10\Omega$ 。 $I_{FS} = 200\text{mA}$ の場合、 $R_{LOAD} = 15\Omega$ 。 $I_{FS} = 100\text{mA}$ の場合、 $R_{LOAD} = 30\Omega$ 。 $I_{FS} = 50\text{mA}$ の場合、 $R_{LOAD} = 50\Omega$ 。 $I_{FS} = 25\text{mA}$ の場合、 $R_{LOAD} = 100\Omega$ 。 $I_{FS} = 12.5\text{mA}$ の場合、 $R_{LOAD} = 200\Omega$ 。 $I_{FS} = 6.25\text{mA}$ の場合、 $R_{LOAD} = 400\Omega$ 。 $I_{FS} = 3.125\text{mA}$ の場合、 $R_{LOAD} = 800\Omega$ 。

Note 5: $I_{FS} = 200\text{mA}$, $R_{LOAD} = 15\Omega$ 。DCクロストークは、4チャンネル全てのアグレッサで100mAから200mAへの電流ステップを入力して測定する。全消費電力の変化は、 $4 \times 50\text{mW} = 200\text{mW}$ 。監視チャンネルは $3/4 \cdot I_{FS}$ または150mAで保持される。

Note 6: DAC間クロストークとは、一方のDACチャンネルでの100mAから200mAへのステップ変化により、隣接するDACの出力に現れるグリッチのこと。測定対象DACは中規模(100mA)。200mAレンジ、内部リファレンス、 $V_{DDX} = 5V$ 、 $V^- = -5V$ 。

Note 7: 温度係数を算出するには、まず公称出力電圧に対する出力電圧の最大変化の比率を計算する。次に、この比率を規定の温度範囲で割る。

Note 8: 設計により確認されているが、出荷テストは行われない。

Note 9: $V_{DDX} = 5V$ (3.125mAレンジ)、 $V_{DDX} = 4V$ (200mAレンジ)。全ての範囲で $V^- = -5V$ 。電流出力のステップが大きい場合は、内部の熱効果によって最終セトリング・テールが生じる。ほとんどの場合は、セトリング・テールが小さすぎて $\pm 0.024\%$ までのセトリング時間には影響しないが、 $\pm 0.0015\%$ レベルまでのフル・セトリング時間に対しては数ミリ秒が必要。最善の結果を得るには、必ず露出パッド(ピン33)を切れ目のないGNDプレーンにハンダ処理し、 V_{DDX} をチャンネルごとに実用最低限の値にして、デバイス内部の消費電力を低減する。表の結果は、追加ヒートシンクのないDC2692デモ回路を使用して得られた。

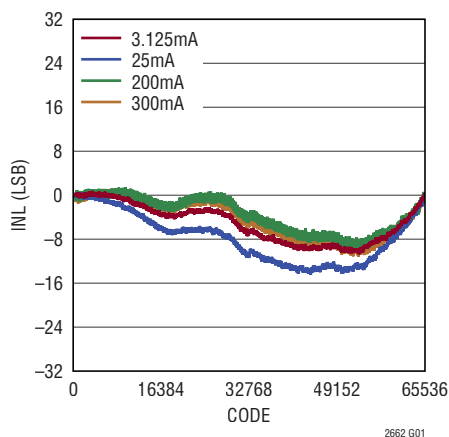
Note 10: $V_{CC} = IOV_{CC} = 5V$, $V_{DD0-4} = 5V$, $V^- = -5V$ 。

Note 11: 0Vまたは IOV_{CC} でのデジタル入力。

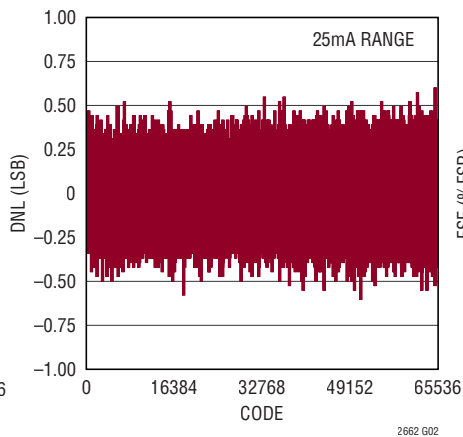
Note 12: 内部リファレンス・モード。負荷は 15Ω (200mAレンジ)または 800Ω (3.125mAレンジ)を100pF(GNDに終端)と並列接続。

代表的な性能特性

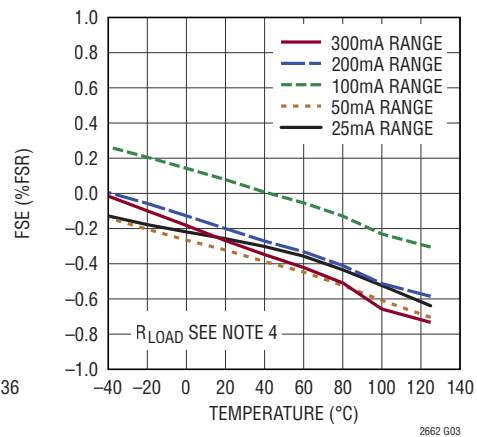
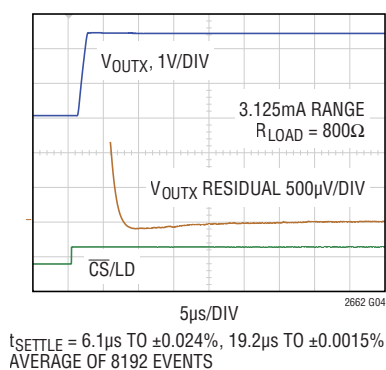
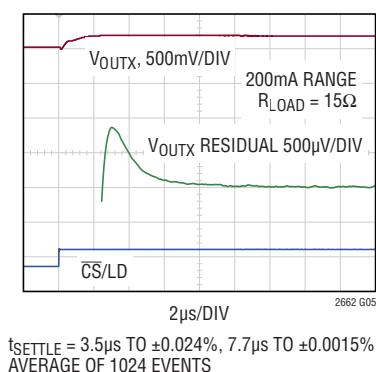
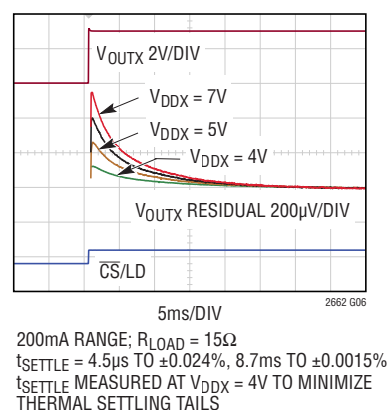
積分非直線性 (INL)



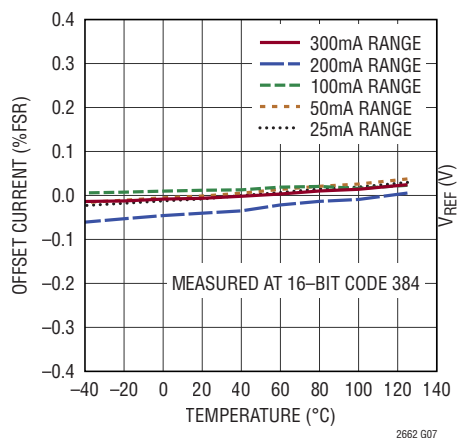
微分非直線性 (DNL)



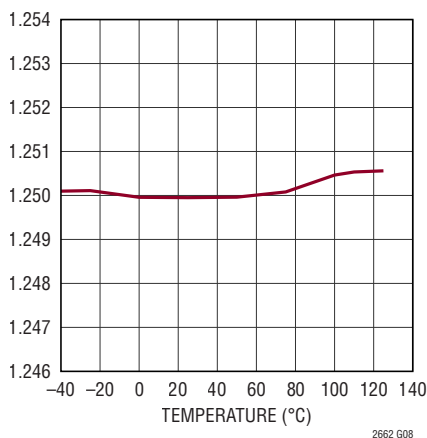
フルスケール電流誤差と温度

0から3.125mAまでの
ステップでのセトリング145mAから155mAまでの
ステップでのセトリング0から200mAまでの
ステップでのセトリング

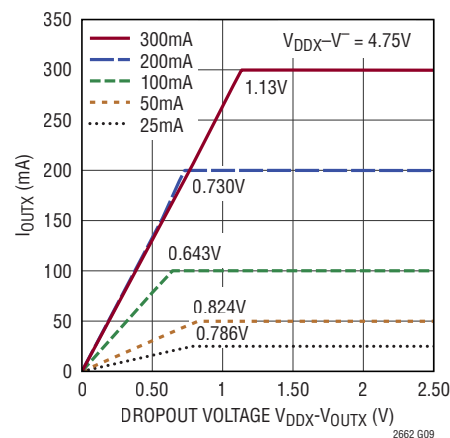
オフセット電流誤差と温度



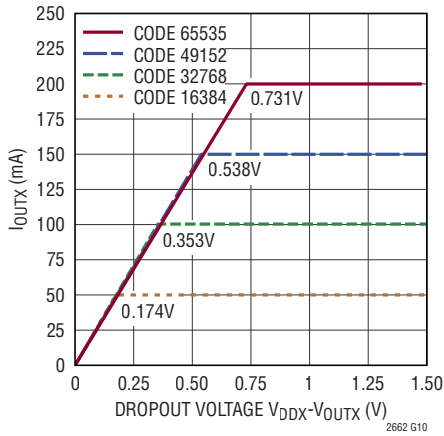
リファレンス出力と温度



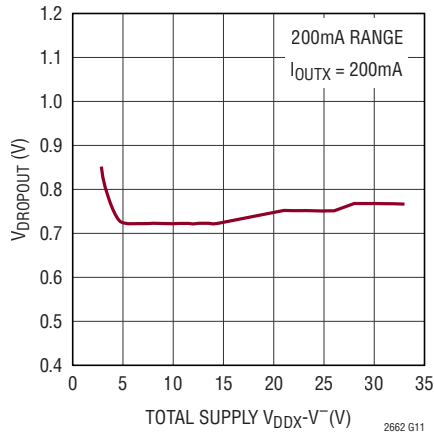
ドロップアウト電圧と電流範囲



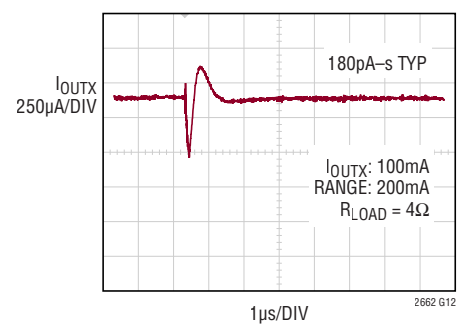
代表的な性能特性

ドロップアウト電圧とコード、
200mA レンジ

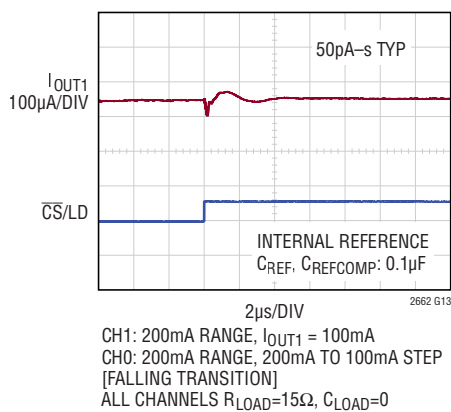
ドロップアウト電圧と全電源電圧



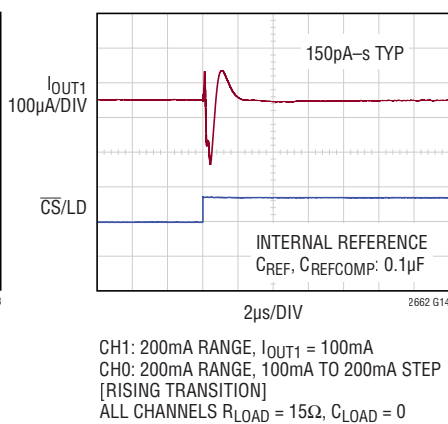
中規模のグリッチ



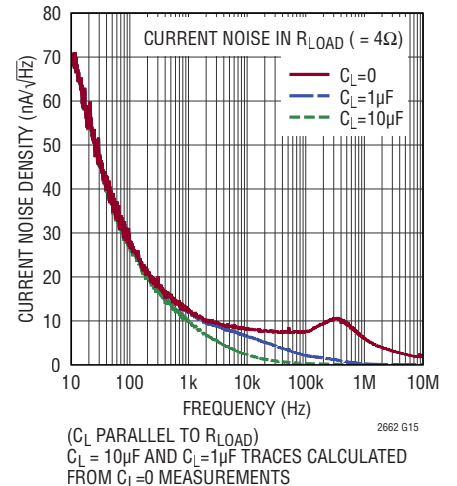
DAC 間クロストーク (立下がり)



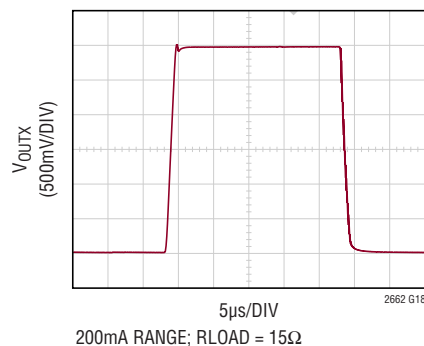
DAC 間クロストーク (立上がり)



電流ノイズ密度と周波数



大信号応答



ピン機能

GND (ピン1、8、14、32) : グラウンド。これらのピンと露出パッド(33ピン)は切れ目のないグラウンド・プレーンに直接接続する必要があります。

TGP (ピン2) : 非同期トグル・ピン。立下がりエッジが入力されると、DACレジスタは入力レジスタAからのデータで更新されます。立上がりエッジが入力されると、DACレジスタは入力レジスタBからのデータで更新されます。トグル動作がDACの該当チャンネルに影響するのは、トグル選択ビット(Tx)を1に設定してある場合に限りです。ソフトウェアによってトグル動作を実行する場合は、TGPピンをIOV_{CC}に接続します。トグル動作を使用しない場合は、TGPピンをGNDに接続します。ロジック・レベルはIOV_{CC}によって決まります。

SDI (ピン3) : シリアル・データ入力。SDIのデータは、SCKの立上がりエッジでクロックに同期してDACに入力されます。LTC2662の有効な入力ワード長は24ビットまたは32ビットです。ロジック・レベルはIOV_{CC}によって決まります。

SDO (ピン4) : シリアル・データ出力。32ビット・シフト・レジスタのシリアル出力がSDOピンに現れます。SDIピンを介してデバイスに転送されたデータは、SCKの立上がりエッジ32回分遅延してから、次の立下がりエッジで出力されます。データのエコー読みまたはデジタイゼーション動作に使用できます。 $\overline{\text{CS/LD}}$ がハイになると、SDOピンは高インピーダンスになります。ロジック・レベルはIOV_{CC}によって決まります。

SCK (ピン5) : シリアル・クロック入力。ロジック・レベルはIOV_{CC}によって決まります。

$\overline{\text{CS/LD}}$ (ピン6) : シリアル・インターフェースのチップ・セレクト入力または負荷入力。 $\overline{\text{CS/LD}}$ がローのときは、SDIのデータをレジスタにシフト入力するため、SCKが有効になります。更に、 $\overline{\text{CS/LD}}$ がローのときは、SDOが有効になります。 $\overline{\text{CS/LD}}$ をハイにすると、SDOとSCKは無効になり、指定されているコマンド(表1参照)が実行されます。ロジック・レベルはIOV_{CC}によって決まります。

$\overline{\text{LDAC}}$ (ピン7) : アクティブ・ローの非同期DAC更新ピン。このピンでは、SPIのタイミングに関係なく更新が可能です。 $\overline{\text{CS/LD}}$ がハイの場合は、 $\overline{\text{LDAC}}$ の立下がりエッジで全てのDACレジスタが入力レジスタの内容に更新されます。 $\overline{\text{LDAC}}$ は $\overline{\text{CS/LD}}$ によってゲート制御され、 $\overline{\text{CS/LD}}$ がローの場合は無効です。ロジック・レベルはIOV_{CC}によって決まります。

使用しない場合、 $\overline{\text{LDAC}}$ はIOV_{CC}に接続してください。

REFLO (ピン9) : リファレンスの低電位側。リファレンスの信号グラウンド。GNDに直接接続します。

REF (ピン10) : リファレンス入出力。各DAC出力チャンネルのフルスケールの出力電流が、REFピンの電圧に比例して調整されます。デフォルトでは、1.25Vの内部リファレンスがこのピンに供給されます。外部のDC負荷電流を駆動する場合は、このピンをバッファする必要があります。リファレンスがディスエーブルされると(動作のセクションのリファレンス・モードを参照)、その出力は遮断され、REFピンは高精度の外部リファレンスを受け付ける高インピーダンス入力になります。低ノイズとリファレンスの安定性を得るには、このピンとGNDの間にコンデンサを接続します。値はC_{REFCOMP}より小さくする必要があります。ここで、C_{REFCOMP}はREFCOMPピンに接続した容量です。許容できる外部リファレンス入力電圧範囲は1.225V~1.275Vです。

REFCOMP (ピン11) : 内部リファレンスの補償ピン。低ノイズとリファレンスの安定性を得るには、このピンとGNDの間に0.1 μ Fのコンデンサを接続します。REFCOMPをGNDに接続すると、内部リファレンスがディスエーブルされた状態でデバイスが起動するので、起動時に外部リファレンスを使用できません。

FSADJ (ピン12) : フルスケール電流の調整ピン。このピンで、公称の内部補正出力範囲または漸増調整可能範囲のどちらかを使用することができます。いずれの場合も、抵抗R_{FSADJ}の両端にリファレンス電圧V_{REF}が加わり、全範囲および全チャンネルの出力を増減するリファレンス電流が設定されます。フルスケール電流はREF (ピン10)の電圧に比例し、R_{FSADJ}に反比例します。

FSADJをV_{CC}に接続すると、内部のR_{FSADJ}(20k)が選択され、公称の出力範囲になります。FSADJとGNDの間に抵抗を接続するだけで、19k~41kの外付け抵抗を使用できます。この場合、外付け抵抗は範囲のスケーリングを制御し、内部抵抗は自動的に遮断されます。詳細については、表3を参照してください。

外付け抵抗を使用する場合、FSADJピンは浮遊容量の影響を受けやすいので、1kと1 μ Fのコンデンサを直列に接続し、それをR_{FSADJ}と並列に接続して構成したスナバ回路ネットワークで補償してください。推奨の補償回路を接続すれば、このピンは最大50pFの浮遊容量を駆動しても安定しています。

ピン機能

V_{CC} (ピン13) : アナログ電源電圧。 $2.85\text{V} \leq V_{CC} \leq 5.5\text{V}$ 。1 μF のコンデンサでGNDにバイパスします。

V⁻ (ピン15、26) : 負の電源電圧。 $-15.75\text{V} \leq V^- \leq \text{GND}$ 。V⁻をGNDに接続しない限り、1 μF のコンデンサでGNDにバイパスします。

OUT0~OUT4 (ピン24、23、20、19、16) : DACのアナログ電流出力。各電流出力ピンには、専用のアナログ電源ピンV_{DD0}~V_{DD4}があります。これらのピンでの動作電圧レベルは、 $V^- \leq V_{\text{OUTX}} \leq V_{\text{DDX}}$ です。

V_{DD0}~V_{DD4} (ピン25、22、21、18、17) : 出力電源電圧。 $2.85\text{V} \leq V_{\text{DD0-4}} \leq V^+$ 。これら5つの正電源入力、5つのDAC電流出力ピンOUT0~OUT4のそれぞれに独立した電源を供給します。1 μF のコンデンサで各電源入力を個別にGNDにバイパスします。

V⁺ (ピン27) : 正の電源電圧。 $2.85\text{V} \leq V^+ \leq V^- + 33\text{V}$ 。V⁺は、常に5つのDAC正電源電圧V_{DD0-4}およびV_{CC}のうち最大の電圧以上である必要があります。電源電圧の差(V⁺ - V⁻)が33Vの最大値を超えることはできません。1 μF のコンデンサでGNDにバイパスします。

MUX (ピン28) : アナログ・マルチプレクサ出力。ピンの電圧および電流は、MUXピンの電圧を測定すれば監視できます。マルチプレクサをディスエーブルすると、このピンは高インピーダンスになります。選択可能なマルチプレクサを表4に示します。

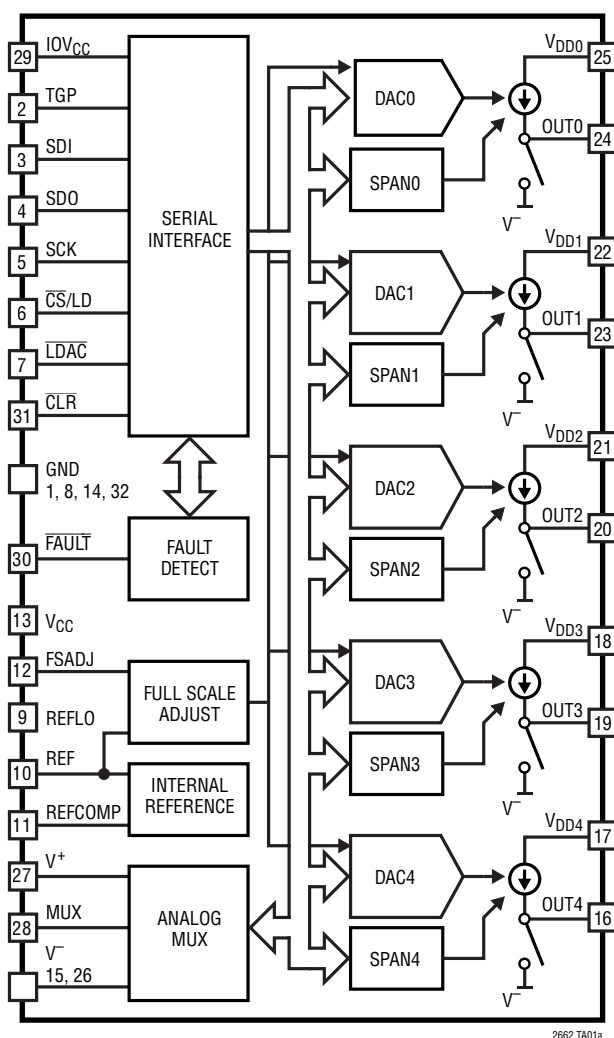
IOV_{CC} (ピン29) : デジタル入出力電源電圧。 $1.71\text{V} \leq \text{IOV}_{CC} \leq V_{CC} + 0.3\text{V}$ 。0.1 μF のコンデンサでGNDにバイパスします。

FAULT (ピン30) : アクティブ・ローの障害検出ピン。有効な障害状態が検出されると、このオープンドレインのNチャンネル出力はローになります。このピンが解放されるのは、 $\overline{\text{CS}}$ /LDの次の立上がりエッジです。プルアップ抵抗が必要です。

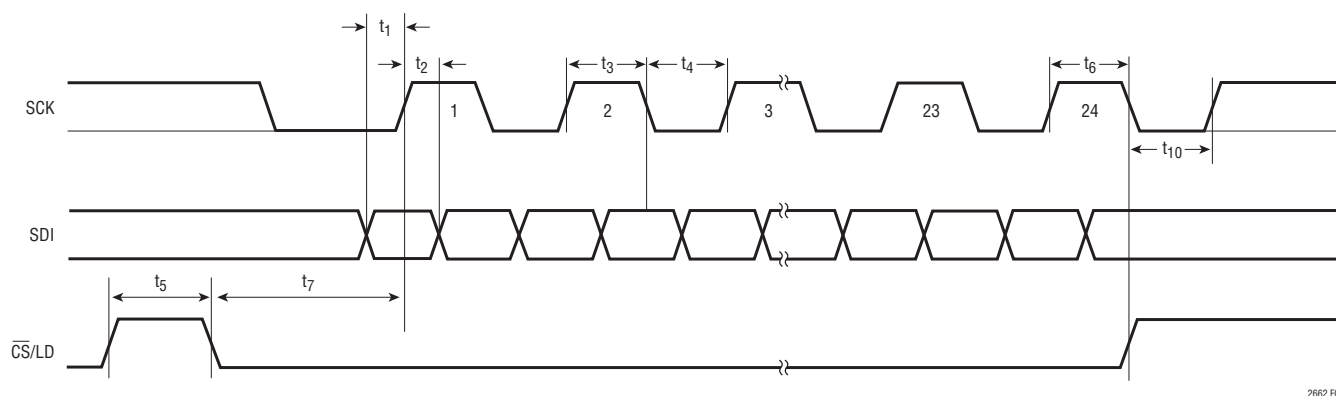
CLR (ピン31) : アクティブ・ローの非同期クリア入力。このレベルトリガ入力がロジック・ローになると、デバイスはクリアされてデフォルトのリセット・コードおよび出力範囲(ゼロ・スケール出力および高インピーダンス(Hi-Z)出力)になります。コントロール・レジスタはクリアされてゼロになります。ロジック・レベルはIOV_{CC}によって決まります。

露出パッド (ピン33) : グラウンド。このパッドは、アナログ・グラウンド・プレーンに直接ハンダ処理してください。

ブロック図



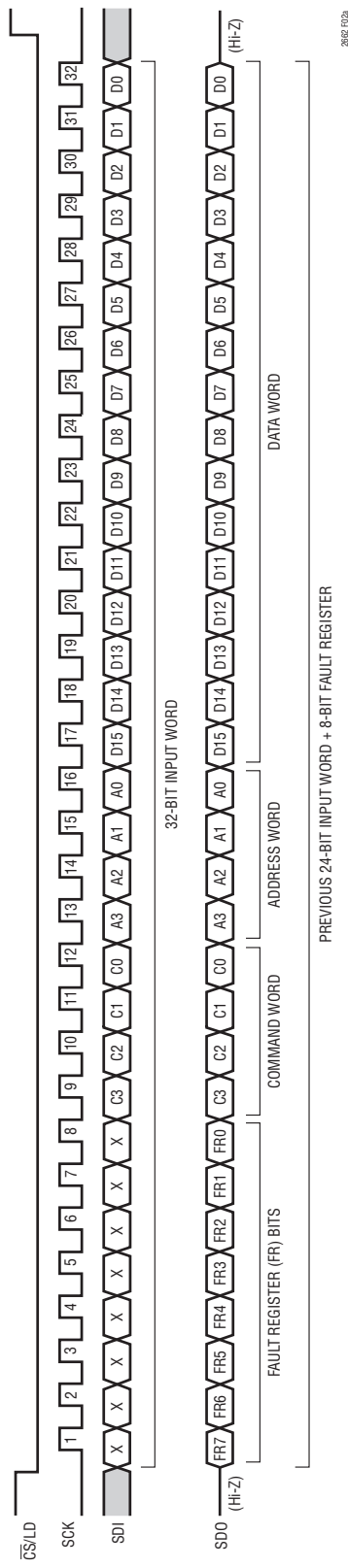
タイミング図



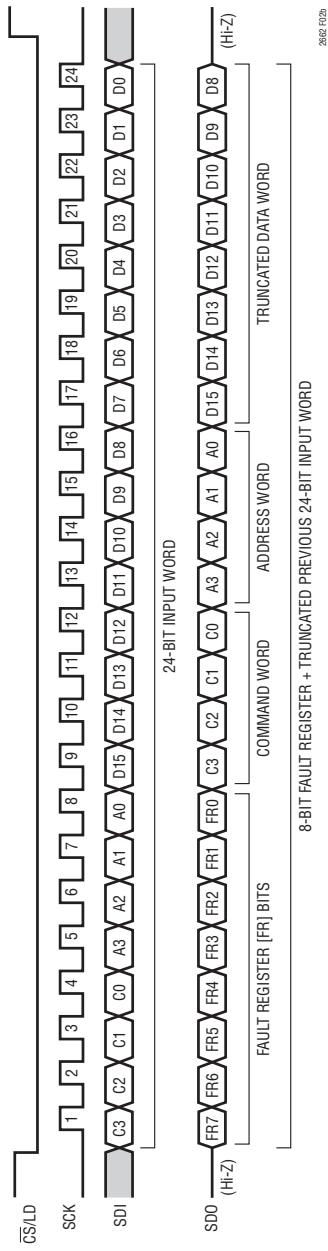
2662 F01

図1. シリアル・インターフェースのタイミング

タイミング図



(2a) 32ビットの負荷シーケンス



(2b) 24ビットの負荷シーケンス

図 2. LTC2662-16の負荷シーケンス

動作

LTC2662は、5チャンネル、電流源出力のD/Aコンバータ(DAC)ファミリです。出力範囲を選択可能で、高精度リファレンスと高電圧マルチプレクサ(MUX)を内蔵しており、チャンネルの出力電圧および出力電流を調べることができます。各出力は2.85V~33Vの電圧を受け付ける独立した正電源ピンから電流を流すので、消費電力の最適化と広範囲の負荷に対するヘッドルームの最適化が可能です。内蔵の12Ωスイッチにより、出力ピンをオプションのV⁻負電源電圧に接続して、最大80mAのシンク電流を流すことができます。

パワーオン・リセット

出力は電源投入時にリセットされて高インピーダンス状態になるので、システムの初期状態は一定に保たれ、再現が可能です。パワーオン・リセット後は、表1、2、および3を使用し、SPIバスを介して出力範囲を選択します。

電源のシーケンス制御と起動

電源(V_{CC}、IOV_{CC}、V⁺、V⁻、およびV_{DD0}~V_{DD4})は、都合の良い順序で投入できます。外部リファレンスを使用する場合は、電源のターンオン・シーケンスおよびターンオフ・シーケンス時にREFの入力電圧をV_{CC} + 0.3Vより高くすることができません(絶対最大定格のセクションを参照)。

起動後はIOV_{CC}をV_{CC}の範囲内にとどめ、電源電圧はV⁺を超えないようにします。1.225V~1.275VのDCリファレンス電圧を受け付け可能です。

可能な最高の性能を実現するには、電源のバイパスが非常に重要です。全ての電源ピンでは、グラウンドとの間に1μF以上の低ESR容量を使用し、デバイスにできるだけ近づけて配置します。IOV_{CC}には0.1μFのコンデンサを使用してかまいません。

表1. コマンド・コード

コマンド				
C3	C2	C1	C0	
0	0	0	0	Write Code to <i>n</i>
1	0	0	0	Write Code to All
0	1	1	0	Write Span to <i>n</i>
1	1	1	0	Write Span to All
0	0	0	1	Update <i>n</i> (Power Up)
1	0	0	1	Update All (Power Up)
0	0	1	1	Write Code to <i>n</i> , Update <i>n</i> (Power Up)
0	0	1	0	Write Code to <i>n</i> , Update All (Power Up)
1	0	1	0	Write Code to All, Update All (Power Up)
0	1	0	0	Power Down <i>n</i>
0	1	0	1	Power Down Chip
1	0	1	1	Monitor Mux
1	1	0	0	Toggle Select
1	1	0	1	Global Toggle
0	1	1	1	Config Command
1	1	1	1	No Operation

表2. DACアドレス、n

アドレス				
A3	A2	A1	A0	
0	0	0	0	DAC 0
0	0	0	1	DAC 1
0	0	1	0	DAC 2
0	0	1	1	DAC 3
0	1	0	0	DAC 4

注記: 上記の表2に記載されたDACアドレス・コード以外のコードを使用すると、そのコマンドは無視されます。

動作

データ伝達関数

全ての分解能および25mA以上の出力範囲に対するDACの入出力間伝達関数を図3に示します。入力コードは全範囲でストレート・バイナリ・フォーマットです。

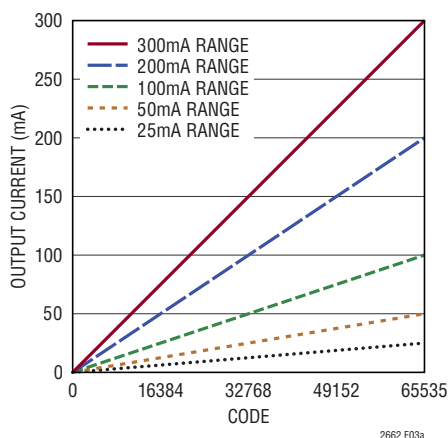


図3. LTC2662-16の伝達関数

シリアル・インターフェース

$\overline{CS}/LD$ ピンをローにすると、SDIピンのデータがクロック(SCKピン)の立上がりエッジでシフト・レジスタにロードされます。最初に4ビットのコマンド(C3~C0)、次に4ビットのDACアドレス、(A3~A0)、最後に16ビットのデータ・ワードがストレート・バイナリ・フォーマットでロードされます。LTC2662-16では、データ・ワードはMSBからLSBへの順に並んだ16ビットの入力コードで構成されます。データをLTC2662に転送できるのは、 $\overline{CS}/LD$ 信号がローの場合だけです。 $\overline{CS}/LD$ の立上がりエッジでデータ転送が終了し、これによってデバイスは24ビットの入力ワードで指定された動作を実行します。

最小の入力ワードは24ビットですが、オプションで32ビットまで拡張できます。32ビットのワード幅を使用するには、まず8ビットのドント・ケア・ビットをデバイスに転送し、その後、先ほど説明したように24ビットのワードを転送する必要があります。32ビットのワードは、エコー読出しとデジタイゼーション動作に必要です。また、最小ワード幅が16ビット以上のプロセッサにも適応します。24ビットと32ビットの完全なシーケ

ンスを図2aと図2bに示します。いずれのワード幅の場合も、障害レジスタの出力はSDOピンに現れることに注意してください。

入力レジスタとDACレジスタ

LTC2662にはメインのシフト・レジスタのほかに、各DACに5つの内部レジスタがあります。各DACチャンネルは2組のダブル・バッファ付きレジスタを内蔵しています。1組はコード・データ用であり、もう1組はDACのスパン(出力範囲)用です。ダブル・バッファによってスパンとコードを同時に更新できるので、出力範囲の変更時に電流を滑らかに遷移できます。また、複数のDACを同時に更新することもできます。

ダブル・バッファ付きレジスタの各組は、入力レジスタとDACレジスタで構成されます。

- 入力レジスタ: 書き込み動作により、データはSDIピンから選択先のレジスタにシフトします。入力レジスタは保持バッファなので、書き込み動作はDAC出力に影響しません。

コード・データのパスには、DACレジスタごとに2つの入力レジスタ(AおよびB)があります。レジスタBはトグル動作の場合にのみ使用される代替レジスタですが、レジスタAはデフォルトの入力レジスタです。

- DACレジスタ: 更新動作では、入力レジスタの内容が、関連したDACレジスタにコピーされます。DACレジスタの内容は、DACの出力電流または出力範囲を直接制御します。また、選択されたDACがパワーダウン・モードになっていた場合は、DACの起動も更新動作によって行われます。

更新では、常にコードとスパンの両方のデータがリフレッシュされますが、関連した入力レジスタの値が書き込み動作によって変更されていない限り、DACレジスタに保持された値は変更されないことに注意してください。例えば、新しいコードを書き込んでチャンネルを更新すると、コードは更新されますが、スパンは変更されずにリフレッシュされます。チャンネルの更新は、シリアル更新コマンド、LDACの負パルス、またはトグル動作に起因します。

動作

出力範囲と SoftSpan 動作

LTC2662は、出力範囲を選択できる5チャンネルの電流DACです。電流出力の全範囲を得る唯一の方法は、SPIプログラミングです。

図5に、LTC2662の1チャンネルの簡易回路図を示します。LTC2662のフルスケール電流範囲は、1チャンネルあたり4つの制御ビットS(3:0)で選択します。また、外部リファレンスを供給する機能や、FSADJピンで高精度の外付け抵抗を使用してLTC2662の全温度範囲での全ゲイン・ドリフトを低減する機能も備えています。

LTC2662は電源投入時に初期化して、全チャンネルの出力(OUT0~OUT4)をHi-Zにします。その後、各チャンネルの範囲とコードは、表3に示すようにSoftSpanによって完全にプログラム可能になります。

各チャンネルには、範囲情報を示すため1組のダブル・バッファ付きレジスタがあります。write span nまたはwrite span all コマンド(それぞれ0110bおよび1110b)を使用して、スパン入力レジスタをプログラムします。図4に構文を示し、表3にスパン・コードと範囲を示します。

ダブル・バッファ付きコード・レジスタの場合と同様に、更新動作によってスパン入力レジスタから関連のスパンDACレジスタに内容がコピーされます。

表3. スパン・コード

S3	S2	S1	S0	出力範囲	
				外付けのR _{FSADJ}	FSADJ = V _{CC}
0	0	0	0	(Hi-Z)	
0	0	0	1	50 • V _{REF} /R _{FSADJ}	3.125mA
0	0	1	0	100 • V _{REF} /R _{FSADJ}	6.25mA
0	0	1	1	200 • V _{REF} /R _{FSADJ}	12.5mA
0	1	0	0	400 • V _{REF} /R _{FSADJ}	25mA
0	1	0	1	800 • V _{REF} /R _{FSADJ}	50mA
0	1	1	0	1600 • V _{REF} /R _{FSADJ}	100mA
0	1	1	1	3200 • V _{REF} /R _{FSADJ}	200mA
1	1	1	1	4800 • V _{REF} /R _{FSADJ}	300mA
1	0	0	0	(Switch to V ⁻)	

表3に示すように、2つの追加選択肢(コード0000およびコード1000)があり、前者では出力が高インピーダンス(Hi-Z)モードになり、後者では低オン抵抗(≤12Ω)のNMOSデバイスがDAC出力を負電源V⁻に調整するモードになります。NMOSデバイスをイネーブルすると、OUTXピンのドライバはそのチャンネルではディスエーブルされます。表3に記載されていないスパン・コードを記述すると、デフォルトではHi-Z出力範囲になります。

監視マルチプレクサ

LTC2662は、5つの電流出力ピン(OUT0~OUT4)で電圧と電流の両方を監視するため、高電圧のマルチプレクサを内蔵しています。更に、出力電源電圧(V_{DD0}~V_{DD4})、正電源/負電源(V⁺/V⁻)、コア電源(V_{CC})、リファレンス電圧(V_{REF})、およびダイ温度を全て監視できます。

MUXピンは高インピーダンス入力専用です。このピンのインピーダンスは通常15kΩです。MUXピンでの連続DC出力電流は±1mAまでに制限して、内部回路の損傷を防ぐ必要があります。

マルチプレクサの動作範囲は、V⁻からV⁺まで、レールtoレールに広がります。出力は電源投入時にはディスエーブルされます(高インピーダンスになります)。

mux コマンドの構文およびコードを図6と表4に示します。

マルチプレクサを使用した電流測定

mux コマンド(1011b)と共に、表4に示すマルチプレクサ電流測定コードのいずれかを使用して、いずれかの出力ピンの電流を測定します。マルチプレクサは、実際の出力電流に比例した電圧を出力することによって応答します。比例係数は次式で与えられます。

$$I_{OUTX} = I_{FS} \cdot V_{MUX}/V_{REF} \tag{1}$$

V_{MUX} ピンの電圧は、電流出力と同じ優れた直線性を示しますが、正確な結果を得るには勾配誤差(±15% FSR)のキャリブレーションが必要です。±1% FSRの精度は、1点または2点キャリブレーションによって容易に達成できます。

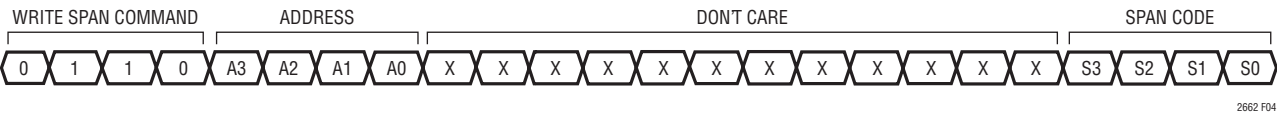


図4. Write Span の構文

動作

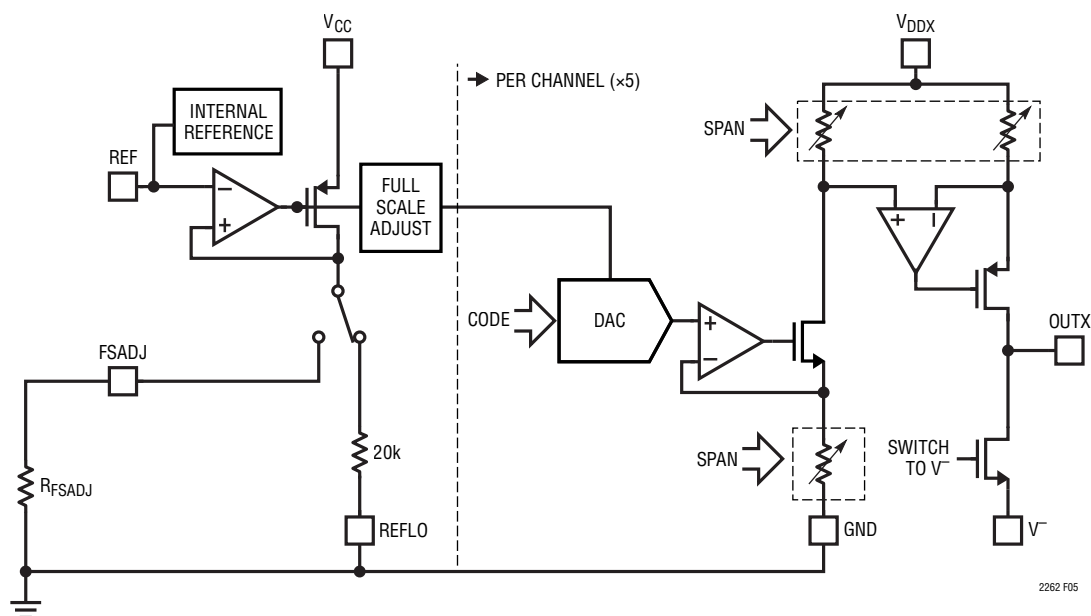


図 5. LTC2662 の 1 チャンネルの簡易回路図

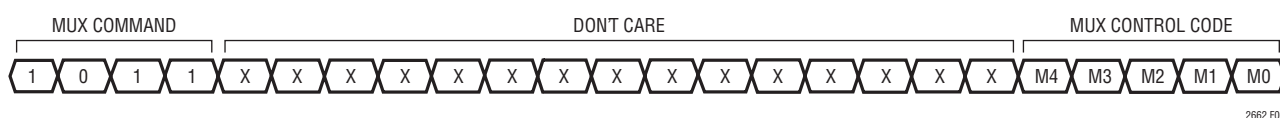


図 6. Mux コマンド

所定の V_{REF} および DAC コードでは、 V_{MUX} は一定であり、範囲によって変わらないことに注意してください。ただし、フルスケール電流 I_{FS} の値は、出力範囲ごとに異なります。チャンネルの範囲を Hi-Z または Switch-to- V^- に設定した場合、または (障害レジスタ・ビット FR0~FR4 によってフラグが立てられた) ドロップアウト状態の場合、電圧はピンの電流を表しません。

マルチプレクサを使用したダイ温度の計測

ダイ温度を測定するときは、mux コマンドと共にマルチプレクサの制御コード 01010b を使用します。この場合、 V_{MUX} ピンの電圧は、温度係数 $-3.7\text{mV}/^\circ\text{C}$ によってダイ温度と直線関係になっています。測定されたジャンクション温度 T_J は次式で表されます。

$$T_J = 25^\circ\text{C} + (1.4\text{V} - V_{MUX}) / (3.7\text{mV}/^\circ\text{C})$$

必要な場合は、初期温度と初期電圧を測定し、その後、上の式で測定値と 25°C と 1.4V をそれぞれ置き換えることで、温度モニタを補正できます。

監視マルチプレクサの事前充電に関する考慮事項

LTC2662 内部のアナログ・マルチプレクサにはバッファがありません。このため、アンプのオフセットによる誤差項の発生を未然に防ぐことができますが、バッファがないと、MUX ピンを接続した瞬間の電荷移動により、高インピーダンスの電流出力が乱れる可能性があります。LTC2662 は、MUX ピンを事前に充電してから出力に接続することで、出力ピン (OUT0~OUT4) での充電グリッチを抑える回路を内蔵しています。

動作

表 4. 監視マルチプレクサの制御コード

M4	M3	M2	M1	M0	MUXピンの出力	注記:
0	0	0	0	0	Disabled (Hi-Z)	
0	0	0	0	1	OUT0 Current Measurement	$I_{OUT0} = I_{FS} \cdot V_{MUX}/V_{REF}$
0	0	0	1	0	OUT1 Current Measurement	$I_{OUT1} = I_{FS} \cdot V_{MUX}/V_{REF}$
0	0	0	1	1	OUT2 Current Measurement	$I_{OUT2} = I_{FS} \cdot V_{MUX}/V_{REF}$
0	0	1	0	0	OUT3 Current Measurement	$I_{OUT3} = I_{FS} \cdot V_{MUX}/V_{REF}$
0	0	1	0	1	OUT4 Current Measurement	$I_{OUT4} = I_{FS} \cdot V_{MUX}/V_{REF}$
0	0	1	1	0	V_{CC}	
0	1	0	0	0	V_{REF}	
0	1	0	0	1	V_{REFLO}	DAC Reference GND
0	1	0	1	0	Die Temperature, T	$T = 25^{\circ}\text{C} + (1.4\text{V} - V_{MUX})/(0.0037\text{V}/^{\circ}\text{C})$
1	0	0	0	0	V_{DD0}	
1	0	0	0	1	V_{DD1}	
1	0	0	1	0	V_{DD2}	
1	0	0	1	1	V_{DD3}	
1	0	1	0	0	V_{DD4}	
1	0	1	0	1	V^{+}	
1	0	1	1	0	V^{-}	
1	0	1	1	1	GND	
1	1	0	0	0	OUT0 Pin Voltage	
1	1	0	0	1	OUT1 Pin Voltage	
1	1	0	1	0	OUT2 Pin Voltage	
1	1	0	1	1	OUT3 Pin Voltage	
1	1	1	0	0	OUT4 Pin Voltage	

事前充電動作により、マルチプレクサ出力は、Mux コマンドが入力されて($\overline{CS}/LD$ の立上がり)から約7 μs 後に有効になります。出力ピンに容量を追加すれば、残りの充電トランジェントを必要に応じて更に低減できます。MUXピンには容量を追加しないでください。追加すると、マルチプレクサの切替え時に出力に加わる外乱が増える可能性があります。MUXピンで許容されるのは最大100pFです。

トグル動作

システムによっては、DAC出力を2つの出力レベルの間で繰り返し切り替えること(つまり、「オン」状態と「オフ」状態の間での切替え)が必要です。LTC2662のトグル機能は、DACのチャンネルごとに2つの入力レジスタ(AとB)を用意することで、この種の動作を容易にします。

AとBの間の切替えは、3つの信号によって制御されます。最初は*toggle select*コマンドで、5ビットのデータ・フィールドに作用し、各ビットが1つのチャンネルを制御します(図7参照)。2番目は*global toggle*コマンドで、グローバル・トグル・ビットTGBを使用して、選択された全てのチャンネルを制御します(図8参照)。最後に、TGPピンにより、外部クロックまたはロジック信号を使用してDAC出力をAとBの間で切り替えることができます。これらの制御コマンドからの信号は、図9に示すように合成されます。

トグル機能が必要ない場合は、TGP(ピン2)をグラウンドに接続し、トグル選択レジスタをパワーオン・リセット状態(ゼロにクリアした状態)のままにします。こうすると、入力レジスタAが単独の入力レジスタとして機能し、レジスタBは使用されません。

動作

トグル選択レジスタ (TSR)

toggle select コマンド (1100b) の構文を図7に示します。5ビットの TSR データ・フィールドの各ビットは、同じ名前の DAC チャンネルを制御します。つまり、T0 がチャンネル 0 を、T1 がチャンネル 1 を制御し、以下同様に T4 がチャンネル 4 を制御します。

トグル選択ビット (T0、T1、…、T4) には 2 つの機能があります。まず、各トグル選択ビットは、コード書き込み動作によるデータをどちらの入力レジスタ (A または B) が受け取るかを制御します。所定のチャンネルのトグル選択ビットがハイの場合、コード書き込み動作の実行先は、アドレス指定されたチャンネルの入力レジスタ B になります。トグル選択ビットがローの場合、コード書き込み動作の実行先は、入力レジスタ A になります。次に、各トグル選択ビットは、トグル動作の対応チャンネルをイネーブルします。

入力レジスタ A および B への書き込み

切り替えるチャンネルを選択したら、選択したチャンネルの入力レジスタ A に目的のコードを書き込みます。次に、*toggle select* コマンドを使用して、そのチャンネルのトグル選択ビットを設定します。最後に、目的のコードを入力レジスタ B に書き込みます。これらの手順が完了すると、チャンネルの切替えができるようになります。例えば、チャンネル 3 がコード 4096 と 4200 の間で切り替わるように設定するには、次のようにします。

- 1) *Write code* : チャンネル 3 (コード = 4096) をレジスタ A に書き込み

```
00000011 00010000 00000000
```

- 2) *Toggle select* (ビット T3 を設定)

```
11000000 00000000 00001000
```

- 3) *Write code* : チャンネル 3 (コード = 4200) をレジスタ B に書き込み

```
00000011 00010000 01101000
```

手順 (3) の *write code* の実行先はレジスタ B です。手順 (2) で、ビット T3 が 1 に設定されたからです。これで、チャンネル 3 の入力レジスタ A および B は目的とする 2 つのコードを保持するようになり、トグル動作の準備が完了しました。

注記: レジスタ B に書き込んだ後も、レジスタ A を対象とするコードは引き続き変更できます。トグル選択ビットの状態によって、書き込み先となるレジスタが (A または B の) どちらになるかが決まります。

まず、トグル選択ビット T3 を 0 にリセットする必要があります。

```
11000000 00000000 00000000
```

次に、レジスタ A の新しいコードを書き込みます。例えば、新しいコードを 4300 とすると、命令は次のようになります。

```
00000011 00010000 11001100
```

その後、トグル選択ビット T3 をもう一度 1 に設定します [上記の手順 2]。レジスタ B にもう一度書き込む必要はありません。これで、チャンネル 3 はトグル動作の準備が完了しました。

レジスタ A と B の切替え

入力レジスタ A および B が、目的とする全チャンネルの書き込み先になり、対応するトグル選択ビットがハイに設定されると、前の例と同様に、チャンネルの切替えができるようになります。

LTC2662 は 3 種類のトグル動作をサポートします。1 番目は、選択されている全てのチャンネルを SPI ポートを使用して同時に切り替える動作、2 番目は、選択されている全てのチャ

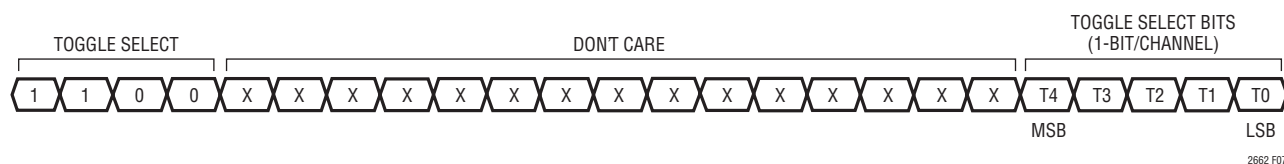


図 7. Toggle Select の構文

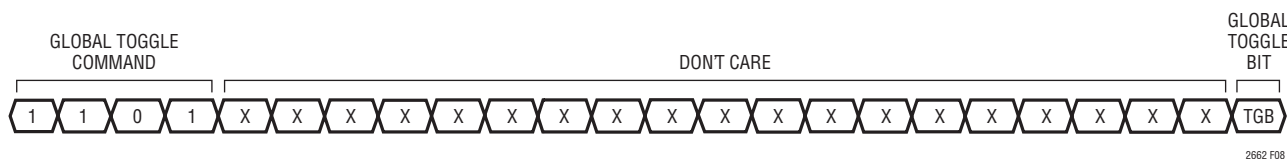


図 8. Global Toggle の構文

動作

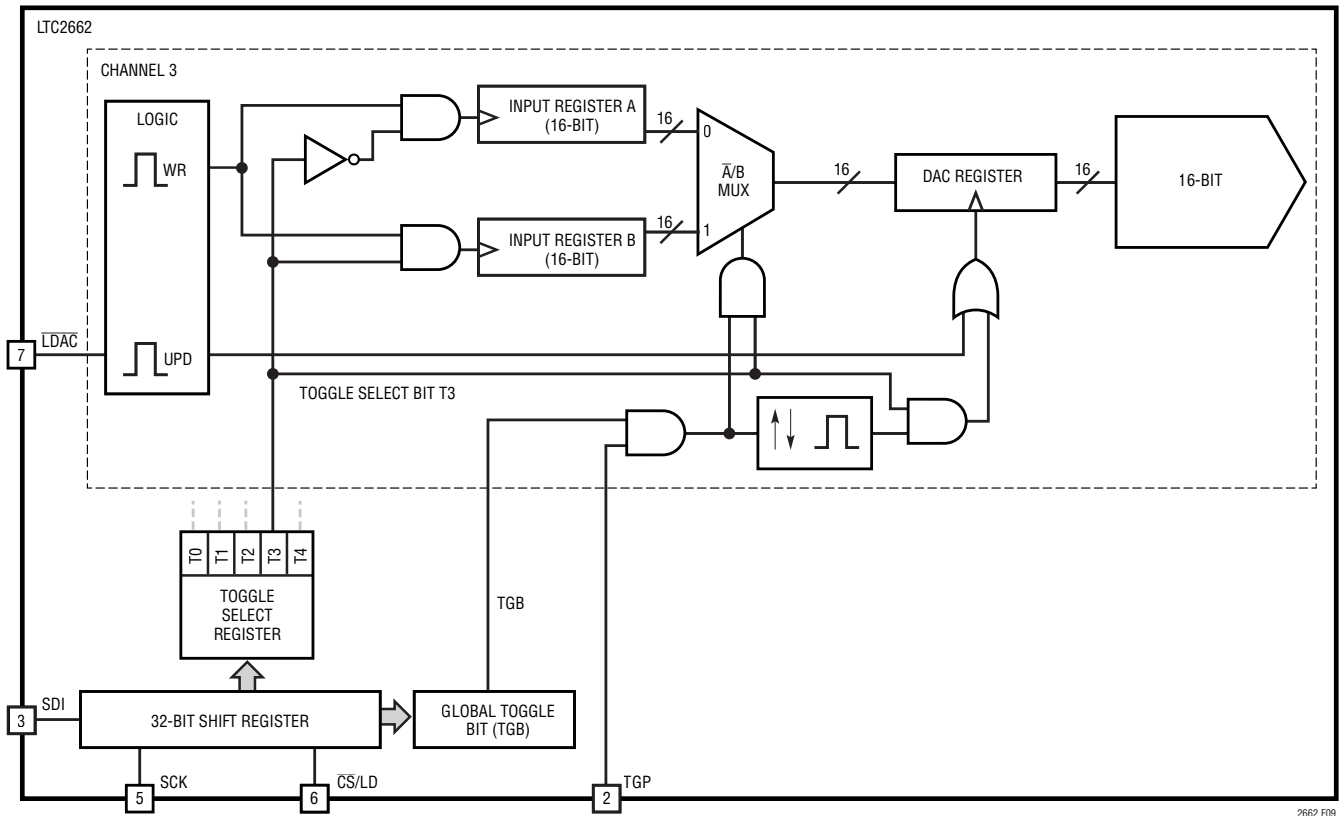


図9. 概念ブロック図—トグル機能

ンネルを外部クロックまたはロジック信号を使用して同時に切り替える動作、3番目は、チャンネルの任意の組み合わせを入力レジスタAまたはBから更新するよう指示できる動作です。

内部のトグル更新回路はエッジでトリガするので、(TGBまたはTGPの) 遷移だけがそれぞれの入力レジスタからの更新をトリガします。

選択されている全てのチャンネルをSPIポートを使用して同時に切り替えるには、TGPピンを必ずハイにして、目的のチャンネルに対応するトグル選択レジスタのビットも確実にハイにします。グローバル・コマンド(1101b)を使用してコードを変更し、グローバル・トグル・ビットTGBを順を追って変更します(図8参照)。TGBを1から0に変更すると、DACレジスタはそれぞれの入力レジスタAを基に更新されます。TGBを0から1に変更すると、DACレジスタはそれぞれの入力レジスタBを基に更新されます。この方法では、1つのシリアル・コマンドだけで最大5チャンネルを切り替えることができます。

選択されている全てのチャンネルを外部ロジック信号を使用して切り替えるには、グローバル・トグル・レジスタのTGBビットを確実にハイにして、トグル選択レジスタでは、目的のチャンネルに対応するビットも必ずハイにします。コードを交互に切り替えるには、クロックまたはロジック信号をTGPピンに入力します。TGPの立下がりエッジでは、DACレジスタが関連の入力レジスタAを基に更新されます。TGPの立上がりエッジでは、DACレジスタが関連の入力レジスタBを基に更新されます。いったん入力レジスタがセットアップされると、全ての切替えはTGPピンに入力された信号によってトリガされ、それ以上のSPI命令は必要ないことに注意してください。

チャンネルの任意の組み合わせを入力レジスタAまたはBを基にして更新するには、TGPピンを必ずハイにして、グローバル・トグル・レジスタのTGBビットも確実にハイにします。*toggle select* コマンドを使用して、トグル選択ビットを必要に応じて設定し、各チャンネルを更新するのに使用する入力レジスタ(AまたはB)を選択します。その後、シリアル・コマンド

動作

(1001b)を使用するか、またはLDACピンに負のパルスを入力することで、全てのチャンネルを更新します。トグル選択ビットが0のチャンネルは入力レジスタAを基にして更新されるのに対して、トグル選択ビットが1のチャンネルは入力レジスタBを基にして更新されます(図9参照)。トグル選択動作と更新動作を交互に切り替えることで、必要に応じて最大5チャンネルを同時にAまたはBに切り替えることができます。

デジチェーン動作

シフト・レジスタのシリアル出力はSDOピンに現れます。SDI入力からデバイスに転送されたデータは、SCKの立上がりエッジ32回分遅延してから、SCKの次の立下がりエッジで出力されるので、SCKのその後の立上がりエッジ32回でマイクロプロセッサに同期するのに適しています。

SDO出力を使用して、1本の3線式シリアル・ポート(すなわち、SCK、SDI、および $\overline{\text{CS}}/\text{LD}$)から複数のシリアル・デバイスを簡単に制御できます。こうしたデジチェーン直列接続は、上流にある各デバイスのSDOをデジチェーン内の次のデバイスのSDIに接続することによって構成されます。デバイスのシフト・レジスタはこうして直列に接続され、実質的にチェーン全体に及ぶ単一の入力シフト・レジスタを形成します。このため、デバイスの入力ワードをそのまま連結すれば、デバイスのアドレス指定と制御を個別に行うことができます。例えば、最初の命令はチェーンの最後のデバイスのアドレスを指定する、といったことができます。SCKと $\overline{\text{CS}}/\text{LD}$ の信号は、直列に接続された全てのデバイスに共通です。

使用時に、 $\overline{\text{CS}}/\text{LD}$ はまずローになります。次に、連結後の入力データがチェーンに転送され、最初のデバイスのSDIがデータ入力として使用されます。データの転送が完了すると、 $\overline{\text{CS}}/\text{LD}$ がハイになり、全てのデバイスの命令シーケンスが同時に完了します。1つのデバイスを制御するには、チェーン内にあるその他の全デバイスに対して*no-operation* コマンド(1111b)を使用します。 $\overline{\text{CS}}/\text{LD}$ がハイになるとSDOピンは高インピーダンス出力になるので、デジチェーン動作のためには(最後のデバイス以外の)各デバイスのSDOにプルアップ抵抗が必要です。

エコー読み出し

SDOピンを使用して、デバイスへのデータ転送を検証できます。それぞれの32ビット命令サイクル時に、SDOは検証のため直前の32ビット命令を出力します。8ビットの「ドント・ケア」接頭辞は8つの障害レジスタ・ステータス・ビットで置き換えられ、その後に4ビットのコマンドとアドレス・ワード、および全16ビットのデータ・ワードが続きます(図2a参照)。24ビット命令サイクルのSDOシーケンスは同じですが、データ・ワードは8ビットに切り捨てられます(図2b参照)。 $\overline{\text{CS}}/\text{LD}$ がハイになると、SDOは高インピーダンス出力になり、バスを解放して他のSPIデバイスが使用できるようにします。

障害レジスタ(FR)

LTC2662は、動作上の障害状態を通知する機能を備えています。障害レジスタ(FR)ステータス・ビットは、24ビットまたは32ビットの各SDOワードの先頭のデータ・バイト(8ビット)で構成され、SPIトランザクションのたびにSDOピンに出力されます。シーケンスについては図2を参照してください。

FRビットはそのトリガ条件が検出されると設定され、次のSPIトランザクション時にSDOに同期されます。FRの情報はSPIトランザクションのたびに更新されます。SPI命令の動作によって障害状態が修正されると、その状態に対するFRフラグがクリアされていることが次のSPIトランザクション時にSDOで確認できます。

障害レジスタ・ビットとその関連トリガ条件を表5に示します。

表5. 障害レジスタ(FR)

FRビット	障害状態
FR0	OUT0で検出されたオープン・サーキット状態
FR1	OUT1で検出されたオープン・サーキット状態
FR2	OUT2で検出されたオープン・サーキット状態
FR3	OUT3で検出されたオープン・サーキット状態
FR4	OUT4で検出されたオープン・サーキット状態
FR5	過熱状態。ダイ温度 $T_J > 175^\circ\text{C}$ の場合、FR5が設定され、過熱保護が作動する。Configコマンド(0111b)を使用して無効化できる。
FR6	電力制限。 $V_{\text{DDX}} - V_{\text{OUTX}} > 10\text{V}$ かつ電流範囲 $\geq 200\text{mA}$ の場合は、FR6が設定され、そのチャンネルの範囲は100mAまで減少する。Configコマンド(0111b)を使用して無効化できる。
FR7	無効なSPIシーケンス長。有効なシーケンス長は24ビットおよび32ビット。それ以外の長さでは、FR7が設定され、SPI命令は無視される。

動作

障害インジケータ・ピン (FAULT、ピン 30)

FAULT ピンはオープンドレインの N チャンネル出力で、障害状態が検出されるとローになります。このピンが解放されるのは、 $\overline{\text{CS}}/\text{LD}$ の次の立上がりエッジです。このピンは割り込みバスへのワイヤード OR 接続に適したオープンドレイン出力です。割り込みバスにはプルアップ抵抗が必要です。

障害状態と熱過負荷保護

FAULT ピンがローになる障害状態は 4 種類あります。まず、いずれかの出力ピン (OUT0~OUT4) でオープン・サーキット (OC) 状態がトリガされるのは、 V_{DDX} と OUTx の間の電圧が不十分なために出力チャンネルがドロップアウト状態になったときです。5 つの DAC 電流出力ピンのそれぞれに対して、独立したオープン・サーキット検出回路が用意されています。

FR5 は、ダイ温度が 175°C を超えると設定される検出フラグを示します。また、過熱状態になると、5 つ全ての DAC チャンネルの電力を遮断して、オープンドレインの FAULT ピンをローにします。ダイ温度が低下するまで、FR5 は設定されたままであり、デバイスはシャットダウンしたままです。約 150°C より低い温度になると、DAC チャンネルは通常動作に戻ることができます。 $\overline{\text{CS}}/\text{LD}$ の立上がりエッジが入力されると、FAULT ピンはダイ温度に関係なく解放されます。

DAC チャンネルはどれも最大 300mA を出力できるので、システム設計でのダイの発熱の可能性は入念に調べてください。FR6 は電力制限保護フラグで、電流出力デバイスに対する偶発的な損傷を防止するのに役立ちます。電力制限障害状態のトリガ対象は、200mA および 300mA のフルスケール電流範囲で、出力電源ピン (V_{DDX}) と電流出力ピン (OUTx) の間の電圧差が 10V 以上になったときです。

最後に、FR7 は無効な SPI ワード長にフラグを立てるために設けられています。有効なワード長は 24 ビット、32 ビット、お

よび 32 ビットの整数の倍数です。それ以外のワード長にすると、FR7 が設定され、FAULT ピンがアサートされて、命令自体は無視されます。

Config コマンド

Config コマンドには 4 つの引数 (OC、PL、TS、RD) があります (図 10 参照)。

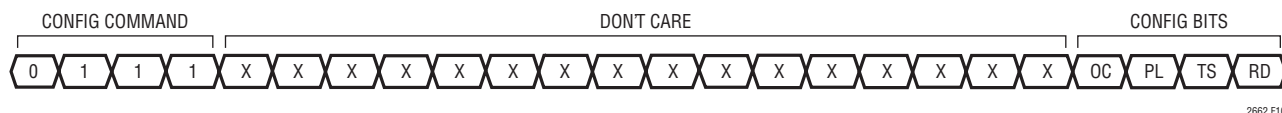
OC ビットを設定すると、オープン・サーキットの検出 (FR0~FR4) は無効になります。同様に、PL ビットを設定すると電力制限保護 (FR6) が無効になり、TS ビットを設定すると過熱保護 (FR5) が無効になります。これらのオプションを使用するときは、特に PL および TS の場合、注意してください。

RD ビットは、外部リファレンス動作を選択するときには使用します。RD ビットを設定するかどうかにかかわらず、外部リファレンスの使用時には REFCOMP ピンを接地する必要があります。

パワーダウン・モード

電力が制限されているアプリケーションでは、必要な DAC 出力が 4 つ以下のときは必ずパワーダウン・モードを使用して、電源電流を低減できます。パワーダウン・モードでは、電圧/電流変換出力ドライバとリファレンス・バッファがディスエーブルされます。電流 DAC 出力は高インピーダンス状態になります。パワーダウン中、レジスタの内容に支障はありません。

どのチャンネルまたはチャンネルの組み合わせであっても、コマンド 0100b を適切な DAC アドレスと組み合わせて使用すれば、パワーダウン・モードにすることができます。更に、Power-Down Chip コマンド (0101b) を使用して、全ての DAC チャンネルと内蔵のリファレンスをまとめてパワーダウン・モードに移行できます。16 ビットのデータ・ワードは、全てのパワーダウン・コマンドで無視されます。



2662 F10

図 10. Config コマンドの構文オープン・サーキット検出の無効化 (OC)、電力制限保護の無効化 (PL)、サマル・シャットダウンの無効化 (TS)、およびリファレンスのディスエーブル (RD)

動作

通常動作を再開するには、DACの更新を含むいずれかのコマンドを実行します。その際には、表1に示すようにソフトウェアで行うか、トグル動作によって行います(トグル動作のセクションを参照)。選択されたDACチャンネルに電源が投入され、同時に新しいコード値で更新されます。パワーダウン状態のDACを更新するときは、電源投入時の特別な遅延時間を吸収する待ち時間を設けます。更新コマンドの前にチャンネルの電源が遮断されていた場合(コマンド0100b)、電源投入時の遅延時間は30 μ sです。また、デバイスの電源が遮断されていた場合(コマンド0101b)、電源投入時の遅延時間は35 μ sです。

有効な電源範囲

LTC2662の有効な電源範囲には、電気的特性の表(電源要件)とピン機能のセクションに記載しているように、いくつかの制限事項があります。 V^+ (ピン27)の電圧は、それ以外の全ての電源電圧以上にする必要があります。 V^+ には、最大でGNDより33V高い電圧かつ V^- より33V高い電圧を加えることができます。5つの出力電源($V_{DD0} \sim V_{DD4}$)には、2.85V $\sim V^+$ の範囲の値を個別に設定できます。負電源電圧 V^- は-15.75V $\sim$ GNDの範囲内の任意の電圧でかまいませんが、 V^+ を V^- より33Vを超えて高くすることはできません。

電流出力

LTC2662は、ゲインの高い電圧／電流コンバータを各電流出力ピンに内蔵しています。全てのDACコードに対して最小ドロップアウト電圧($V_{DDX} - V_{OUTX}$)の規格を満たしている場合は、INLおよびDNLが3.125mA $\sim$ 300mAの全範囲でサポートされます。

十分なドロップアウト電圧が維持されている場合、電流出力(OUT0 $\sim$ OUT4)のDC出力インピーダンスは非常に高くなります。各電流出力には専用の正電源ピン($V_{DD0} \sim V_{DD4}$)があり、各チャンネルの電流コンプライアンスと消費電力を調整できるようになっています。

V^- への切替えモード

スパン・コード1000bを使用すると、出力電圧をGNDより低くすることができます。 V^- への切替えモードでは、アドレス指定チャンネルの出力電流がオフになり、そのチャンネルの電圧 V_{OUTX} が V^- になります。プルダウン・スイッチは、最大12 Ω の実効抵抗で最大80mAを流し込むことができます。

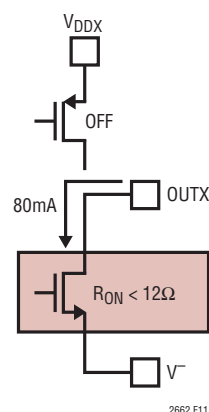


図11. V^- への切替えモード

V^- への切替えモードは、Write Span to AllコマンドまたはWrite Span to nコマンドおよび目的のアドレスを指定すれば呼び出すことができます。スパン・コードを表3に示します。また、 V^- への切替えモードでの出力を図11に示します。

FSADJピンを使用したゲイン調整

フルスケールの出力電流はリファレンス電圧に比例し、FSADJに関連付けられた抵抗に反比例します。すなわち、次のようになります。

$$I_{OUTFS} \sim V_{REF}/R_{FSADJ}$$

FSADJピンを V_{CC} に接続すると、LTC2662は内部の $R_{FSADJ} = 20k$ を使用します。オプションとして、他端を接地した外付け抵抗にFSADJを接続して、アプリケーションに流れるデフォルトの電流範囲を調整することや、仕様が適切に規定された高精度抵抗を使用して、可能な最良の温度係数を得ることができます。19k $\sim$ 41kまでの値がサポートされています。新しい電流範囲は、表3の「外付けの R_{FSADJ} 」の列を使用して簡単に計算できます。外付け抵抗を使用する場合、内部抵抗の接続は自動的に解除されます。

外付け抵抗を使用する場合、FSADJピンは浮遊容量の影響を受けやすいので、1kと1 μ Fのコンデンサを直列に接続し、それを R_{FSADJ} と並列に接続して構成したスナバ回路ネットワークで補償してください。推奨の補償回路を接続すれば、このピンは最大50pFの浮遊容量を駆動しても安定しています。

動作

オフセット電流とコード・ゼロ

LTC2662のオフセット電流誤差は最大 $\pm 0.4\%$ FSRになります。所定のチャンネルのオフセットが正の値の場合、コードがゼロのときゼロではない一定の電流が流れます。オフセットが負の値の場合、コードの範囲がゼロに近いと、電流はゼロ(リークのみ)になります。オフセットと直線性のエンドポイントはコード384で測定され、測定の時点で測定可能な出力電流を使用してDACが動作することが確認できます。

正のオフセット誤差があるチャンネルは、コードがゼロであっても完全にはオフしないことがあります。出力を完全にオフにするには、範囲を「Hi-Z」(スパン・コードは表3から0000b)に設定して、チャンネルを更新します。

リファレンス・モード

LTC2662は、内部と外部のどちらのリファレンスでも使用できます。電圧DACの場合と同様に、リファレンス電圧が出力電圧を増減するので、出力にはリファレンスの誤差が反映されます。フルスケール出力電流は、リファレンス電圧に関係なく、チャンネルあたり最大300mAに制限されます。

1.25Vの内部リファレンスの代表的な温度ドリフトは $\pm 2\text{ppm}/^\circ\text{C}$ であり、初期の出力許容誤差は最大 $\pm 2\text{mV}$ です。内部リファレンスの調整、テスト、および特性評価はDACとは無関係に行われます。また、DACのテストと特性評価は「理想的な」外部リファレンスを使用して行われます。

内部リファレンスを使用するには、REFCOMPピンをフロート状態のままにして、GNDへのDCパスを遮断します。更に、ConfigレジスタのRDビットの値は0にする必要があります。この値は電源投入時にリセットされて0になります。あるいは、configコマンド0111bを使用してリセットすることもできます。コマンドの構文を図9に示します。

リファレンスを安定させて低ノイズにするため、REFCOMPとGNDの間に $0.1\mu\text{F}$ のコンデンサを接続してください。この構成では、内部リファレンスは最大 $0.1\mu\text{F}$ のコンデンサを駆動

可能であり、優れた安定性を示します。安定した動作を確保するため、REFピンの容量性負荷がREFCOMPピンの容量性負荷を超えないようにしてください。内部リファレンスが外部回路を駆動する場合には、バッファが必要です。

外部リファレンスを使用するには、REFCOMPピンをGNDに接続します。こうすると起動時には内部リファレンスの出力がデイスエーブルされるので、REFピンは高インピーダンス入力になります。電源投入後、REFピンにリファレンス電圧を印加します。configコマンド0111bを使用して、RDビットに1を設定します。REFの入力電圧範囲は $1.225\text{V}\sim 1.275\text{V}$ です。

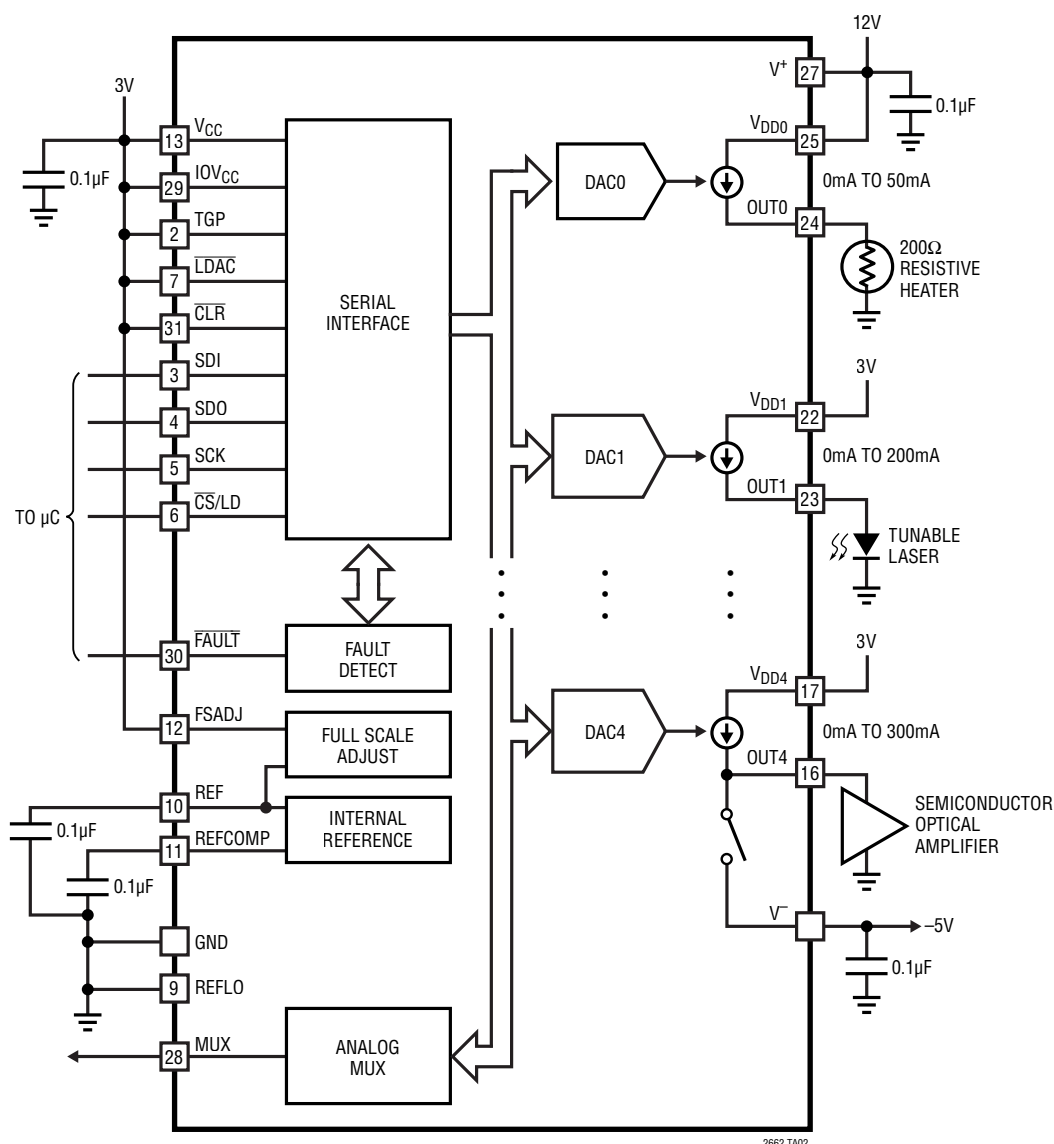
基板レイアウト

これらのデバイスの優れた負荷レギュレーション性能とDCクロストーク性能は、信号グラウンドとパワー・グラウンドのコモンモード抵抗を最小限に抑えれば、ある程度達成されます。

高分解能のコンバータの場合と同様に、きれいな基板グラウンディングが重要です。スター結線技法と同様に、低インピーダンスのアナログ・グラウンド・プレーンが必要です。スター結線に使用する基板層が切れ目なく続くようにして、グラウンド抵抗を最小限に抑えます。すなわち、分離したスター・パターンを使用しないスター結線の考え方に従います。REFLOピンからスター結線箇所までの抵抗値は、できるだけ低くなるようにしてください。スター結線箇所として露出パッド(ピン33)を推奨します。

最高の性能を得るには、グラウンド・プレーンに $150\sim 200\text{ミル}$ の間隔のビア・アレイを設けて、他の基板層からのグラウンドと接続します。これにより、全グラウンド抵抗が減少し、グラウンド・ループの面積が最小限に抑えられます。

標準的応用例



関連製品

製品番号	説明	注釈
LTC2668	±10ppm/°Cのリファレンスを内蔵した16チャンネル、シリアル16/12ビット電圧出力SoftSpan DAC	出力電圧範囲をソフトウェアでプログラム可能:最大±10V、6mm×6mm QFN パッケージ
LTC2666	±10ppm/°Cのリファレンスを内蔵したオクタル、シリアル16/12ビット電圧出力SoftSpan DAC	出力電圧範囲をソフトウェアでプログラム可能:最大±10V、5mm×5mm QFN パッケージ
LTC2664	±10ppm/°Cのリファレンスを内蔵したクワッド、シリアル16/12ビット電圧出力SoftSpan DAC	出力電圧範囲をソフトウェアでプログラム可能:最大±10V、5mm×5mm QFN パッケージ

リファレンス

LTC6655	低ドリフト、高精度バッファ付きリファレンス	最大許容誤差:0.025%、ドリフト:最大2ppm/°C、ノイズ:0.25ppmp-p (0.1Hz~10Hz)
-------------------------	-----------------------	--