昇圧コンバータ対応の ゲート・ドライバ内蔵マルチフェーズ・エクスパンダ

特長

- **1つのチップあたり最大4フェーズまで拡張可能**
- **入力／出力電圧：最大80V**
- **複数のチップをカスケード接続して大電流アプリケーションに対応**
- **20°～180°の範囲の最大18の異なるフェーズをサポート**
- **各フェーズは位相角を共有可能**
- **優れたDCおよび過渡電流分担**
- 位相同期可能な固定周波数：125kHz～1MHz
- 双方向電流をサポート
- R_{SENSE} またはDCRによる電流検出
- ノイズにセンシティブな帰還信号と制御信号の配線は不要
- 52ピン（7mm×8mm）QFNパッケージ

アプリケーション

- 大電流の分散給電システム
- 通信システム、データ通信システム、およびストレージ・システム
- 産業用および自動車用機器

概要

LT®8551は、同期整流式昇圧DC/DCコンバータ用のマルチフェーズ・エクスパンダです。このデバイスは任意の同期整流式昇圧DC/DCコンバータと連携して動作し、フェーズを追加することによって負荷電流の供給能力を増強します。各フェーズの位相をずらしてクロッキングして、リップル電流とフィルタリング容量を低減します。簡単にフェーズを追加することができ、ノイズにセンシティブな帰還信号と制御信号を配線する必要はありません。

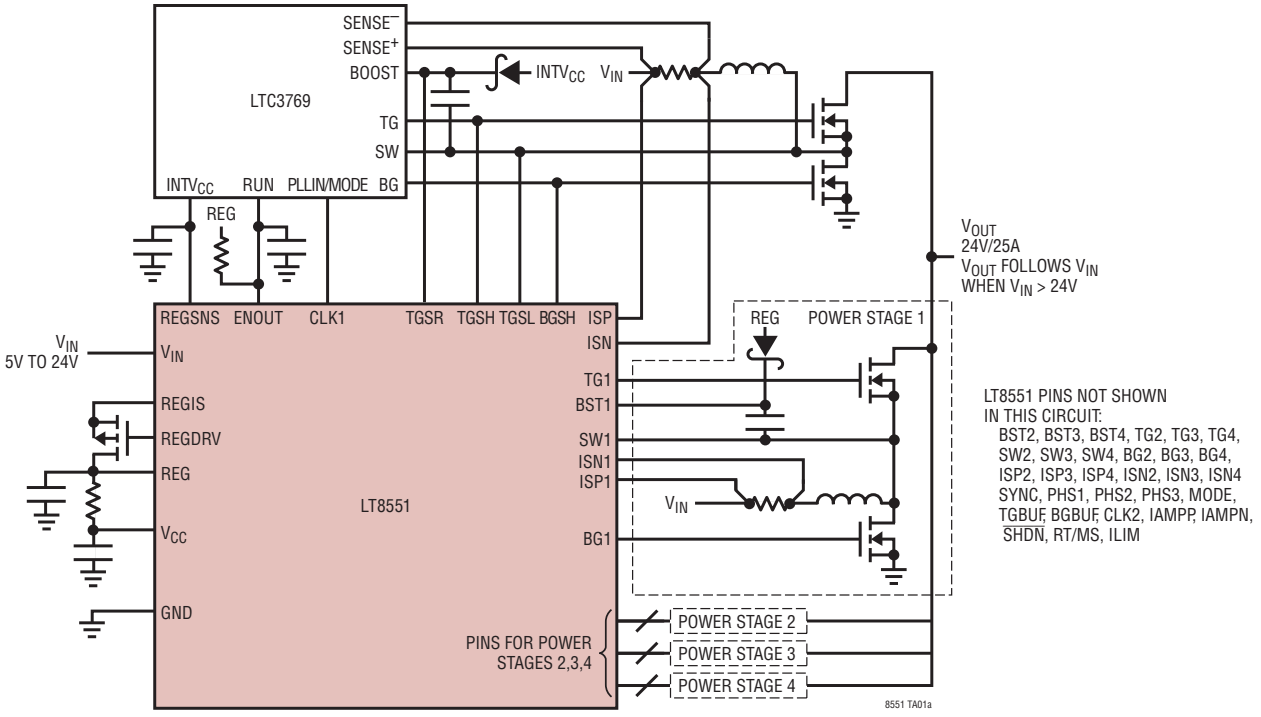
LT8551は5Vゲート・ドライバを内蔵しており、1デバイスあたり最大4相の昇圧フェーズをサポートします。複数のLT8551デバイスを使用して、最大18フェーズを提供できます。各チャンネルの電流を正確に監視および調整し、優れたDCおよび過渡電流分担を実現します。

LT8551は100kHz～1MHzの範囲の固定スイッチング周波数で動作しますが、外部クロックに同期させることもできます。

全ての登録商標および商標の所有権は、それぞれの所有者に帰属します。9077244を含む米国特許によって保護されています。

標準的応用例

24V/25A昇圧エクスパンダ・システム



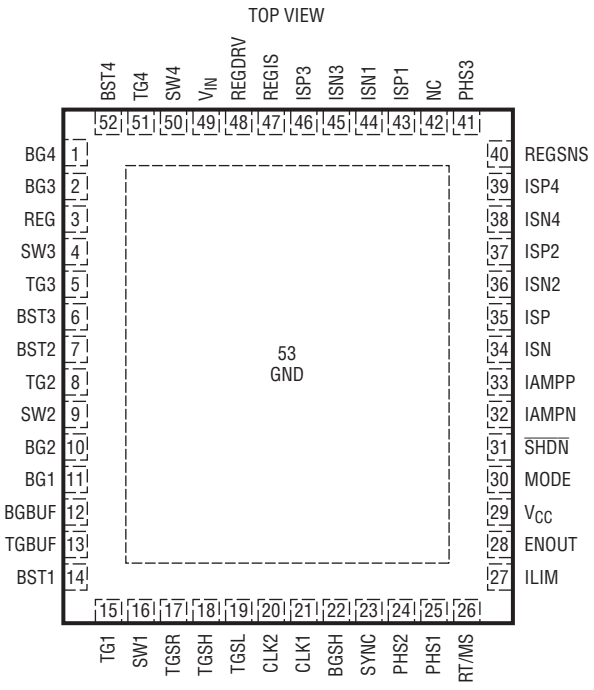
Rev 0

絶対最大定格

(Note 1)

SW1/2/3/4 (Note 5) 80V
ISP1/2/3/4、ISN1/2/3/4、ISP、ISN、
　V_{IN}、REGIS、REGDRV の電圧 (Note 2) ..... –0.3V～80V
$\overline{SHDN}$ の電圧 ..... –0.3V～70V
TGSL の電圧 ..... –3V～80V
TGSH の電圧 ..... –3V～86V
TG1/2/3/4、BST1/2/3/4、TGSR の電圧 ..... –0.3V～86V
BG1/2/3/4、RT/MS、SYNC、PHS1/2/3、CLK1/2、
　REGSNS、IAMPP、ILIM、BGSH、BGBUF、TGBUF、ENOUT、MODE、
　V_{CC}、REG、(BST–SW) 1/2/3/4、
　(TG–SW) 1/2/3/4、(V_{IN}–REGDRV)、
　(TGSR–TGSL)、(TGSH–TGSL) の電圧 ..... –0.3V～6.0V
IAMPN の電圧 ..... –0.6V～0.6V
(ISP-ISN) 1/2/3/4、(ISP-ISN) の電圧 ..... –0.3V～0.3V
動作ジャンクション温度範囲 (Note 3)
　LT8551E ..... –40°C～125°C
　LT8551I ..... –40°C～125°C
保存温度範囲 ..... –65°C～150°C

ピン配置



UKG PACKAGE
52-LEAD (7mm × 8mm) PLASTIC QFN
T_{JMAX} = 125°C, θ_{JA} = 31°C/W, θ_{JC} = 2°C/W
EXPOSED PAD (PIN 53) IS GND, MUST BE SOLDERED TO PCB

発注情報

鉛フリー仕上げ	テープ&リール	製品マーキング*	パッケージ	温度範囲
LT8551EUKG#PBF	LT8551EUKG#TRPBF	8551	52-Pin (7mm × 8mm) Plastic QFN	–40°C to 125°C
LT8551IUKG#PBF	LT8551IUKG#TRPBF	8551	52-Pin (7mm × 8mm) Plastic QFN	–40°C to 125°C

更に広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。*温度グレードは出荷時のコンテナのラベルで識別されます。
テープ&リールの仕様。一部のパッケージは、#TRMPBF 接尾部の付いた指定の販売経路を通じて 500 個入りのリールで供給可能です。

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外はT_A = 25°Cでの値。注記がない限り、V_{IN} = 12V、REG = 5V、V_{CC} = 5V、$\overline{SHDN}$ = 「H」。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{IN} Operating Voltage Range	For Min Spec, V_{CC}, REG = 0V	●	3.6		80	V
V_{IN} Quiescent Current	REG = V_{CC} = 5V, REGDRV, REGIS Floating			800		µA
V_{IN} Quiescent Current in Shutdown					2	µA
V_{CC} Quiescent Current	Not Switching			5		mA
V_{CC} Undervoltage Lockout	V_{CC} Falling, REG = V_{CC}	●	3.3	3.55	3.8	V
V_{CC} Undervoltage Lockout Hysteresis	REG = V_{CC}			0.1		V
$\overline{SHDN}$ Input Voltage High	$\overline{SHDN}$ Falling	●	1.05	1.15	1.25	V
$\overline{SHDN}$ Input Voltage High Hysteresis				60		mV
$\overline{SHDN}$ Input Voltage Low	Device Disabled, Low Quiescent Current, V_{CC} = REG = 3V	●			0.3	V
$\overline{SHDN}$ Pin Bias Current	$V_{\overline{SHDN}}$ = 3V $V_{\overline{SHDN}}$ = 12V			0 8.5	1 20	µA µA
MODE Low Falling Threshold	Slave LT8551	●	0.5			V
MODE High Rising Threshold	Slave LT8551	●			4.5	V
MODE Output Voltage Low	Master LT8551, 200µA into MODE pin			50		mV
MODE Output Voltage High	Master LT8551, 20µA out of MODE pin			4.8		V
MODE Pin Impedance in Middle State	Master LT8551			9		kΩ
ENOUT Output Voltage Low	Master LT8551, 1mA into ENOUT Pin, V_{CC}, REG in UVLO			60		mV
ENOUT Leakage Current	ENOUT = 5V, REG = V_{CC} = 3V			0.2	1	µA
ENOUT Rising Threshold				2.1		V
ENOUT Threshold Hysteresis				0.4		V
電流検出						
Maximum Positive Current Sense Voltage, (ISP*n*–ISN*n*)	ILIM = 0V, ISN*n* = 12V, ISP*n* Rising ILIM = REG, ISN*n* = 12V, ISP*n* Rising ILIM = Float, ISN*n* = 12V, ISP*n* Rising	● ● ●	27.0 56 84.5	30 60 90	32.5 64 95.5	mV mV mV
Maximum Negative Current Sense Voltage, (ISN*n*–ISP*n*)	ILIM = 0V, ISN*n* = 12V, ISP*n* Falling ILIM = REG, ISN*n* = 12V, ISP*n* Falling ILIM = Float, ISN*n* = 12V, ISP*n* Falling	● ● ●	26.5 55.5 84	30 60 90	33 64.5 96	mV mV mV
ISP, ISN Common Mode Operating Voltage Range		●	0		80	V
ISP*n*, ISN*n* Common Mode Operating Voltage Range		●	0		80	V
ILIM High Rising Threshold		●			4.65	V
ILIM High Threshold Hysteresis				90		mV
ILIM Low Falling Threshold		●	0.3			V
ILIM Low Threshold Hysteresis				80		mV
ILIM Impedance at Floating				11		kΩ
IAMPP Output Voltage	(ISP–ISN) = 30mV, ILIM = 0V, Master LT8551, ISP = 12V (ISP–ISN) = 0mV, ILIM = 0V, Master LT8551, ISP = 12V (ISP–ISN) = –30mV, ILIM = 0V, Master LT8551, ISP = 12V (ISP–ISN) = 60mV, ILIM = REG, Master LT8551, ISP = 12V (ISP–ISN) = 0mV, ILIM = REG, Master LT8551, ISP = 12V (ISP–ISN) = –60mV, ILIM = REG, Master LT8551, ISP = 12V (ISP–ISN) = 90mV, ILIM = Float, Master LT8551, ISP = 12V (ISP–ISN) = 0mV, ILIM = Float, Master LT8551, ISP = 12V (ISP–ISN) = –90mV, ILIM = Float, Master LT8551, ISP = 12V	● ● ● ● ● ● ● ● ●	2.33 1.33 0.33 2.33 1.35 0.34 2.33 1.35 0.34	2.4 1.4 0.4 2.4 1.4 0.4 2.4 1.4 0.4	2.47 1.47 0.47 2.47 1.45 0.46 2.47 1.45 0.46	V V V V V V V V V

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外はT_A = 25°Cでの値。注記がない限り、V_{IN} = 12V、REG = 5V、V_{CC} = 5V、$\overline{SHDN}$ = 「H」。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
(ISP*n*–ISN*n*) Voltage In Regulation	IAMPP = 2.20V, IAMPN = 0V, ILIM = 0V, ISN*n* = 12V	●	21.25		26.75	mV
	IAMPP = 0.60V, IAMPN = 0V, ILIM = 0V, ISN*n* = 12V	●	–26.75		–21.25	mV
	IAMPP = 2.20V, IAMPN = 0V, ILIM = REG, ISN*n* = 12V	●	45		51	mV
	IAMPP = 0.60V, IAMPN = 0V, ILIM = REG, ISN*n* = 12V	●	–51		–45	mV
	IAMPP = 2.20V, IAMPN = 0V, ILIM = Float, ISN*n* = 12V	●	67.25		76.75	mV
	IAMPP = 0.60V, IAMPN = 0V, ILIM = Float, ISN*n* = 12V	●	–76.75		–67.25	mV
(ISP–ISN) to IAMPP Voltage Gain	ILIM = 0V, Master LT8551, ISP = 0V			33.3		
	ILIM = REG, Master LT8551, ISP = 0V			16.7		
	ILIM = FLOAT, Master LT8551, ISP = 0V			11.1		
IAMPP Sourcing Current Limit	(ISP–ISN) = 0mV, Master LT8551	●	250			µA
IAMPP Sinking Current Limit	(ISP–ISN) = 0mV, Master LT8551	●	60			µA
IAMPP Load Regulation	ILOAD = –200µA to 50 µA, Master LT8551				1	mV
IAMPP Pin Bias Current	IAMPP = 1.2V, Slave LT8551			3		µA
	IAMPP = 2.4V, Slave LT8551			6		µA
Mismatch Between (ISP*n*–ISN*n*) and Master LT8551's (ISP–ISN) in Regulation	ILIM = REG	●	–6		6	%
		●	–4.75		4.75	%
Mismatch Between (ISP*n*–ISN*n*) and Master LT8551's (ISP–ISN) in Regulation	ILIM = FLOAT	●	–6		6	%
		●	–5.5		5.5	%
Mismatch Between (ISP*n*–ISN*n*) and Master LT8551's (ISP–ISN) in Regulation	ILIM = 0V	●	–10		10	%
		●	–8		8	%
発振器						
CLK1 Frequency	RT/MS = 24.3kΩ, Master LT8551	●	900	1000	1100	kHz
	RT/MS = 100 kΩ, Master LT8551	●	236	250	264	kHz
	RT/MS = 249kΩ, Master LT8551	●	90	100	110	kHz
Switching Frequency Range	Free-Running	●	100		1000	kHz
	Synchronizing	●	125		1000	kHz
SYNC High Level for Synchronization		●	1.2			V
SYNC Low Level for Synchronization		●			0.8	V
CLK1, CLK2 Rise Time	C_{LOAD} = 220pF, Master LT8551 (Note 4)			7		ns
CLK1, CLK2 Fall Time	C_{LOAD} = 220pF, Master LT8551 (Note 4)			5		ns
CLK2 Rising Threshold	Slave LT8551	●			4	V
CLK2 Falling Threshold	Slave LT8551	●	1			V
PHS1, PHS2 High Rising Threshold		●			4.65	V
PHS1, PHS2 High Threshold Hysteresis				80		mV
PHS1, PHS2 Low Falling Threshold		●	0.3			V
PHS1, PHS2 Low Threshold Hysteresis				80		mV
PHS1, PHS2 Impedance at Floating				11		kΩ
PHS3 Rising Threshold		●			4.65	V
PHS3 Threshold Hysteresis				80		mV
REG LDO						
REG Voltage	REGSNS = 5V, IAMPN = 0V, I_{LOAD} = 45mA	●	4.9	5.1	5.3	V
REG LDO Current Limit	V_{IN} = 12V, REGSNS = 5V, REG, V_{CC} = 4V			250		mA
	V_{IN} = 24V, REGSNS = 5V, REG, V_{CC} = 4V			145		mA
REG LDO Gate Drive Clamp Voltage	(V_{IN} – REGDRV) Voltage, REG, V_{CC} = 4.5V			5.3		V
REG Load Regulation	I_{LOAD} = 0A to 100mA, REGSNS = 5V, IAMPN = 0V			90		mV
REGSNS Pin Bias Current	REGSNS = 5V			12		µA

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外はT_A = 25°Cでの値。注記がない限り、V_{IN} = 12V、REG = 5V、V_{CC} = 5V、$\overline{SHDN}$ = 「H」。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
ゲート・ドライバ						
TG1, TG2, TG3, TG4 Rise Time	C_{LOAD} = 3.3nF, SWx = 0V, BSTx = 5V (Note 4)			30		ns
TG1, TG2, TG3, TG4 Fall Time	C_{LOAD} = 3.3nF, SWx = 0V, BSTx = 5V (Note 4)			20		ns
BG1, BG2, BG3, BG4 Rise Time	C_{LOAD} = 3.3nF (Note 4)			50		ns
BG1, BG2, BG3, BG4 Fall Time	C_{LOAD} = 3.3nF (Note 4)			27		ns
Bottom & Top Gate Non-Overlap Time	TG Falling to BG Rising, C_{LOAD} = 3.3nF (Note 4) BG Falling to TG Rising, C_{LOAD} = 3.3nF (Note 4)			85 80		ns ns
Bottom & Top Gate Minimum Off-Time	C_{LOAD} = 3.3nF (Note 4)			140		ns
プライマリ・ゲート・センシング						
BGSH Rising Threshold		●			4	V
BGSH Falling Threshold		●	1			V
BGSH Threshold Hysteresis				1.4		V
BGSH to BGBUF Delay	C_{LOAD} = 220pF, Master LT8551 (Note 4)			45		ns
BGBUF Rise Time	C_{LOAD} = 220pF, Master LT8551 (Note 4)			8		ns
BGBUF Fall Time	C_{LOAD} = 220pF, Master LT8551 (Note 4)			6		ns
TGSH Rising Threshold	TGSR = 5V, TGSL = 0V	●			4	V
TGSH Falling Threshold	TGSR = 5V, TGSL = 0V	●	1			V
TGSH Threshold Hysteresis				1.4		V
TGSH to TGBUF Delay	C_{LOAD} = 220pF, Master LT8551 (Note 4)			45		ns
TGBUF Rise Time	C_{LOAD} = 220pF, Master LT8551 (Note 4)			8		ns
TGBUF Fall Time	C_{LOAD} = 220pF, Master LT8551 (Note 4)			6		ns

Note 1：絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2：REGDRV、BG1、BG2、BG3、BG4、TG1、TG2、TG3およびTG4ピンには正または負の電圧源または電流源を印加してはならない。印加すると、永続的な損傷が生じる場合がある。

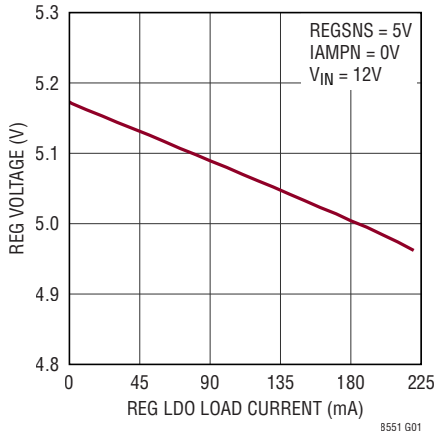
Note 3：LT8551Eは、0°C～125°Cのジャンクション温度で性能仕様に適合することが確認されている。–40°C～125°Cの動作ジャンクション温度範囲での仕様は、設計、特性評価および統計学的なプロセス・コントロールとの相関で確認されている。LT8551Iは、–40°C～125°Cのジャンクション温度で性能仕様に適合することが確認されている。

Note 4：立上がり時間と立下がり時間は10%と90%のレベルを使用して測定されている。遅延時間は50%レベルを使用して測定されている。

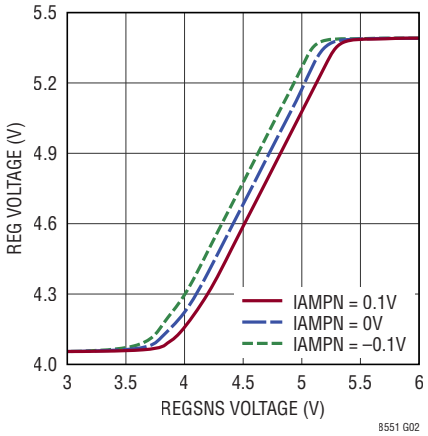
Note 5：SW1/2/3/4ピンの負電圧は、アプリケーションでは外付けNMOSデバイスのボディ・ダイオードまたは並列ショットキー・ダイオード（存在する場合）によって制限される。SW1/2/3/4ピンは、グラウンドからダイオードの電圧降下分を超えたこれらの負電圧に耐性を持つことが設計により確認されている。

代表的な性能特性

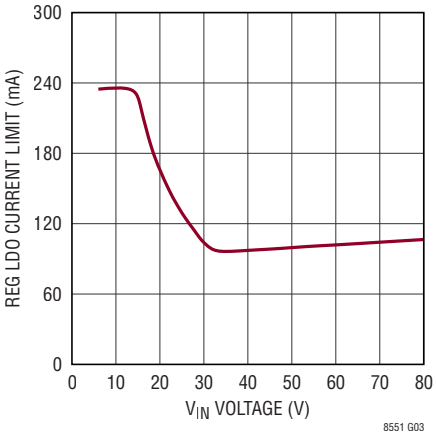
REG LDOの負荷レギュレーション



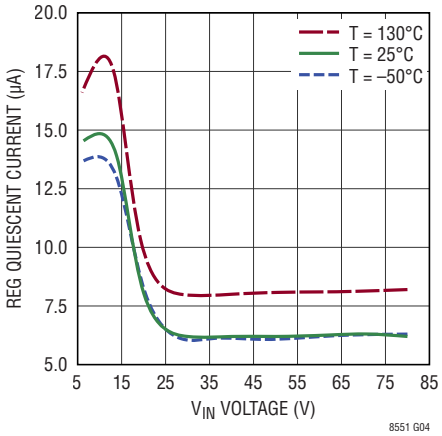
REGの電圧とREGSNSの電圧



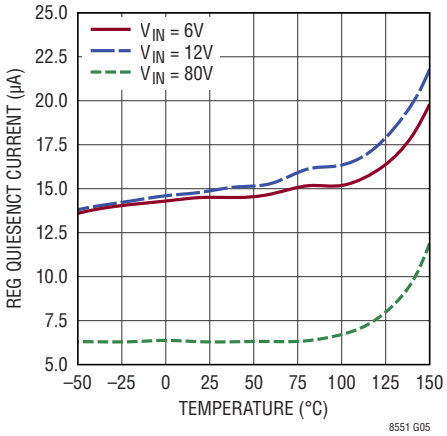
REG LDOの電流制限



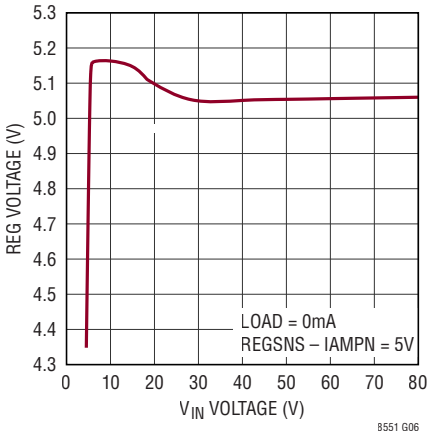
REGの自己消費電流とVINの電圧、スイッチングなし



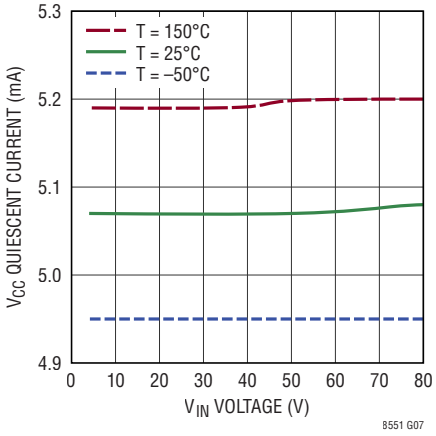
REGの自己消費電流と温度、スイッチングなし



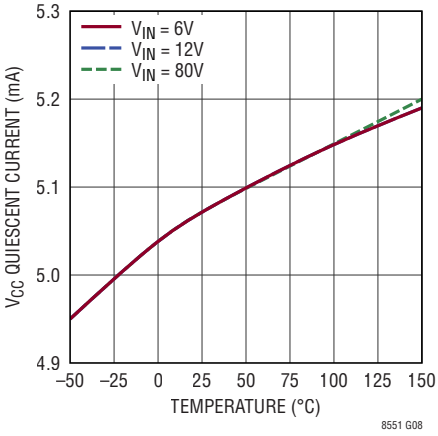
REG LDOのライン・レギュレーション



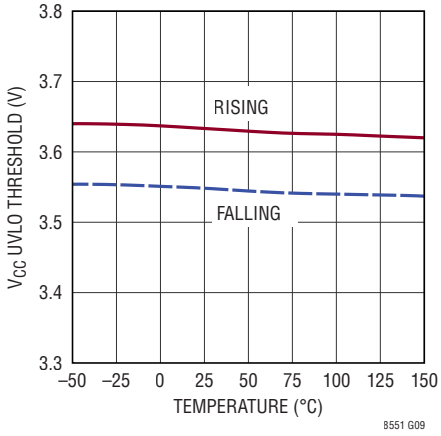
VCCの自己消費電流とVINの電圧、スイッチングなし



VCCの自己消費電流と温度、スイッチングなし

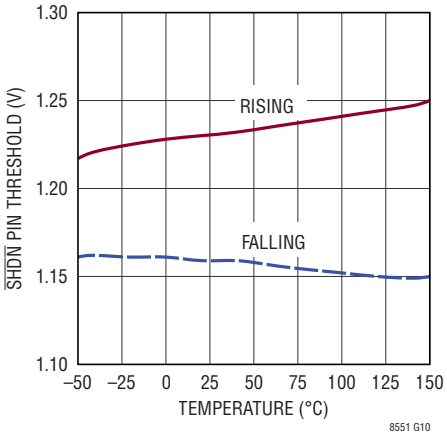


VCCのUVLO閾値

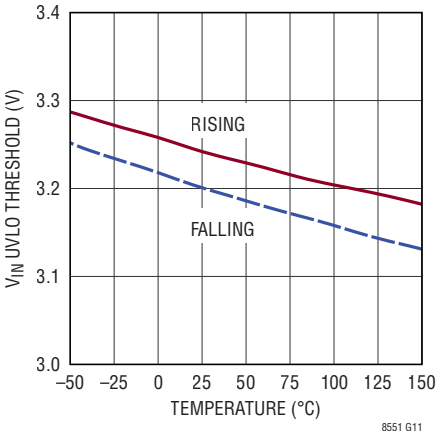


代表的な性能特性

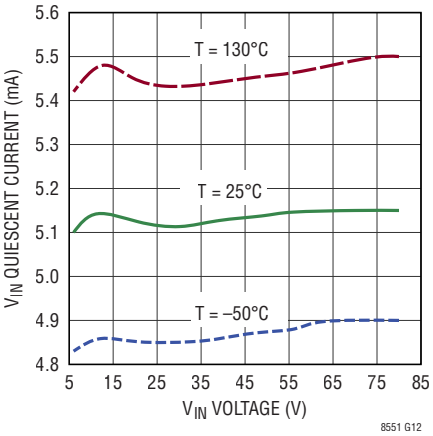
$\overline{SHDN}$ ピンの閾値



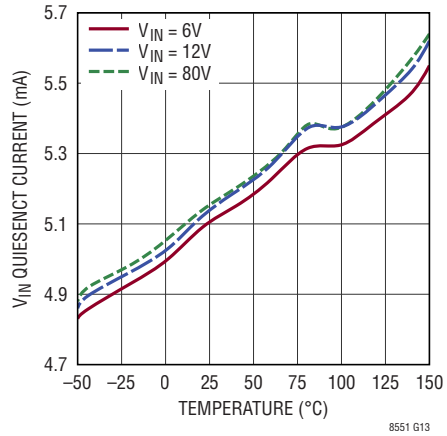
V_{IN} の UVLO 閾値



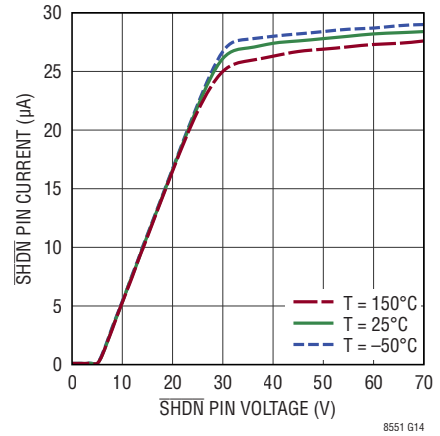
V_{IN} の自己消費電流と V_{IN} の電圧、スイッチングなし



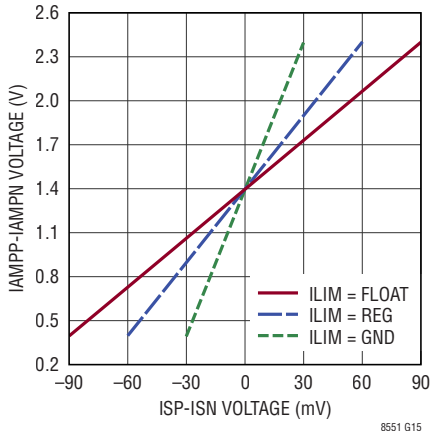
V_{IN} の自己消費電流と温度、スイッチングなし



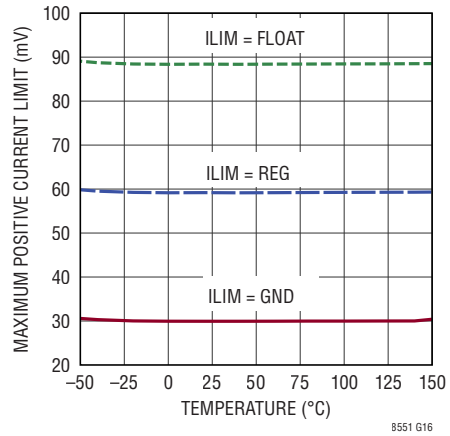
$\overline{SHDN}$ ピンの電流と電圧



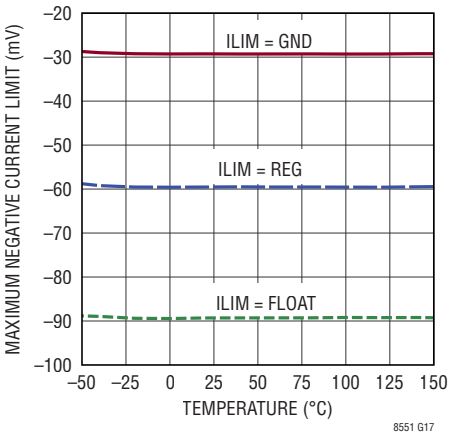
IAMPP-IAMPN の電圧と（ISP–ISN）の電圧



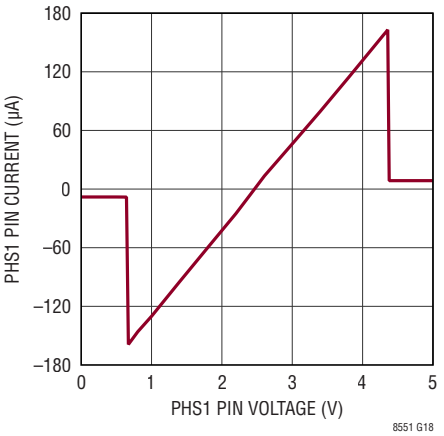
正の最大電流制限と温度



負の最大電流制限と温度

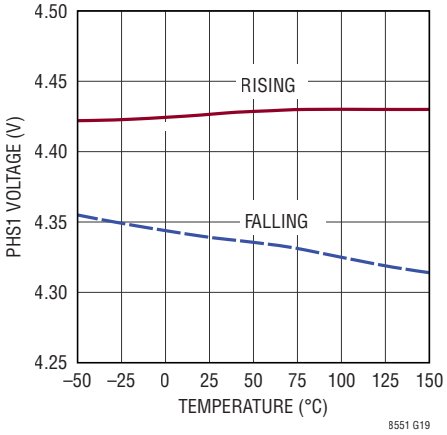


PHS1 ピンの電流

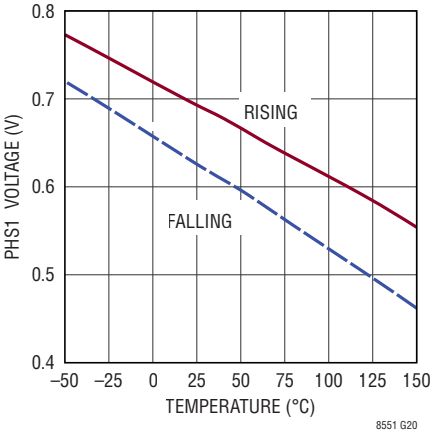


代表的な性能特性

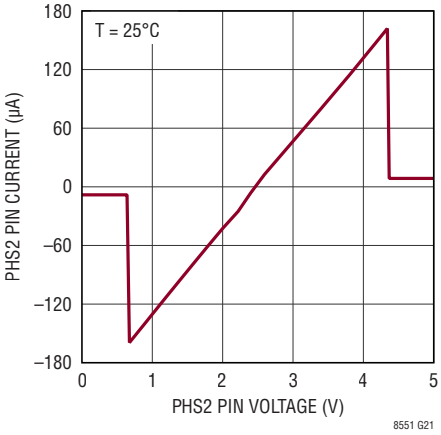
PHS1のハイ・スレッショールド電圧と温度



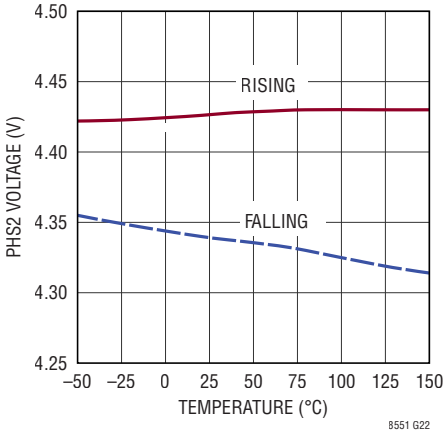
PHS1のロー・スレッショールド電圧と温度



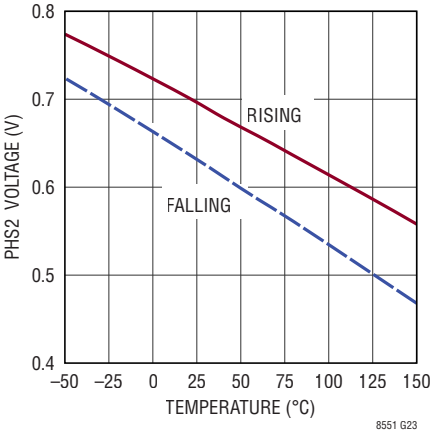
PHS2ピンの電流



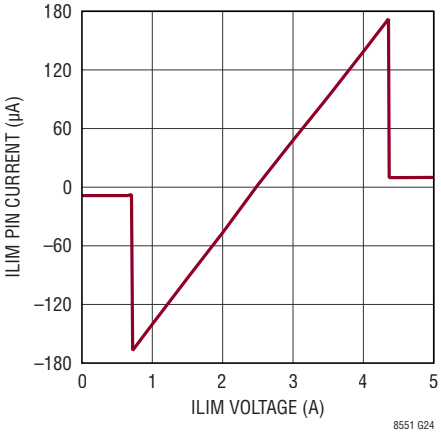
PHS2のハイ・スレッショールド電圧と温度



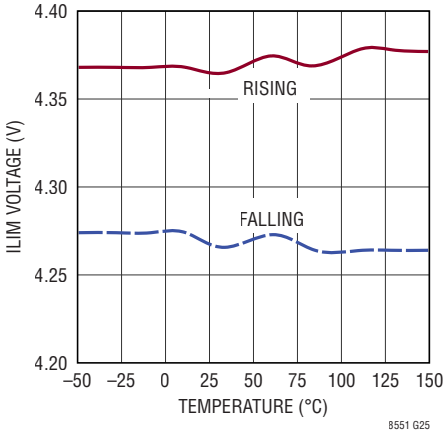
PHS2のロー・スレッショールド電圧と温度



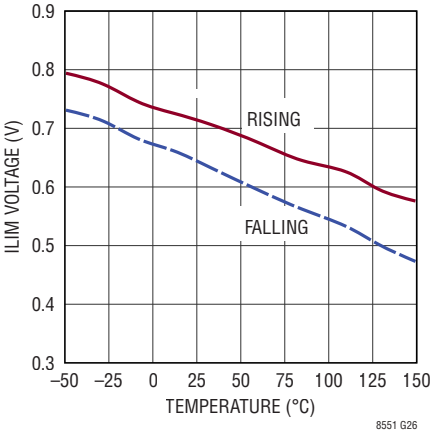
ILIMピンの電流と電圧



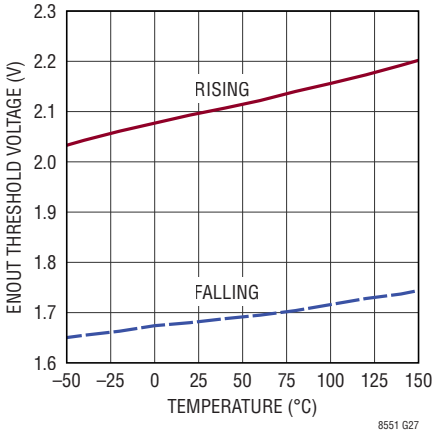
ILIMのハイ・スレッショールド電圧と温度



ILIMのロー・スレッショールド電圧と温度

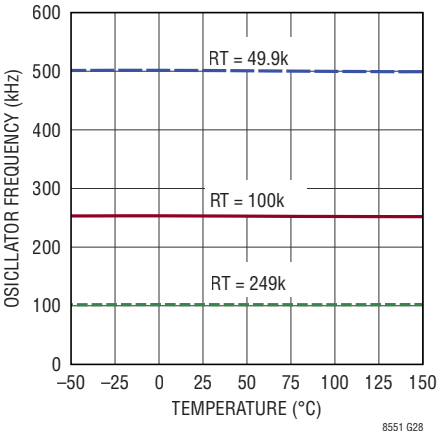


ENOUTのスレッショールド電圧

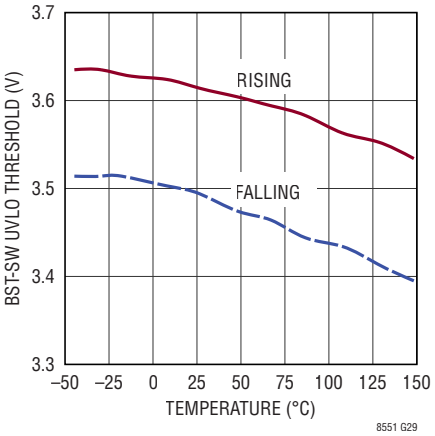


代表的な性能特性

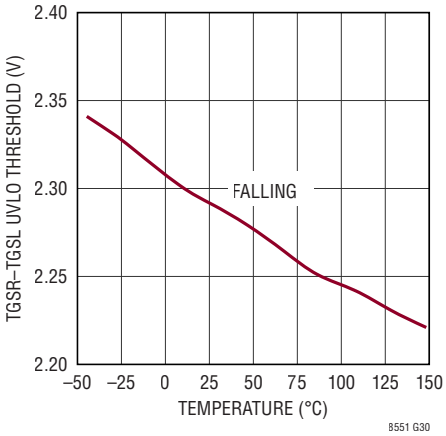
発振周波数と温度



BST–SW の UVLO 閾値



TGSR–TGSL の UVLO 閾値



ピン機能

REG（ピン3）：REG LDOの出力。ゲート・ドライバの電源。このピンは、4.7µF以上の低ESRセラミック・コンデンサを使用してグラウンドにデカップリングします。このピンは外部PMOSのドレイン側に接続します。

BG1、BG2、BG3、BG4（ピン11、10、2、1）：下側のゲート・ドライバ出力。これらのピンは、下側NチャンネルMOSFETのゲートを駆動します。これらのピンの電圧振幅はグラウンドからREGまでです。

BGBUF（ピン12）：ロジック出力ピン。このピンは、BGSHがロジック・ハイのときはREGに引上げられ、BGSHがロジック・ローのときはグラウンドに引き下げられます。スレーブLT8551では、このピンはフロート状態のままにしておきます。詳細については、アプリケーション情報のセクションを参照してください。

TGBUF（ピン13）：ロジック出力ピン。マスタLT8551では、このピンは、（TGSH-TGSL）がロジック・ハイのときはREGの電圧に引上げられ、（TGSH-TGSL）がロジック・ローのときはグラウンドに引き下げられます。スレーブLT8551では、このピンはフロート状態のままにしておきます。詳細については、アプリケーション情報のセクションを参照してください。

BST1、BST2、BST3、BST4（ピン14、7、6、52）：昇圧フローティング・ドライバ電源。ブートストラップ・コンデンサの（+）端子をこのピンに接続します。このピンは、REGよりもダイオードの電圧降下分だけ低い電圧からV_{OUT}＋REGまで振幅します。

TG1、TG2、TG3、TG4（ピン15、8、5、51）：上側のゲート・ドライバ出力。このピンは、スイッチ・ノード電圧にREGを重畳した電圧に等しい電圧振幅を持つフローティング・ドライバ出力です。

SW1、SW2、SW3、SW4（ピン16、9、4、50）：スイッチ・ノード。これらのピンの電圧振幅は、グラウンドよりダイオードの電圧降下分だけ低い電圧からV_{OUT}までです。

TGSR（ピン17）：プライマリ・チャンネルの上側ゲート検出回路のレール。マスタLT8551では、このピンはプライマリ・チャンネルの上側ゲート・ドライバの昇圧ノードに接続します。このピンとTGSHピン、TGSLピンを組み合わせて、プライマリ・チャンネルの上側MOSFETの状態を検出します。スレーブLT8551では、このピンはREGに接続します。

TGSH（ピン18）：プライマリ・チャンネルの上側ゲート検出回路の入力。マスタLT8551では、このピンはプライマリ・チャンネルの上側MOSFETのゲートに接続します。このピンとTGSRピン、TGSLピンを組み合わせて、プライマリ・チャンネルの上側MOSFETの状態を検出します。スレーブLT8551では、このピンはマスタLT8551のTGBUFピンに接続します。

TGSL（ピン19）：プライマリ・チャンネルの上側ゲート検出回路の下側レール。マスタLT8551では、このピンはプライマリ・チャンネルの上側MOSFETのソースに接続します。このピンとTGSRピン、TGSHピンを組み合わせて、プライマリ・チャンネルの上側MOSFETの状態を検出します。スレーブLT8551では、このピンはグラウンドに接続します。

CLK1、CLK2（ピン21、20）：クロック・ピン。これらの2本のピンを使用して、プライマリ・チャンネルと他の全てのチャンネルを同期させます。詳細については、アプリケーション情報のセクションを参照してください。

BGSH（ピン22）：プライマリ・チャンネルの下側ゲート検出回路のロジック入力。マスタLT8551では、このピンはプライマリ・チャンネルの下側MOSFETのゲートに接続します。このピンを使用して、プライマリ・チャンネルの下側MOSFETの状態を検出します。スレーブLT8551では、このピンはマスタLT8551のBGBUFピンに接続します。

SYNC（ピン23）：スイッチング周波数を外部クロックに同期させるには、単にこのピンをクロックで駆動します。クロックの電圧ハイ・レベルは1.2Vを超えなければならず、電圧ロー・レベルは0.8Vより低くなければなりません。このピンを0.8V未満にすると、内部自走クロックに戻ります。標準的応用例のセクションを参照してください。

PHS1、PHS2（ピン25、24）：フェーズ選択ピン。これらのピンとPHS3およびRT/MSピンを組み合わせて、各チャンネルのスイッチング周波数と位相を設定します。PHS1とPHS2は3レベル入力ピンであり、フロート状態、REG、またはグラウンドに設定できます。PHS1/PHS2がフロート状態のときは、PHS1/PHS2とグラウンドの間に1nFコンデンサを追加します。詳細については、動作のセクションを参照してください。

ピン機能

RT/MS（ピン26）：タイミング抵抗ピンおよびマスタ・スレーブ選択ピン。このピンとPHS1、PHS2およびPHS3ピンを組み合わせて、各チャンネルのスイッチング周波数と位相を設定します。このピンとグラウンドの間に抵抗を接続すると、チップはマスタLT8551として設定されます。このピンをREGピンに接続すると、チップはスレーブLT8551として設定されます。詳細については、アプリケーション情報のセクションを参照してください。

ILIM（ピン27）：最大電流検出電圧プログラミング・ピン。このピンを使用して、プライマリ・チャンネルの電流検出アンプと拡張チャンネルの電流検出アンプの最大検出電圧を設定します。これは3レベル入力ピンです。このピンをグラウンドに接続するか、REGに接続するか、フロート状態のままにしておくと、最大電流検出電圧はそれぞれ30mV、60mV、90mVに設定されます。ILIMがフロート状態のときは、ILIMとグラウンドの間に1nFコンデンサを追加します。

ENOUT（ピン28）：マスタLT8551では、このピンはオープンドレインのロジック出力ピンです。スレーブLT8551では、このピンは入力ピンです。詳細については、ENOUTの接続のセクションを参照してください。

V_{CC}（ピン29）：制御回路用の電源。このピンは、1µF以上の低ESRセラミック・コンデンサを使用してグラウンドにデカップリングします。V_{CC}とREGは1Ω抵抗を介して接続する必要があります。

MODE（ピン30）：ステージ・シェディング選択ピン。このピンをGNDに接続すると、ステージ・シェディング機能が無効になります。詳細については、動作のセクションを参照してください。

$\overline{SHDN}$（ピン31）：シャットダウン・ピン。このピンを使用して、チップをイネーブル／ディスエーブルします。チップをディスエーブルするには、0.3Vより低い電圧で駆動します。チップを起動するには、1.2V（標準）より高い電圧で駆動します。このピンはフロート状態にしないでください。

IAMPN（ピン32）：マスタLT8551では、このピンはローカル・グラウンドに接続します。スレーブLT8551では、このピンはマスタLT8551のIAMPNに接続します。詳細については、アプリケーション情報のセクションを参照してください。

IAMPP（ピン33）：マスタLT8551では、このピンは出力ピンです。これはプライマリ・チャンネルの電流検出アンプ出力のバッファリングされた信号です。スレーブLT8551では、このピンは入力ピンです。複数のLT8551デバイスを使用する場合は、全てのIAMPPピンを一緒に接続します。詳細については、アプリケーション情報のセクションを参照してください。

ISP（ピン35）：プライマリ・チャンネルの電流検出アンプの入力。電流検出アンプへの（+）入力は、通常はDCR検出回路ネットワークまたは電流検出抵抗に接続されます。このピンはマスタLT8551でのみ使用されます。スレーブLT8551では、このピンはグラウンドに接続します。

ISN（ピン34）：プライマリ・チャンネルの電流検出アンプの入力。電流検出アンプへの（–）入力は、通常はDCR検出回路ネットワークまたは電流検出抵抗に接続されます。このピンはマスタLT8551でのみ使用されます。スレーブLT8551では、このピンはグラウンドに接続します。

REGSNS（ピン40）：REG LDOの電圧検出ピン。このピンはプライマリ・チャンネルのゲート・ドライバ電源ピンに接続します。

PHS3（ピン41）：フェーズ選択ピン。このピンとPHS1、PHS2、およびRT/MSピンを組み合わせて、各チャンネルのスイッチング周波数と位相を設定します。PHS3はREGまたはグラウンドに接続します。詳細については、動作のセクションを参照してください。

NC（ピン42）：未接続。このピンはフロート状態のままにしておくか、隣接するピンに接続します。

ISN1、ISN2、ISN3、ISN4（ピン44、36、45、38）：拡張チャンネルの電流検出アンプの（–）入力。電流検出アンプへの（–）入力は、通常はDCR検出回路ネットワークまたは電流検出抵抗に接続されます。

ISP1、ISP2、ISP3、ISP4（ピン43、37、46、39）：拡張チャンネルの電流検出アンプの（+）入力。電流検出アンプへの（+）入力は、通常はDCR検出回路ネットワークまたは電流検出抵抗に接続されます。

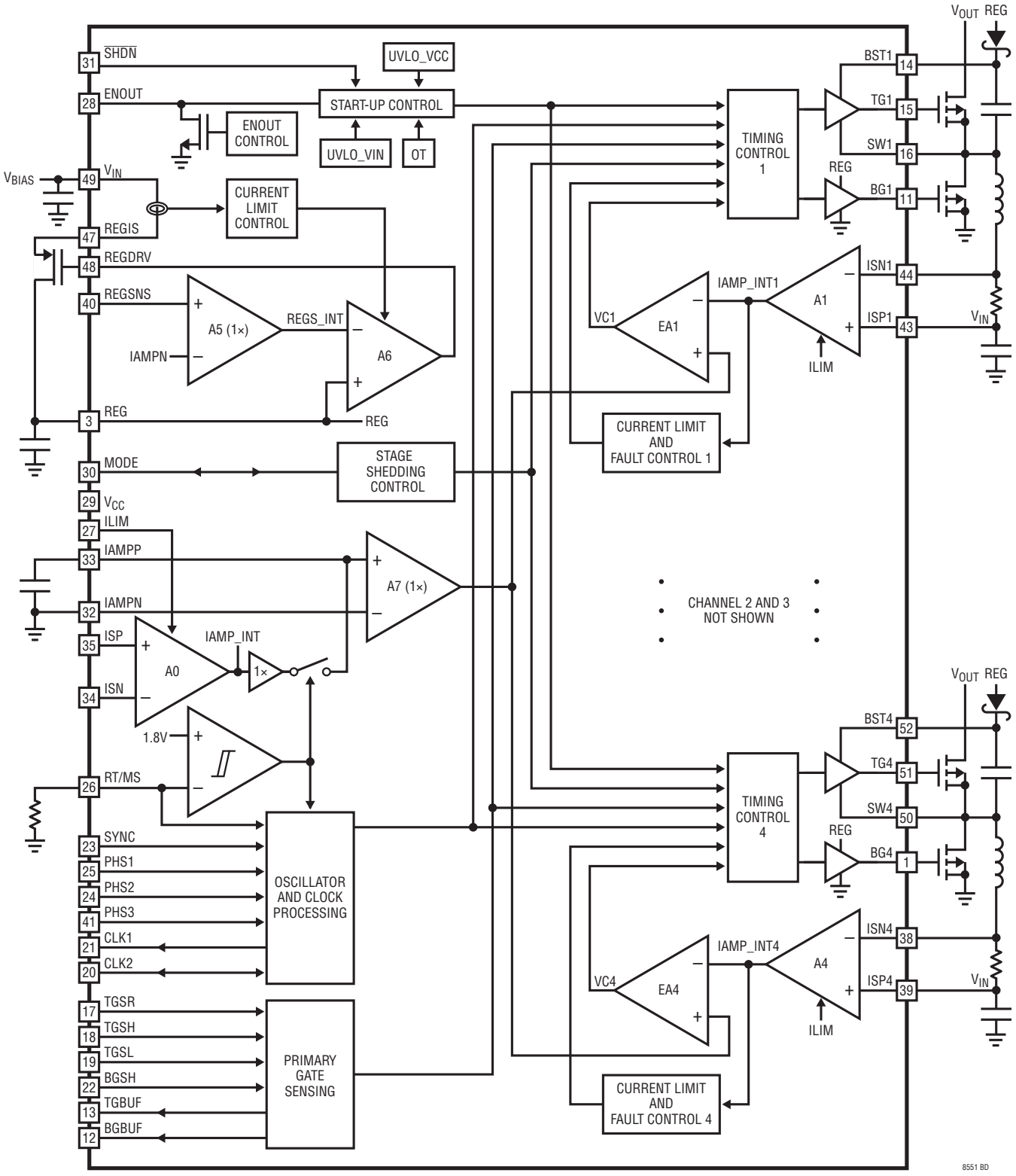
REGIS（ピン47）：REG LDOの電流検出ピン。このピンは外部PMOSのソース側に接続します。

REGDRV（ピン48）：REG LDOのゲート・ドライバ出力。このピンは外部PMOSのゲートに接続します。

V_{IN}（ピン49）：入力電源ピン。このピンは、短距離でグラウンドにバイパスする必要があります。

GND（露出パッド・ピン53／ピン27）：グラウンド。このピンは、近くのグラウンド・プレーンに直接接続します。

ブロック図


VOUT REG
SHDN
UVLO_VCC
START-UP CONTROL
ENOUT
ENOUT CONTROL
UVLO_VIN
OT
VBIAS
VIN
CURRENT LIMIT CONTROL
REGIS
REGDRV
REGSNS
A5 (1×)
REGS_INT
IAMPN
A6
REG
MODE
STAGE SHEDDING CONTROL
VCC
ILIM
IAMPP
IAMPN
A7 (1×)
ISP
IAMP_INT
A0
1×
ISN
1.8V
RT/MS
SYNC
PHS1
PHS2
PHS3
CLK1
CLK2
OSCILLATOR AND CLOCK PROCESSING
TGSR
TGSH
TGSL
BGSH
TGBUF
BGBUF
PRIMARY GATE SENSING
TIMING CONTROL 1
BST1
TG1
SW1
BG1
VC1
EA1
IAMP_INT1
A1
ISN1
ISP1
CURRENT LIMIT AND FAULT CONTROL 1
CHANNEL 2 AND 3 NOT SHOWN
TIMING CONTROL 4
BST4
TG4
SW4
BG4
VC4
EA4
IAMP_INT4
A4
ISN4
ISP4
CURRENT LIMIT AND FAULT CONTROL 4
8551 BD

動作

はじめに

LT8551は、同期整流式昇圧コントローラ用のマルチフェーズ・エクスパンダです。各LT8551が8つのゲート・ドライバを内蔵し、最大4フェーズまで拡張可能です。複数のLT8551デバイスを1つのシステムに使用した場合、最大18の異なるフェーズをサポートします。更に、このデバイスは1つの位相角につき2フェーズ以上をサポートします。

アナログ・デバイセズ独自の制御アーキテクチャにより、LT8551は(プライマリ・コントローラと呼ばれる)昇圧コントローラの動作をサイクルごとに複製します。LT8551は、プライマリ・コントローラのインダクタ電流とプライマリ・コントローラのゲート・ドライバの動作タイミングを測定し、それと同時に各拡張チャンネルの電流を正確に監視および調整して、優れたDCおよび過渡電流分担を実現します。電流分担の精度は、ILIMをREGに接続した場合は全温度範囲で±6%、フロート状態にした場合は±6%、GNDに接続した場合は±10%です。

通常動作では、EA(ブロック図のEA1/2/3/4)により、プライマリ昇圧レギュレータのスイッチ電流と拡張チャンネルのスイッチ電流が比較されます。プライマリ・チャンネルの電流が増えると、VC(ブロック図のVC1/2/3/4)の電圧も高くなります。これによって拡張チャンネルのスイッチが制御され、プライマリ・チャンネルの電流に一致するまで、拡張チャンネルの電流を増加させます。

複数のLT8551デバイスを使用するシステム

1個のLT8551は最大4チャンネルまで拡張可能です。この構成により、ほとんどの大電流アプリケーションに十分な電力を供給できます。更に大電力のアプリケーションでは、LT8551をマルチチップ動作に構成できます。1つのシステムに2つ以上のLT8551デバイスを使用する場合、1つのLT8551がマスタになり、その他のLT8551デバイスがスレーブになります。RT/MSピンとグラウンドの間に抵抗を接続すると、そのチップはマスタとして設定されます。RT/MSピンをREGに接続すると、そのチップはスレーブとして設定されます。LT8551を1つだけ使用するシステムでは、そのLT8551をマスタとして設定する必要があります。

ステージ・シェディング・モード

MODEピンはステージ・シェディング機能専用です。MODEピンは、マスタLT8551では出力ピンになり、スレーブLT8551では入力ピンになります。

マスタLT8551では、MODEピンがフロート状態になっている場合、LT8551は軽負荷時にステージ・シェディング・モードで動作します。この場合、(ISP–ISN)のピーク電圧が、ある時間の間、特定の値より低いと、デバイスはチャンネル1と3をオフにして全体的な効率を向上させます。チャンネル1と3をオフにした後、(ISP–ISN)のピーク電圧が、ある時間の間、特定の値より低いと、デバイスはチャンネル4もオフにして、チャンネル2だけを動作させます。双方向アプリケーションでは、電流が逆方向で調整されるときにステージ・シェディングを無効にする必要があります。MODEピンの電圧を0.5Vより低くすると、ステージ・シェディング機能は無効になります。

複数のLT8551デバイスを使用するシステムでステージ・シェディング機能を使用する場合は、全てのLT8551のMODEピンを一緒に接続して、フロート状態のままにする必要があります。マスタLT8551は、(ISP–ISN)の電圧を検出し、適切な動作を決定します。スレーブLT8551デバイスは、若干の遅延の後、マスタLT8551のステージ・シェディング動作に追従します。全てのLT8551のMODEピンの電圧を0.5Vより低くすると、ステージ・シェディング機能は無効になります。

クロック方式

ここでは、複数のLT8551を使用するシステムでのLT8551のクロック方式を説明します。スレーブLT8551デバイスを無視することにより、このクロック方式は、LT8551を1つだけ使用するシステムにも簡単に応用できます。

マスタLT8551は、CLK1とCLK2の2つのクロック信号を生成します。複数のLT8551を使用するシステムでは、図1に示すように、全てのLT8551デバイスのCLK2ピンを一緒に接続する必要があります。CLK1信号の周波数は基本スイッチング周波数です(詳細については、内部発振器のセクションと、SYNCピンとクロック同期のセクションを参照してください)。

動作

この信号を使用して、プライマリ昇圧コントローラとスレーブを同期させます(図1)。通常動作では、CLK2の周波数は、図2に示すように、CLK1の周波数に、異なる位相の総数(TDPN:Total Distinct Phase Number)を掛けた値になります。図2でCLK2パルスの上に示した数は、位相角番号(PAN:Phase Angle Number)と呼ばれます。

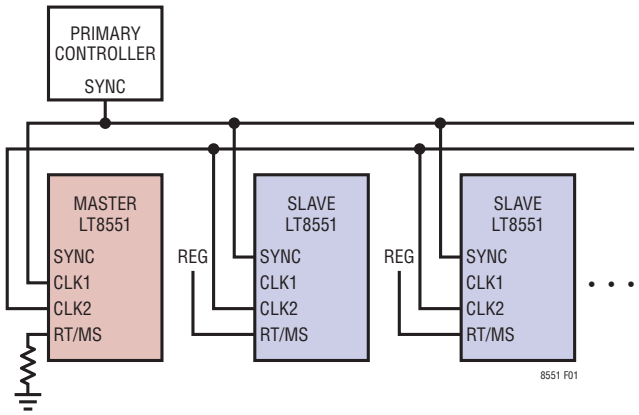


図1. 複数のLT8551を使用するシステムのクロック構成

異なる位相の総数は、表1に従って、マスタLT8551のPHS1、PHS2、およびPHS3ピンによって設定されます。チップ内には遅延ロック・ループ(DLL)があり、プライマリ・コントローラのBG(下側ゲート)の立上がりエッジを、位相角番号がTDPNに等しいパルスに強制的に揃えます(図2)。

各拡張チャンネルは、CLK1の1クロック・サイクルの中でCLK2から1つのパルスを選択します。この選択されたパルスの立上がりエッジは、非常に短い遅延で、対応するチャンネルの下側ゲートのターンオン・エッジに揃えられます。マスタLT8551のチャンネル1～チャンネル4は、それぞれ位相角番号が1～4に等しいパルスを常に選択します。スレーブLT8551の4つのチャンネルは、4つの連続する位相角番号のパルスを選択します。スレーブLT8551のチャンネル1のパルスの位相角番号は、表1に従って、PHS1、PHS2およびPHS3ピンでも設定されます。スレーブLT8551のチャンネル2、チャンネル3およびチャンネル4は、次の連続する3つの位相角番号のパルスを使用します。LT8551

例として、表2に、2つのLT8551を使用するシステムのPHS1、PHS2およびPHS3の接続を示します。このシステムは、プライマリ・コントローラの位相を含めて合計9フェーズを提供します。プライマリ・コントローラはCLK1信号を使用します。8つの拡張チャンネルが使用するクロックを図3に示します。

プライマリ・コントローラが1つ以上のパルスをスキップすると、拡張チャンネルも同じ数のパルスをスキップします。この機能はCLK2によって実現されます。図4に示すように、プライマリ・コントローラが1つのBGパルスをスキップすると、CLK2も1～TDPNの位相番号を持つパルスのグループをスキップします。

表1. 異なる位相の総数(TDPN)と位相角番号(PAN)の設定表

PHS3	PHS2	PHS1	マスタのTDPN	スレーブのチャンネル1パルスのPAN
GND	GND	GND	NA	1
GND	GND	REG	2	2
GND	GND	Floating	3	3
GND	REG	GND	4	4
GND	REG	REG	5	5
GND	REG	Floating	6	6
GND	Floating	GND	7	7
GND	Floating	REG	8	8
GND	Floating	Floating	9	9
REG	GND	GND	10	10
REG	GND	REG	11	11
REG	GND	Floating	12	12
REG	REG	GND	13	13
REG	REG	REG	14	14
REG	REG	Floating	15	15
REG	Floating	GND	16	16
REG	Floating	REG	17	17
REG	Floating	Floating	18	18

表2. 9フェーズ・アプリケーションの設計例

	PHS3	PHS2	PHS1	チャンネル1、2、3、4のPAN
Master LT8551	GND	Floating	Floating	1, 2, 3, 4
Slave LT8551	GND	REG	REG	5, 6, 7, 8

動作

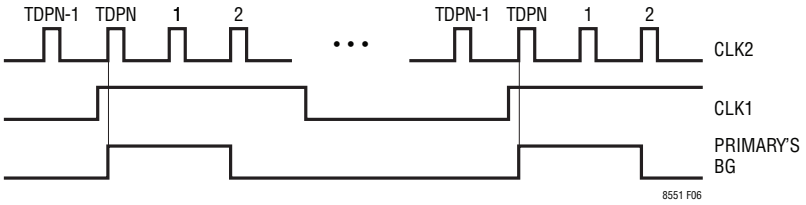


図2. CLK1、CLK2およびプライマリ・コントローラのBG

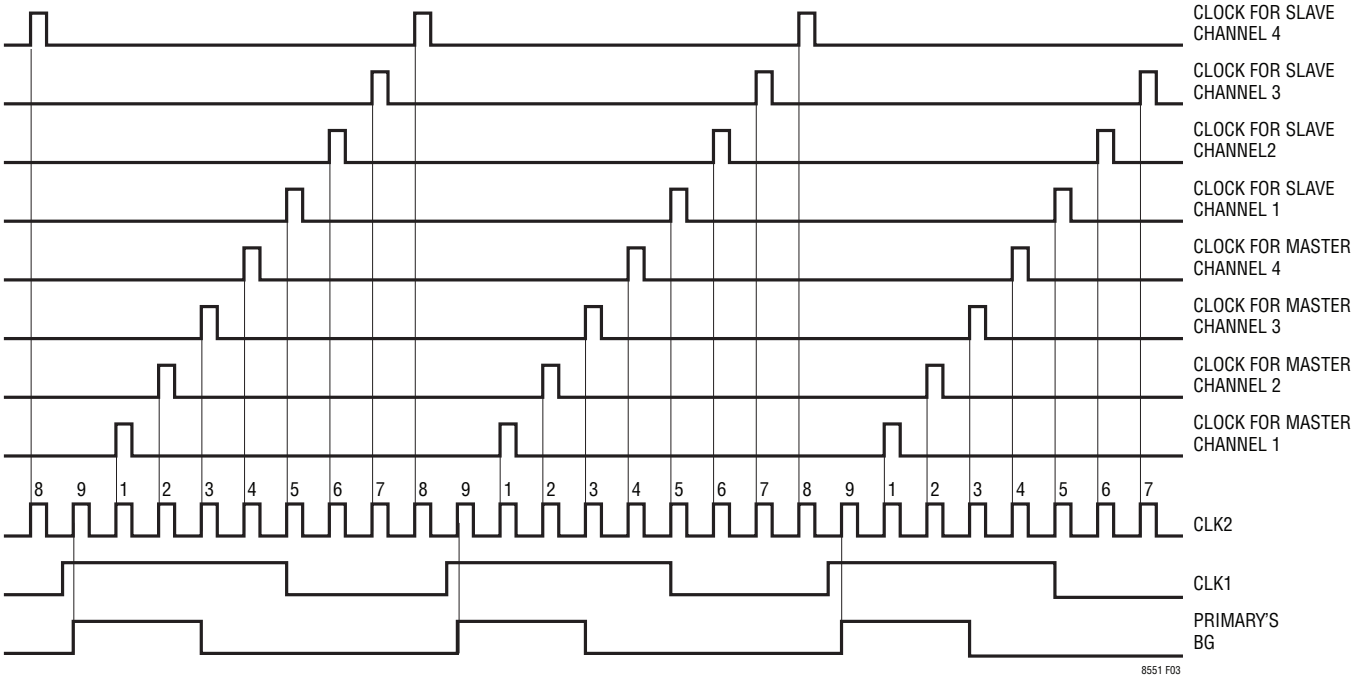


図3. 2つのLT8551を使用するシステムのクロック波形

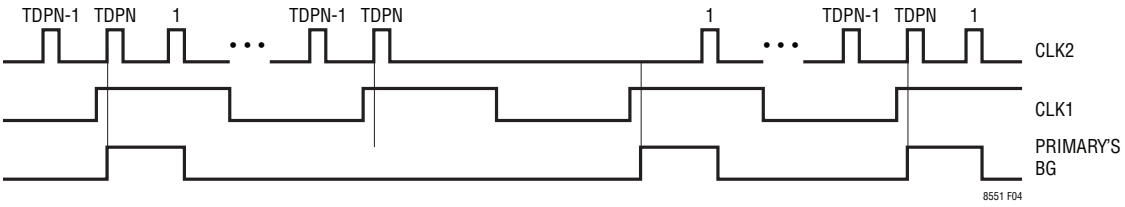


図4. パルスをスキップした場合のCLK1、CLK2およびプライマリ・コントローラのBG波形

動作

プライマリ・コントローラのスイッチ状態の検出

ここでは、複数のLT8551デバイスを使用するシステムについて説明します。1つのLT8551を使用するシステムでは、この説明のスレーブLT8551デバイスを無視してください。

プライマリ・コントローラのスイッチの状態はマスタLT8551によって検出され、マスタLT8551デバイスとスレーブLT8551デバイスの両方がこの情報を使用します。

プライマリ・コントローラの上側スイッチの状態は、図5に示すように、マスタLT8551のTGSR、TGSH、およびTGSLピンによって検出されます。このトップ・ゲートのフローティング・ロジック信号は、グラウンド・ベースのロジック信号に変換され、TGBUFピンに出力されます。マスタLT8551のTGBUFは、図5に示すように、下流のスレーブのTGSHに接続されます。スレーブのTGSRとTGSLは、それぞれREGとGNDに接続されます。(TGSR–TGSL)の電圧が2.3V(代表値)より低い場合は、マスタLT8551とスレーブLT8551の両方のTGBUFピンが強制的にグラウンドに引き下げられます。詳細については、アプリケーション情報のセクションを参照してください。

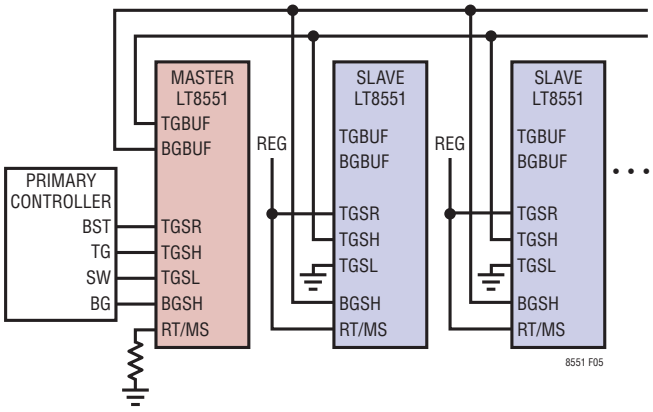


図5. 複数のLT8551を使用するシステムのゲート・センシング

プライマリ・コントローラの下側スイッチの状態の検出にも、図5に示すのと同様の手法が使用されます。プライマリ・コントローラのBGはグラウンド・ベースの信号であるため、プライマリ・コントローラのBGの検出に必要なピン(BGSH)は1本だけです。マスタLT8551がプライマリ・コントローラのスイッチ状態をスレーブに渡すため、プライマリ・コントローラのBST、TG、SWおよびBGのノイズの多い信号を基板上で転送する必要はありません。

プライマリ・コントローラのインダクタ電流の検出

ここでは、複数のLT8551デバイスを使用するシステムについて説明します。1つのLT8551を使用するシステムでは、この説明のスレーブLT8551デバイスを無視してください。

プライマリ・コントローラのインダクタ電流はマスタLT8551によって検出され、マスタLT8551デバイスとスレーブLT8551デバイスの両方がこの情報を使用します。

図6に示すように、プライマリ・コントローラのインダクタ電流は、マスタLT8551のISPピンとISNピンによって検出されます。この信号は増幅され、マスタLT8551のIAMPPピンに出力されます。安定性を維持するために、IAMPPとGNDの間にコンデンサが必要です。総容量は100pF～470pFの範囲内にします。スレーブLT8551では、ISPピンとISNピンは使用されず、グラウンドに接続する必要があります。IAMPPは入力ピンになります。プライマリ・コントローラのインダクタ電流の情報をマスタLT8551デバイスからスレーブLT8551デバイスに渡すために、全てのLT8551デバイスのIAMPPピンとIAMPNピンはそれぞれ一緒に接続されます。IAMPNピンは、マスタLT8551のローカル・グラウンドに接続されます。IAMPPピンとIAMPNピンは、ユニティ・ゲイン差動検出アンプ(ブロック図のA7)の入力に接続されます。詳細については、アプリケーション情報のセクションを参照してください。

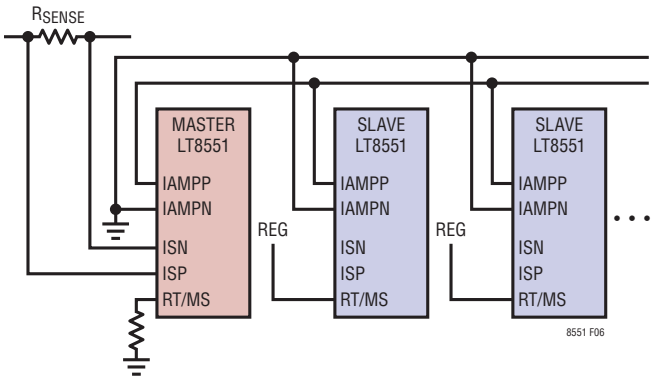


図6. 複数のLT8551を使用するシステムでのプライマリ・レギュレータのスイッチ電流の検出

プライマリ・コントローラのインダクタ電流検出抵抗両端の信号は、わずか数十mVです。増幅された電流信号がマスタからスレーブに渡されるため、ノイズにセンシティブな小信号を基板上で転送する必要はなくなります。

動作

電流の検出ゲイン、制限、および障害

5つの電流アンプ(ブロック図のA0～A4)のゲインには、ILIMピンによって設定される3つのゲイン・レベルがあります。ILIMピンをGND／REG／フロート状態に接続すると、ゲインはそれぞれ33.3/16.7/11.1に設定されます。これらのアンプの出力は(ブロック図の) IAMP_INT/IMAP_INTxと呼ばれます。IAMP_INT/IAMP_INTxと(ISP-ISN)/(ISPx-ISNx)の関係を図7に示します。1.4Vのオフセットがあります。拡張チャンネルについては、図8に示すように、IAMP_INTxの値によって電流制限と電流障害が決まります。

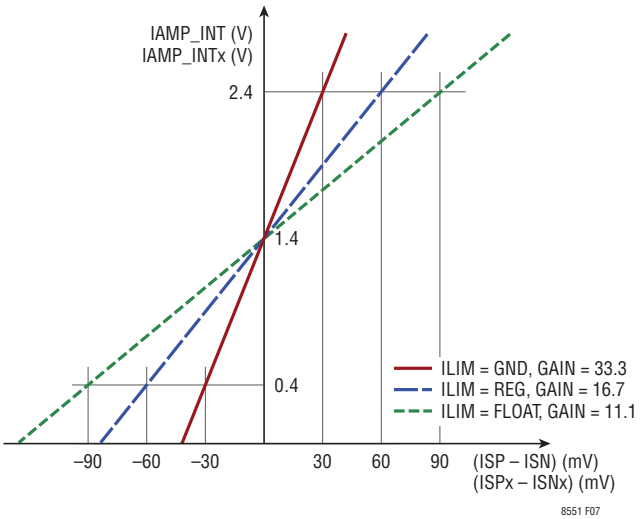


図7. 3つの異なるゲインでの電流検出アンプの出力と入力

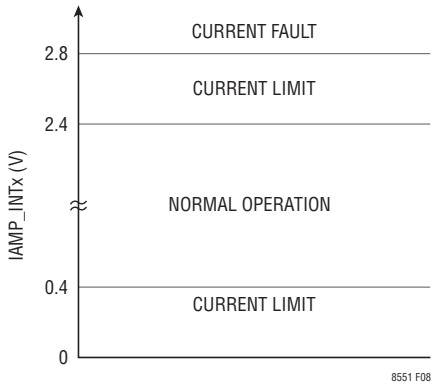


図8. IAMP_INTxの電圧と電流制限および電流障害

IAMP_INTxが2.4Vに達したが2.8Vより低い場合、または0.4V未満に低下した場合、対応するチャンネルは電流制限状態に移行します。電流制限状態が検出されると、対応するチャンネルのBGxとTGxは両方とも直ちにローに引き下げられます。電流制限状態の解消後、次のクロックの立上がりエッジで、チャンネルはスイッチングを再開します。電流制限に対応する(ISPx–ISNx)の電圧を図7に示します。

IAMP_INTxが2.8Vに達すると、対応するチャンネルは電流障害状態に移行します。電流障害状態が検出されると、対応するチャンネルは障害シーケンスに移行します。詳細については、障害シーケンスのセクションを参照してください。

シャットダウンと起動

図9は、LT8551の起動シーケンスを示しています。このチップのシャットダウン・ピンは$\overline{\text{SHDN}}$です。このピンの電圧を0.3Vより低くすると、チップはディスエーブルされ(チップ・オフ・ステート)、自己消費電流が最小になります。$\overline{\text{SHDN}}$の電圧を高くすると自己消費電流は増えますが、REG LDOがイネーブルされた後、$\overline{\text{SHDN}}$が1.15V(代表値)より高くなるまで、チップはイネーブルされません(スイッチャ・オフ・ステート)。

VCCが3.55V(代表値)を超えて上昇し、ENOUTが2.1V(代表値)より高くなった後、スイッチング・レギュレータが起動します。マスタLT8551では、ENOUTはオープンドレイン・ピンです。VCCが3.55Vより低くなると、ENOUTはGNDに引き下げられ、スイッチングはディスエーブルされます。スレーブLT8551では、ENOUTは常に高インピーダンス入力ピンです。

障害シーケンス

IAMP_INTxが2.8Vより高くなると(LT8551の障害条件)、LT8551は障害シーケンスを開始します(図9を参照)。障害イベントはチャンネルに依存しません。つまり、1つのチャンネルで発生した障害状態は、他のチャンネルに直接影響を与えません。特定のチャンネルでいずれかの障害条件が発生すると、対応するチャンネルのゲート・ドライバの出力がローに引き下げられます。LT8551のいずれかのチャンネルがラッチ・オフ・モード(図9を参照)に移行した場合、そのチャンネルを再アクティブ化するには、チップ全体を再起動する必要があります。

動作

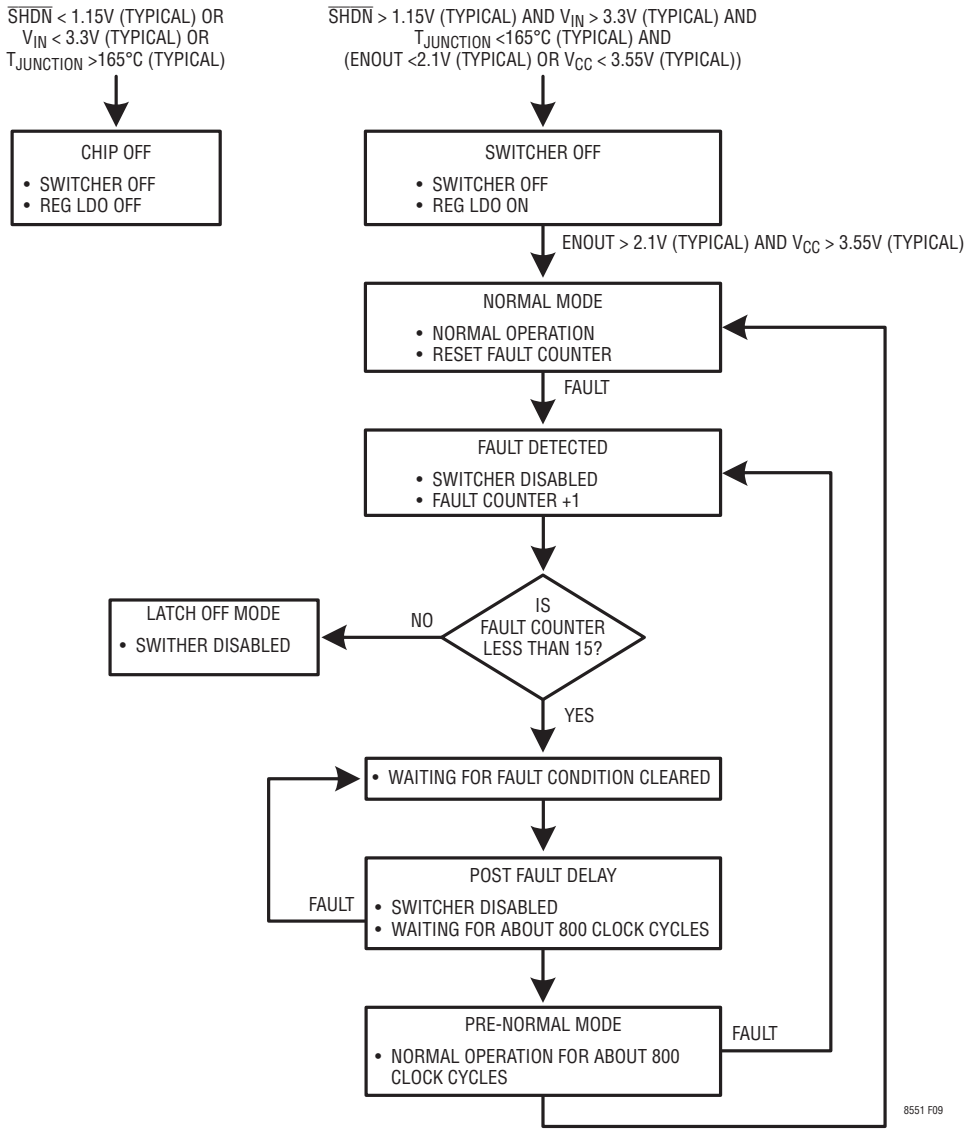


図9. 起動シーケンスと障害シーケンス

ENOUTの接続

マスタLT8551では、このピンはオープンドレインのロジック出力ピンです。マスタLT8551のENOUTピンは、スイッチングの準備が完了していないときはグラウンドに引き下げられます。スレーブLT8551では、このピンは入力ピンです。マスタLT8551デバイスとスレーブLT8551デバイスのいずれも、ENOUTピンが2.1V(代表値)より低くなると、ゲート・ドライバのスイッチング動作はディスエーブルされます。

マスタLT8551のスイッチングの準備が完了していないときは、プライマリ・コントローラとスレーブLT8551デバイスのスイッチング動作をディスエーブルすることを推奨します。図10に推奨構成の例を示します。

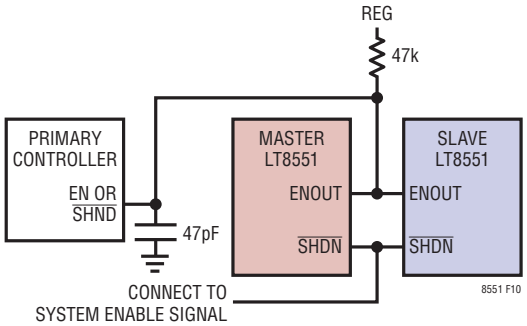


図10. 推奨されるENOUTの接続

アプリケーション情報

REG LDOとVCCの電力

REG LDOは、ゲート・ドライバとCLK1、CLK2、TGBUFおよびBGBUFの出力段に電力を供給します。$\overline{SHDN}$ピンの電圧が1.15Vより高くなると、図11に示すように、(REGSNS – IAMPN)の電圧が4Vより低い場合、4Vより高いが5.25Vより低い場合、または5.25Vより高い場合、REGの電圧は、それぞれ4V(代表値)、(REGSNS – IAMPN)の電圧、V_{IN}から5.25V(代表値)に安定化されます。REGピンは、REGピンの近くに配置される少なくとも4.7µF以上のX5RまたはX7Rセラミック・コンデンサを使用して、電源グラウンドにバイパスする必要があります。

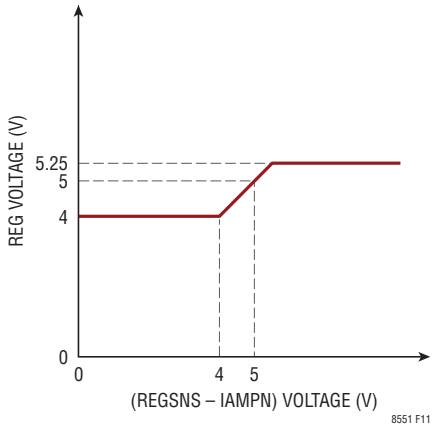
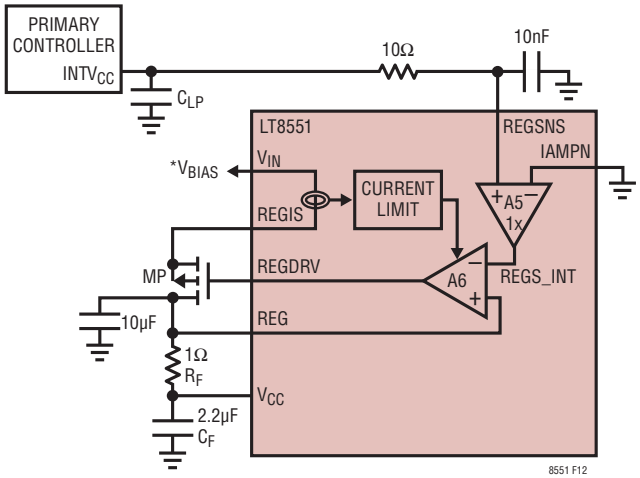


図11. REGの電圧とREGSNSの電圧

V_{CC}はほとんどの内部回路の電源であり、図12に示すように、REGのスイッチング・ノイズを除去するための外部フィルタ(R_F、C_F)を介してREGに接続されます。このフィルタはV_{CC}ピンの近くに配置する必要があり、R_F = 1Ω、C_F = 1µF(代表値)が推奨されます。V_{CC}が3.55V(代表値)より低くなると、内部UVLOコンパレータがLT8551のスイッチング動作をディスエーブルします。

プライマリ・コントローラのINTVCCの検出

図12に示すように、プライマリ・コントローラのゲート・ドライバの電源はINTVCCです。プライマリ・コントローラのINTVCCの電圧は、フィルタリング後に図12の差動ユニティ・ゲイン・アンプA5によって検出され、REG LDOのリファレンス電圧としてREGS_INTにバッファリングされます。A5の(–)がIAMPNに接続されることに注意してください。プライマリ・コントローラのインダクタ電流の検出のセクションで説明したように、マスタLT8551のIAMPNとスレーブLT8551のIAMPNは、いずれもマスタLT8551のローカル・グラウンドに接続されます。マスタのローカル・グラウンドとプライマリ・コントローラのローカル・グラウンドの電圧にはわずかに差があるため、若干の誤差が生じることがあります。この誤差を最小限に抑えるために、マスタLT8551はプライマリ・コントローラの近くに配置する必要があります。



*LOWER VOLTAGE (V_{BIAS}) CAN BE USED FOR V_{IN} PIN TO REDUCE THERMAL STRESS INSTEAD OF USING THE SUPPLY FOR THE POWER STAGE

図12. REG LDOの構成

REG LDOの電流制限と外部パワーPMOSの選択

過電流保護回路は、REG LDOから流れる最大電流を制限します。起動時または過負荷状態でV_{CC}の電圧が3.3Vより低い場合、電流制限値は標準で約110mAです。REGの電圧が3.55Vより高い場合は、図13に示すように、電流制限値はV_{IN}の電圧によって決まります。V_{IN}の電圧が13.6Vより低い場合、電流制限値は約220mAです。30Vより高い場合、電流制限値は約100mAです。V_{IN}の電圧が13.6V～30Vの場合、電流制限値はV_{IN}の電圧に反比例し、外部パワーPMOSの最大消費電力を制限します。外部PMOSの消費電力は次式で計算できます。

$$P = (V_{BIAS} - REG) \bullet I_{LDO}$$

ここで、V_{BIAS}(V_{IN}ピンの電圧)はLT8551のチップ電源、I_{LDO}は特定のアプリケーションでREG LDOから流れる電流です。次式を使用してPMOSのジャンクション温度を計算し、T_Jの計算値とメーカーのデータシートを比較して、PMOSが過熱しないように適切なPMOSを選択します。

$$T_J = T_A + P \bullet R_{TH(JA)} \quad (1)$$

アプリケーション情報

ここで、

T_J はPMOSのジャンクション温度、

T_A は周囲温度、

Pは PMOSの消費電力です。

$R_{TH(JA)}$ は接合部から周囲の空気までのMOSFETの熱抵抗です。該当メーカーのデータシートを参照してください。

外部PMOSの消費電力を削減するために、特に高入力電圧アプリケーションでは、パワー段と同じ電源を共有する代わりに、低電圧の補助電源（V_{BIAS}）を使用してチップに電源を投入することを推奨します。熱ストレスを緩和するには、基板上にPMOS用の十分に大きい銅領域が必要です。

また、ループの安定性を確保するために、Qg < 40nCのPMOSを選択することを推奨します。

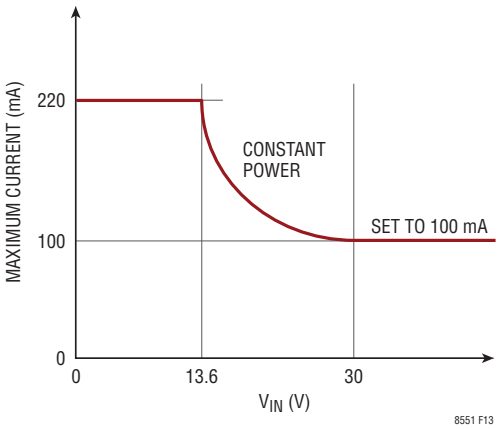


図13. REG LDOの電流制限とV_{BIAS}の電圧

動作周波数の選択

エクスパンダ・システム（プライマリ・コントローラとLT8551デバイス）は、マスタLT8551によって決定される100kHz～1MHzの範囲の固定周波数を採用します。図1に示すように、マスタLT8551のCLK1ピンとプライマリ・コントローラおよびスレーブLT8551のSYNCピンを接続することにより、プライマリ・コントローラとスレーブLT8551デバイスはマスタLT8551に同期します。ノイズを最小限に抑えるために、マスタのCLK1と各プライマリ・コントローラまたはスレーブのSYNCピンの間にRCフィルタを追加することを推奨します。R = 10Ω、C = 220pF（代表値）のRCフィルタをSYNCピンの近くに配置します。

周波数は内部発振器によって設定するか、外部クロック信号源に同期させることができます。スイッチング周波数を選択する際は、効率と部品サイズの兼ね合いを考慮に入れます。低周波数動作は、MOSFETのスイッチング損失を低減して効率を向上させますが、出力リップル電圧を低く保つにはより大きなインダクタンスや容量（あるいは両方）が必要になります。スイッチング周波数を設定するには、RT/MSピンとグラウンドの間に適切な抵抗を配置し、SYNCピンをローまたはハイに接続します。この周波数はSYNCピンを駆動する外部クロック信号源に同期させることもできます。以降のセクションでは詳細を説明します。

内部発振器

マスタLT8551の自走スイッチング周波数は、RT/MSピンとグラウンドの間に抵抗を接続し、SYNCピンをロー（<0.8V）またはハイ（>1.2V）にすることにより、内部発振器を使用して設定できます。発振周波数は次式を使って計算されます。

$$f_{OSC} = \frac{25,000}{R_T + 0.15} kHz \quad (2)$$

ここで、f_{OSC} の単位はkHz、R_T の単位はkΩです。逆に、R_T（単位kΩ）は次式を使って目的の周波数（kHz）から計算できます。

$$R_T = \frac{25,000}{f_{OSC}} k\Omega - 0.15k\Omega \quad (3)$$

アプリケーション情報

SYNCピンとクロック同期

LT8551はフェーズ・ロック・ループ(PLL)を備えており、内部発振器を外部クロック信号に同期させることができます。このPLLはエッジに反応するデジタル・タイプで、外部クロックと内部発振器の位相シフトを0°にします。

外部クロック源に適切に同期させるには、外部クロック源の周波数が次の2つの基準を満たしている必要があります。

1. 外部クロック源の周波数が125kHz～1MHzの範囲内である場合にのみ、PLLが正常に動作することが確認されている。
2. 外部クロックの周波数が、RT抵抗によって設定される自走周波数より高い場合にのみ、外部クロックへの同期が可能となる。外部クロックの周波数が、RTによって設定されるfOSCより低い場合は、内部発振器はfOSCで発振する。

プライマリ・コントローラのゲート・センシング・フィルタと分圧器

動作のセクションで説明したように、プライマリ・コントローラの上側および下側スイッチの状態は、マスタLT8551のゲート検出ピン(TGSR、TGSH、TGSL、およびBGSH)によって検出されます。検出された上側ゲート信号と下側ゲート信号は、それぞれマスタLT8551のTGBUFとBGBUFにバッファリングされます。

プライマリ・コントローラのSWノードは高速で遷移するため、プライマリ・コントローラの上側MOSFETの状態を誤って検出しないように、図14に示すように、RCフィルタR_F、C_Fおよび バイパス・コンデンサC_Hを接続する必要があります。長いパターンを使用して上側ゲートを検出する場合は、TGSLピンがグラウンドより低い電圧でリンギングしたり、ピンの絶対最大定格を超えたりしないように、LT8551のTGSLピンの近くにオプションのショットキー・クランプを追加することを推奨します。図14に示すように、プライマリ・コントローラの下側ゲート検出ピンとスレーブLT8551デバイスのゲート検出ピンの両方に、オプションのフィルタを追加することも推奨します。これらのフィルタの時定数は30ns未満にする必要があり、R_F = 20Ω、C = 1nFの代表値を推奨します。

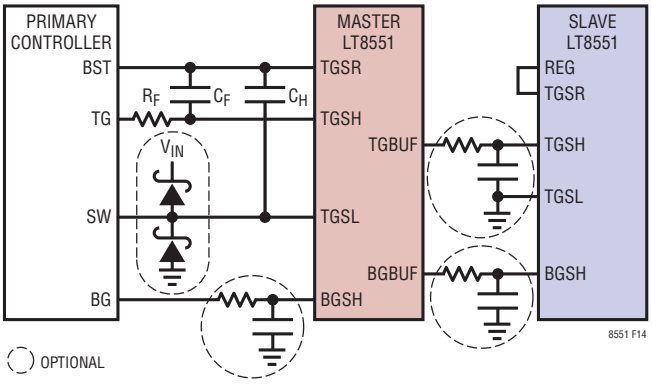


図14. TGSL上のフィルタとショットキー・クランプを使用したゲート・センシング構成

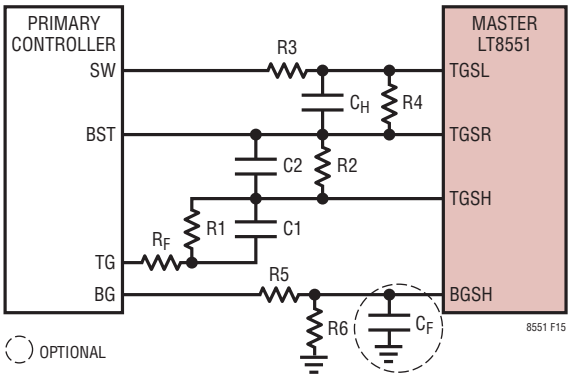


図15. プライマリ・コントローラのゲート駆動レールの電圧が5.5Vより高い場合のゲート・センシング構成

LT8551は、ゲート駆動レールの電圧が5.5Vより低いプライマリ・コントローラと連携させることを推奨します。プライマリ・コントローラのゲート駆動レールの電圧が5.5Vより高い場合は、図15に示すように、抵抗分圧器が必要となります。

次式を使用してゲート・センシングに必要な分圧器とフィルタを設計するか、表3の推奨値を参照してください。

$$\frac{R_F C1C2}{C1+C2} \le 30ns$$

$$\frac{C_F R5 R6}{R5+R6} \le 30ns$$

$$\frac{R2}{R1+R2} = \frac{R4}{R3+R4} = \frac{R6}{R5+R6} = \frac{5.5V}{Primary's\ V_{INTVCC}}$$

$$R1C1 = R2C2$$

アプリケーション情報

表3. ゲート・センシング・フィルタの推奨値

プライマリ・コントローラの $INTV_{CC}$ の電圧(V)	R1 = R3 = R5 (kΩ)	R2 = R4 = R6 (kΩ)	C1 (nF)	C2 (nF)	R_F (Ω)
6.0	4.7	47	10	1.0	22
6.5	10	33	3.3	1.0	27
7.0	10	22	2.2	1.0	30
7.5	10	15	1.0	0.68	47
8.0	10	15	1.0	0.68	47
9.0	10	13	1.0	0.68	47
9.5	9.1	13	1.0	0.68	47
10	10	10	1.0	1.0	43

更に、R1～R6はkΩレンジまたはそれ以上にして、自己消費電流を低減する必要があります。また、SWノードの遷移中にプライマリ・コントローラの上側ゲートの状態を正確に検出できるように、C1とC2の容量を1nF～100nFの範囲内にして、C_Hの容量を4.7nFより大きくすることを推奨します。これらの分圧器とフィルタは、基板上でマスタLT8551の近くに配置する必要があります。

パワー段部品の選択ガイドライン

パワー段部品には、入力および出力コンデンサ、インダクタ、パワーNチャンネルMOSFET、およびオプションのショットキー・ダイオードが含まれます。LT8551の各拡張チャンネルは、常にプライマリ・コントローラと全く同じパワー段部品を使用します。以降のセクションで、パワー・デバイスの選択の簡単なガイドラインを示します。詳細については、プライマリ・コントローラのデータシートを参照してください。

インダクタの選択

高効率を実現するには、フェライトなど、コア損失の小さなインダクタを選択します。また、I^2R損失を減らすため、インダクタはDC抵抗が低く、飽和せずにピーク・インダクタ電流を扱えるものにします。放射ノイズを最小限に抑えるため、トロイド、ポットコア、またはシールド付きボビン・インダクタを使用します。

インダクタの選択は、最大平均負荷電流およびインダクタの電流リップルと相互に関連しています。すなわち、インダクタは飽和しないようピーク電流より大きな規格と、電流リップルを要求に抑えられる大きさが必要です。これによりピーク・インダクタ電流に制限される、最大平均負過電流を取り出すことができます。

パワーMOSFETおよびショットキー・ダイオード(オプション)の選択と効率に関する検討事項

パワーMOSFETを選択する際の重要なパラメータには、オン抵抗($R_{DS(ON)}$)、ミラー容量(C_{MILLER})、BV_{DSS}(すなわち、ドレイン-ソース・ブレークダウン電圧)、最大出力電流などがあります。これらのパラメータは全てメーカーのデータシートに記載されています。ゲート駆動電圧はREG LDOによって設定されます(代表値5V)。したがって、LT8551にはロジック・レベル(5V)のMOSFETを使用する必要があります。

パワーMOSFETの選択では、消費電力を考慮することが非常に重要です。最も効率の高い回路には、消費電力が最小のMOSFETが採用されます。デバイスを損傷する可能性がある過熱を防止するため、消費電力を制限する必要があります。LT8551が連続モードで動作しているとき、上側MOSFETと下側MOSFETのデューティ・サイクルは、以下の式で与えられます。

$$\text{Main Switch Duty Cycle} = \frac{V_{OUT} - V_{IN}}{V_{OUT}}$$

$$\text{Synchronous Switch Duty Cycle} = \frac{V_{IN}}{V_{OUT}}$$

最大出力電流が$I_{OUT(MAX)}$場合、最大出力電流でのMOSFETの消費電力は、以下の式で与えられます。

$$P_{MAIN} = \frac{(V_{OUT} - V_{IN})V_{OUT}}{V_{IN}^2} \bullet I_{OUT(MAX)}^2 \bullet (1+\delta) \bullet R_{DS(ON)} + k \bullet V_{OUT}^3 \bullet \frac{I_{OUT(MAX)}}{V_{IN}} \bullet C_{MILLER} \bullet f$$

$$P_{SYNC} = \frac{V_{IN}}{V_{OUT}} \bullet I_{OUT(MAX)}^2 \bullet (1+\delta) \bullet R_{DS(ON)}$$

I^2R損失は両方のMOSFETに共通していますが、下側のNチャンネルMOSFETの式には遷移損失の項が追加されており、これは入力電圧が低いときに最も大きくなります。V_{IN}が高い場合、大電流での効率は一般に大型のMOSFETを使用すると向上しますが、V_{IN}が低い場合は遷移損失が急激に増加するので、実際には$R_{DS(ON)}$が大きくC_{MILLER}が小さいMOSFETを使用した方が効率が高くなります。同期MOSFETの損失は、下側スイッチのデューティ・ファクタが低いときに高入力電圧で最も大きくなります。

アプリケーション情報

MOSFETの(1＋δ)の項は一般に正規化された$R_{DS(ON)}$と温度の曲線で与えられますが、低電圧MOSFETでは近似値として$\delta = 0.005/^{\circ}C$を使用することができます。

消費電力に基づいて、REG LDOの電流制限と外部パワーPMOSの選択のセクションの式(1)を使用してMOSFETのジャンクション温度を計算し、MOSFETが過熱しないように適切なMOSFETを選択します。

上側スイッチに対して並列に接続されたオプションのショットキー・ダイオードは、メイン・スイッチと同期スイッチの導通の間のデッド・タイム中に導通します。これによって、同期スイッチのボディ・ダイオードがオンして電荷を蓄積するのを防止し、逆回復時間を不要にします。逆回復時間があると、全体的な効率が低下することがあります。ショットキー・ダイオードを使用すると、効率は向上しますが、特に高温では、シリコン・ダイオードよりはるかに大きな逆もれ電流が発生します。高い逆電圧と大きな逆電流が組み合わされると、ダイオードが自己加熱することがあります。熱抵抗(θ_{JA})の低いパッケージを選択して、ダイオードの自己発熱を最小限に抑えてください。

C_{IN}とC_{OUT}の選択

昇圧コンバータの入力リップル電流は連続しているので、(出力リップル電流と比較して)相対的に低くなります。入力コンデンサC_{IN}の電圧定格は、ゆとりを持って最大入力電圧を超えるようにします。セラミック・コンデンサは過電圧状態には比較的耐えることができますが、アルミ電解コンデンサはそうではありません。入力コンデンサに過度のストレスを与える可能性のある過電圧トランジェントに関して、入力電圧の特性を必ず評価してください。

C_{IN}の値は信号源インピーダンスの関数で、一般に、信号源インピーダンスが高いほど必要な入力容量が大きくなります。必要な入力容量の大きさはデューティ・サイクルによっても大きく影響されます。高いデューティ・サイクルで動作する大出力電流アプリケーションは、DC電流とリップル電流の両方の点で、入力電源に大きな負担を負わせることがあります。

昇圧コンバータでは出力電流が不連続なので、C_{OUT}は出力電圧リップルを減少させることができなければなりません。与えられた出力リップル電圧に対する適切なコンデンサを選択するには、ESR(等価直列抵抗)とバルク容量の影響について検討する必要があります。単相の昇圧コンバータでのバルク容量の充放電による定常リップル電圧は、次式で与えられます。

$$V_{RIPPLE} = \frac{I_{OUT(MAX)} \bullet \left(V_{OUT} - V_{IN(MIN)}\right)}{C_{OUT} \bullet V_{OUT} \bullet f} V$$

ここで、C_{OUT}は出力フィルタ・コンデンサです。

ESR両端の電圧降下による定常リップルは次式で与えられます。

$$\Delta V_{ESR} = I_{L(MAX)} \bullet ESR$$

ESRおよびRMS電流処理の要件を満たすために、複数のコンデンサを並列に配置する必要がある場合があります。乾式タンタル、特殊ポリマー、アルミ電解およびセラミックの各コンデンサは、全て表面実装パッケージで入手できます。セラミック・コンデンサは優れた低ESR特性を備えていますが、電圧係数が高いことがあります。現在では、低ESRで高リップル電流定格のコンデンサ(例えば、OS-CONやPOSCAPなど)を入手できます。

上側MOSFETドライバの電源(C_{BX}、D_{BX})

外付けブートストラップ・コンデンサC_{BX}は、上側スイッチのゲート駆動電圧を供給します。このコンデンサはBSTxとSWxの間に接続され、SWxピンがローのときにショットキー・ダイオードDBXを介してREGから充電されます。上側のスイッチがオンになると、SWxの電圧はV_{OUT}まで上昇し、BSTxの電圧はV_{OUT}＋REGまで上昇します。昇圧コンデンサは、上側スイッチが必要とするゲート電荷の約100倍の電荷を蓄積する必要があります。大半のアプリケーションでは、0.1µF～0.47µFのX5RまたはX7R誘電体コンデンサで十分です。REGとGNDの間のバイパス容量は、ブートストラップ・コンデンサの容量の少なくとも10倍にする必要があります。更に、ショットキー・ダイオードの逆ブレークダウン電圧は、最大電力のV_{OUT}電圧より大きくなければなりません。

アプリケーション情報

インダクタ電流の検出

LT8551は、小さな値の直列電流検出抵抗（R_{SENSE}）またはインダクタDC抵抗（DCR）のいずれかでインダクタ電流を検出するように構成できます。2つの電流検出方式のどちらを選択するかは、主にコスト、精度、消費電力の兼ね合いによって決まります。DCRによる検出は、高価な電流検出抵抗が不要となり、特に大電流のアプリケーションで電力効率が高いため、広く普及しつつあります。一方、電流検出抵抗を使用すると、コントローラの非常に正確な電流制限値が得られます。ISPx/ISNx（すなわち、ISP、ISP1/2/3/4、ISN、ISN1/2/3/4）ピンは、電流検出アンプへの入力です。電流検出アンプのコモンモード入力電圧範囲は、0V～80Vです。電流検出抵抗は、通常はインダクタと直列にしてLT8551の入力に接続します。ISPxの電圧が1.1V（代表値）より高い場合、各ISPxピンは電流検出アンプに電力を供給します。通常動作中、各ISPxピンには0µA～100µAの電流が流れます。ISNxピンの電流は1µA未満です。電流アンプへのISNx入力は高インピーダンスなので、DCRによる高精度の電流検出が可能となります。

値の小さな抵抗による電流検出：標準的なR_{SENSE}によるインダクタ電流検出を図16aに示します。フィルタ部品（R_F、C_F）をLT8551の近くに配置する必要があります。R_Fの値が100Ωより大きいと、オフセット電圧が高くなる可能性があるため、これより大きな抵抗は避ける必要があります。フィルタの時定数（$R_F \bullet C_F$）は30ns以内にする必要があります。図17に示すように、正と負の検出パターンは差動ペアとして並べて配線し、検出抵抗の下でケルビン（4線式）接続する必要があります。R_{SENSE}は最大出力電流に基づいて選択します。与えられた最大出力電流$I_{(MAX)}$、最大検出電圧$V_{SENSE(MAX)}$、およびインダクタ最大リップル電流$\Delta I_{L(MAX)}$で、R_{SENSE}の値は次の式から選択できます。

$$R_{SENSE} = \frac{V_{SENSE(MAX)}}{I_{MAX} + \frac{\Delta I_L}{2}}$$

I_{MAX}の値は、必要な出力電流$I_{OUT(MAX)}$に依存しており、次式を使用して計算できます。

$$I_{MAX} = I_{OUT(MAX)} \bullet \left(\frac{V_{OUT}}{V_{IN}} \right)$$

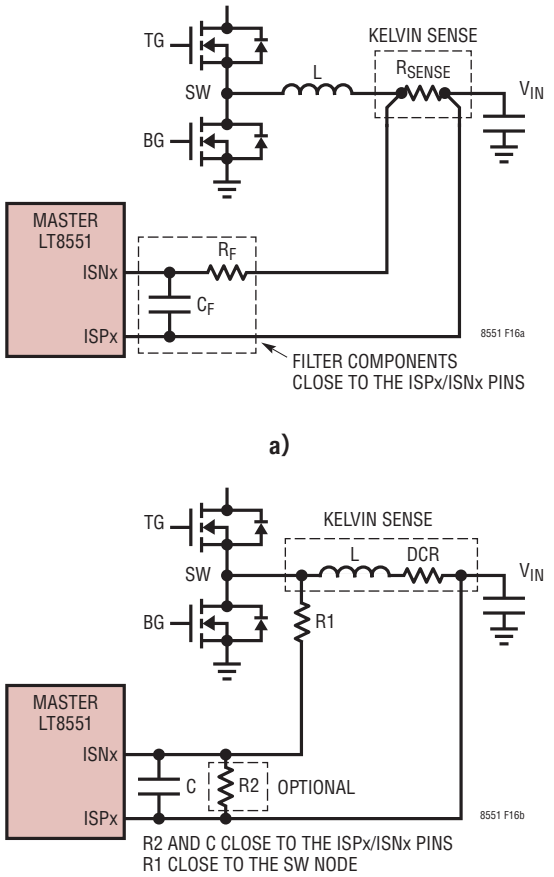


図16. インダクタ電流検出フィルタ

DCRによるインダクタ電流の検出：できるだけ高い効率が要求されるアプリケーションでは、図16bに示すように、LT8551はインダクタのDCR両端の電圧降下を検出できます。インダクタのDCRのDC巻線抵抗は非常に小さく、値の小さな最近の大電流インダクタでは1mΩ未満のこともあります。このようなインダクタを必要とする大電流アプリケーションで検出抵抗を使用すると、DCRによる検出に比べて、導通損失によって効率が数ポイント低下することがあります。インダクタのDCRは、インダクタの両端にRCフィルタを接続することによって検出されます。このフィルタは、通常は1個または2個の抵抗（R1およびR2）と1個のコンデンサ（C）で構成されます。外付けフィルタの時定数（R1||R2）• Cを、L/DCRの時定数と全く同じになるように選択した場合、Cの両端の電圧降下は次の式で表されます。

$$V_{SENSE} = I_L \bullet DCR \bullet \frac{R2}{R1+R2}$$

アプリケーション情報

したがって、目的の検出抵抗よりDCRの方が大きい場合は、R2を使用してセンス端子両端の電圧をスケーリングできます。ILIMピンを使用して電流制限値を設定する機能があるので、R2の使用はオプションです。Cは通常、0.01µF～0.47µFの範囲で選択します。これにより、R1||R2はほぼkΩレンジに収まります。

DCRによる電流検出では、図17に示すように、検出ラインを並べて配線し、インダクタの下でケルビン接続します。ノイズにセンシティブな小信号ノードにノイズがカップリングしないように、図16bに示すように、抵抗R1はインダクタの近くに配置し、R2とCはLT8551の近くに配置します。

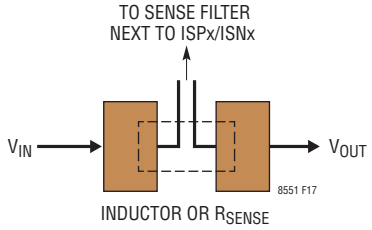


図17. DCRによる検出または抵抗による検出の場合の検出ラインの配置

サーマル・シャットダウン

ダイのジャンクション温度が約165°Cに達すると、LT8551はサーマル・シャットダウン状態になります。全てのパワー・スイッチはオフします。マスタLT8551では、ENOUTピンがグラウンドに引き下げられ、システムの全てのスイッチング動作がシャットダウンされます。LT8551は、ダイの温度が約5°C(公称)低下すると再イネーブルされます。

効率に関する検討事項

LT8551のパーセント表示での効率は、出力電力を入力電力で割って100%を掛けたものに等しくなります。多くの場合、個々の損失を分析して、効率を制限する要素が何であり、また何が変化すれば最も効率が改善されるかを判断することが有益です。パーセント表示の効率は、次式で表すことができます。

$$\%Efficiency = 100\% - (L1 + L2 + L3 + \cdots)$$

ここで、L1、L2などは入力電力に対するパーセント値で表した個々の損失です。回路内の電力を消費する全ての素子で損失が生じますが、LT8551の回路内の損失の大部分は、通常は次のいくつかの要因によって生じます。

1. I^2R損失。I^2R損失は、MOSFET、インダクタ、および電流検出抵抗のDC抵抗から発生します。入力／出力電流が大きい場合、電力損失の大部分がこの損失です。連続モードでは、インダクタとR_{SENSE}に平均入力電流が流れますが、上側MOSFETと下側MOSFETの間で細かく分割されます。2つのMOSFETの$R_{DS(ON)}$がほぼ同じ場合は、一方のMOSFETの抵抗にインダクタのDCR、R_{SENSE}、および基板上のパターンを加算するだけで、I^2R損失を求めることができます。

2. 遷移損失。この損失は、スイッチング・ノードの遷移中に下側MOSFETが短時間だけ飽和(ミラー)領域に留まることから生じます。この損失は、出力電圧、負荷電流、ドライバの強度、およびMOSFETの容量によって決まります。出力電圧が高く入力電圧が低い場合や、スイッチング周波数が高い場合は、この遷移が大きな影響を与えることがあります。

3. REG電流。これはMOSFETドライバ電流とREG制御電流の和です。MOSFETドライバ電流は、パワーMOSFETのゲート容量のスイッチングの結果生じます。MOSFETのゲートがローからハイ、更に再びローに切り替わるたびに、一定量の電荷dQがREGからグラウンドに移動します。それによって生じるdQ/dtはREGから流れ出る電流であり、通常は制御回路の電流よりはるかに大きくなります。連続モードでは、$I_{GATECHG} = f\bullet[Q_T + Q_B]$です。ここで、$Q_T$と$Q_B$は上側MOSFETと下側MOSFETのゲート電荷です。

   REG LDOとV_{CC}の電力のセクションで説明したように、低い電源電圧でREG LDOに電力を供給すれば、(特に入力電圧が高いアプリケーションで)効率が向上するだけでなく、LDOのPチャンネルMOSFETの熱ストレスも軽減されます。

4. ボディ・ダイオードの導通損失。デッド・タイムの間、上側／下側MOSFETの損失は$I_L \bullet V_F$です。ここで、V_Fは約0.7Vです。スイッチング周波数が高くなると、デッド・タイムがスイッチング・サイクルのかなりの割合を占めるようになり、効率が低下します。

銅パターンや内部バッテリ抵抗など、その他の隠れた損失が、携帯用システムでの更なる効率低下の原因になる可能性があります。こうしたシステム・レベルの損失を設計段階で盛り込むことが非常に重要です。

アプリケーション情報

回路基板レイアウトのチェックリスト

9フェーズ・システム、プライマリ・コントローラ、および2つのLT8551デバイスを使用したプリント回路基板の推奨設計例を図18に示します。必要に応じてこの設計のフェーズ／チャンネル数を拡張できます。マルチフェーズ・システムが正常に動作するように、次の一般的なチェックリストに従ってください。

- 専用のグラウンド・プレーンを持つ多層基板を使用して、ノイズ・カップリングを軽減し、放熱性能を向上させます。グラウンド・プレーンは、部品（すなわち、MOSFET、インダクタ、検出抵抗、入力および出力コンデンサなど）の配線層に隣接させます。
- 小信号グラウンド（SGND）と電源グラウンド（PGND）を分離します。SGNDとPGNDの間に必要な接続点は1つだけにします。SGNDはPGNDプレーン上のクリーンなポイントに帰還させることを推奨します。小信号部品のグラウンドを、PGNDを介してSGNDに帰還させないでください。全てのパワー供給系部品は、PGNDをリファレンスにする必要があります。直接ビアを使用して、電源部品をPGNDに接続します。各電源部品に複数のビアが必要です。
- 電源部品（C_{IN}、C_{OUT}、インダクタ、MOSFETなど）は1つの小さな領域にまとめて配置します。この領域の大電流経路（V_{IN}、V_{OUT}、PGNDなど）には、幅が広く、できるだけ短いパターンを使用して、銅損失を最小限に抑えます。
- BSTx/SWxノードの電圧は、高いdV/dtレートで振幅します。これらのノード部品は高周波ノイズが多いため、EMIノイズの強力な発生源になります。これらのノードとノイズにセンシティブな他のパターンの間のカップリングを最小限に抑えるため、銅領域は最小限に抑える必要があります。ただし一方では、大きなインダクタ電流を流し、パワーMOSFETを放熱するために、SWxノードにはある程度の実装面積が必要です。通常はSWxノードの下にグラウンド銅領域を配置して、シールドを強化することを推奨します。

BSTx/SWx以外に、TGxとBGxも高dV/dt信号であり、ノイズにセンシティブなパターンから離して配線する必要があります。ゲート駆動経路のインピーダンスを最小限に抑えるために、ゲート駆動信号は、幅が広く短いパターンを使って伝達することを強く推奨します。TGxとSWxは最小限のループ領域を使用して一緒に配線し、インダクタンスと高いdV/dtノイズを最小限に抑える必要があります。同様に、図18に示すように、BGxはPGNDのパターンの近くに配線する必要があります。TGx、SWx、BGxのパターンはできるだけ1つの層のみに配線してください。

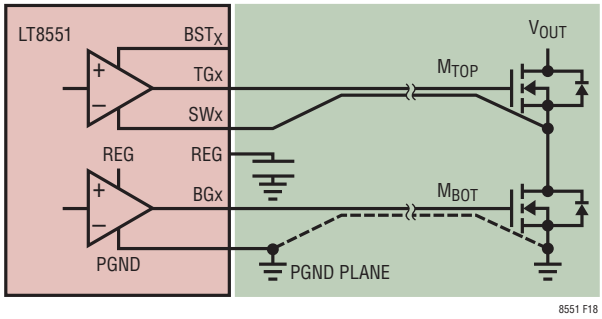


図18. ゲート・ドライバの配線例

- 図19に示すように、上側MOSFET、下側MOSFET、およびセラミック・コンデンサC_Hで構成される高di/dtループはできるだけ短くして、パルスを発生するループのインダクタンスを最小限に抑え、スイッチング・ノイズを吸収します。
- REG、V_{CC}、V_{IN}、および電流検出ピンなどのデカップリング・コンデンサは、それぞれのピンの近くに配置します。REGのデカップリング・コンデンサはPGNDに接続し、V_{IN}とV_{CC}のデカップリング・コンデンサはSGNDに接続します。接続インピーダンスを最小限に抑えるために、デカップリング・コンデンサは、ビアを使用せずにピンに直接接続することを推奨します。

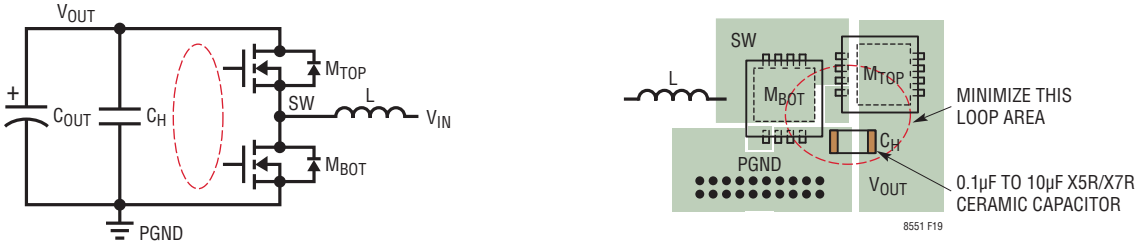
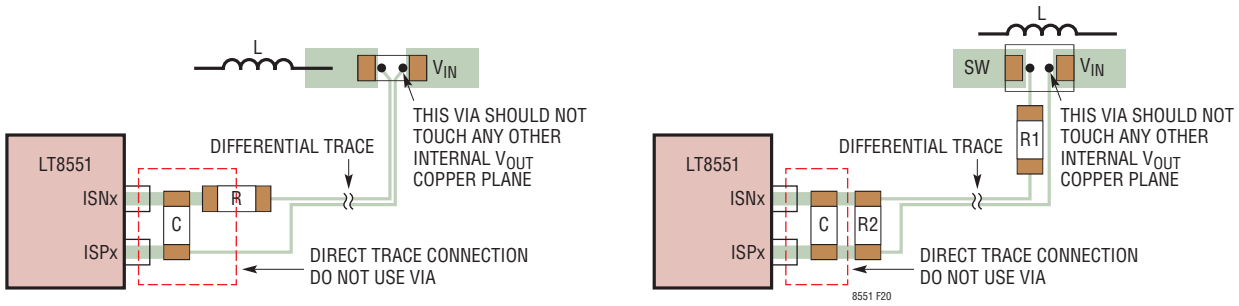


図19. 回路基板レイアウトの高di/dtループ領域を最小限に抑える

アプリケーション情報

- 全ての小信号パターンの中で、電流検出パターンは最もノイズにセンシティブです。図20に示すように、電流検出パターンは最小限の間隔で差動ペアとして配線し、ノイズを拾う可能性を最小限に抑える必要があります。更に、電流検出パターンのフィルタ抵抗およびコンデンサは、ISPx/ISNxピンのできるだけ近くに配置する必要があります。DCR検出とR/Cネットワークを組み合わせる場合、DCR検出抵抗R1はインダクタの近くに配置し、R2とCはLT8551の近くに配置する必要があります。図20に示すように、ISPx/ISNxラインを接続するビアは、電流検出抵抗またはインダクタの端子に直接接続します。
- マスタLT8551、プライマリ・コントローラ、スレーブLT8551間のインターフェース信号を配線する際は、小信号ラインはノイズの多いラインから離して配線し、グラウンド・プレーンでシールドします。信号線の推奨配置を図21に示します。



a) Resistor Sensing　　b) Inductor DCR Sensing

図20. 電流検出用の回路基板設計

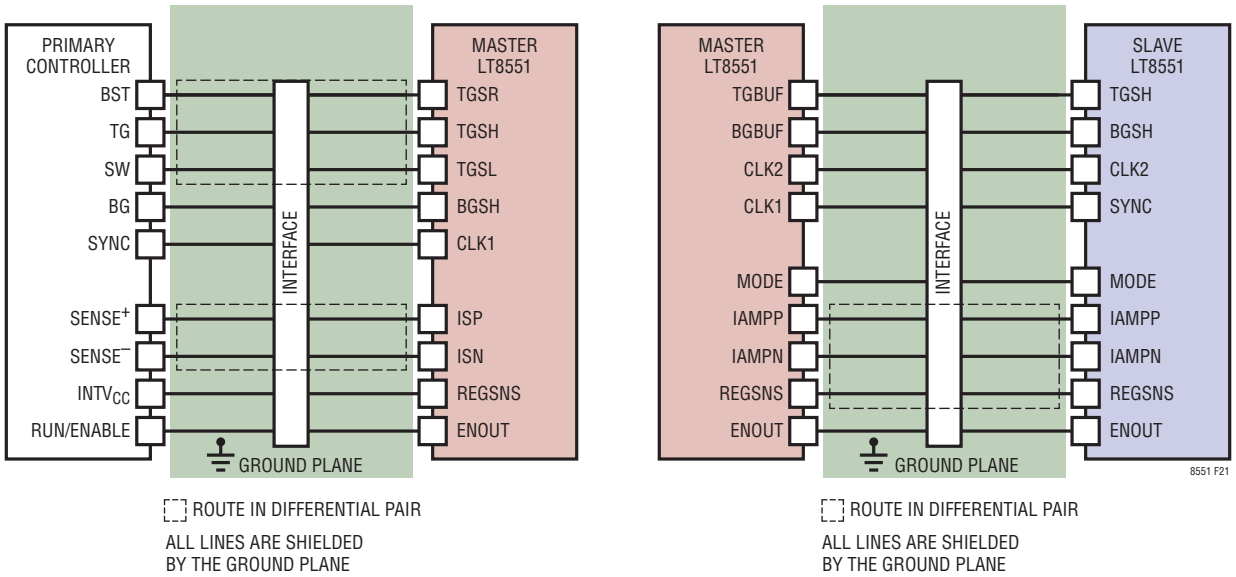
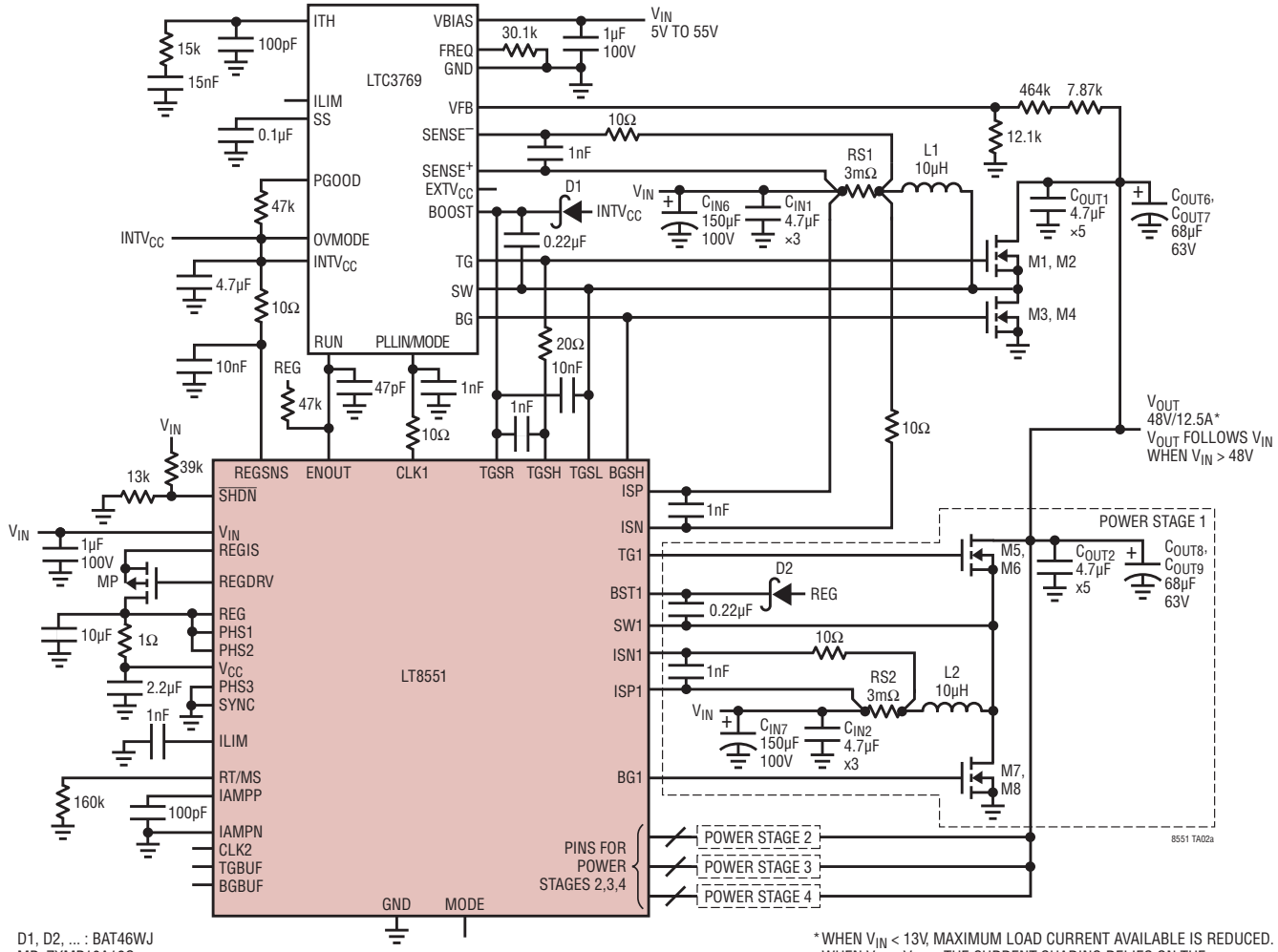


図21. 回路基板上の信号線の推奨配置

標準的応用例

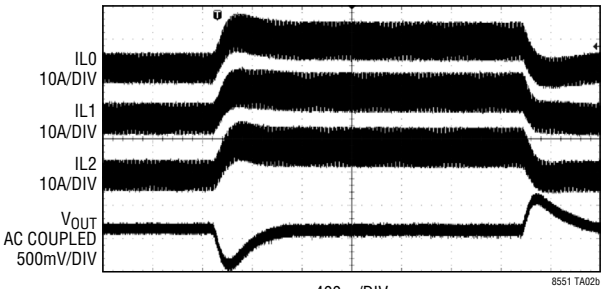
48V/12.5A 昇圧エクスパンダ・システム



D1, D2, ... : BAT46WJ
MP: ZXMP10A18G
RS1–RS5: PANASONIC ERJMB1SF3M0U
L1–L5: COILCRAFT SER2918H-103KL
C_{IN1}–C_{IN5}: TDK C3225X7S2A475M
C_{OUT1}–C_{OUT5}: TDK C3225X7S2A475M
C_{OUT6}–C_{OUT15}: PANASONIC EEHZC1J680P
M1, M2, M3, M4, M5, M6, M7, M8, ... : BSC100N06LS3

*WHEN V_{IN} < 13V, MAXIMUM LOAD CURRENT AVAILABLE IS REDUCED. WHEN V_{IN} > V_{OUT}, THE CURRENT SHARING RELIES ON THE MATCHING OF THE $R_{DS(ON)}$ OF THE N-CHANNEL MOSFETS.

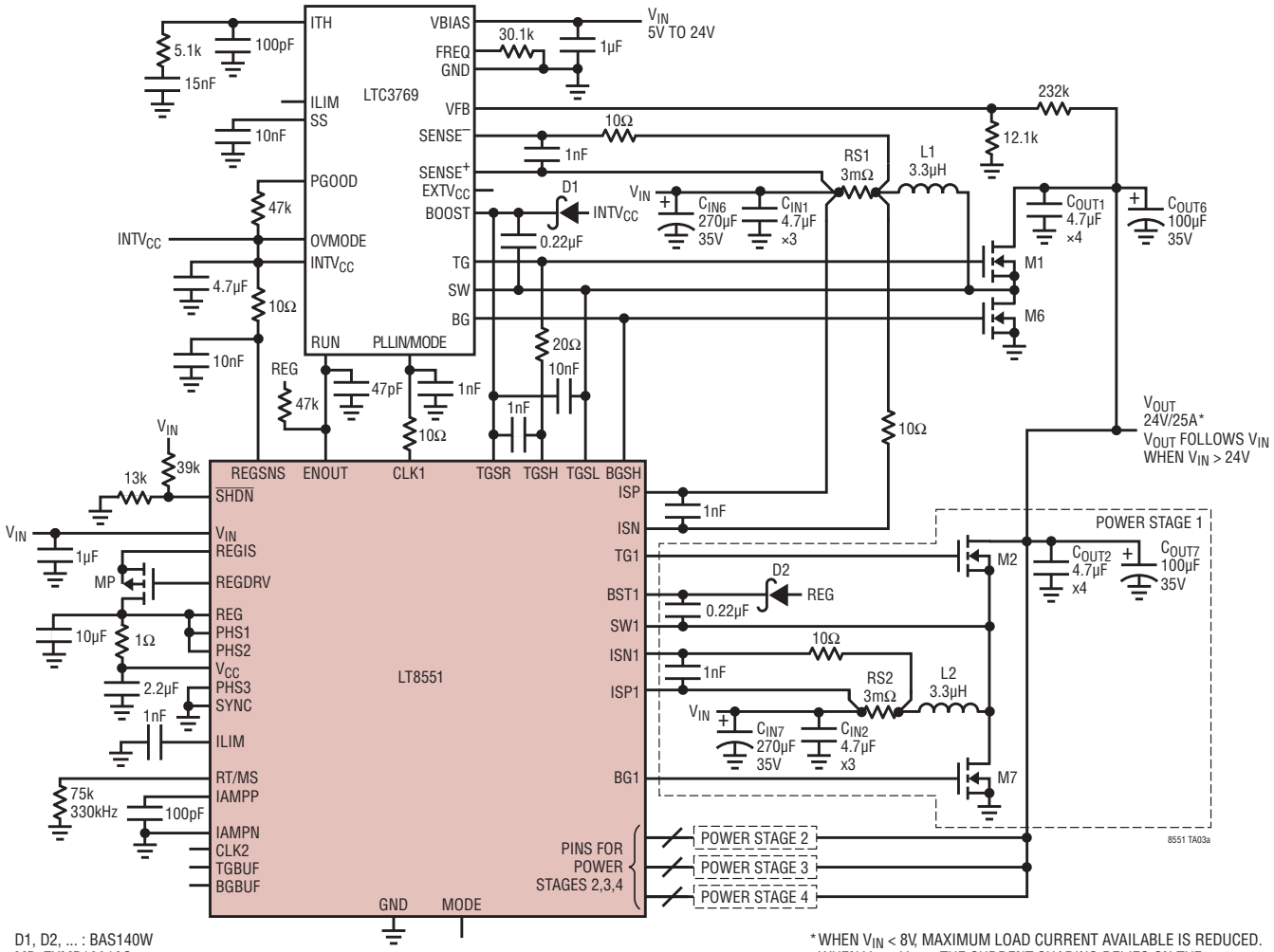
0A から 12.5A の負荷ステップ、V_{IN} = 16V、TDPN = 5



400µs/DIV

標準的応用例

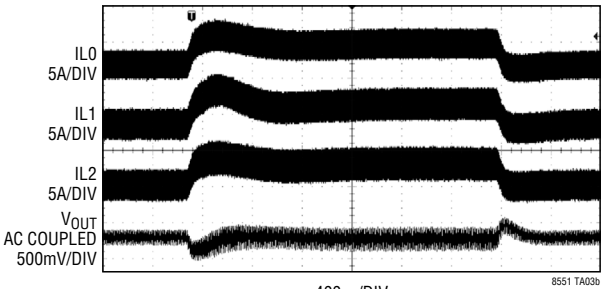
24V/25A 昇圧エクスパンダ・システム



D1, D2, ... : BAS140W
MP: ZXMP10A18G
RS1–RS5: PANASONIC ERJMB1SF3M0U
L1–L5: PULSE PA1494.362NL
C_{IN1}–C_{IN5}: TDK C2012X7R1V475K125AC
C_{IN6}–C_{IN10}: PANASONIC EEHC1V271P
C_{OUT1}–C_{OUT5}: TDK C2012X7R1V475K125AC
C_{OUT6}–C_{OUT10}: PANASONIC EEHZK1V101P
M1–M5: RENESAS RJK0453
M6–M10: RENESAS RJK0452

* WHEN V_{IN} < 8V, MAXIMUM LOAD CURRENT AVAILABLE IS REDUCED. WHEN V_{IN} > V_{OUT}, THE CURRENT SHARING RELIES ON THE MATCHING OF THE $R_{DS(ON)}$ OF THE N-CHANNEL MOSFETS.

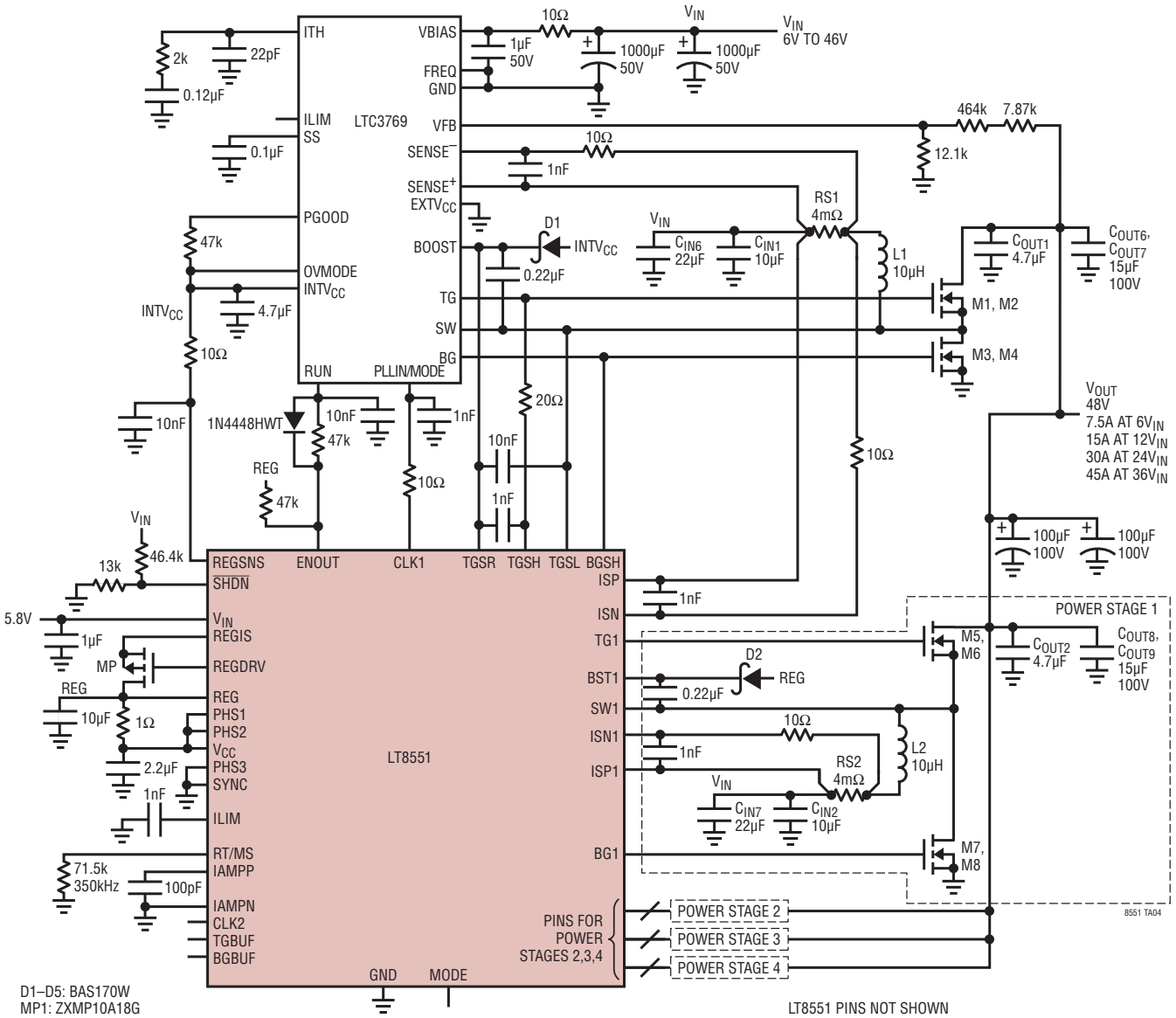
10A から 25A の負荷ステップ、V_{IN} = 18V、TDPN = 5



400µs/DIV

標準的応用例

48V昇圧エクスパンダ・システム

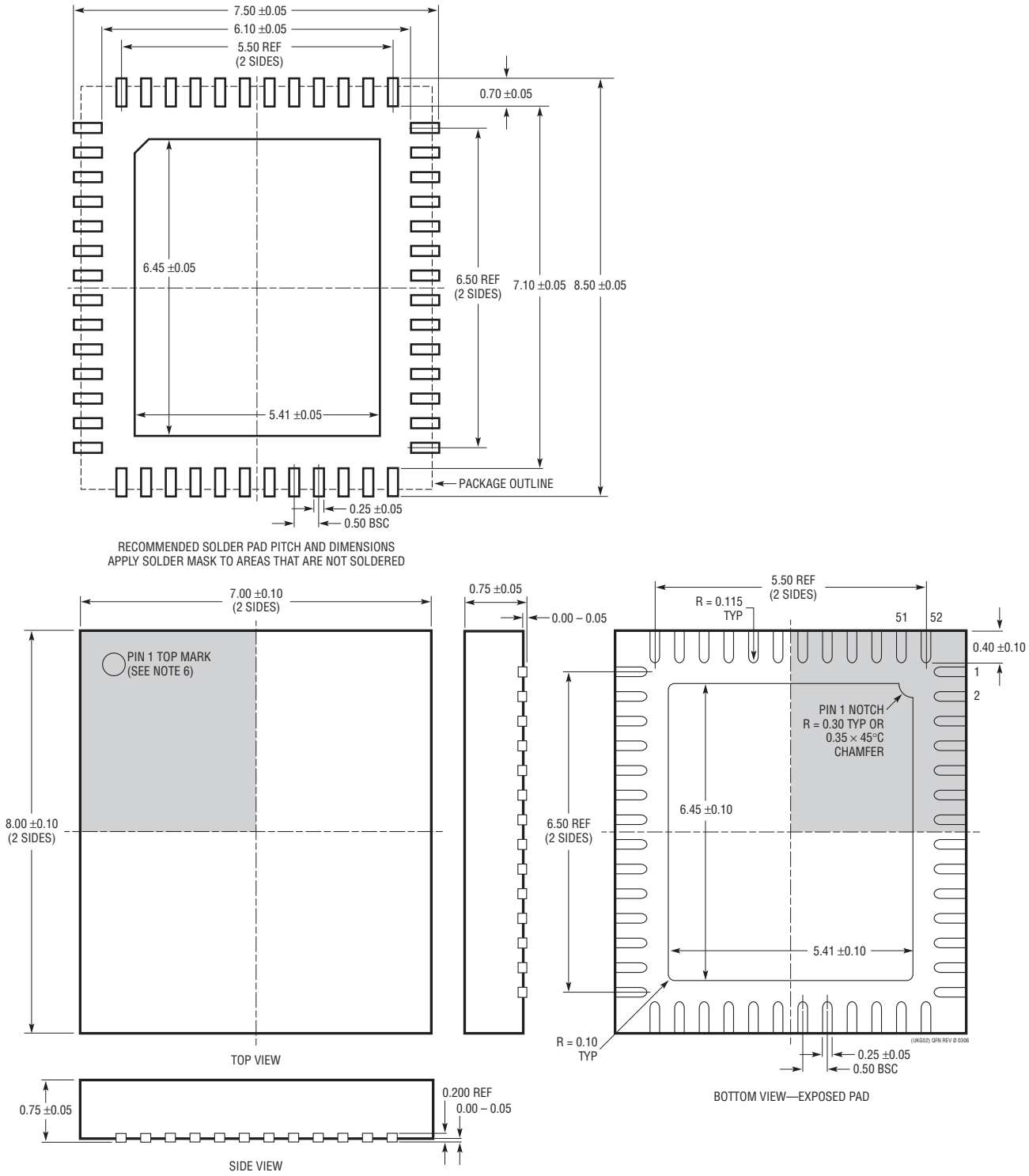


D1–D5: BAS170W
MP1: ZXMP10A18G
RS1–RS5: PANASONIC ERJ-MP4QF4M0U
L1–L5: COILCRAFT SER2918H-103KL
C_{IN1}–C_{IN5}: MURATA GRM32ER71H106KA12A
C_{IN6}–C_{IN10}: KRM55WR71H226MH01K
C_{OUT1}–C_{OUT5}: TDK C3225X7S2A475M200AB
C_{OUT6}–C_{OUT15}: KRM55WR72A156MH01K
M1–M20: BSC100N06LS3

LT8551 PINS NOT SHOWN IN THIS CIRCUIT:
BST2, BST3, BST4
TG2, TG3, TG4,
SW2, SW3, SW4,
BG2, BG3, BG4,
ISP2, ISP3, ISP4,
ISN2, ISN3, ISN4

パッケージ

UKG Package
52-Lead Plastic QFN (7mm × 8mm)
(Reference LTC DWG # 05-08-1729 Rev Ø)

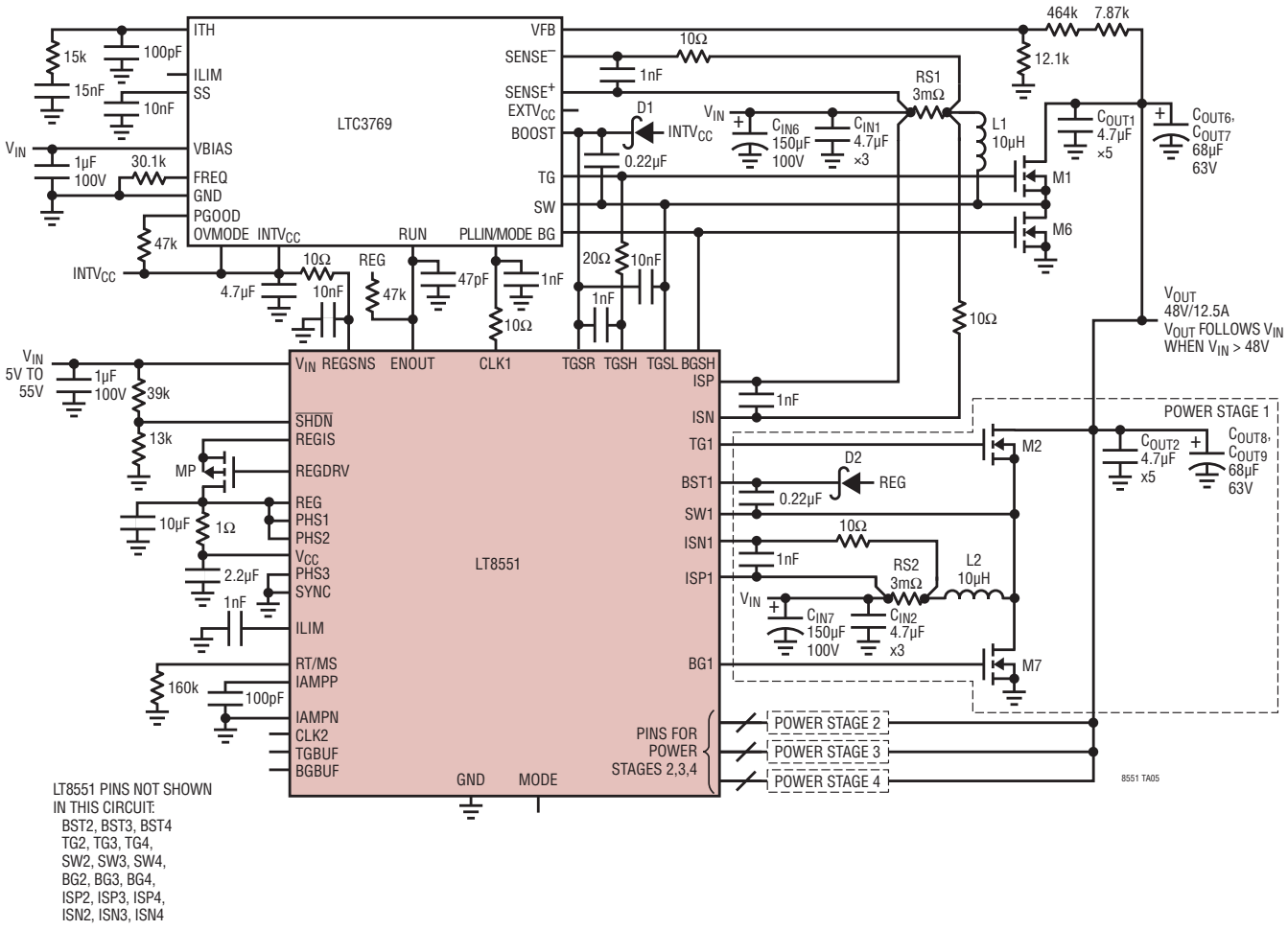


注:
1. 図はJEDECのパッケージ外形ではない
2. 図は実寸とは異なる
3. 全ての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。
モールドのバリは(もしあれば)各サイドで0.20mmを超えないこと
5. 露出パッドはハンダ・メッキとする
6. 灰色の部分はパッケージの上面と底面の1番ピンの位置の参考に過ぎない

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることに万全を期していますが、その利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。仕様は予告なく変更される場合があります。アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。

標準的応用例

48V/12.5A 昇圧エクスパンダ・システム



関連製品

製品番号	説明	注釈
LTC3786	低自己消費電流の38V同期整流式昇圧コントローラ	4.5V（起動後は2.5Vでも動作）≤ V_{IN} ≤ 38V、V_{OUT}：最大60V、固定動作周波数：50kHz～900kHz、3mm×3mm QFN-32、MSOP-16E
LTC3769	低自己消費電流の60V同期整流式昇圧コントローラ	4.5V（起動後は2.3Vでも動作）≤ V_{IN} ≤ 60V、V_{OUT}：最大60V、固定動作周波数：50kHz～900kHz、4mm×4mm QFN-24、TSSOP-20
LT8550	4フェーズ降圧DC/DCエクスパンダ	V_{IN}：最大80V、18の異なるフェーズ、125KHz～1MHz、双方向電流をサポート、7mm × 8mm QFN-52

©ANALOG DEVICES, INC. 2019