

高精度、高電圧、 ゲインを選択可能な差動／電流検出アンプ

特長

- 高精度ゲイン: 最大 80V/V
- 入力コモンモード電圧範囲: $V^- \sim V^+ + 76V$
- CMRR: 最小 109dB (ゲイン = 10)
- ゲイン誤差: 最大 0.012% (120ppm) (ゲイン = 10)
- ゲイン誤差ドリフト: 最大 1ppm/°C
- ゲイン非直線性: 最大 2ppm
- 広い電源電圧範囲: 3.3V ~ 50V
- レール to レール出力
- 電源電流: 350 μA
- オペアンプのオフセット電圧: 最大 65 μV
- -3dB 帯域幅 (ゲイン = 10): 650kHz
- 低消費電力のシャットダウン時電流: 20 μA
- 省スペースの MSOP および DFN パッケージ

アプリケーション

- 高電位側または低電位側の電流検出
- 同相範囲の広い双方向電流検出
- 高電圧から低電圧へのレベル変換
- 工業用データ・アキュジション・フロントエンド
- 絶縁回路の置き換え
- 差動信号からシングル・エンド信号への変換

概要

LT[®]1997-1 は、小さな差動信号を増幅しつつ大きな同相信号を除去できるディファレンス・アンプであり、電流検出アプリケーションに最適です。このデバイスは、高精度のオペアンプとマッチング精度の高い抵抗を組み合わせるワンチップ・ソリューションを形成し、外付け部品を使用せずに正確に電圧を増幅して、電圧レベルをシフトします。ピンで選択可能な3つの標準ゲイン・オプション(10、20、50)が用意されており、これを更に組み合わせることで0.012% (120ppm)の精度で0.141~80の範囲のゲインにすることができます。また、LT1997-1は、 $V^- \sim V^+ + 76V$ の入力電圧範囲(V^+ とは無関係)で動作するので、要求の厳しい産業用の環境で堅牢な動作が可能です。優れた抵抗マッチングにより、同相ノイズ除去比は109dB (ゲイン=10)を超えます。

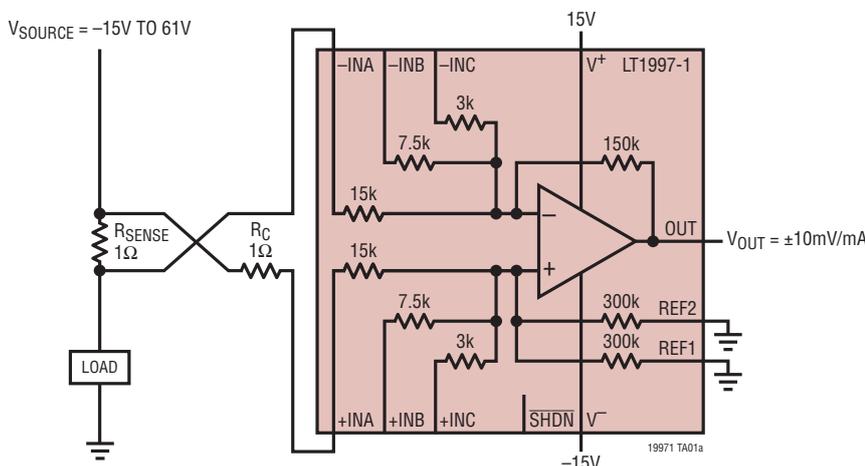
各抵抗は、温度範囲全体で優れたマッチングを維持し、1ppm/°C未満のマッチした温度係数が確保されます。各抵抗は電圧に対して極めて直線的であり、2ppm未満のゲイン非直線性が得られます。

LT1997-1は、5Vおよび±15Vの電源電圧、-40°C~125°Cの温度範囲で完全に仕様規定されています。このデバイスは、省スペースの16ピンMSOPパッケージおよび4mm×4mm DFN14パッケージで供給されます。

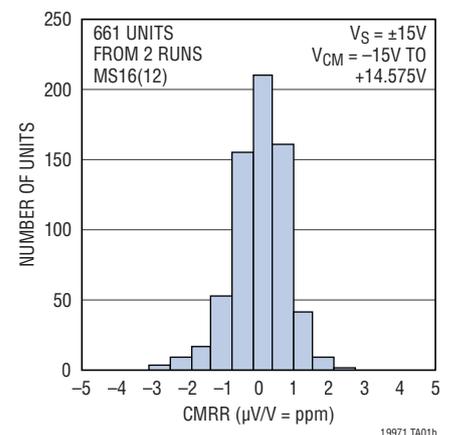
全ての登録商標および商標の所有権は、それぞれの所有者に帰属します。

代表的なアプリケーション

電圧範囲の広い高精度の双方向電流モニタ



CMRRの代表的な分布 (G = 10)



目次

特長	1
アプリケーション	1
代表的なアプリケーション	1
概要	1
絶対最大定格.....	3
ピン配置.....	3
発注情報.....	3
電気的特性.....	4
代表的な性能特性	9
ピン機能.....	14
ブロック図	15
アプリケーション情報.....	16
パッケージ.....	28
代表的なアプリケーション	30
関連製品.....	30

絶対最大定格

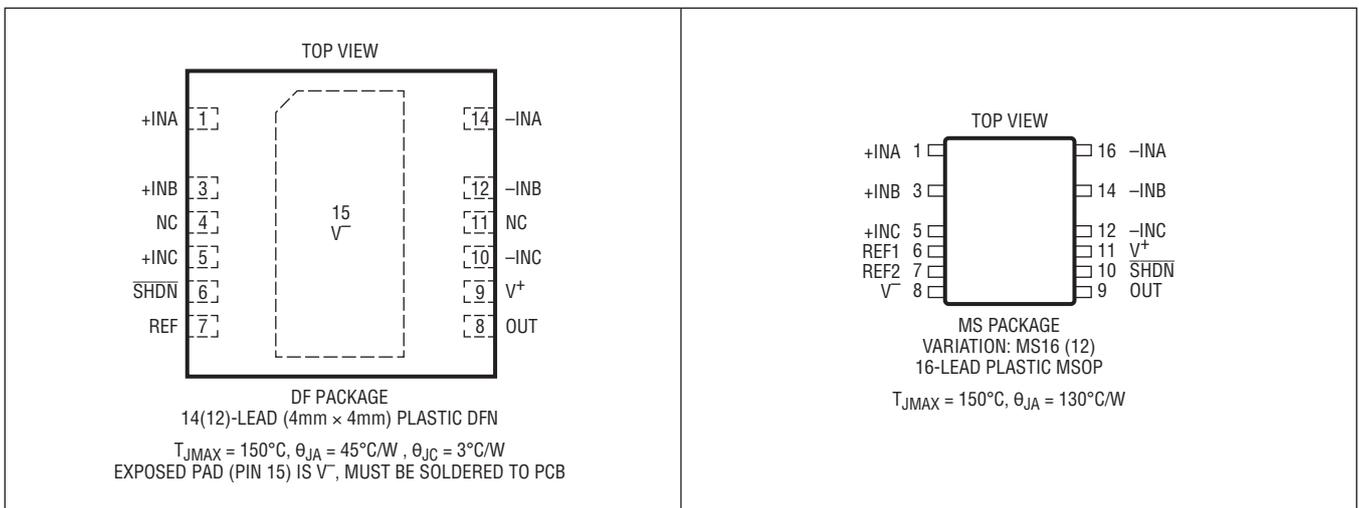
(Note 1)

電源電圧 ($V^+ \sim V^-$) 60V
 +INA、-INA、+INB、-INB、
 +INC、-INC (Note 2) ($V^- + 80V$) \sim ($V^- - 0.3V$)
 REF、REF1、REF2 ($V^- + 60V$) \sim ($V^- - 0.3V$)
 $\overline{\text{SHDN}}$ ($V^+ + 0.3V$) \sim ($V^- - 0.3V$)
 出力電流 (連続) (Note 6) 50mA
 出力短絡時間 (Note 3) 温度により制限

温度範囲 (Note 4、Note 5)

LT1997I-1 $-40^\circ\text{C} \sim 85^\circ\text{C}$
 LT1997H-1 $-40^\circ\text{C} \sim 125^\circ\text{C}$
 最大ジャンクション温度 150°C
 保存温度範囲 $-65^\circ\text{C} \sim 150^\circ\text{C}$
 MSOPピン温度 (ハンダ処理、10秒) 300°C

ピン配置



発注情報

鉛フリー仕上げ	テープ&リール	製品マーキング*	パッケージ	規定温度範囲
LT1997IDF-1#PBF	LT1997IDF-1#TRPBF	19971	14-Lead (4mm x 4mm) Plastic DFN	-40°C to 85°C
LT1997HDF-1#PBF	LT1997HDF-1#TRPBF	19971	14-Lead (4mm x 4mm) Plastic DFN	-40°C to 125°C
LT1997IMS-1#PBF	LT1997IMS-1#TRPBF	19971	16-Lead Plastic MSOP	-40°C to 85°C
LT1997HMS-1#PBF	LT1997HMS-1#TRPBF	19971	16-Lead Plastic MSOP	-40°C to 125°C

*温度グレードは出荷時のコンテナのラベルで識別されます。更に広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。製品名の末尾がPBFのデバイスはRoHSおよびWEEEに準拠しています。

テープ&リールの仕様。一部のパッケージは、#TRMPBF接尾部の付いた指定の販売経路を通じて500個入りのリールで供給可能です。

電気的特性

●はIグレード・デバイスで $-40^{\circ}\text{C} < T_A < 85^{\circ}\text{C}$ 、Hグレード・デバイスで $-40^{\circ}\text{C} < T_A < 125^{\circ}\text{C}$ の全温度範囲での規格値を意味する。それ以外は $T_A = 25^{\circ}\text{C}$ での値。ディファレンス・アンプ構成、 $V^+ = 15\text{V}$ 、 $V^- = -15\text{V}$ 、 $V_{\text{CM}} = V_{\text{OUT}} = V_{\text{REF}} = V_{\text{REF1}} = V_{\text{REF2}} = 0\text{V}$ 。 V_{CMOP} は内部オペアンプのコモン・モード電圧である。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
ΔG	Gain Error MS16 Package	$V_{\text{OUT}} = \pm 10\text{V}$ $G = 10$	●	± 0.005	± 0.012 ± 0.014	% %	
		$G = 20$	●	± 0.01	± 0.022 ± 0.028	% %	
		$G = 50$	●	± 0.015	± 0.038 ± 0.04	% %	
ΔG	Gain Error DF14 Package	$V_{\text{OUT}} = \pm 10\text{V}$ $G = 10$	●	± 0.005	± 0.017 ± 0.019	% %	
		$G = 20$	●	± 0.01	± 0.025 ± 0.03	% %	
		$G = 50$	●	± 0.015	± 0.051 ± 0.053	% %	
$\Delta G/\Delta T$	Gain Drift vs Temperature (Note 6)	$V_{\text{OUT}} = \pm 10\text{V}$	●	± 0.2	± 1	ppm/ $^{\circ}\text{C}$	
GNL	Gain Nonlinearity	$V_{\text{OUT}} = \pm 10\text{V}$	●	± 1	± 2 ± 3	ppm ppm	
V_{OS}	Op Amp Offset Voltage (Note 9)	$V^- < V_{\text{CMOP}} < V^+ - 1.75\text{V}$	●	± 20	± 65 ± 200	μV μV	
$\Delta V_{\text{OS}}/\Delta T$	Op Amp Offset Voltage Drift (Note 6)	$V^- < V_{\text{CMOP}} < V^+ - 1.75\text{V}$	●	± 0.5	± 1.5	$\mu\text{V}/^{\circ}\text{C}$	
I_{B}	Op Amp Input Bias Current	$V^- + 0.25\text{V} < V_{\text{CMOP}} < V^+ - 1.75\text{V}$	●	-5 -15	± 2 5 15	nA nA	
I_{OS}	Op Amp Input Offset Current	$V^- + 0.25\text{V} < V_{\text{CMOP}} < V^+ - 1.75\text{V}$	●	-3 -10	± 0.5 3 10	nA nA	
R_{IN}	Input Impedance (Note 8)	Common Mode $G = 10$	●	69.3	82.5	95.7	k Ω
		$G = 20$	●	66.1	78.75	91.4	k Ω
		$G = 50$	●	64.2	76.5	88.8	k Ω
		Differential $G = 10$	●	25.2	30	34.8	k Ω
		$G = 20$	●	12.6	15	17.4	k Ω
		$G = 50$	●	5	6	7	k Ω
CMRR	Common Mode Rejection Ratio MS16 Package	$G = 10, V_{\text{CM}} = -15\text{V to } +14.575\text{V}$	●	109 107	126	dB dB	
		$G = 10, V_{\text{CM}} = -15\text{V to } +61\text{V}, +\text{INC} = -\text{INC} = 0\text{V}$	●	84 82	98	dB dB	
		$G = 20, V_{\text{CM}} = -15\text{V to } +13.9125\text{V}$	●	109 107	128	dB dB	
		$G = 50, V_{\text{CM}} = -15\text{V to } +13.515\text{V}$	●	116 114	130	dB dB	
CMRR	Common Mode Rejection Ratio DF14 Package	$G = 10, V_{\text{CM}} = -15\text{V to } +14.575\text{V}$	●	107 100	123	dB dB	
		$G = 10, V_{\text{CM}} = -15\text{V to } +61\text{V}, +\text{INC} = -\text{INC} = 0\text{V}$	●	81 78	96	dB dB	
		$G = 20, V_{\text{CM}} = -15\text{V to } +13.9125\text{V}$	●	107 102	124	dB dB	
		$G = 50, V_{\text{CM}} = -15\text{V to } +13.515\text{V}$	●	111 107	125	dB dB	

電気的特性

●はIグレード・デバイスで $-40^{\circ}\text{C} < T_A < 85^{\circ}\text{C}$ 、Hグレード・デバイスで $-40^{\circ}\text{C} < T_A < 125^{\circ}\text{C}$ の全温度範囲での規格値を意味する。それ以外は $T_A = 25^{\circ}\text{C}$ での値。ディファレンス・アンプ構成、 $V^+ = 15\text{V}$ 、 $V^- = -15\text{V}$ 、 $V_{\text{CM}} = V_{\text{OUT}} = V_{\text{REF}} = V_{\text{REF1}} = V_{\text{REF2}} = 0\text{V}$ 。 V_{CMOP} は内部オペアンプのコモン・モード電圧である。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
V _{CM}	Input Voltage Range (Note 7)	+INA/-INA	●	-15	14.575	V	
		+INA/-INA (+INC/-INC Connected to Ground)	●	-15	61	V	
		+INB/-INB	●	-15	13.9125	V	
		+INC/-INC	●	-15	13.515	V	
ΔR/R	Reference Divider Matching Error $\frac{\Delta R}{R} = \frac{R_{\text{REF1}} - R_{\text{REF2}}}{\left(\frac{R_{\text{REF1}} + R_{\text{REF2}}}{2}\right)}$	Available in MS16 Package Only	●	±0.002	±0.006 ±0.008	% %	
PSRR	Power Supply Rejection Ratio (Note 9)	$V_S = \pm 1.65\text{V}$ to $\pm 25\text{V}$, $V_{\text{CM}} = V_{\text{OUT}} = \text{Mid-Supply}$	●	114	124	dB	
e _{ni}	Input Referred Noise Voltage Density	f = 1kHz G = 10 G = 20 G = 50			31 26 22	nV/√Hz nV/√Hz nV/√Hz	
		Input Referred Noise Voltage	f = 0.1Hz to 10Hz G = 10 G = 20 G = 50		0.9 0.8 0.7	μV _{P-P} μV _{P-P} μV _{P-P}	
V _{OL}	Output Voltage Swing Low (Referred to V ⁻)	No Load I _{SINK} = 5mA	● ●	30 280	150 500	mV mV	
		V _{OH}	Output Voltage Swing High (Referred to V ⁺)	No Load I _{SOURCE} = 5mA	● ●	30 400	150 900
I _{SC}	Short-Circuit Output Current	50Ω to V ⁺	●	10	32	mA	
		50Ω to V ⁻	●	10	34	mA	
SR	Slew Rate	ΔV _{OUT} = ±5V	●	1.7	4	V/μs	
BW	Small Signal -3dB Bandwidth	G = 10 G = 20 G = 50		650 500 300		kHz kHz kHz	
t _s	Settling Time	G = 10 0.1%, ΔV _{OUT} = 10V 0.01%, ΔV _{OUT} = 10V		6.3		μs	
				21.3		μs	
		G = 20 0.1%, ΔV _{OUT} = 10V 0.01%, ΔV _{OUT} = 10V		7.5		μs	
				15.4		μs	
		G = 50 0.1%, ΔV _{OUT} = 10V 0.01%, ΔV _{OUT} = 10V		8.6		μs	
				23		μs	
V _S	Supply Voltage		●	3 3.3	50 50	V V	
		t _{ON}	Turn-On Time		16	μs	
V _{IL}	SHDN Input Logic Low (Referred to V ⁺)		●		-2.5	V	
V _{IH}	SHDN Input Logic High (Referred to V ⁺)		●	-1.2		V	
I _{SHDN}	SHDN Pin Current		●	-10	-15	μA	
I _S	Supply Current	Active, V _{SHDN} ≥ V ⁺ - 1.2V	●		350	400	μA
		Active, V _{SHDN} ≥ V ⁺ - 1.2V	●			600	μA
		Shutdown, V _{SHDN} ≤ V ⁺ - 2.5V			20	25	μA
		Shutdown, V _{SHDN} ≤ V ⁺ - 2.5V	●			70	μA

電気的特性

●はIグレード・デバイスで $-40^{\circ}\text{C} < T_A < 85^{\circ}\text{C}$ 、Hグレード・デバイスで $-40^{\circ}\text{C} < T_A < 125^{\circ}\text{C}$ の全温度範囲での規格値を意味する。それ以外は $T_A = 25^{\circ}\text{C}$ での値。ディファレンス・アンプ構成、 $V^+ = 5\text{V}$ 、 $V^- = 0\text{V}$ 、 $V_{\text{CM}} = V_{\text{OUT}} = V_{\text{REF}} = V_{\text{REF1}} = V_{\text{REF2}} =$ 電源電圧の midpoint。 V_{CMOP} は内部オペアンプの共通モード電圧である。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
ΔG	Gain Error MS16 Package	$V_{\text{OUT}} = 1\text{V to } 4\text{V}$ $G = 10$	●	±0.005	±0.012 ±0.014	% %	
		$G = 20$	●	±0.01	±0.022 ±0.028	% %	
		$G = 50$	●	±0.015	±0.035 ±0.037	% %	
ΔG	Gain Error DF14 Package	$V_{\text{OUT}} = 1\text{V to } 4\text{V}$ $G = 10$	●	±0.005	±0.017 ±0.019	% %	
		$G = 20$	●	±0.01	±0.024 ±0.028	% %	
		$G = 50$	●	±0.015	±0.048 ±0.05	% %	
ΔG/ΔT	Gain Drift vs Temperature (Note 6)	$V_{\text{OUT}} = 1\text{V to } 4\text{V}$	●	±0.2	±1	ppm/°C	
GNL	Gain Nonlinearity	$V_{\text{OUT}} = 1\text{V to } 4\text{V}$		±1		ppm	
V_{OS}	Op Amp Offset Voltage (Note 9)	$V^- < V_{\text{CMOP}} < V^+ - 1.75\text{V}$	●	±20	±65 ±240	μV μV	
Δ V_{OS} /ΔT	Op Amp Offset Voltage Drift (Note 6)	$V^- < V_{\text{CMOP}} < V^+ - 1.75\text{V}$	●	±0.5	±1.5	μV/°C	
I_{B}	Op Amp Input Bias Current	$V^- + 0.25\text{V} < V_{\text{CMOP}} < V^+ - 1.75\text{V}$	●	-5	±2	5	nA
			●	-15		15	nA
I_{OS}	Op Amp Input Offset Current	$V^- + 0.25\text{V} < V_{\text{CMOP}} < V^+ - 1.75\text{V}$	●	-3	±0.5	3	nA
R_{IN}	Input Impedance (Note 8)	Common Mode	●	69.3	82.5	95.7	kΩ
			●	66.1	78.75	91.4	kΩ
			●	64.2	76.5	88.8	kΩ
		Differential	●	25.2	30	34.8	kΩ
			●	12.6	15	17.4	kΩ
			●	5	6	7	kΩ
CMRR	Common Mode Rejection Ratio MS16 Package	$G = 10, V_{\text{CM}} = 0\text{V to } +3.325\text{V}$	●	106	124	dB	
		$G = 20, V_{\text{CM}} = 0\text{V to } +3.2875\text{V}$	●	104		dB	
		$G = 50, V_{\text{CM}} = 0\text{V to } +3.265\text{V}$	●	109	125	dB	
CMRR	Common Mode Rejection Ratio DF14 Package	$G = 10, V_{\text{CM}} = 0\text{V to } +3.325\text{V}$	●	106	119	dB	
		$G = 20, V_{\text{CM}} = 0\text{V to } +3.2875\text{V}$	●	100		dB	
		$G = 50, V_{\text{CM}} = 0\text{V to } 3.265\text{V}$	●	105	120	dB	
ΔR/R	Reference Divider Matching Error $\frac{\Delta R}{R} = \frac{R_{\text{REF1}} - R_{\text{REF2}}}{\left(\frac{R_{\text{REF1}} + R_{\text{REF2}}}{2}\right)}$	Available in MS16 Package Only	●	±0.002	±0.006 ±0.008	% %	

電気的特性

●はIグレード・デバイスで $-40^{\circ}\text{C} < T_A < 85^{\circ}\text{C}$ 、Hグレード・デバイスで $-40^{\circ}\text{C} < T_A < 125^{\circ}\text{C}$ の全温度範囲での規格値を意味する。それ以外は $T_A = 25^{\circ}\text{C}$ での値。ディファレンス・アンプ構成、 $V^+ = 5\text{V}$ 、 $V^- = 0\text{V}$ 、 $V_{\text{CM}} = V_{\text{OUT}} = V_{\text{REF}} = V_{\text{REF1}} = V_{\text{REF2}} =$ 電源電圧の中心。 V_{CMOP} は内部オペアンプのコモン・モード電圧である。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
PSRR	Power Supply Rejection Ratio (Note 9)	$V_S = \pm 1.65\text{V to } \pm 25\text{V}$, $V_{\text{CM}} = V_{\text{OUT}} = \text{Mid-Supply}$	●	114	124		dB
e_{ni}	Input Referred Noise Voltage Density	$f = 1\text{kHz}$ $G = 10$			31		$\text{nV}/\sqrt{\text{Hz}}$
		$G = 20$ $G = 50$			26 22		$\text{nV}/\sqrt{\text{Hz}}$ $\text{nV}/\sqrt{\text{Hz}}$
V_{OL}	Output Voltage Swing Low (Referred to V^-)	$f = 0.1\text{Hz to } 10\text{Hz}$ $G = 10$			0.9		$\mu\text{V}_{\text{P-P}}$
		$G = 20$ $G = 50$			0.8 0.7		$\mu\text{V}_{\text{P-P}}$ $\mu\text{V}_{\text{P-P}}$
		No Load $I_{\text{SINK}} = 5\text{mA}$	● ●		10 280	50 500	mV mV
V_{OH}	Output Voltage Swing High (Referred to V^+)	No Load $I_{\text{SOURCE}} = 5\text{mA}$	● ●		10 400	50 800	mV mV
		50Ω to V^+ 50Ω to V^-	● ●	10 10	30 28		mA mA
SR	Slew Rate	$\Delta V_{\text{OUT}} = 3\text{V}$	●	1.5	2.5		$\text{V}/\mu\text{s}$
BW	Small signal -3dB Bandwidth	$G = 10$			650		kHz
		$G = 20$ $G = 50$			500 300		kHz kHz
		$G = 10$ 0.1%, $\Delta V_{\text{OUT}} = 2\text{V}$ 0.01%, $\Delta V_{\text{OUT}} = 2\text{V}$			9 20.4		μs μs
t_s	Settling Time	$G = 20$ 0.1%, $\Delta V_{\text{OUT}} = 2\text{V}$ 0.01%, $\Delta V_{\text{OUT}} = 2\text{V}$			9.7 18.5		μs μs
		$G = 50$ 0.1%, $\Delta V_{\text{OUT}} = 2\text{V}$ 0.01%, $\Delta V_{\text{OUT}} = 2\text{V}$			10.9 31.2		μs μs
		V_S	Supply Voltage	●	3 3.3		50 50
t_{ON}	Turn-On Time			22			μs
V_{IL}	SHDN Input Logic Low (Referred to V^+)		●			-2.5	V
V_{IH}	SHDN Input Logic High (Referred to V^+)		●	-1.2			V
I_{SHDN}	SHDN Pin Current		●		-10	-15	μA
I_S	Supply Current	Active, $V_{\text{SHDN}} \geq V^+ - 1.2\text{V}$	●		330	370	μA
		Active, $V_{\text{SHDN}} \geq V^+ - 1.2\text{V}$	●			525	μA
		Shutdown, $V_{\text{SHDN}} \leq V^+ - 2.5\text{V}$	●		15	20	μA
		Shutdown, $V_{\text{SHDN}} \leq V^+ - 2.5\text{V}$	●			40	μA

電気的特性

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: +INA/-INA/+INB/-INB/+INC/-INC ピンに $V+80V$ を入力する際の他の考慮事項については、このデータシートのアプリケーション情報のセクションのコモン・モード電圧範囲を参照。

Note 3: ジャンクション温度を絶対最大定格以下に抑えるためにヒートシンクが必要な場合がある。これは、電源、入力電圧、および出力電流によって決まる。

Note 4: LT1997I-1 は、 -40°C ~ 85°C の動作温度範囲で機能することが確認されている。LT1997H-1 は、 -40°C ~ 125°C の動作温度範囲で機能することが確認されている。

Note 5: LT1997I-1 は -40°C ~ 85°C で性能仕様に適合することが確認されている。LT1997H-1 は -40°C ~ 125°C で性能仕様に適合することが確認されている。

Note 6: このパラメータに対しては全数テストは実施されない。

Note 7: 入力電圧範囲は $\pm 15V$ の CMRR テストによって確認している。表に記載された数値の入力電圧範囲では、内部オペアンプは確実に通常の動作領域内で動作する。内部オペアンプが Over-The-Top[®] 動作領域で動作する場合、入力電圧範囲はこれより高くなる。様々な動作条件の下で有効な入力電圧範囲を決定するには、アプリケーション情報のセクションのコモン・モード電圧範囲を参照。

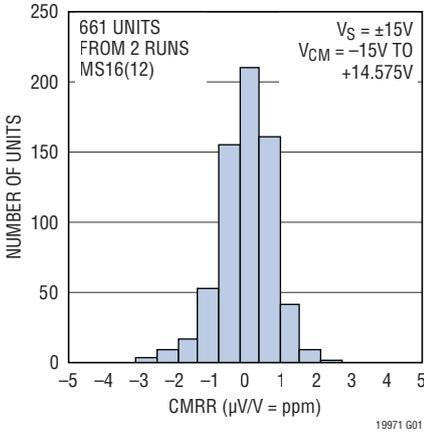
Note 8: 入力インピーダンスは、直接測定と CMRR テストおよびゲイン誤差テストとの相関を組み合わせてテストされている。

Note 9: オフセット電圧、オフセット電圧ドリフト、および PSRR は、内部オペアンプを基準として定義されている。出力オフセットの計算方法を以下に示す。バランスの良いソース抵抗を使用している場合、 $V_{os,out} = (V_{os} \cdot \text{NOISEGAIN}) + (I_{os} \cdot 150k) + (I_B \cdot 150k \cdot (1 - R_P/R_N))$ 。ここで、 R_P および R_N はそれぞれオペアンプの正の端子と負の端子の全抵抗である。

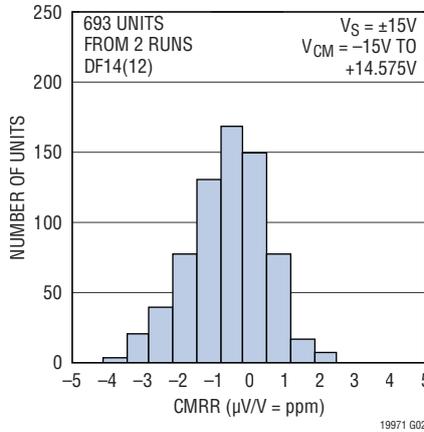
代表的な性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、ディファレンス・アンプ構成。

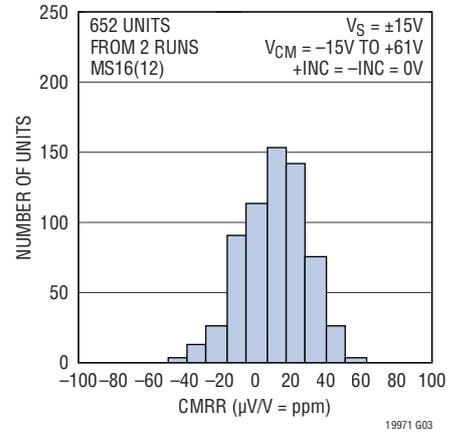
CMRRの代表的な分布 (G = 10)



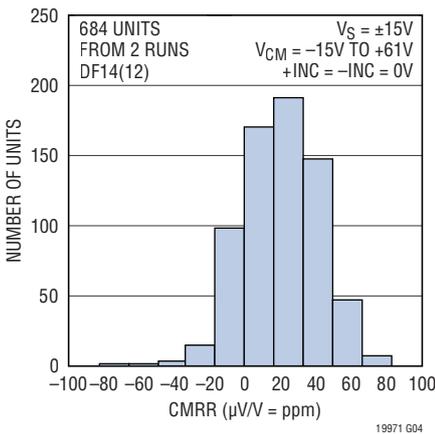
CMRRの代表的な分布 (G = 10)



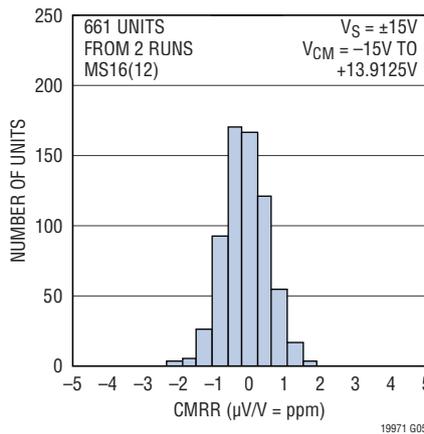
CMRRの代表的な分布 (G = 10)



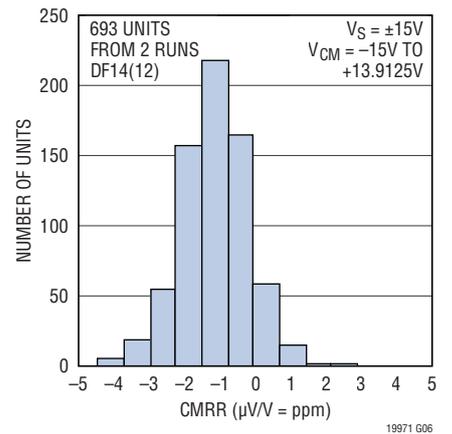
CMRRの代表的な分布 (G = 10)



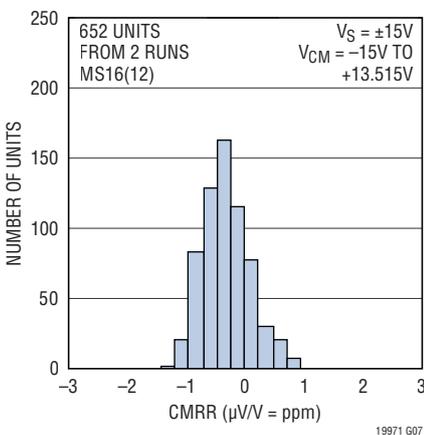
CMRRの代表的な分布 (G = 20)



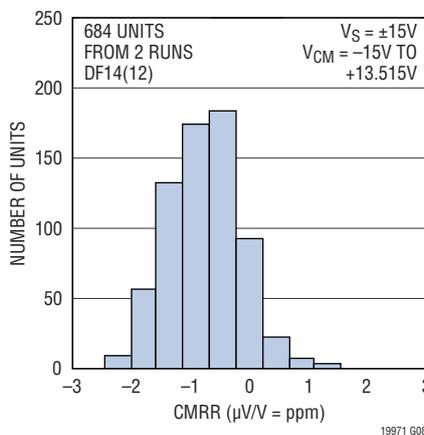
CMRRの代表的な分布 (G = 20)



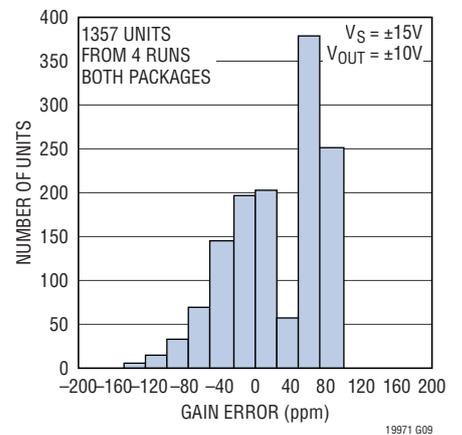
CMRRの代表的な分布 (G = 50)



CMRRの代表的な分布 (G = 50)



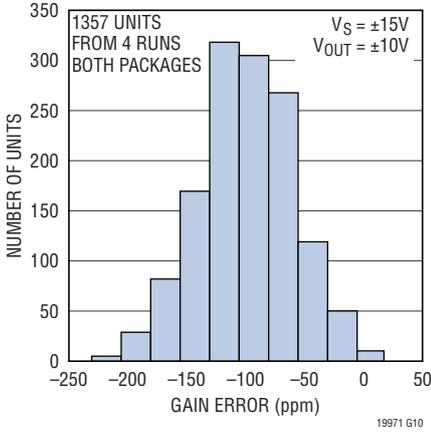
ゲイン誤差の代表的な分布 (G = 10)



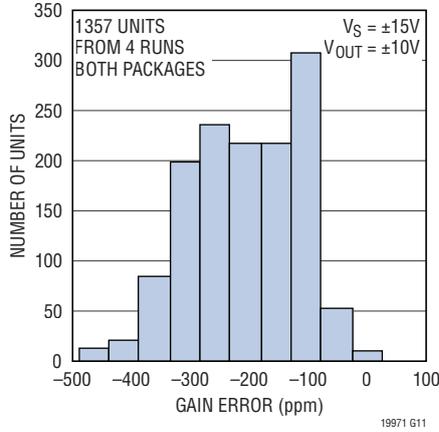
代表的な性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、ディファレンス・アンプ構成。

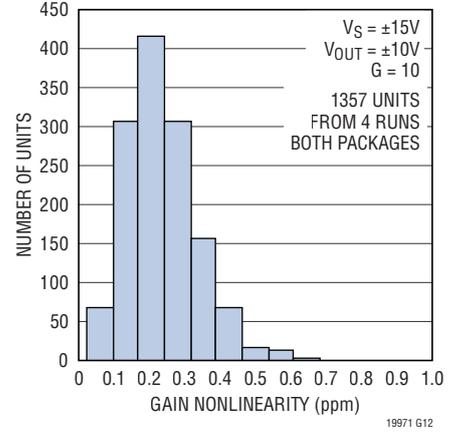
ゲイン誤差の代表的な分布 ($G = 20$)



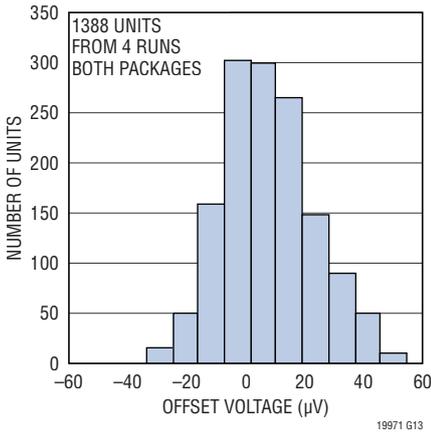
ゲイン誤差の代表的な分布 ($G = 50$)



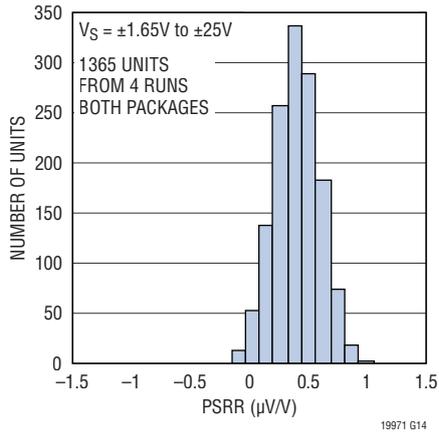
ゲイン非直線性の代表的な分布



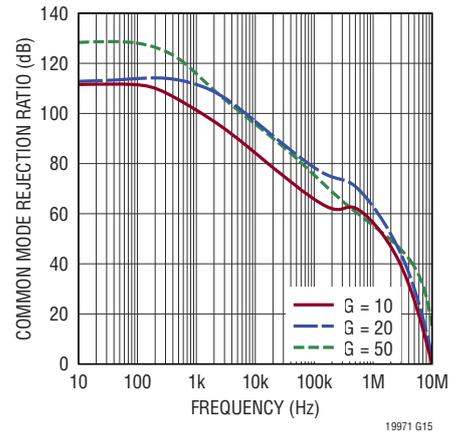
オペアンプのオフセット電圧の代表的な分布



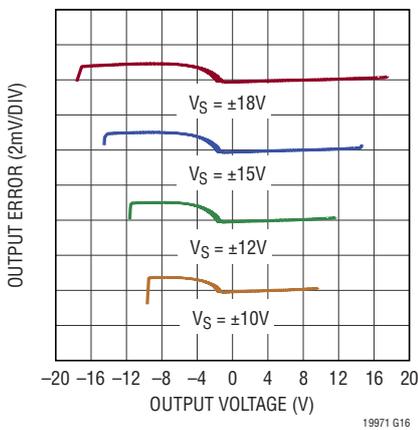
オペアンプのPSRRの代表的な分布



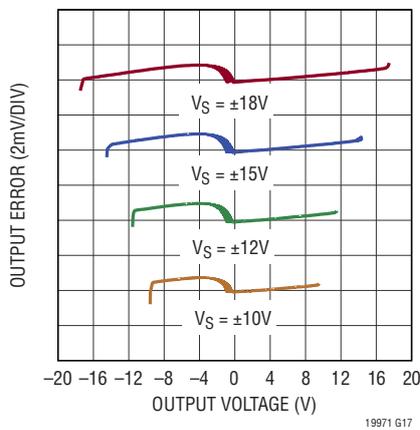
CMRRと周波数



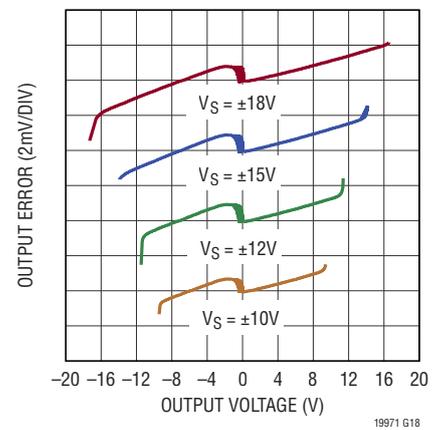
$R_L = 10\text{k}\Omega$ の代表的なゲイン誤差 ($G = 10$) (見やすくするため、曲線を離してある)



$R_L = 5\text{k}\Omega$ の代表的なゲイン誤差 ($G = 10$) (見やすくするため、曲線を離してある)



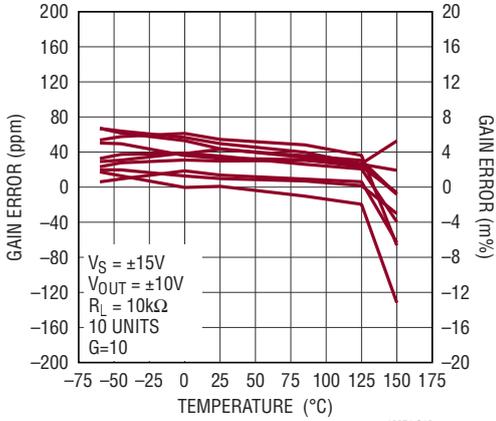
$R_L = 2\text{k}\Omega$ の代表的なゲイン誤差 ($G = 10$) (見やすくするため、曲線を離してある)



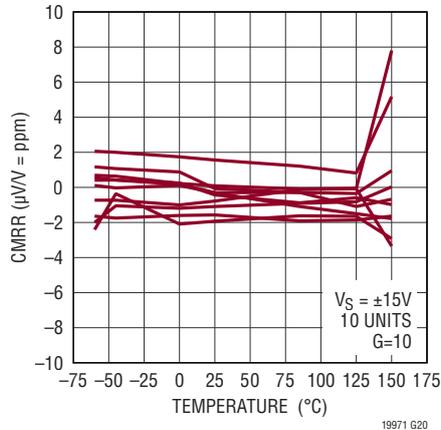
代表的な性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、ディファレンス・アンプ構成。

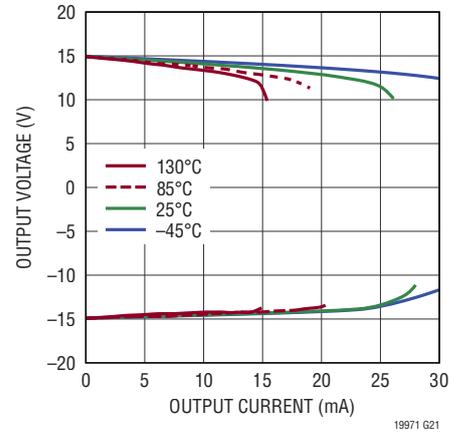
ゲイン誤差と温度



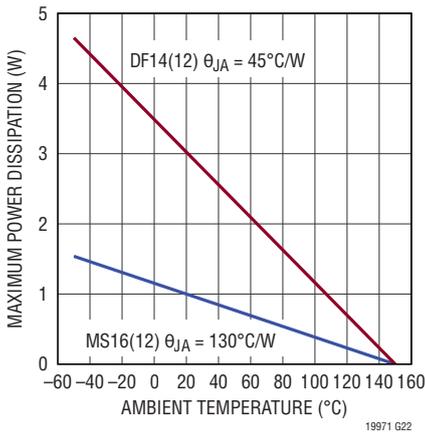
CMRRと温度



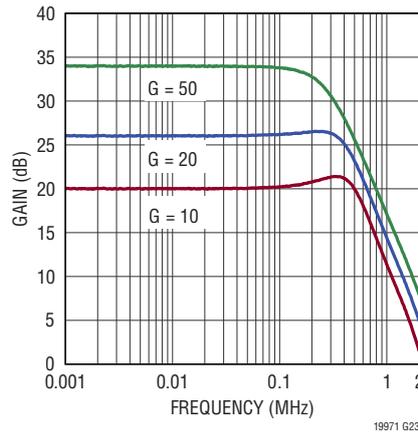
出力電圧と負荷電流



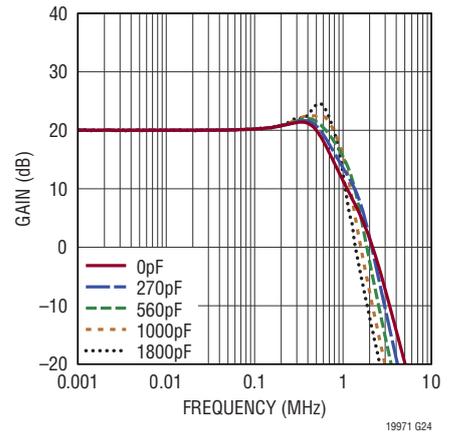
最大消費電力と温度



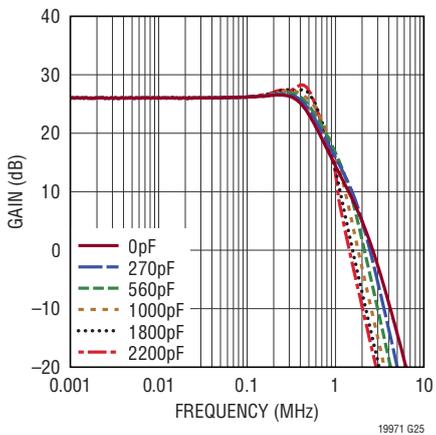
ゲインと周波数



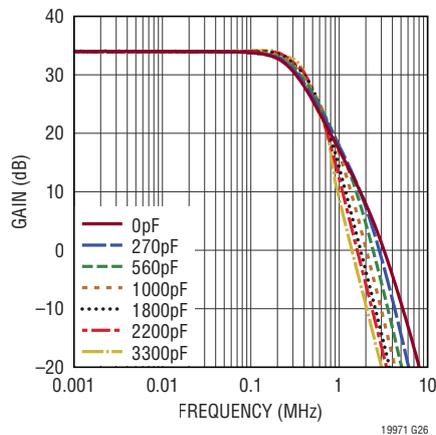
周波数応答と容量性負荷 (G = 10)



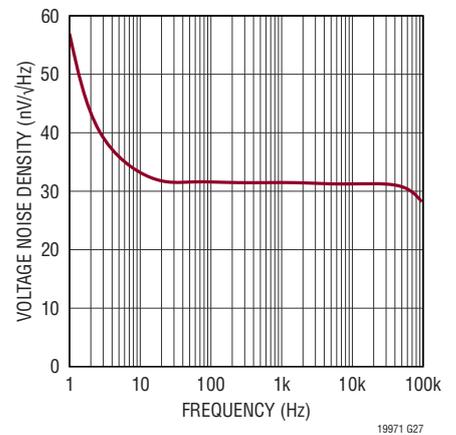
周波数応答と容量性負荷 (G = 20)



周波数応答と容量性負荷 (G = 50)



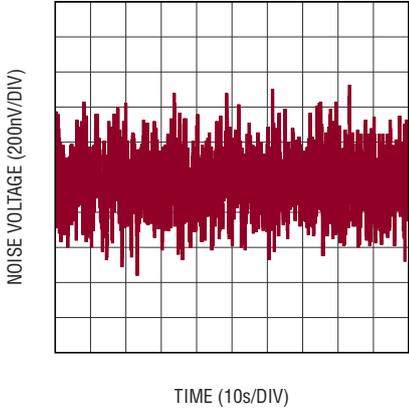
入力換算ノイズ密度と周波数 (G = 10)



代表的な性能特性

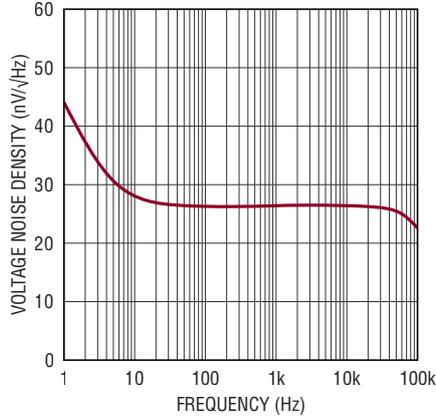
注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、ディファレンス・アンプ構成。

0.1Hz~10Hzの入力換算ノイズ (G = 10)



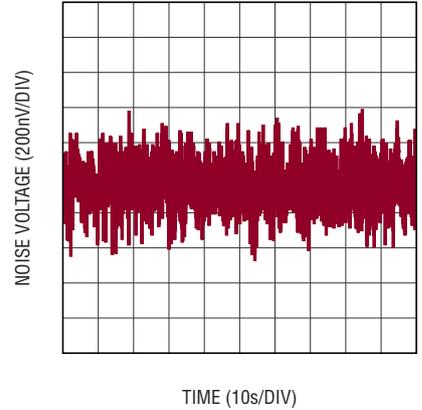
19971 G28

入力換算ノイズ密度と周波数 (G = 20)



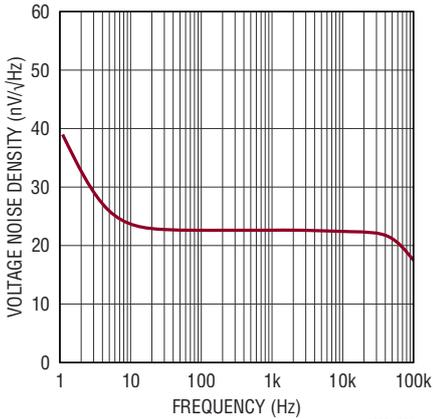
19971 G29

0.1Hz~10Hzの入力換算ノイズ (G = 20)



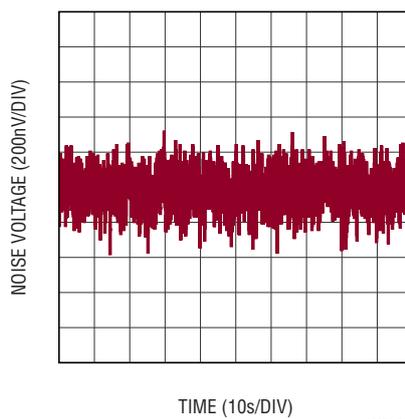
19971 G30

入力換算ノイズ密度と周波数 (G = 50)



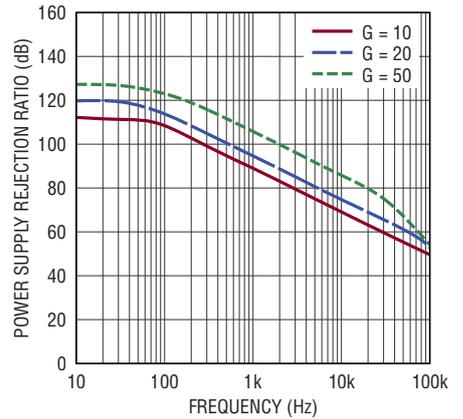
19971 G31

0.1Hz~10Hzの入力換算ノイズ (G = 50)



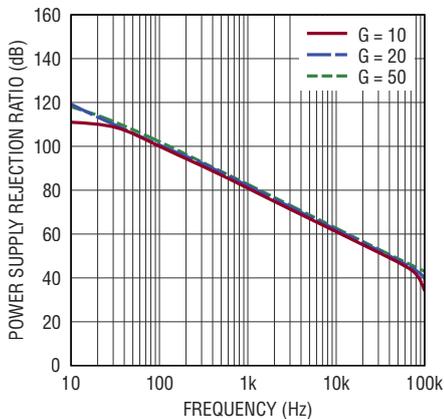
19971 G32

正の PSRR と周波数



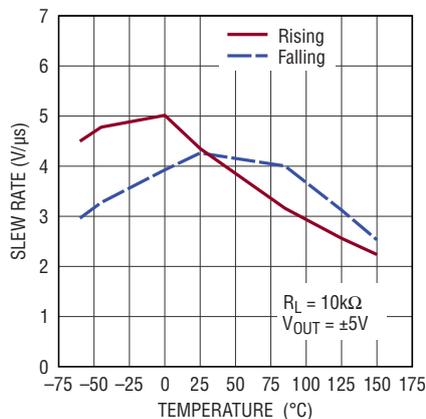
19971 G33

負の PSRR と周波数



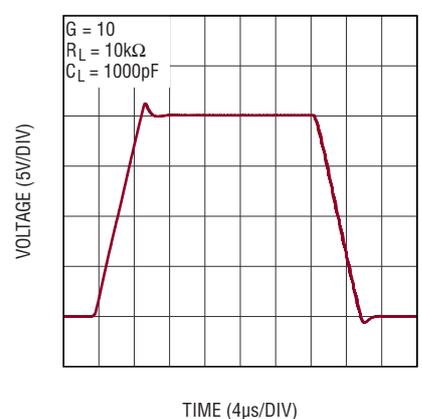
19971 G34

スルー・レートと温度



19971 G35

大信号のステップ応答

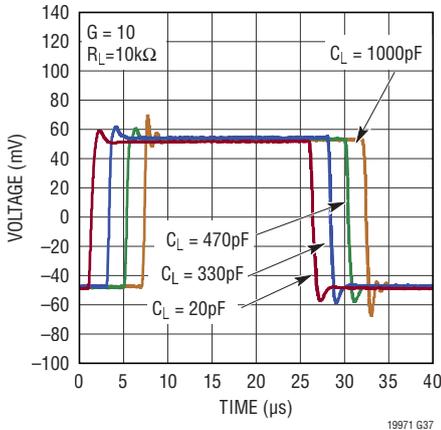


19971 G36

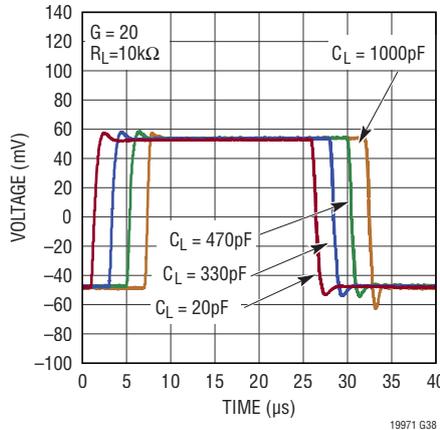
代表的な性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、ディファレンス・アンプ構成。

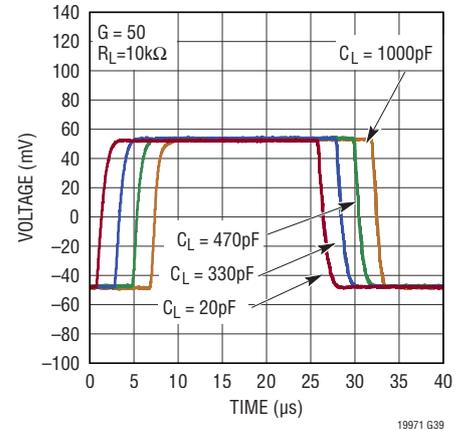
小信号のステップ応答



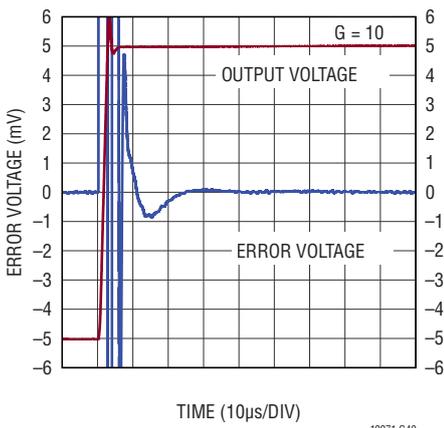
小信号のステップ応答



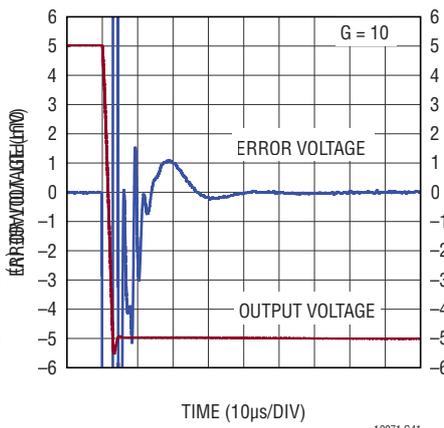
小信号のステップ応答



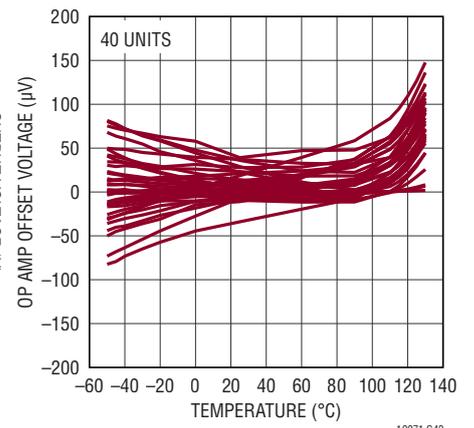
セトリング時間



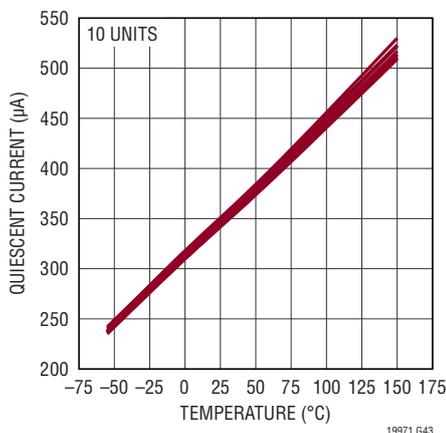
セトリング時間



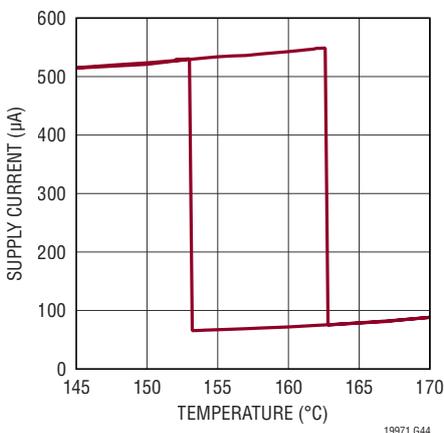
オペアンプのオフセット電圧と温度



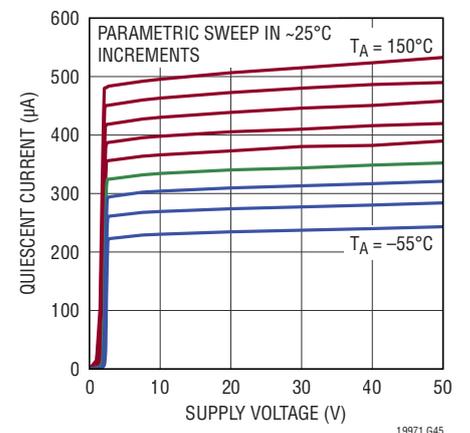
自己消費電流と温度



サーマル・シャットダウンのヒステリシス



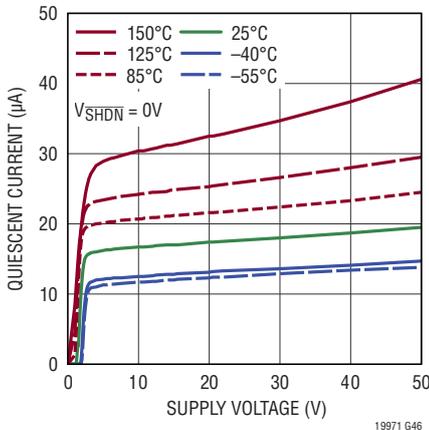
自己消費電流と電源電圧



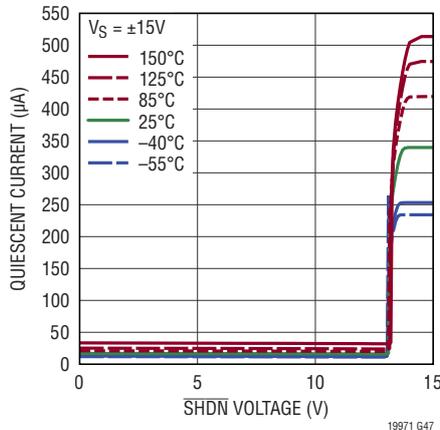
代表的な性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、ディファレンス・アンプ構成。

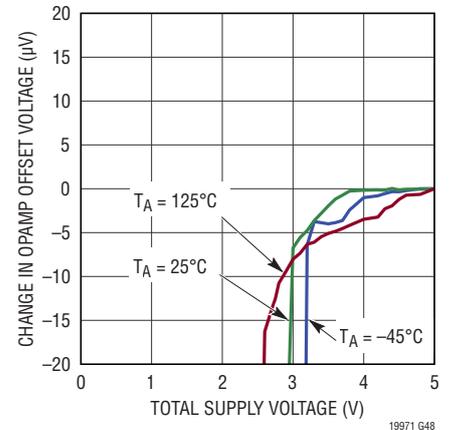
シャットダウン時自己消費電流と電源電圧



自己消費電流とSHDNの電圧



最小電源電圧



ピン機能 (DFN/MSOP)

V⁺ (ピン9 / ピン11) : 正電源ピン。

V⁻ (露出パッド・ピン15 / ピン8) : 負電源ピン。

OUT (ピン8 / ピン9) : 出力ピン。

+INA (ピン1 / ピン1) : ゲインが10の非反転入力ピン。内部オペアンプの非反転入力に15kの内部抵抗を接続します。

+INB (ピン3 / ピン3) : ゲインが20の非反転入力ピン。内部オペアンプの非反転入力に7.5kの内部抵抗を接続します。

+INC (ピン5 / ピン5) : ゲインが50の非反転入力ピン。内部オペアンプの非反転入力に3kの内部抵抗を接続します。

-INA (ピン14 / ピン16) : ゲインが10の反転入力ピン。内部オペアンプの反転入力に15kの内部抵抗を接続します。

-INB (ピン12 / ピン14) : ゲインが20の反転入力ピン。内部オペアンプの反転入力に7.5kの内部抵抗を接続します。

-INC (ピン10 / ピン12) : ゲインが50の反転入力ピン。内部オペアンプの反転入力に3kの内部抵抗を接続します。

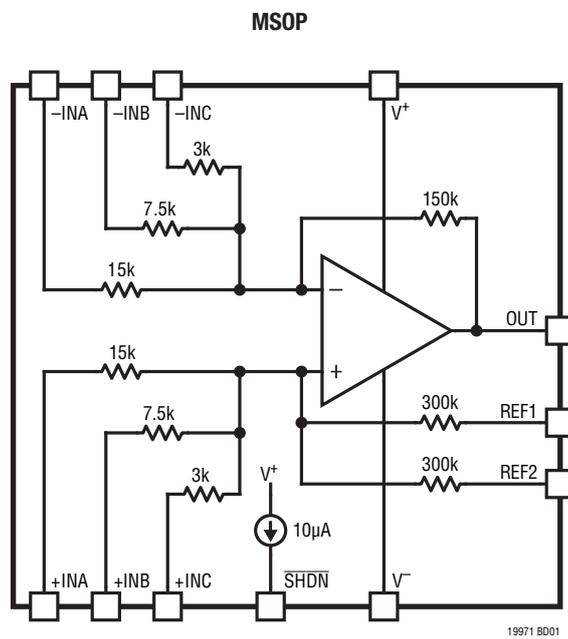
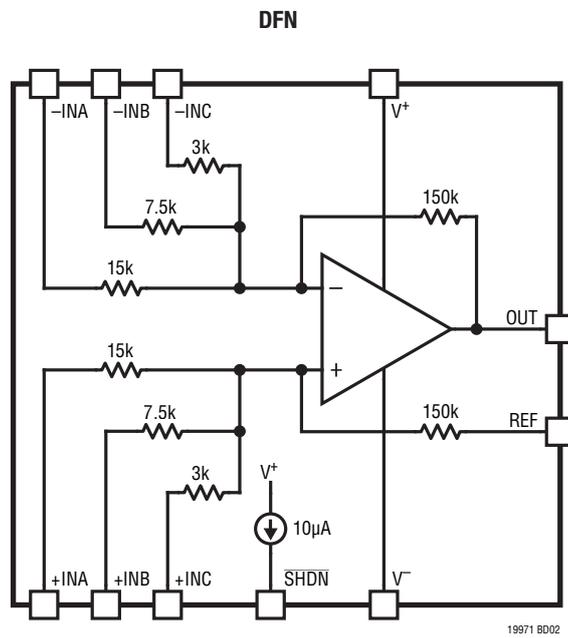
REF (ピン7 / なし) : リファレンス入力ピン。入力間の電圧差がゼロである場合に、出力レベルを設定します。

REF1 (なし / ピン6) : リファレンス1入力ピン。REF2と共に、入力間の電圧差がゼロである場合に出力レベルを設定します。

REF2 (なし / ピン7) : リファレンス2入力ピン。REF1と共に、入力間の電圧差がゼロである場合に出力レベルを設定します。

SHDN (ピン6 / ピン10) : シャットダウン・ピン。このピンをV⁺に接続するか、フロート状態のままにすると、アンプがアクティブになります。このピンの電圧がV⁺より2.5Vを超えて下回ると、アンプは低消費電力状態に移行します。

ブロック図



アプリケーション情報

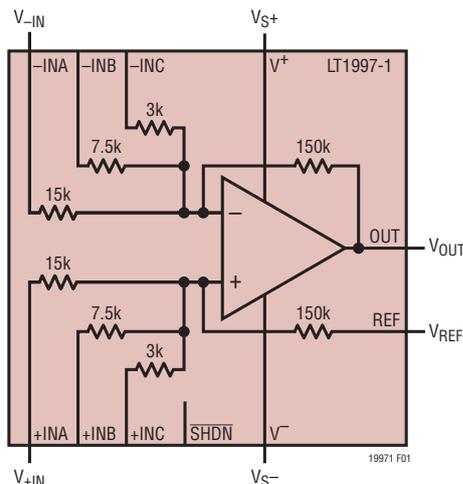


図1. 両電源動作でのディファレンス・アンプ (ゲイン = 10)

はじめに

LT1997-1は、高精度、高電圧、高ゲインのアンプと、マッチング精度の高い抵抗回路網を組み合わせた製品です。このデータシートで説明するように、このデバイスは、外付け部品を追加せずに、設定によって各種のゲイン回路を簡単に構築できます。LT1997-1は、基板面積の節約と設計の簡素化のために、小型パッケージに抵抗とオペアンプを組み合わせ提供します。LT1997-1を使用して、高精度の測定回路を簡単に構築できます。この回路は測定アプリケーションに応じて調整可能です。

コモン・モード電圧範囲

LT1997-1のコモン・モード電圧範囲は、LT1997-1の入力ピンの許容される電圧範囲と、内部オペアンプの入力電圧範囲によって設定されます。

LT1997-1の内部オペアンプには、次の2つの動作領域があります。

- 内部オペアンプの入力のコモン・モード電圧 (V_{CMOP}) が $V^- \sim V^+ - 1.75V$ の範囲内になる場合、オペアンプは通常の領域で動作します。
- V_{CMOP} が $V^+ - 1.75V \sim V^- + 76V$ の範囲内になる場合、オペアンプは Over-The-Top (OTT) 領域で動作を継続しますが、性能は低下します(詳細はこのデータシートの Over-The-Top 動作を参照)。

内部オペアンプの入力のコモン・モード電圧 (V_{CMOP}) が V^- より低い場合、LT1997-1は正常に動作しませんが、 V_{CMOP}

が $V^- - 25V$ より高く、LT1997-1のジャンクション温度が $150^\circ C$ を超えない限り、デバイスは損傷しません。

LT1997-1の入力ピンの電圧は、いかなる場合にも $V^- + 80V$ を超えてはならず、 $V^- - 0.3V$ を下回ってはなりません。

内部オペアンプの入力のコモン・モード電圧 (V_{CMOP}) は、+INA、+INB、+INC、および REF ピンの電圧によって決まります(入力電圧範囲の計算を参照)。この条件が当てはまるのは、内部オペアンプの出力がクリップされず、内部オペアンプの入力が帰還抵抗によって同じ電圧に維持される場合です。

上記の制限に加えて、入力抵抗の消費電力が大きくなりすぎないように、アンプのコモン・モード入力電圧を選択する必要があります。15k抵抗の消費電力は230mW未滿に抑えなければなりません。7.5k抵抗の消費電力は115mW未滿、3k抵抗の消費電力は46mW未滿に抑えなければなりません。ほとんどのアプリケーションでは、抵抗が消費電力の制限に達する前に、ピンが電圧の制限に達します。

入力電圧範囲の計算

図2に、一般的なディファレンス・アンプとして構成された(コモン・モード電圧範囲の計算のために入力を短絡させた)LT1997-1を示します。 R_F と R_G の値は、正の入力ピン(+INA、+INB、+INC)とREFピンがどのように接続されているかによって決まります。

重ね合わせにより、以下の式が得られます。

$$V_{CMOP} = V_{EXT} \cdot \frac{R_F}{R_F + R_G} + V_{REF} \cdot \frac{R_G}{R_F + R_G}$$

この式を V_{EXT} について解くと、次のようになります。

$$V_{EXT} = V_{CMOP} \cdot \left(1 + \frac{R_G}{R_F}\right) - V_{REF} \cdot \frac{R_G}{R_F}$$

しかし、有効な V_{CMOP} 電圧は、ハイサイドは $V_{S+} - 1.75V$ (OTT動作の場合は $V_{S-} + 76V$)、ローサイドは V_{S-} までに制限されます。したがって、以下の式が得られます。

$$\text{MAX } V_{EXT} = (V_{S+} - 1.75) \cdot \left(1 + \frac{R_G}{R_F}\right) - V_{REF} \cdot \frac{R_G}{R_F}$$

および:

$$\text{MIN } V_{EXT} = (V_{S-}) \cdot \left(1 + \frac{R_G}{R_F}\right) - V_{REF} \cdot \frac{R_G}{R_F}$$

アプリケーション情報

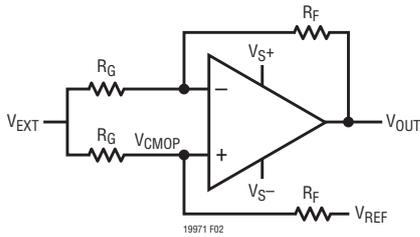


図2. コモン・モード入力電圧範囲の計算

MAX VEXTの制限値を超えると、アンプはOver-The-Top領域に移行します。Over-The-Top領域の最大入力電圧は、以下の式で得られます。

$$\text{MAX } V_{\text{EXTTOT}} = (V_{S-} + 76) \cdot \left(1 + \frac{R_G}{R_F}\right) - V_{\text{REF}} \cdot \frac{R_G}{R_F}$$

上記の入力電圧範囲のMAXとMINの値が、LT1997-1の入力ピンに対して既に規定されている絶対最大電圧範囲(V+ + 80V) ~ (V- - 0.3V)を超えないよう注意してください。

負の入力(-INA, -INB, -INC)は内部オペアンプのコモン・モード電圧範囲(VCMOP)に影響を与えないため、内部オペアンプのコモン・モード電圧範囲によって制限されません。負の入力は、アンプの出力振幅と、(明らかに入力ピンの許容される電圧範囲によって)制限されます。

Over-The-Top動作

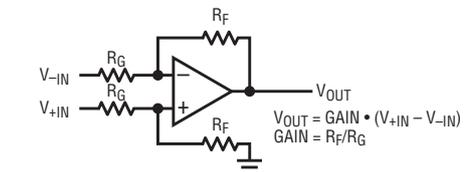
LT1997-1の内部オペアンプの入力コモン・モード電圧(VCMOP)が、V+電源電圧の近くか、それより上にバイアスされると、オペアンプはOver-The-Top (OTT)領域で動作します。オペアンプは、(正電源電圧V+に関わらず) V-より最大76V高い入力コモン・モード電圧で動作を継続しますが、性能は低下します。オペアンプの入力バイアス電流は、±2nA未満から14µAまで変化します。オペアンプの入力オフセット電流は±50nAまで上昇し、これによって±7.5mVが出力オフセット電圧に追加されます。

加えて、Over-The-Top領域で動作している場合、内部オペアンプの差動入力インピーダンスが、通常動作での1MΩからOver-The-Top動作での約3.7kΩに減少します。この抵抗は内部オペアンプの加算ノードの両端に現れ、ノイズとオフセットを増加させると共に、速度を低下させます。ノイズとオフセットは、ゲインの設定に応じて33%~76%増加します。帯域幅は25%~43%狭くなります。Over-The-Top動作の詳細については、LT6015のデータシートを参照してください。

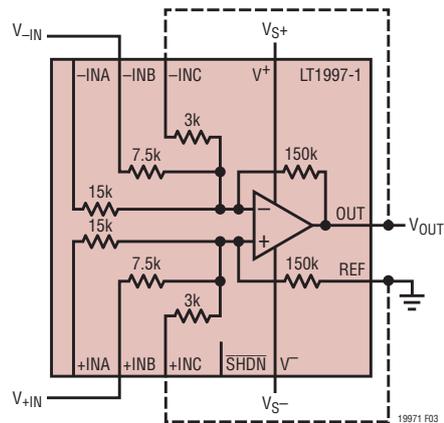
ディファレンス・アンプ

LT1997-1は、ディファレンス・アンプとして使用するのに最適です。図3に、基本的な4抵抗ディファレンス・アンプとLT1997-1を示します。この図では差動ゲイン20を示していますが、この値は破線の接続を追加することによって変更できます。3kの抵抗を150kの帰還抵抗と並列に接続することにより、ゲインは0.392に減少します。もちろん、様々なゲインが実現可能です。図4に、様々なゲインのディファレンス・アンプの回路図を示します。

内部オペアンプの入力のコモン・モード電圧(VCMOP)は、+INA, +INB, +INC、およびREFピンの電圧によって設定されることに注意してください。



DIFFERENCE AMPLIFIER CONFIGURATION



DIFFERENCE AMPLIFIER CONFIGURATION IMPLEMENTED WITH THE LT1997-1, R_F = 150k, R_G = 7.5k, GAIN = 20
 ADDING THE DASHED CONNECTIONS CONNECT THE 3k RESISTOR IN PARALLEL WITH R_F, SO R_F IS REDUCED TO 2.94k. THE GAIN BECOMES 2.94k/7.5k = 0.392

図3. ディファレンス・アンプとして構成されたLT1997-1。ゲインは適切な抵抗または抵抗の組み合わせを接続することによって設定される。20のゲインを示しているが、破線の接続を追加するとゲインを0.392に変更できる

アプリケーション情報

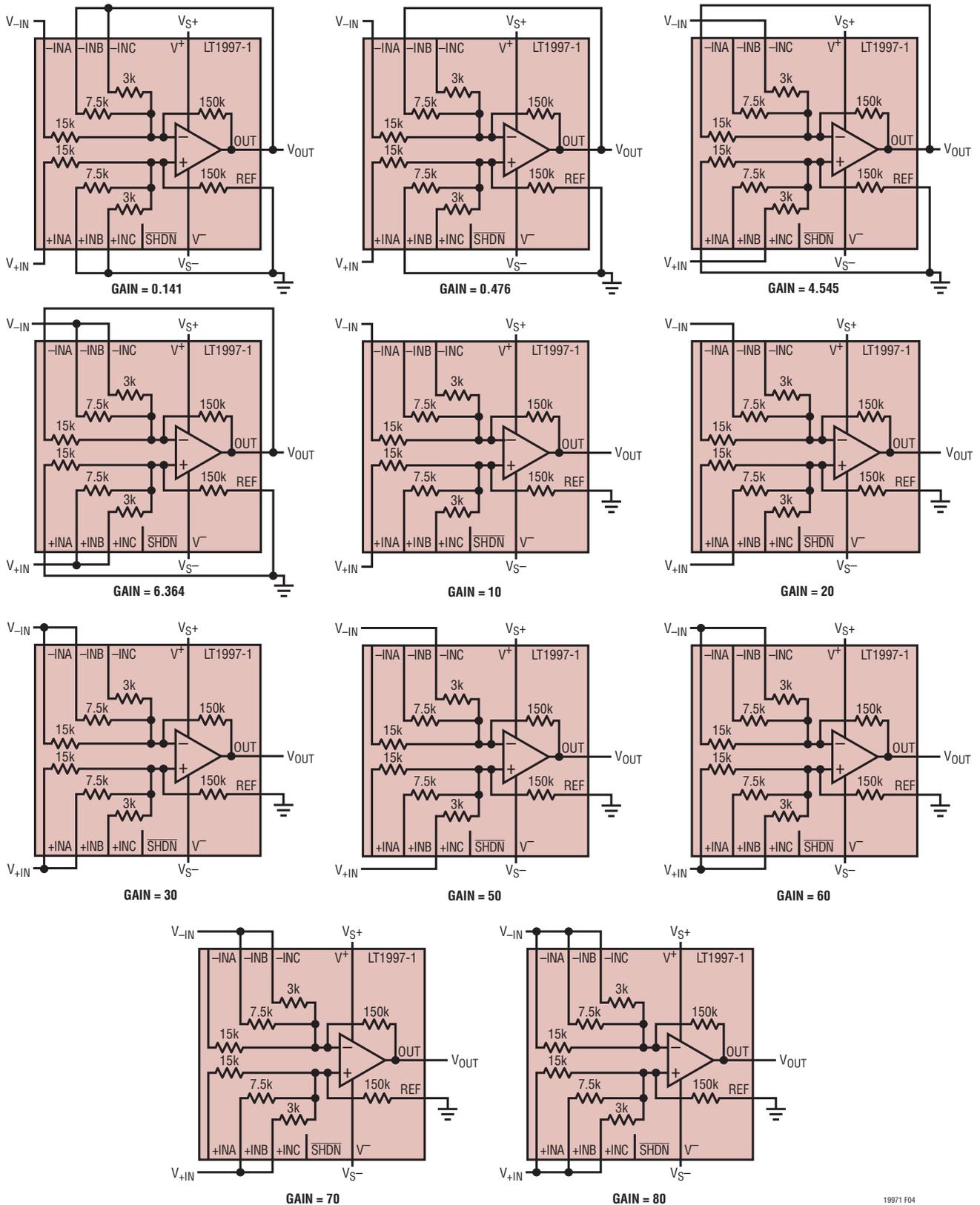


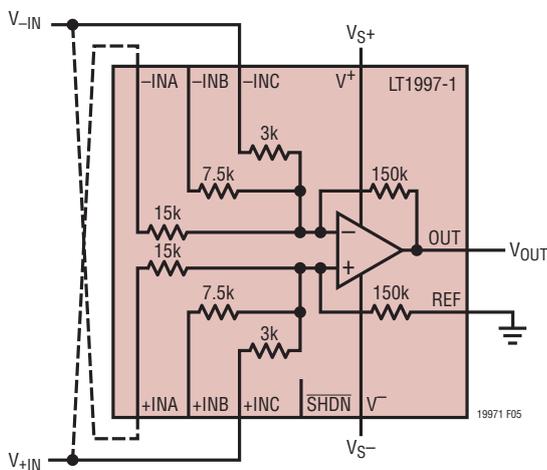
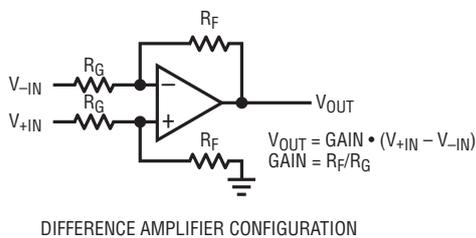
図4. ピン・ストラップ設定により実現可能な、ディファレンス・アンプの様々なゲイン

19971 F04

アプリケーション情報

ディファレンス・アンプ:クロスカップリングを使用したゲインの追加

図5に、基本的なディファレンス・アンプと、入力クロスカップリングされたLT1997-1を示します。破線の接続を追加することで、差動ゲインは50から40に減少します。この方法で追加のゲインを実現できます。図6に、クロスカップリングを使用したディファレンス・アンプの回路図の例を示します。これらの条件をまとめた表1は、ディファレンス・アンプのすべてのゲインを網羅した一覧と、(従来型またはクロスカップリング型の)ピン・ストラップを使用してこれらのゲインを構成する方法を示しています。0.141~80の範囲で24種類の固有なゲインがあり、外付け部品を使用せずにLT1997-1だけで実現できます。



DIFFERENCE AMPLIFIER CONFIGURATION
 IMPLEMENTED WITH THE LT1997-1, $R_f = 150k$, $R_g = 3k$, GAIN = 50
 GAIN CAN BE ADJUSTED BY CROSS-COUPLING THE INPUTS.
 MAKING THE DASHED CONNECTIONS REDUCES THE GAIN FROM 50 TO 40

図5. LT1997-1のクロスカップリングによる追加ゲインの構築

表1. ディファレンス・アンプのゲイン

ゲイン	V+IN	V-IN	GND (REF)	OUT
0.141	+INA	-INA	+INB, +INC	-INB, -INC
0.196	+INA	-INA	+INC	-INC
0.323	+INA	-INA	-INB, +INC	+INB, -INC
0.328	+INB	-INB	+INA, +INC	-INA, -INC
0.392	+INB	-INB	+INC	-INC
0.476	+INA	-INA	+INB	-INB
0.488	+INB	-INB	-INA, +INC	+INA, -INC
0.588	+INA, +INB	-INA, -INB	+INC	-INC
1.613	+INC	-INC	+INA, +INB	-INA, -INB
1.818	+INB	-INB	+INA	-INA
1.905	-INA, +INC	+INA, -INC	+INB	-INB
2.381	+INC	-INC	+INB	-INB
2.727	-INB, +INC	+INB, -INC	+INA	-INA
2.857	+INA, +INC	-INA, -INC	+INB	-INB
4.545	+INC	-INC	+INA	-INA
6.364	+INB, +INC	-INB, -INC	+INA	-INA
10	+INA	-INA		
20	+INB	-INB		
30	+INA, +INB	-INA, -INB		
40	-INA, +INC	+INA, -INC		
50	+INC	-INC		
60	+INA, +INC	-INA, -INC		
70	+INB, +INC	-INB, -INC		
80	+INA, +INB, +INC	-INA, -INB, -INC		

アプリケーション情報

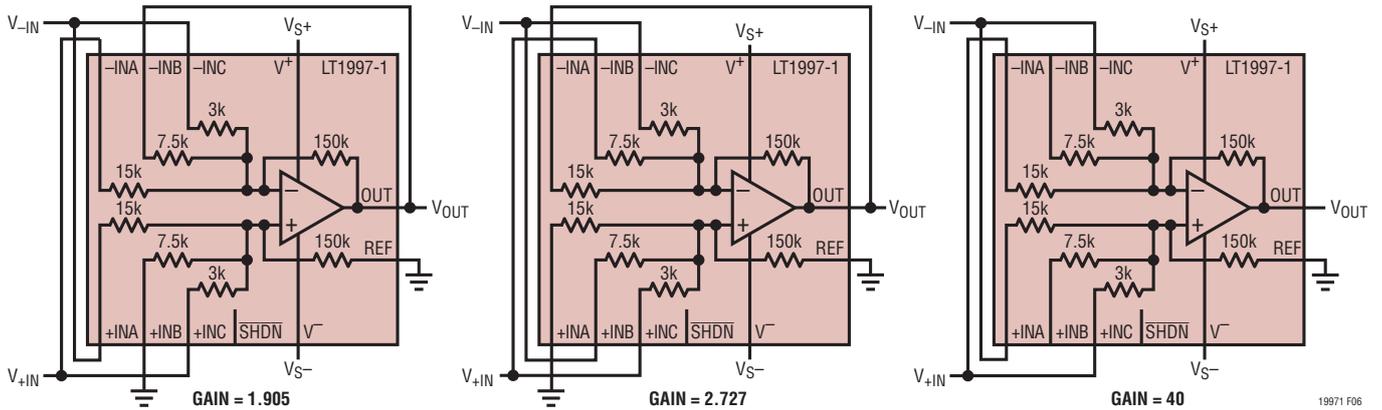


図6. 実現可能なディファレンス・アンプのゲイン増大の例

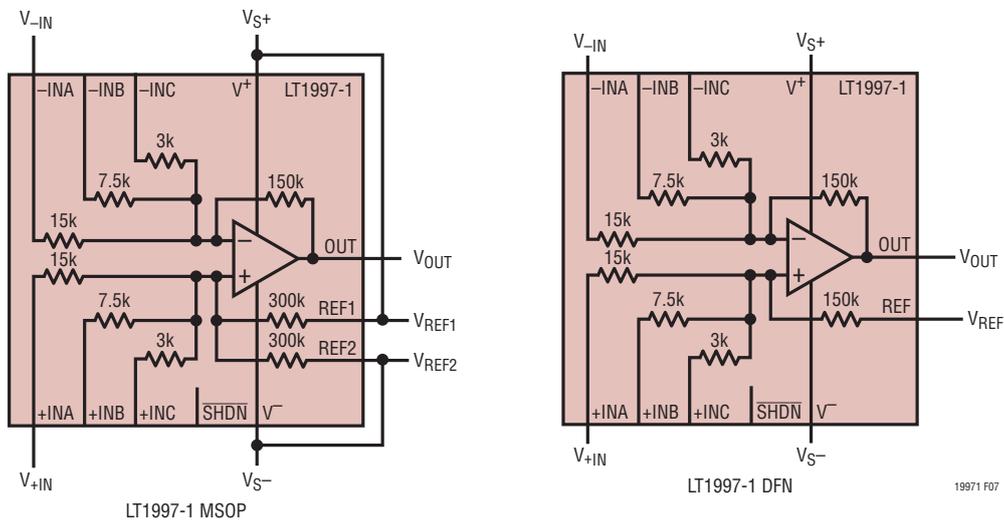


図7. LT1997-1のリファレンス抵抗:MSOPパッケージの分割抵抗、DFNパッケージの単一抵抗

シングル・エンド入力のアンプ

前のセクションで説明したすべてのディファレンス・アンプ構成は、入力がシングル・エンド入力の場合、非反転アンプまたは反転アンプとして使用可能です。例えば、LT1997-1を使用してシングル・エンド入力での正の減衰を実現するには、 V_{-IN} をグラウンドに接続し、入力信号を V_{+IN} に接続します。同様に、LT1997-1を使用してシングル・エンド入力での負の減衰を実現するには、 V_{+IN} をグラウンドに接続し、入力信号を V_{-IN} に接続します。

リファレンス抵抗

これまでの説明では、リファレンス抵抗を1個の150k抵抗として示しています。これはDFNパッケージのリファレンス抵抗です。MSOPパッケージでは、リファレンス抵抗は2個の300k抵抗に分割されます(図7)。REF1ピンとREF2ピンを同じ電圧に接続すると、DFNパッケージで V_{REF} ピンをその電圧に接続した場合と同じリファレンス電圧が得られます。REF1ピンとREF2ピンを異なる電圧に接続すると、得られる実効リファレンス電圧は V_{REF1} と V_{REF2} の平均になります。こ

アプリケーション情報

の機能は、希望するリファレンス電圧が両電源電圧の midpoint である場合に特に効果的です。REF1 を V_{S+} に接続し、REF2 を V_{S-} に接続すると、他の外部リファレンス電圧を使用せずに、電源電圧の midpoint の電圧が得られます (図7)。 R_{REF1} と R_{REF2} の比は次のように非常に正確です。

$$\frac{\Delta R}{R} = \left| \frac{R_{REF1} - R_{REF2}}{\frac{R_{REF1} + R_{REF2}}{2}} \right| < 60\text{ppm}$$

シャットダウン

LT1997-1 はシャットダウン・ピン ($\overline{\text{SHDN}}$) を備えています。通常動作では、このピンを V^+ に接続するか、フロート状態にする必要があります。このピンを V^+ より 2.5V 以上低い電圧に接続すると、デバイスは低消費電力状態に移行します。電源電流が 25 μA 未満に減少し、オペアンプの出力が高インピーダンスになります。シャットダウン・モードでも入力ピンに電圧がかかることがあります。

電源電圧

LT1997-1 の正電源ピンは、小容量コンデンサ (標準 0.1 μF) を電源ピンのできるだけ近くに配置してバイパスします。重い負荷を駆動するときには、4.7 μF の電解コンデンサを追加する必要があります。両電源を使用するときは、 V^- 電源ピンでも同様です。

出力

LT1997-1 の出力は、通常は無負荷時にいずれかの電源レールの 30mV の範囲内で振幅し、25°C で約 30mA の電流の引き込みおよび引き出しが可能です。LT1997-1 は、任意の出力負荷条件で少なくとも 2nF のコンデンサを駆動するように内部で補償されます。容量性負荷が 2nF より大きい場合は、出力とグラウンドの間の 150 Ω の抵抗に直列に 0.22 μF のコンデンサを接続すると、このアンプは 2nF より大きな容量性負荷を駆動するように補償されます。

歪み

LT1997-1 は、内部オペアンプが通常動作領域内で動作しているときの優れた歪み性能を特長としています。LT1997-1 の内部オペアンプが Over-The-Top 領域で動作しているときは、オペアンプのループ・ゲインが低下するため、歪みが増大し

ます。LT1997-1 の動作中に入力コモン・モード電圧が通常動作から Over-The-Top 動作に移行すると、オペアンプは 2 種類の入力段の間を遷移する必要があるため、LT1997-1 の直線性が著しく低下します。また、150k の内部帰還抵抗より大幅に小さい抵抗性負荷を駆動すると、アンプの直線性性能は低下します。

ピン間隔が拡張された高電圧ピン

LT1997-1 のピンは、入力電圧の高いアプリケーションでプリント基板 (PCB) レイアウトの負担を軽減できるように配置されています。このデータシートのピン配置に示すように、+INA、-INA、+INB、および -INB 入力ピンの電圧は、ピンの間隔を広げることによって他のピンから切り離されています。

消費電力に関する検討事項

LT1997-1 は、非常に高い入力電圧に耐えて重い負荷を駆動するために、最大 $\pm 25\text{V}$ の電源電圧で動作することができ、ダイのジャンクション温度が 150°C を超えないようにする必要があります。LT1997-1 は、DF14 パッケージ ($\theta_{JA} = 45^\circ\text{C}/\text{W}$ 、 $\theta_{JC} = 3^\circ\text{C}/\text{W}$) および MS16 パッケージ ($\theta_{JA} = 130^\circ\text{C}/\text{W}$) に収納されます。

一般的に、ダイのジャンクション温度 (T_J) は、周囲温度 (T_A)、デバイスの消費電力 (P_D)、およびデバイスと基板の熱抵抗 (θ_{JA}) から次のように概算することができます。

$$T_J = T_A + P_D \cdot \theta_{JA}$$

ジャンクションから周囲環境への熱抵抗 (θ_{JA}) は、ジャンクションから露出パッドへの熱抵抗 (θ_{JC}) と露出パッドから周囲環境への熱抵抗 (θ_{CA}) の和になります。 θ_{CA} の値は、基板内で露出パッドに接続される PCB 金属面をどれだけ広くするかによって依存します。接続する PCB 金属面を広くするほど、 θ_{CA} と θ_{JA} は小さくなります。

電力損失は、アンプの自己消費電流、抵抗性負荷を駆動する出力電流、LT1997-1 の内部抵抗回路網を駆動する入力電流によって発生します。

$$P_D = ((V_{S+} - V_{S-}) \cdot I_S) + P_{OD} + P_{RES}$$

アプリケーション情報

特定の電源電圧では、最も厳しい出力消費電力 $P_{OD(MAX)}$ は、いずれかの電源電圧の半分の出力電圧で発生します。 $P_{OD(MAX)}$ は次式で求められます。

$$P_{OD(MAX)} = \frac{(V_S/2)^2}{R_{LOAD}}$$

内部抵抗で消費される電力(P_{PRESD})は、入力抵抗の設定方法と、入力電圧、出力電圧、およびREFピンの電圧に依存します。以下の式および図8に、LT1997-1の内部抵抗の各グループに対応した P_{PRESD} の各成分を示します。ここでは、両電源構成のLT1997-1を、REFピンがグランドの状態で使用すると仮定しています(以下の式で使用している抵抗に関する用語については、図3を参照)。

$$P_{PRESDA} = \frac{(V_{+IN})^2}{R_G + R_F}$$

$$P_{PRESDB} = \frac{\left(V_{-IN} - V_{+IN} \cdot \frac{R_F}{R_G + R_F} \right)^2}{R_G}$$

$$P_{PRESDC} = \frac{\left(V_{+IN} \cdot \frac{R_F}{R_G + R_F} - V_{OUT} \right)^2}{R_F}$$

$$P_{PRESD} = P_{PRESDA} + P_{PRESDB} + P_{PRESDC}$$

一般に、 P_{PRESD} は、入力電圧が高いほど、また出力電圧とREFピンの電圧が低いほど増加します。

例：プリント基板に実装されたDFNパッケージのLT1997-1の熱抵抗は $45^\circ\text{C}/\text{W}$ です。 $\pm 25\text{V}$ 電源で動作し、 $V_{+IN} = 51\text{V}$

および $\text{REF} = 0\text{V}$ で $2.5\text{k}\Omega$ の負荷を 12.5V で駆動するとき、総電力損失は次式で求められます。

$$\begin{aligned} P_D &= (50 \cdot 0.6\text{mA}) + \frac{12.5^2}{2.5\text{k}} + \frac{51^2}{165\text{k}} \\ &+ \frac{\left(49.75 - \frac{51 \cdot 10}{11} \right)^2}{15\text{k}} + \frac{\left(\frac{51 \cdot 10}{11} - 12.5 \right)^2}{150\text{k}} \\ &= 0.12\text{W} \end{aligned}$$

熱抵抗を $45^\circ\text{C}/\text{W}$ と仮定すると、ダイ温度は周囲温度を 5.4°C 上回ります。これにより、上の条件でLT1997-1を動作させる最大周囲温度は次のようになります。

$$T_A = 150^\circ\text{C} - 5.4^\circ\text{C} = 144.6^\circ\text{C}$$

DFNパッケージの露出パッドに接続するPCB金属面をできるだけ広くすることを推奨します。露出パッドに接続する

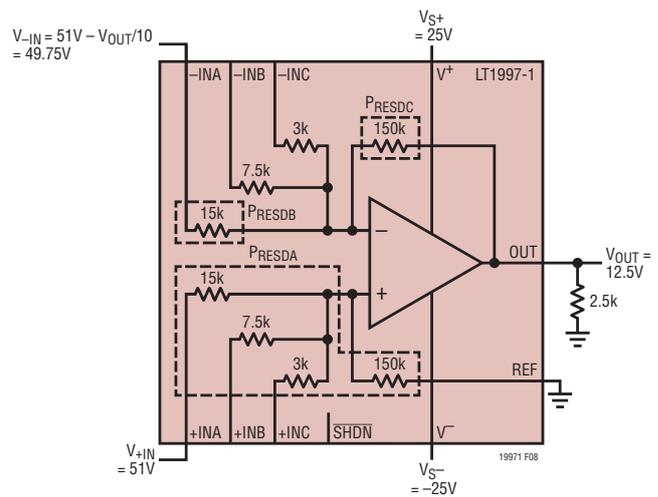


図8. 消費電力の例

アプリケーション情報

PCB金属面を広くするほど、熱抵抗は低くなります。露出パッドに接続するPCB金属面を広くすることで、 θ_{JA} を $45^{\circ}\text{C}/\text{W}$ 未満まで小さくできます。露出パッドから V^{-} プレーンへは複数のビアを使用します。露出パッドは V^{-} ピンに電気的に接続されます。また、最大ジャンクション温度近くで動作する場合は、ヒートシンクが必要なことがあります。

MSOPパッケージには露出パッドがないため、熱抵抗が高くなります($\theta_{JA} = 130^{\circ}\text{C}/\text{W}$)。MSOPパッケージは、周囲温度が高いアプリケーション、重い負荷を駆動する必要があるアプリケーション、または極端な入力電圧を必要とするアプリケーションでは使用しないでください。

サーマル・シャットダウン

LT1997-1は、ダイ温度が約 163°C に上昇した場合、安全のためにシャットダウン・モードに移行します。このサーマル・シャットダウンは、約 9°C のヒステリシスを備えており、アンプを再びイネーブルするには、ダイ温度が 9°C 下がる必要があります。

ESD 保護

LT1997-1は多くのESD構造によって保護されます。これらの構造を図9に示します。

ESD構造は、内部回路を保護するだけでなく、特定のノードの信号振幅を制限するのにも役立ちます。 $+INA$ 、 $-INA$ 、 $+INB$ 、 $-INB$ 、 $+INC$ 、 $-INC$ ピンでのESD構造および内部オペアンプ入力でのESD構造により、これらのノードの電圧は、 V^{-} より 0.3V 低い電圧と V^{-} より 80V 高い電圧までに制限されます。 REF (DFN)、 $REF1$ (MSOP)、および $REF2$ (MSOP)ピンの電圧は、 V^{-} より 0.3V 低い電圧と V^{-} より 60V 高い電圧までに制限されます。 $SHDN$ ピンの電圧は、 V^{-} より 0.3V 低い電圧と V^{+} より $0.3\mathbf{V}$ 高い電圧までに制限されます。

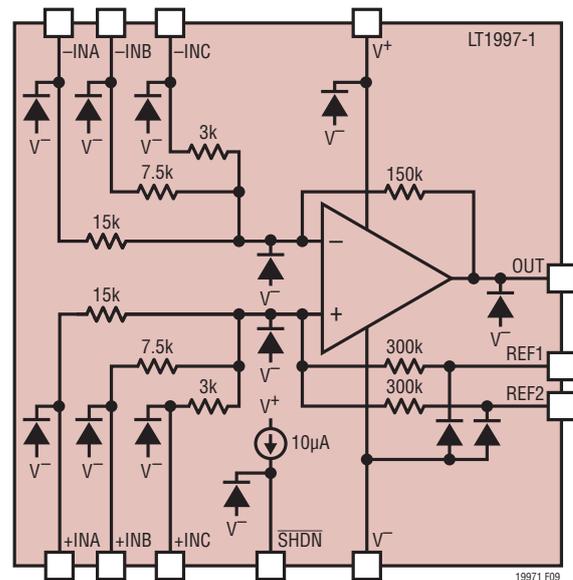
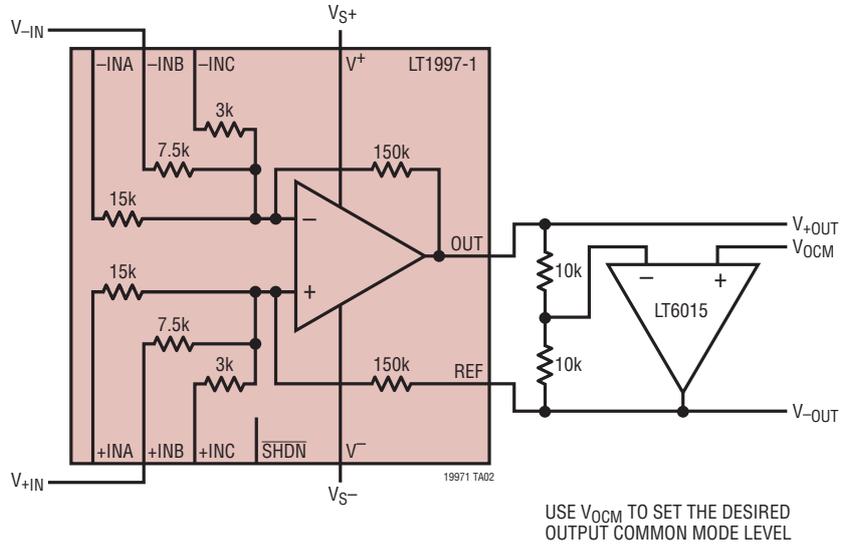


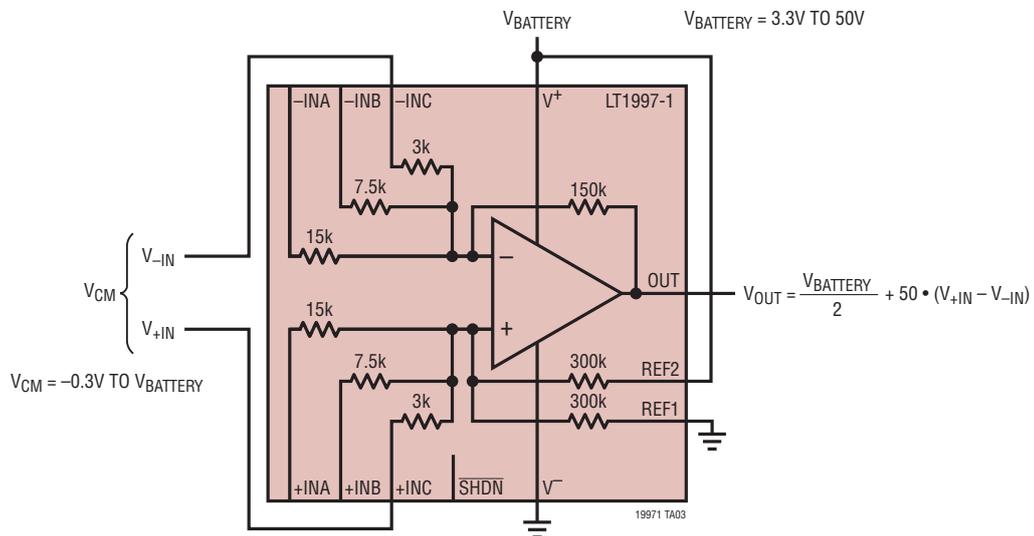
図9. ESD保護

代表的なアプリケーション

差動出力用に構成された、ゲイン = 20 の LT1997-1

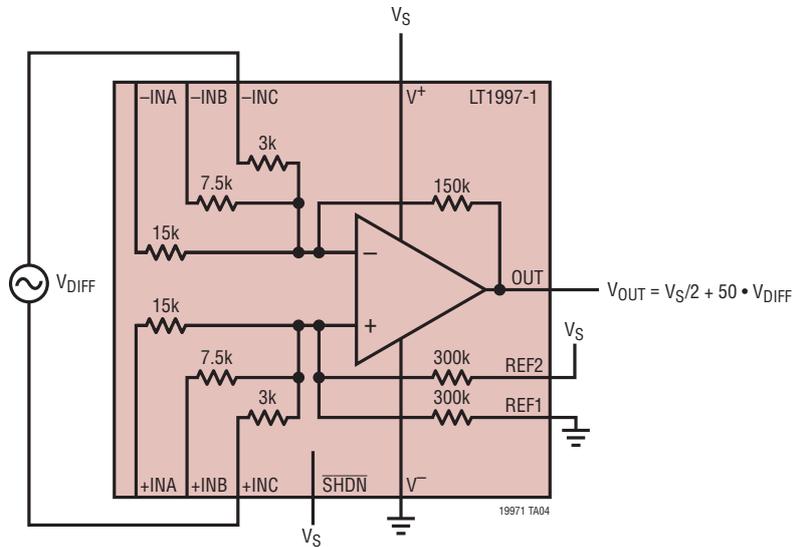


高精度 RRIO の短電源ディファレンス・アンプ



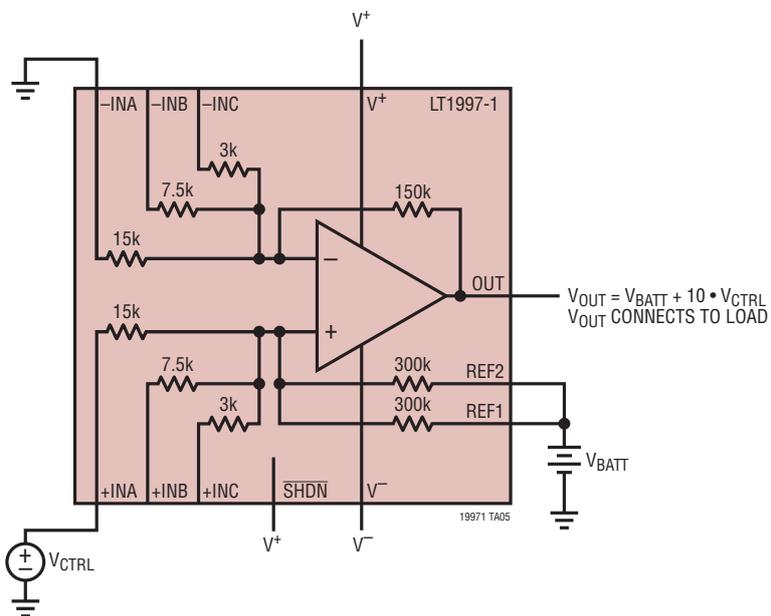
代表的なアプリケーション

フロート入力のディファレンス・アンプ



THE INPUT SIGNAL FLOATS. THE VOLTAGE AT THE REF INPUTS AND THE OUTPUT VOLTAGE DETERMINE THE COMMON MODE VOLTAGE AT THE INPUT

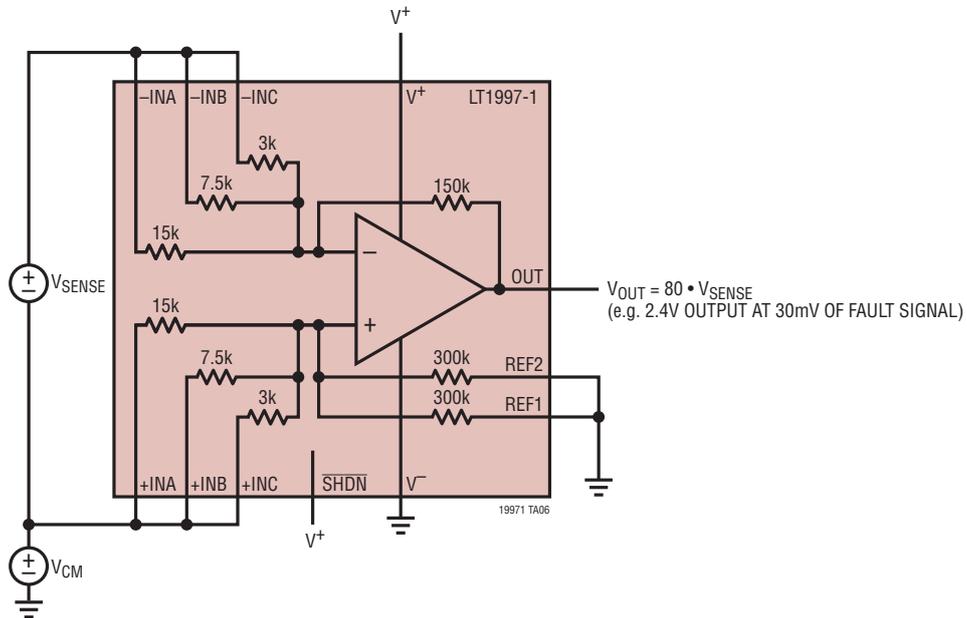
制御信号を使用した電源の構築



THIS CIRCUIT USES A GROUND-REFERENCED CONTROL SIGNAL TO CREATE A SUPPLY ON TOP OF AN EXISTING SUPPLY (V_{BATT})

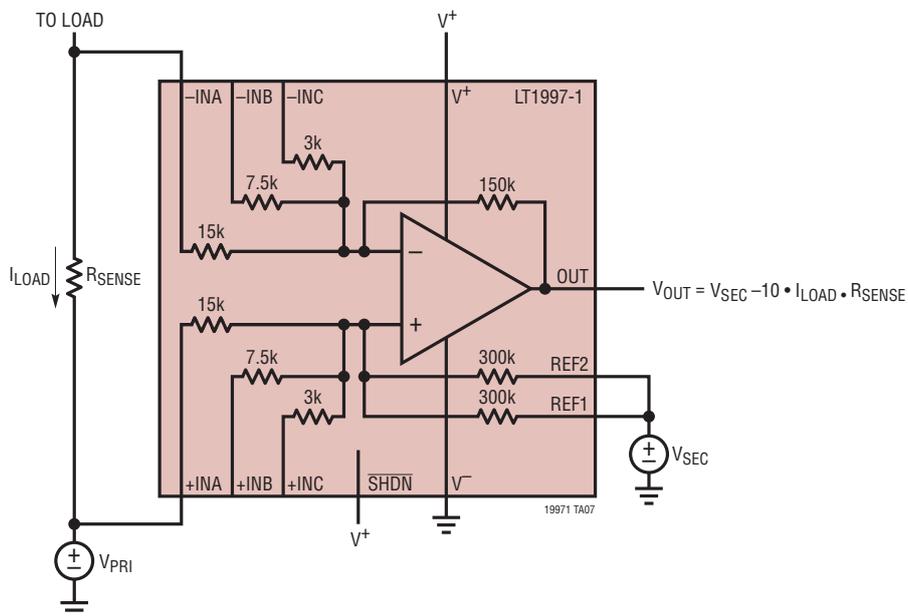
代表的なアプリケーション

フォルト検出



FAULT DETECTION AT HIGH COMMON MODE VOLTAGE: LOOK FOR AN INCREASING VOLTAGE THAT MIGHT INDICATE BREAKAGE.

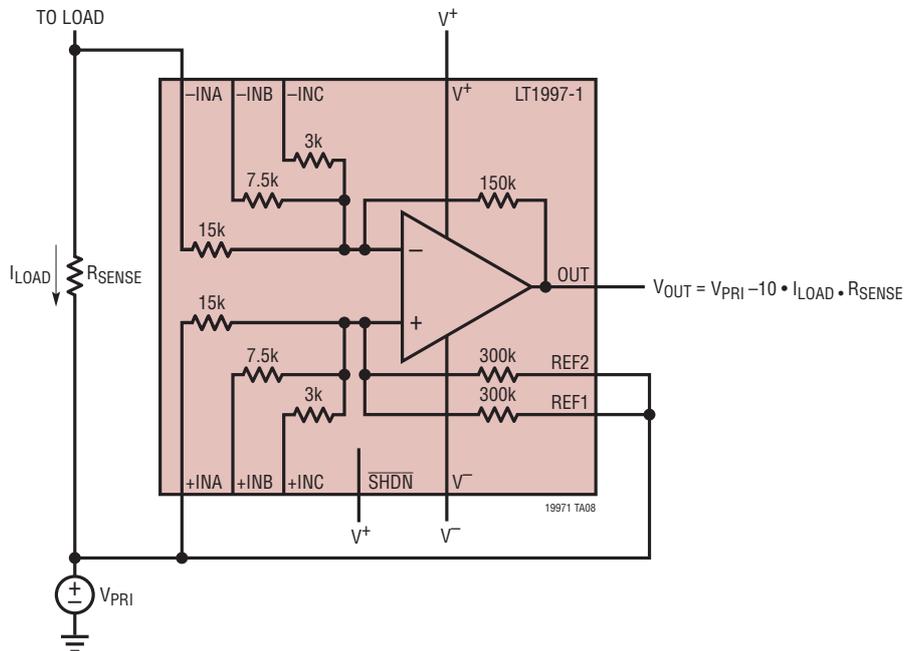
スケール変更とシフト



THIS CONFIGURATION SHOWS SCALING AND GROUND DOMAIN SHIFTING FROM V_{PRI} TO V_{SEC} . V_{SEC} CAN, OF COURSE, BE GROUND.

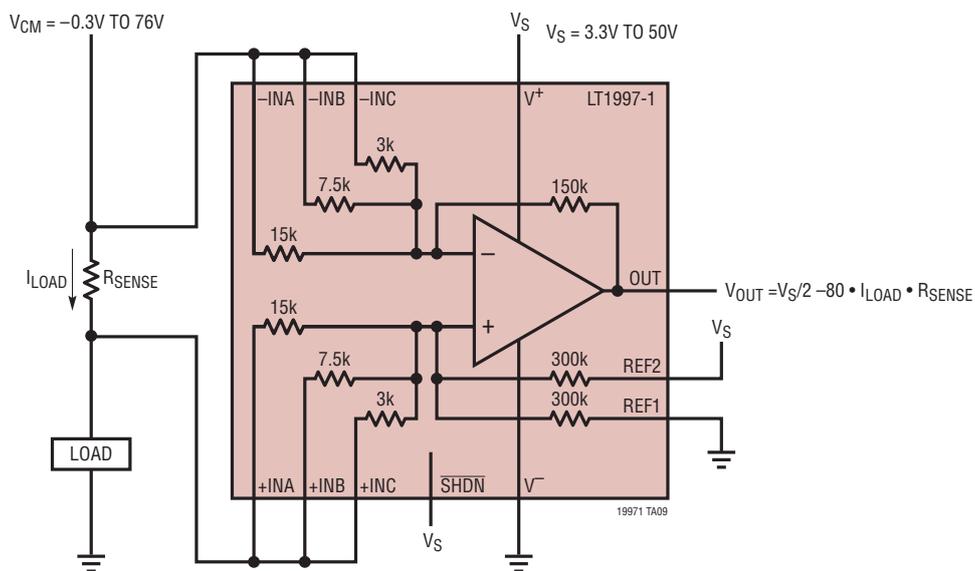
代表的なアプリケーション

スケール変更と非シフト



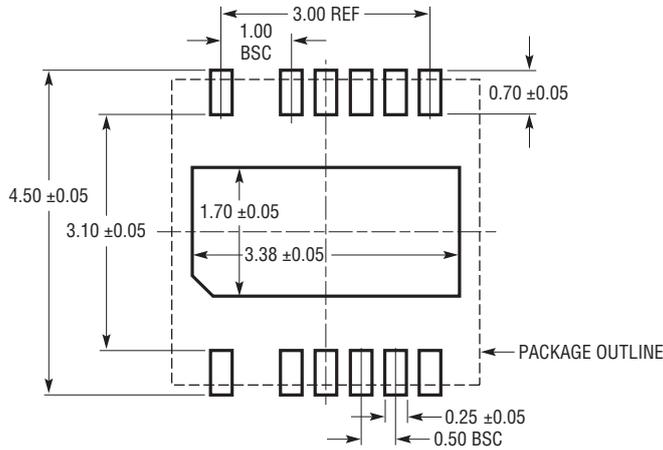
THIS CONFIGURATION SCALES THE INPUT. THE OUTPUT SIGNAL IS REFERENCED TO THE SAME GROUND DOMAIN AS THE INPUT. THUS THE CIRCUIT CAN OPERATE AS A LOW SIDE CURRENT SENSE IN THE PRIMARY DOMAIN. RELATIVE TO THE INPUT GROUND DOMAIN, THE OUTPUT CAN BE TRULY DRIVEN TO "ZERO".

双方向のハイサイド電流検出

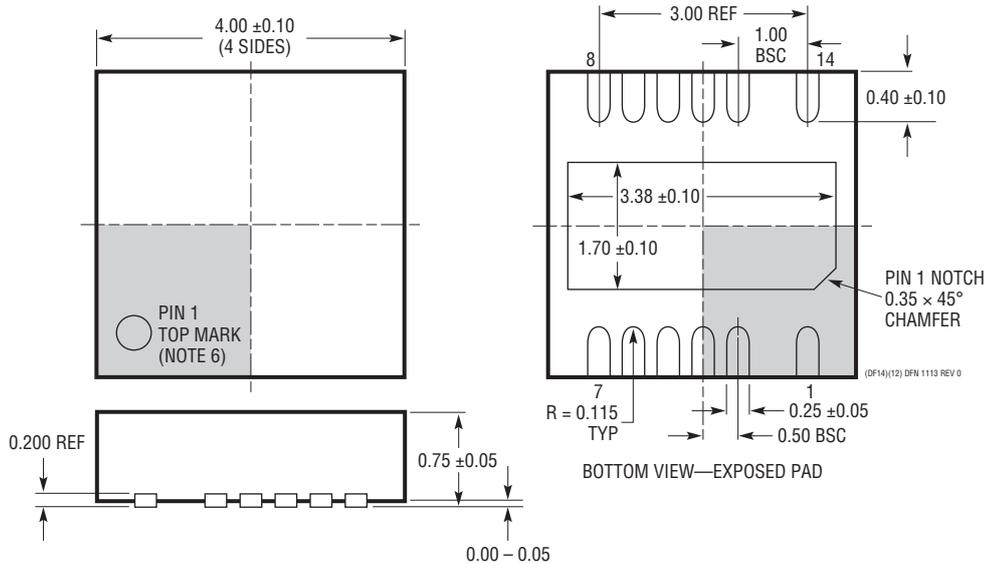


OUTPUT OFFSET INCREASES WHEN $V_{CM} > V_S$

DF Package
14(12)-Lead Plastic DFN (4mm × 4mm)
 (Reference LTC DWG # 05-08-1963 Rev 0)



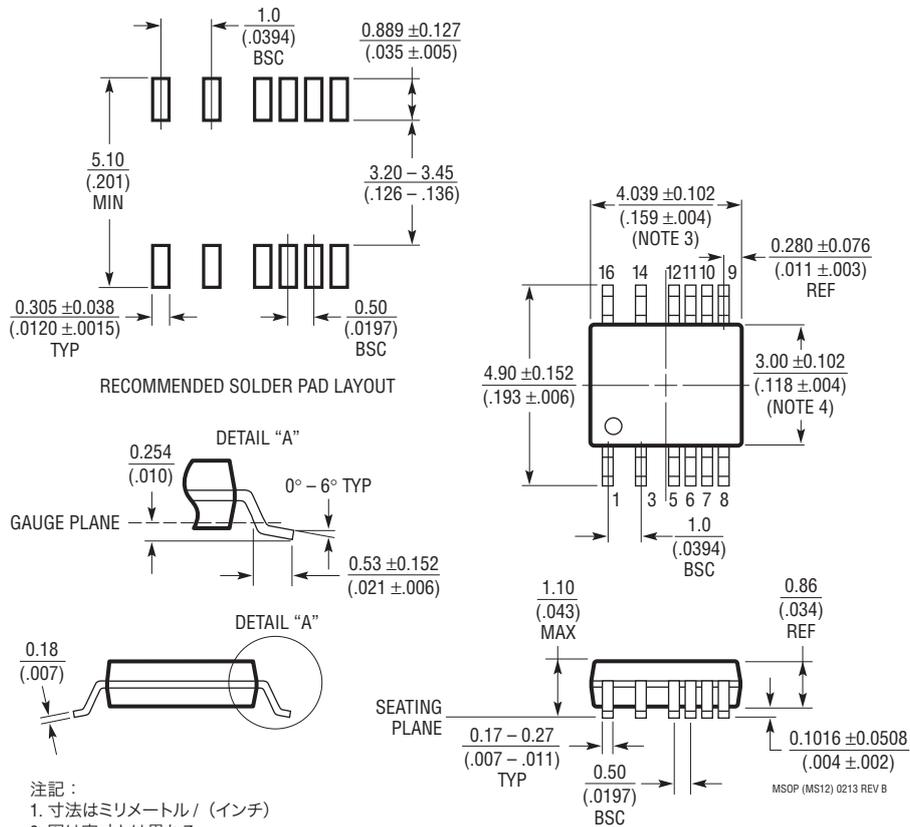
RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS
 APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED



- 注記:
1. パッケージの外形は JEDEC MO-229 に適合していない
 2. 図は実寸とは異なる
 3. 全ての寸法はミリメートル
 4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。
モールドのバリは (もしあれば) 各サイドで 0.15mm を超えないこと
 5. 露出パッドはハンダ・メッキとする
 6. 灰色の部分はパッケージの上と底面の 1 番ピンの位置の参考に過ぎない

パッケージ

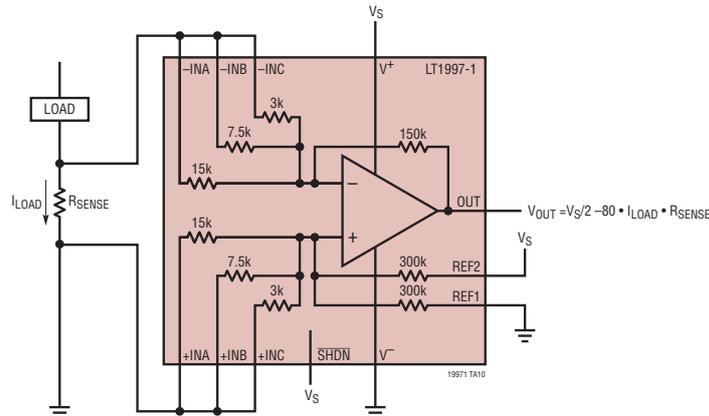
MS Package
16 (12)-Lead Plastic MSOP with 4 Pins Removed
 (Reference LTC DWG # 05-08-1847 Rev B)



- 注記：
 1. 寸法はミリメートル / (インチ)
 2. 図は実寸とは異なる
 3. 寸法にはモールドのバリ、突出部、またはゲートのバリを含まない。
 モールドのバリ、突出部、またはゲートのバリは、各サイドで 0.152mm (0.006") を超えないこと
 4. 寸法には、リード間のバリまたは突出部を含まない。リード間のバリまたは突出部は、各サイドで 0.152mm (0.006") を超えないこと
 5. リードの平坦度 (整形後のリードの底面) は最大 0.102mm (0.004") であること

代表的なアプリケーション

双方向のローサイド電流検出



THIS CIRCUIT PROVIDES BIDIRECTIONAL LOW SIDE CURRENT SENSE BECAUSE IT CAN WORK AT SLIGHTLY NEGATIVE VOLTAGES ON THE -INA/-INB/-INC INPUT PINS, AS DRAWN

関連製品

製品番号	説明	注釈
ディファレンス・アンプ		
LT1997-3	電圧範囲の広い、ゲインを選択可能な高精度アンプ	動作電圧: 3.3V~50V、CMRR > 91dB、入力電圧: ±160V、ゲイン = 1、3、9
LT1997-2	電圧範囲の広い、ゲインを選択可能な高精度ファンネル・アンプ	動作電圧: 3.3V~50V、CMRR > 105dB、入力電圧: ±255V、ゲイン = 0.1、0.2、0.25
LT6375	コモン・モード電圧範囲が±270Vの差電圧アンプ	動作電圧: 3.3V~50V、CMRR > 97dB、入力電圧: ±270V、ゲイン = 1
LT6376	コモン・モード電圧範囲が±230V、G = 10のディファレンス・アンプ	動作電圧: 3.3V~50V、CMRR > 90dB、入力電圧: ±230V、ゲイン = 10
LT1990	入力電圧範囲が±250Vのディファレンス・アンプ	動作電圧: 2.7V~36V、CMRR > 70dB、入力電圧: ±250V、ゲイン = 1、10
LT1991	高精度、100μA、ゲイン選択可能アンプ	動作電圧: 2.7V~36V、オフセット電圧: 50μV、CMRR > 75dB、入力電圧: ±60V
LT1996	高精度、100μA、ゲイン選択可能アンプ	マイクロパワー、ピンで選択可能な最大ゲイン: 118
AD8275	G = 0.2のレベル変換 16ビット ADC ドライバ	動作電圧: 3.3V~15V、CMRR > 86dB、入力電圧: -35V~40V、ゲイン = 0.2
AD8475	ゲイン選択可能な高精度フル差動ファンネル・アンプ	動作電圧: 3.3V~10V、CMRR > 86dB、入力電圧: ±15V、ゲイン = 0.4、0.8
オペアンプ		
LT6015/LT6016/ LT6017	シングル、デュアル、およびクワッド Over-The-Top 高精度オペアンプ	3.2MHz、0.8V/μs、VOS: 50μV、VS: 3V~50V、IS: 0.335mA、RRIO
LT6018	33V、超低ノイズ、高精度オペアンプ	VOS: 50μV、GBW: 15MHz、SR: 30V/μs、en: 1.2nV/√Hz、IS: 7.2mA
LTC6090/LTC6091	シングルおよびデュアル 140V オペアンプ	IB: 50pA、VOS: 1.6mV、VS: 9.5V~140V、IS: 4.5mA、RR 出力
電流検出アンプ		
LT1999	高電圧の双方向電流検出アンプ	動作電圧: -5V~80V、オフセット電圧: 750μV、CMRR: 80dB (100kHz 時)、ゲイン = 10、20、50
LT6108	リファレンス、コンパレータ、シャットダウン機能を備えたハイサイド電流検出アンプ	動作電圧: 2.7V~60V、オフセット電圧: 125μV、抵抗によるゲイン設定、閾値誤差: ±1.25%
LT1787/ LT1787HV	高精度、双方向ハイサイド電流検出アンプ	動作電圧: 2.7V~60V、オフセット電圧: 75μV、消費電流: 60μA
LT6100	ゲイン選択可能なハイサイド電流検出アンプ	動作電圧: 4.1V~48V、ピンで選択可能なゲイン: 10V/V、12.5V/V、20V/V、25V/V、40V/V、50V/V
LTC6101/ LTC6101HV	高電圧、ハイサイド電流検出アンプ	動作電圧: 4V~60V/5V~100V、外付け抵抗によるゲイン設定、SOT23
LTC6102/ LTC6102HV	ゼロドリフト・ハイサイド電流検出アンプ	動作電圧: 4V~60V/5V~100V、オフセット電圧: ±10μV、ステップ応答: 1μs、MSOP8/DFN パッケージ
LTC6104	双方向、ハイサイド電流検出	動作電圧: 4V~60V、ゲインを構成可能、8ピン MSOP パッケージ