



GaAs、pHEMT、MMIC 正側（供給）単電源、DC~7.5GHz 1W パワー・アンプ

データシート

HMC637BPM5E

特長

P1dB 出力電力：28dBm（代表値）

ゲイン：15.5dB（代表値）

出力 IP3：39dBm（代表値）

345mA（代表値）、VDD = 12V で自己バイアス

I_{DQ} 調整用の V_{GG1} におけるオプションのバイアス制御

IP2 および IP3 最適化用の V_{GG2} における

オプションのバイアス制御

50Ω に整合した入出力

32 ピン、5mm × 5mm LFCSP パッケージ：25mm²

アプリケーション

防衛および宇宙

試験用計測器

機能ブロック図

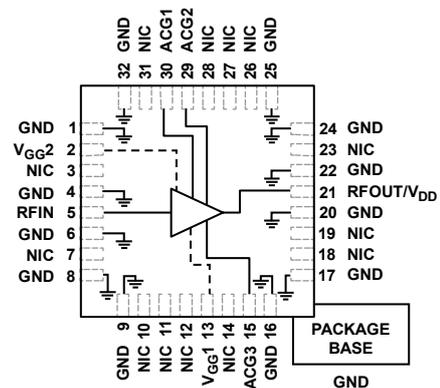


図 1.

概要

HMC637BPM5E は、ガリウム・ヒ素 (GaAs)、モノリシック・マイクロ波集積回路 (MMIC)、擬似格子整合型高電子移動度トランジスタ (pHEMT)、カスコード分布型パワー・アンプです。このデバイスは、通常動作で自己バイアスし、静止電流 (I_{DQ}) の調整および 2 次インターセプト (IP2) と 3 次インターセプト (IP3) の最適化のためのオプションのバイアス制御機能を備えています。アンプは DC~7.5GHz で動作し、15.5dB の小信号ゲイン、1dB ゲイン圧縮で 28dBm の出力電力、39dBm の出力 IP3（代表値）、3.5dB のノイズ指数を提供します。また、

12V 電源電圧 (V_{DD}) から 345mA が必要です。HMC637BPM5E は、DC~7.5GHz でゲイン平坦度が±0.5dB（代表値）と良好なため、防衛、宇宙、および試験装置などのアプリケーションに最適です。また、HMC637BPM5E は、内部的に 50Ω 整合される入出力 (I/O) を備え、RoHS 準拠の 5mm × 5mm、プリモールド・キャビティのリード・フレーム・チップ・スケール・パッケージ (LFCSP) を採用しているため、このデバイスは量産向け表面実装技術 (SMT) アセンブリ装置への適合性があります。

Rev. 0

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©2019 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市西区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長.....	1	インターフェース回路図.....	6
アプリケーション.....	1	代表的な性能特性.....	7
機能ブロック図.....	1	動作原理.....	17
概要.....	1	アプリケーション情報.....	18
改訂履歴.....	2	代表的なアプリケーション回路.....	19
仕様.....	3	評価用 PCB.....	20
周波数範囲 : DC~7.5GHz.....	3	部品表.....	20
絶対最大定格.....	4	外形寸法.....	21
熱抵抗.....	4	オーダー・ガイド.....	21
ESDに関する注意.....	4		
ピン配置およびピン機能の説明.....	5		

改訂履歴

5/2018—Revision 0: Initial Version

仕様

周波数範囲 : DC~7.5GHz

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 12\text{V}$ 、 $I_{DQ} = 345\text{mA}$ 、 $V_{GG1} = \text{GND}$ 、 $V_{GG2} = \text{オープン}$ 、公称自己バイアス動作。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
FREQUENCY RANGE		DC		7.5	GHz	
GAIN		12.5	15.5		dB	
Gain Flatness			± 0.5		dB	
Gain Variation over Temperature			± 0.015		dB/ $^\circ\text{C}$	
NOISE FIGURE			3.5		dB	
RETURN LOSS						
Input			15		dB	
Output			15		dB	
OUTPUT						
Output Power for 1 dB Compression	P1dB	25	28		dBm	Measurement taken at output power (P_{OUT})/ tone = 10 dBm
Saturated Output Power	P_{SAT}		30.5		dBm	
Output Third-Order Intercept	IP3		39		dBm	
SUPPLY						
Current	I_{DQ}		345		mA	For the external bias condition, adjust the gate bias voltage (V_{GG1}) between -2 V up to +0.5 V to achieve the desired quiescent current (I_{DQ})
Voltage	V_{DD}	8	12	13	V	

絶対最大定格

表 2.

Parameter ¹	Rating
Drain Bias Voltage (V_{DD})	14 V
Gate 1 Voltage (V_{GG1})	-2 V to +1 V
Gate 2 Voltage (V_{GG2})	3.5 V to 7 V
Radio Frequency (RF) Input Power (RFIN)	25 dBm
Continuous Power Dissipation (P_{DIS}), T = 85°C (Derate 63.29 mW/°C Above 85°C)	5.7 W
Output Load Voltage Standing Wave Ratio (VSWR)	7:1
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	-55°C to +85°C
Maximum Peak Reflow Temperature	260°C
ESD Sensitivity	
Human Body Model (HBM)	Class 1C
Junction Temperature to Maintain 1 Million Hour Mean Time to Failure (MTTF)	175°C
Nominal Junction Temperature (T = 85°C, V_{DD} = 12 V)	148.52°C

¹ パラメータの説明で、多機能ピンの特定の機能について示している箇所では、仕様に関するピン名のみを示しています。多機能ピンの完全なピン名については、ピン配置およびピン機能の説明のセクションを参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JC} は、ジャンクションからケースへの熱抵抗です。

表 3. 熱抵抗

Package	θ_{JC}	Unit
CG-32-2 ¹	15.8	°C/W

¹ 熱抵抗のシミュレーション値は、36 個のサーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD51 を参照してください。

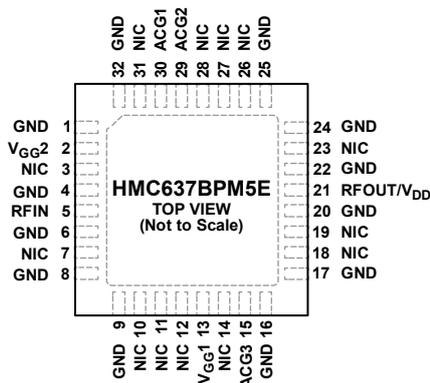
ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



- NOTES
1. EXPOSED PAD. THE EXPOSED PAD MUST BE CONNECTED TO RF/DC GROUND.
 2. NIC = NOT INTERNALLY CONNECTED.

16273-002

図 2. ピン配置

表 4. ピン機能の説明

ピン番号	記号	説明
1, 4, 6, 8, 9, 16, 17, 20, 22, 24, 25, 32	GND	グラウンド。これらのピンと露出パッドは RF/DC グラウンドに接続する必要があります。
2	V _{GG2}	アンプ用ゲート・コントロール 2。V _{GG2} は自己バイアス・モードではオープンに保たれます。この電圧を調整してゲイン応答を制御します。外付けコンデンサが必要です (図 69 参照)。インターフェース回路図については図 7 を参照してください。
3, 7, 10 to 12, 14, 18, 19, 23, 26 to 28, 31	NIC	内部では未接続。これらのピンは RF/DC グラウンドに接続する必要があります。
5	RFIN	RF 入力。このピンは AC カップリングされ、50Ω に整合されています。インターフェース回路図については図 6 を参照してください。
13	V _{GG1}	オプションのアンプ用ゲート・コントロールこのピンが接地されていると、アンプは 345mA の標準的な電流値の自己バイアス・モードで動作します。電圧をグラウンド電位の上または下に調整してドレイン電流を制御します。外付けコンデンサが必要です (図 69 参照)。インターフェース回路図については図 8 を参照してください。
15, 29, 30	ACG1, ACG2, ACG3	低周波終端。これらのピンには外付けコンデンサが必要です (図 69 参照)。インターフェース回路図については図 4 と図 5 を参照してください。
21	RFOUT/V _{DD}	アンプの RF 出力 (RFOUT)。 ドレイン・バイアス電圧 (V _{DD})。DC バイアス (V _{DD}) ネットワークに接続してドレイン電流 I _{DD} を供給します (図 69 参照)。インターフェース回路図については図 5 を参照してください。
	EPAD	露出パッド。露出パッドは RF/DC グラウンドに接続する必要があります。

インターフェース回路図



図 3. GND のインターフェース回路図

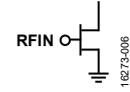


図 6. RFIN のインターフェース回路図

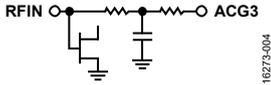


図 4. ACG3 のインターフェース回路図

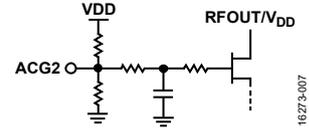


図 7. V_{GG2} のインターフェース回路図

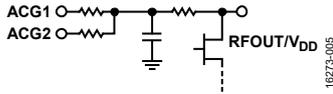


図 5. RFOUT/V_{DD}、ACG1、ACG2 のインターフェース回路図

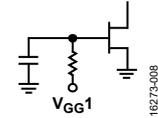


図 8. V_{GG1} のインターフェース回路図

代表的な性能特性

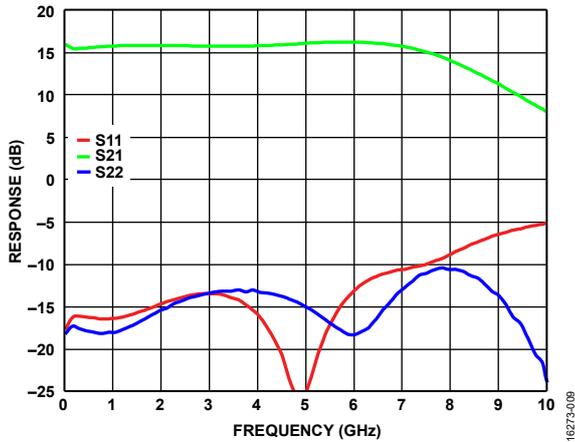


図 9. ゲインおよびリターン損失の周波数応答
(自己バイアス・モード、 $V_{DD} = 12V$ 、 $V_{GG1} = GND$ 、 $V_{GG2} =$ オープン)

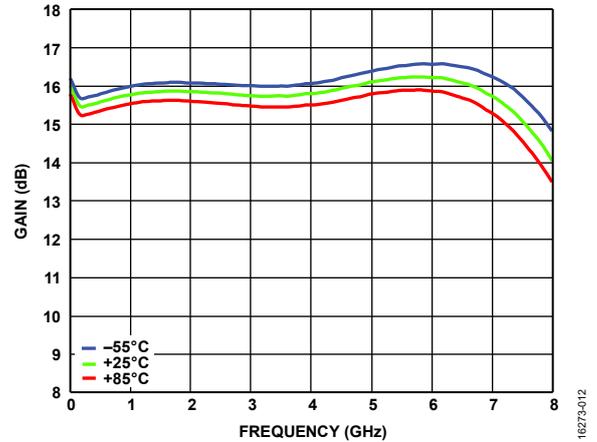


図 12. 様々な温度でのゲインと周波数の関係
(自己バイアス・モード、 $V_{DD} = 12V$ 、 $V_{GG1} = GND$ 、 $V_{GG2} =$ オープン)

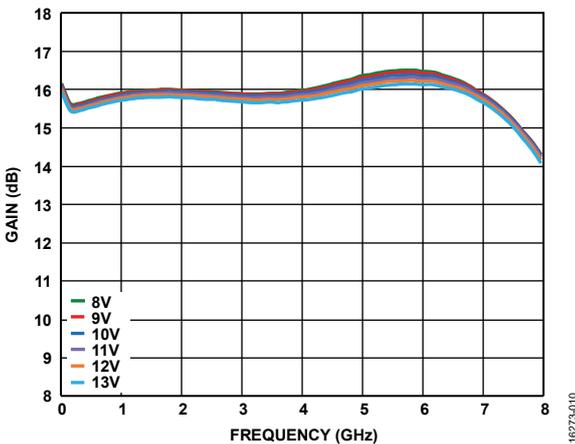


図 10. 様々な電源電圧 (V_{DD}) でのゲインと周波数の関係
(自己バイアス・モード、 $V_{GG1} = GND$ 、 $V_{GG2} =$ オープン)

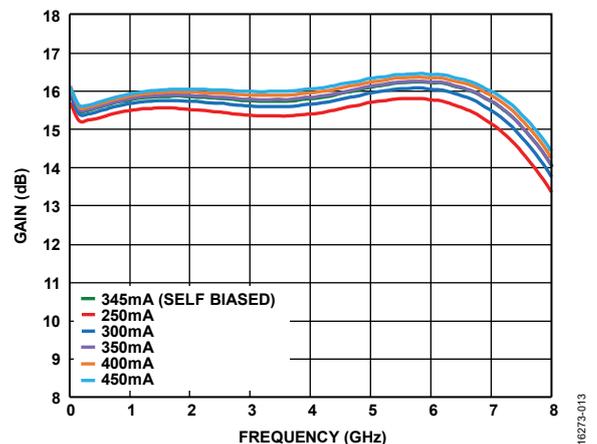


図 13. 様々な電源電流 (I_{DD}) でのゲインと周波数の関係
(外部バイアス・モード、 $V_{DD} = 12V$ 、 $V_{GG2} =$ オープン、 V_{GG1} を制御)

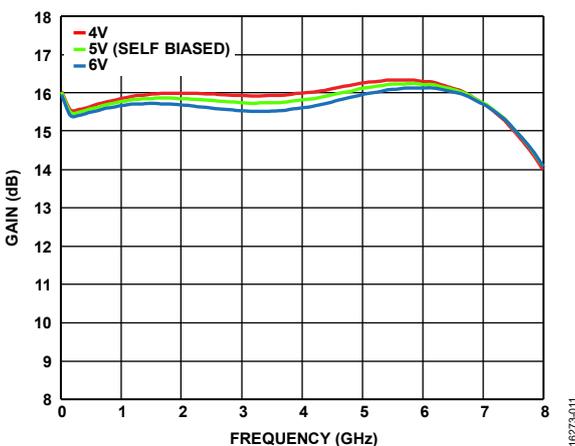


図 11. 様々な V_{GG2} の値でのゲインと周波数の関係
($V_{DD} = 12V$ 、 $V_{GG1} = GND$)

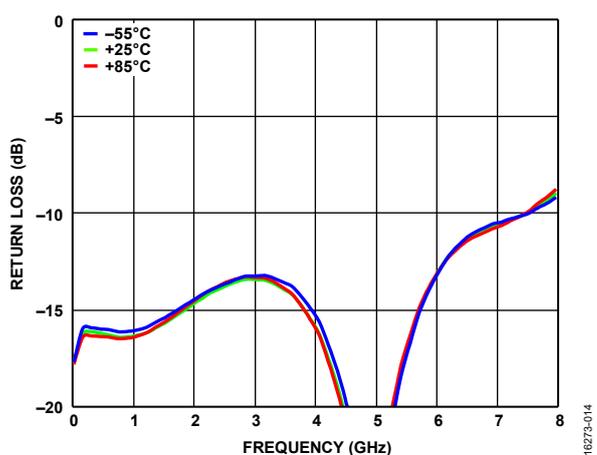


図 14. 様々な温度での入力リターン損失と周波数の関係
(自己バイアス・モード、 $V_{DD} = 12V$ 、 $V_{GG1} = GND$ 、 $V_{GG2} =$ オープン)

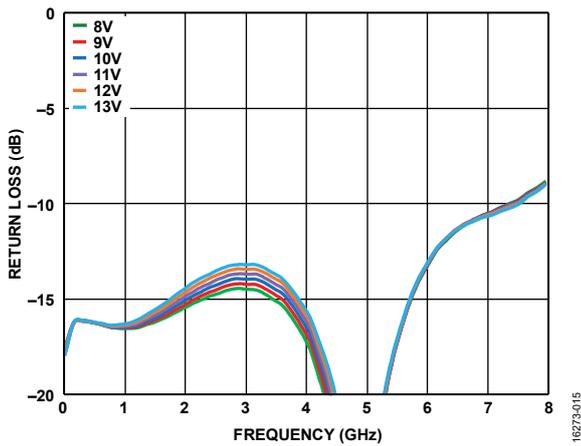


図 15. 様々な電源電圧 (V_{DD}) での入力リターン損失と周波数の関係 (自己バイアス・モード、 V_{GG2} = オープン、 V_{GG1} = GND)

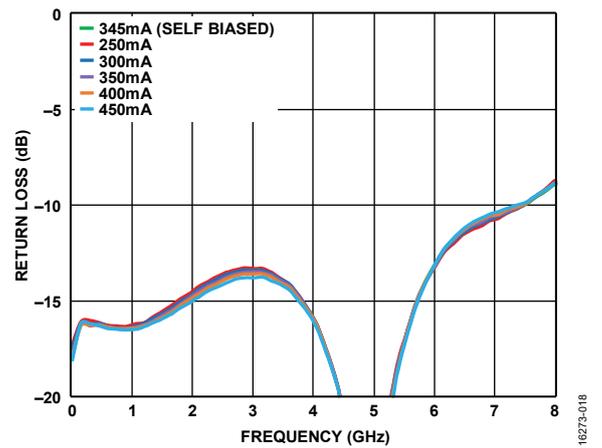


図 18. 様々な電源電流 (I_{DD}) での入力リターン損失と周波数の関係 (外部バイアス・モード、 V_{DD} = 12V、 V_{GG2} = オープン、 V_{GG1} を制御)

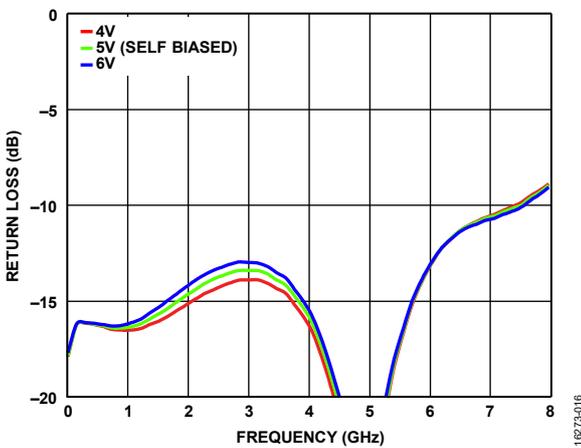


図 16. 様々な V_{GG2} の値での入力リターン損失と周波数の関係 (V_{DD} = 12V、 V_{GG1} = GND)

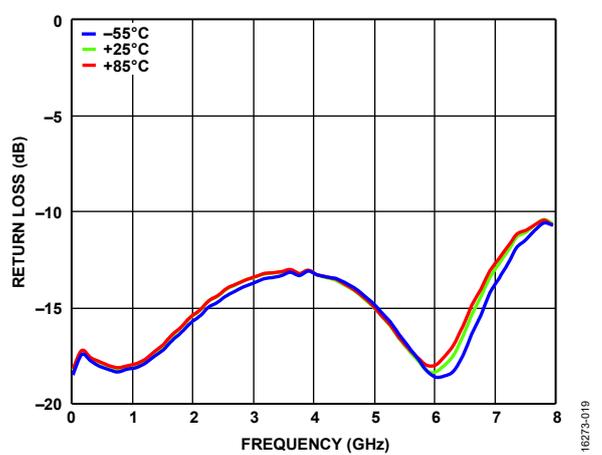


図 19. 様々な温度での出力リターン損失と周波数の関係 (自己バイアス・モード、 V_{DD} = 12V、 V_{GG2} = オープン、 V_{GG1} = GND)

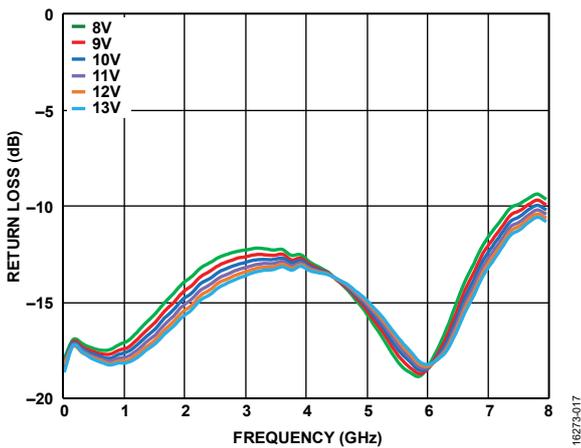


図 17. 様々な電源電圧 (V_{DD}) での出力リターン損失と周波数の関係 (自己バイアス・モード、 V_{GG2} = 5V、 V_{GG2} = オープン、 V_{GG1} = GND)

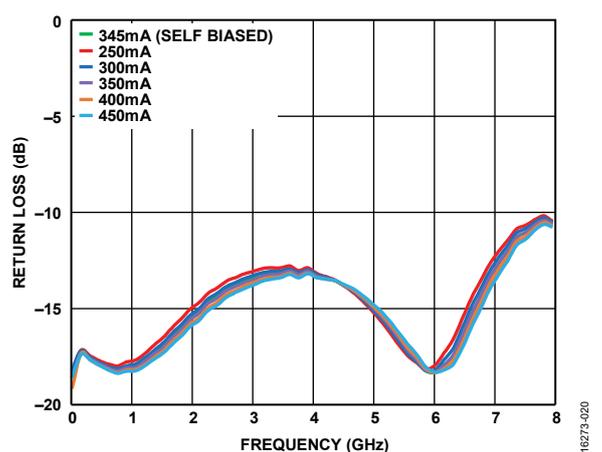


図 20. 様々な電源電流 (I_{DD}) での出力リターン損失と周波数の関係 (外部バイアス・モード、 V_{DD} = 12V、 V_{GG2} = オープン、 V_{GG1} を制御)

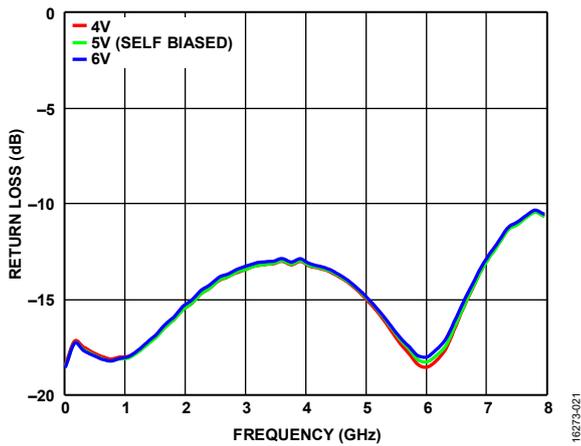


図 21. 様々な V_{GG2} の値での出力リターン損失と周波数の関係 ($V_{DD} = 12V$, $V_{GG1} = GND$)

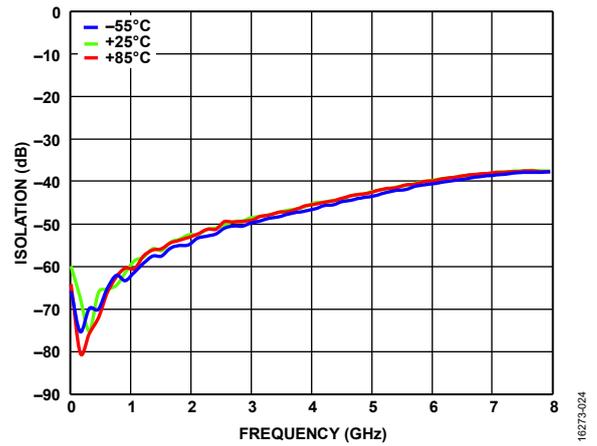


図 24. 様々な温度でのリバース・アイソレーションと周波数の関係 (自己バイアス・モード、 $V_{DD} = 12V$, $V_{GG2} =$ オープン、 $V_{GG1} = GND$)

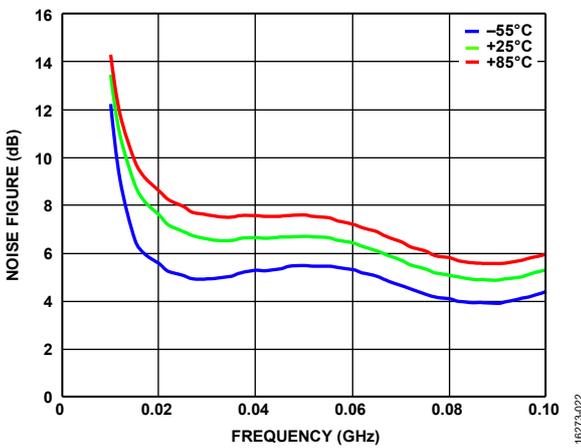


図 22. 様々な温度での低周波におけるノイズ指数と周波数の関係 (自己バイアス・モード、 $V_{DD} = 12V$, $V_{GG2} =$ オープン、 $V_{GG1} = GND$)

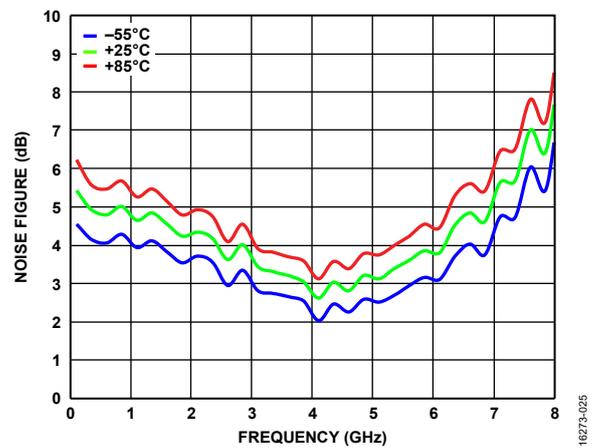


図 25. 様々な温度でのノイズ指数と周波数の関係 (自己バイアス・モード、 $V_{DD} = 12V$, $V_{GG2} =$ オープン、 $V_{GG1} = GND$)

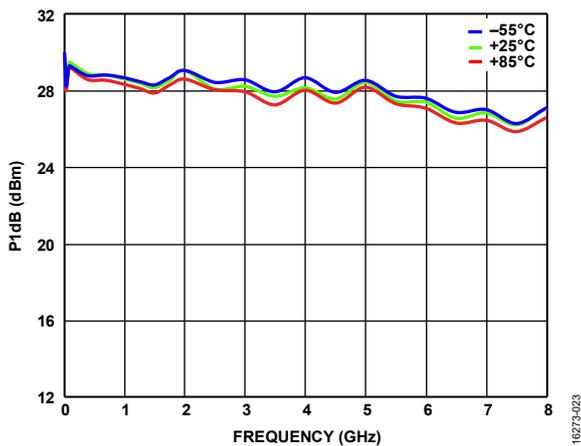


図 23. 様々な温度での P1dB と周波数の関係 (自己バイアス・モード、 $V_{DD} = 12V$, $V_{GG2} =$ オープン、 $V_{GG1} = GND$)

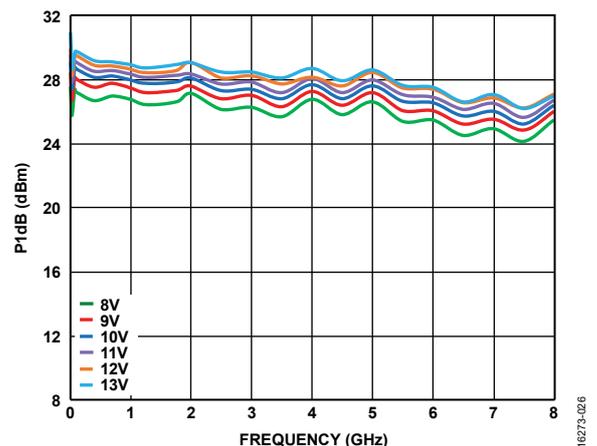


図 26. 様々な電源電圧 (V_{DD}) での P1dB と周波数の関係 ($V_{GG2} =$ オープン、 $V_{GG1} = GND$)

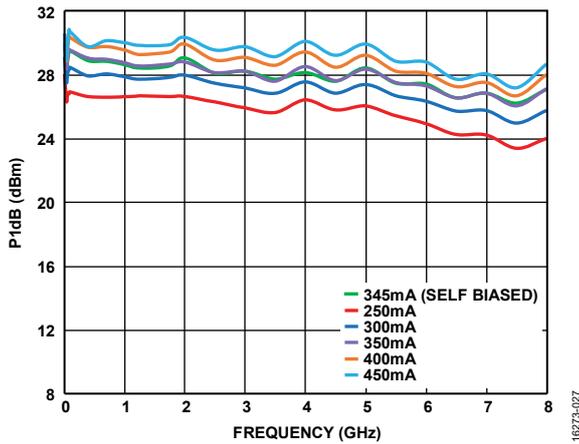


図 27. 様々な電源電流 (I_{DD}) での P1dB と周波数の関係 (外部バイアス・モード、 $V_{DD} = 12V$ 、 $V_{GG2} =$ オープン、 V_{GG1} を制御)

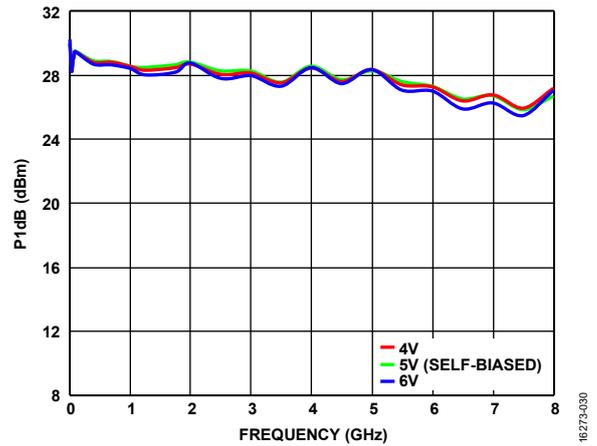


図 30. 様々な V_{GG2} の値での P1dB と周波数の関係 ($V_{DD} = 12V$ 、 $V_{GG1} = GND$)

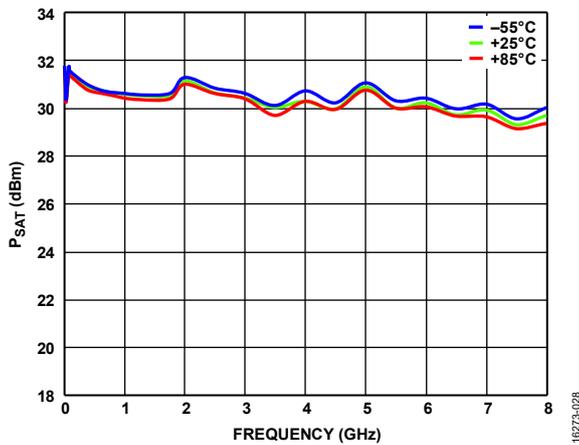


図 28. 様々な温度での P_{SAT} と周波数の関係 (自己バイアス・モード、 $V_{DD} = 12V$ 、 $V_{GG2} =$ オープン、 $V_{GG1} = GND$)

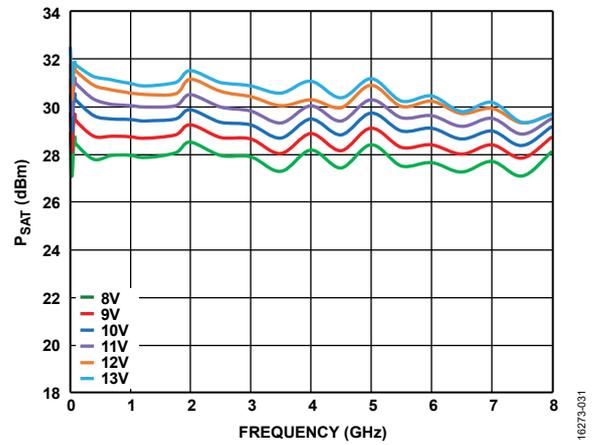


図 31. 様々な電源電圧 (V_{DD}) での P_{SAT} と周波数の関係 ($V_{GG2} =$ オープン、 $V_{GG1} = GND$)

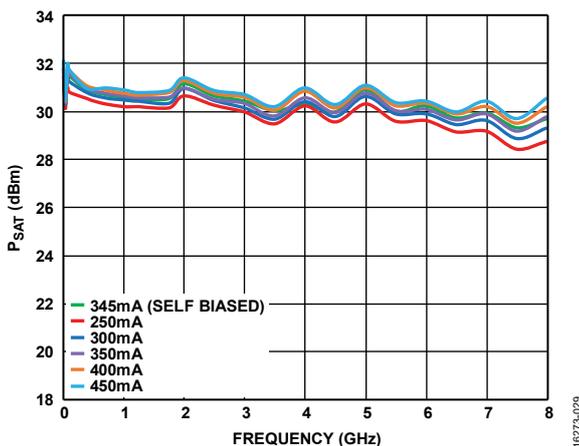


図 29. 様々な電源電流 (I_{DD}) での P_{SAT} と周波数の関係 ($V_{DD} = 12V$ 、 $V_{GG2} =$ オープン、 V_{GG1} を制御)

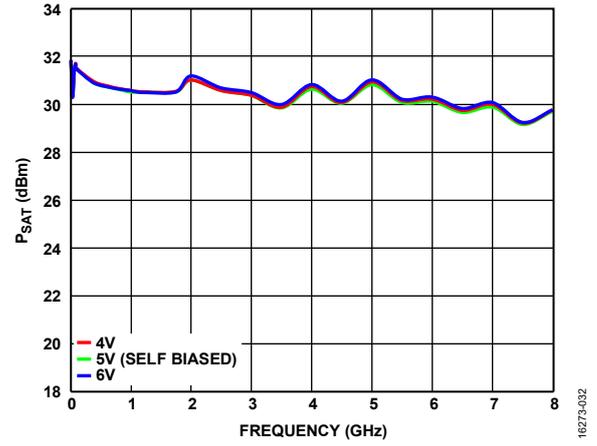


図 32. 様々な V_{GG2} の値での P_{SAT} と周波数の関係 ($V_{DD} = 12V$ 、 $V_{GG1} = GND$)

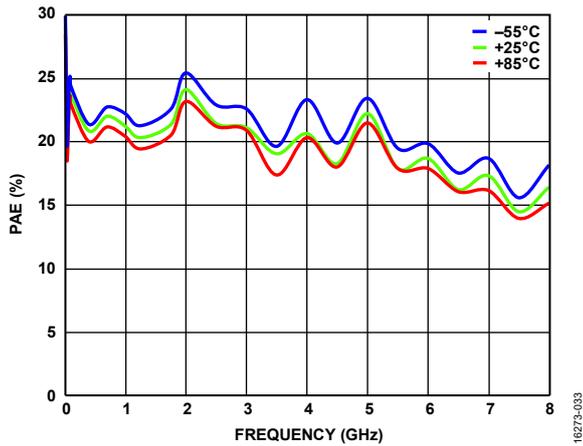


図 33. 様々な温度での電力付加効率 (PAE) と周波数の関係 (自己バイアス・モード、 $V_{DD} = 12V$ 、 $V_{GG2} =$ オープン、 $V_{GG1} = GND$ 、PAE は P_{SAT} で測定)

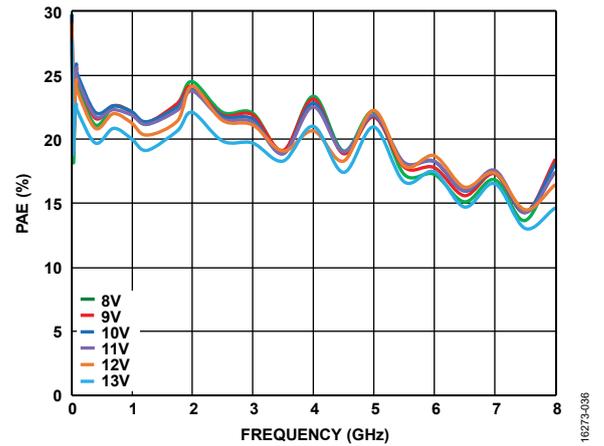


図 36. 様々な電源電圧 (V_{DD}) での PAE と周波数の関係 ($V_{GG2} =$ オープン、 $V_{GG1} = GND$ 、PAE は P_{SAT} で測定)

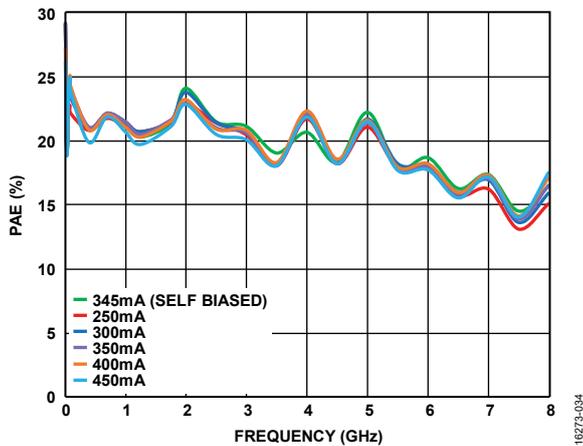


図 34. 様々な電源電流 (I_{DD}) での PAE と周波数の関係 ($V_{DD} = 12V$ 、 $V_{GG2} =$ オープン、 V_{GG1} を制御、PAE は P_{SAT} で測定)

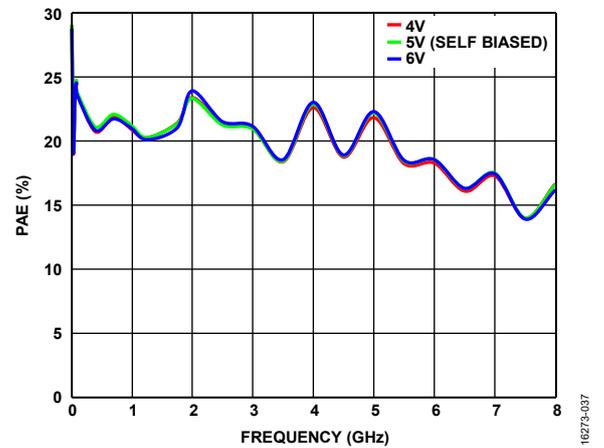


図 37. 様々な V_{GG2} の値での PAE と周波数の関係 ($V_{DD} = 12V$ 、 $V_{GG1} = GND$ 、PAE は P_{SAT} で測定)

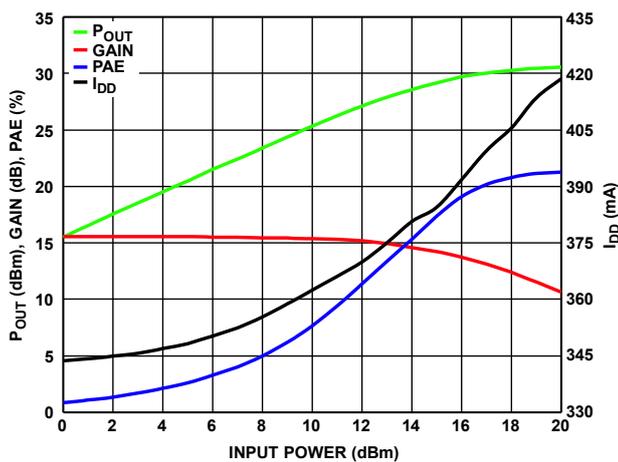


図 35. P_{OUT} 、ゲイン、PAE、 I_{DD} と入力パワーの関係 (1GHz、 $V_{DD} = 12V$ 、 $V_{GG1} = GND$ 、 $V_{GG2} =$ オープン)

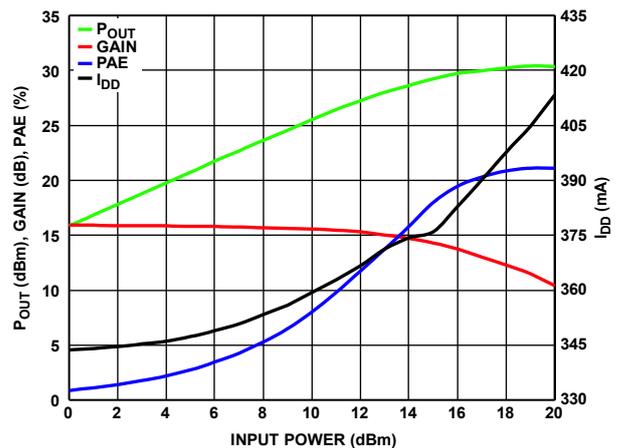


図 38. P_{OUT} 、ゲイン、PAE、 I_{DD} と入力パワーの関係 (3 GHz、 $V_{DD} = 12V$ 、 $V_{GG1} = GND$ 、 $V_{GG2} =$ オープン)

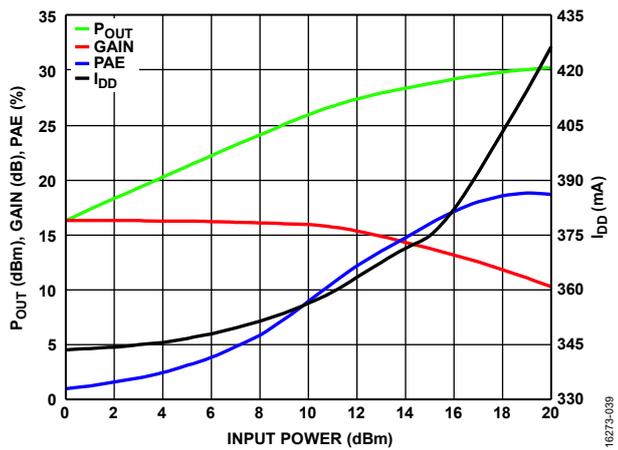


図 39. P_{OUT} 、ゲイン、PAE、 I_{DD} と入力パワーの関係 (6 GHz、 $V_{DD} = 12V$ 、 $V_{GG1} = GND$ 、 $V_{GG2} =$ オープン)

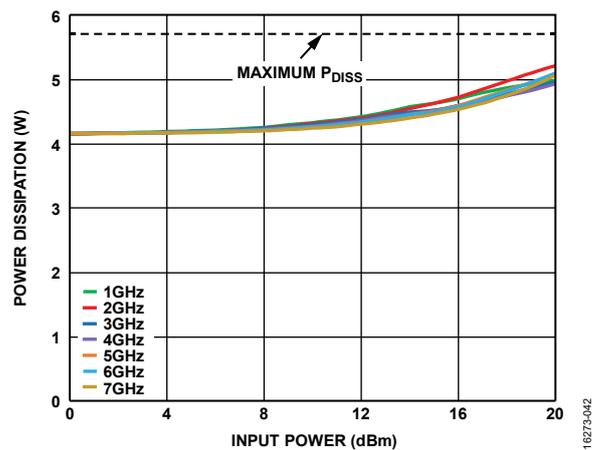


図 42. $T_A = 85^\circ C$ での消費電力と入力パワーの関係 ($V_{DD} = 12V$ 、 $V_{GG1} = GND$ 、 $V_{GG2} =$ オープン)

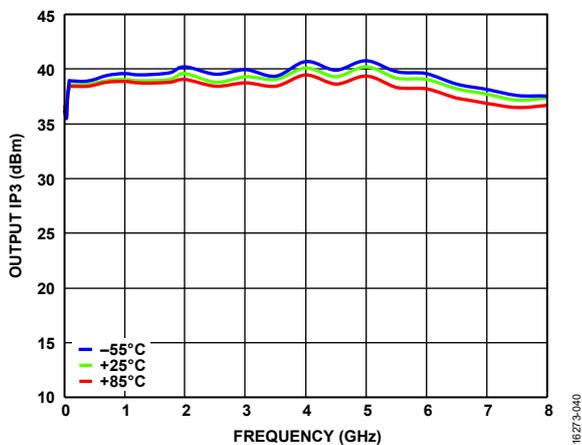


図 40. 様々な温度での出力 IP3 と周波数の関係 ($P_{OUT}/$ トーン = 10dBm、自己バイアス・モード、 $V_{DD} = 12V$ 、 $V_{GG2} =$ オープン、 $V_{GG1} = GND$)

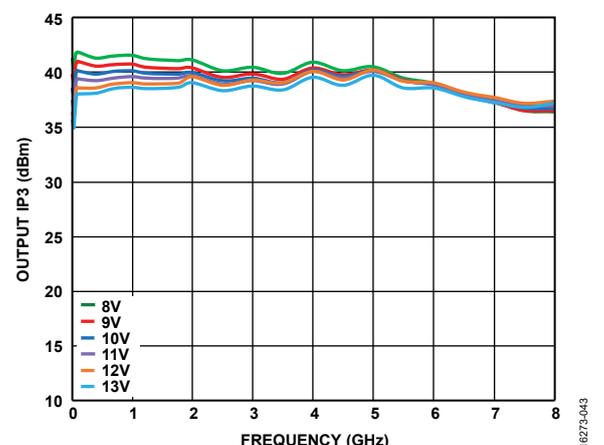


図 43. 様々な電源電圧 (V_{DD}) での IP3 と周波数の関係 ($V_{GG2} =$ オープン、 $V_{GG1} = GND$ 、 $P_{OUT}/$ トーン = 10dBm)

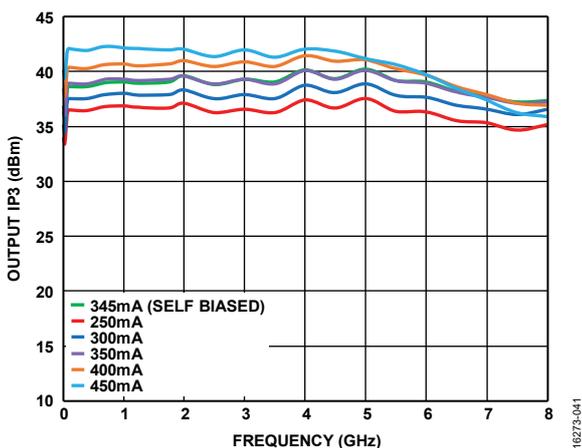


図 41. 様々な電源電流 (I_{DD}) での出力 IP3 と周波数の関係 ($V_{DD} = 12V$ 、 $V_{GG2} =$ オープン、 V_{GG1} を制御、 $P_{OUT}/$ トーン = 10dBm)

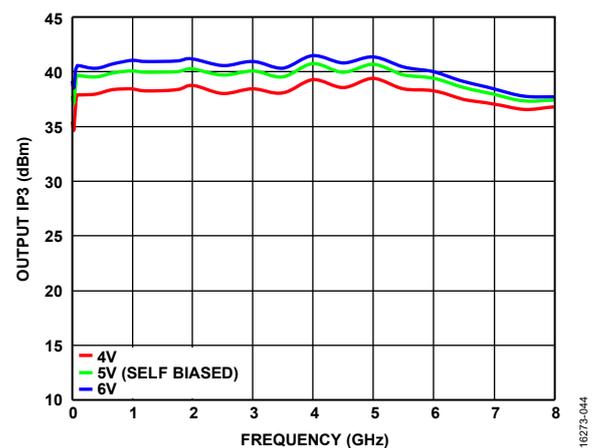


図 44. 様々な V_{GG2} の値での出力 IP3 と周波数の関係 ($V_{DD} = 12V$ 、 $V_{GG1} = GND$ 、 $P_{OUT}/$ トーン = 10dBm)

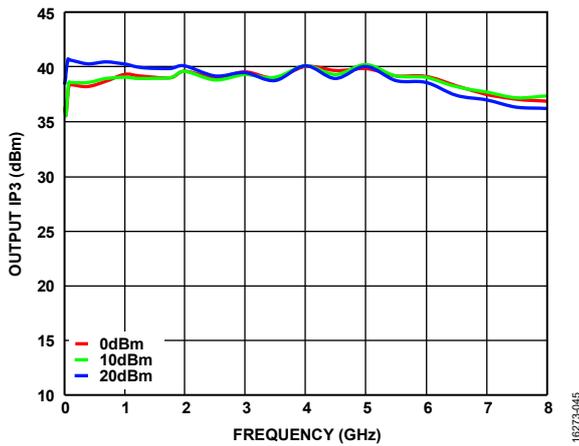


図 45. 様々な P_{OUT} /トーンでの出力 IP3 と周波数の関係
($V_{DD} = 12V$, $V_{GG2} =$ オープン、 $V_{GG1} = GND$)

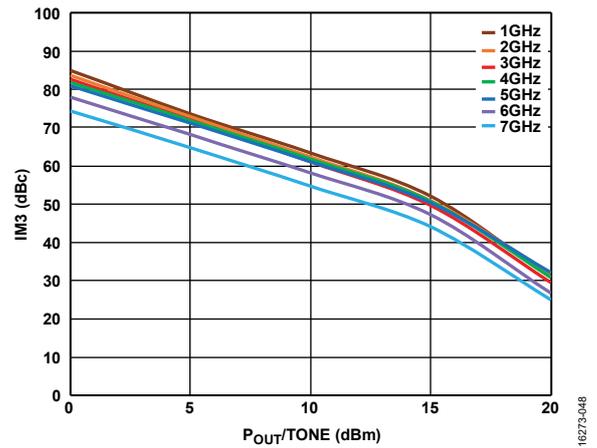


図 48. IM3 と P_{OUT} /トーンの関係
($V_{DD} = 8V$, $V_{GG2} =$ オープン、 $V_{GG1} = GND$)

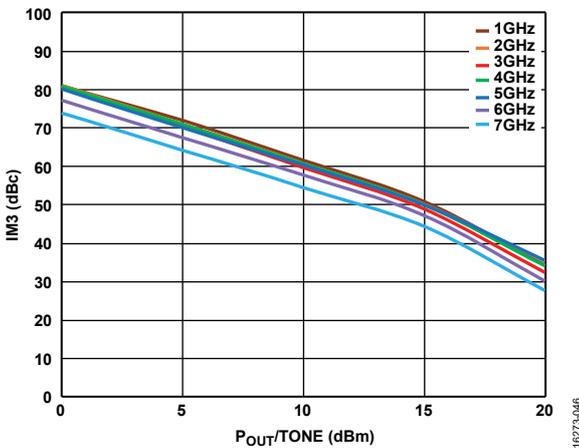


図 46. キャリアに対する 3 次相互変調歪み (IM3) と P_{OUT} /トーンの関係
($V_{DD} = 9V$, $V_{GG2} =$ オープン、 $V_{GG1} = GND$)

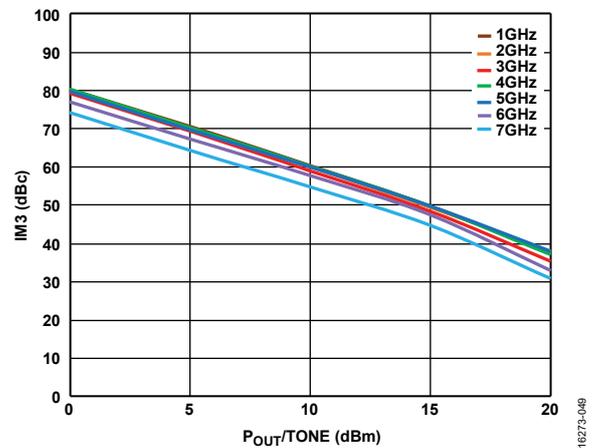


図 49. IM3 と P_{OUT} /トーンの関係
($V_{DD} = 10V$, $V_{GG2} =$ オープン、 $V_{GG1} = GND$)

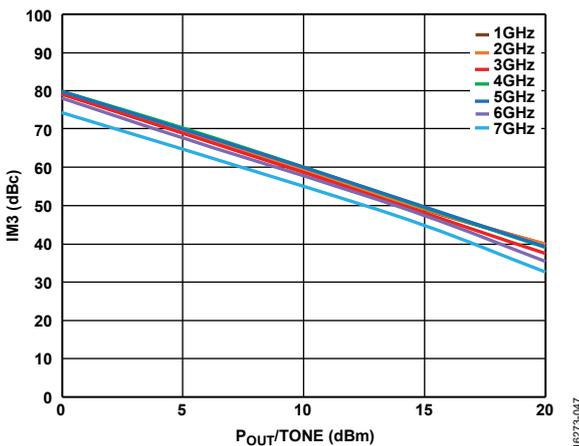


図 47. IM3 と P_{OUT} /トーンの関係
($V_{DD} = 11V$, $V_{GG2} =$ オープン、 $V_{GG1} = GND$)

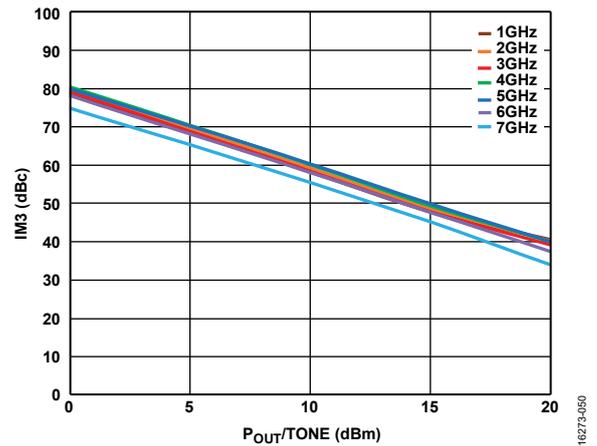


図 50. IM3 と P_{OUT} /トーンの関係
($V_{DD} = 12V$, $V_{GG2} =$ オープン、 $V_{GG1} = GND$)

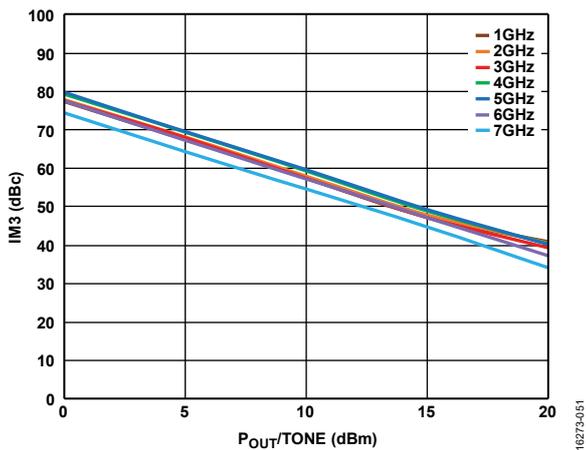


図 51. IM3 と P_{OUT}/トーンの関係
(V_{DD} = 13 V、V_{GG2} = オープン、V_{GG1} = GND)

16273-051

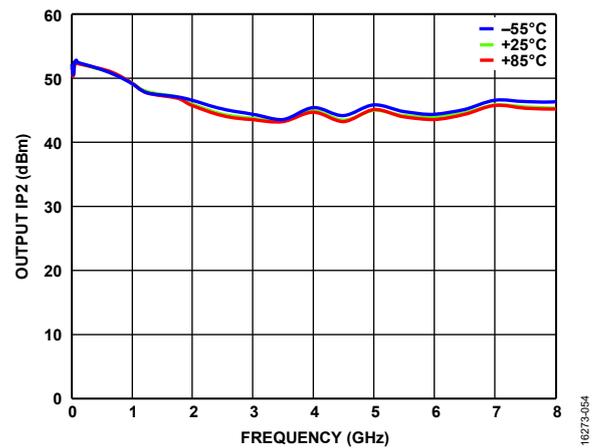


図 54. 様々な温度での出力 IP2 と周波数の関係
(P_{OUT}/トーン = 10dBm、V_{DD} = 12V、V_{GG2} = オープン、V_{GG1} = GND (自己バイアス・モード))

16273-054

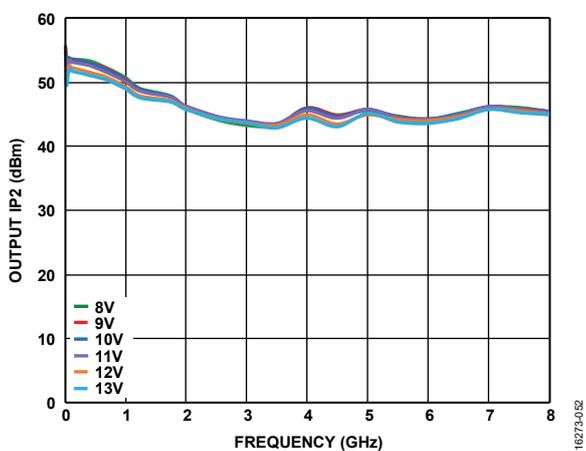


図 52. 様々な電源電圧 (V_{DD}) での出力 IP2 と周波数の関係
(V_{GG2} = オープン、V_{GG1} = GND、P_{OUT}/トーン = 10dBm)

16273-052

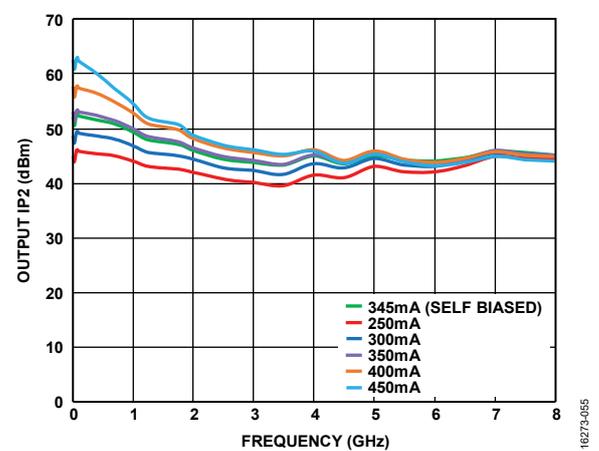


図 55. 様々な電源電流 (I_{DD}) での出力 IP2 と周波数の関係
(V_{DD} = 12V、V_{GG2} = オープン、V_{GG1} を制御、P_{OUT}/トーン = 10dBm)

16273-055

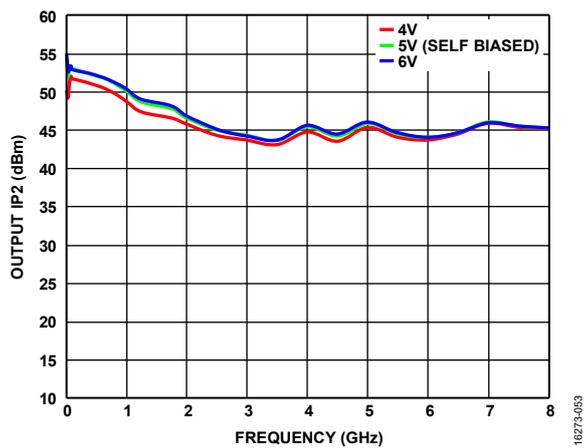


図 53. 様々な V_{GG2} の値での出力 IP2 と周波数の関係
(V_{DD} = 12V、V_{GG1} = GND、P_{OUT}/トーン = 10dBm)

16273-053

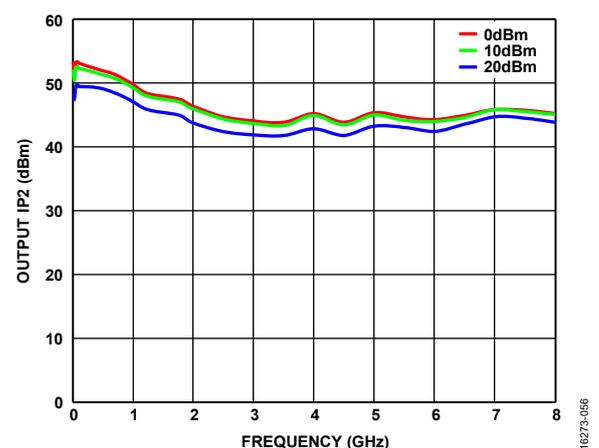


図 56. 様々な P_{OUT}/トーンでの出力 IP2 と周波数の関係
(V_{DD} = 12V、V_{GG2} = オープン、V_{GG1} = GND)

16273-056

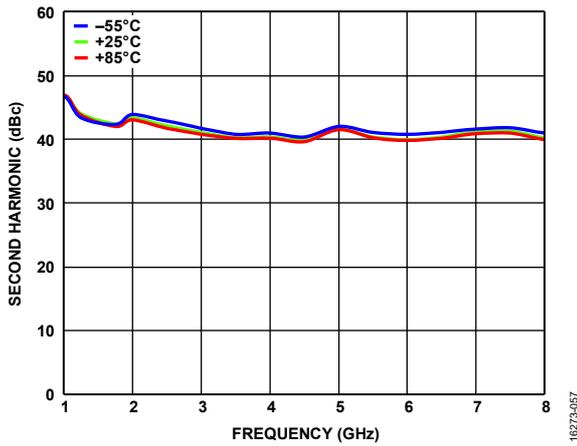


図 57. 様々な温度での第 2 高調波と周波数の関係
($P_{OUT} = 10\text{dBm}$, $V_{DD} = 12\text{V}$, $V_{GG2} = \text{オープン}$, $V_{GG1} = \text{GND}$
(自己バイアス・モード))

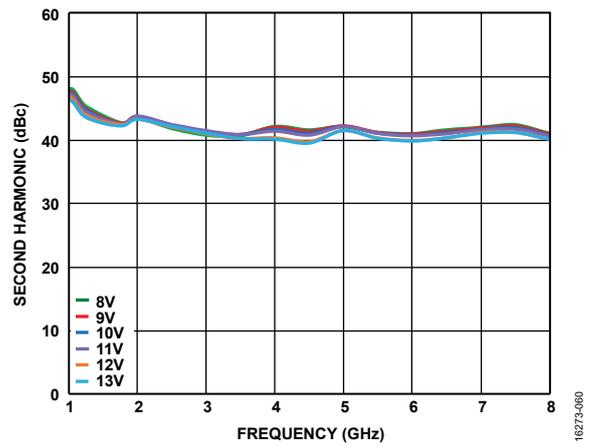


図 60. 様々な電源電圧 (V_{DD}) での第 2 高調波と周波数の関係
($P_{OUT} = 10\text{dBm}$, $V_{GG2} = \text{オープン}$, $V_{GG1} = \text{GND}$)

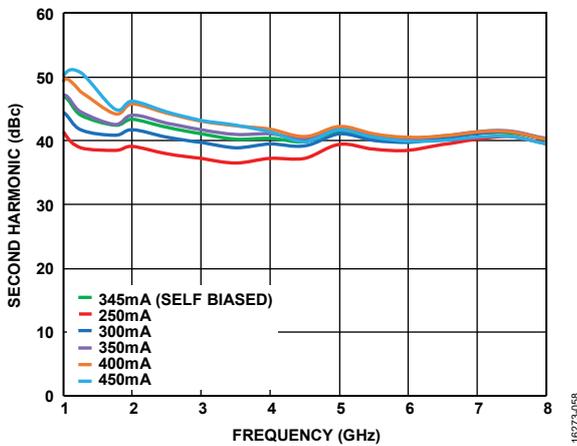


図 58. 様々な電源電流 (I_{DD}) での第 2 高調波と周波数の関係
($V_{DD} = 12\text{V}$, $V_{GG2} = \text{オープン}$, V_{GG1} を制御、 $P_{OUT} = 10\text{dBm}$)

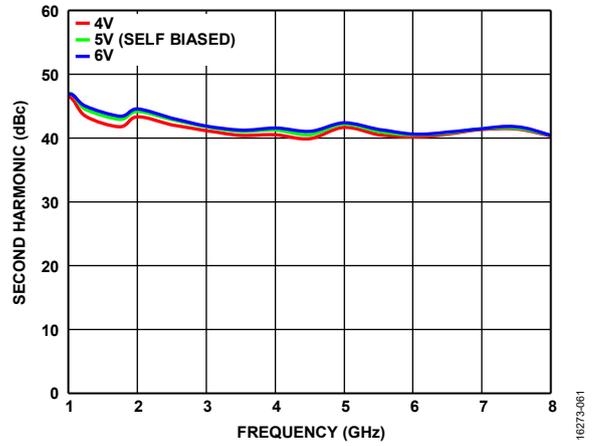


図 61. 様々な V_{GG2} の値での第 2 高調波と周波数の関係
($V_{DD} = 12\text{V}$, $V_{GG1} = \text{GND}$, $P_{OUT}/\text{トーン} = 10\text{dBm}$)

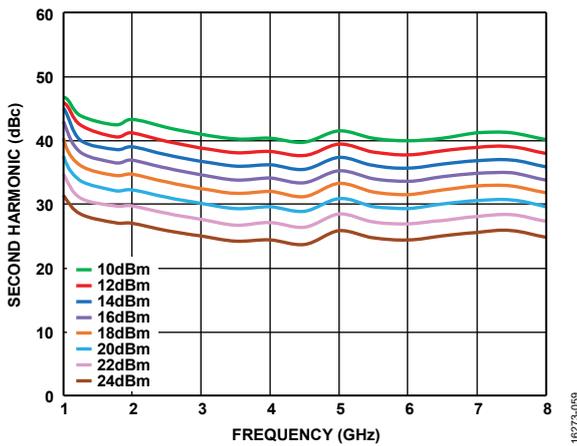


図 59. 様々な P_{OUT} の値での第 2 高調波と周波数の関係
($V_{DD} = 12\text{V}$, $V_{GG2} = \text{オープン}$, $V_{GG1} = \text{GND}$ (自己バイアス・モード))

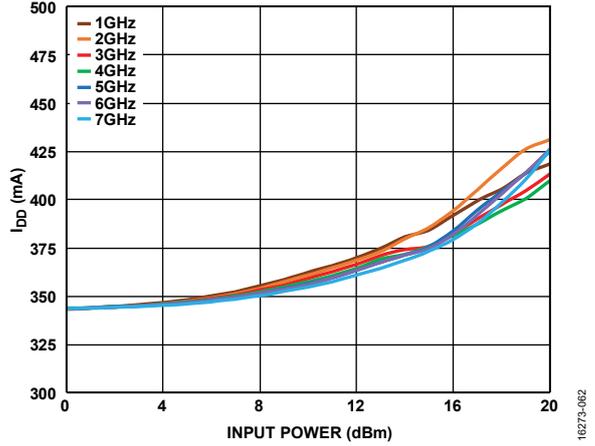


図 62. 様々な周波数での I_{DD} と入力パワーの関係
($V_{DD} = 12\text{V}$, $V_{GG2} = \text{オープン}$, $V_{GG1} = \text{GND}$)

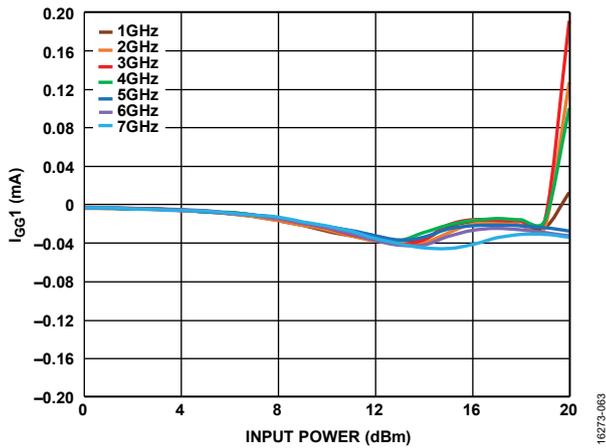


図 63. 様々な周波数でのゲート 1 電流 (I_{GG1}) と入力パワーの関係 ($V_{DD} = 12V$, $V_{GG2} = \text{オープン}$, $V_{GG1} = \text{GND}$)

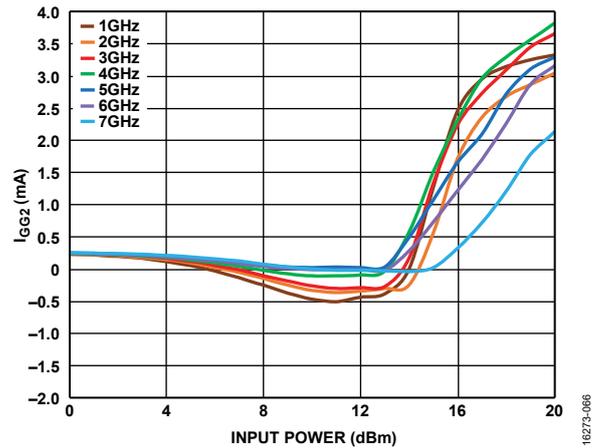


図 66. 様々な周波数でのゲート 2 電流 (I_{GG2}) と入力パワーの関係 ($V_{DD} = 12V$, $V_{GG2} = 5V$, $V_{GG1} = \text{GND}$)

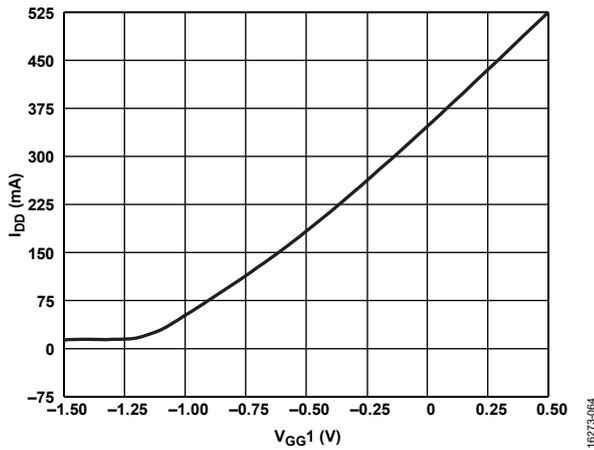


図 64. I_{DD} と V_{GG1} の関係 ($V_{DD} = 12V$, $V_{GG2} = \text{オープン}$)

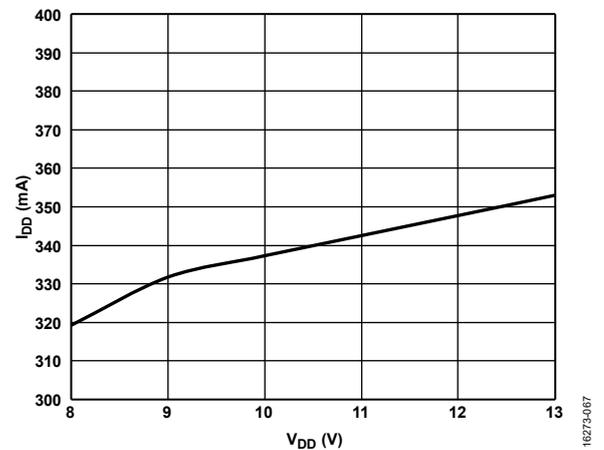


図 67. I_{DD} と V_{DD} の関係 ($V_{GG2} = \text{オープン}$, $V_{GG1} = \text{GND}$)

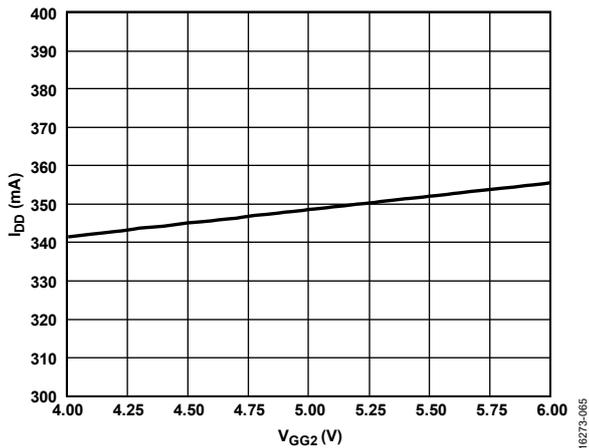


図 65. I_{DD} と V_{GG2} の関係 ($V_{DD} = 12V$, $V_{GG1} = \text{GND}$)

動作原理

HMC637BPM5Eは、GaAs、MMIC、pHEMT、カスコード分布型パワー・アンプです。HMC637BPM5Eのカスコード分布型アーキテクチャでは、上側の電界効果トランジスタ（FET）のソースが下側のFETのドレインに接続される、2段構成のFETからなる基本セルを使用しています。この基本セルは引き続き、下側FETのゲートに相互接続するRFIN伝送ラインと上側FETのドレインに相互接続するRFOUT伝送ラインを介し、数回複製されます。

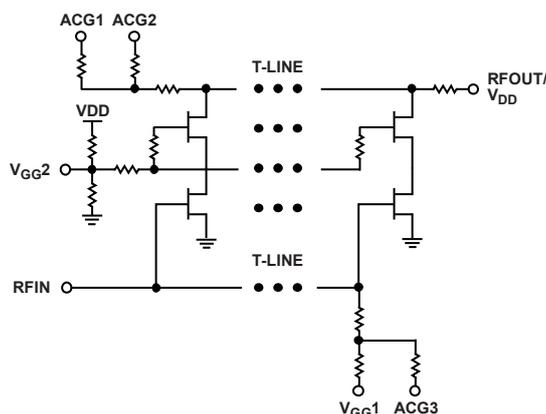


図 68. カスコード分布型アンプの簡略化回路図

各セルに他の回路設計手法を追加することで、全体的な帯域幅、出力パワー、ノイズ指数を最適化できます。このアーキテクチャの大きな利点は、基本セルが1つの場合よりもはるかに広い帯域幅にわたって高出力レベルを維持できることです。このアーキテクチャを簡略化した回路図を図 68 に示します。

上側 FET のゲート・バイアス電圧は、 V_{DD} を分圧する抵抗分圧器によって内部で設定され、12V の公称 V_{DD} 値の場合、5V のバイアス電圧となります。ただし、 V_{GG2} ピンが備わっており、外部で生成したバイアス電圧を 4V~6V の範囲で印加することもできます。このように外部電圧を印加することで、ゲイン、ノイズ指数、 P_{1dB} 、 P_{SAT} 、PAE にはほとんど影響を与えずに、 IP_3 を 3dB、 IP_2 を 1.5dB もの調整が可能となります。このバイアス調整が性能に及ぼす効果は、動作周波数が低いほど明確になります。

負の電圧レールが不要な簡略化したバイアスの場合、 V_{GG1} は GND に接続できます。 V_{DD} が 12V で V_{GG1} が接地している場合、自己消費電流は 345mA（代表値）となります。オプションで、 V_{GG1} を外部で生成し印加することも可能で、この場合、自己消費電流を 345mA の公称値の上下に調整できます。例えば、図 64 には、 V_{GG1} をおよそ -0.3V~+0.3V に調整すると、自己消費電流を 250mA~450mA にできることが示されています。

HMC637BPM5E には、DC~7.5GHz の周波数範囲にわたってインピーダンスが 50Ω （公称値）に等しいシングルエンドの入出力ポートがあります。そのため、このデバイスは、インピーダンス・マッチング回路を必要とすることなく、直接 50Ω システムに挿入できます。同様に、入出力インピーダンスは温度変化および電源電圧の変動に対して十分に安定しているため、インピーダンス・マッチング補償は不要です。その上、RF 出力ポートは、DC バイアスを通す RF チョークが必要となりますが、 V_{DD} のバイアス・ピンとしても機能します。

このデバイスは技術的には DC まで動作させることができますが、RF 入出力ポートのインターフェースする段が DC バイアス電源をロードして損傷を被ることがないように、両ポートに DC 阻止コンデンサを設けることをお勧めします。RF 出力の RF チョークと阻止コンデンサは共にバイアス・ティーを構成します。実際には、外付けの RF チョークと DC 阻止コンデンサの選択によって、最低動作周波数が決まります。

ACG1~ACG3 の各ノードには、グラウンドへの AC 終端（コンデンサ）を備えることもできます。このような終端を使用することで、200MHz 未満の周波数でゲインを減衰させ、様々な周波数に対して最大限に平坦なゲイン応答が得られます。

安定動作のためには、GND ピンおよびパッケージ基部の露出パッドへのグラウンド接続を極めて低インダクタンスにすることが重要です。HMC637BPM5E の最適性能を実現し、デバイスの損傷を避けるため、絶対最大定格を超えないようにしてください。

アプリケーション情報

図 69 の代表的なアプリケーション回路に示すように、 V_{DD} と V_{GG1} にはコンデンサによるバイパスが必要です。RFIN ピンおよび RFOUT/ V_{DD} ピンは、どちらもデカップリングします。RFIN には DC 阻止コンデンサを外付けすることをお勧めします。RFOUT/ V_{DD} には、外付けの RF チョークと DC 阻止コンデンサ（バイパス・テーパーなど）を使用することが必要です。広帯域アプリケーションでは、外付けのバイパス部品やブロッキング部品の周波数応答がそのアプリケーションの全周波数範囲での使用に適切なものであることを確認してください。

HMC637BPM5E は、自己バイアス・モードまたは外部バイアス・モードで動作します。自己バイアス・モードの動作では、 V_{GG1} ピンを接地し、 V_{GG2} はオープンのままにします。外部バイアス構成では、 V_{GG1} を $-2V \sim +0.5V$ の範囲で調整して目的のドレイン電流に設定し、 V_{GG2} を $4V \sim 6V$ に調整して IP2 および IP3 を制御します。

自己バイアス動作の場合、起動時の推奨バイアス・シーケンスは次のとおりです。

1. GND を接続します。
2. V_{DD} を 12V に設定します。
3. RF 信号を印加します。

自己バイアス動作の場合、停止時の推奨バイアス・シーケンスは次のとおりです。

1. RFIN 信号をオフにします。
2. V_{DD} を 0V に設定します。

外部バイアス動作の場合、起動時の推奨バイアス・シーケンスは次のとおりです。

1. GND を接続します。
2. V_{GG1} を $-2V$ に設定します。
3. V_{DD} を 12V に設定します。
4. 目的の自己消費電流 (I_{DQ}) になるまで V_{GG1} を増加させます。
5. RF 信号を印加します。
6. IP2/IP3 制御機能を使用する場合、目的の性能に達するまで $4V \sim 6V$ の電圧を印加します。

外部バイアス動作の場合、停止時の推奨バイアス・シーケンスは次のとおりです。

1. RFIN 信号をオフにします。
2. V_{GG2} への電圧印加を停止します。
3. V_{GG1} を $-2V$ に下げ、 I_{DQ} を 0mA（代表値）にします。
4. V_{DD} を 0V に設定します。
5. V_{GG1} を 0V に設定します。

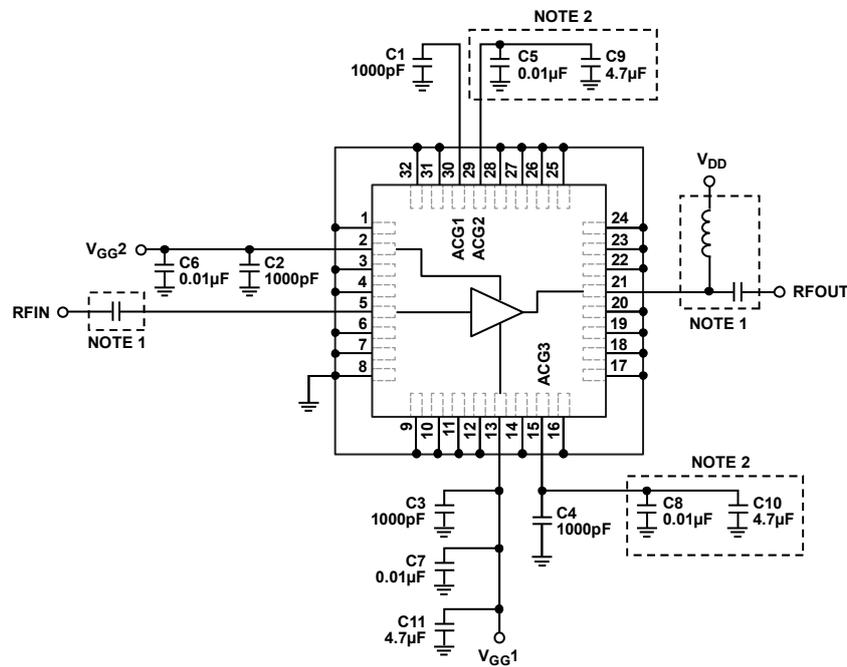
絶対最大定格のセクションに記載されている数値を遵守してください。

特に指定のない限り、ここで示した測定値や数値は代表的なアプリケーション回路（図 69 参照）を使用して取得され、本セクションの条件に従ってバイアスされたものです。ここで説明したバイアス条件は、全体的なデバイス性能を最適化するために推奨される動作点です。他のバイアス条件を使用すると、代表的な性能特性のセクションに示されている性能とは異なる結果になる場合があります。デバイスの損傷を避け最高性能を実現するには、ここで説明した推奨バイアス・シーケンスに従ってください。

代表的なアプリケーション回路

図 69 において、ドレイン・バイアス (V_{DD}) は、 R_{FOUT}/V_{DD} に外付けされた広帯域バイアス・テーパーを通じて印加し、 R_{FIN} に

は DC 阻止コンデンサを外付けする必要があります。デバイスを 200MHz 未満で動作させる場合は、別途コンデンサを使用することもできます。



- NOTES
1. DRAIN BIAS (V_{DD}) MUST BE APPLIED THROUGH AN ETERNAL BIAS TEE CONNECTED AT THE R_{FOUT}/V_{DD} PIN AND AN EXTERNAL DC BLOCK MUST BE CONNECTED AT THE R_{FIN} PIN.
 2. OPTIONAL CAPACITORS MUST BE USED IF THE DEVICE IS OPERATED BELOW 200MHz.

図 69. 代表的なアプリケーション回路

16273-069

評価用 PCB

EV1HMC637BPM5 (600-01711-00) 評価用 PCB を図 70 に示します。

部品表

アプリケーションで使用する回路基板には RF 回路設計手法を適用してください。図 70 と同様に、信号ラインのインピーダンスを 50Ω とし、パッケージのグラウンド・ピンおよび露出パッドをグラウンド・プレーンに直接接続してください。十分な数のビ

ア・ホールを用いて、グラウンド・パッド直下のグラウンドも含め上面と底面のグラウンド・プレーンを接続し、適切な電気伝導および熱伝導を確保してください。PCB の底面側にはヒート・シンクを使用することをお勧めします。図 70 に示した評価用 PCB は、ご要望に応じてアナログ・デバイセズから提供されます。

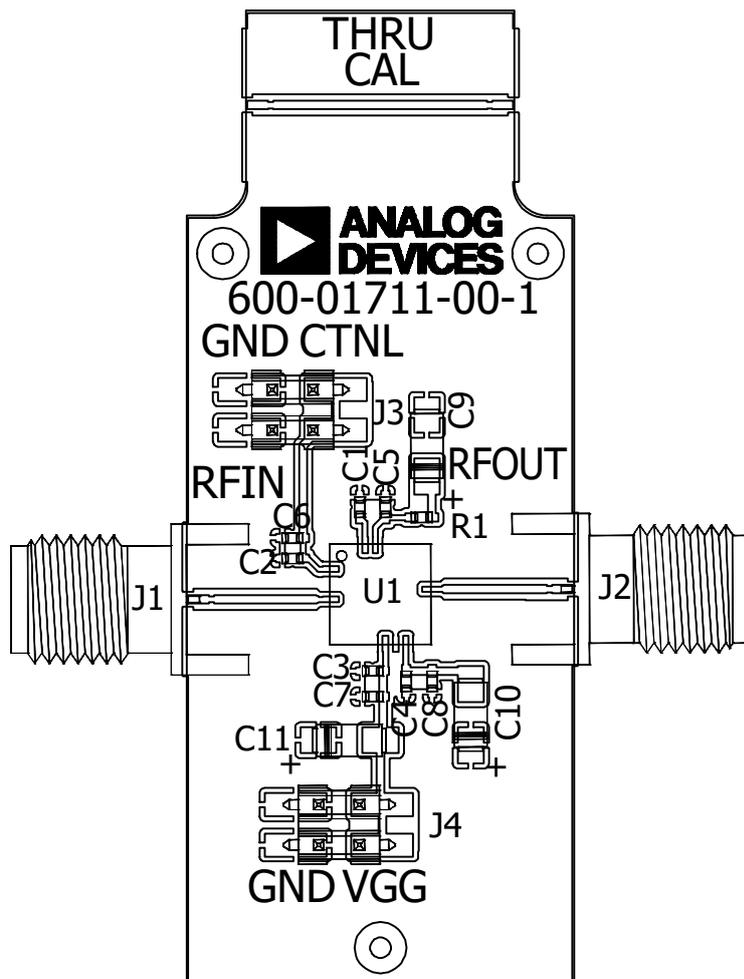


図 70. 評価用 PCB

表 5. 評価用 PCB EV1HMC637BPM5 (600-01711-00) の部品表

Item	Description
J1, J2	PCB Mount K connectors
J3, J4	DC pins
C1, C2, C3, C4	1000 pF capacitors, 0402 package
C5, C6, C7, C8	10000 pF capacitors, 0402 package
C9, C10, C11	4.7 μ F capacitors, tantalum, 1206 package
R1	0 Ω resistor, 0402 package
U1	HMC637BPM5E
PCB	600-01711-00 evaluation PCB; circuit board material: Rogers 4350 or Arlon 25FR

外形寸法

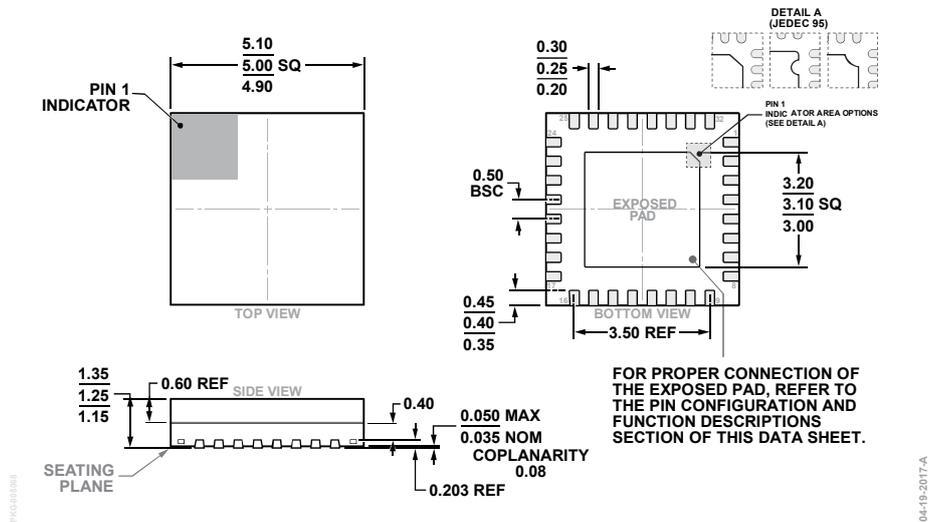


図 71. 32 ピン・リード・フレーム・チップ・スケール・パッケージ、プリモールド・キャビティ [LFCSP_CAV]
5mm × 5mm ボディ、1.25mm パッケージ高
(CG-32-2)
寸法：mm

オーダー・ガイド

Model ^{1,2}	Temperature	MSL Rating ³	Description ⁴	Package Option
HMC637BPM5E	-55°C to +85°C	3	32-Lead Lead Frame Chip Scale Package, Premolded Cavity [LFCSP_CAV]	CG-32-2
HMC637BPM5ETR	-55°C to +85°C	3	32-Lead Lead Frame Chip Scale Package, Premolded Cavity [LFCSP_CAV]	CG-32-2
EV1HMC637BPM5			Evaluation Board	

¹ 全ての部品は RoHS 準拠製品です。

² 評価用ボードのみをご注文の場合は、モデル番号 EV1HMC637BPM5 を指定してください。

³ 詳細については、絶対最大定格のセクションを参照してください。

⁴ HMC637BPM5E および HMC637BPM5ETR のピン仕上げはニッケル・パラジウム金 (NiPdAu) です。