



27GHz~32GHz、GaAs pHEMT、MMIC パワー・アンプ

データシート

HMC1132PM5E

特長

- PsAT : 29.5dBm
- 高出力 IP3 : 37dBm
- 高ゲイン : 29GHz~32GHz で 24dB (代表値)
- DC 電源 : 5V/650mA
- 50Ω に整合した入出力
- 32 ピン、5mm x 5mm LFCSP パッケージ : 25mm²

アプリケーション

- ポイント to ポイント無線
- ポイント to マルチポイント無線
- 超小型地球局 (VSAT) および衛星通信 (SATCOM)
- 防衛および宇宙

概要

HMC1132PM5E は、4 段構成のガリウムヒ素 (GaAs)、擬似格子整合型高電子移動度トランジスタ (pHEMT)、モノリシック・マイクロ波集積回路 (MMIC) パワー・アンプです。このデバイスは、27GHz~32GHz で動作し、5V 電源で 24dB のゲインと 29.5dBm の飽和出力電力を実現します。

HMC1132PM5E は優れた直線性を示し、高出力 3 次インターセプト (IP3) が 37dBm であり、大容量のポイント to ポイントお

機能ブロック図

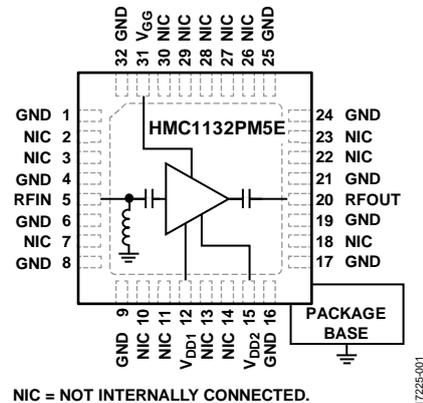


図 1.

よびポイント to マルチポイント無線システム向けに最適化されています。アンプの構成と高ゲインにより、HMC1132PM5E はアンテナの前の最終段の信号増幅に最適です。

HMC1132PM5E アンプの入出力 (I/O) は内部で 50Ω に整合しています。このデバイスは、RoHS 準拠のプリモールド・キャビティ、5mm x 5mm LFCSP パッケージに収容されているため、大容量、表面実装技術 (SMT) のアセンブリ装置に適合しています。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2018 Analog Devices, Inc. All rights reserved.

アナログ・デバイス株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 40F
電話 052 (569) 6300

目次

特長	1	インターフェース回路図	5
アプリケーション	1	代表的な性能特性	6
機能ブロック図	1	動作原理	13
概要	1	アプリケーション情報	14
改訂履歴	2	アプリケーション回路	14
仕様	3	評価用ボード	15
電気仕様	3	部品表	15
絶対最大定格	4	評価用ボードの回路図	16
熱抵抗	4	外形寸法	17
ESD に関する注意	4	オーダー・ガイド	17
ピン配置およびピン機能の説明	5		

改訂履歴

9/2018—Revision 0: Initial Version

仕様

電気仕様

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = 5\text{V}$ 、静止電流 (I_{DDQ}) = 650 mA、および周波数範囲 = 27GHz~29GHz。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
FREQUENCY RANGE		27		29	GHz	
GAIN		19	22		dB	
Gain Variation over Temperature			0.028		dB/°C	
RETURN LOSS						
Input			7		dB	
Output			9		dB	
POWER						
Output Power for 1 dB Compression	P1dB	26.5	28.5		dBm	
Saturated Output Power	P _{SAT}		29.5		dBm	
OUTPUT THIRD-ORDER INTERCEPT	IP3		37		dBm	Measurement taken at 5 V, 650 mA, output power (P _{OUT}) per tone = 20 dBm
NOISE FIGURE	NF		7		dB	
SUPPLY VOLTAGE	V _{DD}	4		6	V	
QUIESCENT SUPPLY CURRENT	I _{DDQ}	500		750	mA	Adjust the gate bias voltage (V _{GG}) from -2 V up to 0 V to achieve desired quiescent current (I _{DDQ})

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = 5\text{V}$ 、静止電流 (I_{DDQ}) = 650 mA、および周波数範囲 = 29GHz~32GHz。

表 2.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
FREQUENCY RANGE		29		32	GHz	
GAIN		21	24		dB	
Gain Variation over Temperature			0.034		dB/°C	
RETURN LOSS						
Input			11		dB	
Output			14		dB	
POWER						
Output Power for 1 dB Compression	P1dB	27	29		dBm	
Saturated Output Power	P _{SAT}		29.5		dBm	
OUTPUT THIRD-ORDER INTERCEPT	IP3		37		dBm	Measurement taken at 5 V, 650 mA, P _{OUT} per tone = 20 dBm
NOISE FIGURE	NF		5.5		dB	
SUPPLY VOLTAGE	V _{DD}	4		6	V	
QUIESCENT SUPPLY CURRENT	I _{DDQ}	500		750	mA	Adjust the gate bias voltage (V _{GG}) from -2 V up to 0 V to achieve desired quiescent current (I _{DDQ})

絶対最大定格

表 3.

Parameter	Rating
Drain Bias Voltage (V_{DDx})	6.5 V
Gate Voltage (V_{GG})	-2.5 V to +0.5 V
Radio Frequency Input Power (RFIN) ¹	18 dBm
Continuous Power Dissipation (P_{DISS}), $T_{BASE}^2 = 85^\circ\text{C}$ (Derate 57.47 mW/ $^\circ\text{C}$ Above 85 $^\circ\text{C}$)	5.17 W
Output Load Voltage Standing Wave Ratio (VSWR)	7:1
Storage Temperature Range	-65 $^\circ\text{C}$ to +150 $^\circ\text{C}$
Operating Temperature Range	-55 $^\circ\text{C}$ to +85 $^\circ\text{C}$
Peak Reflow Temperature, Moisture Sensitivity Level 3 (MSL3) ³	260 $^\circ\text{C}$
Electrostatic Discharge (ESD) Sensitivity Human Body Model (HBM)	Class 0B, passed 150 V
Junction Temperature to Maintain 1 Million Hour Mean Time to Failure (MTTF)	175 $^\circ\text{C}$
Nominal Junction Temperature ($T_{BASE}^2 = 85^\circ\text{C}$, $V_{DDx} = 5\text{ V}$)	141.55 $^\circ\text{C}$

¹ 最大入力電力は、18dBm または最大消費電力 (図 31 を参照) によって規定される熱的限界のうち、低いほうに制限されています。

² T_{BASE} は、パッケージ底面の実際の温度です。

³ 詳細については、オーダー・ガイドを参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JC} は、ジャンクションからケースへの熱抵抗です。

表 4.熱抵抗

Package	θ_{JC}	Unit
CG-32-2 ¹	17.4	$^\circ\text{C}/\text{W}$

¹ 熱抵抗 (θ_{JC}) は、以下の条件でのシミュレーションによって求めました。すなわち、熱伝達はチャンネルからグラウンド・パドルを通過して PCB までの熱伝導のみに起因し、グラウンド・パドルは 85 $^\circ\text{C}$ の動作温度で一定に保たれるものとします。

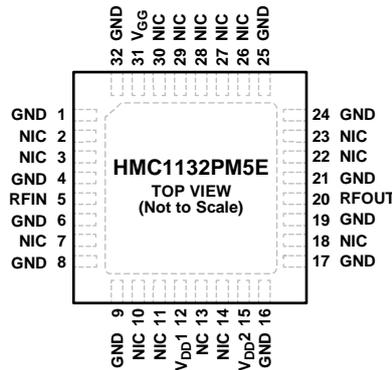
ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
 1. NIC = NOT INTERNALLY CONNECTED.
 2. THE EXPOSED PAD. EXPOSED PAD MUST BE CONNECTED TO RF AND DC GROUND.

17225-002

図 2. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1, 4, 6, 8, 9, 16, 17, 19, 21, 24, 25, 32	GND	グラウンド。これらのピンと露出パッドは、RF/DC グラウンドに接続する必要があります。
2, 3, 7, 10, 11, 13, 14, 18, 22, 23, 26 to 30	NIC	内部では未接続。これらのピンは内部で接続されていません。ただし、すべてのデータは、これらのピンを RF/DC グラウンドに外部で接続した状態で測定しました。
5	RFIN	RF 入力。このピンは DC カップリングされ、50Ω に整合されています。RFIN インターフェース回路図については、図 4 を参照してください。
12, 15	V _{DD1} , V _{DD2}	ドレイン・バイアス電圧。100pF、10nF、および 4.7μF のバイパス・コンデンサを外付けする必要があります。V _{DD1} と V _{DD2} のインターフェース回路図については、図 5 を参照してください。
20	RFOUT	RF 出力。このピンは AC カップリングされ、50Ω に整合されています。RFOUT インターフェース回路図については、図 6 を参照してください。
31	V _{GG}	アンプのゲート制御。V _{GG} を調整して、推奨するバイアス電流にします。100pF、10nF、および 4.7μF のバイパス・コンデンサを外付けする必要があります。V _{GG} インターフェース回路図については、図 7 を参照してください。
	EPAD	露出パッド。露出パッドは、RF/DC グラウンドに接続する必要があります。

インターフェース回路図



図 3. GND インターフェース



図 6. RFOUT インターフェース

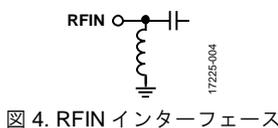


図 4. RFIN インターフェース

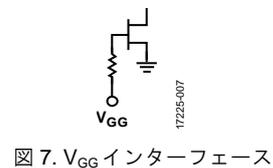


図 7. V_{GG} インターフェース

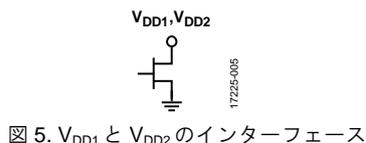


図 5. V_{DD1} と V_{DD2} のインターフェース

代表的な性能特性

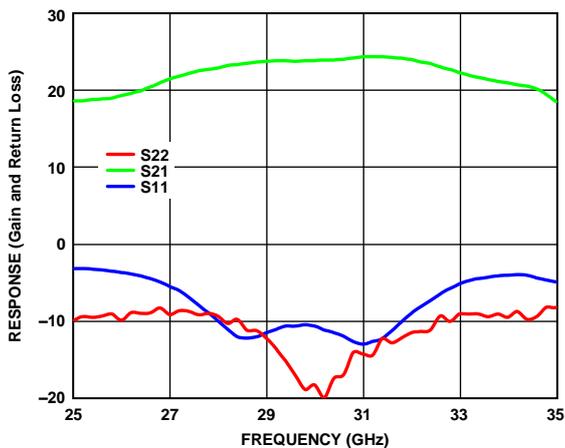


図 8. 応答 (ゲインとリターン・ロス) の周波数特性、 $V_{DDx} = 5V$ 、 $I_{DDQ} = 650mA$

17225-008

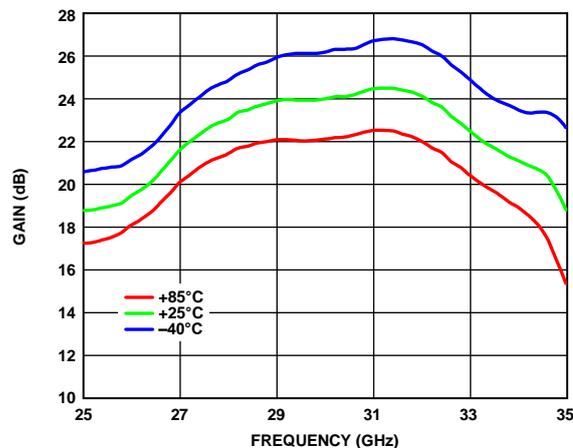


図 11. 様々な温度でのゲインの周波数特性、 $V_{DDx} = 5V$ 、 $I_{DDQ} = 650mA$

17225-011

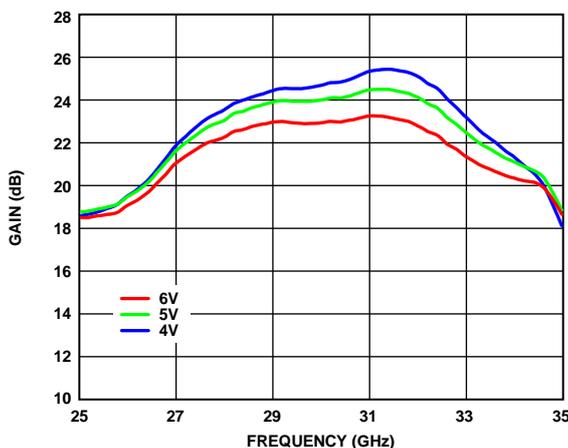


図 9. 様々なドレイン・バイアス電圧 (V_{DDx}) でのゲインの周波数特性、 $I_{DDQ} = 650mA$

17225-009

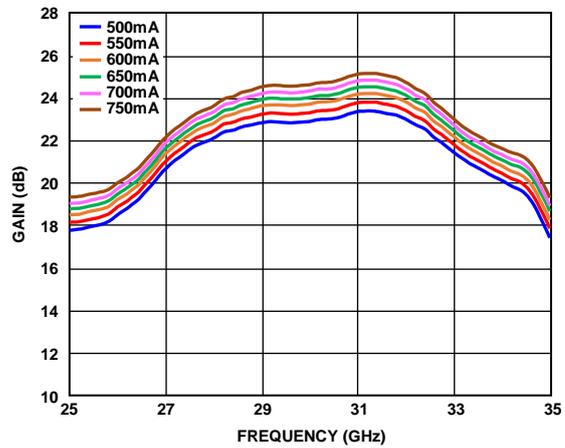


図 12. 様々な静止電流 (I_{DDQ}) でのゲインの周波数特性、 $V_{DDx} = 5V$

17225-012

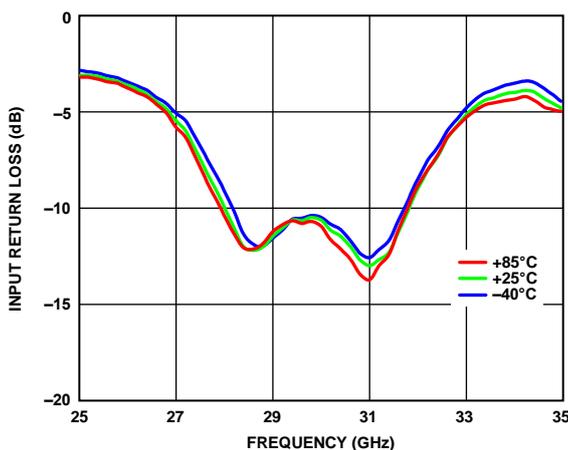


図 10. 様々な温度での入力リターン・ロスの周波数特性、 $V_{DDx} = 5V$ 、 $I_{DDQ} = 650mA$

17225-010

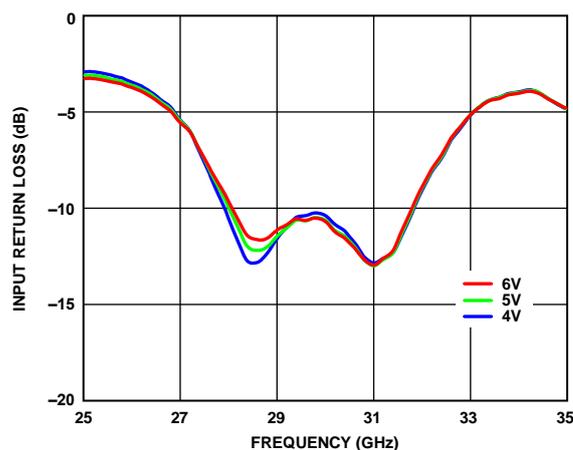


図 13. 様々なドレイン・バイアス電圧 (V_{DDx}) での入力リターン・ロスの周波数特性、 $I_{DDQ} = 650mA$

17225-013

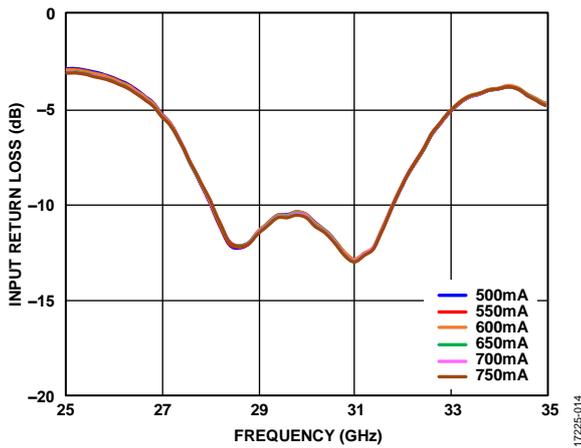


図 14. 様々な静止電流 (I_{DDQ}) での入力リターン・ロスの周波数特性、 $V_{DDx} = 5V$

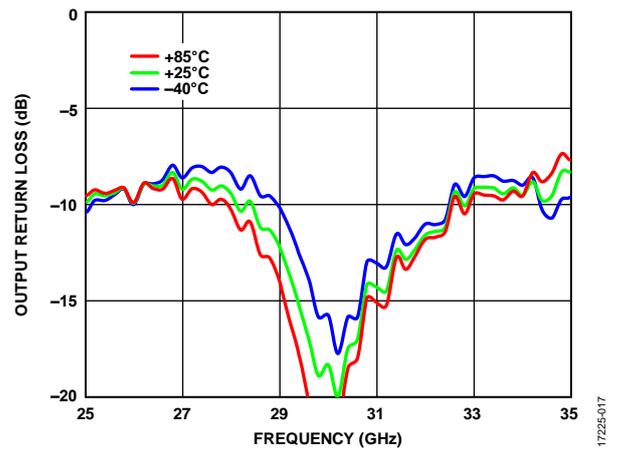


図 17. 様々な温度での出力リターン・ロスの周波数特性、 $V_{DDx} = 5V$ 、 $I_{DDQ} = 650mA$

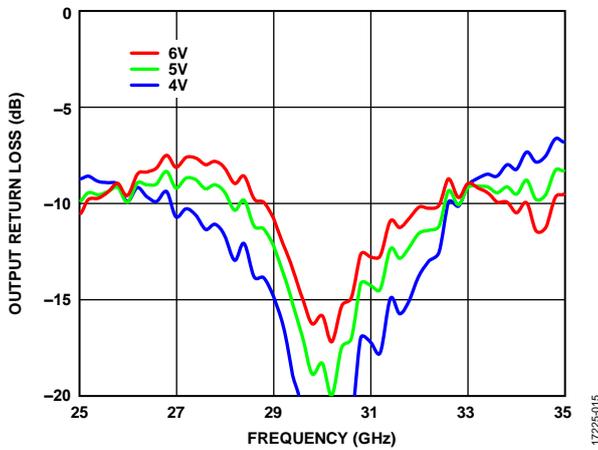


図 15. 様々なドレイン・バイアス電圧 (V_{DDx}) での出力リターン・ロスの周波数特性、 $I_{DDQ} = 650mA$

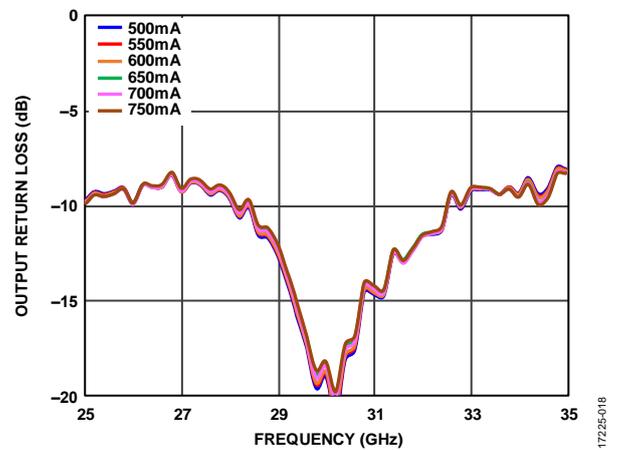


図 18. 様々な静止電流 (I_{DDQ}) での出力リターン・ロスの周波数特性、 $V_{DDx} = 5V$

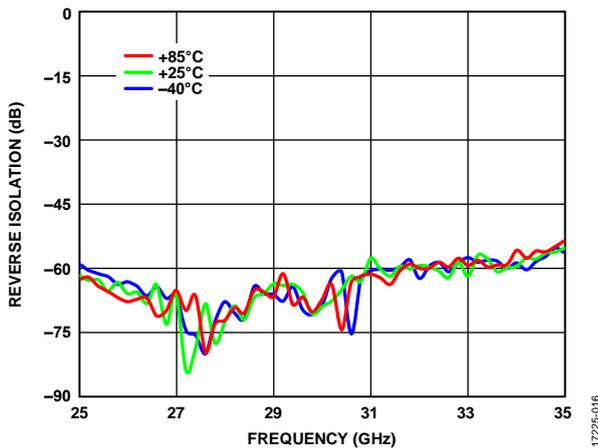


図 16. 様々な温度でのリバース・アイソレーションの周波数特性、 $V_{DDx} = 5V$ 、 $I_{DDQ} = 650mA$

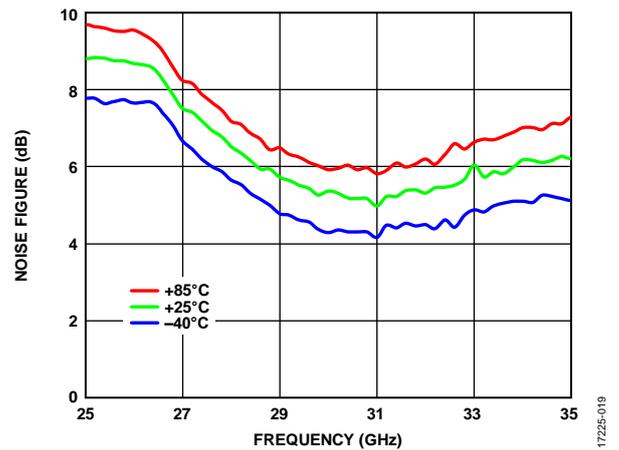


図 19. 様々な温度でのノイズ指数の周波数特性、 $V_{DDx} = 5V$ 、 $I_{DDQ} = 650mA$

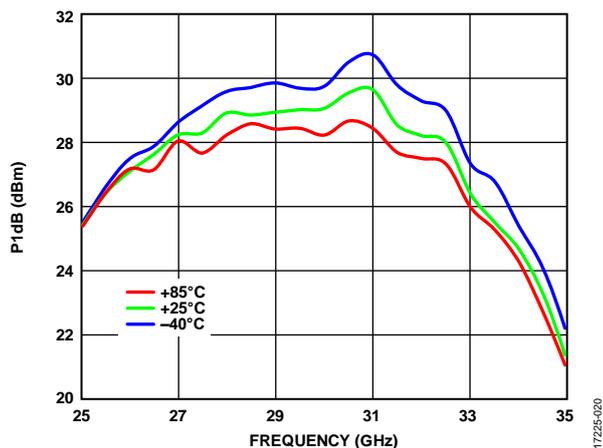


図 20. 様々な温度での P1dB の周波数特性、 $V_{DDX} = 5V$ 、 $I_{DDQ} = 650mA$

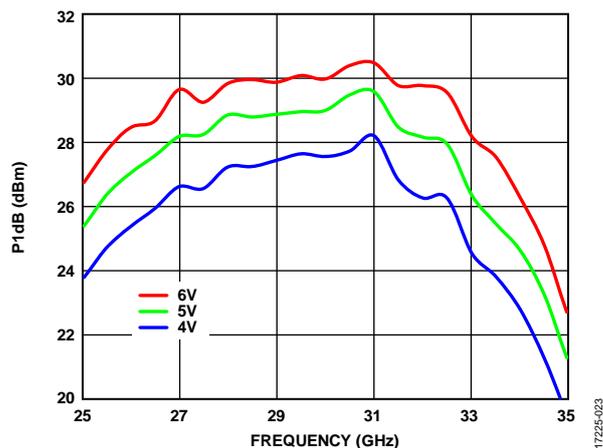


図 23. 様々なドレイン・バイアス電圧 (V_{DDX}) での P1dB の周波数特性、 $I_{DDQ} = 650mA$

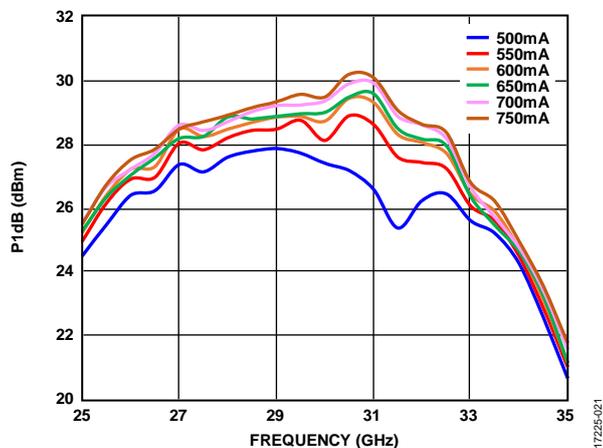


図 21. 様々な静止電流 (I_{DDQ}) での P1dB の周波数特性、 $V_{DDX} = 5V$

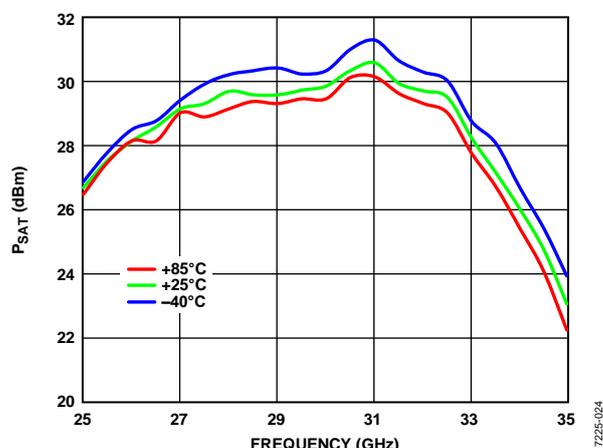


図 24. 様々な温度での P_{SAT} の周波数特性、 $V_{DDX} = 5V$ 、 $I_{DDQ} = 650mA$

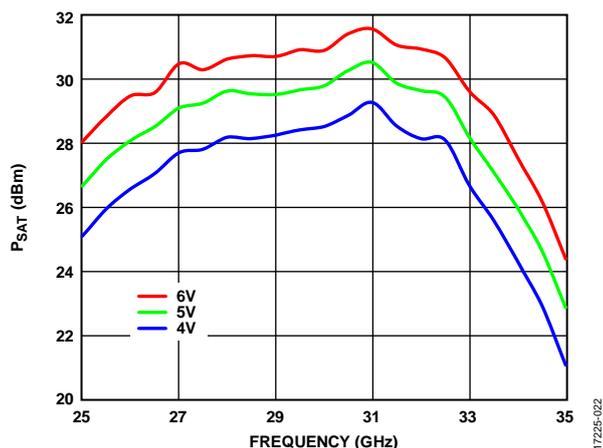


図 22. 様々なドレイン・バイアス電圧 (V_{DDX}) での P_{SAT} の周波数特性、 $I_{DDQ} = 650mA$

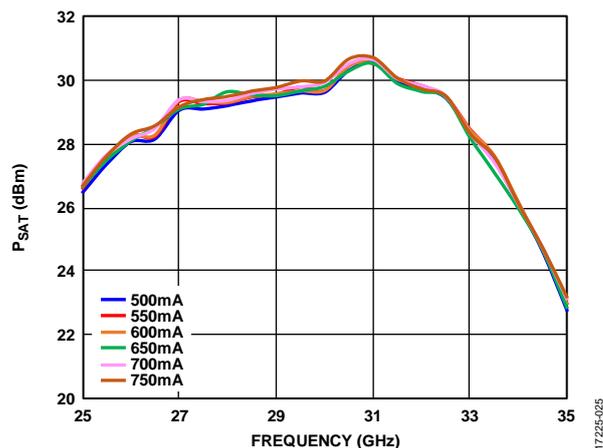


図 25. 様々な静止電流 (I_{DDQ}) での P_{SAT} の周波数特性、 $V_{DDX} = 5V$

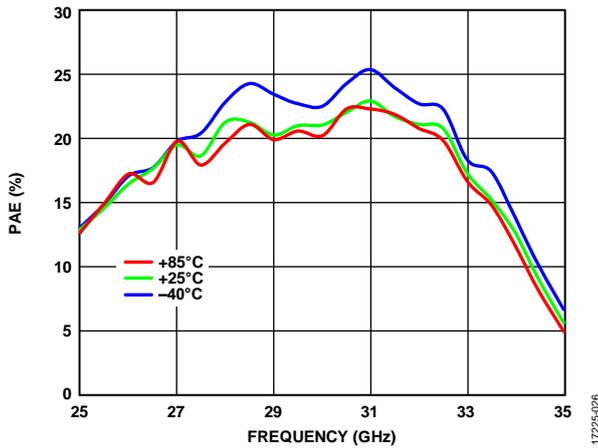


図 26. 様々な温度での電力付加効率 (PAE) の周波数特性、 $V_{DDx} = 5V$ 、 $I_{DDQ} = 650mA$ 、PAE は P_{SAT} において測定

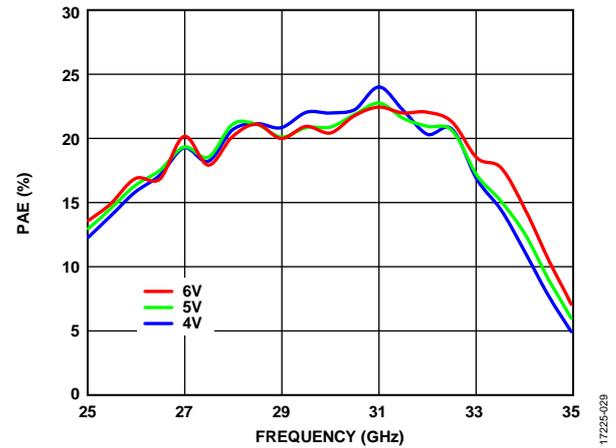


図 29. 様々なドレイン・バイアス電圧 (V_{DDx}) での PAE の周波数特性、 $I_{DDQ} = 650mA$ 、PAE は P_{SAT} において測定

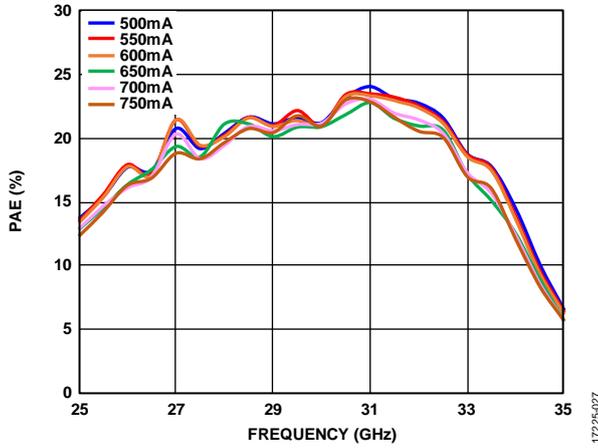


図 27. 様々な静止電流 (I_{DDQ}) での PAE の周波数特性、 $V_{DDx} = 5V$ 、PAE は P_{SAT} において測定

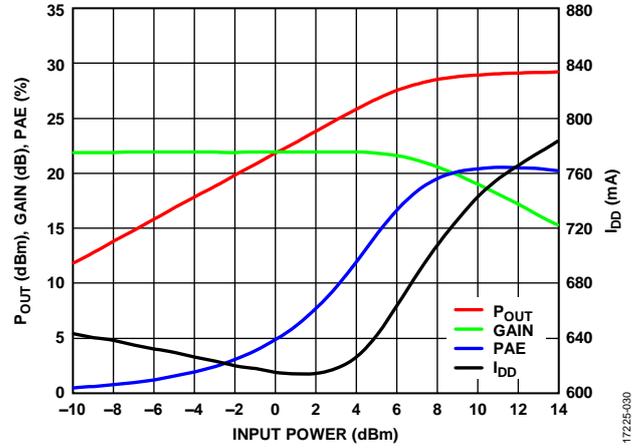


図 30. 出力電力 (P_{OUT})、ゲイン、電力付加効率 (PAE)、およびドレイン電流 (I_{DD}) と入力電力の関係、27GHz、 $V_{DDx} = 5V$ 、 $I_{DDQ} = 650mA$

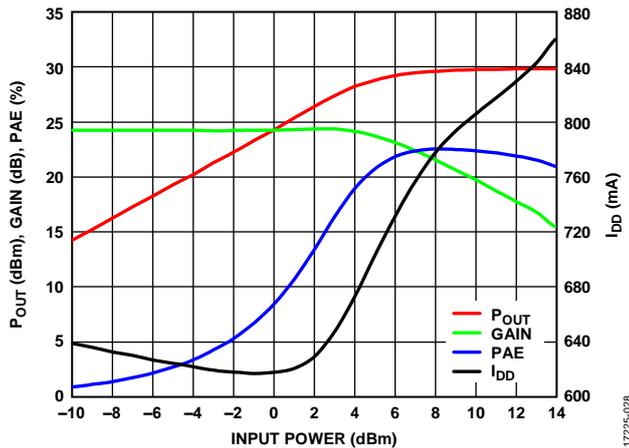


図 28. 出力電力 (P_{OUT})、ゲイン、電力付加効率 (PAE)、およびドレイン電流 (I_{DD}) と入力電力の関係、29.5GHz、 $V_{DDx} = 5V$ 、 $I_{DDQ} = 650mA$

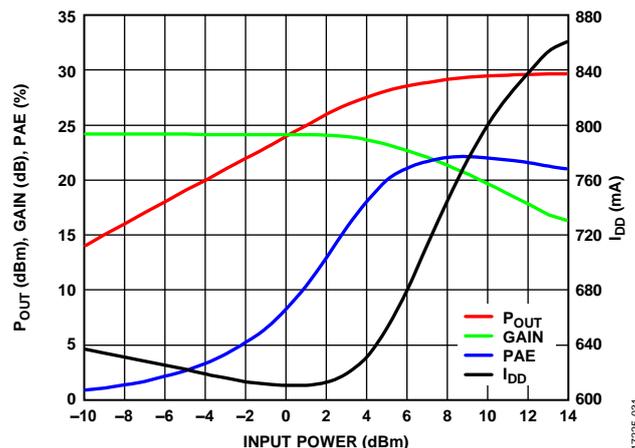


図 31. 出力電力 (P_{OUT})、ゲイン、電力付加効率 (PAE)、およびドレイン電流 (I_{DD}) と入力電力の関係、32GHz、 $V_{DDx} = 5V$ 、 $I_{DDQ} = 650mA$

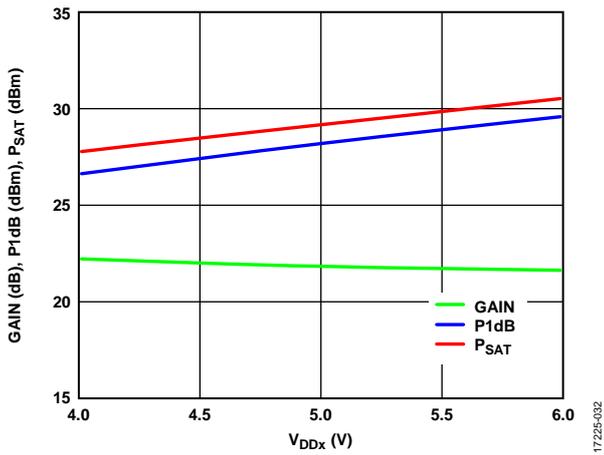


図 32. ゲイン、P1dB、および P_{SAT} と V_{DDx} の関係、27GHz、 $I_{DDQ} = 650mA$

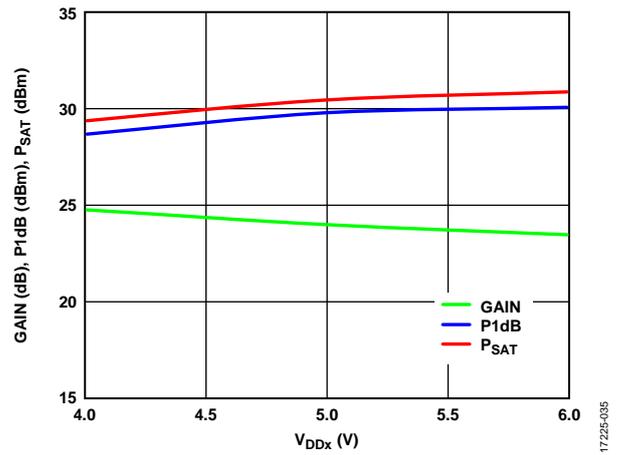


図 35. ゲイン、P1dB、および P_{SAT} と V_{DDx} の関係、29.5GHz、 $I_{DDQ} = 650mA$

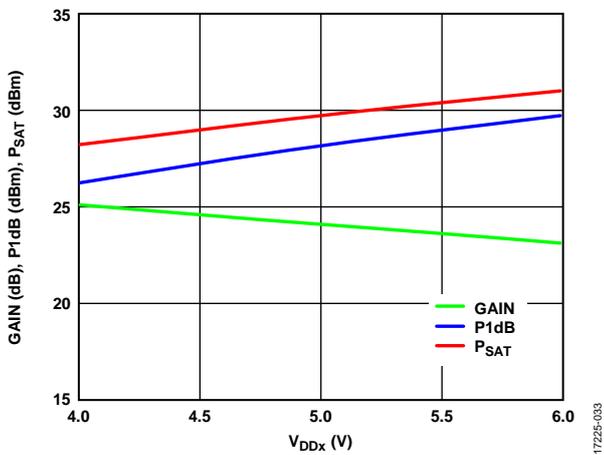


図 33. ゲイン、P1dB、および P_{SAT} と V_{DDx} の関係、32GHz、 $I_{DDQ} = 650mA$

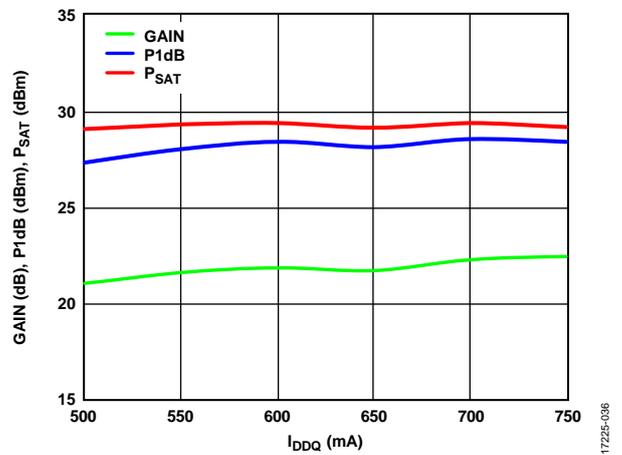


図 36. ゲイン、P1dB、および P_{SAT} と I_{DDQ} の関係、27GHz、 $V_{DDx} = 5V$

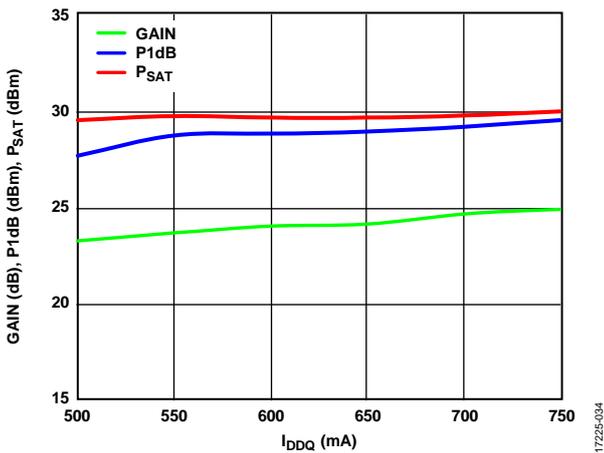


図 34. ゲイン、P1dB、および P_{SAT} と I_{DDQ} の関係、29.5GHz、 $V_{DDx} = 5V$

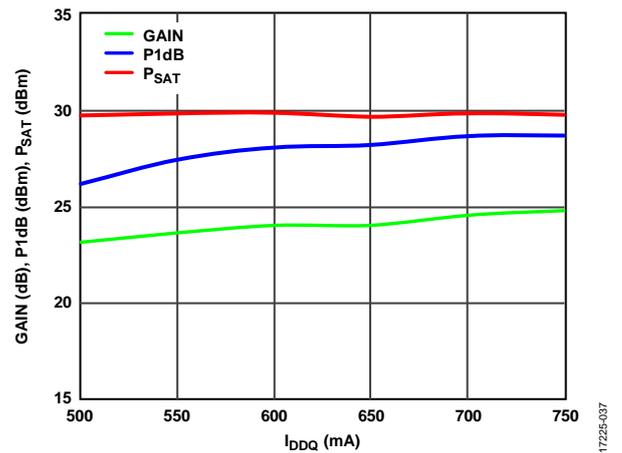


図 37. ゲイン、P1dB、および P_{SAT} と I_{DDQ} の関係、32GHz、 $V_{DDx} = 5V$

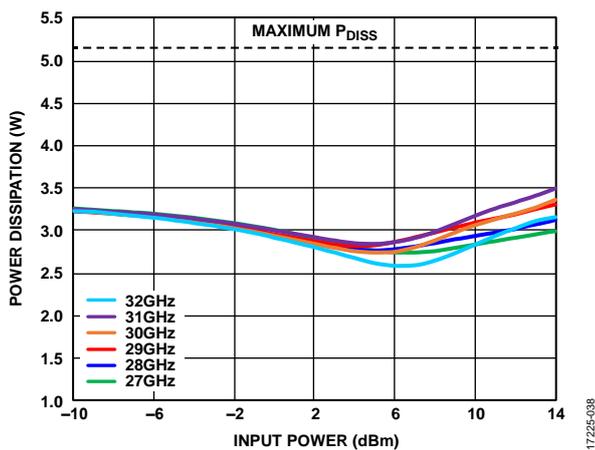


図 38. $T_A = 85^\circ\text{C}$ での消費電力と入力電力の関係、 $V_{DDx} = 5\text{V}$ 、 $I_{DDQ} = 650\text{mA}$

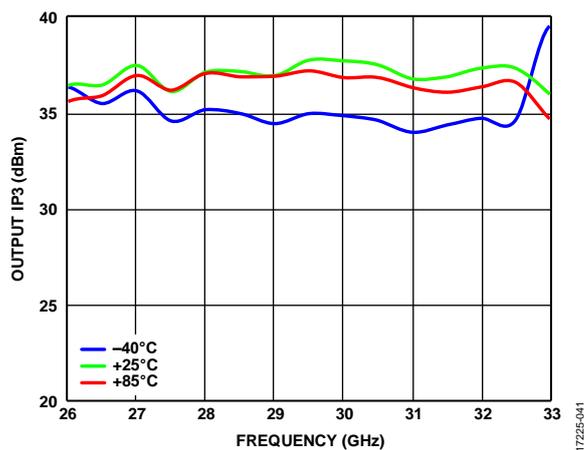


図 41. 様々な温度での出力 IP3 の周波数特性、トーンあたりの $P_{OUT} = 20\text{dBm}$ 、 $V_{DDx} = 5\text{V}$ 、 $I_{DDQ} = 650\text{mA}$

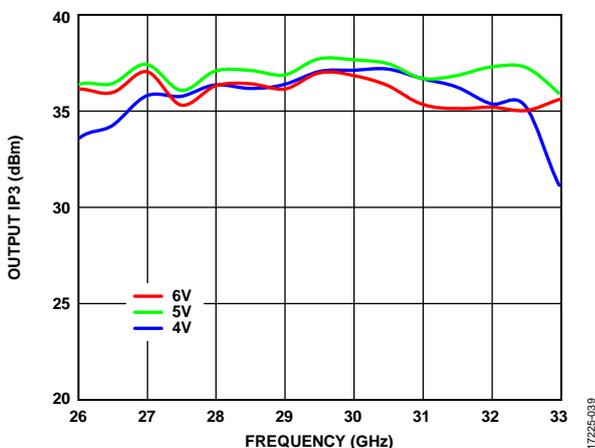


図 39. 様々な電源電圧 (V_{DDx}) での出力 IP3 の周波数特性、 $I_{DDQ} = 650\text{mA}$

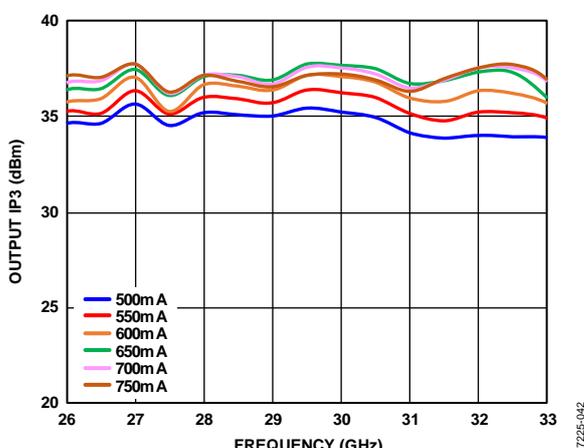


図 42. 様々な静止電流 (I_{DDQ}) での出力 IP3 の周波数特性、 $V_{DDx} = 5\text{V}$

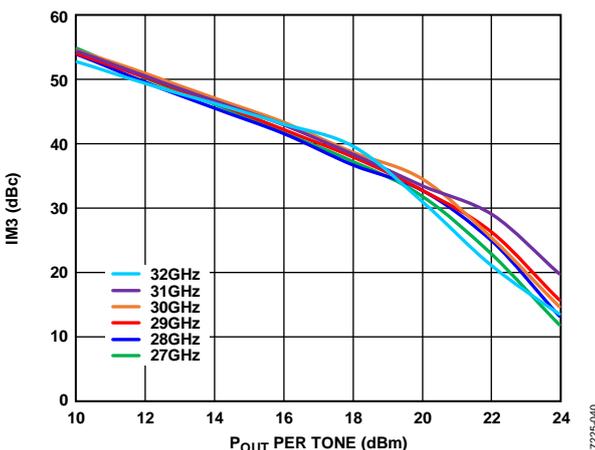


図 40. キャリアに対する 3 次相互変調歪み (IM3) と トーンあたりの P_{OUT} の関係、 $V_{DDx} = 4\text{V}$ 、 $I_{DDQ} = 650\text{mA}$

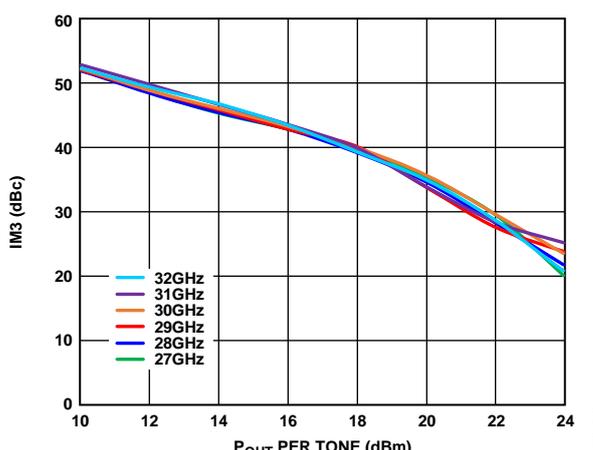


図 43. IM3 と トーンあたりの P_{OUT} の関係、 $V_{DDx} = 5\text{V}$ 、 $I_{DDQ} = 650\text{mA}$

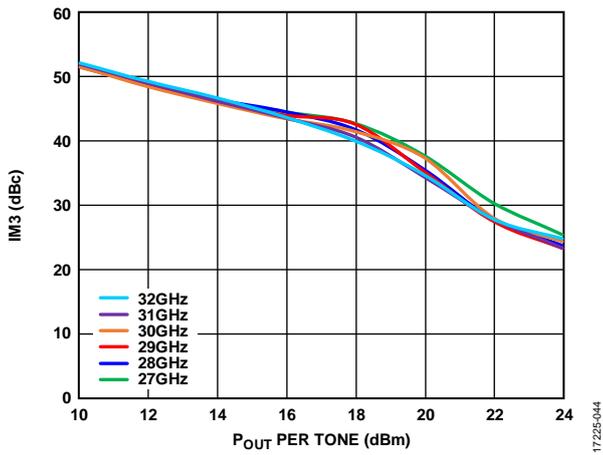


図 44. IM3 とトーンあたりの P_{OUT} の関係、 $V_{DDx} = 6V$ 、 $I_{DDQ} = 650mA$

17225-044

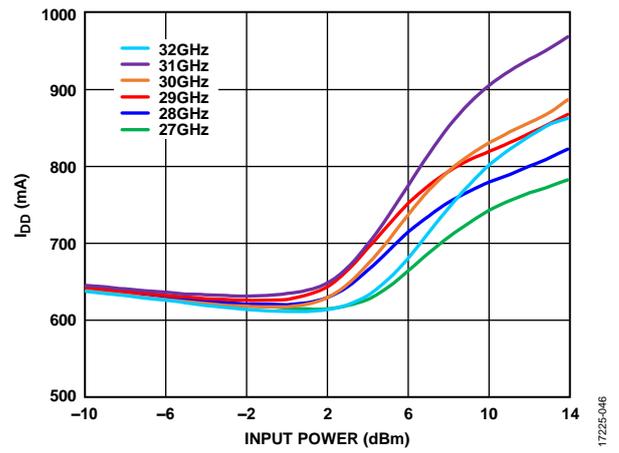


図 46. 様々な周波数でのドレイン電流 (I_{DD}) と入力電力の関係、 $V_{DDx} = 5V$ 、 $I_{DDQ} = 650mA$

17225-046

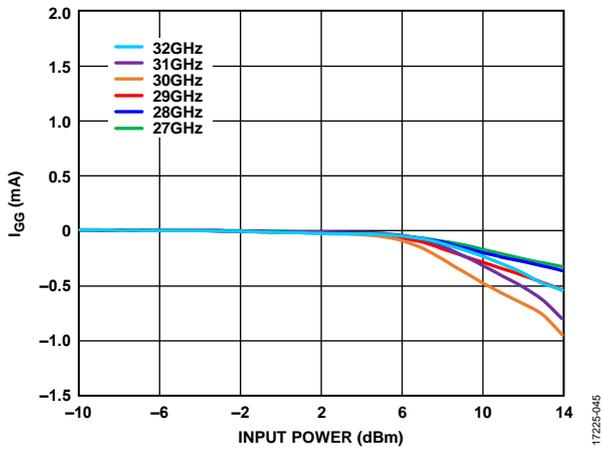


図 45. 様々な周波数でのゲート電流 (I_{GG}) と入力電力の関係、 $V_{DDx} = 5V$ 、 $I_{DDQ} = 650mA$

17225-045

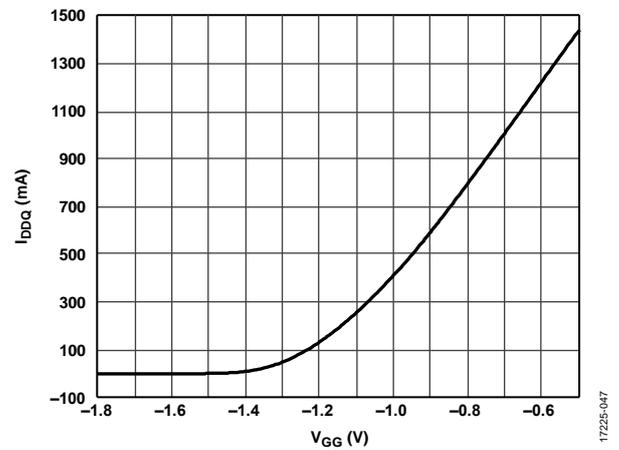


図 47. 静止電流 (I_{DDQ}) と V_{GG} の関係、 $V_{DDx} = 5V$ 、代表的なデバイスの典型的特性

17225-047

動作原理

HMC1132PM5E パワー・アンプのアーキテクチャを図 48 に示します。このアンプは、1 段のアンプを 4 個カスケード接続して構成されています。このアプローチにより、高 P1dB だけでなく高ゲインも実現でき、このゲインは動作周波数範囲にわたって平坦になります。 V_{DD1} は最初の 3 つのゲイン段にドレイン・バイアスを供給し、また、 V_{DD2} は 4 番目のゲイン段にドレイン・バ

イアスを供給します。 V_{GG} はゲート・バイアスを 4 つのゲイン段すべてに供給して、静止電流を制御することができます。 R_{FIN} と R_{FOUT} には GND への DC 経路が備えられており、デバイス全体の ESD 堅牢性を高める手段となっています。

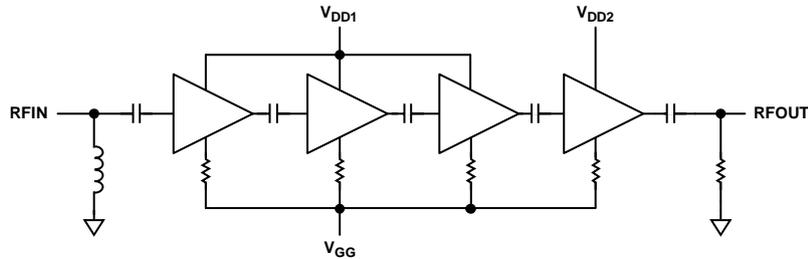


図 48. アーキテクチャと簡略ブロック図

アプリケーション情報

HMC1132PM5E は、GaAs を用いた pHEMT 構造の MMIC パワー・アンプです。V_{DD1}、V_{DD2}、および V_{GG} に対しては、コンデンサを用いてバイパスする必要があります (図 49 参照)。ドレイン・バイアス電圧を V_{DD1} と V_{DD2} の両方に与える必要があります、また、ゲート・バイアス電圧を V_{GG} に与える必要があります。RFIN ポートと RFOUT ポートは信号を AC カップリングしますが、デバイスの ESD 堅牢性を高めるために、GND への DC 経路が備えられています。DC レベルが顕著な場合は、RFIN や RFOUT に外付けの DC ブロッキングが必要です。

このデバイスにおけるすべての測定は、評価用 PCB (図 50 を参照) 上に構成された、図 49 に示す代表的なアプリケーション回路を使用して行いました。

電源投入時には、以下のバイアス・シーケンスを推奨します。

1. 評価用ボードをグラウンドに接続します。
2. ゲート・バイアス電圧を -2V に設定します。
3. ドレイン・バイアス電圧を 5V に設定します。
4. ゲート・バイアス電圧を上げて、静止電流を I_{DDQ} = 650mA にします。
5. RF 信号を印加します。

電源切断時には、以下のバイアス・シーケンスを推奨します。

1. RF 信号をオフにします。
2. ゲート・バイアス電圧を -2V に下げて、I_{DDQ} = (約) 0mA にします。
3. ドレイン・バイアス電圧を 0V に下げます。
4. ゲート・バイアス電圧を 0V に上げます。

V_{DDx} = 5V と I_{DDQ} = 650mA のバイアス条件は、デバイス全体の性能を最適化するために推奨する動作ポイントです。特に指定のない限り、ここで示したデータは推奨するバイアス条件を使用して求めました。HMC1132PM5E を異なるバイアス条件で動作させると、代表的な性能特性のセクションに示されている性能とは異なる性能となる可能性があります。HMC1132PM5E をドレイン電流が大きくなるようにバイアスすると、一般に P_{1dB}、P_{SAT}、およびゲインは大きくなりますが、その代わりに消費電力も大きくなります。

アプリケーション回路

図 49 に代表的なアプリケーション回路を示します。

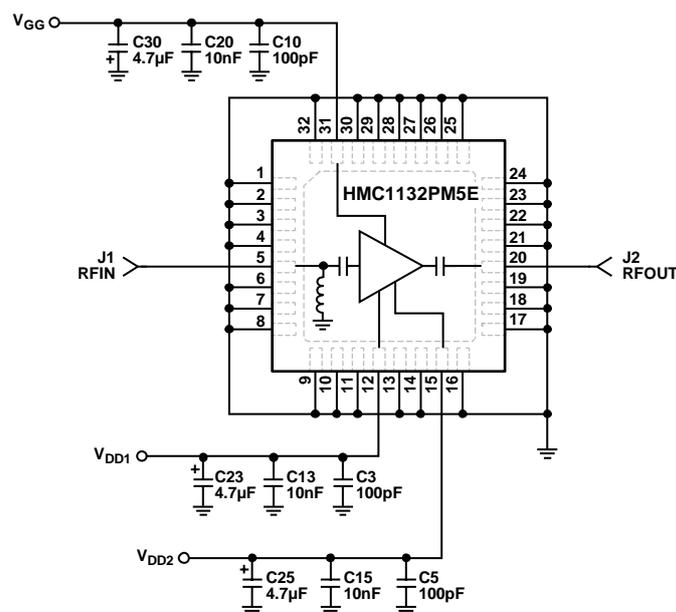


図 49. 代表的なアプリケーション回路

評価用ボード

HMC1132PM5E 評価用ボードは、Rogers 4350 と、高周波 RF 設計に適した最良の方法を使用して製造された 2 層基板です。RF 入力と RF 出力のパターンの特性インピーダンスは 50Ω です。この回路基板は、ヒート・シンクに取り付けられます。部品は SN63 ハンダを使用して実装されており、PCB とヒート・シンクの取り付けを傷つけることなく表面実装部品をリワークできます。

この評価用ボードと搭載部品は、 $-40^{\circ}\text{C}\sim+85^{\circ}\text{C}$ の周辺温度範囲で動作するように設計されています。動作中、HMC1132PM5E の温度を制御できるように、評価用ボードを温度制御プレートに取り付けてください。適正なバイアス・シーケンスについては、アプリケーション情報のセクションを参照してください。

図 51 に評価用ボードの回路図を示します。実装および試験済みの完全な評価用ボード (図 50 を参照) は、ご要望に応じてアナログ・デバイゼスから提供されます。

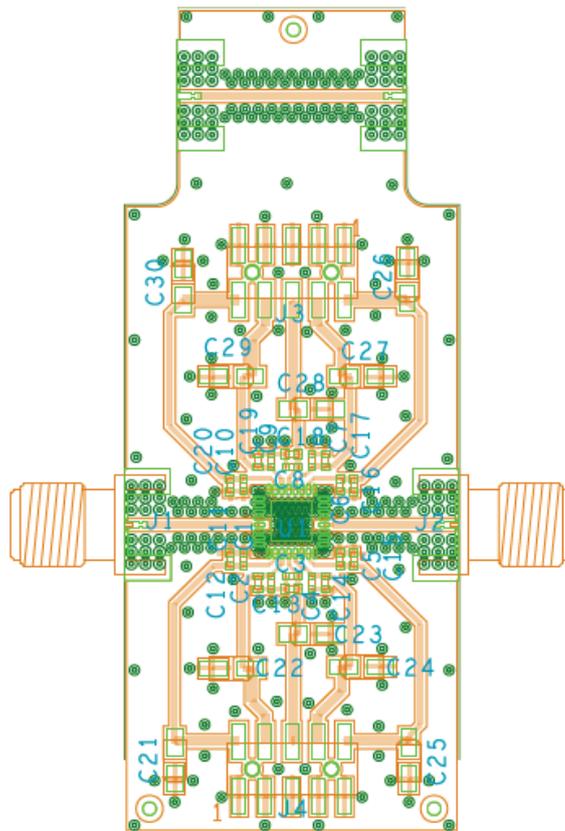


図 50. 評価用 PCB

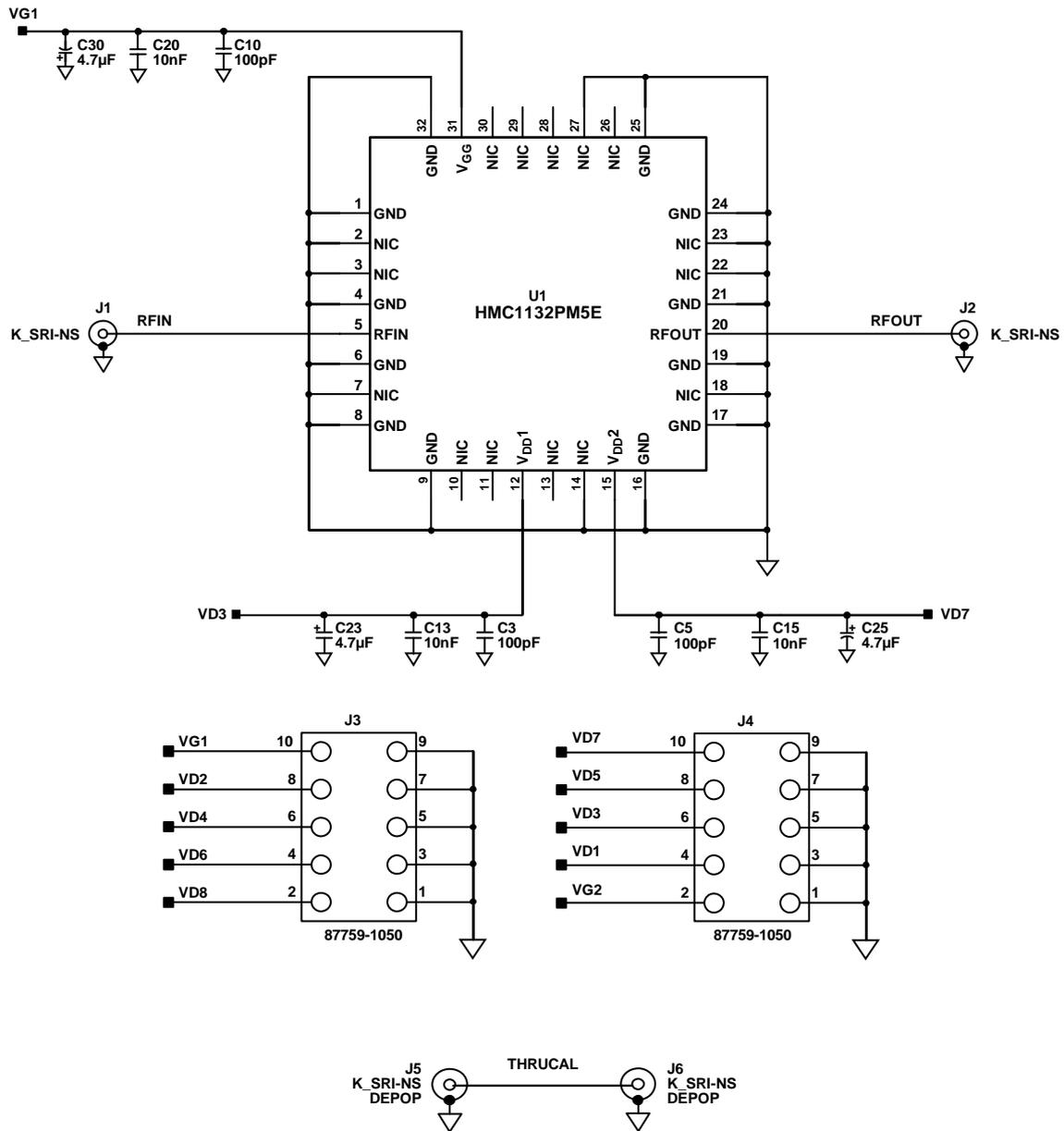
17225-000

部品表

表 6. 評価用 PCB EV1HMC1132PM5 の部品表

Item	Description
J1, J2	Connector, SRI K connector. SRI Part Number 25-146-1000-92.
J3, J4	DC pins.
J5, J6	Connector, SRI K connector. Not populated.
C3, C5, C10	100 pF capacitors, 0402 package.
C13, C15, C20	10 nF capacitors, 0402 package.
C23, C25, C30	4.7 μF capacitors, Case A package.
U1	HMC1132PM5E amplifier.
Heat Sink	Used for thermal transfer from the HMC1132PM5E amplifier.
PCB	08_047754 evaluation board. Circuit board material: Rogers 4350.

評価用ボードの回路図



NIC = NOT INTERNALLY CONNECTED.

図 51. 評価用ボードの回路図

17225-051

外形寸法

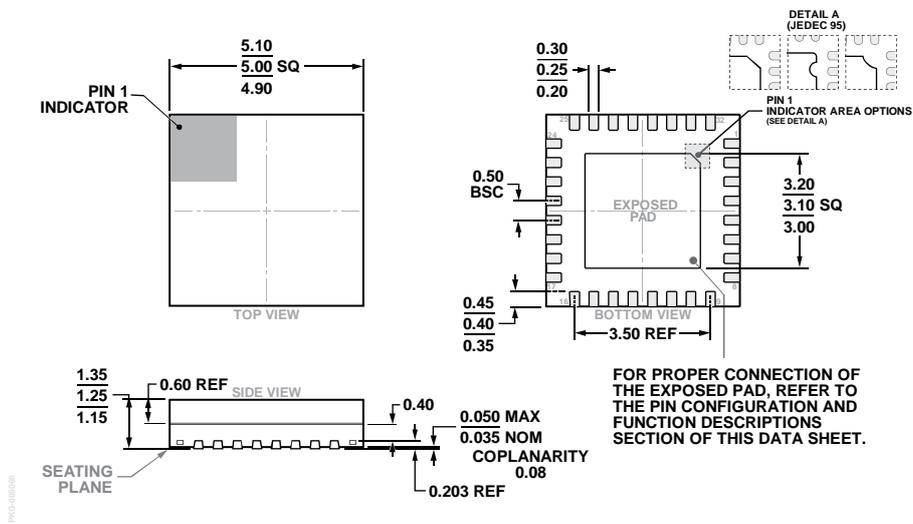


図 52. 32 ピン・リード・フレーム・チップ・スケール・パッケージ、プリモールド・キャビティ [LFCSP_CAV]
 5mm × 5mm ボディ、1.25mm パッケージ高
 (CG-32-2)
 寸法：mm

オーダー・ガイド

Model ^{1,2}	Temperature	MSL Rating ³	Description ⁴	Package Option
HMC1132PM5E	-40°C to +85°C	MSL3	32-Lead Lead Frame Chip Scale Package, Premolded Cavity [LFCSP_CAV]	CG-32-2
HMC1132PM5ETR	-40°C to +85°C	MSL3	32-Lead Lead Frame Chip Scale Package, Premolded Cavity [LFCSP_CAV]	CG-32-2
EV1HMC1132PM5			Evaluation Board	

¹ すべてのモデルは RoHS 準拠製品です。

² 評価用ボードのみを注文するときは、モデル番号 EV1HMC1132PM5 を指定してください。

³ 詳細については、絶対最大定格のセクションを参照してください。

⁴ HMC1132PM5E と HMC1132PM5ETR のピン仕上げは、ニッケル・パラジウム金 (NiPdAu) です。