

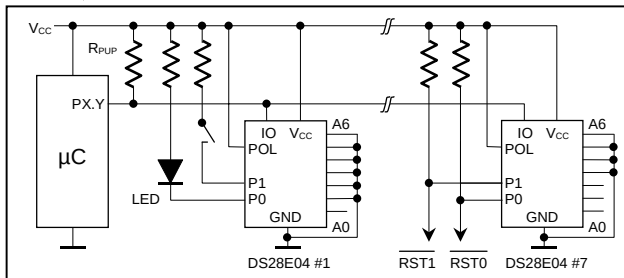
概要

DS28E04-100 は 4096 ビットの 1-Wire®EEPROM チップで、7 つのアドレス入力端子を備えています。各アドレス入力端子は 1-Wire の 64 ビットデバイス ID 番号に直接マッピングされるため、マルチデバイス 1-Wire ネットワーク環境で DS28E04-100 の物理的な位置または機能的関連をホストシステムが容易に識別することができます。4096 ビットの EEPROM アレイは各 32 バイトの 16 ページで構成され、書込み動作実行に 32 バイトのスクラッチパッドを備えています。EEPROM メモリページは、個別に書込み保護や EPROM エミュレーションモードに設定することができます。EPROM エミュレーションモードでは、各ビットは 1 から 0 にのみ状態を変更することができます。メモリのほかに、DS28E04-100 は 2 つの汎用 I/O ポートを備えています。このポートは入力用、またはレベルやパルス出力の生成用に使用することができます。また、アクティビティレジスタはポートのアクティビティを取り込み、状態の変化を監視します。DS28E04-100 は、1 個の接続を持つ 1-Wire バスを通じて通信します。この通信は、標準的な Dallas Semiconductor 1-Wire プロトコルに準拠しています。

アプリケーション

- 電話交換局のスイッチ、セルラ基地局、アクセス機器、光ネットワーク機器、PBX などのモジュラーシステムの自動設定
- アクセサリ/PCB の ID

標準動作回路



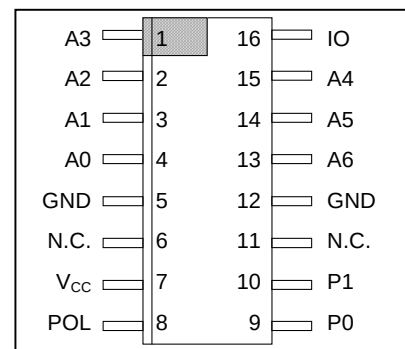
特長

- 各 256 ビットの 16 ページに分割された 4096 ビットの EEPROM メモリ
- 7 つのアドレス入力端子による物理位置の構成
- パルス生成機能を備えた 2 つの汎用 PIO 端子
- 各メモリページの永久的な書込み保護、または OTP EPROM エミュレーションモード(「0 に書込み」)の設定が可能
- 1-Wire プロトコルを使って 15.3kbit/s または 111kbit/s で単一デジタル信号によりホストと通信
- パラサイト(寄生)または V_{CC} による電源供給
- PIO ステータスまたは PIO アクティビティに基づく条件検索
- スイッチポイントヒステリシス及びフィルタリングによってノイズ環境における性能を最適化
- 2.8V~5.25V、-40°C~+85°Cの広い電圧/温度範囲で読取りと書込み
- 16 ピン 150-mil SOP パッケージ

型番

PART	TEMP RANGE	PIN-PACKAGE
DS28E04S-100	-40°C to +85°C	16 SO (150 mils)
DS28E04S-100/T&R	-40°C to +85°C	Tape-and-Reel

ピン配置



SOP(150 mil)

わかりやすくするため、コマンド、レジスタ、及びモードは大文字表記されています。

1-Wire は、Dallas Semiconductor Corp. の登録商標です。

ABSOLUTE MAXIMUM RATINGS

All Pins: Voltage to GND	-0.5V, +6V
All Pins: Sink Current	20mA
Operating Temperature Range	-40°C to +85°C
Junction Temperature	+150°C
Storage Temperature Range	-40°C to +85°C
Soldering Temperature	See IPC/JEDEC J-STD-020A

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to the absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

($V_{PUP} = 2.8V$ to $5.25V$, $V_{CC} = V_{PUP}$, floated or grounded, $T_A = -40^\circ C$ to $+85^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Ground Current	I_{GND}	(Notes 1, 2, 3)			20	mA
Supply Current	I_{CC}	$V_{CC} = V_{PUP}$ (Note 3)			1	mA
Standby Supply Current	I_{CCS}	Device idle; A0 to A6 floating			11	μA
PINS A0 TO A6						
Input Low Voltage	V_{ILA}	(Note 1)			0.30	V
Input High Voltage	V_{IHA}	$V_X = \max(V_{PUP}, V_{CC})$ (Note 1)	$V_X - 0.3V$			V
Input Load Current	I_{LA}	Pin at GND (Note 4)	-1.1			μA
POL PIN						
Input Low Voltage	V_{ILPOL}	(Note 1)			0.30	V
Input High Voltage	V_{IHPOL}	$V_X = \max(V_{PUP}, V_{CC})$ (Note 1)	$V_X - 0.3V$			V
Leakage Current	I_{LKPOL}	Pin at 5.25V			1	μA
PIO PINS						
Input Low Voltage	V_{ILP}	(Note 1)			0.30	V
Input High Voltage	V_{IHP}	$V_X = \max(V_{PUP}, V_{CC})$ (Note 1)	$V_X - 0.3V$			V
Output Low Voltage at 4mA	V_{OLP}	(Note 5)			0.4	V
Leakage Current	I_{LKP}	Pin at 5.25V			1	μA
Minimum Sensed PIO Pulse	t_{PWMIN}	(Note 6)	1		10	μs
Output Pulse Duration	t_{PULSE}	(Note 7)	250		1000	ms
IO PIN GENERAL DATA						
1-Wire Pullup Resistance	R_{PUP}	(Notes 1, 8)	0.3		2.2	k Ω
Input Capacitance	C_{IO}	(Notes 3, 9)		100	800	pF
Input Load Current	I_L	IO pin at V_{PUP} , A0 to A6 floating, V_{CC} at GND	0.05		11.00	μA
		IO pin at V_{PUP} , A0 to A6 floating, V_{CC} at V_{PUP}	0.05		8.25	
High-to-Low Switching Threshold	V_{TL}	(Notes 3, 10, 11)	0.46		4.40	V
Input Low Voltage	V_{IL}	(Notes 1, 12)			0.3	V
Input High Voltage	V_{IH}	$V_X = \max(V_{PUP}, V_{CC})$ (Note 1)	$V_X - 0.3V$			V
Low-to-High Switching Threshold	V_{TH}	(Notes 3, 10, 13)	1.0		4.9	V
Switching Hysteresis	V_{HY}	(Notes 3, 10, 14)	0.21		1.70	V
Output Low Voltage	V_{OL}	At 4mA Current Load (Note 5)			0.4	V
Recovery Time (Notes 1, 15)	t_{REC}	Standard speed, $R_{PUP} = 2.2k\Omega$	5			μs
		Overdrive speed, $R_{PUP} = 2.2k\Omega$	2			
		Overdrive speed, directly prior to reset pulse; $R_{PUP} = 2.2k\Omega$	5			
Rising-Edge Hold-Off Time (Note 3)	t_{REH}	Standard speed (Note 16)	0.5		5.0	μs
		Overdrive speed	Not applicable (0)			
Time Slot Duration (Note 1)	t_{SLOT}	Standard speed	65			μs
		Overdrive speed	9			

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
IO PIN, 1-Wire RESET, PRESENCE DETECT CYCLE						
Reset Low Time (Note 1)	t _{RSTL}	Standard speed, V _{PUP} > 4.5V	480		640	μs
		Standard speed (Note 17)	504		640	
		Overdrive speed, V _{PUP} > 4.5V	48		80	
		Overdrive speed (Note 17)	53		80	
Presence-Detect High Time	t _{PDH}	Standard speed	15		60	μs
		Overdrive speed (Note 17)	2		7	
Presence-Detect Fall Time (Notes 3, 18)	t _{FPD}	Standard speed, V _{PUP} > 4.5V	1.10		3.75	μs
		Standard speed	1.1		7.0	
		Overdrive speed	0		1.1	
Presence-Detect Low Time	t _{PDL}	Standard speed	60		240	μs
		Overdrive speed, V _{PUP} > 4.5V	8		24	
		Overdrive speed (Note 17)	8		26	
Presence-Detect Sample Time (Note 1)	t _{MSP}	Standard speed, V _{PUP} > 4.5V	64		75	μs
		Standard speed	67		75	
		Overdrive speed	8.1		10	
IO PIN, 1-Wire WRITE						
Write-0 Low Time (Note 1)	t _{W0L}	Standard speed	60		120	μs
		Overdrive speed (Note 17)	7		16	
Write-1 Low Time (Notes 1, 19)	t _{W1L}	Standard speed	5		15 - ε	μs
		Overdrive speed	1		2 - ε	
IO PIN, 1-Wire READ						
Read Low Time (Notes 1, 20)	t _{RL}	Standard speed	5		15 - δ	μs
		Overdrive speed	1		2 - δ	
Read Sample Time (Notes 1, 20)	t _{MSR}	Standard speed	t _{RL} + δ		15	μs
		Overdrive speed	t _{RL} + δ		2	
EEPROM						
Programming Current	I _{PROG}	(Note 21)			1	mA
Programming Time	t _{PROG}	(Note 22)			10	ms
Write/Erase Cycles (Endurance)	N _{CY}	At +25°C	200k			—
		At +85°C (worst case)	50k			
Data Retention	t _{DR}	At +85°C (worst case)	10			years

Note 1: System requirement.

Note 2: Maximum instantaneous pulldown current through all pins combined.

Note 3: Guaranteed by design, simulation only. Not production tested.

Note 4: This load current is caused by the internal weak pullup, which asserts a logical 1 to address pins that are not connected. The logical state of the address pins must not change during the execution of ROM function commands during those time slots in which these bits are relevant.

Note 5: The I-V characteristic is linear for voltages less than 1V.

Note 6: Width of the narrowest pulse that trips the activity latch. Back to back pulses that are active for $< t_{PWHMIN}$ (max) and that have an intermediate inactive time $< t_{PWHMIN}$ (max) are not guaranteed to be filtered.

Note 7: The Pulse function requires that V_{CC} power is available; otherwise the command will not be executed.

Note 8: Maximum allowable pullup resistance is a function of the number of 1-Wire devices in the system and 1-Wire recovery times. The specified value here applies to systems with only one device and with the minimum 1-Wire recovery times. For more heavily loaded systems, an active pullup such as that found in the DS2482-x00, DS2480B, or DS2490 may be required.

Note 9: Capacitance on the data pin could be 800pF when V_{PUP} is first applied. If a 2.2k Ω resistor is used to pull up the data line, 2.5 μs after V_{PUP} has been applied the parasitic capacitance will not affect normal communications.

Note 10: V_{TL} , V_{TH} , and V_{HY} are a function of the internal supply voltage.

Note 11: Voltage below which, during a falling edge on IO, a logic 0 is detected.

Note 12: The voltage on IO needs to be less than or equal to V_{ILMAX} whenever the master drives the line low.

Note 13: Voltage above which, during a rising edge on IO, a logic 1 is detected.

Note 14: After V_{TH} is crossed during a rising edge on IO, the voltage on IO has to drop by at least V_{HY} to be detected as logic '0'.

Note 15: Applies to a single DS28E04-100 without V_{CC} supply, attached to a 1-Wire line.

Note 16: The earliest recognition of a negative edge is possible at t_{REH} after V_{TH} has been previously reached.

Note 17: Highlighted numbers are NOT in compliance with legacy 1-Wire product standards. See comparison table.

Note 18: Interval during the negative edge on IO at the beginning of a Presence Detect pulse between the time at which the voltage is 80% of V_{PUP} and the time at which the voltage is 20% of V_{PUP} .

Note 19: ϵ represents the time required for the pullup circuitry to pull the voltage on IO up from V_{IL} to V_{TH} .

Note 20: δ represents the time required for the pullup circuitry to pull the voltage on IO up from V_{IL} to the input high threshold of the bus master.

Note 21: Current drawn during the EEPROM programming interval. If the device does not get V_{CC} power, the pullup circuit on IO during the programming interval should be such that the voltage at IO is greater than or equal to $V_{PUP(min)}$. If V_{PUP} in the system is close to $V_{pup(min)}$ then a low-impedance bypass of R_{PUP} that can be activated during programming may need to be added.

Note 22: The t_{PROG} interval begins t_{REHmax} after the trailing rising edge on IO for the last time slot of the E/S byte for a valid Copy Scratchpad sequence. Interval ends once the device's self-timed EEPROM programming cycle is complete and the current drawn by the device has returned from I_{PROG} to I_L or I_{CCS} , respectively.

PARAMETER	LEGACY VALUES				DS28E04-100 VALUES			
	STANDARD SPEED		OVERDRIVE SPEED		STANDARD SPEED		OVERDRIVE SPEED	
	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX
t_{SLOT} (incl. t_{REC})	61 μ s	(undef)	7 μ s	(undef)	65 μ s ¹⁾	(undef)	9 μ s	(undef)
t_{RSTL}	480 μ s	(undef)	48 μ s	80 μ s	504 μ s	640 μ s	53 μ s	80 μ s
t_{PDH}	15 μ s	60 μ s	2 μ s	6 μ s	15 μ s	60 μ s	2 μ s	7 μ s
t_{PDL}	60 μ s	240 μ s	8 μ s	24 μ s	60 μ s	240 μ s	8 μ s	26 μ s
t_{WOL}	60 μ s	120 μ s	6 μ s	16 μ s	60 μ s	120 μ s	7 μ s	16 μ s

¹⁾ Intentional change, longer recovery time requirement due to modified 1-Wire front end.

端子説明

端子	名称	機能
1	A3	弱プルアップを備えるアドレスビット入力(位置の値を 8 に割当て)
2	A2	弱プルアップを備えるアドレスビット入力(位置の値を 4 に割当て)
3	A1	弱プルアップを備えるアドレスビット入力(位置の値を 2 に割当て)
4	A0	弱プルアップを備える最下位アドレスビット入力(位置の値を 1 に割当て)
5, 12	GND	グランド基準
6, 11	N.C.	接続なし
7	V_{CC}	チップ用のオプション電源。 V_{CC} 電源を利用不可の場合は、接続しないかまたはグランドしてください。
8	POL	P0 及び P1 用の起動時極性(ロジック状態)。端子は弱プルダウンを備えています。
9	P0	リモート制御 I/O 端子、弱プルダウンを備えるオープンドレイン
10	P1	リモート制御 I/O 端子、弱プルダウンを備えるオープンドレイン
13	A6	弱プルアップを備えるアドレスビット入力(位置の値を 64 に割当て)
14	A5	弱プルアップを備えるアドレスビット入力(位置の値を 32 に割当て)
15	A4	弱プルアップを備えるアドレスビット入力(位置の値を 16 に割当て)
16	IO	1-Wire バスインタフェース。オープンドレインであり、外付けプルアップ抵抗が必要です。

詳細

DS28E04-100 は、単一チップ内に 4096 ビットの EEPROM、16 バイトの制御ページ、2 つの汎用 PIO 端子、7 つの外部アドレス端子、及び完全装備の 1-Wire インタフェースを統合しています。PIO 出力はオープンドレインとして構成され、最大 100 Ω のオン抵抗を備えています。信頼性の高い PIO チャネルアクセス通信プロトコルによって、PIO 出力設定の変更がエラーなしで行われます。DS28E04-100 は、メインメモリや制御ページへの書き込み時にバッファとして機能するスクラッチパッドと呼ばれる追加メモリ領域を備えています。データはまずスクラッチパッドに書き込まれ、そこからデータを読み戻すことができます。Copy Scratchpad コマンドによって、データは最終メモリ位置に転送されます。各 DS28E04-100 は、64 ビット長のデバイス ID 番号を備えています。ユーザは、この番号の内の 7 ビットをアドレス端子によって設定することができます。残りの 57 ビットは、出荷時にチップにレーザーで書き込まれます。デバイス ID 番号は固有の ID を保証し、この番号を使ってマルチドロップ 1-Wire ネットワーク環境でデバイスをアドレス指定することができます。この環境では複数のデバイスが共通の 1-Wire バス上に共存し、個別に動作します。また、DS28E04-100 は、PIO の状態やパワーオンリセットアクティビティに基づいた 1-Wire 条件検索機能もサポートしています。DS28E04-100 は、オプションの V_{CC} 電源接続を備えています。外付け電源がない場合は、デバイスの電源は 1-Wire バスから寄生的に供給されます。外付け電源がある場合は、1-Wire バスの電源がなくても PIO の状態が維持されます。DS28E04-100 のアプリケーションには、電話局のスイッチ、セルラ基地局、アクセス製品、光ネットワーク機器、PBX などのモジュラーシステムの自動設定や状態監視、及びアクセサリ/プリント基板の ID などがあります。

概要

図 1 のブロックダイアグラムは、DS28E04-100 の主要な制御及びメモリセクションとの関係を示しています。DS28E04-100 は、次の 5 つの主要データ要素から構成されています：1) 64 ビットデバイス ID 番号、2) 32 バイトスクラッチパッド、3) 各 32 バイトの 16 ページの EEPROM、4) 特別機能レジスタ、5) PIO 制御レジスタ。1-Wire プロトコルの階層構造は、図 2 に示されています。バスマスタは次の 8 つの ROM 機能コマンドのいずれか 1 つをまず発行する必要があります：1) Read ROM、2) Match ROM、3) Search ROM、4) Conditional Search ROM、5) Skip ROM、6) Resume、7) Overdrive-Skip ROM、または 8) Overdrive-Match ROM。標準速度で実行される Overdrive ROM コマンドバイトが終了すると、デバイスはオーバドライブモードに移行し、このモードでは以後の通信はすべて高速化されます。これらの ROM 機能コマンドに必要なプロトコルは、図 14 に記載されています。ROM 機能コマンドが正常に実行されると、メモリ/制御機能を利用できるようになり、マスタが 9 つのメモリ/制御機能コマンドのいずれか 1 つを発行することができます。これらのコマンドのプロトコルは、図 9 に記載されています。データの読取りと書き込みはすべて、最下位ビットから行われます。

図 1. ブロックダイアグラム

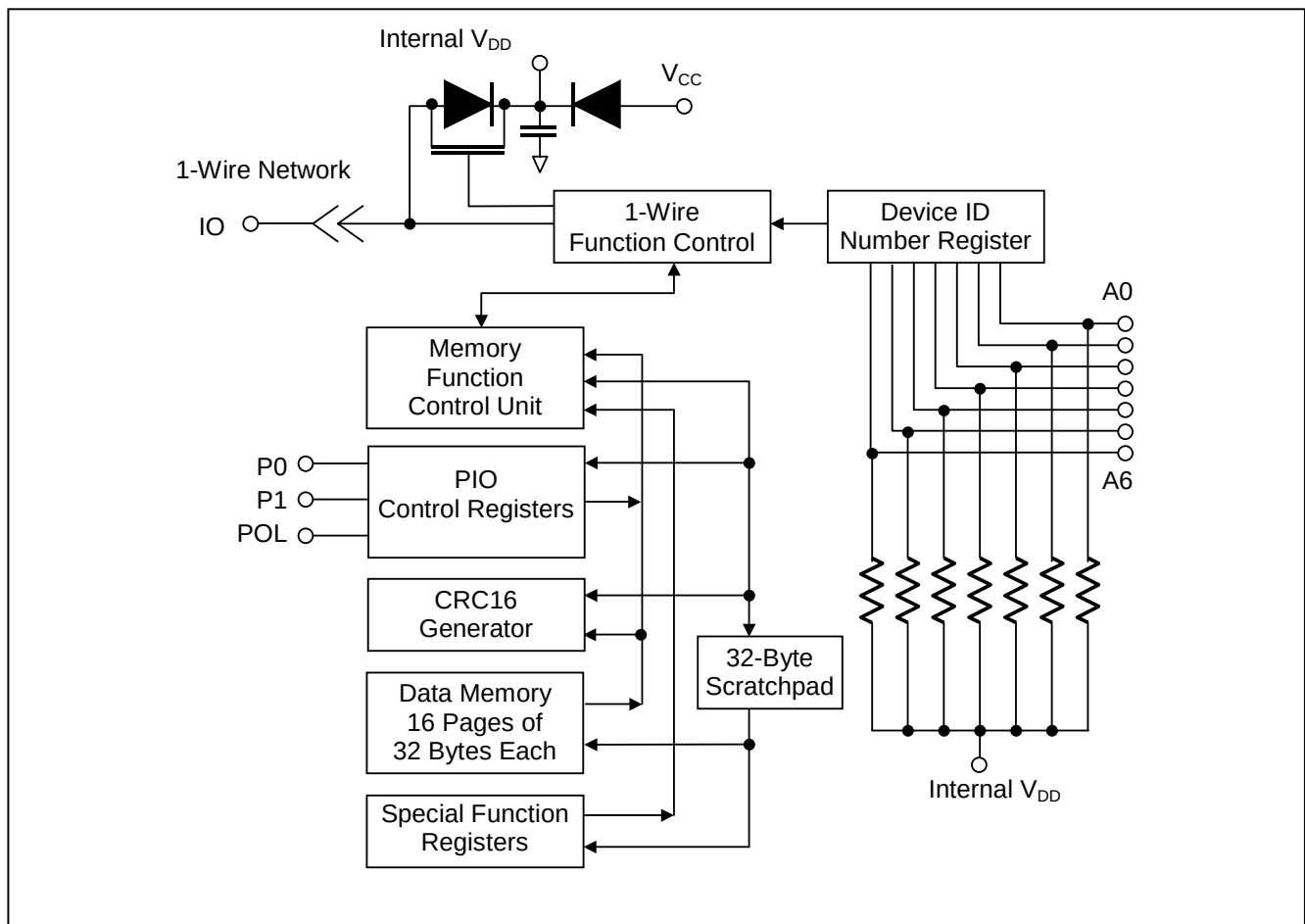
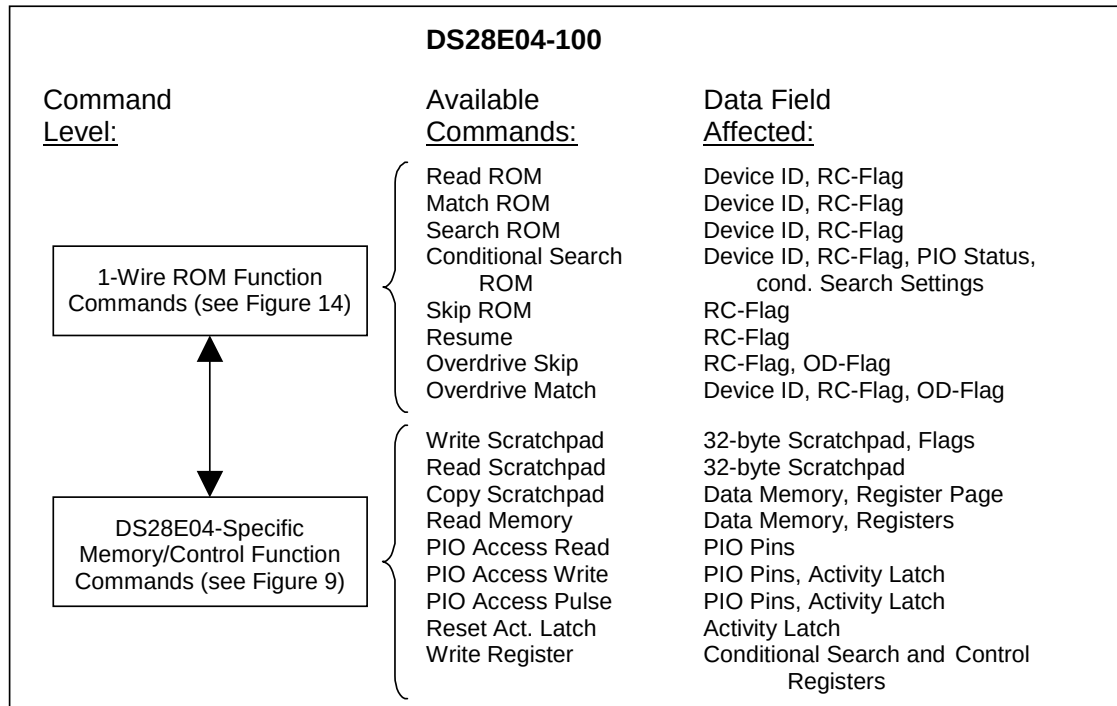


図 2. 1-WIRE プロトコルの階層構造



64 ビットのデバイス ID 番号(ネットワークアドレス)

各 DS28E04-100 はそれぞれ、図 3 に示されるように 64 ビット長の固有のデバイス ID 番号を備えています。先頭の 8 ビットは、1-Wire のファミリコードです。その次の 8 ビットは外部アドレスバイトで、その下位 7 ビットはアドレス入力端子 A0～A6 に接続されています。このため、ユーザはこれらの端子を個別に GND(ロジック 0)または V_{CC} ロジック 1)に接続するか、またはオープン状態(ロジック 1)にすることによって、デバイス ID 番号の一部を設定することができます。その次の 40 ビットは、レーザで書き込まれたシリアル番号です。複数の DS28E04-100 が 1-Wire ネットワークで使用され、すべてのアドレス入力端子が同じ状態に接続されるか、オープン状態(未接続)であっても、ユニークな 40 ビットのシリアル番号化フィールドによってアドレスの競合が回避され、各デバイスと個別に通信することができます。最後の 8 ビットは、アドレス入力端子 A0～A6 がロジック 1 であると仮定した、先頭から 56 ビットのレーザ書き込みされた CRC(巡回冗長検査)です。図 4 に示されているように、シフトレジスタと XOR ゲートから構成される生成多項式によって 1-Wire CRC が生成されます。多項式は、 $X^8 + X^5 + X^4 + 1$ です。デバイス ID の CRC の詳細は、本書の末尾近くの「CRC の生成」の項に記載されています。

図 3. 64 ビットデバイス ID 番号

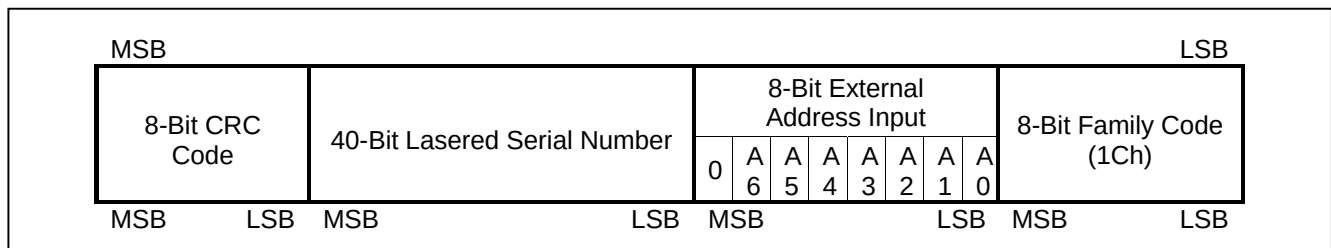
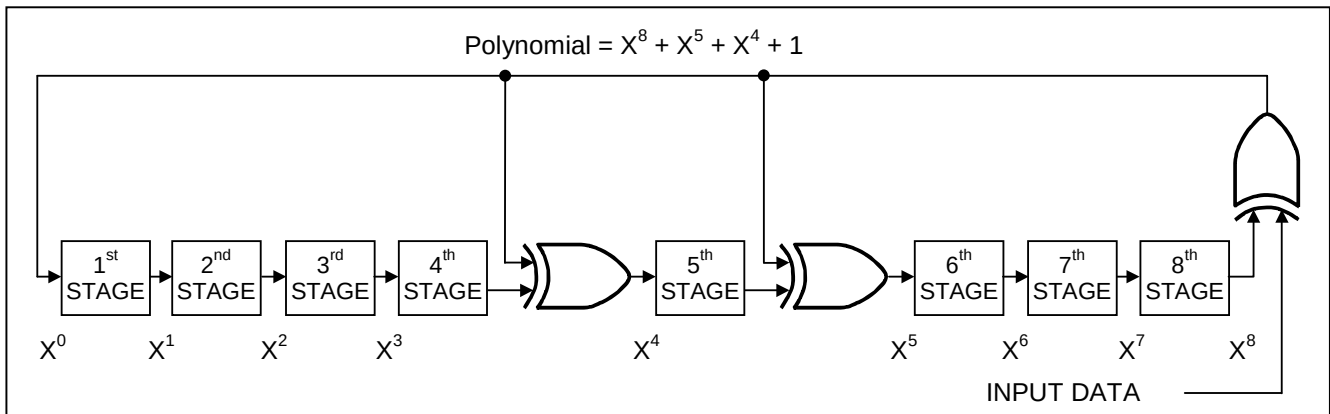


図 4. 1-WIRE CRC 生成器



メモリ

DS28E04-100 の EEPROM アレイは各 32 バイトの 17 ページで構成され、アドレス 0000h から始まり、アドレス 021Fh で終わります。この範囲のメモリアドレスはすべて、無制限の読取りアクセスが可能です。データメモリは、各 32 バイトの 16 ページから構成されています。レジスタページは、アドレス 0200h から始まる 32 バイトから構成されています。レジスタページは、16 ページの保護制御バイト(各データメモリページに 1 つずつ)、レジスタページロックバイト、ファクトリバイト、及び予備バイトから構成されています。予備バイトはファクトリ(マキシム)が将来使用するためのバイトで、使用してはいけません。予備バイトは、デバイスの動作になんら影響を与えません。

レジスタページロックバイトとともに保護制御レジスタによって、16 ページのデータメモリのページごとに書き込み保護、EPROM モード、またはコピー防止がイネーブルされるかどうかを設定します。値 55h によって、関連するメモリページに対する書き込み保護が設定されます。値 AAh によって EPROM モードが設定されます。レジスタページロックバイトの値を 55h または AAh とすると、書き込み保護されたすべてのデータメモリページとレジスタページに対するコピー防止が設定されます。この場合、EPROM モードページは、影響を受けません。保護制御レジスタ及びレジスタページロックバイトが 55h または AAh に設定されている場合は、自らを書込み保護します。その他の設定では、これらは書き込みアクセスに対する規制はありません。

デバイスは、EEPROM のほかに 32 バイトの揮発性スクラッチパッドを内蔵しています。EEPROM アレイへの書き込みは、2 段階のプロセスで行われます。まずデータは Write Scratchpad コマンドによってスクラッチパッドに書き込まれ、次に Copy Scratchpad コマンドによってメインアレイにコピーされます。ユーザは、メインアレイにコピーされる前に、Read Scratchpad コマンドによってスクラッチパッドに書き込まれたデータを検証することができます。

メモリ位置が書き込み保護されている場合は、Write Scratchpad コマンドによって関連アドレスにマスタから送出されたデータはスクラッチパッドにロードされません。代わりに、このデータは、ターゲットアドレスにある EEPROM 内のデータに置き換えられます。メモリ位置が EPROM モード状態の場合は、マスタが送出するデータとターゲットアドレスの EEPROM 内のデータの論理 AND が、スクラッチパッドにロードされます。書き込み保護されたメモリ位置または EPROM モードのメモリ位置に対する Copy Scratchpad コマンドは有効です。このことによって、デバイス内の書き込み保護されたデータをリフレッシュ、すなわち最新データで再設定することができます。

あるメモリ位置がコピー防止されている場合は、この位置に対する Copy Scratchpad コマンドは阻止されます。これは FFh 成功バイトによって表示されます。コピー防止は高度なセキュリティ用に使用され、すべての書き込み保護されたページとそれに関連する保護制御バイトを最終値に設定してから使用する必要があります。このデバイスで実装されたコピー防止では、あるデバイスから別のデバイスへのデータのコピーを禁止していません。コピー防止されたメモリページのターゲットアドレスに対する Copy Scratchpad コマンドの実行のみが阻止されます。

図 5. メモリマップ

アドレス位置 0000h～021Fh は不揮発性です。アドレス位置 0220h～0225 は揮発性です。

ADDRESS RANGE	TYPE	DESCRIPTION	PROTECTION CODES (NOTES)
0000h to 001Fh	R/(W)	Data Memory Page 0	(Protection controlled by address 0200h)
0020h to 003Fh	R/(W)	Data Memory Page 1	(Protection controlled by address 0201h)
0040h to 005Fh	R/(W)	Data Memory Page 2	(Protection controlled by address 0202h)
0060h to 007Fh	R/(W)	Data Memory Page 3	(Protection controlled by address 0203h)
0080h to 009Fh	R/(W)	Data Memory Page 4	(Protection controlled by address 0204h)
00A0h to 00BFh	R/(W)	Data Memory Page 5	(Protection controlled by address 0205h)
00C0h to 00DFh	R/(W)	Data Memory Page 6	(Protection controlled by address 0206h)
00E0h to 00FFh	R/(W)	Data Memory Page 7	(Protection controlled by address 0207h)
0100h to 011Fh	R/(W)	Data Memory Page 8	(Protection controlled by address 0208h)
0120h to 013Fh	R/(W)	Data Memory Page 9	(Protection controlled by address 0209h)
0140h to 015Fh	R/(W)	Data Memory Page 10	(Protection controlled by address 020Ah)
0160h to 017Fh	R/(W)	Data Memory Page 11	(Protection controlled by address 020Bh)
0180h to 019Fh	R/(W)	Data Memory Page 12	(Protection controlled by address 020Ch)
01A0h to 01BFh	R/(W)	Data Memory Page 13	(Protection controlled by address 020Dh)
01C0h to 01DFh	R/(W)	Data Memory Page 14	(Protection controlled by address 020Eh)
01E0h to 01FFh	R/(W)	Data Memory Page 15	(Protection controlled by address 020Fh)
0200h ¹⁾ to 020Fh ¹⁾	R/(W)	Protection Control Pages 0 to 15	55h: Write Protected; AAh: EPROM mode. Address 0200h is associated with memory page 0, address 0201h with page 1, etc.
0210h ¹⁾	R/(W)	Register Page Lock	(See text)
0211h	R	Factory Byte	(Reads 55h or AAh)
0212h to 021Dh	N/A	Reserved	
021Eh to 021Fh	R	Factory Bytes	(Undefined value)

220h	R	PIO Logic State	(The lower two bits are valid)
221h	R	PIO Output Latch State	(The lower two bits are valid)
222h	R	PIO Activity Latch State	(The lower two bits are valid)
223h	R/W ²⁾	Conditional Search PIO Selection Mask	
224h	R/W ²⁾	Conditional Search Polarity Selection	
225h	R/W ²⁾	Conditional Search Control and Status Register	

¹⁾ Once programmed to AAh or 55h this address becomes read-only. All other codes can be stored but will neither write-protect the address nor activate any function.

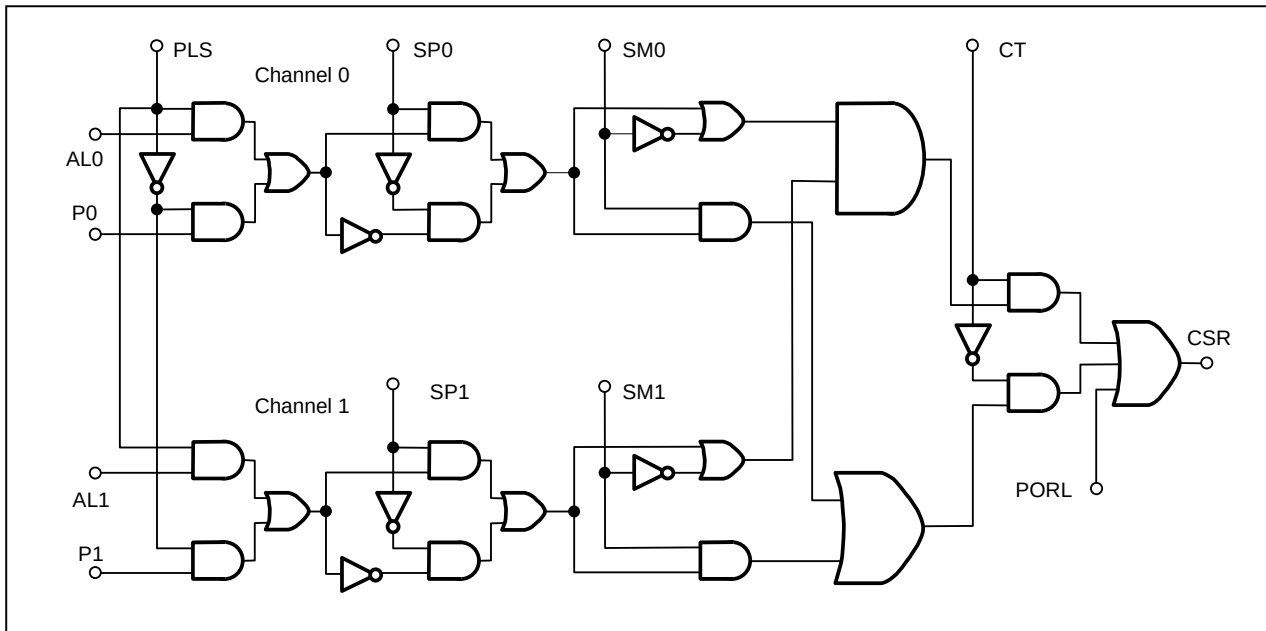
²⁾ Limited write access through Write Register command

PIO Activity Latch State(PIO アクティビティラッチ状態)レジスタ

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
0222h	0	0	0	0	0	0	AL1	AL0

このレジスタのデータは、PIO アクティビティラッチの最新状態を示します。このレジスタは、Read Memory コマンドを使って読み取られます。このレジスタは読み取り専用です。各ビットは、各 PIO チャンネルのアクティブラッチに対応しています。ビット 2～7には機能がありません。これらのビットを読み取るとは常に 0 です。t_{PWMIN} を超える期間継続した PIO 端子の状態遷移(ハイ→ロー、またはロー→ハイ)によって、レジスタの対応ビットが 1 に設定されます。パワーオンリセットによって、または「Reset Activity Latches」コマンドを正常に実行すると、このレジスタは 00h にクリアされます。

その次の 3 つのレジスタは、Conditional Search ROM シーケンスへのデバイスの参加を制御します。デバイスが条件検索に応答するかどうかを決定する各信号の相互関係が図 7 に示されています。参加する PIO を選択する選択マスク SM、適合するためにチャンネル信号が 1 または 0 である必要があるかをチャンネルごとに設定する極性選択 SP、及びアクティビティラッチまたは PIO 端子を入力として選択する PLS ビットがあります。全チャンネルの信号は、AND ゲート及び OR ゲートに入力されます。CT ビットによって、最後に AND(論理積)または OR(論理和)された結果が条件検索応答信号 CSR として選択されます。CT が 0 の場合は、選択チャンネルのうち最低 1 つのチャンネルのチャンネル信号が対応する極性と一致する必要があります。CT が 1 の場合は、選択した全チャンネルのチャンネル信号が対応する極性と一致する必要があります。

図 7. 条件検索ロジック**Conditional Search Channel Selection Mask(条件検索チャンネル選択マスク)レジスタ**

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
0223h	0	0	0	0	0	0	SM1	SM0

このレジスタのデータは、PIO チャンネルが条件検索コマンドに参加するのに適合するかどうかを制御します。PIO チャンネルを参加させるためには、該当するチャンネルに対応するこのレジスタのビットを 1 に設定する必要があります。Write Register コマンドによってのみ、このレジスタに書き込むことができます。このレジスタは読み取り及び書き込み可能です。各ビットは、図 7 に示すように各 PIO チャンネルに対応しています。ビット 2～7には機能がありません。これらのビットの読み取り値は常に 0 であり、1 に変更することはできません。このレジスタは、パワーオンリセットで 00h にクリアされます。

Conditional Search Channel Polarity Selection(条件検索チャンネル極性選択)レジスタ

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
0224h	0	0	0	0	0	0	SP1	SP0

このレジスタのデータによって、デバイスが条件検索コマンドに応答する選択した各 PIO チャンネルの極性を設定します。Write Registers コマンドによってのみ、このレジスタに書き込むことができます。PIO チャンネル内で、アドレス 0225h の制御/状態レジスタにある PLS ビットの設定に従って、データソースをチャンネルの入力端子またはチャンネルのアクティビティラッチのいずれかにすることができます。このレジスタは読取り及び書込み可能です。各ビットは、図 7 に示すように各 PIO チャンネルに対応しています。ビット 2～7 には機能がありません。これらのビットの読取り値は常に 0 であり、1 に変更することはできません。このレジスタは、電源投入時に 00h にクリアされます。

Control/Status(制御/状態)レジスタ

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
0225h	VCCP	POL	0	0	PORL	0	CT	PLS

このレジスタのデータは状態に関する情報を通知し、さらにデバイスを条件検索用に構成します。Write Registers コマンドでのみ、このレジスタに書き込むことができます。このレジスタは読取り及び書込み可能です。PORL ビットの起動状態は、「1」です。CT 及び PLS は「0」として起動します。各ビットの機能割当ては、次の表で説明されています。ビット 2、4、及び 5 には機能がありません。これらのビットの読取り値は常に 0 で、1 に設定することはできません。

Control/Status(制御/状態)レジスタの詳細

ビット説明	ビット	設定
PLS: 端子またはアクティビティラッチ(Activity Latch)の選択	b0	PIO 端子または PIO アクティビティラッチ(Activity Latch)を条件検索の入力として選択します。 0: 端子を選択(デフォルト) 1: アクティビティラッチ(Activity Latch)を選択
CT: 条件検索ロジック項	b1	デバイスが条件検索に응答する適合条件を満たすために、2 つのチャンネルのデータの OR または AND のどちらをとる必要があるかどうかを設定します。単一チャンネルのみがチャンネル選択マスク(0223h)で選択されている場合は、このビットは設定不要です。 0: ビット単位の OR(デフォルト) 1: ビット単位の AND
PORL: パワーオンリセットラッチ	b3	デバイスがパワーオンリセットを実行するかどうかを設定します。このビットは、制御/状態レジスタへの書込みのみによって、0 にクリアすることができます。このビットが 1 である限り、デバイスは常に Conditional Search ROM シーケンスに응答します。
POL: PIO デフォルト極性(読取り専用)	b6	POL 端子の状態を通知します。POL 端子の状態によって、PIO 端子 P0 及び P1 がハイまたはローで起動されるかが設定されます。PIO 端子に生成されるパルスの極性は端子の起動状態の逆極性です。 0: PIO が 0 で起動 1: PIO が 1 で起動
VCCP: V _{CC} 電源状態(読取り専用)	b7	V _{CC} で電源供給される動作の場合は V _{PUP} に等しい電圧源に V _{CC} 端子を接続する必要があります。 0: V _{CC} 電源を利用不可 1: V _{CC} で電源給電による動作

アドレスレジスタ及び転送状態

DS28E04-100 は、TA1、TA2、及び E/S と呼ばれる 3 つのアドレスレジスタを使用します(図 8)。レジスタ TA1 と TA2 に、データの書き込み先やデータの読取り元のターゲットアドレスをロードする必要があります。レジスタ E/S は読取り専用の転送状態レジスタで、書き込みコマンドのデータ完全性を検証するために使用されます。E/S レジスタの下位 5 ビットは、32 バイトスクラッチパッド内の終了オフセットを示します。マスタから送出されるデータビットの値が 8 の整数倍でない場合、またはスクラッチパッドのデータが電源不良のため有効でない場合は、PF と呼ばれる E/S レジスタのビット 5 が設定されます。スクラッチパッドに正しく書き込まれると、PF ビットがクリアされます。ビット 6 には機能がありません。このビットの読取り値は常に 0 です。なお、最下位 5 ビットのターゲットアドレスによって、データの間記憶であるスクラッチパッド内の開始アドレスを決定します。このアドレスは、バイトオフセットと呼ばれます。例えば、Write コマンドのターゲットアドレス(TA1)が 03CH の場合は、スクラッチパッドは入力データを、バイトオフセット 1CH を開始アドレスとして蓄積し、わずか 4 バイトで一杯になります。この場合、対応する終了オフセットは 1FH です。データ帯域幅を最大にするには、書き込みのターゲットアドレスは、新規ページの先頭(すなわち、バイトオフセットは 0)を示す必要があります。このことによってスクラッチパッドの 32 バイト全容量を利用することができ、また終了オフセットは 1FH になります。しかし、ページ内の任意の場所に 1 つまたは複数の連続したバイトを書き込むことも可能です。パーシャルフラグ(PF)とともに終了オフセットは、Write コマンドの後にマスタがデータの完全性をチェックすることをサポートします。PF フラグの読取り値が 0 の場合にのみ、AA と呼ばれる E/S レジスタの最高位のビットが正しい値(1)となります。PF が 0 で、AA が 1 の場合は、コピーが行われたことになります。スクラッチパッドにデータが書き込まれると、AA フラグはクリアされます。

図 8. アドレスレジスタ

Bit #	7	6	5	4	3	2	1	0
Target Address (TA1)	T7	T6	T5	T4	T3	T2	T1	T0
Target Address (TA2)	T15	T14	T13	T12	T11	T10	T9	T8
Ending Address with Data Status (E/S) (Read Only)	AA	0	PF	E4	E3	E2	E1	E0

検証による書き込み

データを DS28E04-100 の EEPROM セクションに書き込むには、スクラッチパッドを中間記憶器として使用する必要があります。まず、マスタが所望するターゲットアドレスを指定する Write Scratchpad コマンドを発行します。この後にはスクラッチパッドに書き込まれるデータが続きます。ある条件の下では(Write Scratchpad コマンド参照)、Write Scratchpad コマンドシーケンスの最後に、マスタは、コマンド、アドレス(送出された実際のアドレス)、及び(マスタから送出された)データの反転 CRC16 を受け取ります。マスタはこの CRC の値を知ることによって、マスタが計算した値と照合して、通信が成功したかどうかを判定し、Copy Scratchpad コマンドに進むことができます。マスタが CRC16 を受け取ることができなかった場合は、Read Scratchpad コマンドを使ってデータの完全性を検証する必要があります。スクラッチパッドデータのプリアンブルとして、DS28E04-100 はターゲットアドレス TA1 及び TA2 を繰り返し、E/S レジスタの内容を送出します。PF フラグがセットされている場合は、データが正しくスクラッチパッドに届かなかったか、またはスクラッチパッドにデータが書き込まれた後に、電源不良が発生したことになります。マスタは読取りを継続する必要はありません。マスタはデータをスクラッチパッドに書き込む新たな試行を開始することができます。同様に、AA フラグがセットされ、かつ PF フラグがクリアされている場合は、デバイスが Write コマンドを認識しなかったことを示します。すべてが正常に進行した場合は両方のフラグはクリアされ、終了オフセットはスクラッチパッドに書き込まれた最後のバイトのアドレスを示します。この場合、マスタは全データバイトの読取りと検証を継続することができます。マスタがデータを検証した後に、Copy Scratchpad コマンドを送出することができます。このコマンドの後には、3 つのアドレスレジスタ、TA1、TA2、及び E/S のデータが正しく続く必要があります。マスタは、スクラッチパッドを読み取って、これらのレジスタの内容を取得しなければなりません。

メモリ/制御機能コマンド

メモリ/制御機能フローチャート(図 9)は、メモリ及び DS28E04-100 の PIO 端子へのアクセスに必要なプロトコルを説明しています。これらの機能を利用する方法例は、本書の末尾に記載されています。マスタと DS28E04-100 間の通信は、標準速度(デフォルト、OD = 0)、またはオーバドライブ速度(OD = 1)のいずれかで行われます。オーバドライブモードが意図して設定されていない場合は、DS28E04-100 は標準速度で起動します。

WRITE SCRATCHPAD コマンド [0Fh]

Write Scratchpad コマンドは、データメモリ及びレジスタページの書き込み可能アドレスに適用されます。マスタは Write Scratchpad コマンドを発行した後に、スクラッチパッドに書き込まれるデータが後に続く 2 バイトのターゲットアドレスをまず提供する必要があります。そのデータは、バイトオフセット(T4:T0)から始まるスクラッチパッドに書き込まれます。終了オフセット(E4:E0)は、マスタがデータの書き込みを終了するバイトオフセットです。フルデータバイトのみが受け入れられます。最後のデータバイトが不完全な場合は、その内容は無視され、パーシャルバイトフラグ PF がセットされます。

Write Scratchpad コマンドを実行すると、DS28E04-100 内の CRC 生成器(図 18 参照)は、コマンドコードから始まり、マスタから送出される最後のデータバイトで終了するデータストリームまでの全体の CRC を計算します。まず CRC 生成器をクリアしてから、Write Scratchpad コマンドのコマンドコード(0FH)、マスタから送出されたターゲットアドレス(TA1 及び TA2)、及び全データバイトをシフトインして、CRC16 多項式を使ってこの CRC が生成されます。マスタは、いつでも Write Scratchpad コマンドを終了することができます。ただし、スクラッチパッドの最後に達した(E4:E0 = 1111b)場合は、マスタは 16 個の読取りタイムスロットを送出し、DS28E04-100 が生成した CRC を受け取ることができます。

Write Scratchpad コマンドが書き込み保護位置に試みられた場合は、送出データではなくメモリ内の既存データがスクラッチパッドにロードされます。同様に、ターゲットアドレスページが EPROM モード状態の場合は、スクラッチパッドには、送出データとメモリ内の既存データのビット対応の論理 AND がロードされます。

READ SCRATCHPAD コマンド [AAh]

Read Scratchpad コマンドによって、ターゲットアドレス及びスクラッチパッドデータを検証することができます。マスタはこのコマンドコードを発行すると、読取りを開始します。先頭の 2 バイトは、ターゲットアドレスです。その次のバイトは終了時のオフセット/データ状態バイト(E/S)で、スクラッチパッドデータが後に続きます。このデータは、マスタが当初送出したものと異なる可能性があります。このことは、ターゲットアドレスがレジスタページ、または書き込み保護モードや EPROM モード状態のページ内にある場合は、特に重要になります。詳細については、「Write Scratchpad」の説明を参照してください。マスタは、E4:E0-T4:T0+1 バイトを読み取る必要があります。この後に、マスタは、DS28E04-100 から送出されたデータに基づく反転 CRC16 を受け取ります。マスタが CRC の後に読取りを続けると、すべてのデータはロジック 1 になります。

COPY SCRATCHPAD [55h]

Copy Scratchpad コマンドを使って、スクラッチパッドからデータメモリ及びレジスタページの書き込み可能セクションにデータをコピーすることができます。マスタは Copy Scratchpad コマンドを発行した後に、3 バイトの認証パターンを提供する必要があります。このパターンは、直前の Read Scratchpad コマンドによって取得されていなければなりません。この 3 バイトのパターンは、3 つのアドレスレジスタ(TA1、TA2、E/S、の順)内のデータと完全に一致する必要があります。パターンが一致する場合は、ターゲットアドレスは正しく、PF フラグは設定されず、ターゲットメモリはコピー防止されず、AA(認証承認)フラグがセットされ、コピーが始まります。コピー元のデータは、3 つのアドレスレジスタによって決定されます。開始オフセットから終了オフセットまでのターゲットアドレスから始まるスクラッチパッドデータがメモリにコピーされます。このコマンドを使って、1~32 バイトの任意の場所からコピーすることができます。デバイスの内部データ転送には最大 10ms の時間を要します。この間に 1-Wire バス上の電圧は 2.8V を下回ってはなりません。マスタは 10ms 間待機した後に、読取りタイムスロットを発行し、マスタがリセットパルスを発行するまで AAh 確認バイトを受け取ることができます。PF フラグがセットされているか、またはターゲットメモリがコピー防止されている場合は、コピーは開始せず、AA フラグはセットされません。

図 9-1. メモリ/制御機能フローチャート

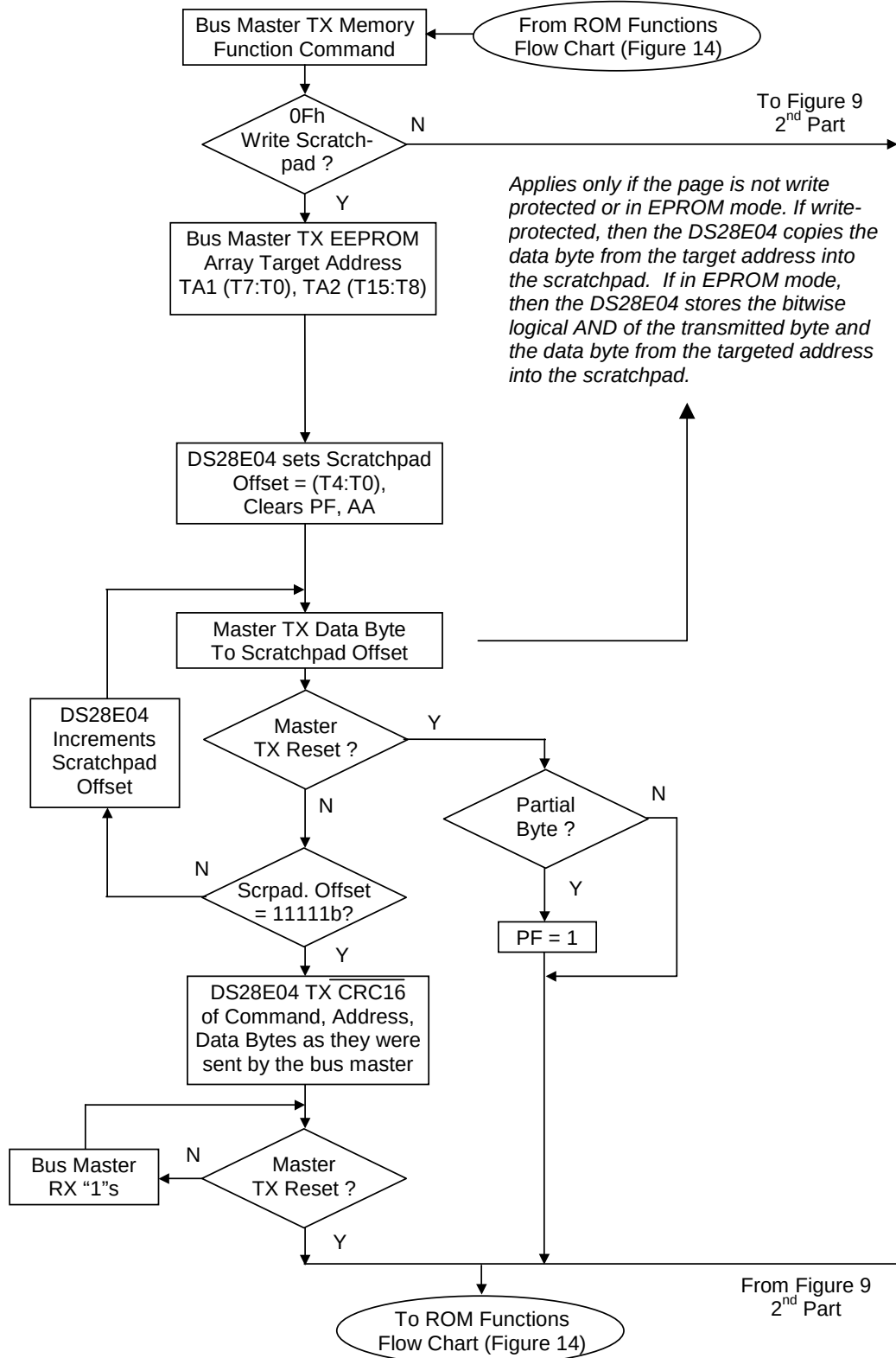


図 9-2. メモリ/制御機能フローチャート(続き)

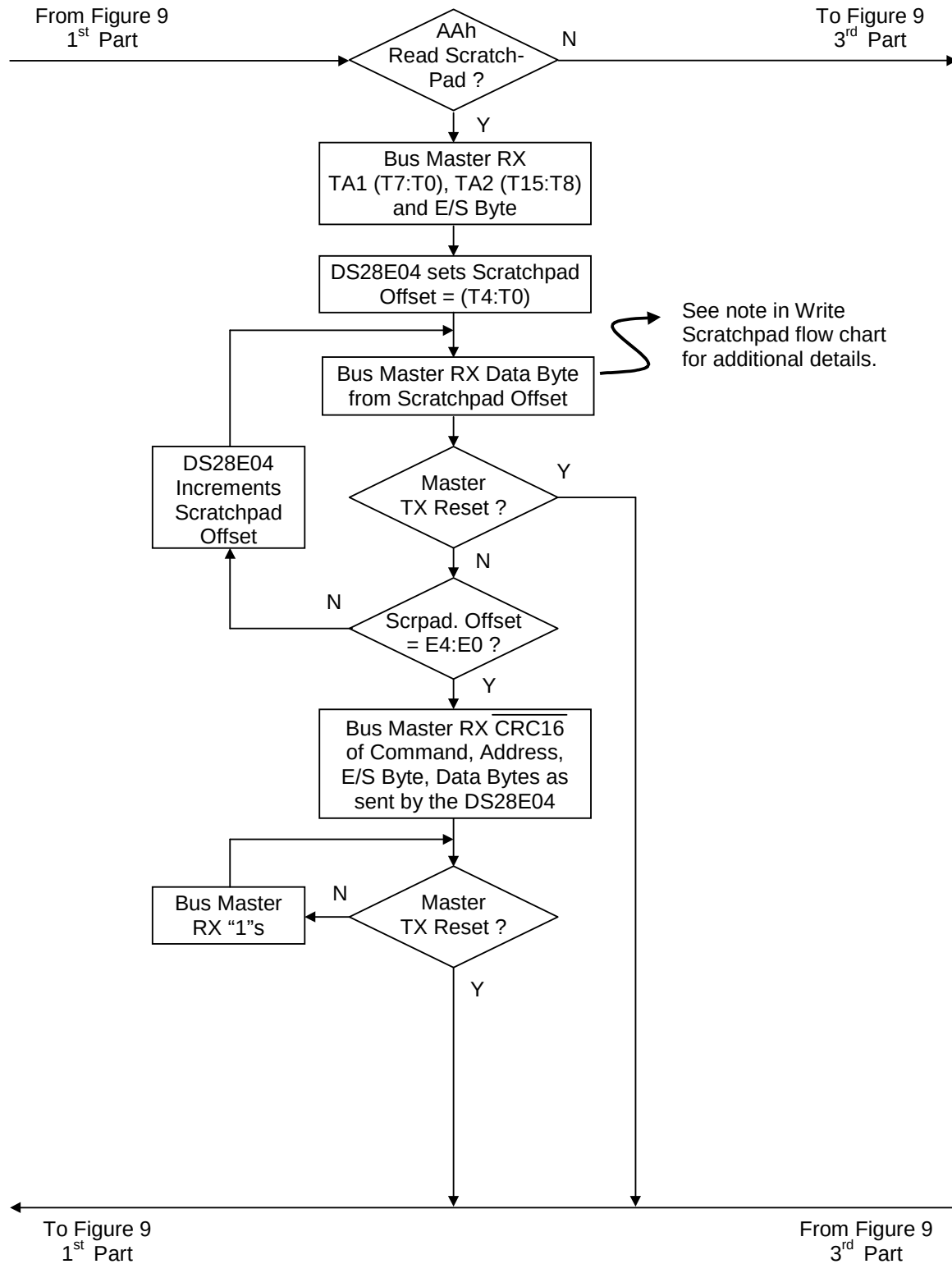


図 9-3. メモリ/制御機能フローチャート(続き)

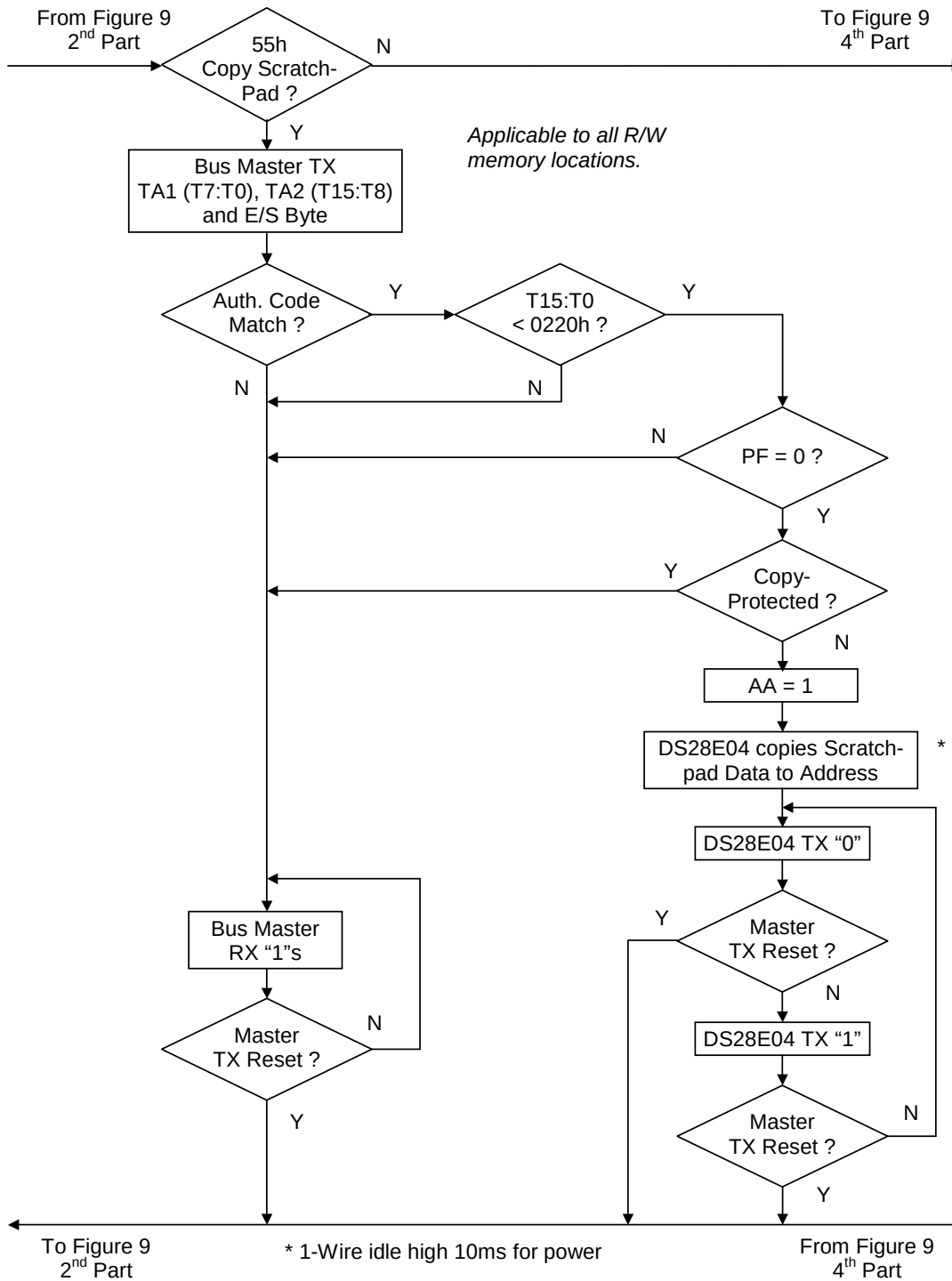


図 9-4. メモリ/制御機能フローチャート(続き)

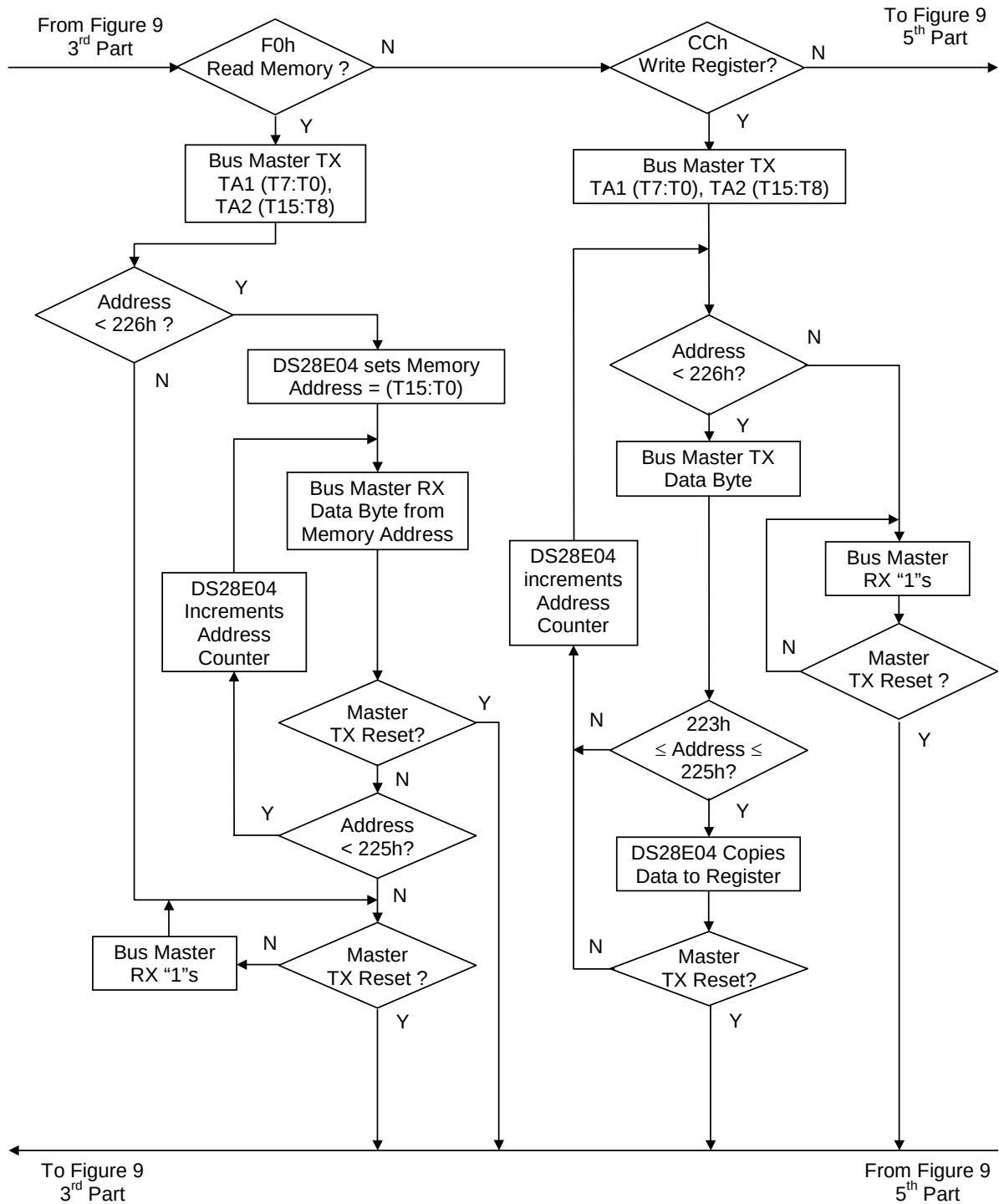


図 9-5. メモリ/制御機能フローチャート(続き)

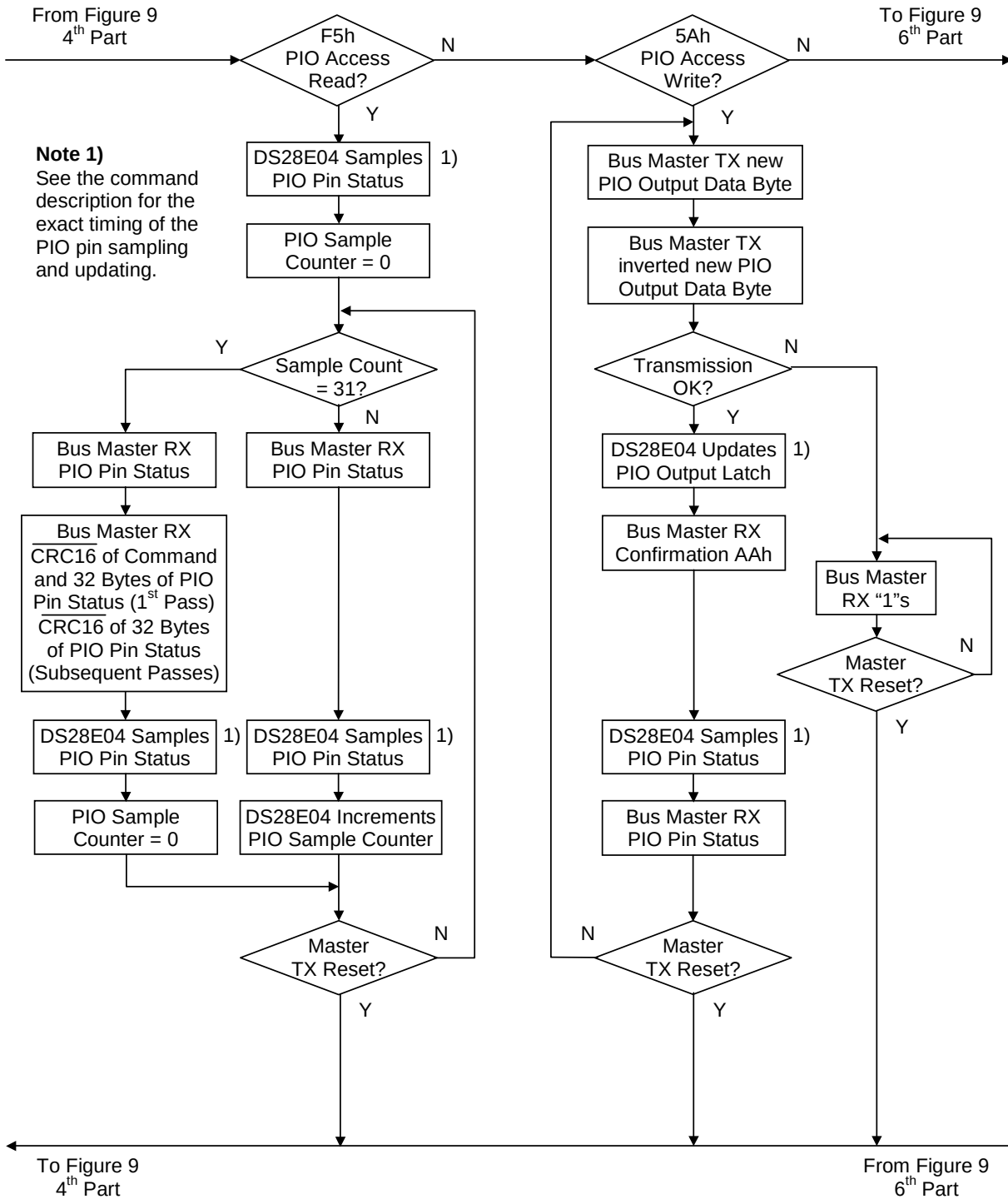
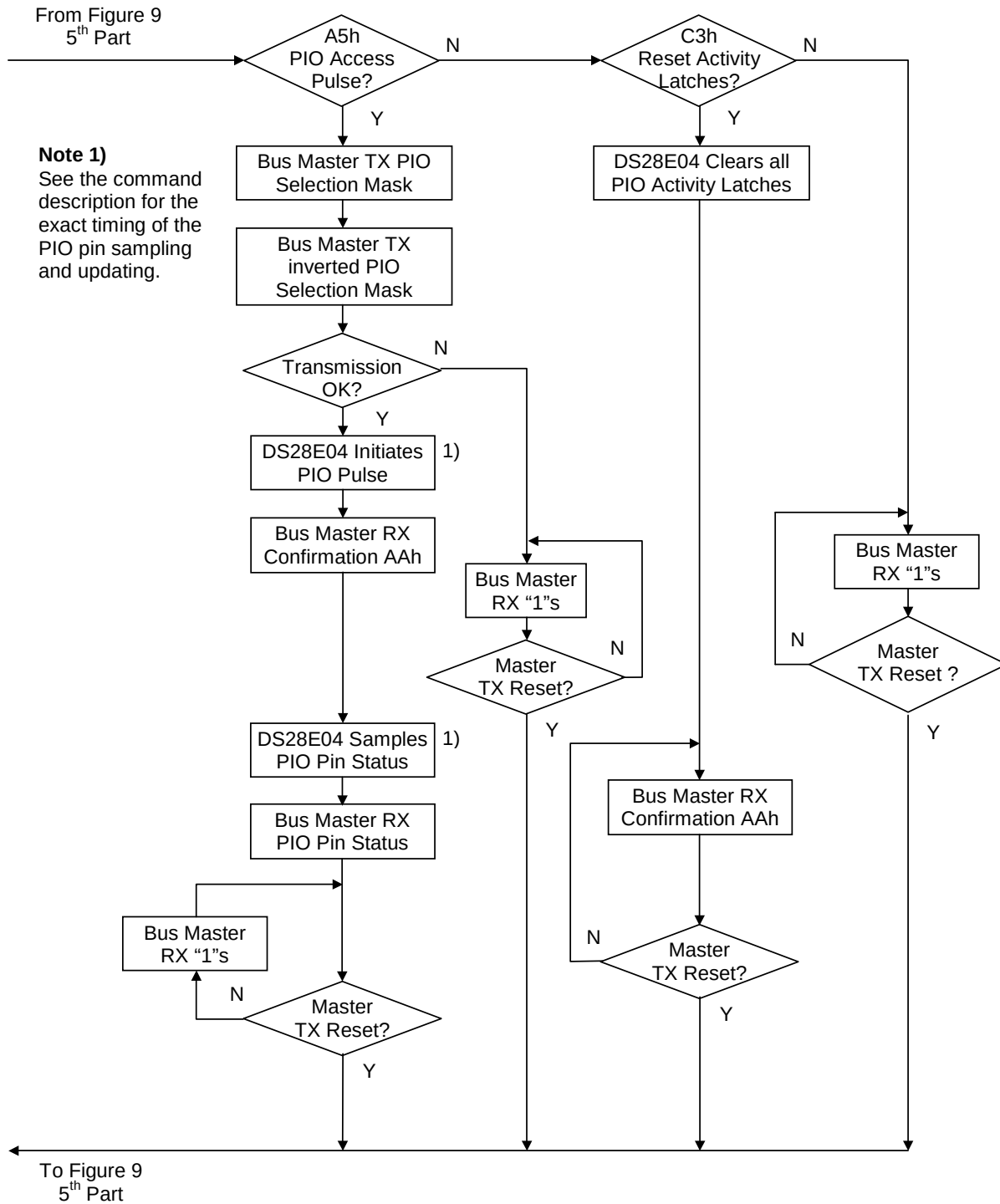


図 9-6. メモリ/制御機能フローチャート(続き)



READ MEMORY [F0h]

Read Memory コマンドを使って、DS28E04-100 からデータを読み取ることができます。マスタはコマンド発行後に、0000h~0225h の範囲の 2 バイトのターゲットアドレスを提供する必要があります。これらの 2 バイトの後に、マスタはターゲットアドレスから始まるデータを読み取り、アドレス 0225h まで読取りを続けることができます。マスタがさらに、読取りを続行すると、その結果はロジック 1 になります。デバイス内部の TA1、TA2、E/S、及びスクラッチパッドの内容は、Read Memory コマンドによって影響を受けません。

DS28E04-100 のハードウェアによって、メモリセクションにエラーなしで書き込むことができます。1-Wire 環境でのデータ読取りを保護すると同時にデータ転送を高速化するには、1 メモリページサイズのデータパケットに各データをパケット化することを推奨します。通常、このようなパケットはデータの各ページ単位で 16 ビット CRC を保管し、エラーのない迅速なデータ転送を実現します。このため、受領データが正しいかどうか判定するためにページを複数回読み取る必要性がなくなります(推奨ファイル構造については、『Application Note 114』を参照してください)。

WRITE REGISTER [CCh]

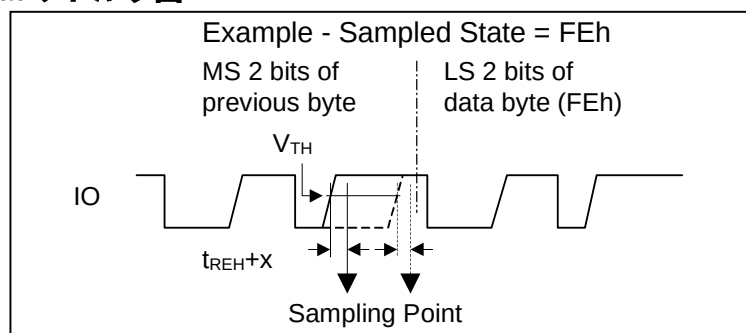
条件検索設定値及び状態/制御レジスタは揮発性です。Write Register コマンドによって、起動サイクルごとにこれらをロードする必要があります。マスタはコマンド発行後に、2 バイトのターゲットアドレスを送出します。このアドレスは、0223h~0225h の値である必要があります。次に、マスタは書き込まれるバイトをアドレス指定されたセルに送出します。アドレスが有効な場合は、このバイトはそのメモリ位置に即時書き込まれます。その後、マスタは 1-Wire リセットを発行して、コマンドを終了するか、または次の上位アドレスの別のバイトを送出することができます。メモリアドレス 0225h に書き込まれると、さらに上位アドレスへのデータバイトは無視されます。マスタは 1-Wire リセットを送出して、コマンドを終了する必要があります。Write Register のフローには新しいレジスタデータのエラーチェックがないため、Read Memory コマンドを使ってレジスタを読み取って書き込みが正しいかどうかを検証する必要があります。

PIO ACCESS READ [F5h]

アドレス 0220h から PIO のロジック状態を読み取るのとは対照的に、このコマンドは PIO ロジック状態を永久ループで読み取ります。32 バイトの PIO 端子の状態の後に、DS28E04-100 は反転 CRC16 をデータストリームに挿入します。これによって、マスタはデータがエラーなしで受け取られたかを検証することができます。PIO Access Read は、1-Wire Reset でいつでも終了することができます。POL 端子の状態によって、このコマンドは影響を受けません。

両方の PIO チャンネルの状態が同時にサンプリングされます。コマンドコード F5h の最後の(最上位)ビットの間に、最初のサンプリングが行われます。PIO 状態バイトの最初の(最下位)ビットは P0 に対応し、次のビットは P1 に対応しています。PIO 状態バイトの残りの 6 ビットには対応する PIO 端子がありません。これらの 6 ビットの読取り値は常に「1」です。マスタが PIO 状態バイトの最後のビットを受け取る間に、次のサンプリングが行われ、マスタが 32 回の PIO のサンプリングを受け取るまで、以下同様に実行されます。次に、マスタはコマンドバイト及び 32 回の PIO サンプリング(最初のパス)の反転 CRC16 か、または 32 回の PIO サンプリング(それ以降のパス)の CRC を受け取ります。CRC の最後(最上位)のビットが送出される間に、次の PIO のサンプリングが行われます。このサンプリングは、図 10 に示されるように直前のバイトの MS ビットの立上りエッジから $t_{REH} + X$ 遅延して行われます。「X」の値は、約 $0.2 \mu s$ です。

図 10. PIO Access Read タイミング図



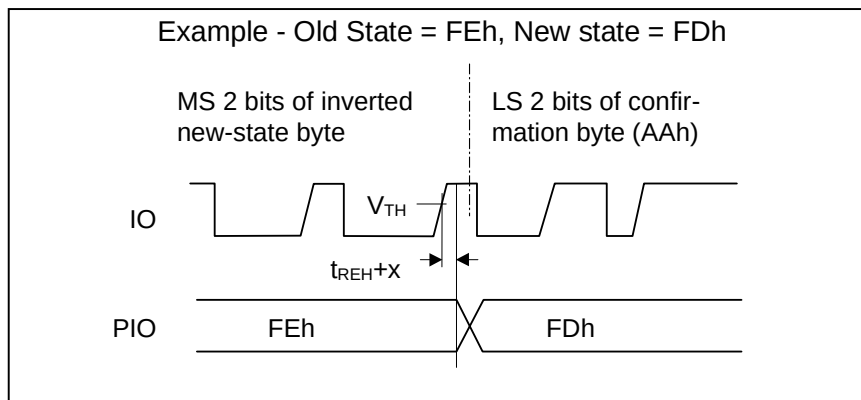
- 注:
- 「直前のバイト」はコマンドコード、直前の PIO サンプリングによるデータバイト、または CRC16 の MS バイトになる場合もあります。
 - 「直前のバイト」が書き込み確認バイト(AAh)の場合、サンプリングポイントのタイミングは PIO Access Write 及び Pulse コマンドにも適用されます。

PIO ACCESS WRITE [5Ah]

PIO Access Write コマンドによってのみ、PIO 出力ラッチ状態レジスタ(アドレス 0221h)に書き込むことができます。この書き込みによって PIO チャンネルのオープンドレイン出力トランジスタが制御されます。永久ループで、このコマンドはまず新しいデータを PIO に書き込んでから、PIO の状態をリードバックします。マスタが暗黙のリードアフタライトを使って、状態を検証することができます。PIO Access Write は、1-Wire Reset によっていつでも終了することができます。POL 端子の状態によって、このコマンドは影響を受けません。

コマンドコードの後に、マスタは PIO 出力トランジスタの新たな状態を決定するバイトを送出します。先頭の(最下位)ビットは、P0 に対応しています。その次のビットは P1 に影響を与えます。新しい状態バイトの残りの 6 ビットには、対応する PIO 端子がありません。これらのビットは、常に「1」として送出される必要があります。出力トランジスタをオフ(非導通)にするには、対応するビット値を 1 にします。トランジスタをオンにするには、このビットは 0 である必要があります。このことによって、新しい PIO 出力状態として送出されたデータバイトは、true(非反転)形式で PIO 端子に到達します。送出をデータエラーから保護するには、マスタは反転形式で新しい PIO バイトを繰り返す必要があります。送出にエラーがなかった場合にのみ、PIO の状態が遷移します。新しい状態への実際の PIO 遷移は、図 11 に示されるように反転 PIO バイトの MS ビットの立上りエッジから $t_{REH} + x$ だけ遅延して行われます。「x」の値は、約 $0.2 \mu s$ です。PIO 状態の遷移の成功をマスタに通知するために、DS28E04-100 はデータパターンが AAh の確認バイトを送出します。確認バイトの MS ビットが送出されると、図 10 に示すように DS28E04-100 は PIO 端子の状態をサンプリングし、それをマスタに送出します。このデータに応じて、マスタは PIO にさらにデータを書き込み続けるか、または 1-Wire リセットを発行してコマンドを終了することができます。

図 11. PIO Access Write タイミング図

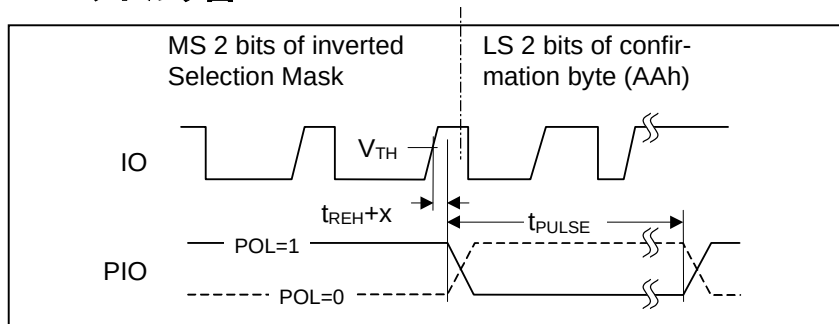


PIO ACCESS PULSE [A5h]

PIO Access Write の使用に代わる便利な代替手段として、PIO Access Pulse コマンドによって選択された PIO 出力に自己調時パルスが生成されます。パルスの極性は、POL 端子の状態によって決まります。POL = 1 の場合、パルスは負(アクティブロー)で、その逆も同様です。PIO Access Pulse コマンドは、デバイスが V_{CC} で電源供給される場合にのみ受け付けられます。

このコマンドコードの後に、マスタから、パルスが生成される PIO を設定する選択マスクが送出されます。選択マスクの対応ビットが「1」に対する PIO が選択されます。先頭の(最下位)ビットは P0 に対応しています。その次のビットは P1 に影響を与えます。選択マスクの残りの 6 ビットには、対応する PIO 端子がありません。これらのビットは、常に「1」として送出される必要があります。送出をデータエラーから保護するには、マスタは反転形式で選択マスクを繰り返す必要があります。送出にエラーがなかった場合にのみ、パルスが生成されます。パルスは、図 12 に示されるように反転選択マスクの MS ビットの立上りエッジから $t_{REH} + x$ だけ遅延して始まります。「x」の値は、約 $0.2 \mu s$ です。パルス生成の成功をマスタに通知するために、DS28E04-100 はデータパターンが AAh の確認バイトを送出します。確認バイトの最後のビットが送信される間に、図 10 に示されるように DS28E04-100 は PIO 端子の状態をサンプリングし、それをマスタに送出します。これで、マスタは 1-Wire リセットを発行して、コマンドフローを終了することができます。このことによって、PIO 端子のパルスは終了しません。

図 12. PIO Access Pulse タイミング図



RESET ACTIVITY LATCHES [C3h]

各 PIO チャンネルは、PIO 端子における t_{PWMIN} を超える継続時間の状態遷移があるたびにセットされるアクティビティラッチを備えています。この遷移は、外部イベント/信号または、PIO への書き込みまたはパルスの生成によって発生することができます。アプリケーションによっては、外部イベントを取り込み、処理した後に、アクティビティラッチをリセットする必要があります。PIO Activity Latch State レジスタに対しては読み取りアクセスのみがあるため、DS28E04-100 はこれらのラッチをリセットする特別コマンドをサポートしています。デバイスはコマンドコードを受け取った後に、すべてのアクティビティラッチ(Activity Latch)を同時にリセットします。マスタが Reset Activity Latches コマンドの実行を検証するための 2 つの方法があります。ひとつは、このコマンドコードが送出された直後に 1-Wire ラインから読み取りを開始する方法です。この場合は、マスタが 1-Wire リセットを送出するまで、AAh バイトを読み取ります。もう 1 つの方法は、レジスタアドレス 0222h を読み取ることです。

1-Wire バスシステム

1-Wire バスは、単一バスマスタと、1 つまたは複数のスレーブで構成されるシステムです。いずれの場合も、DS28E04-100 はスレーブデバイスになります。バスマスタは、通常はマイクロコントローラです。このバスシステムの説明は、以下の 3 つのトピックに分類されます。すなわち、ハードウェア構成、トランザクションシーケンス、及び 1-Wire 信号方式(信号の種類とタイミング)です。1-Wire プロトコルでは、バスマスタからの同期パルスの立下りエッジで起動する個々のタイムスロット期間のバスの状態によってバストランザクションが定義されます。

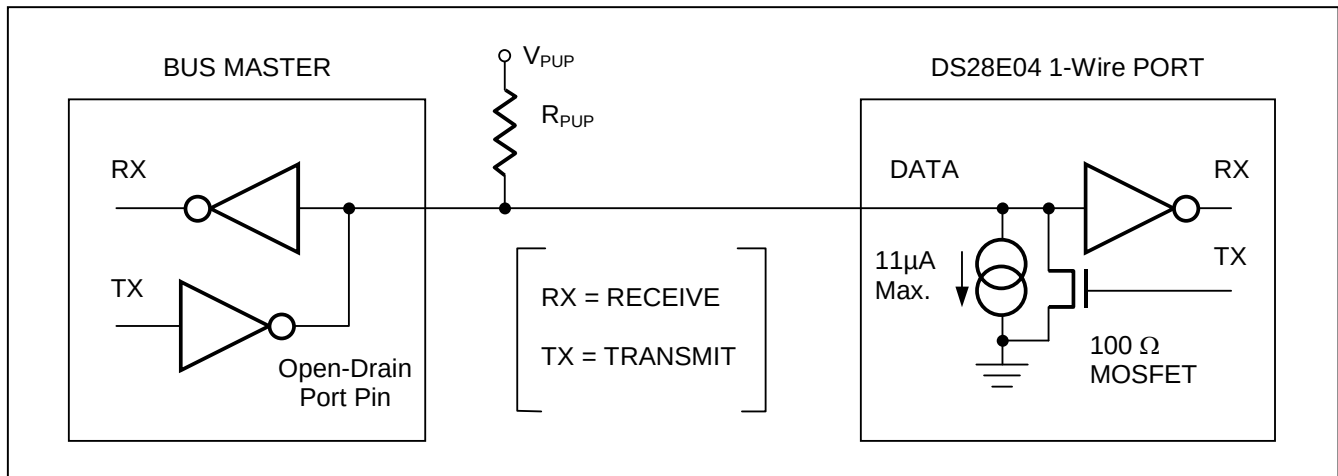
ハードウェア構成

1-Wire バスはその名の通り単線しか備えていません。バス上の各デバイスは適時この単線を駆動可能である必要があります。これを容易にするために、1-Wire バスに接続された各デバイスはオープンドレイン出力やトライステート出力を備える必要があります。DS28E04-100 の 1-Wire ポートは、図 13 に示されているのと等価な内部回路を持つオープンドレインです。

マルチドロップバスは、複数のスレーブを接続した 1-Wire バスから構成されています。DS28E04-100 は、15.4kbit/s(max)の標準通信速度と 111kbit/s(max)のオーバドライブ通信速度をともにサポートしています。なお、1-Wire の旧製品は、16.3kbit/s の標準通信速度と 142kbit/s のオーバドライブ通信速度をサポートしています。DS28E04-100 の速度が少し低下したのは、回復時間を長くした結果ですがこれは、ノイズ耐性を向上して 1-Wire 物理インタフェースの性能を強化するためです。プルアップ抵抗器の値は、主にネットワークのサイズと負荷状態に依存します。DS28E04-100 は、いかなる速度においても $2.2k\Omega$ (max)のプルアップ抵抗器が必要です。

1-Wire バスのアイドル状態はハイです。なんらかの理由でトランザクションを一時停止する必要がある場合、その後トランザクションを再開するためには、バスがアイドル状態である必要があります。これが実行されず、バスが $16\mu s$ (オーバドライブ速度の場合)、または $120\mu s$ (標準速度の場合)を超えて、ロー状態であると、バス上の 1 個以上のデバイスがリセットされることがあります。

図 13. ハードウェアの構成



トランザクションシーケンス

1-Wire ポートを通じて DS28E04-100 にアクセスするプロトコルは、次の通りです：

- 初期化
- ROM 機能コマンド
- メモリ/制御機能コマンド
- トランザクション/データ

初期化

1-Wire バス上のすべてのトランザクションは初期化シーケンスから始まります。初期化シーケンスは、バスマスタから送出されるリセットパルス、及びその後続く(単数または複数の)スレーブが送出する(単数または複数の)プレゼンスパルスから構成されます。プレゼンスパルスによって、DS28E04-100 がバス上にあり、動作可能であることをバスマスタが認識することができます。詳細については、「1-Wire 信号方式」の項を参照してください。

1-WIRE ROM 機能コマンド

バスマスタがプレゼンスパルスを検出すると、DS28E04-100 がサポートする 8 つの ROM 機能コマンドの内のいずれか 1 つを発行することができます。ROM 機能コマンドはすべて 8 ビット長です。これらのコマンドのリストを以下に示します(図 14 のフローチャートを参照)。

READ ROM [33h]

このコマンドによって、バスマスタが、DS28E04-100 の 8 ビットファミリコード、固有の 40 ビットシリアル番号、8 ビットアドレスバイト、及び 8 ビット CRC を読み取ることができます。アドレスバイトの下位 7 ビットは、アドレス端子 A6～A0 の状態を読み戻します。図 3 も参照してください。バス上に 1 個のスレーブがある場合にのみ、このコマンドを使用することができます。複数のスレーブがバス上にある場合は、全スレーブが同時に送出しようとする、データの衝突が発生します(オープンドレインによってワイヤード AND された結果が得られます)。結果として得られるファミリコードと 48 ビットシリアル番号によって、CRC の不一致が発生します。なお、1 つまたは複数の外部アドレス入力 GND に接続されている場合も、CRC の不一致が発生します。ROM CRC は、1 に設定された A6～A0 に対して、ハードコード化されています。マスタはこれを認識し、同様に ROM CRC を計算する必要があります。

MATCH ROM [55h]

64 ビット ROM シーケンスが後に続く Match ROM コマンドを使って、バスマスタがマルチバス上の特定 DS28E04-100 をアドレス指定することができます。外部アドレスを含んで、64 ビット ROM シーケンスと完全一致する DS28E04-100 のみが、以下のメモリ/制御機能コマンドに応答します。その他のすべてのスレーブは、リセットパルスを待ちます。バス上の 1 つまたは複数のデバイスに対して、このコマンドを用いることができます。

SEARCH ROM [F0h]

システムが最初に立ち上がる際に、バスマスタが 1-Wire バス上のデバイスの数やそのデバイス ID 番号を認知していない場合があります。マスタはバスのワイヤード AND の性質を利用して、消去プロセスによって全スレーブデバイスの ID 番号を識別することができます。デバイス ID 番号のビットごとに、最下位ビットからバスマスタは 3 つ 1 組のタイムスロットを発行します。最初のタイムスロットで、検索に参加する各スレーブデバイスはデバイス ID 番号ビットの真の値を出力します。2 番目のタイムスロットで、検索に参加する各スレーブデバイスはデバイス ID 番号ビットの補数値を出力します。3 番目のタイムスロットで、マスタは選択対象のビットの真の値を書き込みます。マスタが書き込んだビットと一致しないスレーブデバイスはすべて、検索への参加を停止します。両方の読取りビットがゼロの場合は、マスタは、ビットの両方の状態を備えるスレーブデバイスが存在していることを認識します。バスマスタは書き込む状態を選択して、ROM コードツリーで分岐します。1 回の処理を完了すると、バスマスタは 1 個のデバイスのデバイス ID 番号を認識します。さらに処理を行うと、残りのデバイスのデバイス ID 番号が識別されます。例を含む詳細については、『アプリケーションノート 187』の「1-Wire 検索アルゴリズム (1-Wire Search Algorithm)」を参照してください。

注: DS28E04-100 のレーザ書き込みされた ROM CRC は、アドレス入力端子はすべてロジック 1 であると仮定して計算されるため、GND に接続されるアドレス入力端子は正しく認識されません。1-Wire ライン上のデバイスのリストを作成するときは、ダブル検索を行うことを推奨します。

CONDITIONAL SEARCH [ECh]

Conditional Search ROM コマンドは、特定条件 (CSR = 1) を満たすデバイスのみが検索に加わることを除き、Search ROM コマンドと同様に機能します。この機能によって、重要イベントを通知する必要があるマルチドロップシステム上のデバイスをバスマスタが効率的に識別することができます。条件検索の各プロセスがマルチドロップバス上の特定デバイスの 64 ビット ROM を正常に識別すると、あたかも Match ROM が発行されたかのように該当デバイスに個別にアクセスすることができます。これは他の全デバイスが検索プロセスから抜け出し、リセットパルスに対して待機しているためです。DS28E04-100 は、CSR 信号がアクティブの場合は、条件検索に応答します。詳細については、アドレス 0223h~0225h のレジスタの説明及び図 7 を参照してください。

SKIP ROM [CCh]

このコマンドによって、バスマスタが 64 ビット ROM コードを提供せずにメモリ機能にアクセスすることができ、単ードロップバスシステムにおいて時間を節減することができます。複数のスレーブがバス上にあり、Skip ROM コマンドに続き Read コマンドが発行される場合などにおいて、複数のスレーブが同時に送信すると、データの衝突がバス上で発生します (オープンドレインプルダウンによってワイヤード AND が取られる結果となります)。

RESUME [A5h]

マルチドロップ環境でデータスルーットを最大限にするために、Resume 機能が用意されています。この機能は RC ビットの状態をチェックし、それが設定されている場合は Skip ROM コマンドと同様に制御がメモリ機能に直接移されます。RC ビットは、Match ROM、Search ROM、または Resume Command 機能を正常に実行することのみによって設定することができます。バス上の別のデバイスにアクセスすると、RC ビットがクリアされ、複数のデバイスが Resume コマンド機能に同時に応答しなくなります。

OVERDRIVE SKIP ROM [3Ch]

単ードロップバス上でこのコマンドによって、バスマスタが 64 ビット ROM コードを提供することなくメモリ機能にアクセスして、時間を節減することができます。標準の Skip ROM コマンドとは異なり、Overdrive Skip ROM は DS28E04-100 をオーバドライブモード (OD = 1) に設定します。最低 480 μ s の期間のリセットパルスによってバス上の全デバイスが標準速度 (OD = 0) にリセットされるまで、このコマンド発行後の通信はすべて、オーバドライブ速度で行われる必要があります。

このコマンドがマルチドロップバス上で発行されると、オーバドライブ対応デバイスはすべてオーバドライブモードに設定されます。特定のオーバドライブ対応デバイスを引き続きアドレス指定するには、オーバドライブ速度のリセットパルスを発行し、Match ROM や Search ROM コマンドシーケンスが後に続く必要があります。これを行うと、検索プロセスの時間が短縮されます。複数のオーバドライブ対応スレーブがバス上にあり、Overdrive Skip ROM コマンドの後に Read コマンドが続く場合は、複数のスレーブが同時に送出すると、データの衝突がバス上で発生します (オープンドレインプルダウンにより、ワイヤード AND が取られる結果となります)。

図 14-1. ROM 機能フローチャート

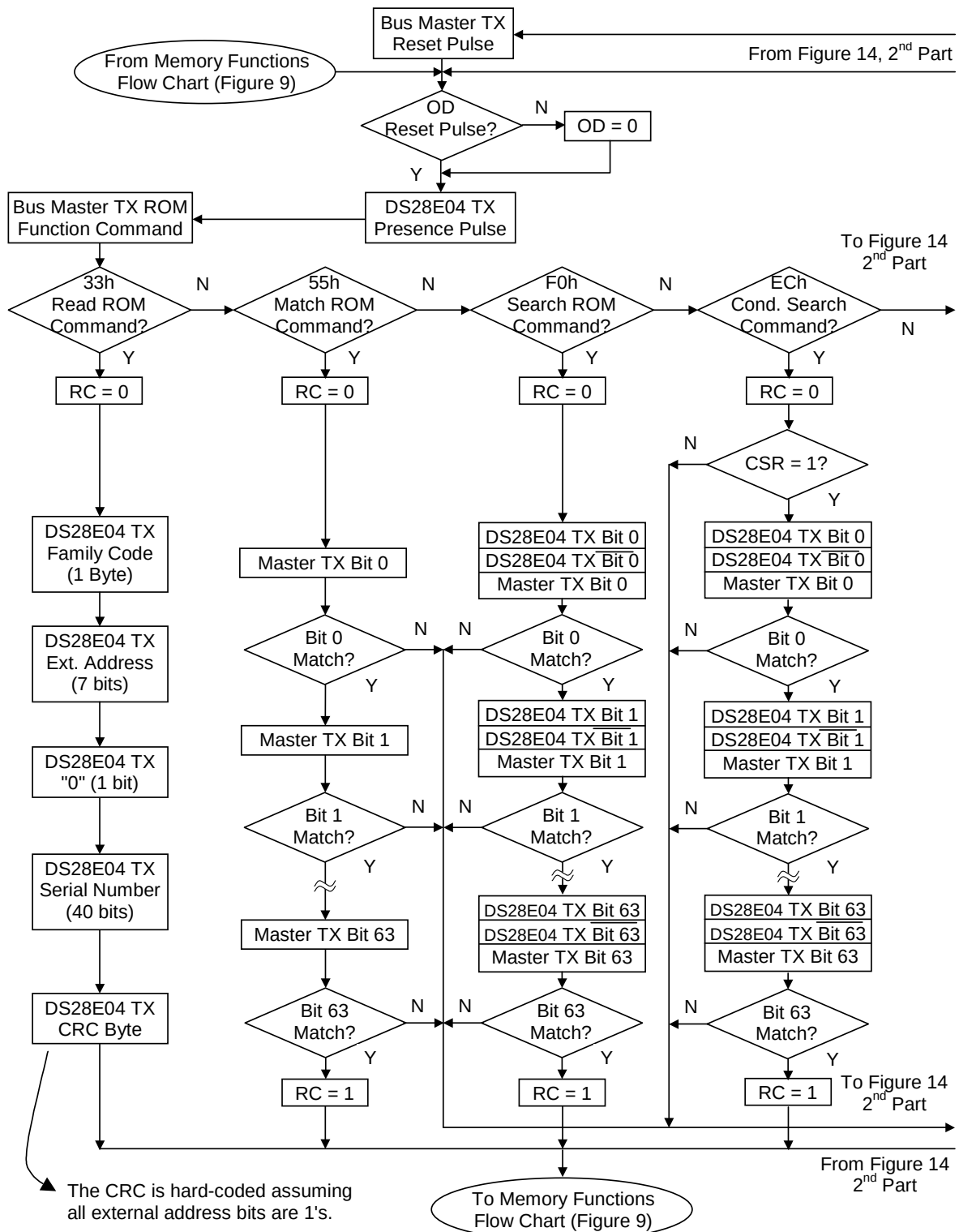
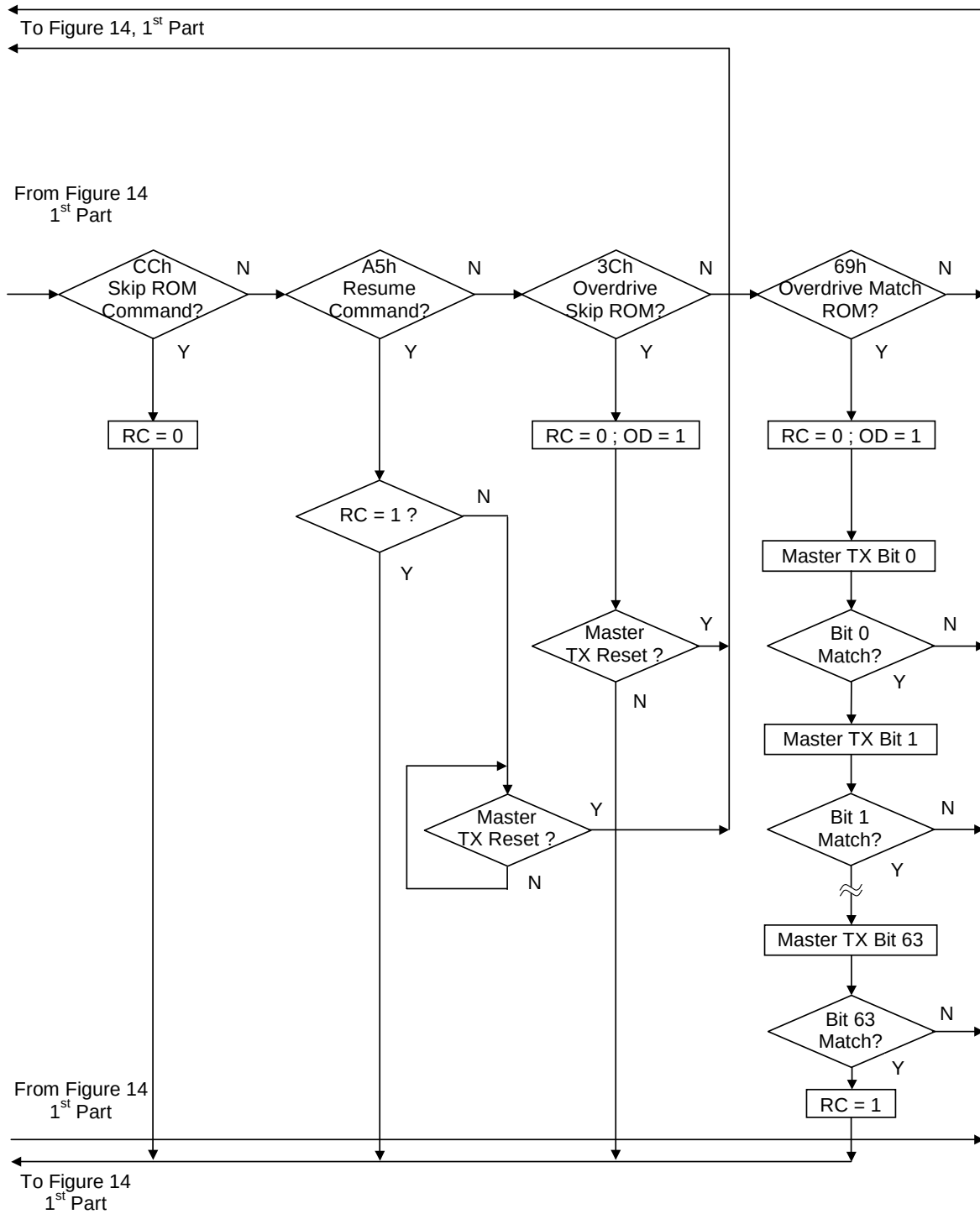


図 14-2. ROM 機能フローチャート(続き)



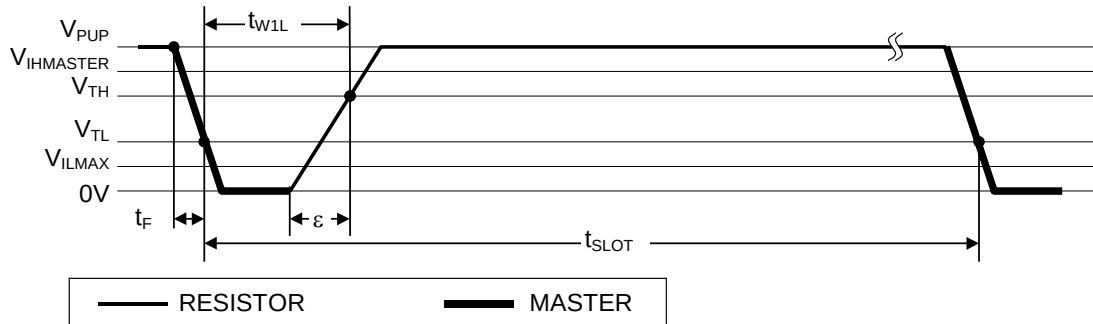
読取り/書き込みタイムスロット

DS28E04-100 とのデータ通信は、各 1 ビットを伝送する複数のタイムスロットによって実行されます。書き込みタイムスロットでは、バスマスタからスレーブにデータが転送されます。読取りタイムスロットでは、スレーブからマスタにデータが転送されます。図 16 は、書き込み及び読取りタイムスロットの定義を示しています。

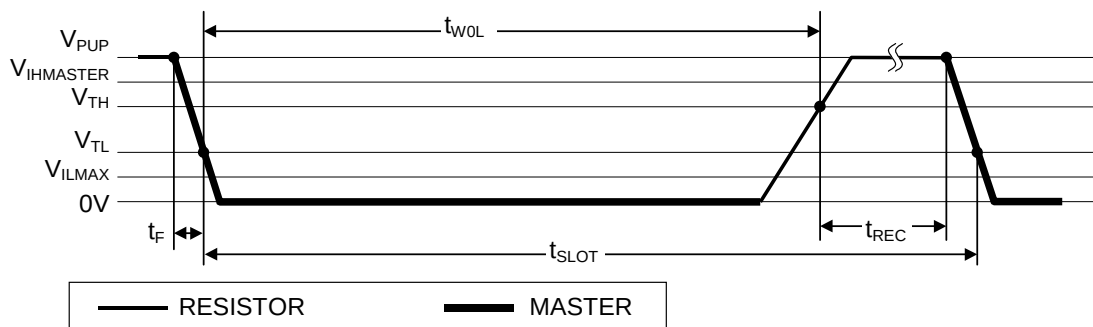
すべての通信は、マスタがデータラインをローにプルダウンして始まります。1-Wire ライン上の電圧がスレッシュホールド V_{TL} を下回ると、DS28E04-100 は内蔵タイミング発生器を始動します。この発生器によって、データラインが書き込みタイムスロット時にサンプリングされる時期と、読取りタイムスロット時にデータが有効である時間長が決定されます。

図 16. 読取り/書き込みタイミング図

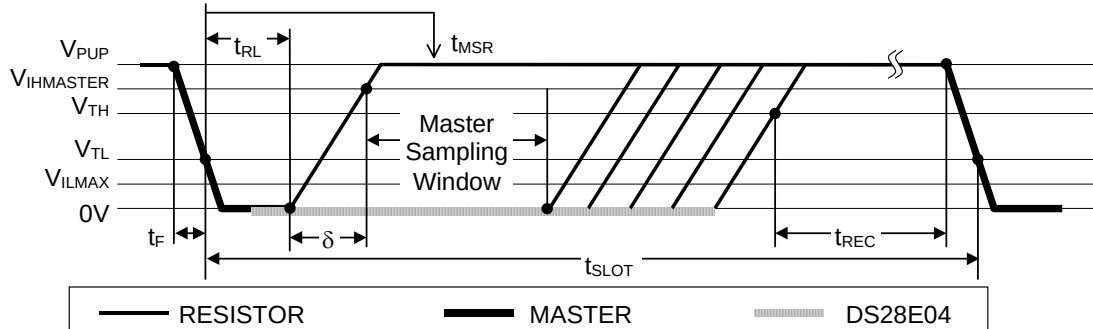
Write-One Time Slot



Write-Zero Time Slot



Read-Data Time Slot



マスタからスレーブに

Write-one(1 の書込み)タイムスロットの場合は、write-one のロータイム t_{W1LMAX} が終了する前に、データラインの電圧がスレッシュホールド V_{TH} を超える必要があります。Write-zero(ゼロの書込み)タイムスロットの場合は、write-zero のロータイム t_{W0LMIN} が終了するまで、データラインの電圧がスレッシュホールド V_{TH} を下回る必要があります。ほとんどの高信頼の通信では、データラインの電圧は、 t_{W0L} または t_{W1L} ウィンドウ全体にわたって V_{ILMAX} を超えてはいけません。スレッシュホールド V_{THMAX} を超えると、DS28E04-100 には次のタイムスロットの用意ができるまでに回復時間 t_{REC} が必要です。

スレーブからマスタに

データ読取りタイムスロットは、Write-one タイムスロットと同様に始まります。データラインの電圧は、読取りロータイム t_{RL} が終了するまで、 V_{TL} を下回っている必要があります。 t_{RL} ウィンドウの間、DS28E04-100 が 0 で応答する場合は、データラインをローにプルダウンし始めます。内蔵タイミング発生器は、このプルダウンが終了し、電圧が再度上昇を開始する時機を決定します。DS28E04-100 が 1 で応答する場合は、データラインをローに維持せず、 t_{RL} が終了するとすぐに電圧を上昇し始めます。

一方の和である $t_{RL} + \delta$ (立上がり時間)と他方の DS28E04-100 の内蔵タイミング発生器が、マスタのサンプリングウィンドウ($t_{MSRMIN} \sim t_{MSRMAX}$)を決定します。このウィンドウ内で、マスタはデータラインから読取りを実行する必要があります。ほとんどの高信頼通信では、 t_{RL} はできる限り短くして、マスタは t_{MSRMAX} を超えない範囲で可能な限り t_{MSRMAX} に近接して読み取る必要があります。マスタはデータラインから読み取った後に、 t_{SLOT} が終了するまで待機する必要があります。このことによって、DS28E04-100 が次のタイムスロットに備えるのに十分な回復時間 t_{REC} が保証されます。なお、ここで指定する t_{REC} は、1-Wire ラインに接続された単一の DS28E04-100 のみに適用されます。マルチデバイス構成の場合は、 t_{REC} は、追加された 1-Wire デバイスの入力容量に対応するために長くする必要があります。この代わりに、DS2482-x00 または DS2480B の 1-Wire ラインドライバなど、1-Wire 回復時間の間にアクティブプルアップを実行するインタフェースを使用することができます。

ネットワーク動作の改善(スイッチポイントヒステリシス)

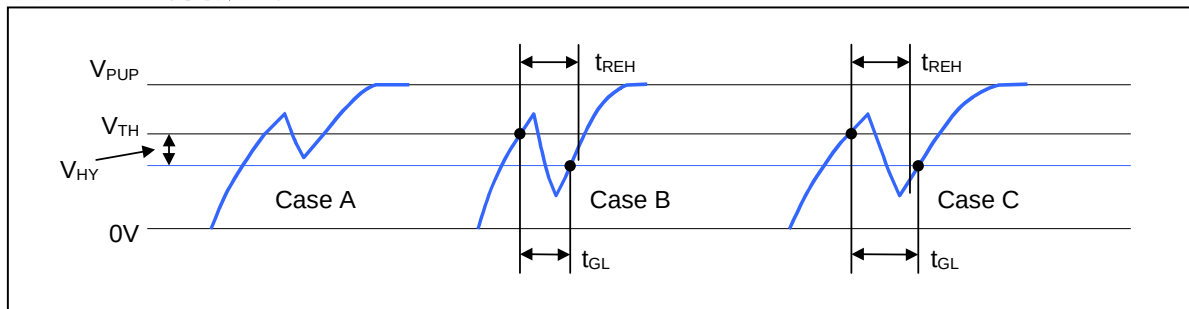
1-Wire 環境ではバスマスタ(1-Wire のドライバ)が制御するトランジエントの間のみ、ライン終端が可能です。このため、1-Wire ネットワークはさまざまなノイズ源からの影響を受けやすくなっています。ネットワークの物理サイズやトポロジに応じて、終端と分岐ポイントからの反射がある程度、加算されたり、相殺されたりします。このような反射は、1-Wire 通信ライン上でグリッチやリングングとして見られます。また、外部ノイズ源から 1-Wire ラインに結合されたノイズによって、信号グリッチが発生する場合があります。タイムスロットの立上がりエッジの間のグリッチによってスレーブデバイスがマスタとの同期を失い、このため Search ROM コマンドが失敗するか、またはデバイス固有の機能コマンドが異常終了します。ネットワークアプリケーションの性能を向上するために、DS28E04-100 は新たな 1-Wire フロントエンドを使用しています。このフロントエンドはノイズに対する感度を低減し、スレーブデバイス自体により注入されるノイズの大きさも低減しています。

DS28E04-100 の 1-Wire フロントエンドは、以下の 4 つの特性において従来のスレーブデバイスとは異なります。

- 1) プレゼンスパルスの立下がりエッジは、スルーレートを制御します。このため、ディジタルでスイッチングするトランジスタに比べ、ラインインピーダンスとのインピーダンス整合が向上し、従来のデバイスで知られる高周波リングングがスムーズな低帯域幅遷移に変わっています。スルーレート制御は、パラメータ t_{FPD} で設定します。このパラメータは標準とオーバドライブ速度で値を変えています。
- 2) タイムスロットの開始時の立下りエッジを検出するローパスフィルタが回路内に追加されています。このため、高周波ノイズに対する感度が低下しています。この追加フィルタは、オーバドライブ速度では適用されません。
- 3) ローからハイへのスイッチングスレッシュホールド V_{TH} にヒステリシスがあります。負のグリッチが V_{TH} を超えるが、 $V_{TH} - V_{HY}$ を下回らない場合は、グリッチは認識されません(図 17、ケース A)。このヒステリシスは、どの 1-Wire 速度でも有効です。
- 4) 立上りエッジのホールドオフ時間 t_{REH} によって規定されるタイムウィンドウがあります。このホールドオフ時間の間に、グリッチがスレッシュホールド $V_{TH} - V_{HY}$ 間を下回ってもグリッチは無視されます(図 17、ケース B、 $t_{GL} < t_{REH}$)。スレッシュホールド V_{TH} を横切って、 t_{REH} ウィンドウを超えて表れる深い電圧ドループやグリッチは除去できず、新たなタイムスロットの開始として見なされます(図 17、ケース C、 $t_{GL} \geq t_{REH}$)。

電氣的特性においてパラメータ t_{FPD} 、 V_{HY} 、及び t_{REH} を定められたデバイスのみが改良型 1-Wire フロントエンドを使用しています。

図 17. ノイズ抑制方式



CRC の生成

DS28E04-100 には、2 種類の CRC(巡回冗長検査)があります。ひとつは 8 ビットタイプで、64 ビット ROM の最上位バイトに格納されています。バスマスタは 64 ビット ROM の先頭の 56 ビットから CRC 値を算出し、どのアドレス入力端子も GND に接続されていない場合は、DS28E04-100 内に格納された値と照合して、ROM データがエラーなしで受け取られたかどうかを判別することができます。いずれかのアドレス端子が GND に接続されている場合は、バスマスタはすべて 1 の外部アドレスフィールドに基づいて CRC を算出し、非外部のアドレス ROM データがエラーなしで受け取られたかどうかを判別することができます。この CRC の等価多項式関数は、 $X^8 + X^5 + X^4 + 1$ です。この 8 ビット CRC は、true(非反転)形式で受け取られます。この CRC は出荷時に算出され、ROM にハードコードされます。

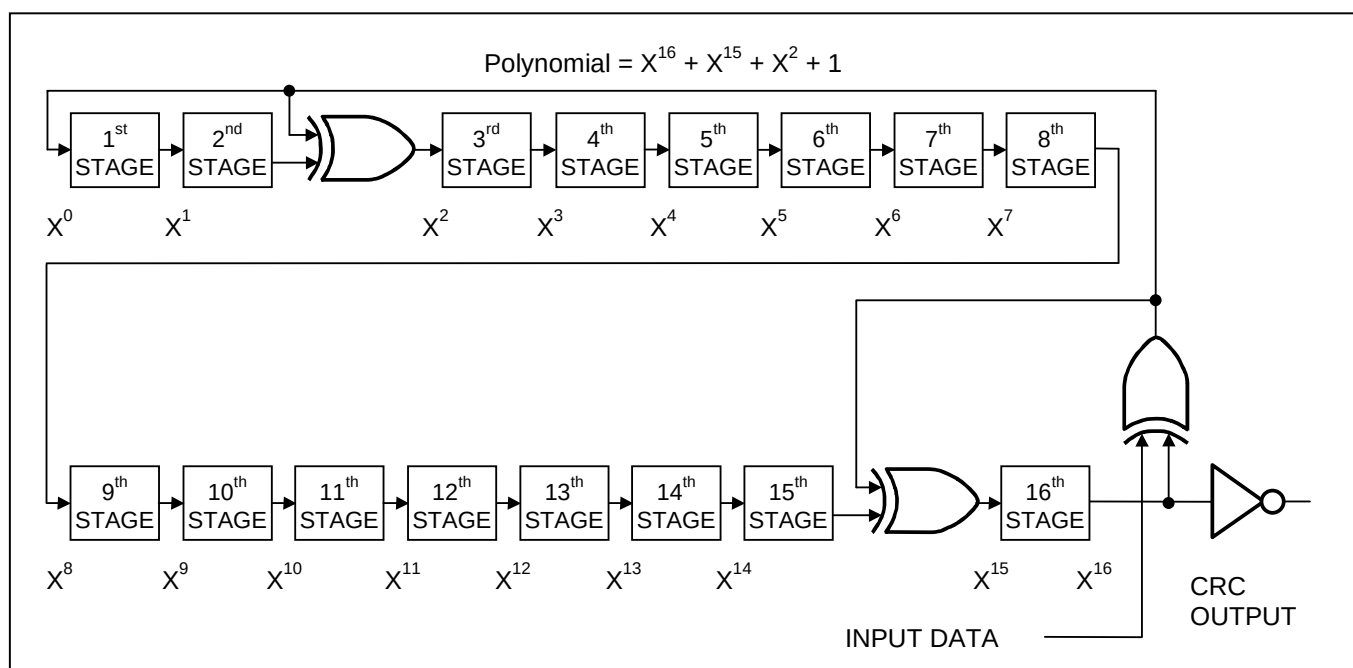
もう一方の CRC は 16 ビットタイプで、標準 CRC16-多項式関数 $x^{16} + x^{15} + x^2 + 1$ に従って生成されます。この CRC を使って、スクラッチパッドからの読取りや書き込み時または PIO からの読取り時に、データ転送を迅速に検証することができます。8 ビット CRC とは対照的に、この 16 ビット CRC は常に反転形式で通信されます。DS28E04-100 チップ内の CRC 生成式(図 18)は、コマンドフローチャート(図 9)に示されているように新たな 16 ビット CRC を算出します。バスマスタは、デバイスから読み取られた CRC 値をデータから算出された値と照合して、動作を続行するか、または CRC エラーのデータ部分を再読取りするかを判断します。

Write Scratchpad コマンドの場合は、まず CRC 生成器をクリアしてから、バスマスタからの送出時にコマンドコード、ターゲットアドレス TA1/TA2、及び全データバイトをシフトインして、CRC が生成されます。E4:E0 = 11111b、すなわちスクラッチパッドの最後に到達した場合にのみ、DS28E04-100 はこの CRC を送出します。

Read Scratchpad コマンドの場合は、まず CRC 生成器をクリアしてから、DS28E04-100 からの送出時にコマンドコード、ターゲットアドレス TA1/TA2、E/S バイト、及びスクラッチパッドデータをシフトインして、CRC が生成されます。読取りが前回の書き込みスクラッチパッドシーケンスで書き込まれたデータの最後まで継続している場合に限り、DS28E04-100 はこの CRC を送出します。例:1 バイトをスクラッチパッドに書き込んだ後に、そのスクラッチパッドを読み取ると、コマンド、TA1、TA2、及びデータバイトの CRC を受け取ります。

PIO Access Read コマンドフローによる最初のプロセスでは、まず CRC 生成器をクリアし、コマンドコード及び後続の 32 バイトの PIO 端子データをシフトインして、CRC が生成されます。コマンドフローによる以降のプロセスでは、CRC 生成器をクリアし、PIO 端子から読み取られた 32 バイトをシフトインした結果である 16 ビット CRC が生成されます。CRC 値の生成に関する詳細は、『アプリケーションノート 27』を参照してください。

図 18. CRC-16 のハードウェア説明及び多項式



コマンド固有の 1-WIRE 通信プロトコル—凡例

略号	説明
RST	マスタが生成する 1-Wire リセットパルス
PD	スレーブが生成する 1-Wire プレゼンスパルス
Select	ROM 機能プロトコルを満たすコマンド及びデータ
WS	コマンド「Write Scratchpad」
RS	コマンド「Read Scratchpad」
CPS	コマンド「Copy Scratchpad」
RM	コマンド「Read Memory」
WREG	コマンド「Write Register」
PIOR	コマンド「PIO Access Read」
PIOW	コマンド「PIO Access Write」
PIOP	コマンド「PIO Access Pulse」
RAL	コマンド「Reset Activity Latches」
TA	ターゲットアドレス TA1、TA2
TA-E/S	E/S バイト付ターゲットアドレス TA1、TA2
<32 – T4:T0 bytes>	所定のターゲットアドレスのスクラッチパッドの末尾に達するのに必要とするバイト数の転送
<data to EOM>	メモリの末尾に達するのに必要とするデータバイト数の転送
<register data>	開始アドレスに応じた、1～3 バイトのアドレス 223h～225h のレジスタのデータ
CRC16\	反転 CRC16 の転送
FF loop	マスタが FF バイトを読み取る無限ループ
AA loop	マスタが AA バイトを読み取る無限ループ
Programming	EEPROM へのデータ転送。1-Wire バス上のアクティビティはこの間は許可されません。

コマンド固有の 1-WIRE 通信プロトコル—カラーコード

Master to slave	Slave to master	Programming
-----------------	-----------------	-------------

WRITE SCRATCHPAD (失敗しない場合)

RST	PD	Select	WS	TA	<32 – T4:T0 bytes>	CRC16\	FF loop
-----	----	--------	----	----	--------------------	--------	---------

READ SCRATCHPAD (失敗しない場合)

RST	PD	Select	RS	TA-E/S	<E4:E0 - T4:T0 +1 bytes>	CRC16\	FF loop
-----	----	--------	----	--------	--------------------------	--------	---------

COPY SCRATCHPAD 1-WIRE 電源供給 (成功する場合)

RST	PD	Select	CPS	TA-E/S	wait t _{PROGMAX}	AA loop
-----	----	--------	-----	--------	---------------------------	---------

COPY SCRATCHPAD (無効アドレスまたは PF = 1 またはコピー防止の場合)

RST	PD	Select	CPS	TA-E/S	FF loop
-----	----	--------	-----	--------	---------

READ MEMORY (成功する場合)

RST	PD	Select	RM	TA	<data to EOM>	FF loop
-----	----	--------	----	----	---------------	---------

READ MEMORY (無効アドレスの場合)

RST	PD	Select	RM	TA	FF loop
-----	----	--------	----	----	---------

WRITE REGISTER (成功する場合)

RST	PD	Select	WREG	TA	<register data>	FF loop
-----	----	--------	------	----	-----------------	---------

WRITE REGISTER (無効アドレスの場合)

RST	PD	Select	WREG	TA	FF loop
-----	----	--------	------	----	---------

PIO ACCESS READ (失敗しない場合)

RST	PD	Select	PIOR	<32 bytes PIO data>	CRC16\
-----	----	--------	------	---------------------	--------

Loop until master sends Reset Pulse

PIO ACCESS WRITE (成功する場合)

RST	PD	Select	PIOW	<new PIO data>	<inverted new PIO data>	<AAh>	<PIO data>
-----	----	--------	------	----------------	-------------------------	-------	------------

Loop until master sends Reset Pulse

PIO ACCESS WRITE (無効データバイトの場合)

RST	PD	Select	PIOW	<new PIO data>	<invalid data byte>	FF loop
-----	----	--------	------	----------------	---------------------	---------

PIO ACCESS PULSE (成功する場合)

RST	PD	Select	PIOP	<selection mask>	<inverted selection mask>	<AAh>	<PIO data>
-----	----	--------	------	------------------	---------------------------	-------	------------

PIO ACCESS PULSE (無効選択マスクの場合)

RST	PD	Select	PIOP	<selection mask>	<invalid selection mask>	FF loop
-----	----	--------	------	------------------	--------------------------	---------

RESET ACTIVITY LATCHES (失敗しない場合)

RST	PD	Select	RAL	AA loop
-----	----	--------	-----	---------

メモリ機能例

5 バイトをアドレス 0021h から始まるメモリページ 1 に書き込みます。メモリ全体及び PIO 関連レジスタを読み取ります。バスマスタに接続された単一 DS28E04-100 のみの場合は、通信は以下の通りです。

マスタモード	データ(最下位ビットから)	説明
TX	(Reset)	リセットパルス
RX	(Presence)	プレゼンスパルス
TX	CCh	「Skip ROM」コマンドを発行します。
TX	0Fh	「Write Scratchpad」コマンドを発行します。
TX	21h	オフセット = 21h から始まる TA1
TX	00h	TA2、アドレス = 0021h
TX	<5 data bytes>	5 バイトのデータをスクラッチパッドに書き込みます。
TX	(Reset)	リセットパルス
RX	(Presence)	プレゼンスパルス
TX	CCh	「Skip ROM」コマンドを発行します。
TX	AAh	「Read Scratchpad」コマンドを発行します。
RX	21h	オフセット = 21h から始まる TA1 を読み取ります。
RX	00h	TA2、アドレス = 0021h を読み取ります。
RX	05h	E/S(終了オフセット = 00101b, AA、PF = 0)を読み取ります。
RX	<5 data bytes>	スクラッチパッドデータを読み取り、検証します。
RX	<2 bytes CRC16>	CRC を読み取り、データの完全性をチェックします。
TX	(Reset)	リセットパルス
RX	(Presence)	プレゼンスパルス
TX	CCh	「Skip ROM」コマンドを発行します。
TX	55h	「Copy Scratchpad」コマンドを発行します。
TX	21h	TA1
TX	00h	TA2 (認証コード)
TX	05h	E/S
----	<1-Wire idle high>	コピー機能が終了するのを 10ms 待ちます。
RX	AAh	コピー状態、AAh = 成功を読み取ります。
TX	(Reset)	リセットパルス
RX	(Presence)	プレゼンスパルス
TX	CCh	「Skip ROM」コマンドを発行します。
TX	F0h	「Read Memory」コマンドを発行します。
TX	00h	オフセット = 00h から始まる TA1
TX	00h	TA2、アドレス = 0000h
RX	<550 data bytes>	メモリ全体を読み取ります。
TX	(Reset)	リセットパルス
RX	(Presence)	プレゼンスパルス

PIO ACCESS READ 例

PIO の状態を 32 回読み取ります。

バスマスタに接続された単一 DS28E04-100 のみの場合は、通信は以下の通りです。

マスタモード	データ(最下位ビットから)	説明
TX	(Reset)	リセットパルス
RX	(Presence)	プレゼンスパルス
TX	CCh	「Skip ROM」コマンドを発行します。
TX	F5h	「PIO Access Read」コマンドを発行します。
RX	<32 data bytes>	32 の PIO 例を読み取ります。
RX	<2 bytes CRC16>	CRC を読み取り、データの完全性をチェックします。
TX	(Reset)	リセットパルス
RX	(Presence)	プレゼンスパルス

反転 CRC16 は、32 バイトの PIO データの後に送出されます。

PIO ACCESS WRITE 例

両方の PIO を 0 に、次に 1 に設定します。両方の PIO は、抵抗器によって V_{CC} または V_{PUP} までハイにプルアップされます。

バスマスタに接続された単一 DS28E04-100 のみの場合は、通信は以下の通りです。

マスタモード	データ(最下位ビットから)	説明
TX	(Reset)	リセットパルス
RX	(Presence)	プレゼンスパルス
TX	CCh	「Skip ROM」コマンドを発行します。
TX	5Ah	「PIO Access Write」コマンドを発行します。
TX	FCh	新しい PIO 出力状態を書き込みます。
TX	03h	新しい反転 PIO 出力状態を書き込みます。
RX	AAh	確認バイトを読み取ります。
RX	FCh	新しい PIO 端子状態を読み取ります。
TX	FFh	新しい PIO 出力状態を書き込みます。
TX	00h	新しい反転 PIO 出力状態を書き込みます。
RX	AAh	確認バイトを読み取ります。
RX	FFh	新しい PIO 端子状態を読み取ります。
TX	(Reset)	リセットパルス
RX	(Presence)	プレゼンスパルス

PIO ACCESS PULSE 例

パルスを PIO1 に生成します。両方の PIO は、抵抗器によって V_{CC} までハイにプルアップされます。POL = 1。 V_{CC} 電源があります。バスマスタに接続された単一 DS28E04-100 のみの場合は、通信は以下の通りです。

マスタモード	データ(最下位ビットから)	説明
TX	(Reset)	リセットパルス
RX	(Presence)	プレゼンスパルス
TX	CCh	「Skip ROM」コマンドを発行します。
TX	A5h	「PIO Access Pulse」コマンドを発行します。
TX	FEh	PIO 選択マスクに書き込みます。
TX	01h	反転 PIO 選択マスクに書き込みます。
RX	AAh	確認バイトを読み取ります。
RX	1111110Xb	PIO 端子状態を読み取ります。 ¹⁾
TX	(Reset)	リセットパルス
RX	(Presence)	プレゼンスパルス

¹⁾ 「X」は、PIO0 の状態を示しますが、これはこの例では定義されていません。

パッケージ

(The package drawing(s) in this data sheet may not reflect the most current specifications. For the latest package outline information, go to www.maxim-ic.com/DallasPackInfo.)