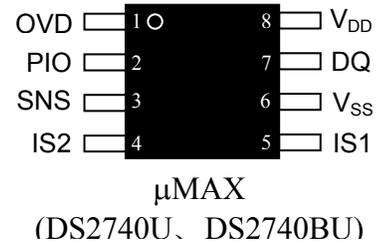


特長

- 15ビット双方向電流測定(DS2740U)
 - 1.56 μ V LSB と \pm 51.2mV のダイナミックレンジ
 - 78 μ A LSB と \pm 2.56A のダイナミックレンジ(20m Ω の外付け検出抵抗 R_{SNS} 使用時)
 - 156 μ A LSB と \pm 5.12A のダイナミックレンジ(10m Ω の外付け検出抵抗 R_{SNS} 使用時)
- 13ビット双方向電流測定(DS2740BU)
 - 6.25 μ V LSB と \pm 51.2mV のダイナミックレンジ
 - 312 μ A LSB と \pm 2.56A のダイナミックレンジ(20m Ω の外付け検出抵抗 R_{SNS} 使用時)
 - 625 μ A LSB と \pm 5.12A のダイナミックレンジ(10m Ω の外付け検出抵抗 R_{SNS} 使用時)
- アナログ入力フィルタ(IS1、IS2)でパルス負荷アプリケーションのダイナミックレンジを拡大
- 電流積算レジスタの分解能
 - 6.25 μ Vhr (DS2740U/DS2740BU の両方)
 - 0.3125mAh (20m Ω の外付け R_{SNS} 使用時)
 - 0.6250mAh (10m Ω の外付け R_{SNS} 使用時)
- マキシム 1-Wire[®] インタフェース
 - 固有の 64 ビットデバイスアドレス
 - 標準とオーバドライブ(OVD)の 2 種類のタイミング
- 低消費電力
 - 動作時電流: 65 μ A (max)
 - スリープ時電流: 1 μ A (max)

ピン配置



型番については表 1 をご覧ください。
詳しい端子説明については表 2 をご覧ください。

端子説明

- OVD - 1-Wire バスの速度選択
- PIO - プログラマブル入出力端子
- SNS - 検出抵抗入力
- IS2 - 電流検出入力
- IS1 - 電流検出入力
- V_{SS} - デバイスグランド、電流検出抵抗のリターン
- DQ - データ入出力
- V_{DD} - 電源入力(2.7V~5.5V)

1-Wire は Dallas Semiconductor の登録商標です。
Dallas Semiconductor は Maxim Integrated Products, Inc. の完全子会社です。

表 1. 型番

PART	MARKING	DESCRIPTION
DS2740U	D2740	15-Bit Current Resolution, 8-Pin μ MAX
DS2740U+	D2740 (see note)	15-Bit Current Resolution, Lead-Free 8-Pin μ MAX
DS2740U/T&R	D2740	15-Bit Current Resolution, 8-Pin μ MAX, Tape-and-Reel
DS2740U+T&R	D2740 (see note)	15-Bit Current Resolution, Lead-Free 8-Pin μ MAX, Tape-and-Reel
DS2740BU	2740B	13-Bit Current Resolution, 8-Pin μ MAX
DS2740BU+	2740B (see note)	13-Bit Current Resolution, Lead-Free 8-Pin μ MAX
DS2740BU/T&R	2740B	13-Bit Current Resolution, 8-Pin μ MAX, Tape-and-Reel
DS2740BU+T&R	2740B (see note)	13-Bit Current Resolution, Lead-Free 8-Pin μ MAX, Tape-and-Reel

注: パッケージ上の 1 番端子マークの隣に「+」マークも印字されます。

詳細

DS2740 は、コストに敏感なアプリケーションでバッテリー容量監視をサポートするために、高精度の電流流量の測定データを提供します。電流の測定は、15 ビット(DS2740U)または 13 ビット(DS2740BU)のダイナミックレンジにわたって双方向で行われ、独立した 16 ビットのレジスタに純流量が積算されます。1-Wire インタフェースを通して、ホストシステムは、DS2740 のステータスおよび電流測定値の各レジスタに対して読み書きアクセスを行うことができます。個々のデバイスが工場出荷時にプログラムされる 64 ビットの固有のネットアドレスを持つため、ホストシステムから個別にアクセスが可能であり、マルチバッテリースロット動作をサポートします。インタフェースは、標準タイミングまたはオーバドライブタイミングでの動作が可能です。

DS2740 は、主としてホストシステム上への実装を目的としていますが、バッテリーパック内への実装にも適しています。DS2740 と FuelPack™ アルゴリズムおよびホストでの温度と電圧の測定を組み合わせることによって、残量推定のための完全に正確なソリューションが形成されます。

FuelPack は Dallas Semiconductor の商標です。

Dallas Semiconductor は Maxim Integrated Products, Inc. の完全子会社です。

図 1. ブロック図

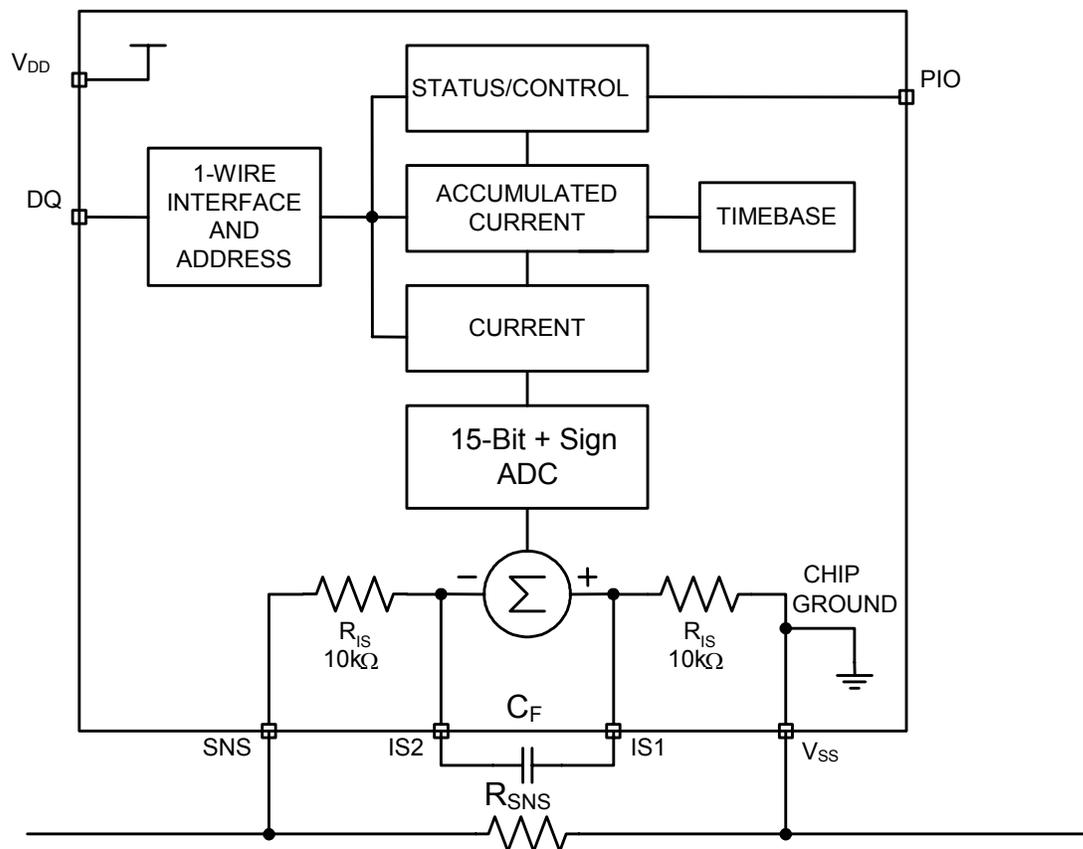
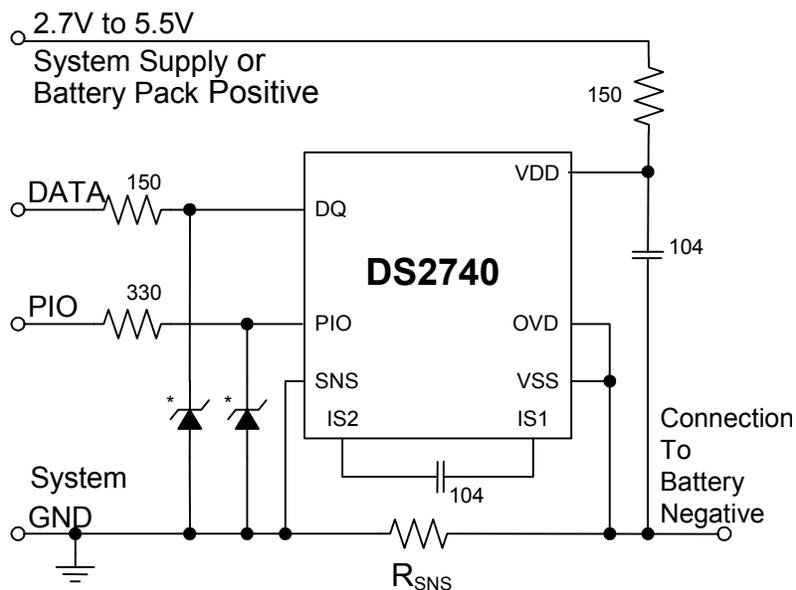


表 2. 端子詳細

PIN	SYMBOL	DESCRIPTION
OVD	1	1-Wire Bus Speed Control. Input logic level selects the speed of the 1-Wire bus. Logic 1 selects overdrive (OVD) and Logic 0 selects standard timing (STD). On a multidrop bus, all devices must operate at same speed.
PIO	2	Programmable I/O Pin. Programmed as input or output through internal registers. Open-drain output sufficient for LED or vibrator activation.
SNS	3	Current-Sense Resistor Input
IS2	4	Current-Sense Input. Connected to SNS through a 10k Ω resistor to allow filtering of the current waveform by an external capacitor.
IS1	5	Current-Sense Input. Connected to V _{SS} through a 10k Ω resistor to allow filtering of the current waveform through an external capacitor.
V _{SS}	6	Device Ground, Current-Sense Resistor Return. Connect directly to the negative terminal of the battery cell.
DQ	7	Data I/O Pin. Operates bidirectionally with open-drain output driver. Internal 1 μ A pulldown aids in sensing pack removal and Sleep-mode activation.
V _{DD}	8	Power-Supply Input. Connects to system voltage supply or positive terminal of battery cell.

図 2. アプリケーション例



* 取り外し可能なバッテリーパックアプリケーションなど、DATA または PIO の接点が外部に露出している場合の ESD 保護用に 5.6V ツェナーが推奨されます。

パワーモード

DS2740 は、アクティブとスリープの 2 種類のパワーモードを備えています。アクティブモードでは、DS2740 は、常時動作の電流および積算電流の各測定ブロックを備えた高精度クーロンカウンタとして動作し、結果の値が各測定値のレジスタ内で更新されます。すべてのレジスタに対して読取りおよび書込みアクセスが可能です。PIO 端子がアクティブになります。スリープモードでは、DS2740 は低電力モードで動作し、電流測定動作を行いません。 V_{DD} が 2V より大きい場合、電流、積算電流、およびステータス/制御の各レジスタに対するシリアルアクセスが可能です。

DS2740 の動作モードは、次の場合に SLEEP から ACTIVE に遷移します。

- 1) DQ が V_{IH} より大きく、かつ V_{DD} が UV スレッショルドより大きいとき、または
- 2) V_{DD} が UV スレッショルドの下から UV スレッショルドの上まで上昇したとき。

DS2740 の動作モードは、次の場合に SLEEP から ACTIVE に遷移します。

- 1) V_{DD} が UV スレッショルドまで低下したとき、または
- 2) SMOD = 1 で 2 秒間にわたって DQ が V_{IL} より低いとき。

電流測定

アクティブモードでの動作時、DS2740 は、小さな値の電流検出抵抗(R_{SNS})の両端における電圧降下を測定することによって、バッテリーの流入/流出電流を常に測定しています。パルス状の負荷電流に対しての入力範囲を拡大するには、IS1 端子と IS2 端子の間にコンデンサを付加することによって電圧信号をフィルタリングすることができます。外付けのコンデンサと 2 つの内蔵抵抗が、ADC の入力位置にローパスフィルタを形成します。IS1 と IS2 における電圧検出の範囲は $\pm 51.2\text{mV}$ です。連続または平均信号レベル(フィルタ後)が変換サイクルの期間にわたって $\pm 51.2\text{mV}$ を超えない限り、入力は最大 102mV までのピーク信号振幅を変換します。ADC は IS1 と IS2 において 18.6kHz のサンプルクロックで入力を差動サンプリングし、各変換サイクルの完了時に電流レジスタを更新します。それぞれの分解能のオプションに対する変換時間は下記の表に示しています。2 種類の分解能のオプションが用意されています。図 3 に、電流測定レジスタのフォーマットと各オプションの分解能を示します。「S」は符号ビットを示します。

図 3. 電流レジスタのフォーマット

DS2740U: Units: $1.5625\mu\text{V}/R_{SNS}$, 15-bit + sign resolution, 3.5s conversion period.

DS2740BU: Units: $6.250\mu\text{V}/R_{SNS}$, 13-bit + sign resolution, 0.875s conversion period.

MSB—Address 0Eh

S	2^{14}	2^{13}	2^{12}	2^{11}	2^{10}	2^9	2^8
---	----------	----------	----------	----------	----------	-------	-------

MSb

LSb

Full-scale magnitude: $\pm 51.2\text{mV}$

LSB—Address 0Fh

2^7	2^6	2^5	2^4	2^3	2^2	2^1	2^0
-------	-------	-------	-------	-------	-------	-------	-------

MSb

LSb

PART	CONVERSION TIME	CURRENT RESOLUTION (1 LSB)				
		$V_{IS1} - V_{IS2}$	R_{SNS}			
			20m Ω	15m Ω	10m Ω	5m Ω
DS2740U	3.515s	1.5625 μ V	78.13 μ A	104.2 μ A	156.3 μ A	312.5 μ A
DS2740BU	0.878s	6.250 μ V	312.5 μ A	416.7 μ A	625 μ A	1.250mA

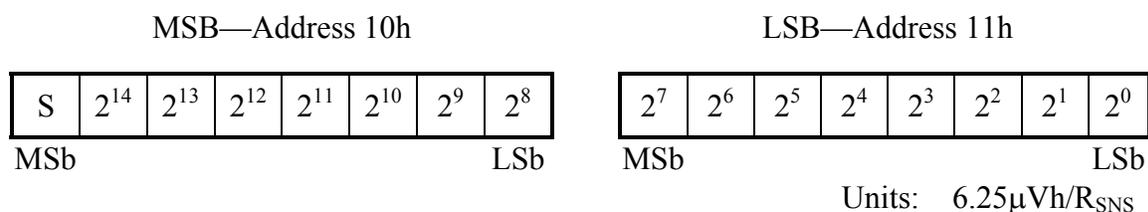
1024 回の変換ごとに ADC はその入力オフセットを測定して、オフセット補正を行います。オフセット補正は、DS2740U の場合およそ 1 時間に 1 回、DS2740BU の場合 1 時間に 4 回の割合で行われます。結果の補正係数がそれに続く 1023 個の測定値に適用されます。オフセット補正の変換の間、ADC は IS1 と IS2 間の信号測定を行いません。積算電流レジスタ(ACR)内に最大 1/1024 の誤差が生じる可能性があります。この誤差を減少させるために、オフセット変換直前の電流測定値が電流レジスタに示され、電流積算プロセス中で欠落した電流測定値の代わりに使用されます。オフセット補正に起因する標準的な誤差は、1/1024 よりずっと小さな値になります。

電流積算器

電流の測定値は、各変換期間の終わりに内部的に加算(もしくは積算)され、結果が ACR 内に示されます。ACR の精度は、電流の測定値と変換タイムベースの両方に依存します。ACR の範囲は ± 204.8 mVh であり、LSb は 6.25 μ Vh です。1 回の積算での断片的結果が別のレジスタに保持されますが、これらのビットはユーザがアクセスできません。

ACR に対する読取りおよび書込みアクセスが可能です。ACR に書込みが行われるごとに、断片的な積算結果がクリアされます。また、書込みによって強制的に ADC のオフセット測定が行われ、オフセット補正係数が更新されます。電流の測定と積算は、ACR に対する書込み後の 2 回目の変換から開始されます。図 4 に、ACR のアドレス、フォーマット、および分解能を示します。

図 4. 電流積算器のフォーマット



PART	UPDATE INTERVAL	ACR LSB				
		$V_{IS1} - V_{IS2}$	R_{SNS}			
			20m Ω	15m Ω	10m Ω	5m Ω
DS2740U	3.515s	6.25 μ Vh	312.5 μ Ah	416.7 μ Ah	625 μ Ah	1.250mAh
DS2740BU	0.878s					

PART	ACR RANGE				
	$V_{IS1} - V_{IS2}$	R_{SNS}			
		20mΩ	15mΩ	10mΩ	5mΩ
DS2740U	±204.8mVh	±10.24Ah	±13.65Ah	±20.48Ah	±40.96Ah
DS2740BU					

メモリ

DS2740 のメモリスペースには、計測、ステータス、および制御用のレジスタが配置されています。読み取り中の更新を防ぎ、2つのレジスタバイト間の同期を保証するため、2バイトのレジスタのMSBを読み取るとMSBとLSBの両方がラッチされ、Read Data コマンドが完了するまで保持されます。矛盾のない結果を得るため、常に同一の Read Data コマンドシーケンス内で2バイトのレジスタのMSBとLSBを読み取ってください。

表 3. メモリマップ

ADDRESS (HEX)	DESCRIPTION	READ/WRITE
00	Reserved	—
01	Status Register	R/W
02 to 07	Reserved	—
08	Special Feature Register	R/W
09 to 0D	Reserved	—
0E	Current Register MSB	R
0F	Current Register LSB	R
10	Accumulated Current Register MSB	R/W
11	Accumulated Current Register LSB	R/W
12 to FF	Reserved	—

ステータスレジスタ

ステータスレジスタのフォーマットを図 5 に示します。各ビットの機能について、この後の各段落で詳しく説明します。

図 5. ステータスレジスタのフォーマット

ADDRESS 01h							
BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
X	SMOD	X	RNAOP	X	X	X	X

SMOD—SLEEP Mode Enable (スリープモードイネーブル)。値が 1 の場合、DQ が 2 秒間にわたってローになると DS2740 は Sleep モードに入ります。値が 0 の場合、DQ に関連した Sleep モードへの移行がディセーブルされます。通電時のデフォルトは SMOD = 0 です。

RNAOP—Read Net Address Opcode (ネットアドレス読取りオペコード)。このビットの値が 0 の場合、Read Net Address コマンドのオペコードが 33h に設定され、1 の場合はオペコードが 39h に設定されます。通電時のデフォルトは RNAOP = 0 です。

X—予備ビット。

特殊機能レジスタ

特殊機能レジスタのフォーマットを図 6 に示します。各ビットの機能について、この後の各段落で詳しく説明します。

図 6. 特殊機能レジスタのフォーマット

ADDRESS 08h							
BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
X	PIO	X	X	X	X	X	X

PIO— PIO 端子の検出と制御。このビットは読取りと書込みをイネーブルします。PIO ビットに 0 を書き込むと、PIO オープンドレイン出力ドライバがイネーブルされ、PIO 端子をローにします。PIO ビットに 1 を書き込むと、出力ドライバがディセーブルされ、PIO 端子をハイにプルアップするかまたは入力として使用することができるようにします。PIO ビットを読み取ると、PIO 端子に印加されているロジックレベルが返されます。PIO をフローティングにしてある場合、弱いプルダウンで端子がローになることに注意してください。初期通電時、DS2740 がスリープモードに入ったとき、または DQ が t_{SLEEP} より長い間ローのとき(SMOD 端子とは無関係)、PIO は 1 にリセットされます。

X— 予備ビット。

1-Wire バスシステム

1-Wire バスは、単一のバスマスタと 1 つ以上のスレーブからなるシステムです。マルチドロップバスとは、複数のスレーブが存在する 1-Wire バスです。シングルドロップバスには、スレーブデバイスが 1 つしか存在しません。いかなる場合においても、DS2740 はスレーブデバイスです。バスマスタは、通常はホストシステムのマイクロプロセッサです。このバスシステムの解説は、64 ビットネットアドレス、ハードウェア構成、トランザクションシーケンス、および 1-Wire 信号方式という、4 つの話題で構成されます。

64 ビットネットアドレス

個々の DS2740 は、工場出荷時にプログラムされる固有の 64 ビット長の 1-Wire ネットアドレスを備えています。最初の 8 ビットは 1-Wire ファミリコード(DS2740 の場合は 36h)です。次の 48 ビットは固有のシリアル番号です。最後の 8 ビットは最初の 56 ビットの巡回冗長検査(CRC)です(図 7 参照)。64 ビットのネットアドレスとデバイスに内蔵された 1-Wire 入出力回路によって、DS2740 はこのデータシートの「1-Wire バスシステム」の項で詳述している 1-Wire プロトコルを通して通信を行うことができます。

図 7. 1-Wire ネットアドレスのフォーマット

8-BIT CRC	48-BIT SERIAL NUMBER	8-BIT FAMILY CODE (36h)
MSb		LSb

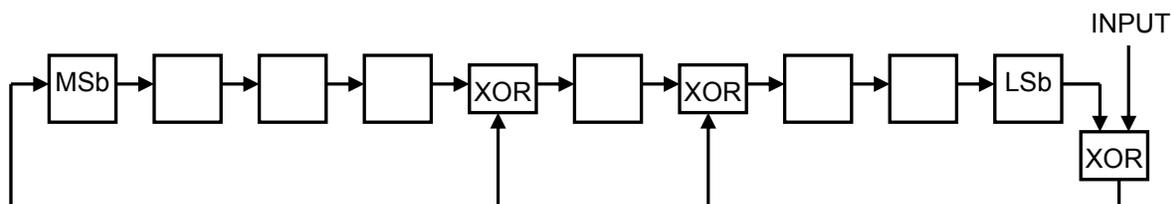
CRC 生成

DS2740 は、その 1-Wire ネットアドレスの最上位バイトに保存された 8 ビットの CRC を持っています。誤りのないアドレスの伝送を保証するため、ホストシステムはアドレスの最初の 56 ビットから CRC 値を計算し、それを DS2740 からの CRC と比較します。ホストシステムは CRC 値の検証を行い、その結果に対して措置を講じる必要があります。DS2740 は CRC 値の比較を行わず、CRC が一致しなくても命令シーケンスを進めます。CRC を適切に使用することによって、非常に高水準の完成度を備えた通信チャネルが得られます。

図 8 に示すように、CRCはシフトレジスタとXORゲートで構成された回路を使用してホストで生成することができますが、ソフトウェアで生成することもできます。マキシム 1-WireのCRCに関する追加情報が、アプリケーションノート 27「マキシムのiButton製品に用いる巡回冗長検査(CRC)の理解と用法」に記載されています。(このアプリケーションノートは、Maximのウェブサイト japan.maxim-ic.comでご覧いただけます。)

図 8 の回路において、シフトレジスタビットが 0 に初期化されます。次に、ファミリコードの最下位ビットから開始して、1 度に 1 ビットずつシフトインされます。ファミリコードの 8 番目のビットの入力が終わると、次にシリアル番号が入力されます。シリアル番号の 48 番目のビットの入力が終わると、シフトレジスタには CRC 値が格納されています。

図 8. 1-Wire CRC 生成のブロック図



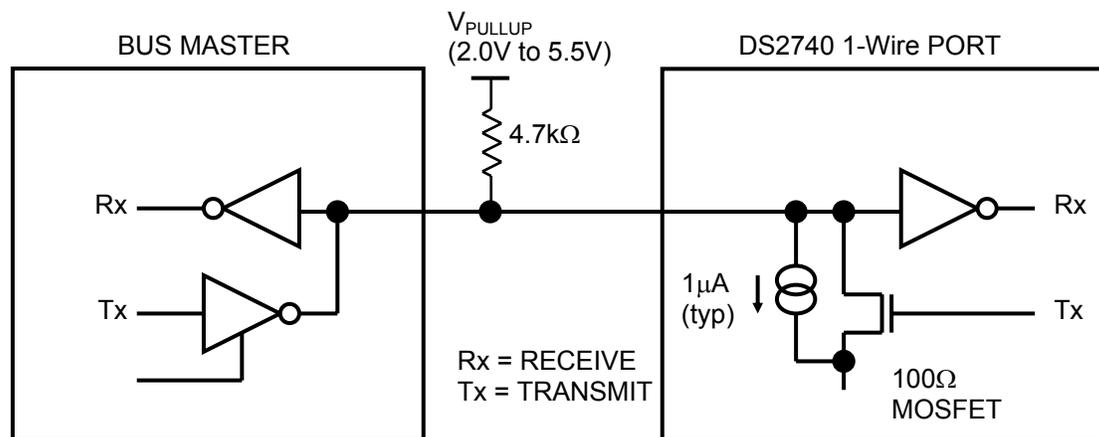
ハードウェア構成

1-Wire バスには 1 本のラインしか存在しないため、バス上の各デバイスが適切なタイミングでバスを駆動できることが重要になります。これを容易に実現するため、1-Wire バスに付加する各デバイスは、オープンドレインまたはトリステートの出力ドライバを使用してバスに接続する必要があります。DS2740 は、図 9 に示す双方向インタフェース回路の一部として、オープンドレインの出力ドライバを使用しています。バスマスタが双方向の端子を備えていない場合は、独立した出力端子と入力端子を相互に接続することができます。

1-Wire バスは、バスのバスマスタ端にプルアップ抵抗を備える必要があります。ライン長が短い場合、この抵抗の値は約 5kΩ にします。1-Wire バスのアイドル状態はハイです。何らかの理由でバスのトランザクションを一時停止する必要がある場合、後でトランザクションを正しく再開するために、バスをアイドル状態に保つ必要があります。バスが 120μs (オーバドライブ速度の場合は 16μs)より長時間にわたってローになった状態にある場合、バス上のスレーブデバイスは、ローの期間をリセットパルスとして解釈してトランザクションを有効に終了させます。

DS2740 は、標準とオーバドライブの 2 つの通信速度モードで動作可能です。速度モードは OVD 端子の入力ロジックレベルで決定され、ロジック 0 で標準速度を選択するか、ロジック 1 でオーバドライブ速度を選択します。OVD 端子は、リセットパルスでトランザクションを初期化する前に、0 または 1 の安定したロジックレベルになっている必要があります。正常な動作のためには、マルチノードバス上のすべての 1-Wire デバイスが同一の通信速度で動作する必要があります。標準速度とオーバドライブ速度の両方については、1-Wire のタイミングを「Electrical Characteristics: 1-Wire Interface (電気的特性: 1-Wire インタフェース)」の表に示しています。

図 9. 1-Wire バスのインタフェース回路



トランザクションシーケンス

1-Wire ポートを通して DS2740 にアクセスするためのプロトコルは次の通りです。

- 初期化
- ネットアドレスコマンド
- 機能コマンド
- トランザクション/データ

この後の各項で、これらの各手順について詳しく説明します。

1-Wire バスのすべてのトランザクションは、バスマスタが送信するリセットパルスと、それに続いて DS2740 およびバス上に存在する他のすべてのスレーブが同時に送信するプレゼンスパルスで構成される、初期化シーケンスによって開始されます。プレゼンスパルスは、1 つ以上のデバイスがバス上に存在し、動作可能になっていることをバスマスタに伝えます。詳細については「1-Wire の信号方式」の項をご覧ください。

ネットアドレスコマンド

バスマスタは、少なくとも 1 個のスレーブの存在を検出すると、以下の各段落で説明するネットアドレスコマンドの 1 つを発行することができます。各ネットアドレスコマンドの名称の後に、その命令に相当する 8 ビットのオペコードが角括弧内に続きます。図 10 に、ネットアドレスコマンドのトランザクションフローチャートを示します。

Read Net Address [33h または 39h]。このコマンドによって、バスマスタは DS2740 の 1-Wire ネットアドレスを読み取ることができます。このコマンドは、バス上に 1 個のスレーブが存在する場合にのみ使用可能です。2 個以上のスレーブが存在する場合、すべてのスレーブが同時に送信を行おうとしてデータの衝突が発生します (オーブンドレインによってワイヤード AND 効果が生じます)。ステータスレジスタの RNAOP ビットは、このコマンドに対するオペコードを RNAOP = 0 (33h を示す) および RNAOP = 1 (39h を示す) として選択します。

Match Net Address [55h]。このコマンドによって、バスマスタは 1-Wire バス上の 1 個の DS2740 を特別にアドレス指定することができます。アドレス指定された DS2740 だけが、以後の機能コマンドに応答します。他のすべてのスレーブデバイスは機能コマンドを無視し、リセットパルスを待ちます。このコマンドは、バス上の 1 つ以上のスレーブデバイスに対して使用することができます。

Skip Net Address [CCh]。バス上に 1 個の DS2740 しか存在しない場合、このコマンドを使用することで、バスマスタはスレーブのアドレスを指定せずに機能コマンドを発行して、時間を節約します。バス上に 2 個以上のスレーブデバイスが存在する場合、すべてのスレーブが同時にデータの送信を行うと、後続の機能コマンドがデータの衝突を起こす可能性があります。

Search Net Address [F0h]。このコマンドによって、バスマスタは消去法を使用して、バス上に存在するすべてのスレーブデバイスの 1-Wire ネットアドレスを識別することができます。検索のプロセスは、ビットの読取り、そのビットの補数の読取り、およびそのビットに対する必要な値の書込みという、単純な 3 ステップの手順の繰り返しとなります。バスマスタは、この単純な 3 ステップの手順をネットアドレスの各ビット位置に対して実行します。64 ビットすべてに対して 1 度この作業を完了した時点で、バスマスタは 1 つのデバイスのアドレスを把握したことになります。残りのデバイスについても、同じプロセスをさらに繰り返すことによって識別することができます。実際の例を含むネットアドレス検索の包括的な解説については、「Book of DS19xx *i*Button[®] Standards」の第 5 章をご覧ください。(この文献は、Maxim のウェブサイト japan.maxim-ic.com でご覧いただけます。)

Resume [A5h]。このコマンドは、マルチドロップ環境において DS2740 に複数回アクセスする必要がある場合に、データスループットを向上させます。Resume コマンドは、DS2740 にアクセスするたびに 64 ビットのネットアドレスを送信する必要がなくなるという点で、Skip Net Address コマンドに似ています。Match Net Address コマンドまたは Search Net Address コマンドが正しく実行されると、DS2740 の中で内部フラグが設定されます。このフラグが設定されていると、Resume コマンドの機能を通して DS2740 に繰り返してアクセスすることができます。バス上の他のデバイスにアクセスするとフラグがクリアされ、2 個以上のデバイスが同時に Resume コマンド機能に応答するという事態が防止されます。

機能コマンド

ネットアドレスコマンドの 1 つが正常に完了した後、バスマスタはこの後の各段落で説明し表 4 にまとめてある任意の機能コマンドを使用して、DS2740 の機能にアクセスすることができます。各機能の名称の後に、そのコマンドに対応する 8 ビットのオペコードを角括弧内に示します。

Read Data [69h, XX]。このコマンドは、メモリアドレス XX 以降のデータを DS2740 から読み取ります。アドレスの MSb が入力された直後に、アドレス XX にあるデータの LSb を読み取って利用することができます。各バイトの MSb を受信した後でアドレスが自動的にインクリメントされるため、アドレス XX にあるデータの MSb の直後に、アドレス XX + 1 のデータの LSb を読み取ることができます。バスマスタがアドレス FFh を超えて読取りを続けた場合、DS2740 はアドレス 00h から再スタートします。メモリマップ上で「予備」になっているアドレスには、未定義のデータが格納されています。Read Data コマンドは、バスマスタがリセットパルスを発行することによって、任意のビット境界で終了させることができます。

Write Data [6Ch, XX]。このコマンドは、DS2740 のメモリアドレス XX 以降にデータを書き込みます。アドレスの MSb が入力された直後に、アドレス XX に格納するデータの LSb を書き込むことができます。各バイトの MSb を書き込んだ後でアドレスが自動的にインクリメントされるため、アドレス XX に格納するデータの MSb の直後に、アドレス XX + 1 に格納するデータの LSb を書き込むことができます。バスマスタがアドレス FFh を超えて書き込みを続けた場合、DS2740 はアドレス 00h から上書きをはじめます。読取り専用アドレスおよび予備アドレスへの書き込みは無視されます。不完全なバイトは書き込まれません。詳細については「メモリ」の項をご覧ください。

*i*Button は Dallas Semiconductor の登録商標です。

Dallas Semiconductor は Maxim Integrated Products, Inc. の完全子会社です。

図 10. ネットアドレスコマンドのフローチャート

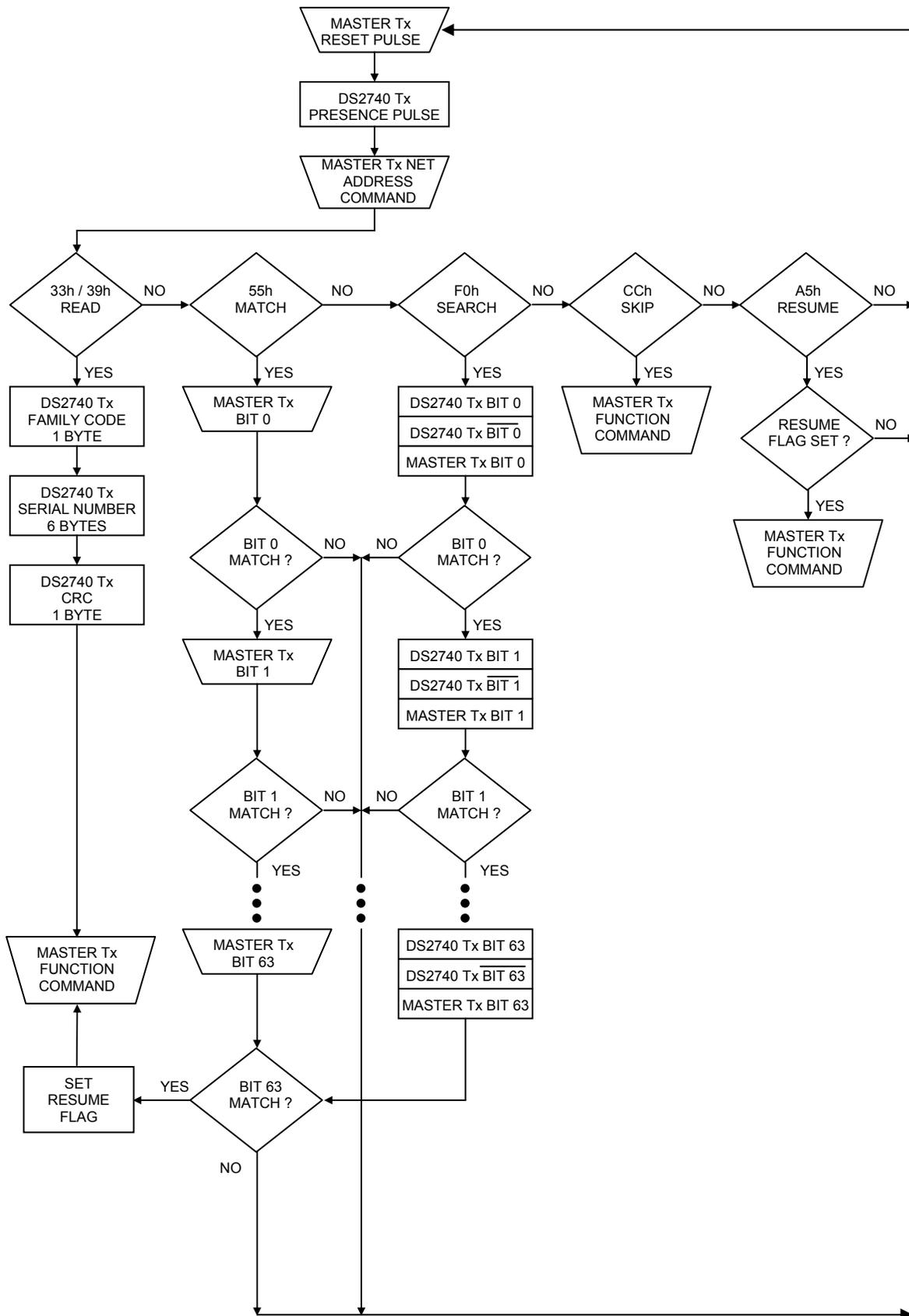


表 4. 機能コマンド

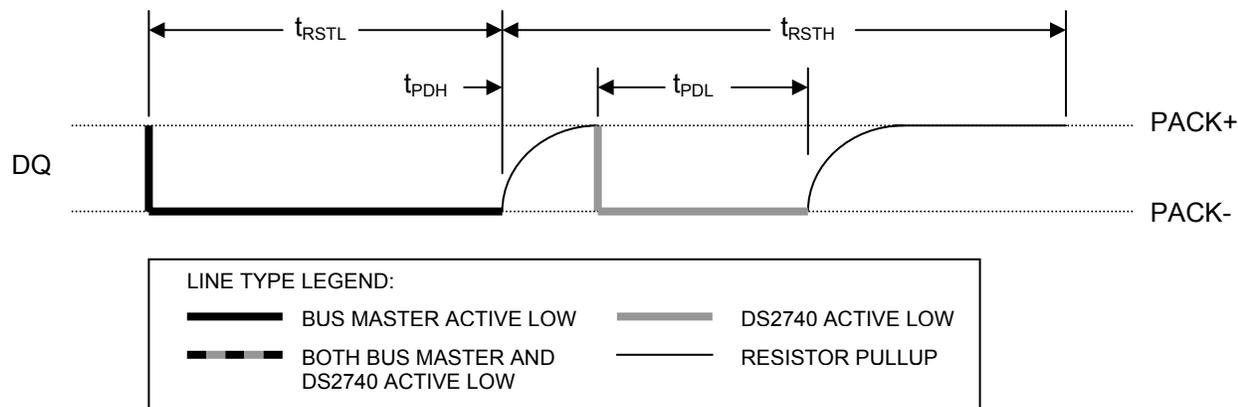
COMMAND	DESCRIPTION	COMMAND PROTOCOL	BUS STATE AFTER COMMAND PROTOCOL	BUS DATA
Read Data	Reads data from memory starting at address XX	69h, XX	Master Rx	Up to 256 bytes of data
Write Data	Writes data to memory starting at address XX	6Ch, XX	Master Tx	Up to 256 bytes of data

1-Wire の信号方式

1-Wire バスでは、データの完全性を確保するための厳格な信号方式のプロトコルが要求されます。DS2740 で使用されるプロトコルは、初期化シーケンス(リセットパルスとそれに続くプレゼンスパルス)、書込み 0、書込み 1、およびデータ読取りの 4 つです。プレゼンスパルスを除くこれらすべての種類の信号伝送は、バスマスタによって開始されます。

DS2740 とのあらゆる通信の開始に必要な初期化シーケンスを図 11 に示します。リセットパルスに続くプレゼンスパルスによって、DS2740 がネットアドレスコマンドを受信可能であることが示されます。バスマスタは、 t_{RSTL} の間リセットパルスを送信します(Tx)。この後、バスマスタはラインを解放して受信モードに入ります(Rx)。このとき、プルアップ抵抗によって 1-Wire バスラインがハイにプルアップされます。DQ 端子の立上りエッジを検出すると、DS2740 は t_{PDH} の間待機した後、 t_{PDL} の間プレゼンスパルスを送信します。

図 11. 1-Wire の初期化シーケンス



書込みタイムスロット

書込みタイムスロットは、バスマスタが 1-Wire バスをロジックハイ(非アクティブ)レベルからロジックローレベルに駆動したときに始まります。書込みタイムスロットには、書込み 1 と書込み 0 の 2 種類があります。すべての書込みタイムスロットは t_{SLOT} の持続時間で、各サイクル間に $1\mu\text{s}$ の最小リカバリ時間(t_{REC})を必要とします。DS2740 は、ラインがローになった後の $15\mu\text{s}\sim 60\mu\text{s}$ (オーバドライブ速度の場合は $2\mu\text{s}\sim 6\mu\text{s}$ 後)の間に、1-Wire バスラインのサンプリングを行います。サンプリング時にラインがハイであった場合、書込み 1 が行われます。サンプリング時にラインがローであった場合、書込み 0 が行われます(図 12 参照)。バスマスタが書込み 1 タイムスロットを生成するためには、バスラインをローに駆動した後で解放して、書込みタイムスロットの開始から $15\mu\text{s}$ (オーバドライブ速度の場合 $2\mu\text{s}$)以内にラインがハイにプルアップされるようにします。ホストが書込み 0 タイムスロットを生成するためには、バスラインをローに駆動し、書込みタイムスロットの持続中にローに保つ必要があります。

ABSOLUTE MAXIMUM RATINGS*

Voltage on V _{DD} , DQ, IS1, IS2, PIO, Relative to V _{SS}	-0.3V to +6V
Voltage on SNS, Relative to V _{SS}	-0.3V to +6V
Operating Temperature Range	-40°C to +85°C
Storage Temperature Range	-55°C to +125°C
Soldering Temperature	See IPC/JEDECJ-STD-020A

* This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operation sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods of time may affect reliability.

RECOMMENDED DC OPERATING CONDITIONS

(2.7V ≤ V_{DD} ≤ 5.5V; T_A = 0°C to +70°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	V _{DD}	(Note 1)	2.7		5.5	V
Data Pin	DQ	(Note 1)	-0.3		+5.5	V

DC ELECTRICAL CHARACTERISTICS

(2.7V ≤ V_{DD} ≤ 4.2V; T_A = 0°C to +70°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Active Current	I _{ACTIVE}			50	65	μA
		V _{DD} = 5.5V			85	
Sleep-Mode Current	I _{SLEEP}	V _{DD} = 2.0V, DQ = PIO = V _{SS}		0.6	1.0	μA
		V _{DD} = 4.2V, DQ = PIO = V _{SS}		0.9	1.25	
Undervoltage Sleep Threshold	V _{UV}		2.3	2.5	2.7	V
Current Resolution	I _{LSB}	DS2740U		1.5625		μV/R _{SNS}
		DS2740BU		6.25		
Current Full-Scale Magnitude	I _{FS}			51.2		mV/R _{SNS}
Current Measurement Offset (Auto Calibrated)	I _{OERR}	DS2740U (Note 2)	-3	+1	+5	LSb
		DS2740BU (Note 2)	-2	0	+2	
Current Gain Error	I _{GERR}		-1		+1	% of reading
Accumulated Current Resolution	q _{CA}			6.25		μVh
Current Sample Clock Frequency	f _{SAMP}			18.6		kHz
Timebase Accuracy	t _{ERR}	V _{DD} = 3.5V at +25°C	-1		+1	%
			-4		+4	
Input Logic High: OVD	V _{IH}	(Note 1)	V _{DD} - 0.2V			V
Input Logic High: DQ, PIO	V _{IH}	(Note 1)	1.5			V
Input Logic Low: OVD	V _{IL}	(Note 1)			V _{SS} + 0.2	V

Input Logic Low: DQ, PIO	V_{IL}	(Note 1)	0.6	V
Output Logic Low: DQ, PIO	V_{OL}	$I_{OL} = 4\text{mA}$ (Note 1)	0.4	V
DQ, PIO Input Pulldown Current	I_{PD}	$V_{DD} = 4.2\text{V}$, $V_{DQ} = 0.4\text{V}$	0.5	μA
OVD Input Leakage	I_{LOVD}	PIO bit = 1	-1 1	μA
DQ Capacitance	C_{DQ}		50	pF
DQ Low to Sleep Time	t_{SLEEP}	(Note 3)	2.0 2.4	s

ELECTRICAL CHARACTERISTICS: 1-Wire INTERFACE—STANDARD SPEED ($2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$; $T_A = -20^\circ\text{C}$ to $+70^\circ\text{C}$.)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS
Time Slot	t_{SLOT}	60		120	μs
Recovery Time	t_{REC}	1			μs
Write 0 Low Time	t_{LOW0}	60		120	μs
Write 1 Low Time	t_{LOW1}	1		15	μs
Read Data Valid	t_{RDV}			15	μs
Reset Time High	t_{RSTH}	480			μs
Reset Time Low	t_{RSTL}	480		960	μs
Presence Detect High	t_{PDH}	15		60	μs
Presence Detect Low	t_{PDL}	60		240	μs

ELECTRICAL CHARACTERISTICS: 1-Wire INTERFACE—OVERDRIVE SPEED ($2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$; $T_A = -20^\circ\text{C}$ to $+70^\circ\text{C}$.)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS
Time Slot	t_{SLOT}	6		16	μs
Recovery Time	t_{REC}	1			μs
Write 0 Low Time	t_{LOW0}	6		16	μs
Write 1 Low Time	t_{LOW1}	1		2	μs
Read Data Valid	t_{RDV}			2	μs
Reset Time High	t_{RSTH}	48			μs
Reset Time Low	t_{RSTL}	48		80	μs
Presence Detect High	t_{PDH}	2		6	μs
Presence Detect Low	t_{PDL}	8		24	μs

Note 1: All voltages are referenced to V_{SS} .

Note 2: Offset performance requires proper circuit layout design free of surface contaminants.

Note 3: The DS2740 enters the Sleep mode 2.0s to 2.4s after DQ goes low.