

DS2484

シングルチャネル1-Wireマスター、 可変タイミングおよびスリープモード内蔵

概要

DS2484はI²Cと1-Wire®間のブリッジデバイスで、標準(100kHz max)またはファースト(400kHz max)のI²Cマスターと直接インタフェースし、I²Cマスターと任意のダウンストリーム1-Wireスレーブデバイスとの間でプロトコル変換を行います。接続されたすべての1-Wireスレーブデバイスに対して、DS2484は1-Wireマスターとなります。内蔵の、ユーザー調整が可能なタイマーは、時間の正確さが重要な1-Wireの波形の生成からシステムのホストプロセッサを解放し、標準およびオーバードライブの両方の1-Wire通信速度をサポートします。さらに、ソフトウェアの制御下で1-Wireバスをパワーダウンすることが可能です。デュアル電圧動作によって、I²C側と1-Wire側で異なる動作電圧を使用することができます。強力なプルアップ機能は、EEPROMやセンサーなどの1-Wireデバイスへの1-Wire給電をサポートします。使用中以外は、DS2484をスリープモードにして消費電力を最小限に抑えることが可能です。

アプリケーション

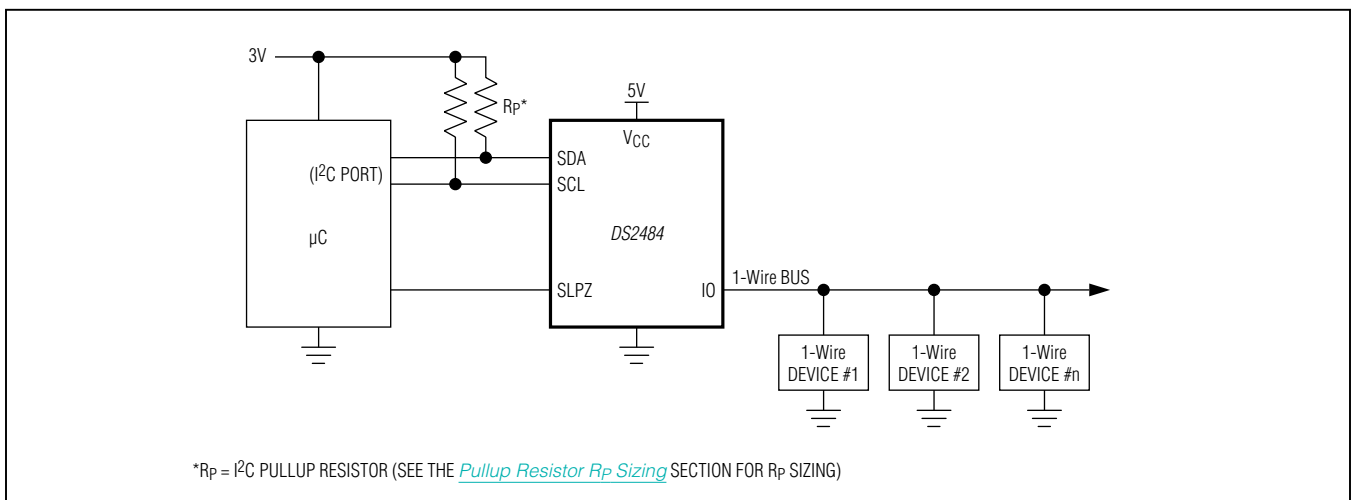
プリンタ
医療用機器
産業用センサー
携帯電話

利点および特長

- ◆ I²Cホストインタフェースは100kHzおよび400kHzのI²C通信速度をサポート
- ◆ 標準およびオーバードライブ1-Wire通信速度
- ◆ 調整可能な1-Wireタイミング：tRSTL、tMSP、tWOL、およびtREC0
- ◆ 1-Wireポートをソフトウェアの制御下でパワーダウン可能
- ◆ 1-Wireポートがハイインピーダンスになる省電力スリープモードをサポート(SLPZ端子)
- ◆ I²Cの動作電圧：1.8V ±5%、3.3V ±10%、および5.0V +5/-10%
- ◆ レベルトランスレータ内蔵：1-Wireの動作電圧1.8V -5%~5.0V +5%、I²C電圧に依存しない
- ◆ IO端子に±8kVヒューマンボディモデル(HBM)接触放電のESD保護レベルを内蔵
- ◆ 動作温度範囲：-40℃~+85℃
- ◆ 8ピンTDFNおよび6ピンSOT23パッケージ

型番はデータシートの最後に記載されています。

標準アプリケーション回路



1-WireはMaxim Integrated Products, Inc.の登録商標です。

関連部品およびこの製品とともに使用可能な推奨製品については、japan.maximintegrated.com/DS2484.related を参照してください。

本データシートは日本語翻訳であり、相違及び誤りのある可能性があります。設計の際は英語版データシートを参照してください。

価格、納期、発注情報についてはMaxim Direct (0120-551056)にお問い合わせいただくか、Maximのウェブサイト (japan.maximintegrated.com) をご覧ください。

シングルチャネル1-Wireマスター、 可変タイミングおよびスリープモード内蔵

ABSOLUTE MAXIMUM RATINGS

Voltage Range on Any Pin Relative to Ground.....-0.5V to +6V
 Maximum Current into Any Pin.....20mA
 Continuous Power Dissipation ($T_A = +70^\circ\text{C}$)
 SOT23 (derate 8.7mW/ $^\circ\text{C}$ above $+70^\circ\text{C}$).....695.7mW
 TDFN (derate 16.7mW/ $^\circ\text{C}$ above $+70^\circ\text{C}$).....1333.3mW

Operating Temperature Range.....-40 $^\circ\text{C}$ to +85 $^\circ\text{C}$
 Junction Temperature+150 $^\circ\text{C}$
 Storage Temperature Range.....-55 $^\circ\text{C}$ to +125 $^\circ\text{C}$
 Lead Temperature (soldering, 10s)+300 $^\circ\text{C}$
 Soldering Temperature (reflow)+260 $^\circ\text{C}$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

($T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	V _{CC}		1.71		5.25	V
I ² C Voltage (Note 2)	V _{CI2C}	1.8V	1.71	1.8	1.89	V
		3.3V	2.97	3.3	3.63	
		5V	4.5	5.0	5.25	
Supply Current	I _{CC}	No communication, V _{CC} = full range			300	μA
		Sleep mode, V _{CC} = 5.25V			4	
		Sleep mode, V _{CC} = 3.6V			3.0	
Power-On-Reset Trip Point	V _{POR}	V _{CC} = full range		1.0	1.5	V
IO PIN: GENERAL DATA						
1-Wire Input High Voltage	V _{IH1}	V _{CC} = full range	0.6 x V _{CC}			V
1-Wire Input Low Voltage	V _{IL1}	V _{CC} = full range	0.2 x V _{CC}			V
1-Wire Weak Pullup Resistor	R _{WPU}	Low range	375	500	815	Ω
		High range	700	1000	1375	
1-Wire Output Low Voltage	V _{OL1}	I _{OL} = 8mA sink current	0.2			V
Active Pullup On-Threshold	V _{IAPO}	V _{CC} = full range	0.6	0.95	1.2	V
Active Pullup On-Time (Note 3)	t _{APU}	1-Wire time slot	See APU bit description			μs
		1-Wire reset standard speed	2.375	2.5	2.625	
		1-Wire reset overdrive speed	0.475	0.5	0.525	
Active Pullup Impedance	R _{APU}	V _{CC} = 1.71V, 4mA load	100			Ω
		V _{CC} = 3.0V, 4mA load	60			
		V _{CC} = 4.5V, 4mA load	40			
1-Wire Output Fall Time (Note 4)	t _{F1}	Standard, 10pF < C _{LOAD} < 400pF	0.25	1		μs
		Overdrive, 10pF < C _{LOAD} < 400pF	0.05	0.2		
IO PIN: 1-Wire TIMING (Note 5)						
Reset Low Time	t _{RSTL}	Standard	-5%	See Table 7	+5%	μs
		Overdrive				
Reset High Time	t _{RSTH}	Standard and overdrive	Equal to t _{RSTL}			μs

シングルチャネル1-Wireマスター、 可変タイミングおよびスリープモード内蔵

ELECTRICAL CHARACTERISTICS (continued)

(T_A = -40°C to +85°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Presence-Detect Sample Time	t _{MSP}	Standard	-5%	See Table 7	+5%	μs
		Overdrive				
Sampling for Short and Interrupt	t _{SI}	Standard	7.6	8	8.4	μs
		Overdrive	0.71	0.75	0.79	
Write-One/Read Low Time	t _{W1L}	Standard	7.6	8	8.4	μs
		Overdrive (Note 6)	0.71	0.75	0.79	
Read Sample Time	t _{MSR}	Standard	11.4	12	12.6	μs
		Overdrive	1.66	1.75	1.84	
Write-Zero Low Time	t _{W0L}	Standard	-5%	See Table 7	+5%	μs
		Overdrive				
Write-Zero Recovery Time	t _{REC0}	Standard and overdrive	-5%	See Table 7	+5%	μs
1-Wire Time Slot	t _{SLOT}	Standard and overdrive	Equal to t _{W0L} + t _{REC0}			μs
SLPZ PIN						
Low-Level Input Voltage	V _{IL}	V _{CC} = full range	-0.5		+0.5	V
High-Level Input Voltage	V _{IH}	(Note 7)	1.3		V _{CCACT}	V
Input Leakage Current (Note 2)	I _I	V _{CI2C} ≤ 1.89V			6	μA
		V _{CI2C} ≤ 3.63V			15	
		V _{CI2C} ≤ 5.25V			32	
Wake-Up Time from Sleep Mode	t _{SWUP}	(Notes 4, 8)			2	ms
I ² C SCL AND SDA PINS (Note 9)						
Low-Level Input Voltage	V _{IL}	V _{CI2C} = full range	-0.5		0.3 x V _{CI2C}	V
High-Level Input Voltage	V _{IH}		0.7 x V _{CI2C}		V _{CI2C} + 0.5V	V
Hysteresis of Schmitt Trigger Inputs (Note 4)	V _{HYS}	V _{CI2C} > 2.0V	0.05 x V _{CI2C}			V
		V _{CI2C} < 2.0V	0.1 x V _{CI2C}			
Low-Level Output Voltage at 3mA Sink Current	V _{OL}	V _{CI2C} > 2.0V			0.4	V
		V _{CI2C} < 2.0V			0.2 x V _{CI2C}	
Output Fall Time from V _{IH(MIN)} to V _{IL(MAX)} with a Bus Capacitance from 10pF to 400pF	t _{OF}	(Note 4)	60		250	ns
Pulse Width of Spikes Suppressed by Input Filter	t _{SP}				50	ns

シングルチャネル1-Wireマスター、 可変タイミングおよびスリープモード内蔵

ELECTRICAL CHARACTERISTICS (continued)

(T_A = -40°C to +85°C, unless otherwise noted.) (Note 1)

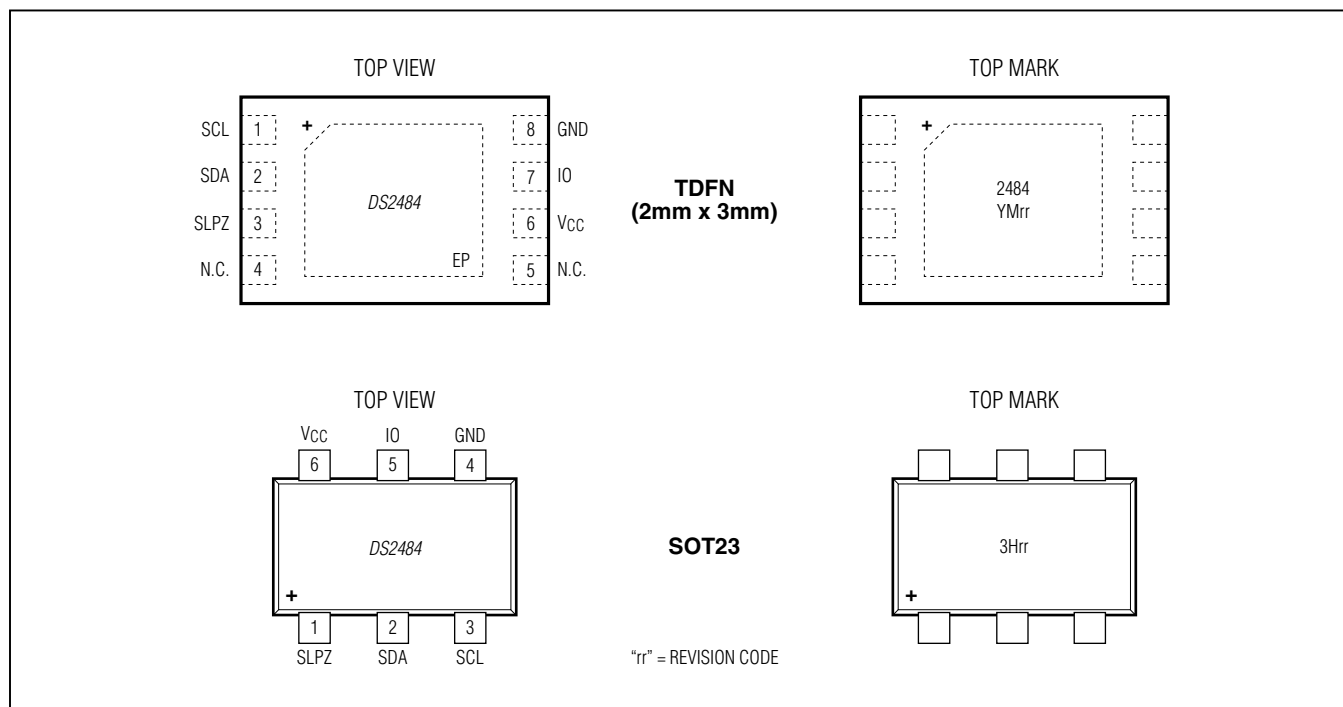
PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Current with Input Voltage Between 0.1 × V _{CC(MAX)} and 0.9 × V _{CC(MAX)}	I _I	(Note 10)	-10		+10	μA
Input Capacitance	C _I	(Note 4)			10	pF
SCL Clock Frequency	f _{SCL}		0		400	kHz
Hold Time (Repeated) START Condition (After this period, the first clock pulse is generated.)	t _{HD:STA}		0.6			μs
Low Period of the SCL Clock	t _{LOW}		1.3			μs
High Period of the SCL Clock	t _{HIGH}		0.6			μs
Setup Time for a Repeated START Condition	t _{SU:STA}		0.6			μs
Data Hold Time	t _{HD:DAT}	(Notes 11, 12)			0.9	μs
Data Setup Time	t _{SU:DAT}	(Note 13)	250			ns
Setup Time for STOP Condition	t _{SU:STO}		0.6			μs
Bus Free Time Between a STOP and START Condition	t _{BUF}		1.3			μs
Capacitive Load for Each Bus Line	C _B	(Notes 4, 14)			400	pF
Oscillator Warmup Time	t _{OSCWUP}	(Notes 4, 8)			2	ms

- Note 1:** Limits are 100% production tested at T_A = +25°C. Limits over the operating temperature range and relevant supply voltage range are guaranteed by design and characterization. Typical values are at +25°C.
- Note 2:** The V_{CI2C} voltage is applied at the SLPZ pin. V_{CI2C} must always be ≤ V_{CC}. The DS2484 measures V_{CI2C} after t_{SWUP} (wake-up from sleep mode) or after t_{OSCWUP} (power-on reset). The [Device Reset](#) command does not cause the DS2484 to measure V_{CI2C}.
- Note 3:** The active pullup does not apply to the rising edge of a presence pulse outside of a [1-Wire Reset](#) command or during the recovery after a short on the 1-Wire line.
- Note 4:** Guaranteed design and not production tested.
- Note 5:** Except for t_{F1}, all 1-Wire timing specifications are derived from the same timing circuit.
- Note 6:** Although 1-Wire slave data sheets specify a t_{W1L} and t_{RL} minimum of 1μs, 1-Wire slaves will accept the shorter 0.71μs t_{W1L} and t_{RL} of the DS2484.
- Note 7:** V_{CCACT} refers to the V_{CC} level being applied in the application.
- Note 8:** I²C communication should not take place for the max t_{OSCWUP} or t_{SWUP} time following a power-on reset or a wake-up from sleep mode.
- Note 9:** All I²C timing values are referenced to V_{IH(MIN)} and V_{IL(MAX)} levels.
- Note 10:** The DS2484 does not obstruct the SDA and SCL lines if SLPZ is at 0V or if V_{CC} is switched off.
- Note 11:** The DS2484 provides a hold time of at least 300ns for the SDA signal (referenced to the V_{IH(MIN)} of the SCL signal) to bridge the undefined region of the falling edge of SCL.
- Note 12:** The maximum t_{HD:DAT} must only be met if the device does not stretch the low period (t_{LOW}) of the SCL signal.
- Note 13:** A fast mode I²C bus device can be used in a standard mode I²C bus system, but the requirement t_{SU:DAT} ≥ 250ns must then be met. This requirement is met since the DS2484 does not stretch the low period of the SCL signal. Also the acknowledge timing must meet this setup time (I²C bus specification Rev. 03, 19 June 2007).
- Note 14:** C_B = Total capacitance of one bus line in pF. The maximum bus capacitance allowable can vary from this value depending on the actual operating voltage and frequency of the application (I²C bus specification Rev. 03, 19 June 2007).

DS2484

シングルチャネル1-Wireマスター、 可変タイミングおよびスリープモード内蔵

ピン配置



端子説明

端子		名称	機能
TDFN-EP	SOT23		
1	3	SCL	I ² Cシリアルクロック入力。プルアップ抵抗を介してI ² Cバスの電源電圧に接続する必要があります。
2	2	SDA	I ² Cシリアルデータ入出力。プルアップ抵抗を介してI ² Cバスの電源電圧に接続する必要があります。
3	1	SLPZ	I ² Cポート用の電源および低電力スリープモードをアクティブにするためのアクティブローの制御入力。この端子は、プッシュプルポートによって直接またはI ² Cの電圧(V _{CI2C})に2.2kΩでプルアップされたオープンドレインポートによって、動作電圧範囲全体にわたって駆動することができます。
4, 5	—	N.C.	接続なし。内部で接続されていません。
6	6	VCC	電源入力
7	5	IO	1-Wireライン用の入出力ドライバ
8	4	GND	グランド基準
—	—	EP	エクスポーズドパッド(TDFNのみ)。正しく動作させるため、基板のグランドプレーンに均等にはんだ付けします。詳細については、アプリケーションノート3273「 Exposed Pads: A Brief Introduction 」を参照してください。

シングルチャネル1-Wireマスター、 可変タイミングおよびスリープモード内蔵

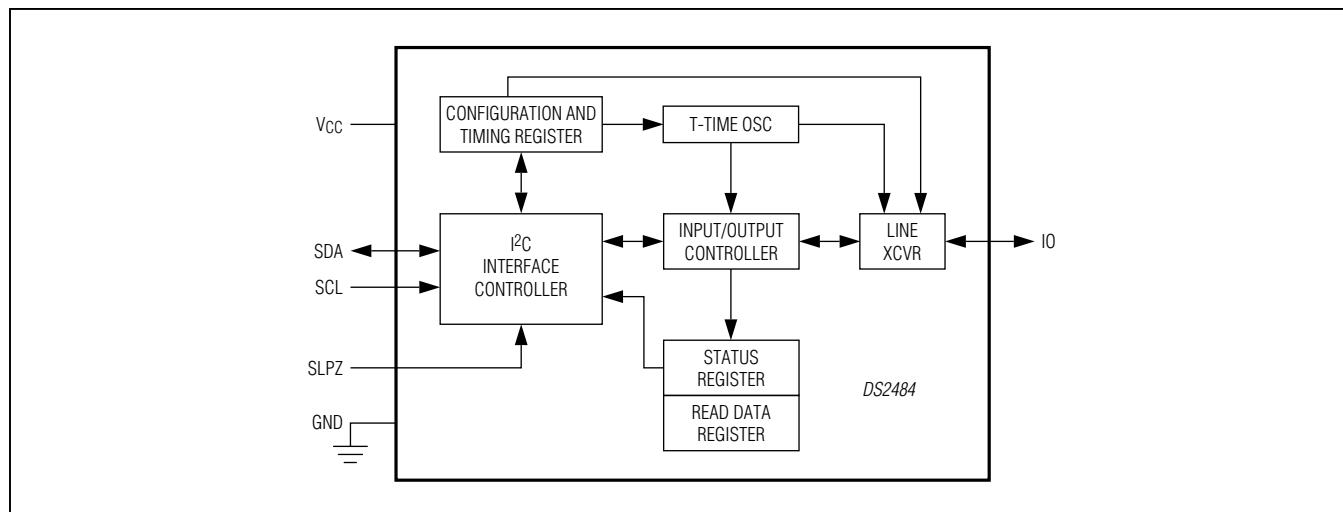


図 1. ブロック図

表 1. Device Configurationレジスタのビット割当て

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
1WS	SPU	PDN	APU	1WS	SPU	PDN	APU

詳細

DS2484は、標準およびオーバードライブ速度、アクティブプルアップ、および給電用ストロングプルアップを含む、高度な1-Wire波形機能をサポートする自己タイミング型1-Wireマスターです。アクティブプルアップは、1-Wire側の立上りエッジに作用します。ストロングプルアップ機能は、アクティブプルアップと同じプルアップトランジスタを使用しますが、制御アルゴリズムが異なります。コマンドおよびデータを与えられたDS2484の入出力コントローラは、リセット/プレゼンス検出サイクル、バイト読取り、バイト書込み、1ビットの読み書き、およびROM検索用のトリプレットなどの、時間の正確さが重要となる1-Wire通信機能を、ホストプロセッサとの相互動作を必要とすることなく実行します。ホストは、Statusレジスタを介してフィードバック(1-Wire機能の完了、プレゼンスパルス、1-Wireの短絡、使用した検索方向)を取得し、Read Dataレジスタを介してデータを取得します。DS2484はそのI²Cバスインタフェースを介して標準モードまたはファーストモードでホストプロセッサと通信します。ブロック図については図1を参照してください。

デバイスのレジスタ

DS2484は、I²Cホストが読み取ることのできる、Device Configuration、Status、Read Data、およびPort Configurationの4つのレジスタを備えています。これらのレジスタは、読取

りポイントによってアドレス指定されます。読取りポイントの位置、つまり次の読取りアクセスでホストが読み取ることになるレジスタは、DS2484が最後に実行した命令によって定義されます。特定の1-Wire機能をイネーブルするために、ホストはDevice ConfigurationおよびPort Configurationレジスタへの読取りおよび書込みアクセスを行うことができます。

Device Configurationレジスタ

DS2484は、Device Configurationレジスタ(表1)を介してイネーブルまたは選択される4つの1-Wire機能をサポートしています。これらの機能は以下のとおりです。

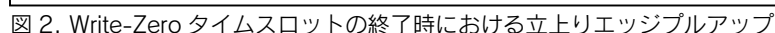
- アクティブプルアップ(APU)
- 1-Wire/パワーダウン(PDN)
- ストロングプルアップ(SPU)
- 1-Wire速度(1WS)

APU、SPU、および1WSは任意の組み合わせで選択することができます。APUおよび1WSはそれぞれの状態を維持するのに対して、SPUはストロングプルアップが終了した時点で非アクティブ状態に戻ります。

デバイスのリセット(起動サイクルまたはDevice Resetコマンドによって開始)のあとは、Device Configurationレジスタの読み値は00hになります。Device Configurationレジスタへの書込み時には、上位ニブル(ビット7～4)が下位ニブル(ビット3～0)の1の補数である場合にのみ、新しいデータを受け入れます。読取り時には、上位ニブルは常に0hになります。

PDNビットとSPUビットの両方に1を書き込むと、SPUビットが強制的に0になります。DS2483の場合は両方のビットに1を書き込むことが可能なため、これを使用して2つの製品を論理的に識別することができます。

PDN =	SLPZはロジック0	SLPZはロジック1
0	• RWPuは接続されます。 • IOはV_{CC}になり、スレープの給電状態を維持します。 • DS2484はパワーダウンされます(スリープモード)。	• RWPuは接続されます。 • IOはV_{CC}になり、スレープの給電状態を維持します。 • DS2484は起動されます(通常動作)。
1	• RWPuは切断されます。 • IOは0Vになり、スレープは電力を失います。 • DS2484はパワーダウンされます(スリープモード)。	• RWPuは切断されます。 • IOは0Vになり、スレープは電力を失います。 • DS2484は起動されます。



シングルチャネル1-Wireマスター、 可変タイミングおよびスリープモード内蔵

ストロングプルアップ(SPU)

SPUビットは、[1-Wire Write Byte](#)または[1-Wire Single Bit](#)コマンドの前にストロングプルアップ機能を作動させるために使用します。ストロングプルアップは、1-Wire EEPROMデバイスでスクラッチパッドのデータをメインメモリにコピーする場合やSHA計算を実行する場合および寄生電源方式の温度センサーやA/Dコンバータで一般的に使用されます。Maxim 1-Wire ICの各データシートに、通信プロトコル中でそれ以後ストロングプルアップを使用すべき位置が規定されています。SPUビットは、1-Wireデバイスを追加の電力が必要な状態にするコマンドの送信の直前にセットする必要があります。ストロングプルアップは、アクティブプルアップ機能と同じ内蔵プルアップトランジスタを使用します。電圧降下が十分に小さく、所定の負荷電流と1-Wire電源電圧において必要な1-Wire電圧を維持することができるかどうかは、「[Electrical Characteristics \(電気的特性\)](#)」の R_{APU} パラメータを参照して判断してください。

SPUが1でAPUが0の場合、DS2484はアクティブプルアップがアクティブにされた場合と同様にタイムスロットの立上りエッジを処理しますが、 V_{IH1} をスレッショルドとして使用してストロングプルアップをイネーブルします。SPUが1でAPUが1の場合、ストロングプルアップをイネーブルするスレッショルド電圧は V_{IAPO} です。[図3](#)に示すように、一度イネーブルされたあとは、アクティブプルアップとは対照的に、DS2484が1-Wire通信を生成するコマンドを受信するか(標準的な場合)、Device ConfigurationレジスタのSPUビットに0が書き込まれるか、またはDS2484が

[Device Reset](#)コマンドを受信するという3つの事象のいずれかが発生するまで、内蔵プルアップトランジスタは導通したままになります。ストロングプルアップの終了時に、SPUビットは自動的に0にリセットされます。ストロングプルアップ機能の使用によって、Device ConfigurationレジスタのAPUビットの状態が変化することはありません。

1-Wire速度(1WS)

1WSビットは、DS2484によって生成されるすべての1-Wire通信のタイミングを決定します。すべての1-Wireスレーブデバイスは標準速度(1WS = 0)をサポートします。多くの1-Wireデバイスは、オーバードライブ速度と呼ばれるより高いデータレートでも通信することができます。標準速度からオーバードライブ速度に変更するためには、Maxim 1-Wire ICのデータシートで説明されているように、1-WireデバイスはOverdrive-Skip ROMまたはOverdrive-Match ROMコマンドを受信する必要があります。速度の変更は、1-Wireデバイスが速度を変更するコマンドコードを受信した直後に行われます。同期を維持するために、DS2484はこの速度の変更に参加する必要があります。これは、1-Wireデバイスの速度を変更する1-Wire Byteコマンドの直後に、1WSビットを1にしてDevice Configurationレジスタへの書き込みを行うことによって実現されます。1WSビットを0にしてDevice Configurationレジスタへの書き込みを行い、そのあとに[1-Wire Reset](#)コマンドを発行することによって、DS2484およびアクティブな1-Wireライン上のすべての1-Wireデバイスが標準速度に戻ります。

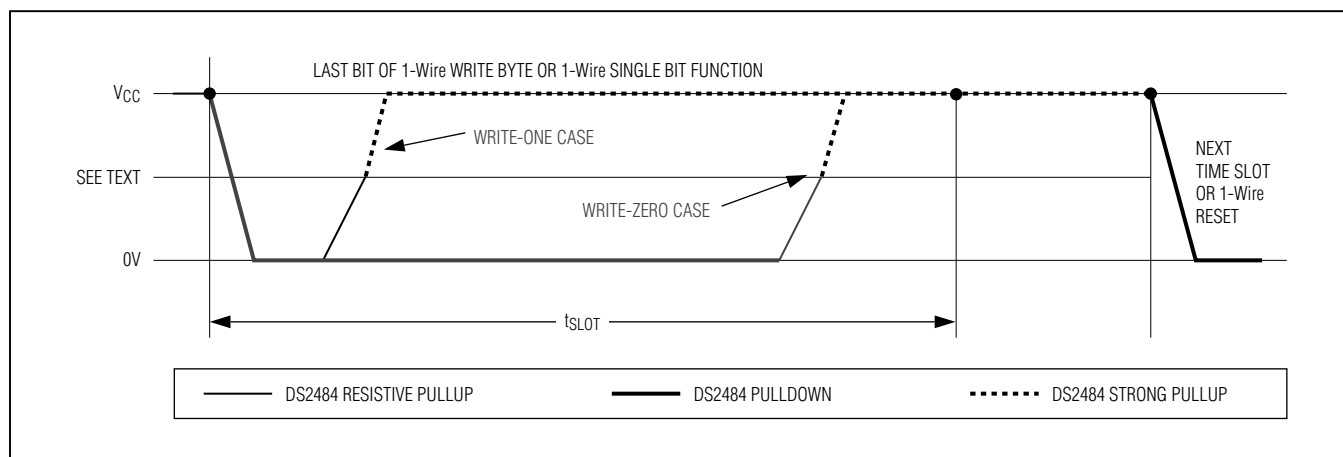


図 3. ローインピーダンスのプルアップのタイミング

シングルチャネル1-Wireマスター、 可変タイミングおよびスリープモード内蔵

表3. Statusレジスタのビット割当て

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
DIR	TSB	SBR	RST	LL	SD	PPD	1WB

Statusレジスタ

読取り専用のStatusレジスタは、1-Wire側からのビット形式のデータ、1-Wireビジー状態、および自身のリセット状態をDS2484がホストプロセッサに通知するための一般的な方法です(表3)。すべての1-Wire通信コマンドおよび[Device Reset](#)コマンドは、ホストプロセッサが最小限のプロトコルオーバーヘッドで読取りを行うことができるように、読取りポインタをStatusレジスタの位置に設定します。ステータス情報は、特定のコマンドの実行中にのみ更新されます。ビットの詳細については、以下で説明します。

1-Wireビジー(1WB)

1WBビットは、1-Wireラインがビジーかどうかをホストプロセッサに通知します。1-Wire通信中は、1WBは1です。コマンドが完了した時点で、1WBはデフォルトの0に戻ります。1WBの状態が変化するタイミングおよび1のままである期間の詳細については、「[機能コマンド](#)」の項で説明します。

プレゼンスパルス検出(PPD)

PPDビットは、[1-Wire Reset](#)コマンドごとに更新されます。DS2484がプレゼンス検出サイクル中の t_{MSP} において1-Wireデバイスからのプレゼンスパルスを検出した場合、PPDビットに1がセットされます。プレゼンスパルスが存在しない場合または後続の[1-Wire Reset](#)コマンドの間に1-Wireラインが短絡された場合、このビットはデフォルトの0に戻ります。

短絡検出(SD)

SDビットは、[1-Wire Reset](#)コマンドごとに更新されます。DS2484がプレゼンス検出サイクル中の t_{SI} において1-Wireライン上でロジック0を検出した場合、SDビットに1がセットされます。短絡が除去された場合、後続の[1-Wire Reset](#)コマンドによって、このビットはデフォルトの0に戻ります。SDが1の場合、PPDは0です。DS2484は、短絡とDS1994またはDS2404による1-Wire割込み通知を識別することができません。そのため、アプリケーションでDS2404またはDS1994を使用する場合は、割込み機能をディセーブルする必要があります。割込み通知については、それぞれのMaxim 1-Wire ICデータシートで説明されています。

ロジックレベル(LL)

LLビットは、1-Wire通信を開始することなくアクティブな1-Wireラインのロジック状態を通知します。この目的のために、1-WireラインはStatusレジスタの読取りのたびにサンプリングされます。読取りポインタがStatusレジスタの位置に設定されている場合、サンプリングとLLビットの更新は、ホストプロセッサがDS2484を読取りモードでアドレス指定したときに(アクノリッジサイクル中に)行われます。

デバイスリセット(RST)

RSTビットが1の場合、パワーオンリセットまたは[Device Reset](#)コマンドの実行によって、DS2484が内部リセットサイクルを行ったことを示します。目的の1-Wire機能の選択を復元するためにDS2484が[Write Device Configuration](#)コマンドを実行するときに、RSTビットは自動的にクリアされます。

シングルビット結果(SBR)

SBRビットは、[1-Wire Single Bit](#)コマンドまたは[1-Wire Triplet](#)コマンドの最初のビットの t_{MSR} においてサンプルされたアクティブ1-Wireラインのロジックの状態を通知します。SBRのパワーオン時のデフォルトは0です。[1-Wire Single Bit](#)コマンドが0のビットを送信する場合、SBRは0になります。[1-Wire Triplet](#)コマンドの場合、接続されている1-Wireデバイスの応答に応じて、SBRは0になる場合と1になる場合があります。これと同じ結果が、1のビットを送信する[1-Wire Single Bit](#)コマンドにも該当します。

トリプレット第2ビット(TSB)

TSBビットは、[1-Wire Triplet](#)コマンドの第2のビットの t_{MSR} においてサンプリングされたアクティブな1-Wireラインのロジック状態を通知します。TSBのパワーオン時のデフォルトは0です。このビットは[1-Wire Triplet](#)コマンドでのみ更新され、他のコマンドに対する機能はありません。

使用した分岐方向(DIR)

[1-Wire Triplet](#)コマンドが実行されるたびに、このビットはトリプレットの第3のビットによって選択された検索方向をホストプロセッサに通知します。DIRのパワーオン時のデフォルトは0です。このビットは[1-Wire Triplet](#)コマンドでのみ更新され、他のコマンドに対する機能はありません。詳細については、[1-Wire Triplet](#)コマンドの説明およびアプリケーションノート187「[1-Wire検索アルゴリズム](#)」を参照してください。

シングルチャネル1-Wireマスター、 可変タイミングおよびスリープモード内蔵

表4. Port Configurationレジスタのビット割当て

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
0	0	0	0	VAL3	VAL2	VAL1	VAL0
BITS 3:0		VAL[3:0] : パラメータ値コード バイナリコードとパラメータ値の間の変換については表7を参照してください。					

Port Configurationレジスタ

Port Configurationレジスタによって、1-Wireポートの設定を確認することができます(表4)。Adjust 1-Wire Port コマンドは、ホストプロセッサが最小限のプロトコルオーバーヘッドで読取りを行うことができるように、読取りポインタをPort Configurationレジスタの位置に設定します。Port Configurationレジスタの読取り時、パラメータ値は以下のシーケンスで通知されます。

パラメータ000 (t_{STL})標準速度、オーバードライブ速度
 パラメータ001 (t_{MSP})標準速度、オーバードライブ速度
 パラメータ010 (t_{WOL})標準速度、オーバードライブ速度
 パラメータ011 (t_{REC0})
 パラメータ100 (R_{WPU})

読取りを続行した場合、パラメータ番号が000にロールオーバーして、再び同じデータを受信することになります。

Port Configurationレジスタから読み取られる上位4ビットは常に0であることに注意してください。パラメータ値コードと実際のパラメータ値の間の変換については、表7を参照してください。

機能コマンド

DS2484は9つの機能コマンドを認識し、それらはデバイス制御、I²C通信、1-Wire設定、および1-Wire通信の4つの

カテゴリに分類されます。ホストへのフィードバック経路は読取りポインタによって制御され、ホストが適切な情報に効率的にアクセスすることができるように、各機能コマンドによって自動的に読取りポインタが設定されます。ホストプロセッサはI²Cインタフェースを使用してこれらのコマンドおよび適用可能なパラメータを1または2バイトの文字列として送信します。I²Cプロトコルでは、各バイトの受入れを確認するためのアクノリッジか、エラー状態(無効なコードまたはパラメータ)を示すためまたは通信を終了するための非アクノリッジの、どちらかを受信側が行う必要があります。アクノリッジを含むI²Cプロトコルの詳細については、「[I²Cインタフェース](#)」の項を参照してください。

機能コマンドは以下のとおりです。

- 1) Device Reset
- 2) Set Read Pointer
- 3) Write Device Configuration
- 4) Adjust 1-Wire Port
- 5) 1-Wire Reset
- 6) 1-Wire Single Bit
- 7) 1-Wire Write Byte
- 8) 1-Wire Read Byte
- 9) 1-Wire Triplet

シングルチャネル1-Wireマスター、 可変タイミングおよびスリープモード内蔵

Device Reset

コマンドコード	F0h
コマンドパラメータ	なし
説明	デバイスのステートマシンロジックのグローバルリセットを実行します。進行中のすべての1-Wire通信を終了します。
標準的な用途	起動後のデバイスの初期化、必要に応じた再初期化(リセット)。
制限	なし(任意の時点で実行可能です)
エラー応答	なし
コマンド継続時間	コマンドコードに対するアクノリッジビットのSCL立下りエッジからカウントして、525ns (max)です。
1-Wireの動作	コマンドコードに対するアクノリッジビットのSCL立下りエッジの262.5ns (max)後に終了します。
読取りポインタ位置	Statusレジスタ(ビジーの監視のため)。
影響を受けるStatusレジスタのビット	RSTに1が設定され、1WB、PPD、SD、SBR、TSB、DIRに0が設定されます。
影響を受けるDevice Configurationレジスタのビット	1WS、APU、PDN、SPUに0が設定されます。
影響を受けるPort Configurationレジスタのビット	tRSTL、tMSP、tWOL、tRECO、およびRWPUのデフォルト値が適用されます。

Set Read Pointer

コマンドコード	E1h
コマンドパラメータ	ポインタコード(表5を参照)
説明	読取りポインタを指定されたレジスタに設定します。進行中の1-Wire通信コマンドがある場合、その読取りポインタ位置は上書きされます。
標準的な用途	1-Wire Read Byteコマンドの結果を読み取るための準備。レジスタのランダム読取りアクセス。
制限	なし(任意の時点で実行可能です)。
エラー応答	ポインタコードが有効ではない場合、ポインタコードは非アクノリッジされ、コマンドは無視されます。
コマンド継続時間	なし。読取りポインタはポインタコードに対するアクノリッジビットのSCL立上りエッジで更新されます。
1-Wireの動作	影響を受けません。
読取りポインタ位置	ポインタコードによって指定された位置になります。
影響を受けるStatusレジスタのビット	なし
影響を受けるDevice Configurationレジスタのビット	なし
影響を受けるPort Configurationレジスタのビット	なし

表5. 有効な読取りポインタコード

REGISTER	CODE
Device Configuration Register	C3h
Status Register	F0h
Read Data Register	E1h
Port Configuration Register	B4h

シングルチャネル1-Wireマスター、 可変タイミングおよびスリープモード内蔵

Write Device Configuration

コマンドコード	D2h
コマンドパラメータ	設定バイト
説明	新しいデバイス設定バイトを書き込みます。新しい設定は直ちに有効になります。注：Device Configurationレジスタへの書き込み時には、上位ニブル(ビット7～4)が下位ニブル(ビット3～0)の1の補数である場合にのみ、新しいデータを受け入れます。読取り時には、上位ニブルは常に0hになります。
標準的な用途	後続の1-Wire通信における機能の定義。
制限	DS2484がこのコマンドを処理する前に1-Wireの動作が終了している必要があります。
エラー応答	コマンドコードが受信された時点で1WB = 1の場合、コマンドコードおよびパラメータは非アクノリッジされ、コマンドは無視されます。
コマンド継続時間	なし。Device Configurationレジスタは設定バイトに対するアクノリッジビットのSCL立上りエッジで更新されます。
1-Wireの動作	なし
読取りポイント位置	Device Configurationレジスタ(書き込みの確認のため)。
影響を受けるStatusレジスタのビット	RSTに0が設定されます。
影響を受けるDevice Configurationレジスタのビット	1WS、SPU、PDN、APUが更新されます。
影響を受けるPort Configurationレジスタのビット	なし

Adjust 1-Wire Port

コマンドコード	C3h
コマンドパラメータ	制御バイト
説明	1-Wireのタイミングまたはプルアップ抵抗の選択に影響する、選択された1-Wireポートのパラメータを更新します。制御バイトの形式については、表6を参照してください。注：パワーオンリセット時またはDevice Resetコマンド実行後は、パラメータのデフォルト値が適用されます。
標準的な用途	アプリケーションの必要に応じた1-Wireポートの適合。プルアップ電圧が低い場合はスリープのタイミング要件が異なるため、その対応のために必要となる場合があります。
制限	このコマンドが処理される前に1-Wireの動作が終了している必要があります。
エラー応答	コマンドコードが受信された時点で1WB = 1の場合、コマンドコードおよびデータバイトは非アクノリッジされ、コマンドは無視されます。
コマンド継続時間	なし。選択されたポートパラメータは制御バイトに対するアクノリッジビットのSCL立上りエッジで更新されます。
1-Wireの動作	なし
読取りポイント位置	Port Configurationレジスタ(確認のため)。
影響を受けるStatusレジスタのビット	なし
影響を受けるDevice Configurationレジスタのビット	なし
影響を受けるPort Configurationレジスタのビット	制御バイトによって指定されたとおりになります。

シングルチャネル1-Wireマスター、 可変タイミングおよびスリープモード内蔵

表6. 制御バイトのビット割当て

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
P2	P1	P0	OD	VAL3	VAL2	VAL1	VAL0
BITS 7:5		P[2:0] : パラメータの選択 000 : tRSTLを選択 001 : tMSPを選択 010 : tWOLを選択 011 : tREC0を選択、ODフラグは適用されません(任意)。 100 : RWPUを選択、ODフラグは適用されません(任意)。					
BIT 4		OD : オーバードライブ制御 0 : 指定された値は標準速度の設定に適用されます。 1 : 指定された値はオーバードライブ速度の設定に適用されます。					
BITS 3:0		VAL[3:0] : パラメータ値コード バイナリコードとパラメータ値の間の変換については表7を参照してください。					

表7. パラメータコードと標準パラメータ値の間の変換

PARAMETER VALUE CODE	PARAMETER 000 tRSTL (μs)		PARAMETER 001 tMSP (μs)		PARAMETER 010 tWOL (μs)		PARAMETER 011 tREC0 (μs)	PARAMETER 100 RWPU (Ω)
	OD = 0	OD = 1	OD = 0	OD = 1	OD = 0	OD = 1	OD = N/A	OD = N/A
0000	440	44	58	5.5	52	5.0	2.75	500
0001	460	46	58	5.5	54	5.5	2.75	500
0010	480	48	60	6.0	56	6.0	2.75	500
0011	500	50	62	6.5	58	6.5	2.75	500
0100	520	52	64	7.0	60	7.0	2.75	500
0101	540	54	66	7.5	62	7.5	2.75	500
0110	560	56	68	8.0	64	8.0	5.25	1000
0111	580	58	70	8.5	66	8.5	7.75	1000
1000	600	60	72	9.0	68	9.0	10.25	1000
1001	620	62	74	9.5	70	9.5	12.75	1000
1010	640	64	76	10.0	70	10	15.25	1000
1011	660	66	76	10.5	70	10	17.75	1000
1100	680	68	76	11.0	70	10	20.25	1000
1101	700	70	76	11.0	70	10	22.75	1000
1110	720	72	76	11.0	70	10	25.25	1000
1111	740	74	76	11.0	70	10	25.25	1000

注 : 太字はパワーオンデフォルト値です。

シングルチャネル1-Wireマスター、 可変タイミングおよびスリープモード内蔵

1-Wire Reset

コマンドコード	B4h
コマンドパラメータ	なし
説明	1-Wireリセット/プレゼンス検出サイクルを1-Wireライン上に生成します(図4)。1-Wireラインの状態は t_{SI} および t_{MSP} でサンプリングされ、結果はStatusレジスタのPPDおよびSDビットを介してホストプロセッサに通知されます。
標準的な用途	任意の1-Wire通信シーケンスの開始または終了。
制限	DS2484がこのコマンドを処理する前に1-Wireの動作が終了している必要があります。
エラー応答	コマンドコードが受信された時点で1WB = 1の場合、コマンドコードは非アクノリッジされ、コマンドは無視されます。
コマンド継続時間	コマンドコードに対するアクノリッジビットのSCL立下りエッジからカウントして、 $2 \times t_{RSTL} + 262.5ns$ (max)です。
1-Wireの動作	コマンドコードに対するアクノリッジビットのSCL立下りエッジの262.5ns (max)後に開始します。
読取りポイント位置	Statusレジスタ(ビジーの監視のため)。
影響を受けるStatusレジスタのビット	1WB ($2 \times t_{RSTL}$ の間、1がセットされます)、PPDは $t_{RSTL} + t_{MSP}$ で更新され、SDは $t_{RSTL} + t_{SI}$ で更新されます。
影響を受けるDevice Configurationレジスタのビット	1WS、APUに適用されます。
影響を受けるPort Configurationレジスタのビット	t_{RSTL} 、 t_{MSP} 、 t_{WOL} 、 t_{REC0} 、および R_{WPU} の現在の値に適用されます。

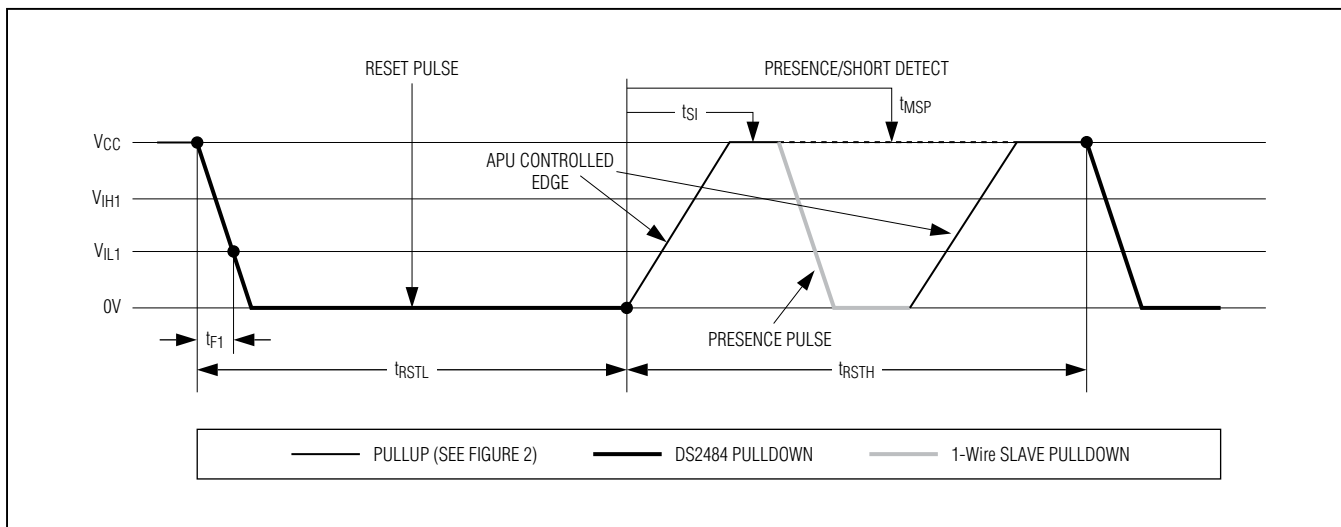


図 4. 1-Wire リセット / プレゼンス検出サイクル

シングルチャネル1-Wireマスター、 可変タイミングおよびスリープモード内蔵

1-Wire Single Bit

コマンドコード	87h
コマンドパラメータ	ビットバイト
説明	ビットバイトによって指定されたビット値[V]の1つの1-Wireタイムスロットを1-Wireライン上に生成します(表8)。Vの値が0bの場合はwrite-zeroタイムスロットを生成します(図5)。Vの値が1bの場合はwrite-oneタイムスロットを生成し、これはread-dataタイムスロットとしても機能します(図6)。どちらの場合も、1-Wireラインのロジックレベルが t_{MSR} でテストされ、SBRが更新されます。
標準的な用途	1ビットの通信が必要な場合(例外的)に、1-Wireラインで1ビットの書き込みまたは読み取りを実行。
制限	DS2484がこのコマンドを処理する前に1-Wireの動作が終了している必要があります。
エラー応答	コマンドコードが受信された時点で1WB = 1の場合、コマンドコードおよびビットバイトは非アクノリッジされ、コマンドは無視されます。
コマンド継続時間	ビットバイトの最初のビット(MSB)のSCL立下りエッジからカウントして、 $t_{SLOT} + 262.5ns$ (max)です。
1-Wireの動作	ビットバイトのMSBのSCL立下りエッジの262.5ns (max)後に開始します。
読み取りポイント位置	Statusレジスタ(ビジーの監視およびデータ読み取りのため)。
影響を受けるStatusレジスタのビット	1WB (t_{SLOT} の間、1がセットされます)、SBR(t_{MSR} で更新、DIR (状態が変化する場合があります))。
影響を受けるDevice Configurationレジスタのビット	1WS、APU、SPUに適用されます。
影響を受けるPort Configurationレジスタのビット	t_{RSTL} 、 t_{MSP} 、 t_{WOL} 、 t_{RECO} 、および R_{WPU} の現在の値に適用されます。

表8. ビットバイトのビット割当て

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
V	X	X	X	X	X	X	X

X = 任意

シングルチャネル1-Wireマスター、 可変タイミングおよびスリープモード内蔵

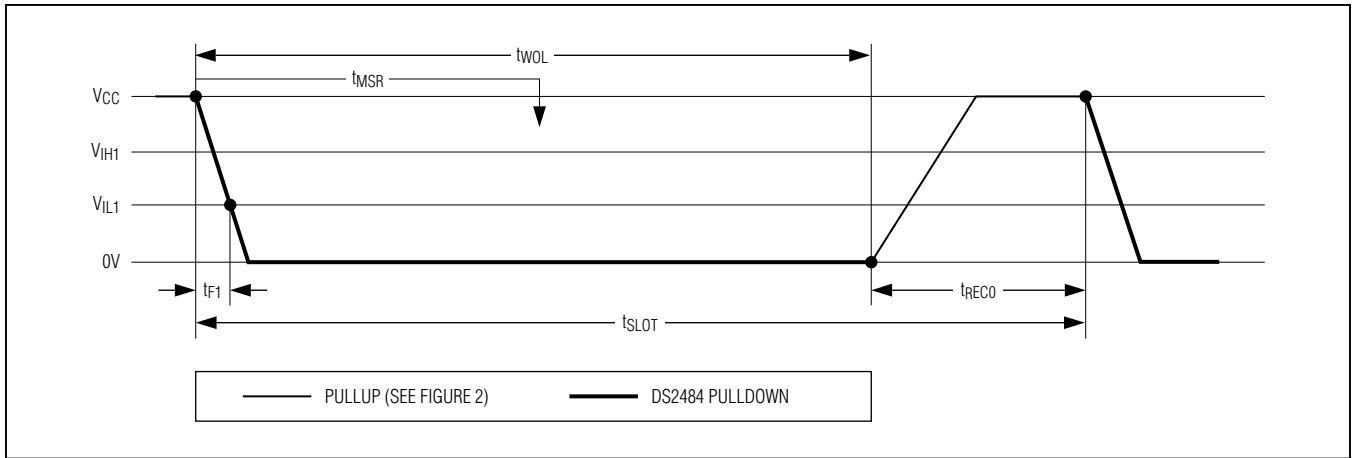


図 5. Write-Zero のタイムスロット

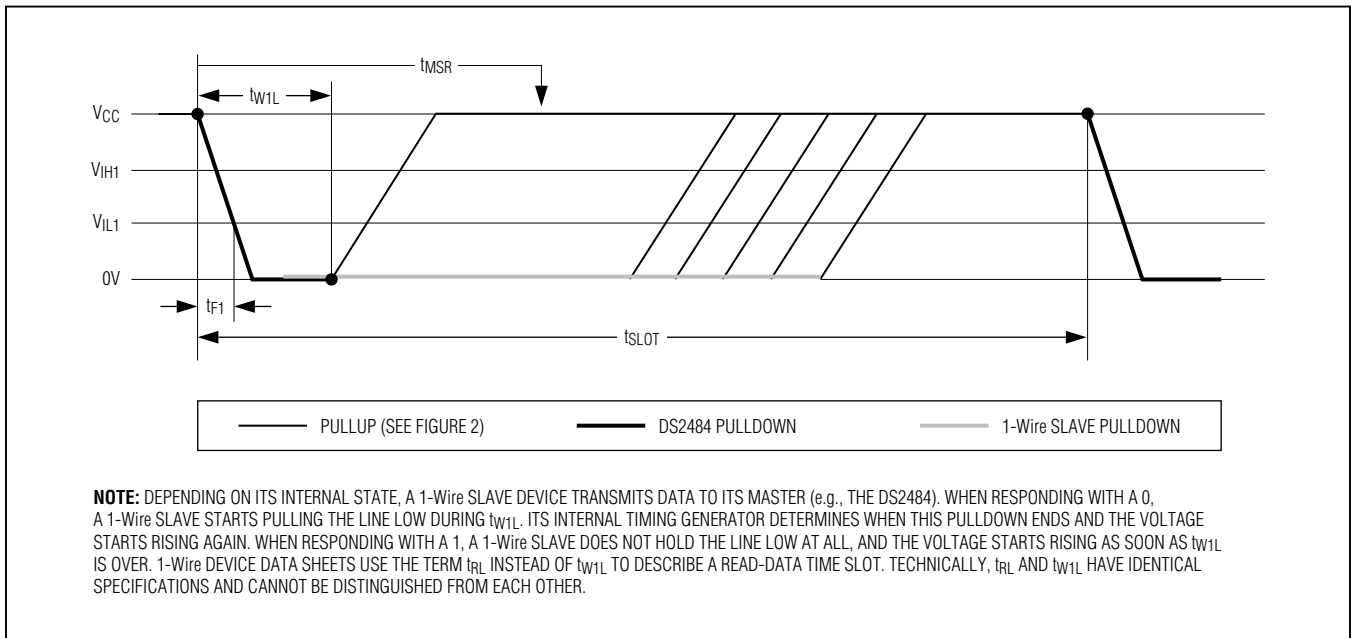


図 6. Write-One および Read-Data のタイムスロット

シングルチャネル1-Wireマスター、 可変タイミングおよびスリープモード内蔵

1-Wire Write Byte

コマンドコード	A5h
コマンドパラメータ	データバイト
説明	1つのデータバイトを1-Wireラインに書き込みます。
標準的な用途	1-Wireラインへのコマンドまたはデータの書き込み。8つの1-Wire Single Bitコマンドを実行することに相当しますが、I ² Cのトラフィックが少ないため高速です。
制限	DS2484がこのコマンドを処理する前に1-Wireの動作が終了している必要があります。
エラー応答	コマンドコードが受信された時点で1WB = 1の場合、コマンドコードおよびデータバイトは非アクノリッジされ、コマンドは無視されます。
コマンド継続時間	データバイトの最後のビット(LSB)の立下りエッジからカウントして、 $8 \times t_{SLOT} + 262.5\text{ns}$ (max)です。
1-Wireの動作	データバイトのLSBのSCL立下りエッジの262.5ns (max)後(すなわち、データバイトに対するアクノリッジの前)に開始します。注：I ² Cバス上と1-Wireライン上ではビット順が異なります(1-Wire：LSBが先、I ² C：MSBが先)。そのため、DS2484がデータバイト全体を受信するまでは1-Wireの動作を開始することはできません。
読取りポインタ位置	Statusレジスタ(ビジーの監視のため)。
影響を受けるStatusレジスタのビット	1WB ($8 \times t_{SLOT}$ の間、1がセットされます)。
影響を受けるDevice Configurationレジスタのビット	1WS、SPU、APUに適用されます。
影響を受けるPort Configurationレジスタのビット	t_{RSTL} 、 t_{MSP} 、 t_{WOL} 、 t_{RECO} 、および R_{WPU} の現在の値に適用されます。

1-Wire Read Byte

コマンドコード	96h
コマンドパラメータ	なし
説明	1-Wireライン上で8つのread-dataタイムスロットを生成し、結果をRead Dataレジスタに保存します。
標準的な用途	1-Wireラインからのデータの読取り。 $V = 1$ (write-oneタイムスロット)の8つの1-Wire Single Bitコマンドを実行することに相当しますが、I ² Cのトラフィックが少ないため高速です。
制限	DS2484がこのコマンドを処理する前に1-Wireの動作が終了している必要があります。
エラー応答	コマンドコードが受信された時点で1WB = 1の場合、コマンドコードは非アクノリッジされ、コマンドは無視されます。
コマンド継続時間	コマンドコードに対するアクノリッジビットのSCL立下りエッジからカウントして、 $8 \times t_{SLOT} + 262.5\text{ns}$ (max)です。
1-Wireの動作	コマンドコードに対するアクノリッジビットのSCL立下りエッジの262.5ns (max)後に開始します。
読取りポインタ位置	Statusレジスタ(ビジーの監視のため)。注：1-Wireラインから受信したデータバイトを読み取るには、Set Read Pointerコマンドを発行してRead Dataレジスタを選択してください。その後、読取りモードでDS2484にアクセスしてください。
影響を受けるStatusレジスタのビット	1WB ($8 \times t_{SLOT}$ の間、1がセットされます)。
影響を受けるDevice Configurationレジスタのビット	1WS、APUに適用されます。
影響を受けるPort Configurationレジスタのビット	t_{RSTL} 、 t_{MSP} 、 t_{WOL} 、 t_{RECO} 、および R_{WPU} の現在の値に適用されます。

シングルチャネル1-Wireマスター、 可変タイミングおよびスリープモード内蔵

1-Wire Triplet

コマンドコード	78h
コマンドパラメータ	方向バイト
説明	2つの読取りタイムスロットと1つの書込みタイムスロットの、3つのタイムスロットを1-Wireライン上に生成します。書込みタイムスロットの種類は、読取りタイムスロットの結果および方向バイトに依存します。両方の読取りタイムスロットが0の場合(標準的な場合)、方向バイトによって書込みタイムスロットの種類が決定します。この場合、DS2484はV = 1の場合はwrite-oneタイムスロットを生成し、V = 0の場合はwrite-zeroタイムスロットを生成します。表9を参照してください。 読取りタイムスロットが0と1の場合は、そのあとにwrite-zeroタイムスロットが続きます。読取りタイムスロットが1と0の場合は、そのあとにwrite-oneタイムスロットが続きます。読取りタイムスロットが両方とも1の場合は(エラーの場合)、後続の書込みタイムスロットはwrite-oneです。
標準的な用途	1-Wire Search ROMシーケンスの実行。1つのデバイスを識別してアドレス指定するには、完全なシーケンスとしてこのコマンドを64回実行する必要があります。
制限	DS2484がこのコマンドを処理する前に1-Wireの動作が終了している必要があります。
エラー応答	コマンドコードが受信された時点で1WB = 1の場合、コマンドコードおよび方向バイトは非アクノリッジされ、コマンドは無視されます。
コマンド継続時間	方向バイトの最初のビット(MSB)のSCL立下りエッジからカウントして、 $3 \times t_{SLOT} + 262.5\text{ns}$ (max)です。
1-Wireの動作	方向バイトのMSBのSCL立下りエッジの262.5ns (max)後に開始します。
読取りポインタ位置	Statusレジスタ(ビジーの監視のため)。
影響を受けるStatusレジスタのビット	1WB (3 x t_{SLOT} の間、1がセットされます)、SBRは最初の t_{MSR} で更新され、TSBおよびDIRは第2の t_{MSR} で(すなわち、 $t_{SLOT} + t_{MSR}$ で)更新されます。
影響を受けるDevice Configurationレジスタのビット	1WS、APUに適用されます。
影響を受けるPort Configurationレジスタのビット	t_{RSTL} 、 t_{MSP} 、 t_{WOL} 、 t_{RECO} 、および R_{WPU} の現在の値に適用されます。

表9. 方向バイトのビット割当て

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
V	X	X	X	X	X	X	X

X = 任意

シングルチャネル1-Wireマスター、 可変タイミングおよびスリープモード内蔵

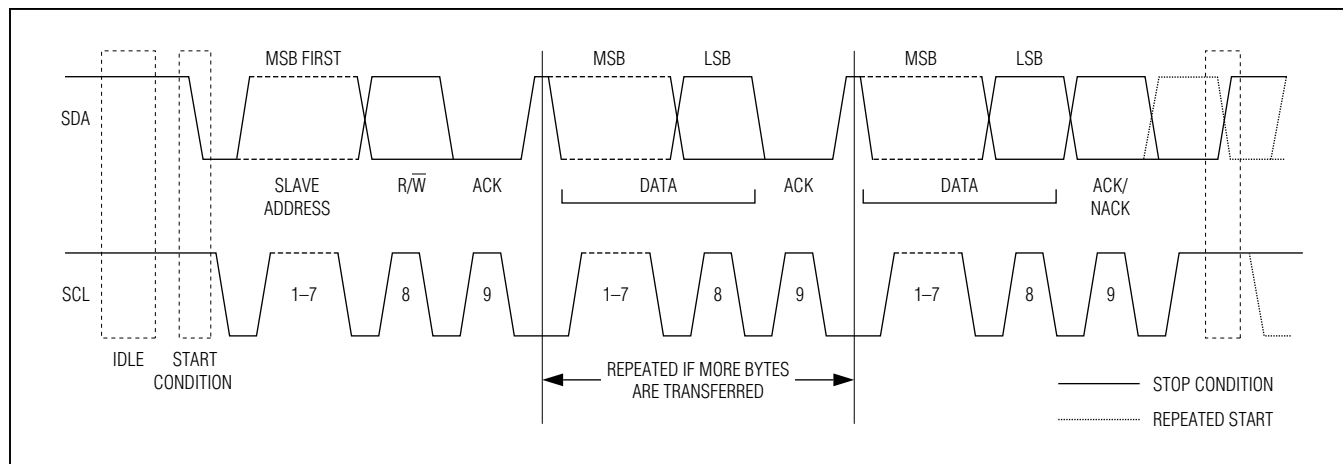


図 7. I²C プロトコルの概要

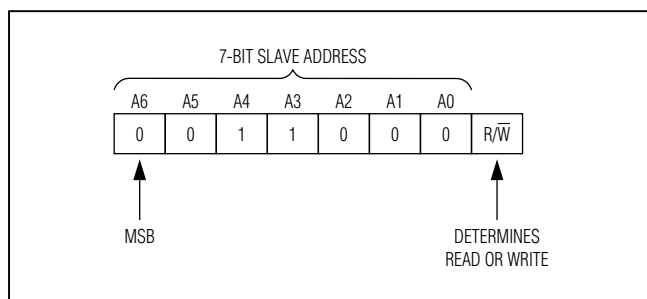


図 8. DS2484 のスレーブアドレス

I²C インタフェース

全体的特長

I²C バスは、データライン (SDA) とクロック信号 (SCL) を通信に使用します。SDA と SCL の両方が双方向ラインで、プルアップ抵抗を介して正の電源電圧に接続されます。通信が行われていない場合、両方のラインがハイになります。バスに接続されるデバイスの出力段は、ワイヤードAND機能を実行するためにオープンドレインまたはオープンコレクタを備えている必要があります。I²C バス上のデータは、標準モードの場合は最大 100kbps、ファーストモードの場合は最大 400kbps の速度で転送可能です。DS2484 は両方のモードで動作します。

バス上にデータを送信するデバイスはトランスミッタと定義され、データを受信するデバイスはレシーバと定義されます。通信を制御するデバイスはマスターと呼ばれます。

マスターによって制御されるデバイスはスレーブです。個別にアクセスされるために、各デバイスはバス上の他のデバイスと競合しないスレーブアドレスを備える必要があります。

データ転送は、バスがビジーでないときにのみ開始することができます。マスターは、シリアルクロック (SCL) の生成、バスアクセスの制御、START および STOP 条件の生成、および START と STOP の間に転送されるデータバイト数の決定を行います (図 7)。データはバイト単位で転送され、最上位ビットが最初に送信されます。マスターとスレーブ間の同期を可能にするために、各バイトのあとにアクノリッジビットが続きます。

スレーブアドレス

図 8 は、DS2484 が応答するスレーブアドレスを示します。スレーブアドレスはスレーブアドレス/制御バイトの一部です。スレーブアドレス/制御バイトの最後のビット (R/W) はデータの方向を定義します。0 が設定されている場合、後続のデータはマスターからスレーブに転送されます (書き込みアクセスモード)。1 が設定されている場合、データはスレーブからマスターに転送されます (読取りアクセスモード)。

シングルチャネル1-Wireマスター、 可変タイミングおよびスリープモード内蔵

I²Cの定義

I²Cのデータ転送を説明するために、以下の用語が一般的に使用されます。タイミング図については、[図9](#)を参照してください。

バスアイドルまたは非ビジー：SDAとSCLの両方が非アクティブで、ロジックハイの状態です。

START条件：スレーブとの通信を開始するために、マスターはSTART条件を生成する必要があります。START条件は、SCLがハイのままでの、SDAのハイからローへの状態の変化として定義されます。

STOP条件：スレーブとの通信を終了するために、マスターはSTOP条件を生成する必要があります。STOP条件は、SCLがハイのままでの、SDAのローからハイへの状態の変化として定義されます。

Repeated START条件：Repeated STARTは、読取りアクセスにおいて読取りを行う特定のデータソースまたはアドレスを選択するために一般的に使用されます。マスターはデータ転送の最後にRepeated START条件を使用して、現在のデータ転送に続けて直ちに新しいデータ伝送を開始することができます。Repeated START条件は通常のSTART条件と同じ方法で生成されますが、STOP条件のあとにバスがアイドルのままになりません。

データ有効：STARTおよびSTOP条件を例外として、SDAの遷移はSCLがローの状態の間のみ発生することができます。SDA上のデータは、SCLのハイのパルス全

体に加えて必要なセットアップおよびホールド時間(SCLの立下りエッジ後の $t_{HD:DAT}$ およびSCLの立上りエッジ前の $t_{SU:DAT}$ 、[図9](#)を参照)の間、有効のままで変化しない必要があります。データの各ビットごとに1クロックパルスが存在します。データはSCLパルスの立上りエッジの間に受信側デバイスにシフトインされます。

書込みが終了した時点で、マスターは次のSCLの立上りエッジで読取りを開始する前に、十分なセットアップ時間([図9](#)の $t_{SU:DAT} + t_r$, min)にわたってSDAラインを解放する必要があります。スレーブは先行するSCLパルスの立下りエッジで各データビットをSDA上にシフトアウトし、データビットは現在のSCLパルスの立上りエッジで有効になります。マスターは、スレーブからの読取りに必要なものも含めて、すべてのSCLクロックパルスを生成します。

アクノリッジ：通常は、アドレス指定された受信側デバイスは各バイトの受信後にアクノリッジを生成する必要があります。マスターは、このアクノリッジビットに関連するクロックパルスを生成する必要があります。アクノリッジを行うデバイスはアクノリッジクロックパルスの間SDAをローに駆動して、アクノリッジ関連のクロックパルスのハイの期間に加えて必要なセットアップおよびホールド時間(SCLの立下りエッジ後の $t_{HD:DAT}$ およびSCLの立上りエッジ前の $t_{SU:DAT}$)にわたってSDAがローで安定しているようにする必要があります。

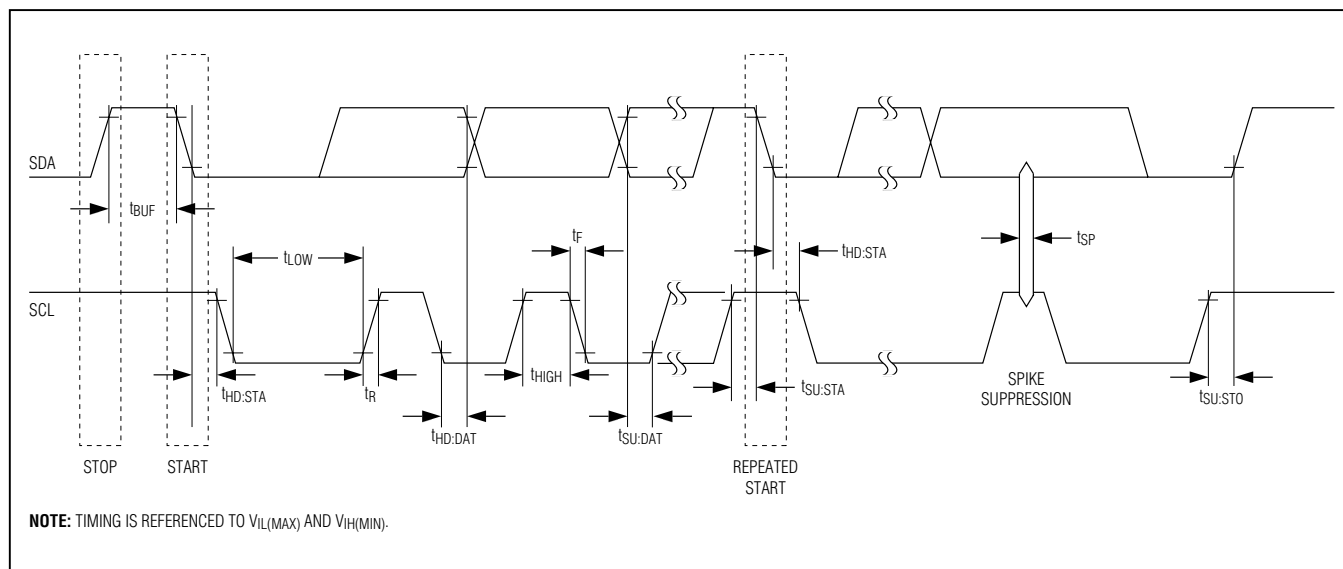


図 9. I²C のタイミング図

シングルチャネル1-Wireマスター、 可変タイミングおよびスリープモード内蔵

スレーブによる非アクノリッジ：スレーブデバイスは、リアルタイム機能の実行中やスリープモード中などの理由で、データを受信または送信することができない可能性があります。この場合、スレーブデバイスは自分のスレーブアドレスのアクノリッジを行わずに、SDAラインをハイのままにします。通信の準備ができたスレーブデバイスは、少なくとも自分のスレーブアドレスのアクノリッジを行います。しかし、その後のある時点で、たとえば無効なコマンドやパラメータなどの理由から、スレーブはデータの受入れを拒否することができます。この場合、スレーブデバイスは拒否するバイトについてアクノリッジを行わず、SDAをハイのままにします。どちらの場合も、スレーブがアクノリッジを行わなかったあとで、マスターは最初にRepeated START条件またはSTOP条件を生成し、そのあとに新しいデータ転送を開始するためのSTART条件を続けてください。

マスターによる非アクノリッジ：データ受信のどこかの時点で、マスターはデータの終了をスレーブデバイスに通知する必要があります。これを実現するために、マスターはスレーブから受信した最後のバイトに対してアクノリッジを行いません。これに対して、スレーブはSDAを解放し、マスターがSTOP条件を生成することができるようになります。

DS2484への書込み

DS2484に書込みを行うには、マスターはデバイスに書込みモードでアクセスする必要があり、すなわち方向ビットに0を設定してスレーブアドレスを送信する必要があります。次に送信する必要があるバイトはコマンドコードで、コマンドによっては、そのあとにコマンドパラメータが続く場合があります。DS2484は、有効なコマンドコードおよび予期された/有効なコマンドパラメータに対してアクノリッジを行います。それ以上の追加のバイトや無効なコマンドパラメータに対しては、アクノリッジは行われません。

DS2484からの読取り

DS2484から読取りを行うには、マスターはデバイスに読取りモードでアクセスする必要があり、すなわち方向ビットに1を設定してスレーブアドレスを送信する必要があります。読取りポイントによって、マスターが読み取るレジスタが決定されます。マスターは、たとえば1WBが1から0に変化するのを監視するために、デバイスのアドレス指定を繰り返すことなく何度でも同じレジスタからの読取りを継続

することができます。別のレジスタから読取りを行うには、マスターはSet Read Pointerコマンドを発行し、そのあとに再び読取りモードでDS2484にアクセスする必要があります。

I²C通信の例

I²C通信の凡例およびデータ方向の規約については、[表10](#)および[表11](#)を参照してください。

表10. I²C通信—凡例

記号	説明
S	START条件
AD, 0	書込みアクセス用にDS2484を選択
AD, 1	読取りアクセス用にDS2484を選択
Sr	Repeated START条件
P	STOP条件
A	アクノリッジ
A\	非アクノリッジ
(Idle)	バス非ビジー
<byte>	1バイトの転送
DRST	「Device Reset」コマンド(F0h)
SRP	「Set Read Pointer」コマンド(E1h)
WCFG	「Write Device Configuration」コマンド(D2h)
ADJP	「Adjust 1-Wire Port」コマンド(C3h)
1WRS	「1-Wire Reset」コマンド(B4h)
1WSB	「1-Wire Single Bit」コマンド(87h)
1WWB	「1-Wire Write Byte」コマンド(A5h)
1WRB	「1-Wire Read Byte」コマンド(96h)
1WT	「1-Wire Triplet」コマンド(78h)

表11. データ方向の規約

Master-to-Slave	Slave-to-Master
-----------------	-----------------

シングルチャネル1-Wireマスター、 可変タイミングおよびスリープモード内蔵

I²C通信の例(続き)

Device Reset (After Power-Up)

S	AD,0	A	DRST	A	<u>Sr</u>	<u>AD,1</u>	<u>A</u>	<byte>	<u>A\</u>	P
---	------	---	------	---	-----------	-------------	----------	--------	-----------	---

Activities that are underlined denote an optional read access to verify the success of the command.

Set Read Pointer (To Read from Another Register)

Case A: Valid Read Pointer Code

S	AD,0	A	SRP	A	C3h	A	P
---	------	---	-----	---	-----	---	---

C3h is the read pointer code for the Device Configuration register.

Case B: Invalid Read Pointer Code

S	AD,0	A	SRP	A	E5h	A\	P
---	------	---	-----	---	-----	----	---

E5h is an invalid read pointer code.

Write Device Configuration (Before Starting 1-Wire Activity)

Case A: 1-Wire Idle (1WB = 0)

S	AD,0	A	WCFG	A	<byte>	A	<u>Sr</u>	<u>AD,1</u>	<u>A</u>	<byte>	<u>A\</u>	P
---	------	---	------	---	--------	---	-----------	-------------	----------	--------	-----------	---

Activities that are underlined denote an optional read access to verify the success of the command.

Case B: 1-Wire Busy (1WB = 1)

S	AD,0	A	WCFG	A\	P
---	------	---	------	----	---

The master should stop and restart as soon as the DS2484 does not acknowledge the command code.

Adjust 1-Wire Port (after power-up, e.g., to select a 1-Wire timing other than the default)

Case A: 1-Wire Idle (1WB = 0)

S	AD,0	A	ADJP	A	<byte>	A	<byte>	A	P
---	------	---	------	---	--------	---	--------	---	---

Repeat to set additional port parameters

The control byte is always acknowledged, regardless of its value. See the [Adjust 1-Wire Port](#) command description for the format of the control byte.

Case B: 1-Wire Busy (1WB = 1)

S	AD,0	A	ADJP	A\	P
---	------	---	------	----	---

The master should stop and restart as soon as the DS2484 does not acknowledge the command code.

シングルチャネル1-Wireマスター、 可変タイミングおよびスリープモード内蔵

I²C通信の例(続き)

Verifying the 1-Wire port configuration

The [Adjust 1-Wire Port](#) command sets the read pointer to the Port Configuration register. If other commands were issued to the DS2484 since then, use the [Set Read Pointer](#) command first to position the read pointer to the Port Configuration register.

Condition: 1-Wire Idle (1WB = 0), Read Pointer at Port Configuration Register

S	AD,1	A	<byte>	A	<byte>	A	<byte>	A\	P
---	------	---	--------	---	--------	---	--------	----	---

Repeat to read additional port parameters

1-Wire Reset (To Begin or End 1-Wire Communication)

Case A: 1-Wire Idle (1WB = 0), No Busy Polling to Read the Result

S	AD,0	A	1WRS	A	P	(Idle)	S	AD,1	A	<byte>	A\	P
---	------	---	------	---	---	--------	---	------	---	--------	----	---

In the first cycle, the master sends the command. Then the master waits (Idle) for the 1-Wire reset to complete. In the second cycle, the DS2484 is accessed to read the result of the 1-Wire reset from the Status register.

Case B: 1-Wire Idle (1WB = 0), Busy Polling Until the 1-Wire Command is Completed, then Read the Result

S	AD,0	A	1WRS	A	Sr	AD,1	A	<byte>	A	<byte>	A\	P
---	------	---	------	---	----	------	---	--------	---	--------	----	---

Repeat until the 1WB bit has changed to 0.

Case C: 1-Wire Busy (1WB = 1)

S	AD,0	A	1WRS	A\	P
---	------	---	------	----	---

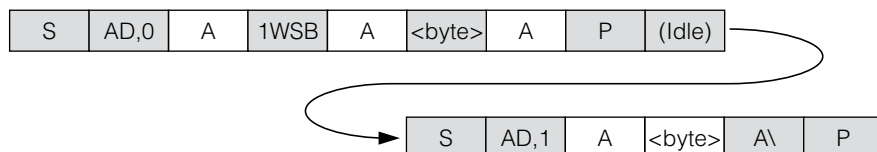
The master should stop and restart as soon as the DS2484 does not acknowledge the command code.

シングルチャネル1-Wireマスター、 可変タイミングおよびスリープモード内蔵

I²C通信の例(続き)

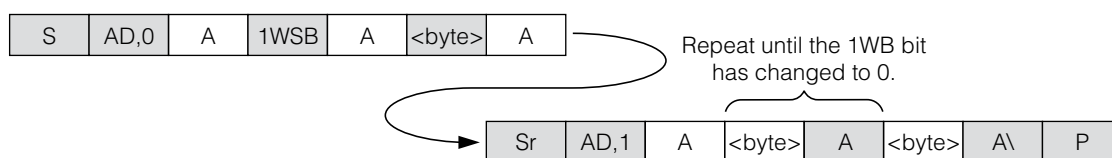
1-Wire Single Bit (To Generate a Single Time Slot on the 1-Wire Line)

Case A: 1-Wire Idle (1WB = 0), No Busy Polling



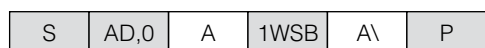
The idle time is needed for the 1-Wire function to complete. Then access the device in read mode to get the result from the [1-Wire Single Bit](#) command.

Case B: 1-Wire Idle (1WB = 0), Busy Polling Until the 1-Wire Command is Completed



When 1WB has changed from 1 to 0, the Status register holds the valid result of the [1-Wire Single Bit](#) command.

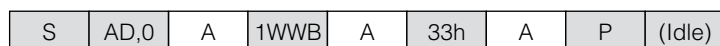
Case C: 1-Wire Busy (1WB = 1)



The master should stop and restart as soon as the DS2484 does not acknowledge the command code.

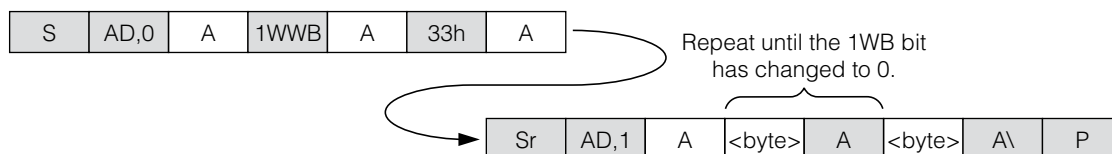
1-Wire Write Byte (To Send a Command Code or Data Byte to the 1-Wire Line)

Case A: 1-Wire Idle (1WB = 0), No Busy Polling



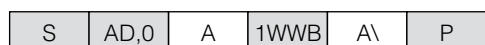
33h is the valid 1-Wire ROM function command for Read ROM. The idle time is needed for the 1-Wire function to complete. There is no data read back from the 1-Wire line with this command.

Case B: 1-Wire Idle (1WB = 0), Busy Polling Until the 1-Wire Command is Completed.



When 1WB has changed from 1 to 0, the [1-Wire Write Byte](#) command is completed.

Case C: 1-Wire Busy (1WB = 1)



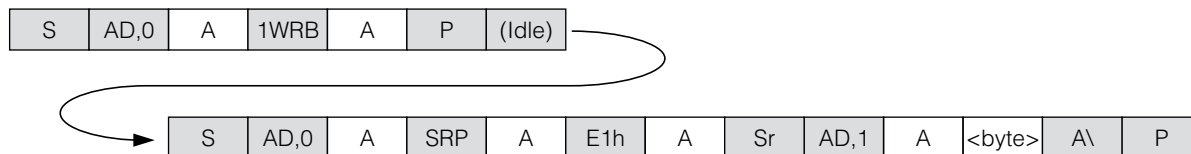
The master should stop and restart as soon as the DS2484 does not acknowledge the command code.

シングルチャネル1-Wireマスター、 可変タイミングおよびスリープモード内蔵

I²C通信の例(続き)

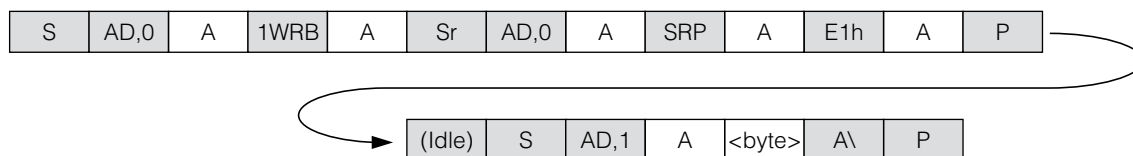
1-Wire Read Byte (To Read a Byte from the 1-Wire Line)

Case A: 1-Wire Idle (1WB = 0), No Busy Polling, Set Read Pointer **After** Idle Time



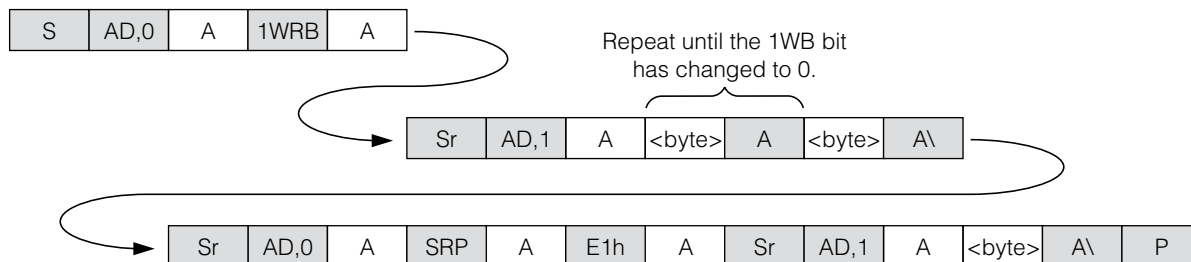
The idle time is needed for the 1-Wire function to complete. Then set the read pointer to the Read Data register (code E1h) and access the device again to read the data byte that was obtained from the 1-Wire line.

Case B: 1-Wire Idle (1WB = 0), No Busy Polling, Set Read Pointer **Before** Idle Time



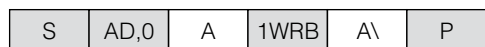
The read pointer is set to the Read Data register (code E1h) while the 1-Wire Read Byte command is still in progress. Then, after the 1-Wire function is completed, the device is accessed to read the data byte that was obtained from the 1-Wire line.

Case C: 1-Wire Idle (1WB = 0), Busy Polling Until the 1-Wire Command is Completed



Poll the Status register until the 1WB bit has changed from 1 to 0. Then set the read pointer to the Read Data register (code E1h) and access the device again to read the data byte that was obtained from the 1-Wire line.

Case D: 1-Wire Busy (1WB = 1)



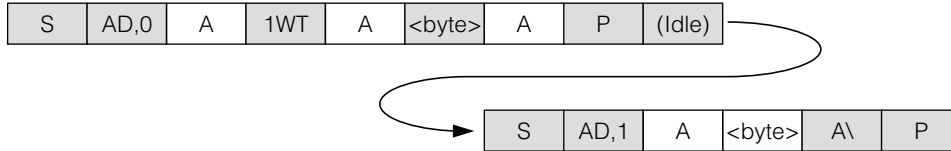
The master should stop and restart as soon as the DS2484 does not acknowledge the command code.

シングルチャネル1-Wireマスター、 可変タイミングおよびスリープモード内蔵

I²C通信の例(続き)

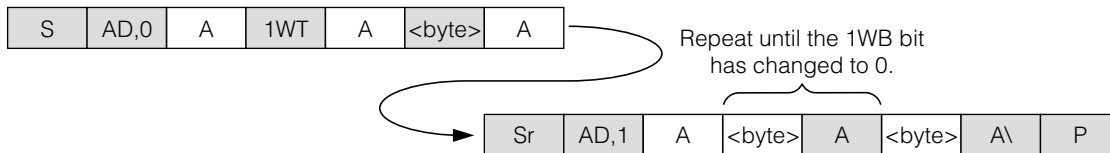
1-Wire Triplet (To Perform a Search ROM Function on 1-Wire Line)

Case A: 1-Wire Idle (1WB = 0), No Busy Polling



The idle time is needed for the 1-Wire function to complete. Then access the device in read mode to get the result from the [1-Wire Triplet](#) command.

Case B: 1-Wire Idle (1WB = 0), Busy Polling Until the 1-Wire Command is Completed



When 1WB has changed from 1 to 0, the Status register holds the valid result of the [1-Wire Triplet](#) command.

Case C: 1-Wire Busy (1WB = 1)



The master should stop and restart as soon as the DS2484 does not acknowledge the command code.

シングルチャネル1-Wireマスター、 可変タイミングおよびスリープモード内蔵

アプリケーション情報

SDAおよびSCLのプルアップ抵抗

SDAはDS2484のオープンドレイン出力で、ハイのロジックレベルを実現するためにプルアップ抵抗が必要です。DS2484はSCLを入力としてのみ使用する(クロックストレッチングを行わない)ため、マスターはプルアップ抵抗を備えたオープンドレイン/コレクタ出力またはプッシュプル出力のどちらかを介してSCLを駆動することができます。

プルアップ抵抗 R_p の値の決定

I²C仕様によれば、スレーブデバイスは0.4Vの V_{OL} において少なくとも3mAをシンク可能である必要があります。このDC条件によって、プルアップ抵抗の最小値は $R_{p(MIN)} = (V_{CI2C} - 0.4V)/3mA$ と決定されます。I²Cプルアップ電圧 V_{CI2C} が5.5Vの場合、プルアップ抵抗の最小値は1.7k Ω です。図10の「MINIMUM R_p 」の線は、動作(プルアップ)電圧にともなうプルアップ抵抗の最小値の変化を示します。

I²Cシステムの場合、立ち上がり時間と立下り時間はプルアップ電圧の30%~70%で測定されます。最大バス容量 C_B は

400pFです。最大立ち上がり時間は300nsを超えてはいけません。最大立ち上がり時間を想定した場合、所定の容量 C_B における最大抵抗値は $R_{p(MAX)} = 300ns/(C_B \times \ln(7/3))$ で計算されます。バス容量が400pFの場合、最大プルアップ抵抗は885 Ω になります。

400pFのバス容量において立ち上がり時間の仕様に適合するために必要となる885 Ω のプルアップ抵抗は、5.5Vにおける $R_{p(MIN)}$ より小さいため、別のアプローチが必要です。図10の「MAXIMUM LOAD AT MINIMUM R_p FAST MODE」の線は、最初に所定の動作電圧における最小プルアップ抵抗(「MINIMUM R_p 」の線)を計算し、次に立ち上がり時間が300nsになる各バス容量を計算することによって生成したものです。

プルアップ電圧が3V以下の場合にのみ、400pFの最大許容バス容量を維持することができます。4V以下のプルアップ電圧については、300pFに低減したバス容量が許容されます。ファーストモード動作の場合、すべてのプルアップ電圧においてバス容量は200pFを超えてはなりません。各電圧における対応するプルアップ抵抗値を「MINIMUM R_p 」の線で示します。

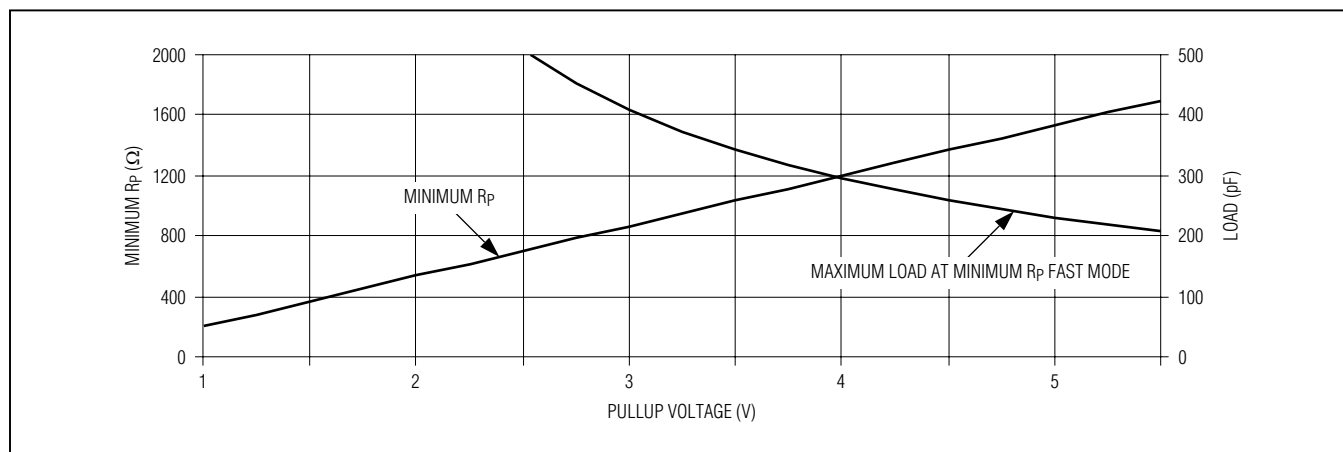


図 10. I²C ファーストモードのプルアップ抵抗の選択チャート

DS2484

シングルチャネル1-Wireマスター、 可変タイミングおよびスリープモード内蔵

型番

PART	TEMP RANGE	PIN-PACKAGE
DS2484R+T	-40°C to +85°C	6 SOT23 (3k pieces)
DS2484Q+T	-40°C to +85°C	8 TDFN-EP* (2.5k pieces)

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。

T = テープ&リール。

*EP = エクスPOSEドパッド。

パッケージ

最新のパッケージ図面情報およびランドパターン(フットプリント)は japan.maximintegrated.com/packages を参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点に注意してください。

パッケージ タイプ	パッケージ コード	外形図 No.	ランド パターンNo.
6 SOT23	U6SN+1	21-0058	90-0175
8 TDFN-EP	T823+1	21-0174	90-0091

**シングルチャネル1-Wireマスター、
可変タイミングおよびスリープモード内蔵****改訂履歴**

版数	改訂日	説明	改訂ページ
0	5/13	初版	—



マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maxim Integratedは完全にMaxim Integrated製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maxim Integratedは随時予告なく回路及び仕様を変更する権利を留保します。[Electrical Characteristics (電気的特性)]の表に示すパラメータ値(min、maxの各制限値)は、このデータシートの他の場所で引用している値より優先されます。

Maxim Integrated 160 Rio Robles, San Jose, CA 95134 USA 1-408-601-1000

29