

XFPレーザ制御/デジタル診断IC

DS1862

概要

DS1862は、XFP MSA用に設計されたデジタル診断を内蔵する閉ループのレーザドライバ制御用ICです。レーザ制御機能は平均パワー制御(APC)を搭載し、温度指標付きルックアップテーブル(LUT)を通じて消光比を制御することができます。DS1862は、温度やモニタダイオード(MD)電流などの最大7個のアナログ入力を監視します。これらの入力を使って、レーザバイアス電流と消光比を制御することができます。監視対象の信号が許容値を上回ると割込みを生成するように、警告/警報スレッショルドを設定することができます。また、監視対象のアナログ信号ごとに独立した利得およびオフセットスケールレジスタによるキャリブレーションも内蔵しています。設定されたキャリブレーションデータなどの設定値はパスワード保護されたEEPROMメモリに保存されます。設定はI²C*対応インタフェースを通じて行い、このインタフェースを使って診断機能にアクセスすることもできます。

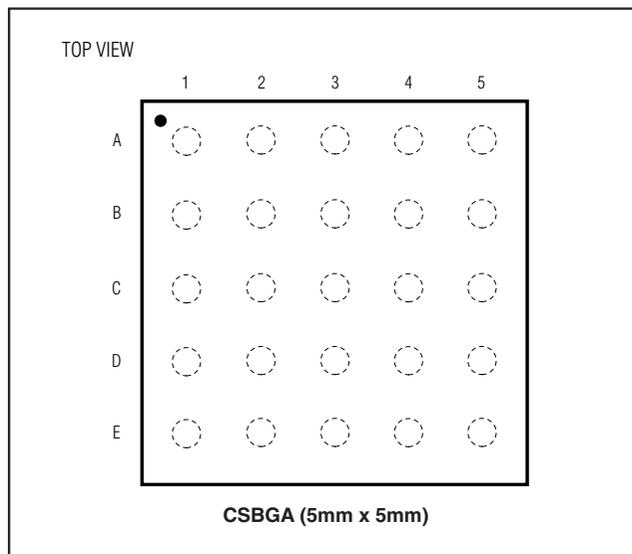
アプリケーション

10Gbps光トランシーバモジュール(XFP)

レーザ制御および監視

光伝送のデジタル診断

ピン配置



特長

- ◆ デジタル診断、シリアルID、およびユーザメモリのXFP MSA要件を実行
- ◆ I²C対応のシリアルインタフェース
- ◆ 自動パワー制御(APC)
- ◆ ルックアップテーブルによる消光比制御
- ◆ デジタル診断用の7個の監視対象チャンネル(5個の基本チャンネルおよび2個の補助チャンネル)
- ◆ 監視対象チャンネルの内部キャリブレーション(温度、V_{CC2/3}、バイアス電流、および送受信パワー)
- ◆ 眼の安全のためにレーザをオフするプログラマブルな高速トリップロジック
- ◆ 監視およびID情報にアクセス可能
- ◆ プログラマブルな警報/警告スレッショルド
- ◆ 3.3Vまたは5V電源で動作
- ◆ 5mm x 5mmの25ピンCSBGAパッケージ
- ◆ 内部/外部温度センサ
- ◆ 動作温度範囲: -40°C ~ +100°C
- ◆ 1個のバッファ付き8ビットDAC

型番

PART	TEMP RANGE	PIN-PACKAGE
DS1862B	-40°C to +100°C	25 CSBGA (5mm x 5mm)
DS1862B+	-40°C to +100°C	25 CSBGA (5mm x 5mm)

+は鉛フリーパッケージを表します。

標準動作回路はデータシートの最後に記載されています。

*Maxim Integrated Products, Inc.または二次ライセンスを受けている同社の関連会社からI²C部品を購入することにより、これらの部品をI²Cシステムで使用するためのPhilips社のI²C特許権に基づくライセンスが許諾されたこととなります。但し、システムがPhilips社により定義されたI²C標準規格に合致していることを必要とします。

ABSOLUTE MAXIMUM RATINGS

Voltage on Any Open-Drain Pin
Relative to Ground.....-0.5V to +6.0V
Voltage on MOD-DESEL, SDA, SCL, FETG, THRSET, TX-D,
AUX1MON, AUX2MON, IBIASMON,
RSSI, BIASSET, MODSET, EN1,
and EN2-0.5V to (VCC3 + 0.5V), not to exceed +6.0V

Voltage on SC-RX-LOS, SC-RX-LOL, RX-LOS, SC-TX-LOS,
MOD-NR, EN1,
and EN2-0.5V to (VCC2 + 0.5V), not to exceed +6.0V
Operating Temperature Range-40°C to +100°C
EEPROM Programming Temperature Range0°C to +70°C
Storage Temperature Range-55°C to +125°C
Soldering Temperature.....See J-STD-020 Specification

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

RECOMMENDED OPERATING CONDITIONS

(VCC3 = +2.9V to +5.5V, TA = -40°C to +100°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Main Supply Voltage	VCC3	(Note 1)	+2.9		+5.5	V
Secondary Supply Voltage	VCC2	VCC2 not to exceed VCC3 (Note 2)	+1.6		+3.6	V
High-Level Input Voltage (SDA, SCL)	VIH	I _{IH} (max) = 10μA	0.7 x VCC3		VCC3 + 0.5	V
Low-Level Input Voltage (SDA, SCL)	VIL	I _{IL} (max) = -10μA	GND - 0.3		0.3 x VCC3	V
High-Level Input Voltage (TX-D, MOD-DESEL, P-DOWN/RST) (Note 3)	VIH	I _{IH} (max) = 10μA	2		VCC3 + 0.3	V
Low-Level Input Voltage (TX-D, MOD-DESEL, P-DOWN/RST) (Note 3)	VIL	I _{IL} (max) = -10μA	-0.3		+0.8	V

DC ELECTRICAL CHARACTERISTICS

(VCC3 = +2.9V to +5.5V, VCC2 = +1.6V to +3.6V, TA = -40°C to +100°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Current	I _{CC3}	P-DOWN/RST = 1		3	5	mA
High-Level Output Voltage (FETG)	V _{OH}	I _{OH} (max) = -2mA	V _{CC3} - 0.5			V
Low-Level Output Voltage (MOD-NR, INTERRUPT, SDA, and FETG)	V _{OL}	I _{OL} (max) = 3mA	0		0.4	V
Resistor (Pullup)	R _{PU}		9	12	15	kΩ
I/O Capacitance	C _{I/O}	(Note 4)			10	pF
Leakage Current	I _L		-10		+10	μA
Leakage Current (SCL, SDA)	I _L		-10		+10	μA
Digital Power-On Reset	POD		1.0		2.2	V
Analog Power-On Reset	POA		2.0		2.6	V

DC ELECTRICAL CHARACTERISTICS—INTERFACE SIGNALS TO SIGNAL CONDITIONERS

(VCC2 = +1.6V to +3.6V, VCC3 = +2.9V to +5.5V, TA = -40°C to +100°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
High-Level Input Voltage (SC-RX-LOS, SC-RX-LOL, and SC-TX-LOS)	V _{IH}	I _{IH} (max) = 100μA	0.7 x V _{CC2}		V _{CC2} + 0.1	V
Low-Level Input Voltage (SC-RX-LOS, SC-RX-LOL, and SC-TX-LOS)	V _{IL}	I _{IL} (max) = -100μA	0		0.3 x V _{CC2}	V
High-Level Output Voltage (EN1 and EN2)	V _{OH}	I _{OH} (max) = -0.7mA	V _{CC2} - 0.2			V
	V _{OH2}	V _{CC2} = 2.5V to 3.6V I _{OH} (max) = -2mA	V _{CC2} - 0.4			
	V _{OH3}	V _{CC2} = 1.6V I _{OH} (max) = -0.7mA	V _{CC2} - 0.2			
Low-Level Output Voltage (EN1, EN2, and RX-LOS)	V _{OL}	I _{OL} (max) = 0.7mA			0.20	V
	V _{OL2}	V _{CC2} = 2.5V to 3.6V I _{OL} (max) = 2mA			0.40	
Leakage Current (SC-RX-LOS, SC-RX-LOL and SC-TX-LOS, RX-LOS)	I _L		-10		+10	μA

I²C AC ELECTRICAL CHARACTERISTICS

(V_{CC3} = +2.9V to +5.5V, T_A = -40°C to +100°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCL Clock Frequency	f _{SCL}		0		400	kHz
Clock Pulse-Width Low	t _{LOW}		1.3			μs
Clock Pulse-Width High	t _{HIGH}		0.6			μs
Bus Free Time between STOP and START Conditions	t _{BUF}		1.3			μs
Start Hold Time	t _{HD:SDA}		0.6			μs
Start Setup Time	t _{SU:SDA}		0.6			μs
Data in Hold Time	t _{HD:DAT}		0		0.9	μs
Data in Setup Time	t _{SU:DAT}		100			ns
Rise Time of Both SDA and SCL Signals	t _R	(Note 5)	20 + 0.1C _B		300	ns
Fall Time of Both SDA and SCL signals	t _F	(Note 5)	20 + 0.1C _B		300	ns
STOP Setup Time	t _{SU:STO}		0.6			μs
MOD-SEL Setup Time	t _{Host_select_setup}		2			ms
MOD-SEL Hold Time	t _{Host_select_hold}		10			μs
Aborted Sequence Bus Release	t _{MOD-DESEL_Abort}				2	ms
Capacitive Load for Each Bus Line	C _B	(Note 5)			400	pF
EEPROM Write Time	t _W	≤ 4-Byte write (Note 6)			16	ms

ANALOG OUTPUT CHARACTERISTICS

(V_{CC3} = +2.9V to +5.5V, V_{CC2} = +1.6V to +3.6V, T_A = -40°C to +100°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
I _{BIASSET}	I _{BIASSET}		0.01		1.50	mA
I _{BIASSET} (Off-State Current)	I _{BIASSET}	Shutdown		±10	±100	nA
I _{MODSET}	I _{MODSET}		0.01		1.20	mA
I _{MODSET} (Off-State Current)	I _{MODSET}	Shutdown		±10	±100	nA
Voltage on I _{BIASSET} and I _{MODSET}	V _{MAX}	(Note 7)	0.7		3.0	V
V _{THRSET}	V _{THRSET}	I _{MAX} = 100μA	50		1000	mV
V _{THRSET} Drift		Across temperature (Note 8)	-5		+5	%
V _{THRSET} Capacitance load	C _{THRSET}				1	nF
APC Calibration Accuracy		+25°C			25	μA
APC Temp Drift		0.200mA to 1.5mA	-5		+5	%
		50μA to 200μA			12	μA
I _{BMD DNL}		Sink, SRC_SNK_B = 0	-0.9		+0.9	LSB
		Source, SRC_SNK_B = 1	-0.9		+0.9	
I _{BMD INL}		Sink, SRC_SNK_B = 0	-4.0		+4.0	LSB
		Source, SRC_SNK_B = 1	-4.0		+4.0	
I _{BMD} Voltage Drift					1.2	%/V
I _{BMD} FS Accuracy					1.5	%

ANALOG OUTPUT CHARACTERISTICS (continued)

(VCC3 = +2.9V to +5.5V, VCC2 = +1.6V to +3.6V, TA = -40°C to +100°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
IMODSET Accuracy		+25°C IMODSET = 0.04mA to 1.2mA	-1.5		+1.5	%
IMODSET DNL		75µA range	-0.9		+0.9	LSB
		150µA range	-0.9		+0.9	
		300µA range	-0.9		+0.9	
		600µA range	-0.9		+0.9	
		1200µA range	-0.9		+0.9	
IMODSET INL		75µA range	-1.5		+1.5	LSB
		150µA range	-1.5		+1.5	
		300µA range	-1.0		+1.0	
		600µA range	-1.0		+1.0	
		1200µA range	-1.0		+1.0	
IMODSET Temp Drift					5	%
IMODSET Voltage Drift					1.2	%/V
IMODSET FS Accuracy					1.5	%
APC Bandwidth		IMD / IAPC = 1 (Note 4)	6	10	30	kHz

AC ELECTRICAL CHARACTERISTICS—XFP CONTROLLER

(VCC3 = +2.9V to +5.5V, VCC2 = +1.6V to +3.6V, TA = -40°C to +100°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Time to Initialize	tINIT	VCC3 within ±5% of nominal	30		200	ms
TX-D Assert Time	tOFF	IBIAS and IMOD below 10% of nominal			5	µs
TX-D Deassert Time	tON	IBIAS and IMOD above 90% of nominal			1	ms
P-DOWN/RST Assert Time	tPDR-ON	IBIAS and IMOD below 10% of nominal			100	µs
P-DOWN/RST Deassert Time	tPDR-OFF	IBIAS and IMOD above 90% of nominal			200	ms
MOD-DESEL Deassert Time	tMOD-DESEL	Time until proper response to I ² C communication			2	ms
INTERRUPT Assert Delay	tINT-ON	Time from fault to interrupt assertion			100	ms
INTERRUPT Deassert Delay	tINT-OFF	Time from read (clear flags) to interrupt deassertion			500	µs
MOD-NR Assert Delay	tMOD-NR-ON	Time from fault to MOD-NR assertion			0.5	ms
MOD-NR Deassert Delay	tMOD-NR-OFF	Time from read (clear flags) to MOD-NR deassertion			0.5	ms
RX-LOS Assert Time	tLOS-ON	Time from SC-RX-LOS assertion to RX-LOS assertion			100	ns
RX-LOS Deassert Time	tLOS-OFF	Time from SC-RX-LOS deassertion to RX-LOS deassertion			100	ns
P-DOWN/RST Reset Time	tRESET	Time from P-DOWN/RST assertion to initial reset	10			µs
Shutdown Time	tFAULT	Time from fault to IBIASSET, IMODSET, and IBMD below 10%			30	µs

AC ELECTRICAL CHARACTERISTICS—SOFT* CONTROL AND STATUS

(V_{CC3} = +2.9V to +5.5V, V_{CC2} = +1.6V to +3.6V, T_A = -40°C to +100°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Soft TX-D Assert Time	t _{OFF_Soft}	IBIAS and IMOD below 10% of nominal			50	ms
Soft TX-D Deassert Time	t _{ON_Soft}	IBIAS and IMOD above 90% of nominal			50	ms
Soft P-DOWN/RST Assert Time	t _{PDR-ON_Soft}	IBIAS and IMOD below 10% of nominal			50	ms
Soft P-DOWN/RST Deassert Time	t _{PDR-OFF_Soft}	IBIAS and IMOD above 90% of nominal			200	ms
Soft MOD-NR Assert Delay	t _{MOD-NR-ON_Soft}	Time from fault to MOD-NR assertion			50	ms
Soft MOD-NR Deassert Delay	t _{MOD-NR-OFF_Soft}	Time from read (clear flags) to MOD-NR deassertion			50	ms
Soft RX_LOS Assert Time	t _{LOS-ON_Soft}	Time from SC-RX-LOS assertion to RX-LOS assertion			50	ms
Soft RX_LOS Deassert Time	t _{LOS-OFF_Soft}	Time from SC-RX-LOS deassertion to RX-LOS deassertion			50	ms
Analog Parameter data Ready (DATA-NR)					500	ms

*All SOFT timing specifications are measured from the falling edge of "STOP" signal during I²C communication.

ANALOG INPUT CHARACTERISTICS

(V_{CC3} = +2.9V to +5.5V, T_A = -40°C to +100°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
IBMD Configurable Source or Sink (+/-)			0.05		1.50	mA
IBMD Voltage (IBMD - 0μA)	V _{BMD}	Source mode		2.0		V
		Sink mode	IBMD range 0 to 1.5mA	1.2		
IBMD Input Resistance	R _{BMD}		400	550	700	Ω

A/D INPUT VOLTAGE MONITORING (IBIASMON, AUX2MON, AUX1MON, RSSI, BMD)

(V_{CC3} = +2.9V to +5.5V, T_A = -40°C to +100°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Resolution	ΔV _{MON}			610		μV
Supply Resolution	ΔV _{CC2/3}			1.6		mV
Input/Supply Accuracy	A _{CC}	At factory setting		0.25	0.5	%FS
Update Rate	t _{FRAME1}	AUX1MON and AUX2MON disabled		48	52	ms
	t _{FRAME2}	All channels enabled		64	75	
Input/Supply Offset	V _{OS}	(Note 4)		0	5	LSB
Full-Scale Input (IBIASMON and RSSI)		At factory setting	2.4875	2.5	2.5125	V
Full-Scale Input (AUX1MON, AUX2MON, and V _{CC2/3})		At factory setting (Note 9)	6.5208	6.5536	6.5864	V
BMD (Monitor) (TX-P)		FS setting		1.5		mA

FAST ALARMS AND V_{CC} FAULT CHARACTERISTICS

(V_{CC3} = +2.9V to +5.5V, V_{CC2} = +1.6V to +3.6V, T_A = -40°C to +100°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
HIGHBIAS and TX-P Threshold FS		(Note 10)	2.48	2.5	2.52	mA
V _{CC2/3} Fault Asserted Falling Edge Delay		↓ V _{CC2/3} (Note 11)			75	ms
QT Temperature Coefficient			-3		+3	%
QT Voltage Coefficient					0.5	%/V
QT FS Trim Accuracy (4.2V, +25°C)			2.480	2.500	2.520	mA
QT Accuracy (Trip) (INL)			-2	0	+2	LSB
QT Voltco					0.5	%/V
QT Tempco				1.5	3	%

NONVOLATILE MEMORY CHARACTERISTICS

(V_{CC3} = +2.9V to +5.5V, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Endurance (Write Cycle)		+70°C	50k			Cycles
Endurance (Write Cycle)		+25°C	200k			Cycles

Note 1: All voltages are referenced to ground. Current into IC is positive, out of the IC is negative.

Note 2: Secondary power supply is used to support optional variable power-supply feature of the XFP module. If V_{CC2} is not used, (i.e., signal conditioners using 3.3V supply) V_{CC2} should be connected to the V_{CC3}.

Note 3: Input signals (i.e., TX-D, MOD-DESEL, and P-DOWN/RST) have internal pullup resistors.

Note 4: Guaranteed by design. Simulated over process and 50μA < I_{BMD} < 1500μA.

Note 5: C_B—total capacitance of one bus line in picofarads.

Note 6: EEPROM write begins after a stop condition occurs.

Note 7: This is the maximum and minimum voltage on the MODSET and BIASSET pins required to meet accuracy and drift specifications.

Note 8: For V_{THRSET}, offset may be as much as 10mV.

Note 9: This is the uncalibrated offset provided by the factory; offset adjustment is available on this channel.

Note 10: % FS refers to calibrated FS in case of internal calibration, and uncalibrated FS in the case of external calibration. Uncalibrated FS is set in the factory and specified in this data sheet FS (factory). Calibrated FS is set by the user, allowing a change in any monitored channel scale.

Note 11: See the *Monitor Channels* section for more detail or V_{CC2} and V_{CC3} selection.

タイミング図

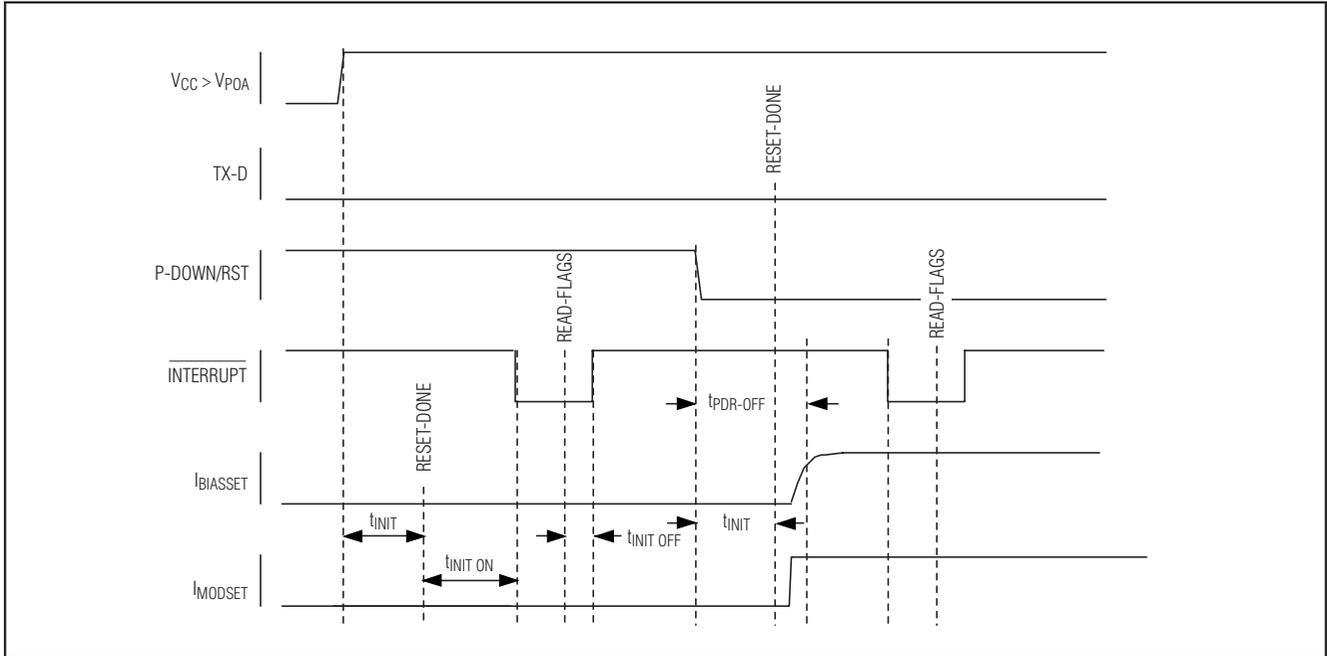


図1. P-DOWN/RSTがアサート状態でTX-D/SOFT-TX-Dが非アサート状態の電源投入時の初期化

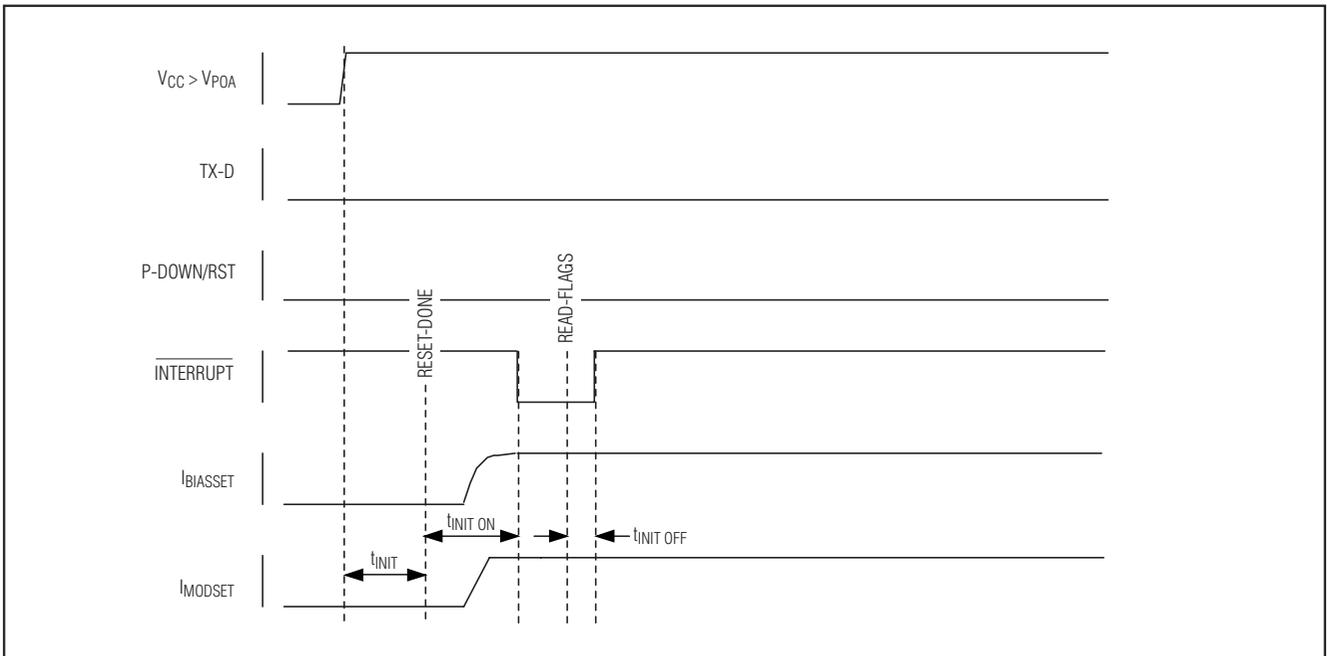


図2. P-DOWN/RSTおよびTX-D/SOFT-TX-Dが非アサート状態の電源投入時の初期化(通常動作)

タイミング図(続き)

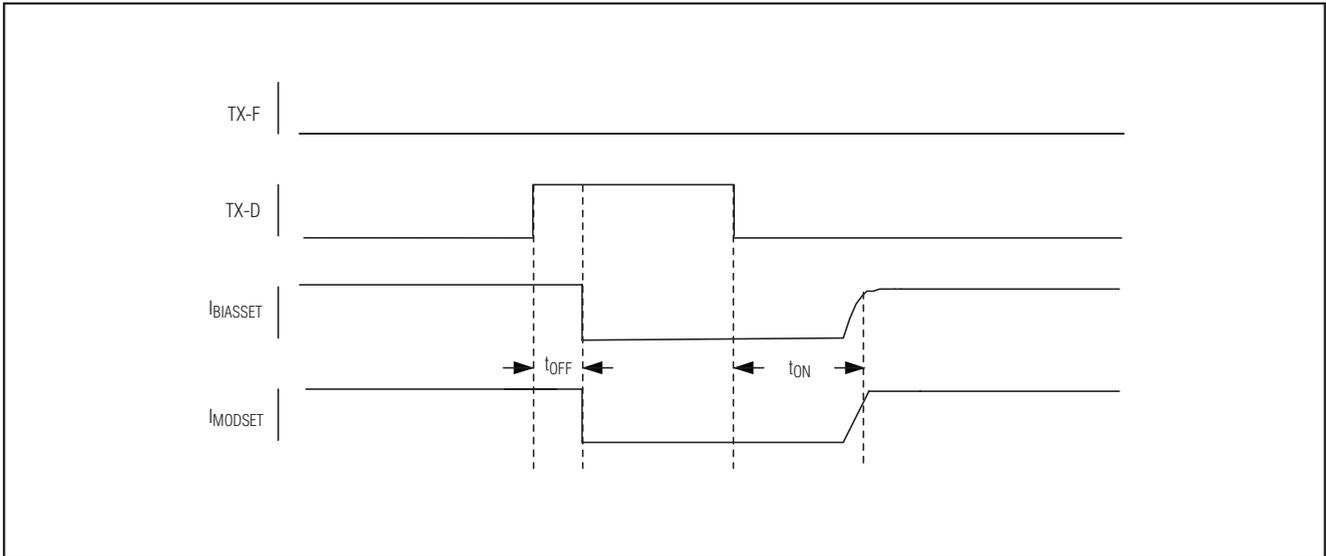


図3. 通常動作中のTX-Dのタイミング

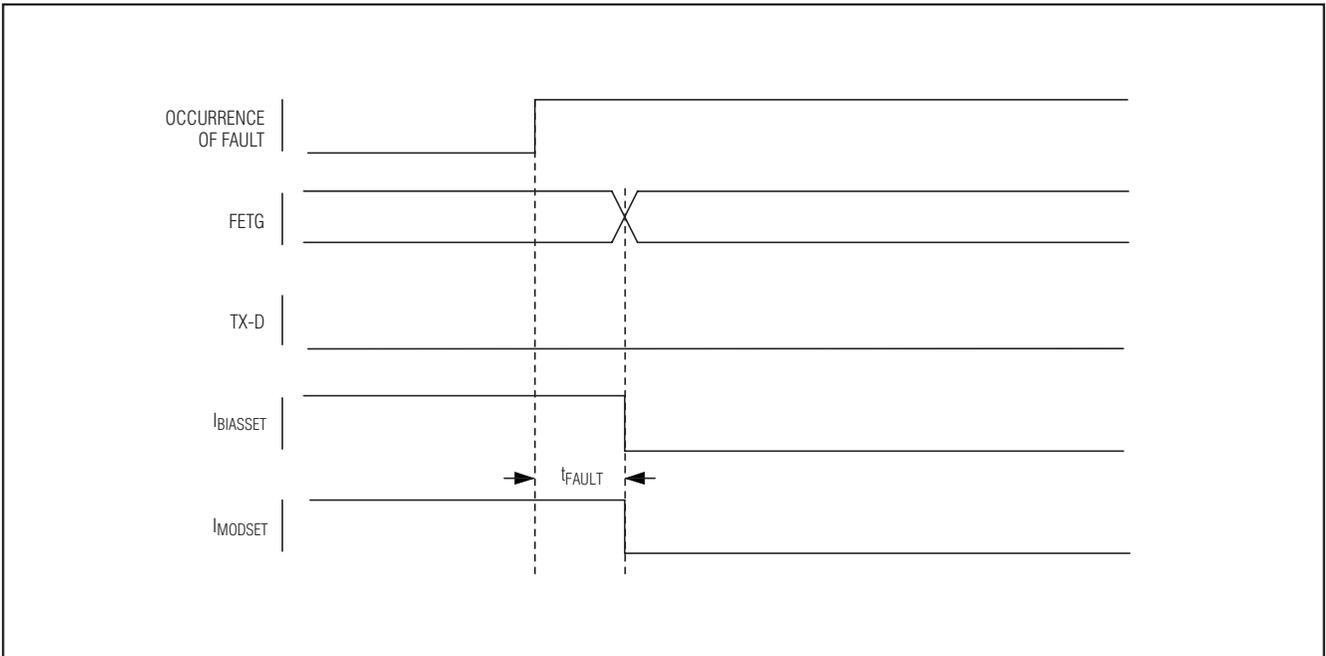


図4. 安全フォルト状態の検出

タイミング図(続き)

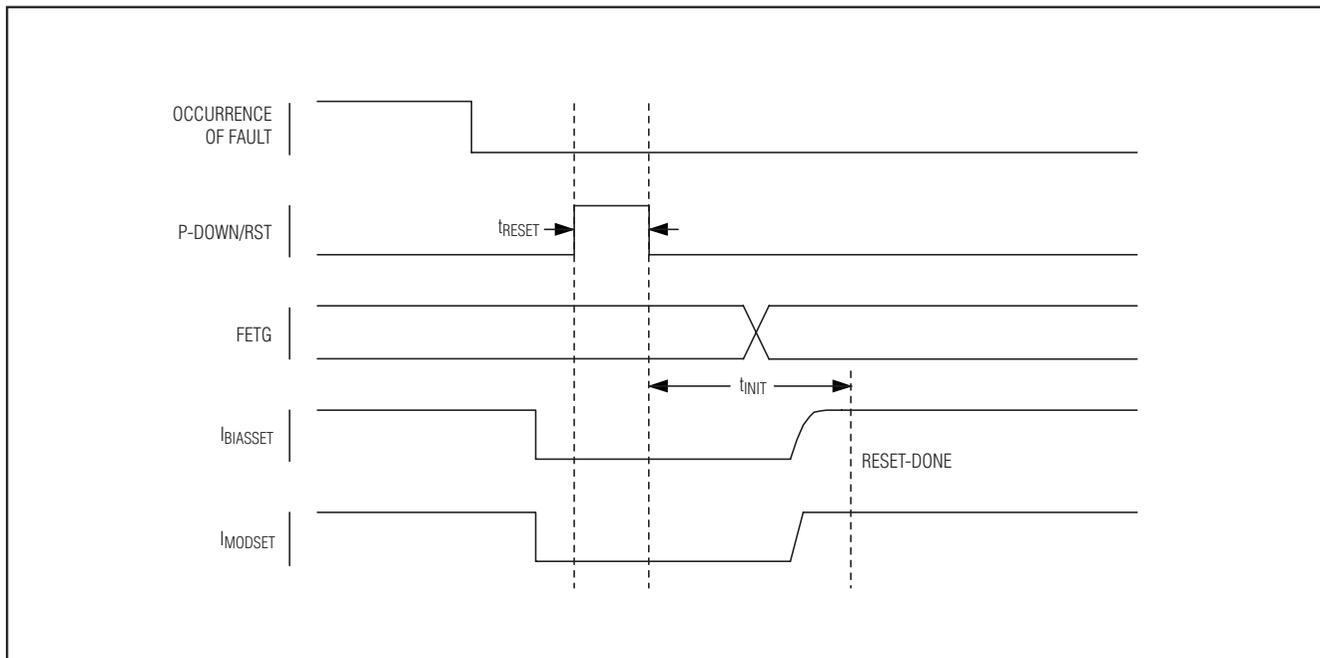


図5. P-DOWN/RSTによる成功時の過渡安全フォルト状態からの回復

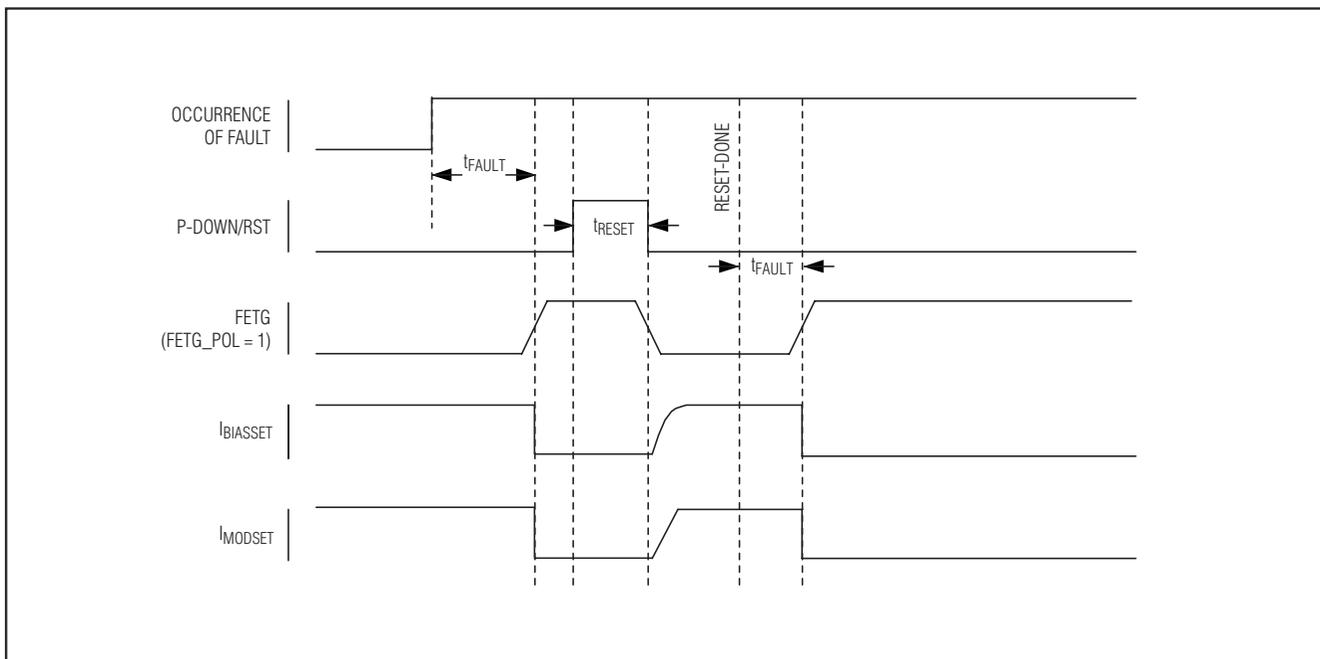


図6. 不成功時の過渡安全フォルト状態からの回復

タイミング図(続き)

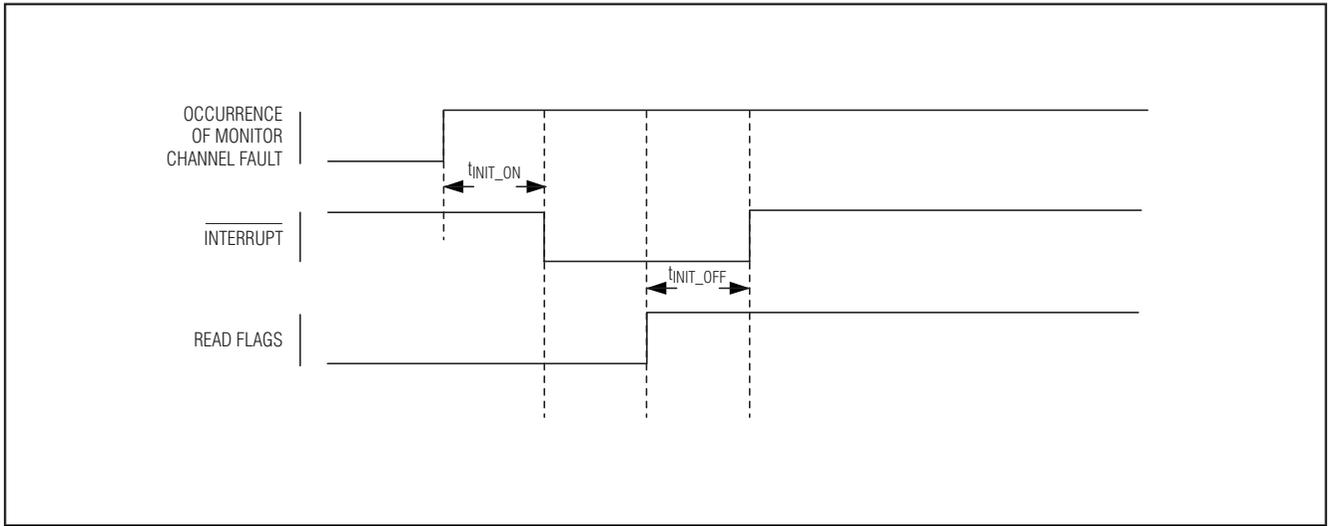
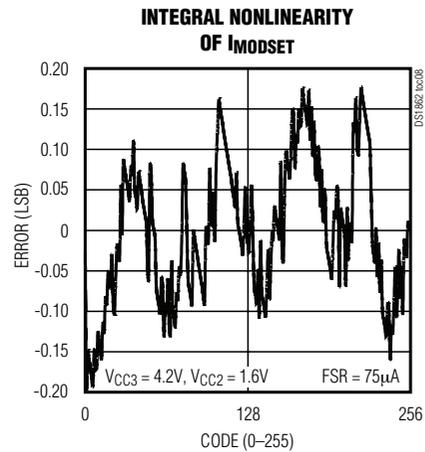
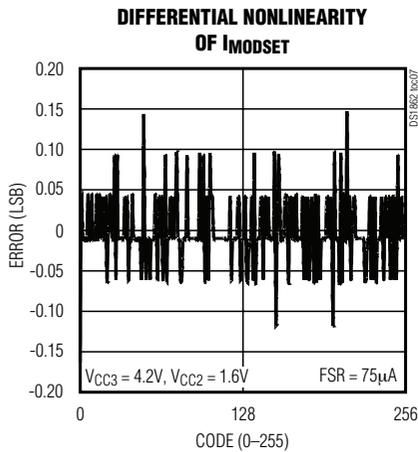
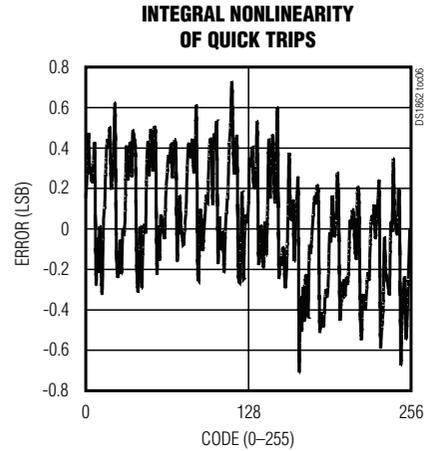
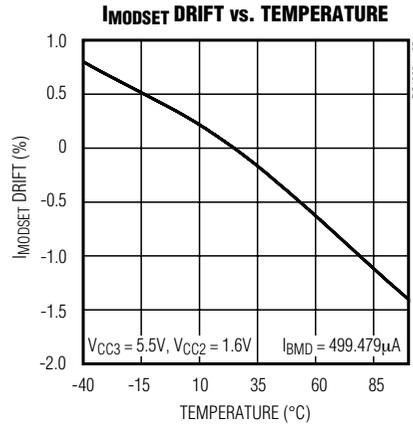
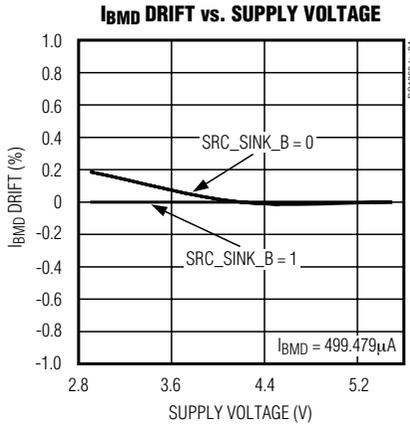
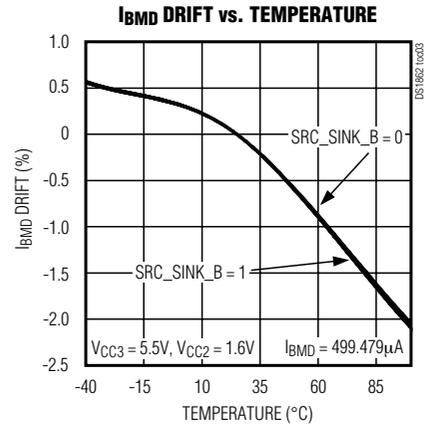
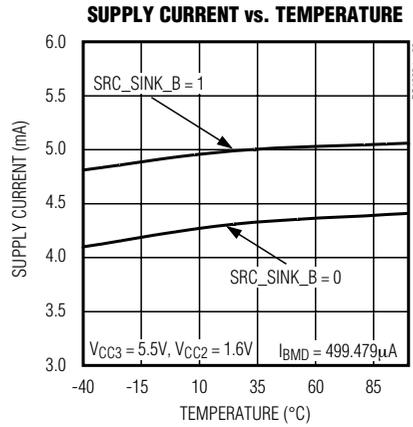
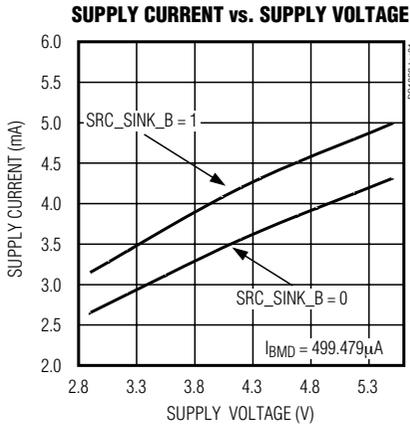


図7. モニタチャネル障害タイミング

標準動作特性

($T_A = +25^\circ\text{C}$, unless otherwise noted.)



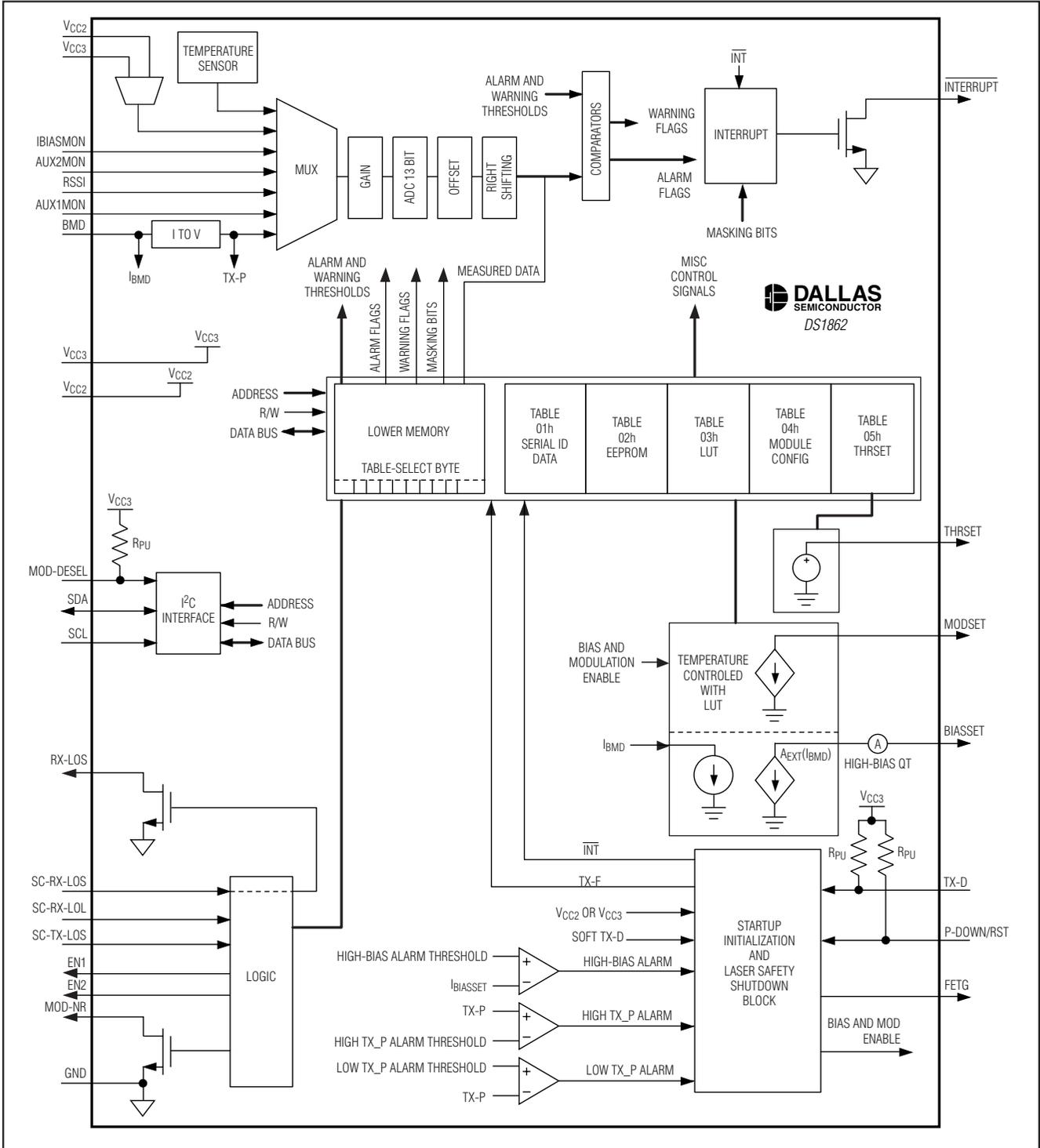
端子説明

名称	端子	説明
P-DOWN/RST	A1	パワーダウン/リセット入力。この多機能端子は内部でハイにプルされています。詳細については、「パワーダウン/リセットピン」の項を参照してください。
SC-RX-LOS	A2	信号コンディショナレシーバの信号喪失入力。この端子はLVCMOS/LVTTL電圧レベルのアクティブハイ入力です。
SC-RX-LOL	A3	信号コンディショナレシーバのロック喪失入力。この端子はLVCMOS/LVTTL電圧レベルのアクティブハイ入力です。
THRSET	A4	スレッシュホールド設定出力。この端子は、Rx信号コンディショナに使用可能なプログラマブルな電圧源です。
VCC2	A5	1.8Vの電源入力
RX-LOS	B1	レシーバ信号喪失。このオープンドレイン出力は、不十分な光パワーがある時を示します。
SCL	B2	I ² Cシリアルクロック入力
FETG	B3	FETゲート出力。この端子は、安全フォルト分離に関連する外部FETゲートを駆動することができます。
RSSI	B4	受信パワー信号入力
MODSET	B5	変調電流出力。この端子は電流のシンクのみが可能です。
TX-D	C1	転送ディセーブル入力。この端子はプルアップ抵抗を内蔵しています。
SDA	C2	I ² Cシリアルデータの入力/出力
EN1	C3	イネーブル1の出力。信号コンディショナの機能制御。
EN2	C4	イネーブル2の出力。信号コンディショナの機能制御。
BIASSET	C5	バイアス電流の出力。この端子は電流のシンクのみが可能です。
INTERRUPT	D1	割込み。このオープンドレイン出力端子は、可能性がある動作障害または危機的なステータス状態をホストに通知します。
MOD-NR	D2	モジュール動作障害の通知。オープンドレイン出力。この端子は、MOD-NRフラグのステータスを通知します。
AUX1MON	D3	補助モニタ入力。この端子を使って、電圧量を測定することができます。
AUX2MON	D4	補助2モニタ入力。この端子を使って、電圧量または外部温度センサを測定することができます。
BMD	D5	モニタダイオード電流入力。この端子は電流のソースまたはシンクが可能です。
GND	E1	グラウンド
MOD-DESEL	E2	モジュール選択解除入力。I ² C通信をイネーブルするには、この端子をローにする必要があります。この端子は内部でハイにプルされます。
IBIASMON	E3	バイアスモニタ入力。この端子を使って、レーザの電圧を監視することができます。
SC-TX-LOS	E4	信号コンディショナトランスミッタの信号喪失。この端子はLVCMOS/LVTTL電圧レベルのアクティブハイ入力です。
VCC3	E5	3.3Vまたは5Vの電源入力

XFPレーザ制御/デジタル診断IC

DS1862

ブロック図



詳細

DS1862のブロック図については、以下の項とメモリマップ/メモリの説明内で詳述します。

自動パワー制御(APC)

DS1862のAPCは、フォトダイオードからのフィードバック電流(BMD)がAPCレジスタで設定された値と一致するまで、バイアス電流(BIASSET)の閉ループ調整によって実行されます。APCレジスタと I_{BMD} との関係は次式で表されます。

$$I_{BMD} = 5.859\mu\text{A} \times \text{APC}_{C<7:0>} + (1.464\mu\text{A} \times \text{APC}_{F<1:0>})$$

ここで、 $\text{APC}_{C<7:0>}$ はBMD電流の粗調整値を制御するテーブル04h、バイト84hの8ビット値であり、 $\text{APC}_{F<1:0>}$ はBMD電流の微調整値を制御する2ビット値です。

BMDピンは、2個の抵抗と直列の電圧源として示されます。BMD入力ピンの全等価抵抗は、図8の図で忠実に近似することができます。外部電流負荷がないと仮定して、BMDピンに現れる電圧は、BMDがシンク電流モード($\text{SRC_SINK_B} = 0$)状態の場合は1.2Vであり、またはBMDがソース電流($\text{SRC_SINK_B} = 1$)に設定されている場合は2.0Vです。このため、フォトダイオードは V_{CC3} またはGNDを基準とすることができます。

制御ループが定常状態にある時は、BMD電流設定値は、内部抵抗の両端の I_{BMD} 電圧で測定される電流と一致します。過渡期間の間に、DS1862はBIASSETピンの駆動電流を調整し、ループを定常状態に移行させます。DS1862は、1/20~10のループ利得に対応するように設計されています。

電源投入時に、BMD電流は、EEPROM APCレジスタ内に事前に保存された電流設定値まで増加します。DS1862は動作中に、BMD電流を監視します。希望の(設定された) I_{BMD} 値から偏移し始めると、再びBIASSETピンの電流は補償のために調整されます。

消光比の制御ルックアップテーブル(LUT)

DS1862は温度指標付きルックアップテーブル(LUT)を使って、消光比を制御します。MODSETピンは、電流を制御している8ビット2進値に基づいて電流をシンクすることができます。また、DS1862はユーザが設定可能な電流範囲も備え、消光比分解能を向上させます。MODSETに入る電流を制御するために、表1に記載されているような5種類の電流範囲を利用可能です。

表1. MODSETの選択可能な電流範囲

LUT CURRENT RANGE TABLE 04h, BYTE 86h<2:0>	CURRENT RANGE (μA)
000	0 to 75
001	0 to 150
010	0 to 300
011	0 to 600
100	0 to 1200

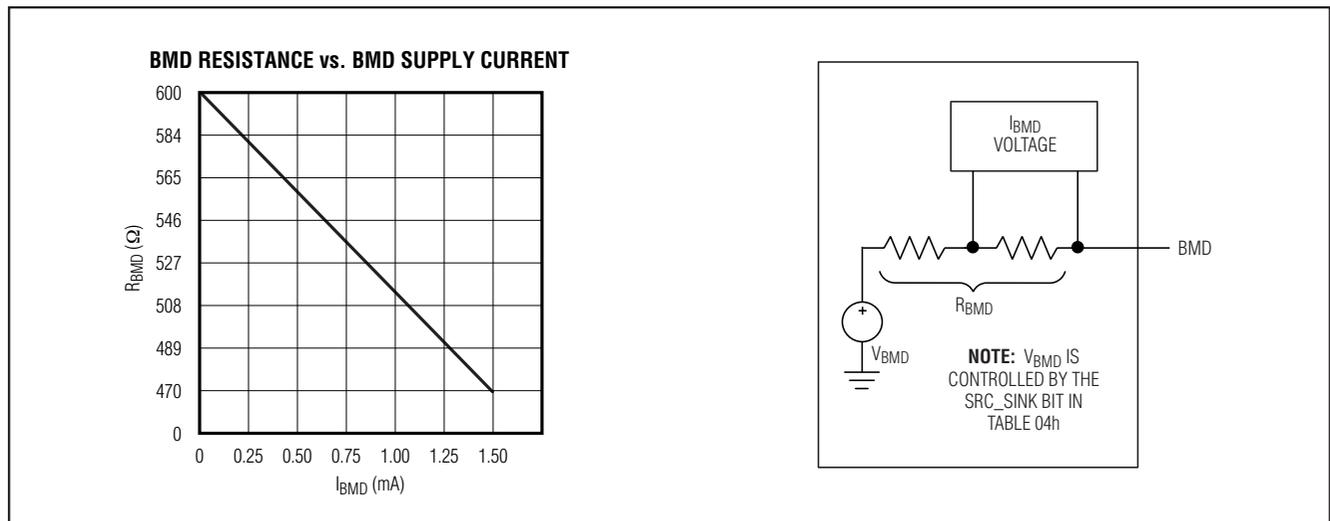


図8. BMD入力の近似モデル

最大の電流範囲が選択された場合は、(LUTからの) FFhの最大値は1200 μ Aのシンク電流に相当します。電流範囲とは関係なく、MODSETの値は0ステップを含む256のステップで常に構成されます。

温度ベースのルックアップテーブルまたは他の3つの手動方式によって、I_{MODSET}を自動制御することができます。

温度による自動参照は、アドレスポインタを制御する内部または外部温度センサによって行われます。このポインタは、LUTに保存される127の事前にロードされた8ビットの電流値を通じて指標付けを行います。127の温度スロット位置はそれぞれ、-40 $^{\circ}$ C~+102 $^{\circ}$ Cの温度範囲で2 $^{\circ}$ Cのインクリメント(単位)に対応しています。これらのポイントを上回るまたは下回るどの温度によっても、先頭または最後の温度スロットのコードに指標が付けられます。AUX2MONに接続された外部温度センサおよび内部温度センサはともに信号を送出し、指標付きのLUTで消光比を自動制御することができます。表2は、温度とLUT内のメモリ領域の関係を示しています。

表2. 温度ルックアップテーブル

TEMPERATURE ($^{\circ}$ C)	CORRESPONDING LOOK-UP TABLE ADDRESS
< -40	80h
-40	80h
-38	81h
-36	82h
—	—
+96	C4h
+98	C5h
+100	C6h
+102	C7h
> +102	C7h

MODSETの自動および手動制御は、以下の2ビットで制御されます。すなわち、テーブル04h、バイトB2hにあるTENおよびAENです。(出荷時の)デフォルトでは、TENおよびAENはともに設定済みで、完全自動温度ベースの参照を起動します。TENまたはAEN、あるいはその両方が変更されると、DS1862は手動モードのいずれかに設定されます。表3は、手動モードの機能を示しています。

表3. TENおよびAENビットの真理値表

TEN	AEN	DS1862 LUT FUNCTIONALITY
0	0	Manual mode that allows users to write a value directly to the LUT Value register (Table 04h, Byte B1h) to drive MODSET. While in this mode, the LUT index pointer register is not being updated, and no longer drives the LUT Value register.
0	1	Manual mode that allows users to write a value directly to the LUT Value register (Table 04h, Byte B1h) to drive MODSET. While in this mode, the LUT index pointer register is still being updated, however it no longer drives the LUT Value register.
1	0	Manual mode that allows users to write a value to the LUT index pointer (Table 04h, Byte B0), then the DS1862 updates the LUT Value register (Table 04h, Byte B1h) based on the user's index pointer.
1	1	Automatic mode (factory default). This mode automatically indexes the LUT based on temperature, placing the resulting LUT address in the LUT index pointer register (Table 04h, Byte B0h). Then the MODSET setting is transferred from that LUT address to the LUT Value register (Table 04h, Byte B1h). Lastly the I _{MODSET} is set to the new MODSET code.

モニタチャネル

DS1862は、ラウンドロビン方式のマルチプレックスシーケンスでポーリングされる7つの監視対象電圧信号を備え、フレームレート、 t_{FRAME} で更新されます。すべてのチャネルは16ビット値として読み取られますが、13ビット分解能を備え、温度測定を除き、すべてのチャネルは無符号の値として保存されます。内部温度を除き、監視対象の全チャネルの16ビット結果値は、アナログ-デジタル変換結果を内部で8回平均化して、計算されます。内部温度モニタチャネルの結果は、16回平均化されます。内部キャリブレーションの各チャネルの方式の詳細については、「内部キャリブレーション」の項を参照してください。

AUX1MON、AUX2MON、および $V_{CC2/3}$ モニタチャネルはオプションであり、ディセーブルすることができます。この機能によって、重要なモニタチャネルのフレームレートを短縮することができます。ディセーブル不可のチャネルは、内部温度、BMD、RSSI、およびIBIASMONです。(右シフトがない出荷時内部キャリブレーションによる)フルスケール(FS)信号値のテーブルと7つの全チャネルのFSコード結果値を以下に示しています。

温度の測定(内部または外部)

DS1862は、内部温度センサ、AUX1MON、およびAUX2MONの3種類のモニタチャネルで温度を測定することができます。内部温度およびAUX2MONチャネルのみがLUTを指標付けして、消光比を制御することができます。AUX2MONの外部温度センサを使用するには、テーブル04h、バイト8BhのTEMP_INT/EXTビットを設定する必要があります。AUX2MONが消光比を制御している間は、内部温度センサは動作を停止しません。消光比はAUX2MONで制御されますが、温度フラグのステータスを制御し続けるのはこの内部温度信号です。TEMP_INT/EXT = 1の場合は、内部温度は-40°Cおよび+103.9375°Cでクランプし、TEMP_INT/EXT = 0の場合は、-120°Cおよび+127.984°Cでクランプします。ただし、AUX2MONは、許容範囲外の状態を示し、INTERRUPTピンをアサートする固有のフラグを備えています。

表4. モニタチャネルFSおよびLSBの詳細

SIGNAL	+FS SIGNAL	+FS (hex)	-FS SIGNAL	-FS (hex)	LSB
Temperature	127.984°C	7FF8	-120°C	8800	0.0625°C
$V_{CC2/3}$	6.5528V	FFF8	0V	0000	100 μ V
IBIASMON	2.4997V	FFF8	0V	0000	38.147 μ V
RSSI	2.4997V	FFF8	0V	0000	38.147 μ V
AUX1MON	6.5528V	FFF8	0V	0000	38.147 μ V
AUX2MON	6.5528V	FFF8	0V	0000	38.147 μ V
BMD (TX-P)	1.5mA	FFF8	0mA	0000	22.888nA

AUX1MONおよびAUX2MONのどちらも、各ピンで電圧の関数として温度を測定に使用することができます。表5から0hまたは4hを選択して、これらをイネーブルすることができます。入力電圧を希望の2の補数のデジタルコードに変換するには、内部(または外部)キャリブレーションが必要な場合もあります。このデジタルコードは、バイト6Ah、6Bh、6Ch、および6Dhの下位メモリ内の結果レジスタから読み取り可能です。

$V_{CC2/3}$ の測定

DS1862には、 V_{CC2} または V_{CC3} を内部で測定し、電源電圧を監視するフレキシビリティがあります。 V_{CC2} または V_{CC3} は、テーブル01h、バイトDCh内の $V_{CC2/3_Sel}$ ビットによってユーザが選択可能です。 V_{CC2} または V_{CC3} を監視対象に選択していても、ラウンドロビン方式のモニタ更新方式から $V_{CC2/3}$ を取り除くために、テーブル04h、バイト8BhのReserve_ENビットを0に設定することができます。アナログ、パワーオンリセットフラグPOAは、 V_{CC3} 電源のステータスを通知します。POAは $V_{CC2/3}$ モニタチャネルと同様に動作するように見えますが、POAは全く別物であり、関係はありません。

RESERVE_EN	$V_{CC2/3_Sel}$	RESULT
0	0	$V_{CC2/3}$ result not enabled.
0	1	$V_{CC2/3}$ result not enabled.
1	0	V_{CC3} is being measured.
1	1	V_{CC2} is being measured.

APCおよびレーザパラメータ

(BMD、IBIASMON、RSSI)の測定

BMDおよびBIASSETを使って、レーザ機能の制御と監視を行うことができます。APCレジスタに設定されたBMD電流とは関係なく、DS1862はBMDピン電流を測定し、この値を使ってBIASSETピンの電流を調整するだけでなく、TX-Pを監視することもできます。IBIASMONピンを使って、電圧信号をDS1862に入力することができます。これでレーザを通じてバイアス電流を監視することができます。このモニタチャネルは安全フォルト

機能用にHIGHBIAS高速トリップ(QT)警報を駆動せず、BIASSETピンの電流はHIGHBIAS高速トリップを制御するためにDS1862によって監視されます。TX-Pと同様に、RSSIピンを使って受信パワー、RX-Pを測定することができます。

AUX1MONおよびAUX2MONによる電圧量の測定

AUX1MONおよびAUX2MONは、その他のパラメータの測定に使用可能な補助モニタ入力です。AUX1/2MONは、測定値の単位(すなわち、電圧、電流、または温度)を決定するユーザが選択可能なレジスタを備えています。単位の指定だけでなく、表5の4ビットオペコードの一部は、警報および障害用に内部使用される特別モードに製品を移行もさせます。どの単位スケールが選択されていても、DS1862は正電圧量の測定だけが可能です。このため、2進値を測定量と一致させるには内部または外部キャリブレーションが必要になることがあります。対応可能な単位やそれに対応するユーザ

表5. AUX1/2MON機能の選択(単位の選択)

VALUE	DESCRIPTION OF AUX1/2MON INTENDED USE (UNITS OF MEASURE)
0000b	Auxiliary monitoring not implemented
0001b	APD bias voltage (16-bit value is voltage in units of 10mV)
0010b	Reserved
0011b	TEC current (mA), (16-bit value is current in units of 0.1mA)
0100b	Laser temperature (same encoding as module temperature)
0101b	Laser wavelength
0110b	+5V supply voltage (encoded as primary voltage monitor)
0111b	+3.3V supply voltage (encoded as primary voltage monitor)
1000b	+1.8V supply voltage (encoded as primary voltage monitor) (VCC2)
1001b	-5.2V supply voltage (encoded as primary voltage monitor)
1010b	+5V supply current (16-bit value is current in 0.1mA)
1101b	+3.3V supply current (16-bit value is current in 0.1mA)
1110b	+1.8V supply current (16-bit value is current in 0.1mA)
1111b	-5.2V supply current (16-bit value is current in 0.1mA)

プログラマブルの4ビットオペコードの表は、以下に示されています。

モニタチャンネルに準拠した警報/警告フラグ

すべてのモニタチャンネルは、ユーザが設定したスレッショルドがモニタチャンネル結果と内部で比較されると、自動的にアサートされる警報および警告フラグを備えています。マスクされていない場合は、INTERRUPTピンで割込みを生成するか、または安全フォルトを生成するフラグが設定される場合があります。VCC2/3、AUX2MON、AUX1MON、RSSIおよび内部温度がそれぞれのスレッショルドトリップポイントを超え、対応するマスクビットが0の場合は常に、割込みがINTERRUPTピンで生成され、対応する警告または警報フラグが設定されます。同様に、BMDまたはBIASSETがスレッショルドトリップポイントを超えると常に、安全フォルトが発生します。これが発生すると、FETGピンはすぐにアサートし、BIASSETおよびMODSET電流はシャットダウンされます。

モニタチャンネル変換例

表6は、RSSIまたはIBIASMONにおける出荷時設定キャリブレーションによって16ビットADCコードが実際の測定電圧にどのように対応するかを例を示しています。出荷時デフォルトでは、LSBは38.147μVに設定されます。

表6. A/D変換例

MSB (BIN)	LSB (BIN)	VOLTAGE (V)
11000000	00000000	1.875
10000000	10000000	1.255

VCC2、VCC3、AUX1MON、またはAUX2MONを計算するには、無符号の16ビット値を10進数に変換し、100μVをかけます。

(内部)温度を計算するには、2の補数値の2進数を無符号2進数として処理して、それを10進数に変換し、256で割ります。その結果が128以上の場合は、その結果から256を引きます。

温度：上位バイト = -128°C ~ +127°C 符号付き、下位バイト = 1/256°C

表7. 温度ビットの加重

S	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
2 ⁻¹	2 ⁻²	2 ⁻³	2 ⁻⁴	2 ⁻⁵	—	—	—

表8. 温度変換例

MSB (BIN)	LSB (BIN)	TEMPERATURE (°C)
01000000	00000000	+64
01000000	00001000	+64.03215
01011111	00000000	+95
11110110	00000000	-10
11011000	00000000	-40

内部キャリブレーション

DS1862は、アナログ入力をデジタル結果にスケールリングする方法を2つ備えています。2個のデバイスは、較正する信号の利得およびオフセットを変更します。内部温度を除き、すべての入力は、テーブル04hにあるオフセットおよび利得別の固有のレジスタを備えています。全モニタチャンネルの右シフトなどの内部キャリブレーション機能の詳細については、以下の表を参照してください。

表9. 内部キャリブレーション機能

SIGNAL	INTERNAL SCALING	INTERNAL OFFSET	RIGHT-SHIFTING
Temperature	—	x	—
Vcc2/3	x	x	—
IBIASMON	x	x	x
RSSI (RX-P)	x	x	x
AUX1MON	x	x	x
AUX2MON	x	x	x
BMD (TX-P)	x	x	x

特定入力の利得およびオフセットをスケールリングするには、アナログ入力と予想デジタル結果との関係が既知である必要があります。すべてゼロという対応するデジタル結果をもたらす入力はヌル値です(通常、この入力はGNDです)。すべて1という対応するデジタル結果をもたらす入力はフルスケール(FS)値から1 LSBを引いた値です。また、すべて1のデジタル値に、重み付けされたLSBをかけると、FS値が求められます。例えば、デジタル読取り値が16ビット長であり、LSBが50μVであると確認されていると仮定すると、FS値は $2^{16} \times 50\mu\text{V} = 3.2768\text{V}$ です。

バイナリ検索によって、希望するコンバータのFSを得るのに適した利得値を求めることができます。利得値が求められると、その値を対応するチャンネルの利得レ

ジスタにロードすることができます。これには、2つの既知電圧をモニタ入力ピンに印加する必要があります。最良の結果を得るには、印加電圧のいずれか1つをヌル入力にして、その他の印加電圧をFSの90%にする必要があります。デジタル読取りレジスタの最下位ビットのLSBは既知であるため、予想デジタル結果もヌルおよびFS値入力に対して既知です。図9は、DS1862のLUT機能に組み込まれたヒステリシスを示しています。

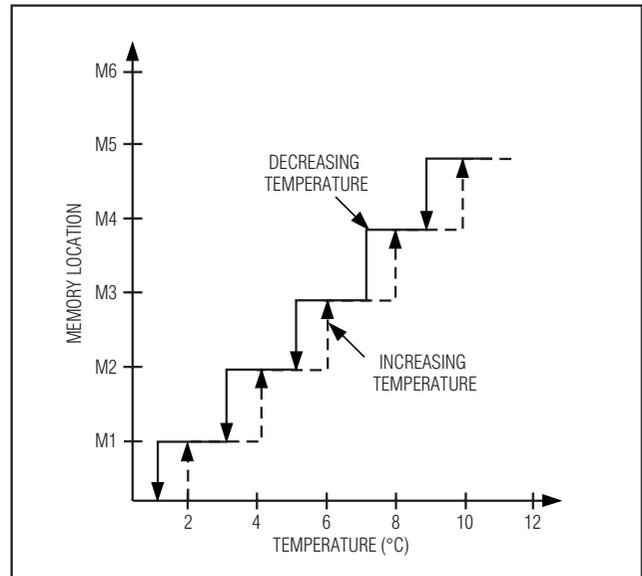


図9. ルックアップテーブルのヒステリシス

電流のソースやシンクが可能なBMDを除いて、すべての監視対象チャンネルはハイインピーダンスであり、電圧を直接測定することだけができます。光、周波数、電力、電流などの他の測定量を希望する場合は、測定量を電圧に変換する必要があります。この場合は、ユーザは監視対象チャンネルでの電圧測定ではなく、希望のパラメータの測定に関心があります。間接的な測定量(光、周波数、電力、電流など)と予想デジタル結果との関係のみが既知である必要があります。

推奨されるバイナリ検索手順による利得スケールリング例を以下の疑似コードとともに示します。

計算を助けるために、カウント1とカウント2の2つの整数を定義する必要があります。CNT1 = NULL / LSB および CNT2 = 90% FS / LSB。CLAMPは、対応可能な最大結果です。

```
/* ヌル入力か0.5Vであると仮定します。 */
/* また、LSBの要件は50μVです。 */
FS = 65536 * 50e-6; /* 3.2768 */
CNT1 = 0.5 / 50e-6; /* 10000 */
CNT2 = 0.90*FS / 50e-6; /* 58982 */
/* このため、0.5Vのヌル入力およびFS入力の90%は
2.94912Vです。 */
```

トリムオフセットレジスタをゼロに設定します。;
右シフトレジスタをゼロに設定します。(標準でゼロ。
「右シフト」の項を参照);

```
gain_result = 0h;
```

```
CLAMP = FFF8h/2^(Right_Shift_Register);
```

```
n = 15から0までとするには
```

```
begin
```

```
gain_result = gain_result + 2^n;
```

```
90%のFS入力にします。(2.94912V);
```

```
Meas2 = 結果のデジタル値を読取ります。;
```

```
Meas2 >= CLAMPであれば
```

```
gain_result = gain_result - 2^n;
```

```
Else
```

```
ヌル入力にします。(0.5V);
```

```
Meas1 = 結果のデジタル値を読取ります。;
```

```
(Meas2 - Meas1) > (CNT2 - CNT1)であれば
```

```
gain_result = gain_result - 2^n;
```

```
end;
```

利得レジスタをgain_resultに設定します。;

これで利得レジスタは設定され、変換の分解能は予想LSBと完全一致します。次のステップは、DS1862のオフセットのキャリブレーションです。正しい利得値を利得レジスタに書き込んで、ヌル入力をモニタピンに再び入力します。DS1862から結果のデジタル値を読み取ります(Meas1)。オフセット値は、Meas1の負の値になります。

$$\text{OFFSET_REGISTER} = \left\lfloor \frac{(-1)\text{MEAS1}}{4} \right\rfloor$$

計算されたオフセットがDS1862に書き込まれ、利得/オフセットスケーリング手順は完了です。

右シフトA/D変換結果 (スケーラブルダイナミックレンジ)

右シフトは、較正対象のシステムの失われたADC範囲の一部を取り戻すためのデジタル方式です。右シフトがイネーブルされている場合は、非ゼロ値を対応する右シフトレジスタにロードすると、モニタチャンネルのレジスタに保存される直前にDS1862は較正結果をシフトします。システムが較正された結果、最大予想入力が7FFFh (FSの50%)を下回るデジタル出力値になる場合は、右シフト方式を使用する候補となります。

希望する最大デジタル出力が7FFFhを下回る場合は、較正対象のシステムはADCの範囲の1/2未満を使用しています。同様に、希望する最大デジタル出力が1FFFhを下回る場合は、較正対象のシステムはADCの範囲の1/8しか使用していません。例えば、印加された最大アナログ信号が1FFChを下回る最大デジタル出力をもたらす場合は、ADCの範囲の1/8しか使用していません。右シフトによって、内部キャリブレーションの一環として測定信号の分解能が向上します。右シフトがない場合は、ADCの3つのMSビットは使用されません。この例では、右シフトの3という値によってADC範囲は最大になり、変換を最適化するにはより大きな利得設定値をロードする必要があります。これは左揃えされた13ビットコンバータであるため、分解能は損失しません。分解能を損失せずに、値を3回右シフトすることができます。以下の表は、右シフト方式を効果的に使用可能な場合を示しています。

表10. 右シフトの選択

OUTPUT RANGE USED WITH ZERO RIGHT-SHIFTS	NUMBER OF RIGHT-SHIFTS NEEDED
0h .. FFFFh	0
0h .. 7FFFh	1
0h .. 3FFFh	2
0h .. 1FFFh	3
0h .. 0FFFh	4

AUX1/2MON、V_{CC2/3}、温度、RX-P、および IBIASMONに準拠した警告/警報ロジック

DS1862は、監視対象のアナログチャンネルがユーザ設定の許容値を超えるごとに、警報や警告を生成することができます。温度、バイアス電流(IBIASMONに準拠)、受信パワー(RSSIに準拠)、AUX1MON、AUX2MON、およびV_{CC2/3}は、ラッチ付きフラグを生成する監視対象チャンネルです。AUX1MONおよびAUX2MONに関する

詳細については、以下の図を参照してください。監視対象チャンネルが設定した動作ウィンドウを初めて超え、対応する警報または警告フラグが設定されないように設定可能なマスクビットが各監視対象信号ごとにある場合は、フラグがハイ状態にラッチされます。フラグが設定されると、そのメモリ領域を読み取るだけでそのフラグはクリアされます。

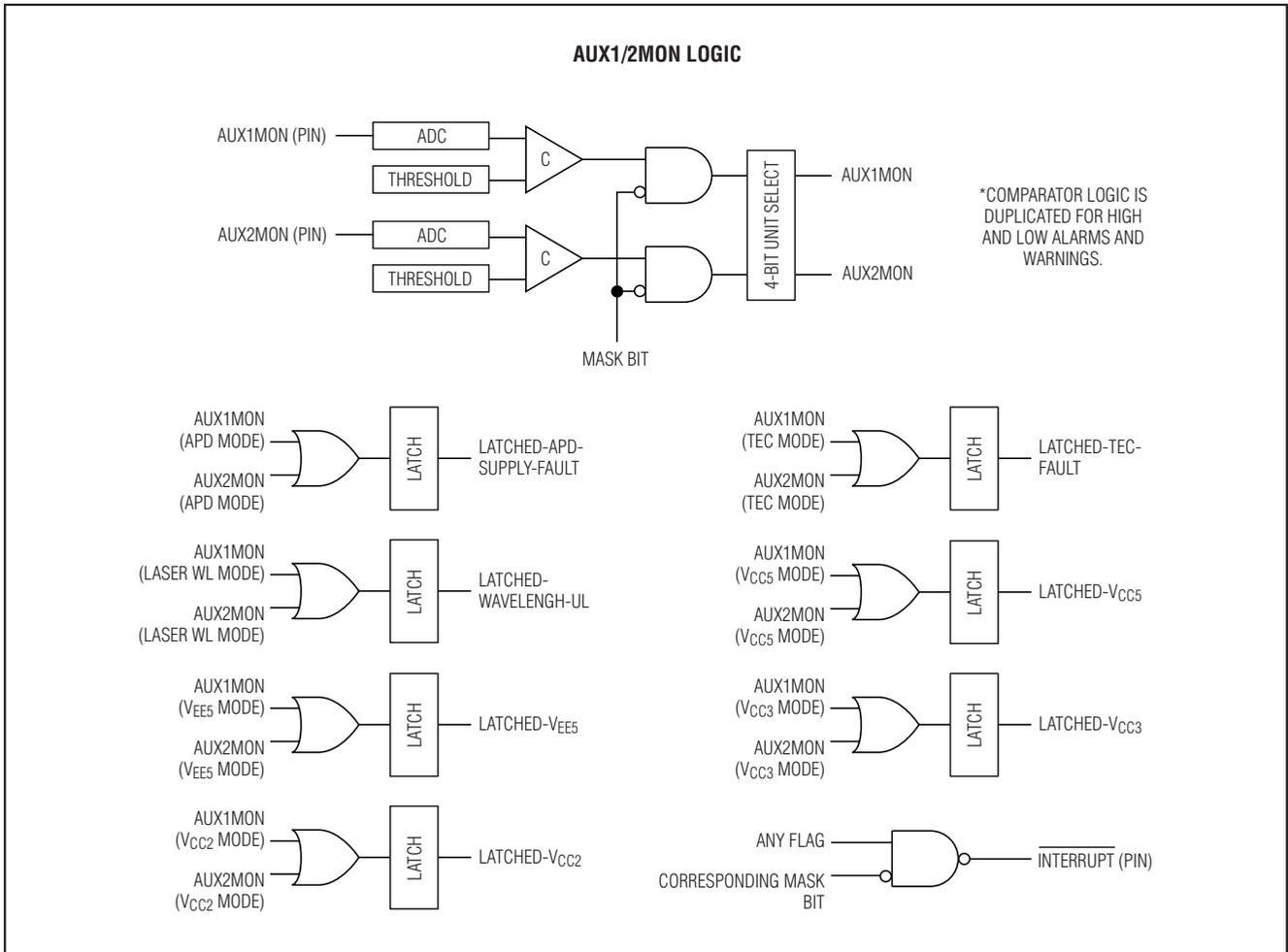


図10. AUX1/2モニタロジック

信号コンディショナに準拠する警報/警告ロジック

DS1862はまた、信号コンディショナ(SC)ピンにおいて特定のロジック条件で設定されるフラグも備えています(SC-RX-LOL、SC-RX-LOS、SC-TX-LOS)。同様に、ラッチ付き信号コンディショナごとに、警報または警告フラグがINTERRUPTピンをアサートしないようにすることが可能なマスクビットもあります。この場合も、フラグのメモリアドレスが読み取られるごとに、フラグは自動的にクリアされます。詳細については、図11を参照してください。

高速トリップロジックおよびFTEGシャットダウン機能

警報および警告機能のほかに、DS1862は、 I_{MODSET} および $I_{BIASSET}$ のシャットダウンとともに、FETGピンで

LASERをシャットダウン可能な(高速警報とも呼ばれる)高速トリップ(QT)機能も搭載しています。 I_{BMD} および $I_{BIASSET}$ の電流は測定され、高速トリップフラグ(QT LOW TX-P、QT HIGH TX-P、およびQT HIGH BIAS)を設定するユーザ定義のトリップポイントと比較されます。これらのフラグは、許容範囲外状態の検出時にFETGがアサートされないようにマスクすることもできます。TX-Dピン、SOFT TX-D、またはP-DOWN/RSTピンをハイ状態に設定するとFETGはアサートされませんが、 I_{MODSET} と $I_{BIASSET}$ はシャットダウンされます。詳細については、図12を参照してください。

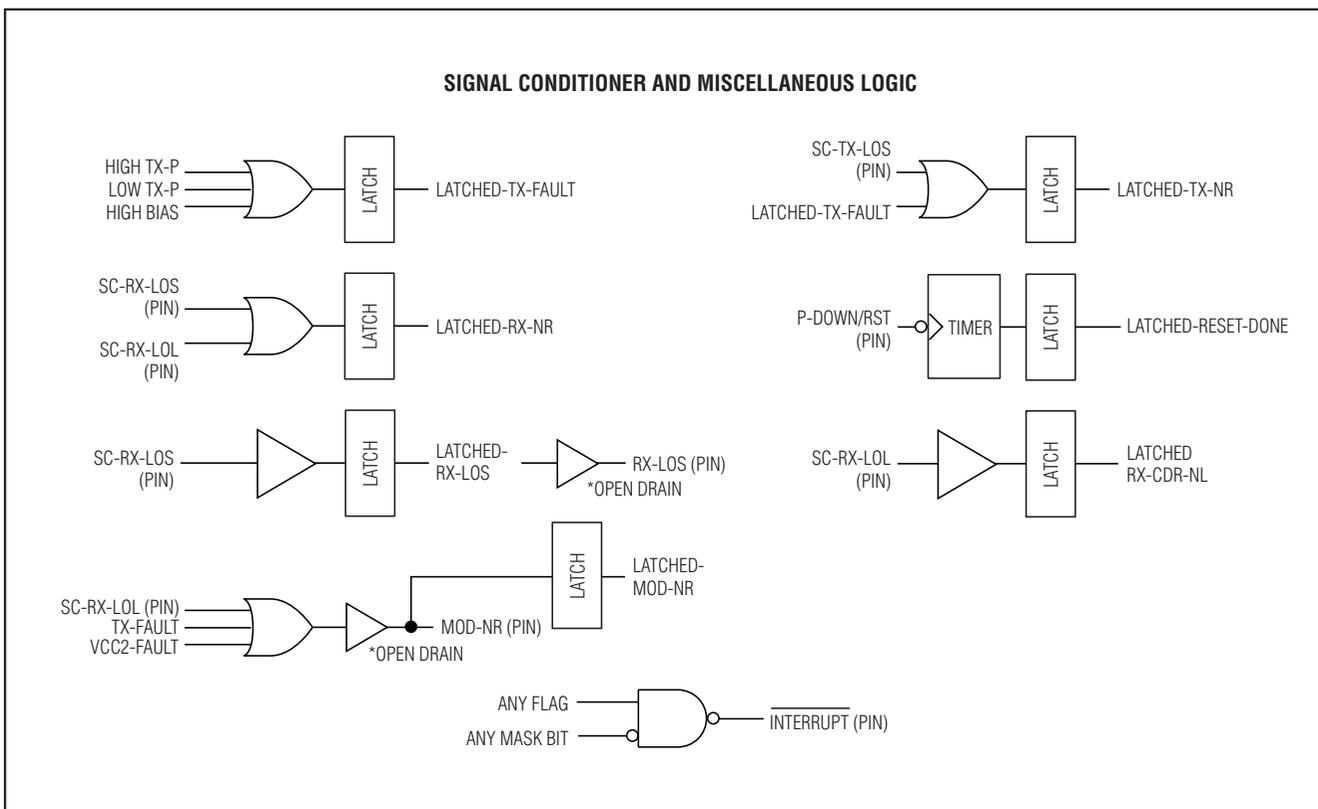


図11. 信号コンディショナおよびその他のロジック

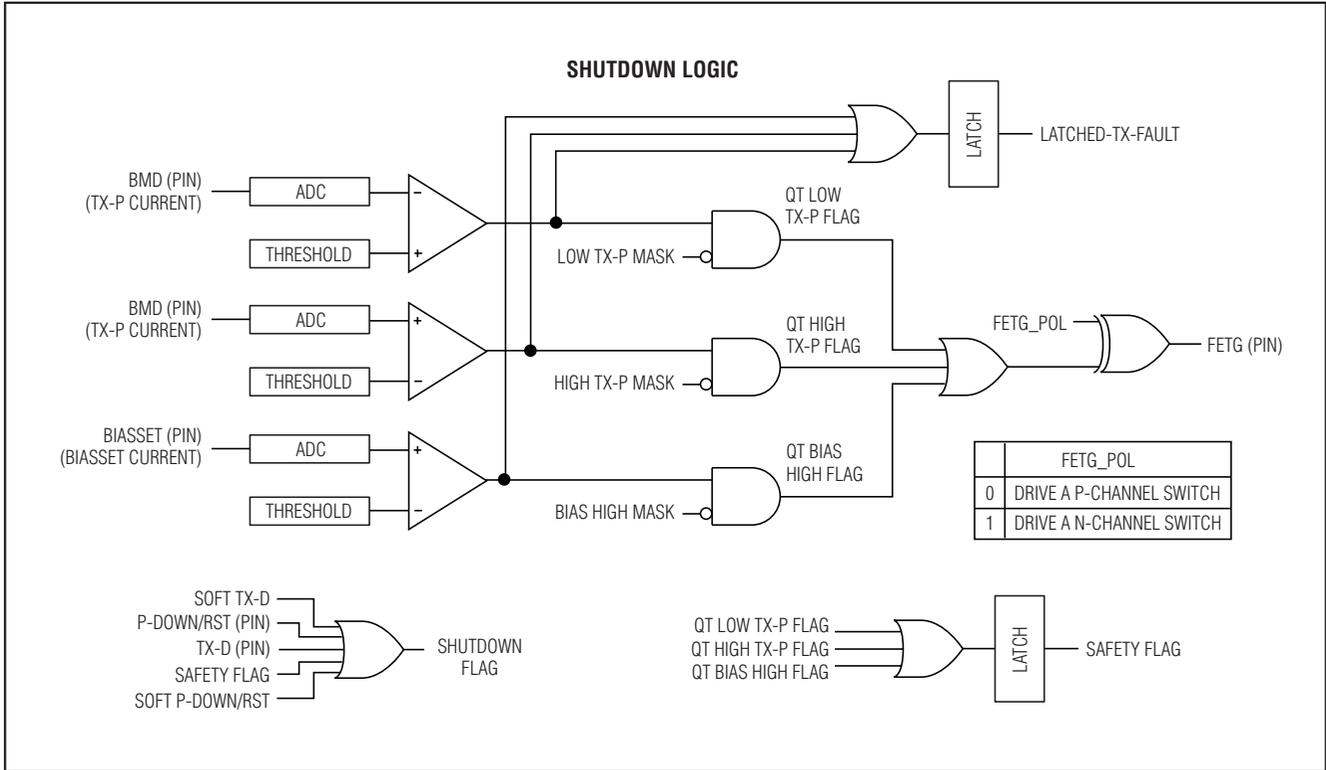


図12. 安全フォルトおよびシャットダウンロジック

また、FETGピンの極性を、FETG_POLビットを設定して、逆にすることもできます。安全フォルトが発生すると、FETGピンとそれに付随する全フラグは、P-DOWN/RSTピンをリセット時間 t_{RESET} の間、パルス的にハイにするか、またはバイト6Eh、ビット4のP-DOWN/RSTビットを切り換えることによってのみリセットすることができます。詳細については、「パワーダウン/リセットピン」の項を参照してください。

パワーダウン/リセットピン

P-DOWN/RSTピンは、DS1862のリセットやパワーダウンを行う多機能入力ピンです。このピンは内部でプルアップされるため、通常状態が解放され、それはパワーダウンモードに相当します。P-DOWN/RSTピンが解放されたり、ハイにされると、DS1862はMODSETおよびBIASSET電流をシャットダウンして応答します。ピンがローにプルされると、動作が継続します(安全フォルトで抑制されていない場合)。DS1862をパワーダウンするだけでなく、最短リセット時間 t_{RESET} のハイになるパルスでP-DOWN/RSTに印加することができます。特に、安全シャットダウン状態にあり、安全状態が調整された後に再起動する必要がある場合に、DS1862を

再起動するには、この処理が必要です。正しいピンタイミングについては、タイミング図を参照してください。

パワーダウン機能

パワーダウンモード中に、 $I_{BIASSET}$ と I_{MODSET} は $10\mu A$ を下回り、レーザを効率的にシャットダウンします。FETGはアサートされず、安全フォルトはこの期間中には発生しません。パワーダウンの間はI²C通信は引き続きアクティブですが、信号コンディショナピンのEN1およびEN2は制御不能であり、EN1 = 1およびEN2 = 0の状態に自動的に移行します。信号コンディショナ入力に基づく他の内部フラグ/信号は、パワーダウン中に信号コンディショナピンのステータスを引き続き反映します。例えば、RX-LOSはSC-RX-LOSのステータスを引き続き反映し、MOD-NRは信号コンディショナピンのロジック状態を反映し続けます。同様に、BIASSETおよびMODSET電流がシャットダウンされていても、FETGをアサートすることができます。ただし、パワーダウンおよびパワーアップ中の短期の $t_{PDR-OFF}$ の間は、TX-Pローフラグは無視され(内部で自動的にマスクアウト)、FETGのロジックに寄与しません。

P-DOWN/RST (パワーダウン状態のDS1862)のアサート期間中に、 V_{CC3} がサイクルされると、DS1862はパワーアップ時にパワーダウンモード状態を維持します。パワーダウンモード状態の間は、 $\overline{\text{INTERRUPT}}$ ピンはアサートしません。 V_{CC3} が戻ると、リセット完了フラグが割込みアサート遅延 $t_{\text{INIT ON}}$ の後にアサートします。

リセット機能

P-DOWN/RSTピンはDS1862をパワーダウンするだけでなく、DS1862をリセットする機能も果たします。ハイになるパルスの期間、 t_{RESET} が経過すると、複数のイベントがDS1862内で発生します。最初に、MODSETおよびBIASSET電流がシャットダウンされ、次に元の状態に戻ります。2番目に、リセットパルスの立上りエッジとリセット完了フラグのアサートの間に(t_{INIT})、ローのTX-Pフラグは無視され、FETGをトリップさせません。この期間、 t_{INIT} が経過すると、ローのTX-Pフラグが機能します。また、この時に、リセット完了フラグはアサートされ、割込みが生成されます。 t_{INIT} の前に障害がない場合は、割込みは $\overline{\text{INTERRUPT}}$ ピンでアサートされません。

P-DOWN/RSTがハイの間に V_{CC3} が電源投入されると、リセット完了フラグを2回クリアする必要があります。リセット完了フラグが V_{CC3} の電源投入で初めて生成されると、2回目のリセット完了フラグがP-DOWN/RSTの立下りエッジで生成されます。P-DOWN/RSTがローの間に V_{CC3} が連続的に電源投入されると、クリアする必要があるのは1つのリセット完了フラグのみです。図による詳細については、タイミング図を参照してください。

DS1862のメモリマップ

メモリ構成

DS1862は、4つのバイト列で内部構成される6つの独立したメモリテーブルを備えています。下位メモリは00hから7Fhまでアドレス指定され、警報/警告スレッショルド、フラグ、マスク、複数の制御レジスタ、パ

スワード入力域(PE)、およびテーブル選択バイトを内蔵しています。テーブル01hは、主にユーザEEPROMと各種機能用の複数の制御バイトを備えています。テーブル02hは、ホストのパスワードで保護されるユーザEEPROM専用です。テーブル03hは、LUTによる消光比の制御専用です。テーブル04hは、監視対象チャンネルの内部キャリブレーション値、LUTインテックスポイント、およびその他の制御バイトを内蔵する多機能領域です。テーブル05hは出荷時に設定され、推奨される外部温度センサ用のSCALE値を保存します。また、テーブル05hの1バイトはTHRSET電圧源を制御し、パスワード保護なしで完全アクセスが可能です。各バイトの読み取り/書き込み許可については表11を、また各バイトの機能の詳細については「メモリ」の項を参照してください。(「レジスタ詳細」の項内で示す)多数の不揮発性メモリ領域は実際にはSRAM-shadowed EEPROMであり、テーブル4、バイトB2h内のSEEBビットで制御されます。

DS1862は、何回も再書き込みが可能な主要メモリアドレス用のSRAMでSRAM-shadowed EEPROMメモリ領域を内蔵しています。デフォルトでは、shadowed EEPROMビット、SEEBは未設定で、これらの領域は通常のEEPROMとして機能します。SEEBを設定すると、これらの領域はSRAMセルのように機能し始め、EEPROMの消耗を懸念せずに無数の書き込みサイクルを可能にします。また、これによって、EEPROMの書き込み期間、 t_{WR} の要件がなくなります。SEEBをイネーブルにして行われた変更はEEPROMに作用しないため、これらの変更はパワーサイクルを通じて保持されません。電源投入時の値は、SEEBをディセーブルにして書き込まれた最後の値です。この機能を使って、キャリブレーション中のEEPROM書き込みの回数を制限したり、通常動作中のモニタスレッショルドを定期的に変更し、EEPROMに書き込まれる回数を減らすことができます。メモリマップの説明は、shadowed-EEPROMはどの領域であるかを示します。

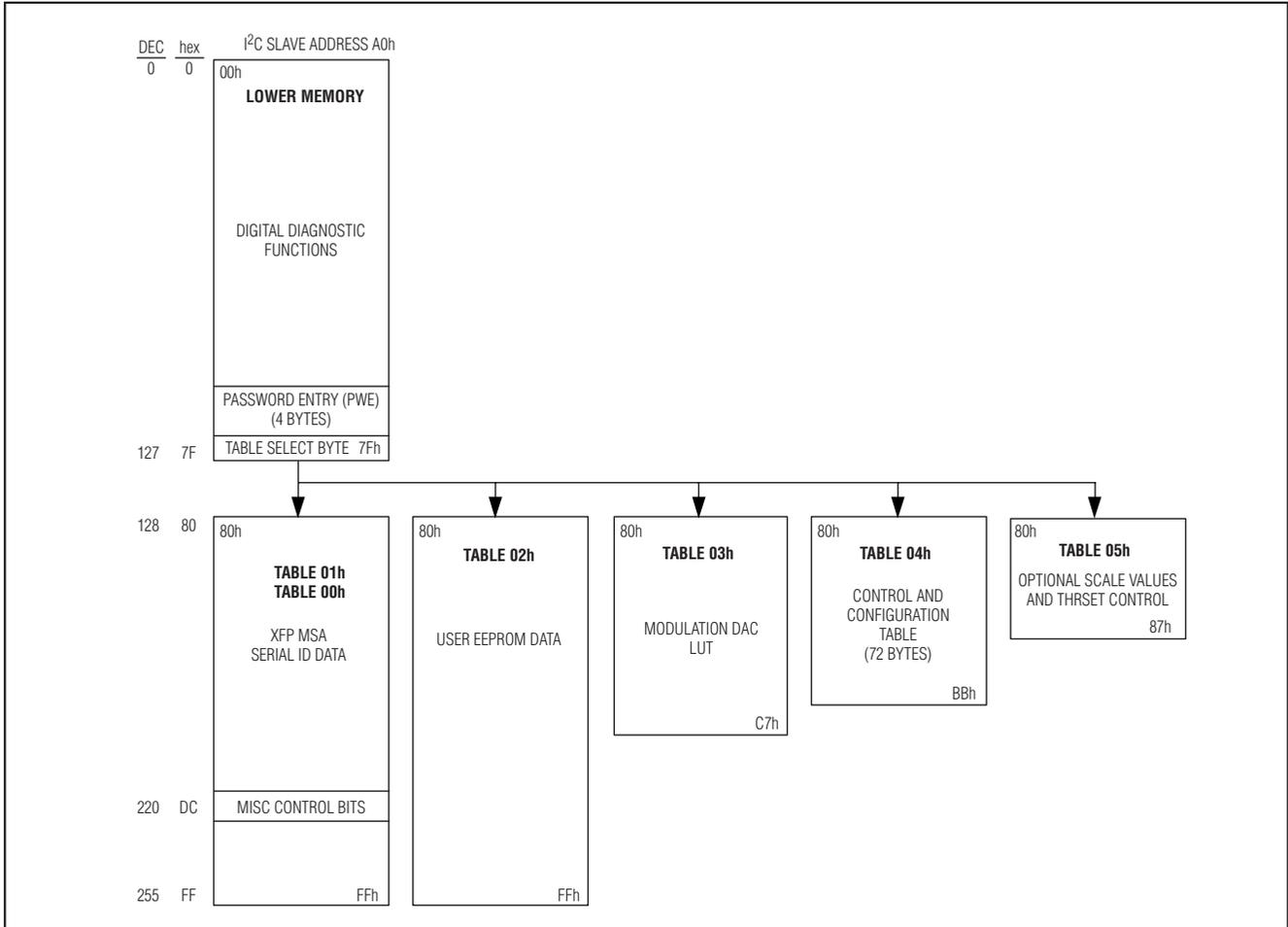


図13. DS1862メモリ構成の概要図

レジスタマップ

表11. 許可テーブル

PERMISSION	READ	WRITE
<0>	At least one byte in this row is different than the rest of the bytes, so look at each byte separately for permissions.	
<1>	ALL	ALL
<2>	ALL	MODULE
<3>	ALL	HOST
<4>	MODULE	MODULE
<5>	ALL	FACTORY
<6>	NEVER	HOST
<7>	NEVER	MODULE

XFPレーザ制御/デジタル診断IC

DS1862

LOWER MEMORY (00H-7FH)																	
ADDRESS (hex)	WORD 0		WORD 1		WORD 2		WORD 3										
	BYTE 0/8	BYTE 1/9	BYTE 2/A	BYTE 3/B	BYTE 4/C	BYTE 5/D	BYTE 6/E	BYTE 7/F									
00<0,2>	EE	Signal Cond	Temp Alarm Hi		Temp Alarm Lo		Temp Warn Hi										
08<2>	Temp Warn Lo		VCC3 Alarm Hi*		VCC3 Alarm Lo*		VCC3 Warn Hi*										
10<2>	VCC3 Warn Lo*		Bias Alarm Hi		Bias Alarm Lo		Bias Warn Hi										
18<2>	Bias Warn Lo		TX-P Alarm Hi		TX-P Alarm Lo		TX-P Warn Hi										
20<2>	TX-P Warn Lo		RX-P Alarm Hi		RX-P Alarm Lo		RX-P Warn Hi										
28<2>	RX-P Warn Lo		Aux1 Alarm Hi		Aux1 Alarm Lo		Aux1 Warn Hi										
30<2>	Aux1 Warn Lo		Aux2 Alarm Hi		Aux2 Alarm Lo		Aux2 Warn Hi										
38<0,2>	Aux2 Warn Lo		EE	EE	Reserved	Reserved	Reserved	Reserved									
40<1>	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	SRAM	SRAM									
48<1>	SRAM	SRAM	SRAM	SRAM	SRAM	SRAM	SRAM	SRAM									
50<1>	Temp/Res/Bias/ TxP Alarm	RxP/Aux1/Aux2/ Res Alarm	Temp/Res/Bias/ TxP Warn	RxP/Aux1/Aux2/ Res Warn	Tx/Rx Misc Flags	Apd/Tec/ Wave/Res Flags	VCC5/3/2 Vee Alarm Flags	VCC5/3/2 Vee Warn Flags									
58<1>	Temp/Res/Bias/ TxP Mask	RxP/Aux1/Aux2/ Res Mask	Temp/Res/Bias/ TxP Mask	RxP/Aux1/Aux2/ Res Mask	Rx/Rx Misc Mask	Apd/Tec/Wave/ Res Mask	VCC5/3/2 Vee Alarm Mask	VCC5/3/2 Vee Warn Mask									
60<1>	Temp Value		VCC2/3 Value*		Bias Value		TX-P Value										
68<1>	RX-P Value		Aux1 Value		Aux2 Value		GCS1	GCS0									
70<0,1>	Reserved	Reserved	Reserved	Reserved	POA	Reserved	PEC_EN	Host PW									
78<0,1>	Host PW	Host PW	Host PW	PWE (MSB)		PWE (LSB)		Table Select									
EXPANDED BYTES																	
BYTE (hex)	BYTE/WORD NAME	Bit7		Bit6*		Bit5		Bit4		Bit3		Bit2		Bit1		Bit0**	
		bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
01	Signal Cond<1>	EE		EE		EE		EE		EE		EN2 Value		EN1 Value		Lock-T1-221	
50	<1>	L-HI-TEMP-AL		L-LO-TEMP-AL		Reserved		Reserved		L-HI-BIAS-AL		L-LO-BIAS-AL		L-HI-TX-P-AL		L-LO-TX-P-AL	
51	<1>	L-HI-RX-P-AL		L-LO-RX-P-AL		L-HI-AUX1-AL		L-LO-AUX1-AL		L-HI-AUX2-AL		L-LO-AUX2-AL		Reserved		Reserved	
52	<1>	L-HI-TEMP-W		L-LO-TEMP-W		Reserved		Reserved		L-HI-BIAS-W		L-LO-BIAS-W		L-HI-TX-P-W		L-LO-TX-P-W	
53	<1>	L-HI-RX-P-W		L-LO-RX-P-W		L-HI-AUX1-W		L-LO-AUX1-W		L-HI-AUX2-W		L-LO-AUX2-W		Reserved		Reserved	
54	<1>	L-TX-NR		L-TX-F		L-TX-CDR-NL		L-RX-NR		L-RX-LOS		L-RX-CDR-NL		L-MOD-NR		L-RESET-DONE	
55	<1>	L-APD-SUP-F		L-TEC-F		L-WAVE-NL		Reserved		Reserved		Reserved		Reserved		Reserved	
56	<1>	L-HI-VCC5-AL		L-LO-VCC5-AL		L-HI-VCC3-AL		L-LO-VCC3-AL		L-HI-VCC2-AL		L-LO-VCC2-AL		L-HI-VEE5-AL		L-LO-VEE5-AL	

*VCC2/3は予備領域にあります。

EXPANDED BYTES (CONTINUED)																	
BYTE (hex)	BYTE/WORD NAME	Bit7		Bit6*		Bit5		Bit4		Bit3		Bit2		Bit1		Bit0**	
		bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
57	<1>	L-HI-VCC5-W	L-LO-VCC5-W	L-HI-VCC3-W	L-LO-VCC3-W	L-HI-VCC2-W	L-LO-VCC2-W	L-HI-VEE5-W	L-LO-VEE5-W								
58	<1>	HI-TEMP-AL MASK	LO-TEMP-AL MASK	Reserved	Reserved	HI-BIAS-AL MASK	LO-BIAS-AL MASK	HI-TX-P-AL MASK	LO-TX-P-AL MASK								
59	<1>	HI-RX-P-AL MASK	LO-RX-P-AL MASK	HI-AUX1-AL MASK	LO-AUX1-AL MASK	HI-AUX2-AL MASK	LO-AUX2-AL MASK	Reserved	Reserved								
5A	<1>	HI-TEMP-W MASK	LO-TEMP-W MASK	Reserved	Reserved	HI-BIAS-W MASK	LO-BIAS-W MASK	HI-TX-P-W MASK	LO-TX-P-W MASK								
5B	<1>	HI-RX-P-W MASK	LO-RX-P-W MASK	HI-AUX1-W MASK	LO-AUX1-W MASK	HI-AUX2-W MASK	LO-AUX2-W MASK	Reserved	Reserved								
5C	<1>	TX-NR MASK	TX-F MASK	TX-CDR-NL MASK	RX-NR MASK	RX-LOL MASK	RX-CDR-NL MASK	MOD-NR MASK	RESET- DONE MASK								
5D	<1>	APD-SUP-F MASK	TEC-F MASK	WAVE-NL MASK	Reserved	Reserved	Reserved	Reserved	Reserved								
5E	<1>	HI-VCC5-AL MASK	LO-VCC5-AL MASK	HI-VCC3-AL MASK	LO-VCC3-AL MASK	HI-VCC2-AL MASK	LO-VCC2-AL MASK	HI-VEE5-AL MASK	LO-VEE5-AL MASK								
5F	<1>	HI-VCC5-W MASK	LO-VCC5-W MASK	HI-VCC3-W MASK	LO-VCC3-W MASK	HI-VCC2-W MASK	LO-VCC2-W MASK	HI-VEE5-W MASK	LO-VEE5-W MASK								
6E	<1>	TX-D	SOFT TX-D	MOD-NR	P-DOWN/RST	SOFT P-DOWN	INTERRUPT	RX-LOS	DATA-NR								
6F	<1>	TX-NR	TX-F	TX-CDR-NL	RX-NR	RX-CDR-NL	Reserved	Reserved	Reserved								
74	POA <1>	POA	Reserved														
77	Host PW<6>	2 ³¹	2 ³⁰	2 ²⁹	2 ²⁸	2 ²⁷	2 ²⁶	2 ²⁵	2 ²⁴								
78	Host PW<6>	2 ²³	2 ²²	2 ²¹	2 ²⁰	2 ¹⁹	2 ¹⁸	2 ¹⁷	2 ¹⁶								
79	Host PW<6>	2 ¹⁵	2 ¹⁴	2 ¹³	2 ¹²	2 ¹¹	2 ¹⁰	2 ⁹	2 ⁸								
7A	Host PW<6>	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰								
7B	PWE<6>	2 ³¹	2 ³⁰	2 ²⁹	2 ²⁸	2 ²⁷	2 ²⁶	2 ²⁵	2 ²⁴								
7C	PWE<6>	2 ²³	2 ²²	2 ²¹	2 ²⁰	2 ¹⁹	2 ¹⁸	2 ¹⁷	2 ¹⁶								
7D	PWE<6>	2 ¹⁵	2 ¹⁴	2 ¹³	2 ¹²	2 ¹¹	2 ¹⁰	2 ⁹	2 ⁸								
7E	PWE<6>	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰								
7F	Table Select<1>	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰								

*バイト6Ehのビット6およびビット3は、それぞれテーブル01hにあるバイトDDhのビット6およびビット5によってマスクされます。

**テーブル01hにあるバイトDDhのビット0が設定されている場合に限り、アドレス01hのビット0に書き込むことができます。

XFPレーザ制御/デジタル診断IC

DS1862

TABLE 01H (SERIAL ID MEMORY)																	
ADDRESS (hex)	WORD 0		WORD 1		WORD 2		WORD 3										
	Byte 0/8	Byte 1/9	Byte 2/A	Byte 3/B	Byte 4/C	Byte 5/D	Byte 6/E	Byte 7/F									
80<2>	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE					
88<2>	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE					
90<2>	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE					
98<2>	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE					
A0<2>	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE					
A8<2>	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE					
B0<2>	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE					
B8<2>	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE					
C0<2>	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE					
C8<2>	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE					
D0<2>	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE					
D8<2>	EE	EE	EE	EE	VCC2/3_Sel	LO Mem 6Eh enable	AUX1/2 Unit Select	EE	EE	EE	EE	EE					
E0<2>	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE					
E8<2>	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE					
F0<2>	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE					
F8<2>	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE	EE					
EXPANDED BYTES																	
BYTE (hex)	BYTE/WORD NAME	Bit7		Bit6		Bit5		Bit4		Bit3		Bit2		Bit1		Bit0	
		bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
EE		EE	EE	EE	EE	EE	EE	EE	EE	EE							
DC<2>		Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	VCC2/3_Sel								
DD<2>	LO Mem EN	Reserved	Enable 6Eh, bit 6	Enable 6Eh, bit 3	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	LOCK-bit	
DE<2>	AUX1/2 UNIT SEL	AUX1-SEL 2 ³	AUX1-SEL 2 ²	AUX1-SEL 2 ¹	AUX1-SEL 2 ⁰	AUX2-SEL 2 ³	AUX2-SEL 2 ²	AUX2-SEL 2 ¹	AUX2-SEL 2 ⁰								

注：テーブル01hのバイトDdh <6 : 5>によって、下位メモリのバイト6Ehのビット6およびビット3がイネーブされます。

TABLE 02H (HOST USER MEMORY)								
ADDRESS (hex)	WORD 0		WORD 1		WORD 2		WORD 3	
	Byte 0/8	Byte 1/9	Byte 2/A	Byte 3/B	Byte 4/C	Byte 5/D	Byte 6/E	Byte 7/F
80–FF<3>	EE							

TABLE 03H (MODSET LOOK-UP TABLE)								
ADDRESS (hex)	WORD 0		WORD 1		WORD 2		WORD 3	
	Byte 0/8	Byte 1/9	Byte 2/A	Byte 3/B	Byte 4/C	Byte 5/D	Byte 6/E	Byte 7/F
80–87<4>	EE, < -40°C	EE, -40°C	EE, -38°C	EE, -36°C	EE, -34°C	EE, -32°C	EE, -30°C	EE, -28°C
88–BF<4>	—	—	—	—	—	—	—	—
C0–C7<4>	EE, +88°C	EE, +90°C	EE, +92°C	EE, +94°C	EE, +96°C	EE, +98°C	EE, +100°C	EE, > +102°C

TABLE 04H (CONTROL AND CONFIG) (80H-BBH)

ADDRESS (hex)	WORD 0		WORD 1		WORD 2		WORD 3										
	Byte 0/8	Byte 1/9	Byte 2/A	Byte 3/B	Byte 4/C	Byte 5/D	Byte 6/E	Byte 7/F									
80<4>	<i>Reserved</i>	Bias shift, TX-P shift	RX-P shift AUX1 shift	AUX2 shift Reserved	APC course setting	APC fine setting	LUT current range	Control Register 1									
88<4>	Quick trip TX-P high	Quick trip TX-P low	QT high bias setting	Control Register 2	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>									
90<4>	<i>Reserved</i>	<i>Reserved</i>	Scale MSB VCC3	Scale LSB VCC3	Scale MSB BIAS	Scale LSB BIAS	Scale MSB TX-P	Scale LSB TX-P									
98<4>	Scale MSB RX-P	Scale LSB RX-P	Scale MSB AUX1	Scale LSB AUX1	Scale MSB AUX2	Scale LSB AUX2	<i>Reserved</i>	<i>Reserved</i>									
A0<4>	Offset MSB temp	Offset LSB temp	Offset MSB VCC3	Offset LSB VCC3	Offset MSB Bias	Offset LSB BIAS	Offset MSB TX-P	Offset LSB TX-P									
A8<4>	Offset MSB RX-P	Offset LSB RX-P	Offset MSB AUX1	Offset LSB AUX1	Offset MSB AUX2	Offset LSB AUX2	<i>Reserved</i>	<i>Reserved</i>									
B0<4>	LUT INDEX pointer	LUT value	LUT_conf	<i>Reserved</i>	DAC status	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>									
B8<4>	Module PWD setting	Module PWD setting	Module PWD setting	Module PWD setting													
EXPANDED BYTES																	
BYTE (hex)	BYTE WORD NAME	Bit7		Bit6		Bit5		Bit4		Bit3		Bit2		Bit1		Bit0	
		bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
81	<4>	Bias shift 2 ³		Bias shift 2 ²		Bias shift 2 ¹		Bias shift 2 ⁰		TX-P shift 2 ³		TX-P shift 2 ²		TX-P shift 2 ¹		TX-P shift 2 ⁰	
82	<4>	RX-P shift 2 ³		Rx-P shift 2 ²		Rx-P shift 2 ¹		Rx-P shift 2 ⁰		AUX1 shift 2 ³		AUX1 shift 2 ²		AUX1 shift 2 ¹		AUX1 shift 2 ⁰	
83	<4>	AUX2 shift 2 ³		AUX2 shift 2 ²		AUX2 shift 2 ¹		AUX2 shift 2 ⁰		<i>Reserved</i>		<i>Reserved</i>		<i>Reserved</i>		<i>Reserved</i>	
84	<4>	APC 2 ⁹		APC 2 ⁸		APC 2 ⁷		APC 2 ⁶		APC 2 ⁵		APC 2 ⁴		APC 2 ³		APC 2 ²	
85	<4>	<i>Reserved</i>		<i>Reserved</i>		<i>Reserved</i>		<i>Reserved</i>		<i>Reserved</i>		<i>Reserved</i>		APC 2 ¹		APC 2 ⁰	
86	<4>	<i>Reserved</i>		<i>Reserved</i>		<i>Reserved</i>		<i>Reserved</i>		<i>Reserved</i>		LUT range 2 ²		LUT range 2 ¹		LUT range 2 ⁰	
87	<4>	FET_POL		QT TX-P HI mask		QT BIAS HI mask		QT TX-P LO mask		<i>Reserved</i>		<i>Reserved</i>		scr_sink_b		<i>Reserved</i>	
8B	<4>	<i>Reserved</i>		<i>Reserved</i>		<i>Reserved- enable</i>		TEMP_int-ext		<i>Reserved</i>		EN Value 2 ¹		EN Value 2 ⁰		EN1/2 MUX	
B2	LUT_C ONF <4>	<i>Reserved</i>		<i>Reserved</i>		<i>Reserved</i>		<i>Reserved</i>		<i>Reserved</i>		SEEB		TEN		AEN	
B4	<4>	Safety flag		Shutdown		<i>Reserved</i>		QT TX-P LO FLAG		QT TX-P HI FLAG		QT BIAS HI FLAG		<i>Reserved</i>		<i>Reserved</i>	
B8	Module PW<7>	2 ³¹		2 ³⁰		2 ²⁹		2 ²⁸		2 ²⁷		2 ²⁶		2 ²⁵		2 ²⁴	
B9	Module PW<7>	2 ²³		2 ²²		2 ²¹		2 ²⁰		2 ¹⁹		2 ¹⁸		2 ¹⁷		2 ¹⁶	
BA	Module PW<7>	2 ¹⁵		2 ¹⁴		2 ¹³		2 ¹²		2 ¹¹		2 ¹⁰		2 ⁹		2 ⁸	
BB	Module PW<7>	2 ⁷		2 ⁶		2 ⁵		2 ⁴		2 ³		2 ²		2 ¹		2 ⁰	

XFPレーザ制御/デジタル診断IC

DS1862

TABLE 05H (OPTIONAL OFFSETS AND THRSET)																	
ADDRESS (hex)	WORD 0		WORD 1				WORD 2				WORD 3						
	Byte 0/8	Byte 1/9	Byte 2/A	Byte 3/B	Byte 4/C	Byte 5/D	Byte 6/E	Byte 7/F									
80-87	DS60 SCALE		LM50 SCALE				Reserved		Reserved		Reserved		V _{TH} DAC Value <1>				
EXPANDED BYTES																	
BYTE (hex)	BYTE/WORD NAME	Bit7		Bit6		Bit5		Bit4		Bit3		Bit2		Bit1		Bit0	
		bit ₁₅	bit ₁₄	bit ₁₃	bit ₁₂	bit ₁₁	bit ₁₀	bit ₉	bit ₈	bit ₇	bit ₆	bit ₅	bit ₄	bit ₃	bit ₂	bit ₁	bit ₀
80	DS60 SCALE <5>	2 ¹⁵	2 ¹⁴	2 ¹³	2 ¹²	2 ¹¹	2 ¹⁰	2 ⁹	2 ⁸	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
82	LM50 SCALE <5>	2 ¹⁵	2 ¹⁴	2 ¹³	2 ¹²	2 ¹¹	2 ¹⁰	2 ⁹	2 ⁸	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
87	V _{THRSET} _Value	2 ⁷		2 ⁶		2 ⁵		2 ⁴		2 ³		2 ²		2 ¹		2 ⁰	

レジスタ詳細

表記法

列の名前

- Name of Byte<Read/Write><Volatile><Power-On Value>
- Name of Byte<Read/Write><Nonvolatile><Factory-Default Setting>
- Name of Byte<Read/Write><Shadowed Nonvolatile><Factory-Default Setting>
- Name of Byte<Read/Write><Status><Power-On Value>

下位メモリ

00h

- User EE< R-all / W-all ><Shadowed Nonvolatile><00>

01h

- SRAM< R-all / W-all ><Volatile><00> テーブル01h、バイトDDh、ビット<0>がハイである場合に限り、ビット0に書き込むことができます。ビット<2:1>は、それぞれEN2およびEN1を制御します。

02h → 39h

- Alarms and warnings< R-all / W-Module ><Shadowed Nonvolatile ><Note*> これらのレジスタは、対応するモニタチャネルの16ビットスレッショルドレベルを設定します。*注：ハイの警報および警告は出荷時デフォルトでFFFFhであり、ローの警報を抑えた警告はデフォルトで0000hです。

3Ah, 3Bh

- User EE< R-all / W-all ><Shadowed Nonvolatile><00>

46h → 4Fh

- User SRAM< R-all / W-all ><Volatile><00>

50h → 57h

- Latched Flags< R-all /clear-all ><Volatile><00> これらに対応する信号用のラッチ付きフラグです。どのフラグも、読み取られるだけでクリアされます。

58h → 5Fh

- masks< R-all / W-all >< Nonvolatile><00> これらのマスクビットは、 $\overline{\text{INTERRUPT}}$ ピンを駆動する信号を内部でブロックします。ローの設定値によって、対応するモニタチャネルがINTERRUPTピンを駆動します。

60h → 6Dh

Monitor values< R-all / W-all ><Volatile><xxxx> これらのレジスタは、モニタチャネルのデジタル結果で内部更新されます。これらのレジスタを左揃えの16ビット値として読み取ることができます。

6Eh

GCS1< R-all / W-all ><Volatile><xx> これらはラッチなしのフラグであり、特定機能用の制御ビットだけでなく、対応する信号のリアルタイムのデジタル状態も示します。

ビット0 : DATA_NOT_READY。DS1862が電源投入を実行するまで、ビットはハイです。ビットはローになり、モニタチャネルデータが読取り可能であることを通知します。

ビット1 : RX-LOS。光の信号喪失を示し、 t_{LOS-ON} 以内で更新されます。

ビット2 : 割込み。INTERRUPTピンの状態を示し、 $t_{INIT ON}$ 以内で更新されます。

ビット3 : ソフトP-DOWN/RST。DS1862をパワーダウンモードに移行させるR/Wビット。リセットに切り替えます。

ビット4 : P-DOWN/RST。P-DOWN/RSTピンのデジタル状態を示し、 t_{PDR-ON} 以内で更新されます。

ビット5 : MOD_NRの状態。MOD_NRピンの状態を示し、 t_{PDR-ON} 以内で更新されます。

ビット6 : ソフトTX-D。I_{BIASSET}およびI_{MODSET}をディセーブル(シャットダウン)するR/Wビット。

ビット7 : TX-D。TX-Dピンのデジタル状態を示し、 t_{OFF} 以内で更新されます。

6Fh

- 6Fh GCS0 < R-all / W-all ><Status><XX> これらはラッチなしのフラグで、対応する信号のリアルタイムのデジタル状態を示します。

ビット0 : 予備。

ビット1 : 予備。

ビット2 : 予備。

ビット3 : RX_CDR非ロック。RxパスのCDRのLOLを示します。

ビット4 : RX_NRの状態。RxパスのNOT READY状態を示します。

ビット5 : 予備。

ビット6 : TX-FAULT状態。レーザの安全フォルト状態を示します。

ビット7 : TX-NR状態。TxパスのNOT READY状態を示します。

74h

- POA < R-all / W-all ><Volatile><00> ビット7のハイは、V_{CC3}が電源投入時のアナログトリップポイントPOAを下回ることを示します。

76h

- PEC Enable < R-all / W-all ><Volatile><00> ビット0は、PECのイネーブルに使用されます。1の値で、PECがイネーブルされます。

77h → 7Ah

- Host PW Change < R-never / W-Host ><Shadowed Nonvolatile P><00> これは32ビット領域であり、DS1862がこの領域を使ってPWEと比較し、ホストのパスワードアクセスを許可します。

7Bh → 7Eh

- PWE < R-never / W-all ><Volatile><00> これは32ビット領域であり、この領域を使ってホストおよびモジュールのパスワードを入力し、DS1862にアクセスすることができます。

7Fh

- Table Select < R-all / W-all ><Volatile><01> これは8ビットレジスタであり、このレジスタは上位メモリ(テーブル)のどのセクションがI²Cでアドレス指定されているかを制御します。00hおよび01hの値によって、テーブル01hがアドレス指定されます。05hを上回る値を受け入れませんが、どの物理メモリにも対応しません。

テーブル01h

80h → DBh

- User EE < R-all / W-Module ><Nonvolatile><00>

DCh

- V_{CC2/3_Sel} < R-all / W-Module ><Shadowed Nonvolatile><00> このレジスタのビット0は、V_{CC2}またはV_{CC3}がV_{CC2/3}のモニタチャネルで内部測定されるかどうかを制御します。「1」によって、V_{CC2}を測定することを選択します。

DDh

- *6Eh Enable* < R-all / W-Module ><Shadowed Nonvolatile><00> ビット5がハイの場合は、6Ehのビット3はマスクされません。ビット6がハイの場合は、6Ehのビット6はマスクされません。ビット0はLock_Bitです。設定されている場合は、下位メモリアドレス01h、ビット0を書込み可能です。

DEh

- *AUX1/2 Unit Sel* < R-all / W-Module ><Shadowed Nonvolatile><00> これらの2つの4ビット値は、AUX1MONおよびAUX2MONで測定される対象を設定します。MSBはAUX1MONの単位の選択であり、LSBはAUX2MONの単位の選択です。詳細については、表5を参照してください。

DFh

- *User EE* < R-all / W-Module ><Shadowed Nonvolatile><00>

E0h → FFh

- *User EE* < R-all / W-Module ><Nonvolatile><00>

テーブル02h

80h → FFh

- *User EE* < R-all / W-Host ><Nonvolatile><00>

テーブル03h

80h → C7h

- *LUT* < R-Module / W-Module ><Nonvolatile><00> これらのレジスタは、温度の関数としてMODSETの出力電流を制御します。

テーブル04h

80h → B8h

81h

- *Bias shift* < R-Module / W-Module ><Shadowed Nonvolatile><0> <7:4>内のこの4ビット値は、IBIASMONモニタチャンネルが受け付ける右シフトの回数を設定します。MSBはビット7です。
- *TX-P shift* < R-Module / W-Module ><Shadowed Nonvolatile><0> <3:0>内のこの4ビット値は、TX-P (BMD)モニタチャンネルが受け付ける右シフトの回数を設定します。MSBはビット3です。

82h

- *AUX1 shift* < R-Module / W-Module ><Shadowed Nonvolatile><0> <7:4>内のこの4ビット値は、AUX1MONモニタチャンネルが受け付ける右シフトの回数を設定します。MSBはビット7です。
- *RX-P shift* < R-Module / W-Module ><Shadowed Nonvolatile><0> <3:0>内のこの4ビット値は、RX-P (RSSI)モニタチャンネルが受け付ける右シフトの回数を設定します。MSBはビット3です。
- *AUX2 shift* < R-Module / W-Module ><Shadowed Nonvolatile><0> <7:4>内のこの4ビット値は、AUX2MONモニタチャンネルが受け付ける右シフトの回数を設定します。MSBはビット3です。

84h

- *APC REF COARSE* < R-Module / W-Module ><Shadowed Nonvolatile><00> この8ビット値は、BMDのAPC電流の粗調整値を設定します。

85h

- *APC REF FINE* < R-Module / W-Module ><Shadowed Nonvolatile><00> <1:0>内のこの2ビット値は、BMDのAPC電流の微調整値を設定します。MSBはビット6です。

86h

- *LUT Range*..... < R-Module / W-Module ><Shadowed Nonvolatile><00> <2:0>内のこの3ビット値は、MODSETの電流範囲を設定します。MSBはビット2です。

87h

- *Control Reg1*..... < R-Module / W-Module ><Shadowed Nonvolatile><00>

ビット0：予備。

ビット1：SRC_SNK_B。設定されている場合は、BMDは電流をソースし、未設定の場合はBMDは電流をシンクします。

ビット2：予備。

ビット3：予備。

ビット4：QT TX-Pのローマスク。設定されている場合は、TX-Pのローは安全フォルトを発生させることはできません。

ビット5：QT HIGH BIASのマスク。設定されている場合は、HIGH BIASは安全フォルトを発生させることはできません。

ビット6：QT TX-Pのハイマスク。設定されている場合は、TX-Pのハイは安全フォルトを発生させることはできません。

ビット7：FETG_POL。設定されている場合は、FETGはハイのロジックレベルでアサートし、未設定の場合はローのロジックレベルでアサートします。

88h

- *QT TX-P HI*..... < R-Module / W-Module ><Shadowed Nonvolatile><FF> これは、TX-Pハイの安全フォルトを発生させる比較値として使用するTX-P高速トリップスレッショルド設定値です。

89h

- *QT TX-P LO*..... < R-Module / W-Module ><Shadowed Nonvolatile><00> これは、TX-Pローの安全フォルトを発生させる比較値として使用するTX-P高速トリップスレッショルド設定値です。

8Ah

- *QT HIGH BIAS* < R-Module / W-Module ><Shadowed Nonvolatile><FF> これは、BIASハイの安全フォルトを発生させる比較値として使用するTX-P高速トリップスレッショルド設定値です。

8Bh

- *Control Reg2*..... < R-Module / W-Module ><Shadowed Nonvolatile><00>.

ビット0：予備。

ビット1：予備。

ビット2：予備。

ビット3：予備。

ビット4：TEMP_INT-EXT。設定されている場合は、LUTインデックスポイントはAUX2MONで制御されます。未設定の場合は、内部温度センサはLUTを制御します。

ビット5：Reserve_EN。設定されている場合は、VCC2/3[\$]はモニターープでアクティブに更新されます。

ビット6：予備。

ビット7：予備。

92h	VCC2/3 SCALE	< R-Module / W-Module ><Shadowed Nonvolatile><Factory Trimmed> この16ビットレジスタは、VCC2/3モニタチャネルのスケール値を制御します。
94h	• BIAS SCALE.....	< R-Module / W-Module ><Shadowed Nonvolatile><Factory Trimmed> この16ビットレジスタは、BIASモニタチャネルのスケール値を制御します。
96h	• TX-P SCALE.....	< R-Module / W-Module ><Shadowed Nonvolatile><Factory Trimmed> この16ビットレジスタは、TX-P (BMD)モニタチャネルのスケール値を制御します。
98h	• RX-P SCALE.....	< R-Module / W-Module ><Shadowed Nonvolatile><Factory Trimmed> この16ビットレジスタは、RX-P (RSSI)モニタチャネルのスケール値を制御します。
9Ah	• AUX1 SCALE	< R-Module / W-Module ><Shadowed Nonvolatile><Factory Trimmed> この16ビットレジスタは、AUX1MONモニタチャネルのスケール値を制御します。
9Ch	• AUX2 SCALE	< R-Module / W-Module ><Shadowed Nonvolatile><Factory Trimmed> この16ビットレジスタは、AUX2MONモニタチャネルのスケール値を制御します。
A0h	• TEMP OFFSET	< R-Module / W-Module ><Shadowed Nonvolatile><Factory Trimmed> この16ビットレジスタは、内部温度モニタチャネルのオフセット値を制御します。
A2h	• VCC2/3 OFFSET.....	< R-Module / W-Module ><Shadowed Nonvolatile><0000> この16ビットレジスタは、VCC2/3モニタチャネルのオフセット値を制御します。
A4h	• BIAS OFFSET	< R-Module / W-Module ><Shadowed Nonvolatile><0000> この16ビットレジスタは、BIASモニタチャネルのオフセット値を制御します。
A6h	• TX-P OFFSET	< R-Module / W-Module ><Shadowed Nonvolatile><0000> この16ビットレジスタは、TX-P (BMD)モニタチャネルのオフセット値を制御します。
A8h	• RX-P OFFSET.....	< R-Module / W-Module ><Shadowed Nonvolatile><0000> この16ビットレジスタは、RX_P (RSSI)モニタチャネルのオフセット値を制御します。
AAh	• AUX1 OFFSET.....	< R-Module / W-Module ><Shadowed Nonvolatile><0000> この16ビットレジスタは、AUX1MONモニタチャネルのオフセット値を制御します。
ACh	• AUX2 OFFSET.....	< R-Module / W-Module ><Shadowed Nonvolatile><0000> この16ビットレジスタは、AUX2MONモニタチャネルのオフセット値を制御します。
B0h	• LUT INDEX PNTR.....	< R-Module / W-Module ><Volatile><xx> このレジスタは、LUTのインデックスポインタ値を制御します。これは(通常動作モードで)自動更新され、TENおよびAENビットを使って読取りや上書きを行うことができます。

B1h

- *LUT VALUE*..... < R-Module / W-Module ><Shadowed Nonvolatile><00> このレジスタは、MODSET電流を駆動するフェッチされたLUT値を備えています。この値の読取りや上書きを行い、MODSET電流を直接制御することができます(マニュアルモード)。

B2h

- *LUT_CONF*..... < R-Module / W-Module ><Shadowed Nonvolatile><03>

ビット0：AEN。AENのハイによって、LUT値レジスタに配置されたデータでMODSETを駆動することができます。

ビット1：TEN。TENのハイによって、LUTインデックスポインタがLUTからデータをフェッチすることができます。

ビット2：SEEB。SEEBのハイによって、Shadowed EEPROM領域のEEPROMへの書込みがディセーブルされます。

ビット3：予備。

ビット4：予備。

ビット5：予備。

ビット6：予備。

ビット7：予備。

B4h

- *DAC STATUS*..... < R-Module / W-Module ><Status><xx0xxx00b>

ビット0：予備。

ビット1：予備。

ビット2：QT HIGH BIASのフラグ。このフラグは、BIASSETに入る電流がスレッショルドを上回っていることを示します。

ビット3：QT TX-Pハイのフラグ。このフラグは、TX-Pがスレッショルドを上回っていることを示します。

ビット4：QT TX-Pのローのフラグ。このフラグは、TX-Pがスレッショルドを下回っていることを示します。

ビット5：予備。

ビット6：シャットダウンフラグ。ハイは、DS1862はシャットダウンモード状態であり、FETGがアサートされていることを示します。

ビット7：安全フラグ。ハイは、安全フォルト(高速トリップ)が発生したことを示します。

テーブル5

B8h

- *MOD_PW_CHNG*..... < R-Module / W-Module ><Shadowed Nonvolatile><FFFFFFFFh> DS1862が、モジュールのパスワードアクセスの許可をするPWEとの比較に使用する32ビットの領域です。

80h

- *DS60 SCALE*..... < R-all/W-Factory ><Nonvolatile><Factory Trimmed> この固有の16ビット値は、AUX2MONの温度センサDS60用のSCALEレジスタを設定します。

82h

- *LM50 SCALE*..... < R-all/W-Factory ><Nonvolatile><Factory Trimmed> この固有の16ビット値は、AUX2MONの温度センサLM50用のSCALEレジスタを設定します。

87h

- *VTHRSET_Value*..... < R-all / W-all ><Shadowed Nonvolatile><80> この8ビット値は、信号コンディショナの電圧源、THRSETの電圧を設定します。

セキュリティ/パスワード保護

DS1862は、重要なメモリ領域別に2つの独立した個別の32ビットのパスワードを備えています。ホストおよびモジュールのパスワードによって、それぞれの割り当てられたメモリ領域を書込みや読取りアクセスできないようにロックすることができます。DS1862のセキュリティを向上するために、パスワードの入力および設定バイトを読み取ることはできません。

ホストやモジュールで保護されたメモリ領域にアクセスするには、正しい32ビット値を1回の4バイト書込みまたは4回の1バイト書込みでパスワード入力バイト(PWE)に入力する必要があります。どちらかのパスワードを再設定するには、メモリにアクセスするのに適切な現在のパスワードを入力し、1回の4バイトの書込みで新しいホストまたはモジュールPWを書き込み、最後に新しいパスワードをPWEに再入力し、メモリへのアクセスを再び可能にします。

電源投入シーケンス

DS1862では、適切な機能を得るには特定の電源投入シーケンスが必要です。V_{CC3}は、最初にまたはV_{CC2}と同時に常に印加される必要があります。この電源投入シーケンスに従わない場合は、V_{CC2}がDS1862内蔵の抵抗でV_{CC3}に接続されているかのように、電流はV_{CC2}からソースされます。V_{CC2}が未使用の場合は、V_{CC2}をV_{CC3}に外部接続する必要があります。

信号コンディショナ— EN1/EN2およびVTHRES

信号コンディショナ—EN1およびEN2

EN1およびEN2出力ピンは、アドレス01h、ビット2および1によって制御されます。各ピンのロジック状態は、レジスタのロジック状態に全く相似しています。EN1およびEN2は、「パワーダウン機能」の項に示されるようなパワーダウンモード中に、それぞれハイおよびロー状態に自動的に遷移します。

信号コンディショナ—VTHRES

プログラマブルな電圧源、THRSETも、信号コンディショナ用に用意されています。この電圧源は、256ステップで0~1Vの範囲でプログラマブルです。

I²Cおよびパケットエラーチェック(PEC)情報

DS1862は、I²Cデータ転送とPECによるデータ転送をサポートしています。スレーブアドレスは変更不可能で、A0hに設定されています。ただし、DS1862は専用ピンMOD-DESELも備え、このピンは通信をイネーブルするアクティブローチップの選択用ピンとして機能します。詳細については、「I²Cシリアルインタフェース」および「パケットエラーチェックによるI²C動作」の項を参照してください。

AUX2MON用の高精度SCALEレジスタ設定値

DS1862は、温度センサDS60またはLM50用の出荷時設定済みのSCALE値を備えています。AUX2MONの外部温度測定がこれらの2つのセンサのいずれか1つで用いられる場合は、16ビットのSCALE値をテーブル05hから読取り、テーブル04h、バイト9Chおよび9DhのSCALEレジスタに書き込むことができます。このオプションによって、余分なトリミングが不要でSCALEを最高精度で設定することができます。SCALEレジスタ値は出荷時に高精度で設定されているため、OFFSETレジスタは常に固有でない値であり、OFFSETレジスタに書き込むことができます。DS60の場合は、OFFSETのEF0Ahの値が、内部キャリブレーションを実行します。LM50の場合は、OFFSETのF380hの値が、内部キャリブレーションを実行します。

I²Cシリアルインタフェース

I²Cの定義

以下の用語は、I²Cデータ転送を説明するのによく使用される用語です。

マスタデバイス：マスタデバイスは、バス上のスレーブデバイスを制御します。マスタデバイスは、SCLクロックパルス、スタートおよびストップ条件を生成します。

スレーブデバイス：スレーブデバイスは、マスタの要求に応じてデータの送受信を行います。

バスアイドルまたは非ビジー：SDAおよびSCL双方が非アクティブで、ロジックハイ状態にある場合の、ストップ条件からスタート条件までの期間です。

スタート条件：スタート条件はマスタによって生成され、スレーブとの新しいデータ転送を開始します。SCLがハイ状態の間にSDAがハイからローに遷移すると、スタート条件が生成されます。該当するタイミングについては図14を参照してください。

ストップ条件：ストップ条件はマスタによって生成され、スレーブとのデータ転送を終了します。SCLがハイ状態の間にSDAがローからハイに遷移すると、ストップ条件が生成されます。該当するタイミングについては図14を参照してください。

反復スタート条件：マスタは1つのデータ転送の終了時に反復スタート条件によって、現在のデータ転送に続いて新しいデータ転送を即時開始することを示すことができます。特定のメモリアドレスを識別してデータ転送を開始するために、読取り動作中に反復スタートはよく使用されます。通常のスタート条件と同様に、反復スタート条件は発行されます。該当するタイミングについては図14を参照してください。

ビット書込み：SCLがロー状態の間に、SDAが遷移する必要があります。必要なセットアップ時間およびホールド時間に加えて、SCLがハイパルスの間にわたって、SDAのデータが有効であり、不変状態を維持する必要があります(図14を参照)。データは、SCLの立上がりエッジ中にデバイスにシフトインされます。

ビット読取り：ビット読取り中に、SCLの次の立上がりエッジより前の書込み動作の終了時に適切なセットアップ時間の間、マスタはSDAバスラインを解放する必要があります(図14を参照)。デバイスは、前回のSCLパルスの立下りエッジで各データビットをSDA上でシフトアウトするため、データビットは現在のSCLパルスの立上がりエッジで有効になります。なお、マスタは、スレーブからビットを読み取り中の時も、あらゆるSCLクロックパルスを生成します。

肯定応答(ACKおよびNACK)：肯定応答(ACK)または否定応答(NACK)は常に、バイト転送中に転送される第9ビットです。データを受け取るデバイス(読取り動作中のマスタ、または書込み動作中のスレーブ)は、第9ビットを通じてゼロを転送して、ACKを実行します。デバイスは、第9ビットを通じて1を転送して、NACKを実行します。ACKおよびNACKのタイミング(図14)は、その他のすべてのビット書込みと同じです。ACKは、デバイスがデータを正常に受信しているという肯定応答です。NACKによって、読取りシーケンスを終了させたり、またはデバイスがデータを受信していないことを通知することができます。

バイト書込み：バイト書込みは、マスタからスレーブに(最上位ビットを先頭にして)転送された8ビットの情報と、スレーブからマスタに転送された1ビットの肯定応答から構成されます。マスタから転送された8ビット

はビット書込み定義に応じて実行され、肯定応答はビット読取り定義によって読み取られます。

バイト読取り：バイト読取りは、スレーブからマスタに転送された8ビットの情報と、マスタからスレーブに転送された1ビットのACKまたはNACKから構成されます。スレーブからマスタに(最上位ビットを先頭にして)転送された8ビットの情報はビット読取り定義に応じてマスタが読み取り、マスタはビット書込み定義に応じてACKを転送し、後続のデータバイトを受け取ります。マスタは、通信を終了するために最後のバイトの読取りに否定応答する必要があり、その結果、スレーブはSDAの制御をマスタに戻します。

スレーブアドレスバイト：I²Cバス上の各スレーブは、スタート条件の直後に送られるスレーブアドレスバイトにตอบสนองします。スレーブアドレスバイトは最上位の7ビット内にスレーブアドレス、最下位ビット内にR/Wビットを内蔵しています。

DS1862のスレーブアドレスは、1010000Xbです。MODESELピンをチップ選択用として使用し、デバイスは、デバイスアドレスとしてA0hを備えるI²C通信に対する応答や無視を行うことができます。R/W = 0にして、正しいスレーブアドレスを書き込むことで、マスタがデータをスレーブに書き込むことを通知します。R/W = 1の場合は、マスタはデータをスレーブから読み取ります。不適切なスレーブアドレスが書き込まれると、DS1862はマスタが別のI²Cデバイスと通信中であると想定し、次のスタート条件が送られるまでその通信を無視します。

メモリアドレス：I²C書込み動作の間に、マスタは、スレーブがデータを保管するメモリ領域を識別するために、メモリアドレスを転送する必要があります。

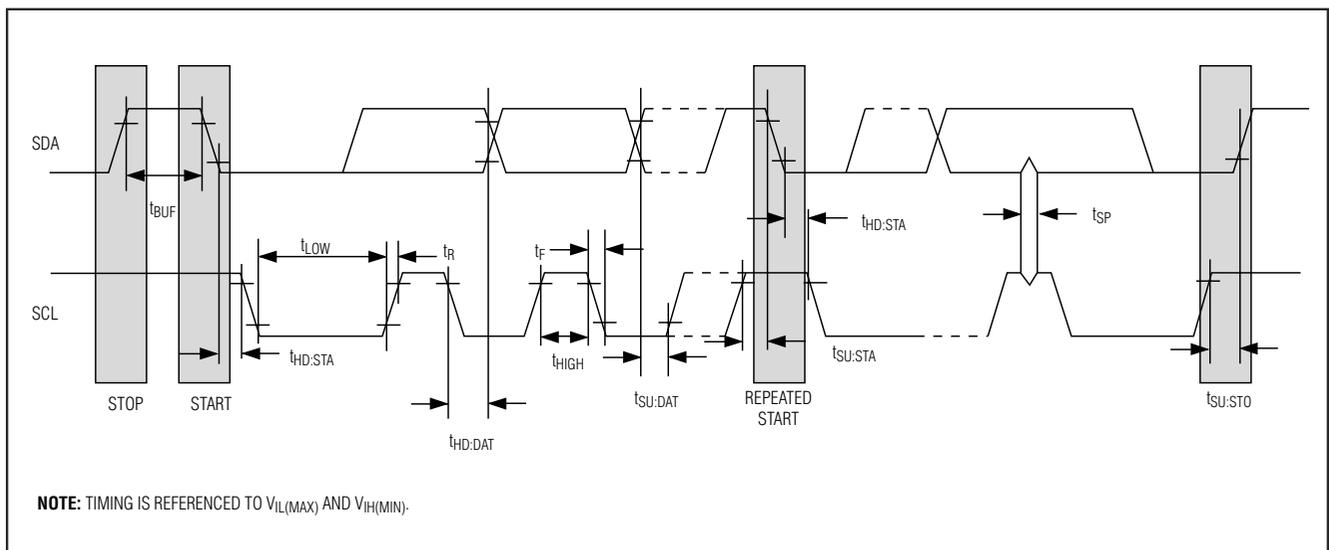


図14. I²Cタイミング図

メモリアドレスは常に、スレーブアドレスバイトに続き、書き込み動作中に転送される2番目のバイトです。

I²C通信

スレーブへの1バイトの書き込み：マスタはスタート条件の生成、スレーブアドレスバイトの書き込み(R/W = 0)、メモリアドレスの書き込み、データバイトの書き込み、およびストップ条件の生成を実行する必要があります。なお、マスタは、すべてのバイト書き込み動作中にスレーブの肯定応答を読み取る必要があります。

スレーブへの複数バイトの書き込み：複数バイトをスレーブに書き込むには、マスタはスタート条件の生成、スレーブアドレスバイトの書き込み(R/W = 0)、メモリアドレスの書き込み、最大4データバイトの書き込み、およびストップ条件の生成を実行します。

DS1862は、1回の書き込み処理で(1列または1ページと呼ばれる) 1~4バイトを書き込むことができます。この動作はアドレスカウンタによって内部制御され、各データバイトの送出前にメモリアドレスを転送せずに、データを連続したアドレスに書き込むことができます。アドレスカウンタは、メモリマップの1列への書き込みを制限します。各列間でストップ条件を送出せずにさらにメモリ列に書き込もうとすると、アドレスカウンタは現在の列の先頭アドレスまでラップアラウンドします。

アドレスのラップアラウンドの発生を回避するには、マスタは列の最後でストップ条件を送出し、次にバスの解放またはEEPROMの書き込み期間が経過するのを待つ必要があります。続いて、マスタは新しいスタート条件を生成し、スレーブアドレスバイト(R/W = 0)と次のメモリ列の先頭メモリアドレスを書き込むと、データの書き込みを継続することができます。

肯定応答ポーリング：EEPROMに書き込まれるごとに、DS1862ではストップ条件の後に、EEPROMに列の内容を書き込むためのEEPROM書き込み期間(t_w)が必要です。EEPROMへの書き込み期間は、DS1862はビジーであるため、スレーブアドレスに肯定応答しません。DS1862に繰り返し呼びかけて、この現象を活用することができます。これによって、DS1862がデータの受取りが可能になるとすぐに次の列に書き込むことができます。肯定応答ポーリングに代わる選択肢は、 t_w の最大期間が経過するのを待ってから、DS1862に再度書き込む方法です。

EEPROM書き込みサイクル：EEPROMへの書き込みが行われると、列の1バイトのみが変更された場合でも、

DS1862はEEPROMメモリの4バイト列全体に書き込みます。列の4バイトすべてを変更しない書き込みが許可され、同じ列のメモリの残りのバイトを破損しません。列全体に書き込まれるため、処理中に変更されなかった列のバイトは書き込みサイクルの影響をそれでも受けます。このため、1バイトを繰り返し書き込むと、列全体が次第に消耗するようになります場合があります。1度に列に1バイトを書き込むと、1度に列全体に書き込むのに比べ4倍早くEEPROMが消耗します。DS1862のEEPROM書き込みサイクルは、「不揮発性メモリ特性(Nonvolatile Memory Characteristics)」表に示されています。

スレーブからの1バイトの読取り：メモリアドレスバイトを使ってデータの書き込み先を設定する書き込み動作とは異なり、読取り動作はメモリアドレスカウンタの現在値で行われます。現在のアドレスカウンタ内の領域の1バイトをスレーブから読み取るために、マスタはスタート条件を生成し、R/W = 1でスレーブアドレスバイトを書き込み、転送の終了を示すNACK付きのデータバイトを読み取り、ストップ条件を生成します。

読取り用のアドレスカウンタの操作：ダミーの書き込みサイクルを使って、アドレスカウンタを特定の値にすることができます。これを実行するために、マスタはスタート条件を生成し、スレーブアドレスバイト(R/W = 0)を書き込み、読み取りたいメモリアドレスを書き込み、反復スタート条件を生成し、スレーブアドレスバイトを書き込み(R/W = 1)、必要に応じてACKまたはNACK付きのデータを読み取り、ストップ条件を生成します。反復スタート条件によって開始メモリ領域を指定する読取り例については、図15を参照してください。

スレーブからの複数バイトの読取り：読取り動作によって、1回の転送で複数バイトを読み取ることができます。スレーブからバイトを読み取る際に、マスタが処理の終了前に別のバイトを読み取りたい場合はデータバイトを肯定応答します。マスタが最後のバイトを読み取ると、転送の終了を通知して、ストップ条件を生成するために、マスタは否定応答します。読取りサイクル前のアドレスカウンタの位置の変更の有無を問わず、これを実行することができます。アドレスカウンタが最後の物理アドレスに達すると、内部インデックスポインタは任意のメモリテーブル内の先頭のメモリ領域にループバックします。例えば、テーブル02hのアドレスFFhを読み取ると、マスタに返される次のデータバイトは下位メモリ内の00hではなく、テーブル2のアドレス80hです。

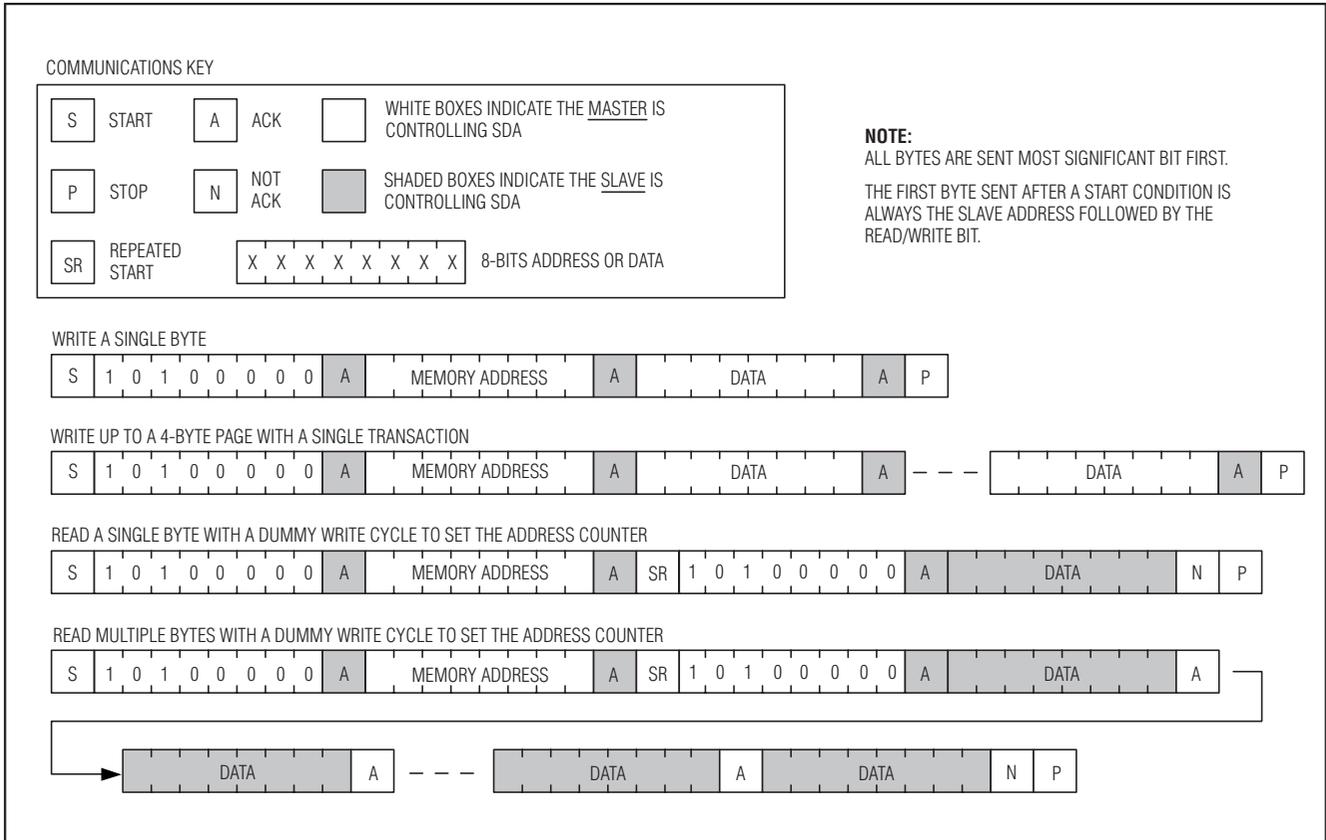


図15. I²C通信例

パケットエラーチェックによるI²C動作

パケットエラーチェックによる読取り動作

読取り中のパケットエラーチェックが、DS1862ではサポートされています。情報は、従来のI²Cプロトコルとほぼ同じようにDS1862から転送されますが、CRCフィールドが追加され、チェックされます。この場合においてもマスタはまずデバイスアドレス(DS1862の場合はAOh)を送出し、続いてインデックスポイントを対象とするメモリアドレスを送出します。ただし、次に転送されるバイトは、読み取られるバイトの任意数の値になります。CRC-8の計算には、2番目の転送バイト(ダミー書込みバイト)として内蔵される明示的な開始メモリアドレスが含まれ、このアドレスが必要です。次に、スレーブは、マスタが肯定応答すると、データを返送します。PEC使用中に1回の転送の間に、1~128バイトのみを順次読み取ることができます。マスタが任意数のバイトを読み取ると、CRC-8の値がDS1862から転送されます。マスタは、NACKおよびSTOPで通信を終了します。図による説明については、

図16を参照してください。メモリアドレスポイントのMSB、読み取るバイト数、および読取りデータから、CRC-8は計算されます。次に、マスタはCRC-8値を検証し、CRC-8値が受け取られたCRC値と一致しない場合は読取りデータを拒否することができます。読取りと書込みともに以下の多項式を使って、CRC-8が計算される必要があります。

$$C(x) = X^8 + X^2 + X + 1$$

パケットエラーチェックによる書込み動作

書込み中のパケットエラーチェックも、DS1862ではサポートされています。情報は、従来のI²Cプロトコルとほぼ同じようにDS1862に書き込まれますが、CRCフィールドが追加され、チェックされます。この場合においてもマスタはまずデバイスアドレスを送出し、続いてインデックスポイントを対象とするメモリアドレスに送付します。ただし、次のバイトは、書き込まれるバイトの任意の数の値になります。CRC-8の計算には、2番目の転送バイトとして内蔵される明示的な開始メモリアドレスが含まれ、このアドレスが必要です。

次に、マスタは、DS1862が肯定応答すると、データを転送します。PEC使用中に1回の転送の間に、4バイトのみを順次書き込むことができます。マスタが任意数のバイトを書き込むと、CRC-8の値が転送される必要があります。CRC-8バイトの後に、マスタはCABバイト(CRC Add-on Byte)を転送する必要があります。この時点で、CRC-8がその内部計算値と一致する場合にはDS1862はACKを送出し、一致しない場合はNACKを送出します。最後に、マスタは通信を終了し、STOPを送出する必要があります。図による説明については、図16を参照してください。メモリアドレスポイントのMSB、書き込まれるバイト数、および書込みデータから、CRC-8は計算されます。次に、マスタは、書込みデータの転送が成功したかどうか最後のACKまたはNACKをポーリングすることができます。

I²C PEC通信の詳細については、XFPやSMBus 2.0規格を参照してください。

アプリケーション情報

APCおよび消光比のキャリブレーション

キャリブレーション前に、パワーレベルが較正されるより先にレーザの最大パワーレベルを超えないように、APCレジスタを低い値に設定する必要があります。また、データのテストパターンによってレーザがシャットオフしないように、ERを最小値に設定する必要があります。APCおよびERレジスタが最小値である場合は、データパターンをイネーブルし、平均パワーレベルを較正します。

平均パワーレベルのキャリブレーション

レーザダイオードを通じてデータを送出している間に、光出力が希望の平均パワーレベルと一致するまでAPCレジスタ内の値を大きくします。平均パワーレベルは、「1」と「0」のパワーレベルの算術平均です。

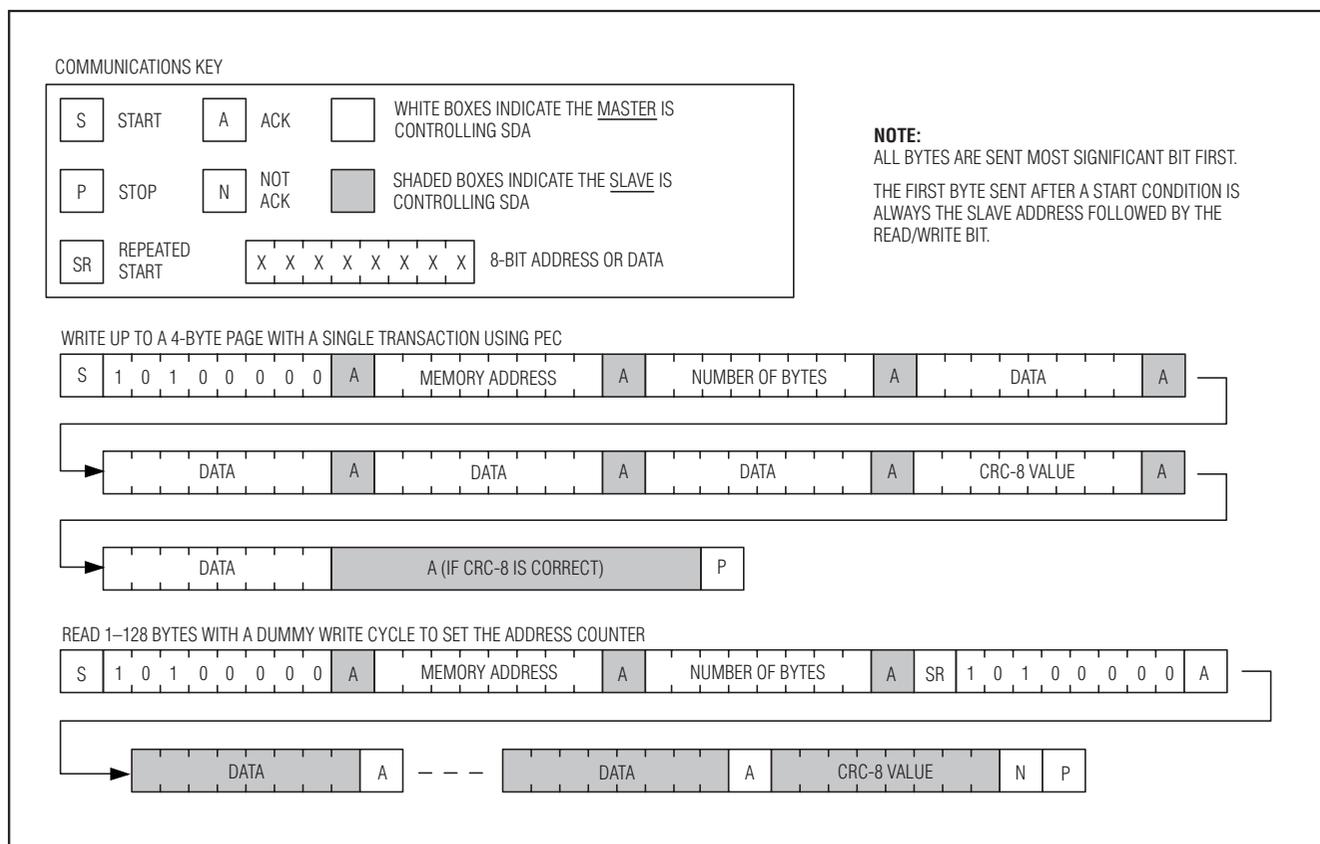


図16. I²C PEC通信例

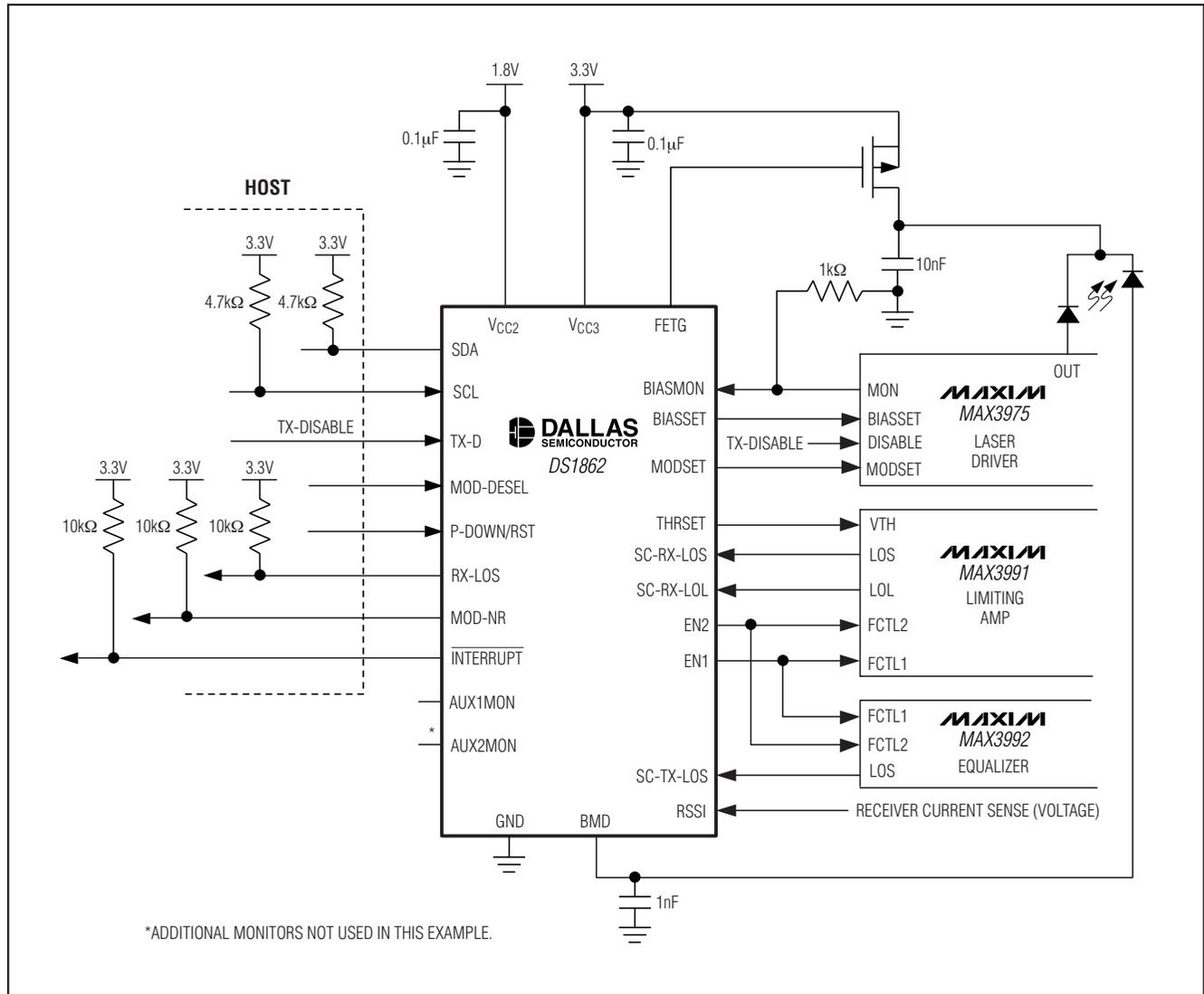
電源デカップリング

最高の結果を得るために、電源を0.01 μ Fまたは0.1 μ Fのコンデンサでデカップリングすることを推奨します。高品質のセラミック表面実装コンデンサを使用して、リードインダクタンスを最低限に抑えるために、そのコンデンサをV_{CC2}/V_{CC3}およびGNDピンにできるだけ近接して実装します。

SDAおよびSCLプルアップ抵抗

SDAはDS1862上のオープンコレクタ双方向データピンであり、ハイロジックレベルを実現するにはプルアップ抵抗を必要とします。プルアップ抵抗付きのオープンコレクタ出力、またはプッシュプル出力ドライバをSCL入力用に利用することができます。「AC電気的特性(AC Electrical Characteristics)」に記載されている立上りおよび立下り時間が規定内になるように、プルアップ抵抗値を選択する必要があります。

標準動作回路



XFPレーザ制御/デジタル診断IC

DS1862

チップトポロジ

TRANSISTOR COUNT: 75,457

SUBSTRATE CONNECTED TO GROUND

パッケージ

最新のパッケージ情報は、japan.maxim-ic.com/DallasPackInfo をご参照ください。

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

42 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

MAXIM is a registered trademark of Maxim Integrated Products, Inc.

DALLAS SEMICONDUCTOR is a registered trademark of Dallas Semiconductor Corporation.

© 2006 Maxim Integrated Products, Inc. All rights reserved.