

低消費電流SPI/3線式RTC

DS1343/DS1344

概要

低消費電流リアルタイムクロック(RTC)のDS1343/DS1344は、バックアップ電源の長寿命化を可能にする超低スタンバイ電流を提供するタイムキーピングデバイスです。これらのデバイスは高ESRの水晶をサポートするため、デバイスに使用可能な水晶の選択範囲が拡大します。クロック/カレンダーは、秒、分、時、曜日、日、月、および年の情報を提供します。うるう年の補正を含め、31日に満たない月の最後の日付は自動的に調整されます。このクロックは、24時間形式またはAM/PMインジケータを備えた12時間形式のいずれかで動作します。

アドレスおよびデータは、SPI™または3線式インタフェースを介してシリアル方式で転送されます。2つの設定可能な時刻アラームが提供されています。各アラームは、秒、分、時間、および曜日の組合せによって割り込みを生成することができます。アラーム条件として無視させる場合は、1つ以上のフィールドに任意の状態を示す値を挿入することができます。時刻アラームは、2つの異なる割り込み出力をアサートするように設定するか、または両方の組合せで1つの共通の割り込み出力をアサートするように設定可能です。いずれの割り込み出力も、デバイスがV_{CC}またはV_{BAT}のいずれかによって給電されている場合に動作します。

各デバイスは、鉛フリー/RoHS準拠の20ピンTSSOPまたは14ピンTDFNパッケージで提供され、-40℃～+85℃の拡張工業用温度範囲をサポートします。

アプリケーション

医療用

ハンドヘルド機器

テレマティクス

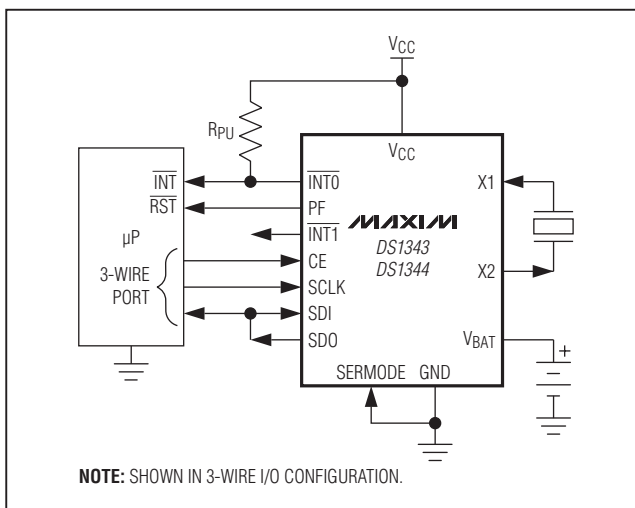
組み込み型タイムスタンプ

型番はデータシートの最後に記載されています。

特長

- ◆ 低タイムキーピング電流：250nA (typ)
- ◆ 最大100kΩのESRの水晶に対応
- ◆ 6pFまたは12.5pFの水晶に対応するバージョンを提供
- ◆ RTCは、秒、分、時、曜日、日、月、および年をカウント(うるう年の補正は2099年まで有効)
- ◆ パワーフェイルおよびスイッチ回路
- ◆ 3つの動作電圧
 - 1.8V ±5%
 - 3.0V ±10%
 - 3.3V ±10%
- ◆ トリクル充電機能
- ◆ 最低1.15V (typ)まで計時を維持
- ◆ Motorola SPIモード1および3、または標準3線式インタフェースをサポート
- ◆ クロック/RAMの連続したアドレスの読み取り/書き込みが可能なバーストモード
- ◆ データ記憶用96バイト、バッテリーバックアップ NV RAM
- ◆ 2つの割り込み出力を備えた2つの時刻アラーム
- ◆ 工業用温度範囲
- ◆ 20ピンTSSOPまたは14ピンTDFNパッケージ

標準動作回路



SPIはMotorola, Inc.の商標です。

低消費電流SPI/3線式RTC

ABSOLUTE MAXIMUM RATINGS

Voltage Range on VCC or VBAT
 Relative to Ground.....-0.3V to +6.0V
 Voltage Range on Any Nonpower Pin
 Relative to Ground..... -0.3V to (VCC + 0.3V)
 Operating Temperature Range -40°C to +85°C

Junction Temperature Maximum.....+150°C
 Storage Temperature Range.....-55°C to +125°C
 Lead Temperature (soldering, 10s)+260°C
 Soldering Temperature (reflow)+260°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

PACKAGE THERMAL CHARACTERISTICS (Note 1)

TSSOP

Junction-to-Ambient Thermal Resistance (θ_{JA})91°C/W
 Junction-to-Case Thermal Resistance (θ_{JC})20°C/W

TDFN

Junction-to-Ambient Thermal Resistance (θ_{JA})54°C/W
 Junction-to-Case Thermal Resistance (θ_{JC})8°C/W

Note 1: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to japan.maxim-ic.com/thermal-tutorial.

RECOMMENDED OPERATING CONDITIONS

(T_A = -40°C to +85°C, unless otherwise noted.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Operating Voltage Range	VCC	DS134_-18	1.71	1.8	5.5	V
		DS134_-3	2.7	3.0	5.5	
		DS134_-33	3.0	3.3	5.5	
Minimum Timekeeping Voltage	VBAT _{TMIN}	T _A = +25°C		1.15	1.3	V
Backup Voltage	VBAT		1.3		5.5	V
Logic 1 Input	V _{IH}		0.7 x VCC		VCC + 0.3	V
Logic 0 Input	V _{IL}		-0.3		0.3 x VCC	V

DC ELECTRICAL CHARACTERISTICS

(VCC = VCC(MIN) to +5.5V, VBAT = +1.3V to +5.5V, T_A = -40°C to +85°C, unless otherwise noted.) (Notes 2, 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Power-Supply Active Current	I _{CCA}	-3 or -33: f _{SCLK} = 4MHz (Note 4)			600	μA
Power-Supply Standby Current (Note 5)	I _{CCS}	-33: VCC = 3.63V			120	μA
		VCC = VCC(MAX)			160	
Backup Current (Oscillator Off)	I _{BAT}	T _A = +25°C, VCC = 0V, $\overline{EOSC}$ = 1			100	nA
Backup Current DS1343 (Note 6)	I _{BAT1}	VBAT = 3V		250		nA
		VBAT = VBAT(MAX)			500	
Backup Current DS1343 (Note 7)	I _{BAT2}	VBAT = 3V		300		nA
		VBAT = VBAT(MAX)			600	

DC ELECTRICAL CHARACTERISTICS (continued)

(VCC = VCC(MIN) to +5.5V, VBAT = +1.3V to +5.5V, TA = -40°C to +85°C, unless otherwise noted.) (Notes 2, 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Leakage (CE, SERMODE, SCLK, SDI)	I _I	V _{IN} = 0V to V _{CC}	-0.1		+0.1	μA
Output Leakage (INT0, INT1, PF, SDO)	I _O	CE = V _{IL} , no alarms	-0.1		+0.1	μA
Output Logic 1 (PF, SDO)	I _{OH}	-3 or -33: V _{OH} = 2.4V	-1			mA
Output Logic 0 V _{OL} = 0.4V (INT0, INT1, PF, SDO)	I _{OL}	V _{CC} ≥ V _{CC(MIN)}	3.0			mA
		V _{BAT} ≥ 1.3V ≥ V _{CC} + 0.2V (Note 8)	250			μA
Power-Fail Trip Point	V _{PF}	-18	1.51	1.6	1.71	V
		-3	2.45	2.6	2.70	
		-33	2.70	2.88	3.0	
Switchover Voltage	V _{SW}	V _{BAT} > V _{PF}	V _{PF}			V
		V _{BAT} < V _{PF}	V _{BAT} > V _{CC}			
Trickle-Charger Resistors	R1		1			kΩ
	R2		2			
	R3		4			

AC ELECTRICAL CHARACTERISTICS

(VCC = VCC(MIN) to VCC(MAX), TA = -40°C to +85°C, unless otherwise noted.) (Notes 2, 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Frequency	f _{SCLK}	-18	DC		1	MHz
		-3 or -33	DC		4	
Data to SCLK Setup	t _{DC}		30			ns
SCLK to Data Hold	t _{CDH}		30			ns
SCLK to Data Delay	t _{CDD}	-18			160	ns
		-3 or -33			80	
SCLK Low Time	t _{CL}	-18	400			ns
		-3 or -33	110			
SCLK High Time	t _{CH}	-18	400			ns
		-3 or -33	110			
SCLK Rise and Fall	t _R , t _F				200	ns
CE to SCLK Setup	t _{CC}		400			ns
SCLK to CE Hold	t _{CCH}		100			ns
CE Inactive Time	t _{CWH}	-18	500			ns
		-3 or -33	400			
CE to Output High-Z	t _{CDZ}				40	ns
Oscillator Stop Flag (OSF) Delay	t _{OSF}	(Note 9)		25	100	ms

低消費電流SPI/3線式RTC

POWER-UP/DOWN CHARACTERISTICS

(T_A = -40°C to +85°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Recovery at Power-Up	t _{REC}			20	40	ms
V _{CC} Fall Time (V _{PF} to 0V)	t _{VCCF}		150			μs
V _{CC} Rise Time (0V to V _{PF})	t _{VCCR}		0			μs

CAPACITANCE

(T_A = +25°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Capacitance	C _I	(Note 10)		10		pF
Output Capacitance	C _O	(Note 10)		15		pF

CRYSTAL PARAMETERS

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Nominal Frequency	f ₀			32.768		kHz
Series Resistance	ESR				100	kΩ
Load Capacitance	C _L	DS1343		6		pF
		DS1344		12.5		

Note 2: Voltage referenced to ground.

Note 3: Limits at T_A = -40°C are guaranteed by design and not production tested.

Note 4: CE = V_{CC}, V_{SCLK} = V_{CC} to GND, I_{OUT} = 0mA, trickle charger disabled.

Note 5: CE = GND, I_{OUT} = 0mA, $\overline{\text{EOSC}}$ = EGFIL = DOSF = 0, trickle charger disabled.

Note 6: V_{CC} = 0V, EGFIL = 0, DOSF = 1.

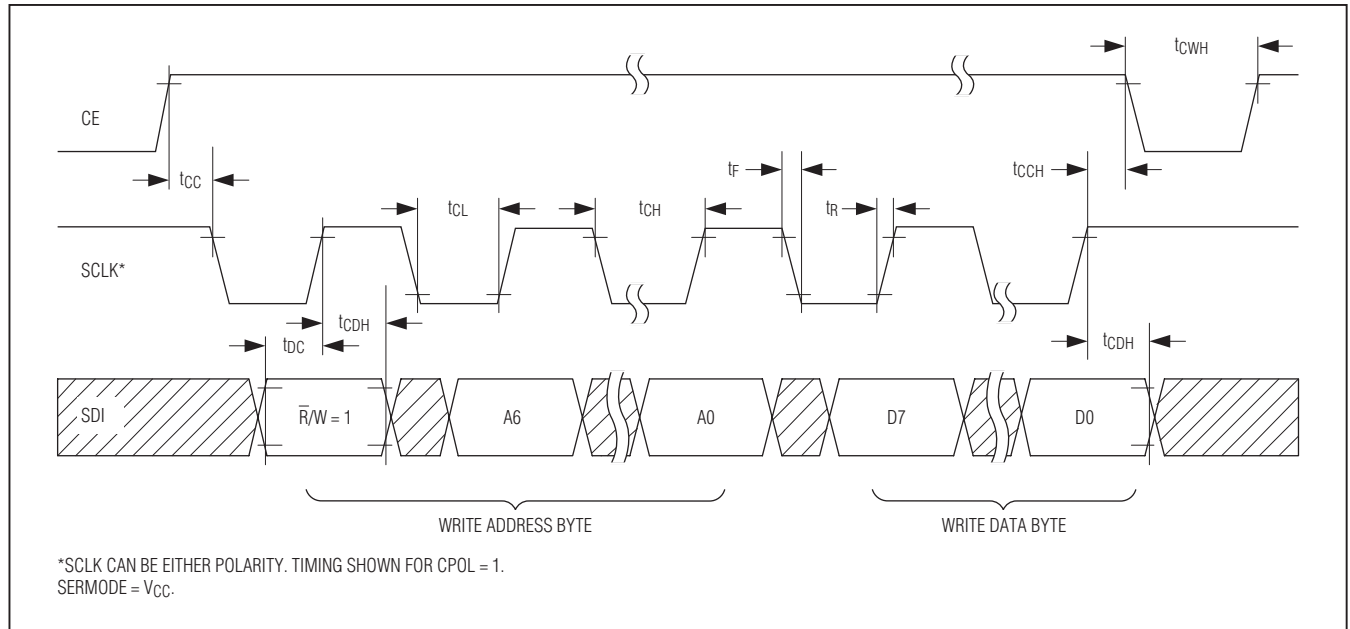
Note 7: V_{CC} = 0V, EGFIL = 1, DOSF = 0.

Note 8: Applies to INT0 and INT1.

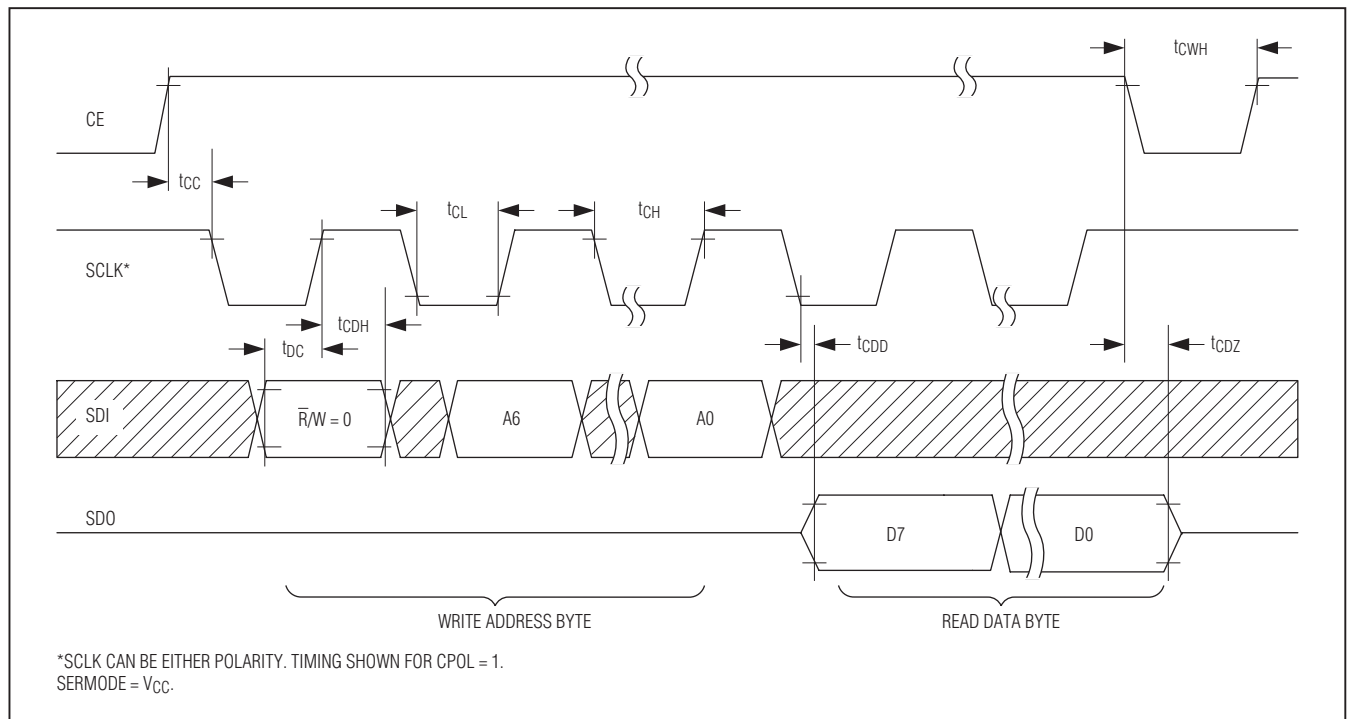
Note 9: The parameter t_{OSF} is the period of time the oscillator must be stopped for the OSF flag to be set.

Note 10: Guaranteed by design; not 100% production tested.

SPIの書き込みタイミング

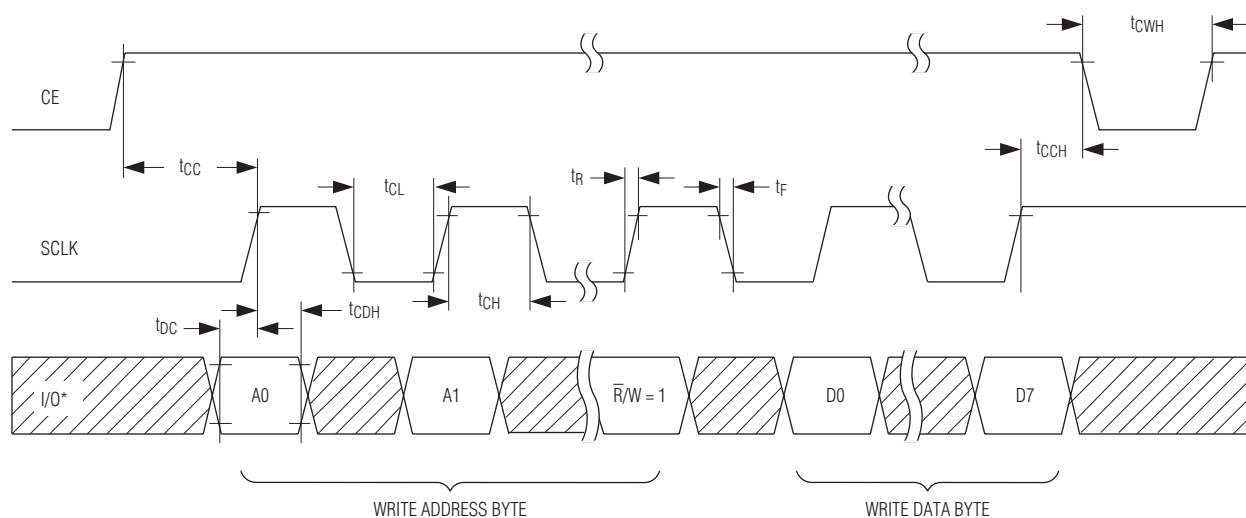


SPIの読取りタイミング



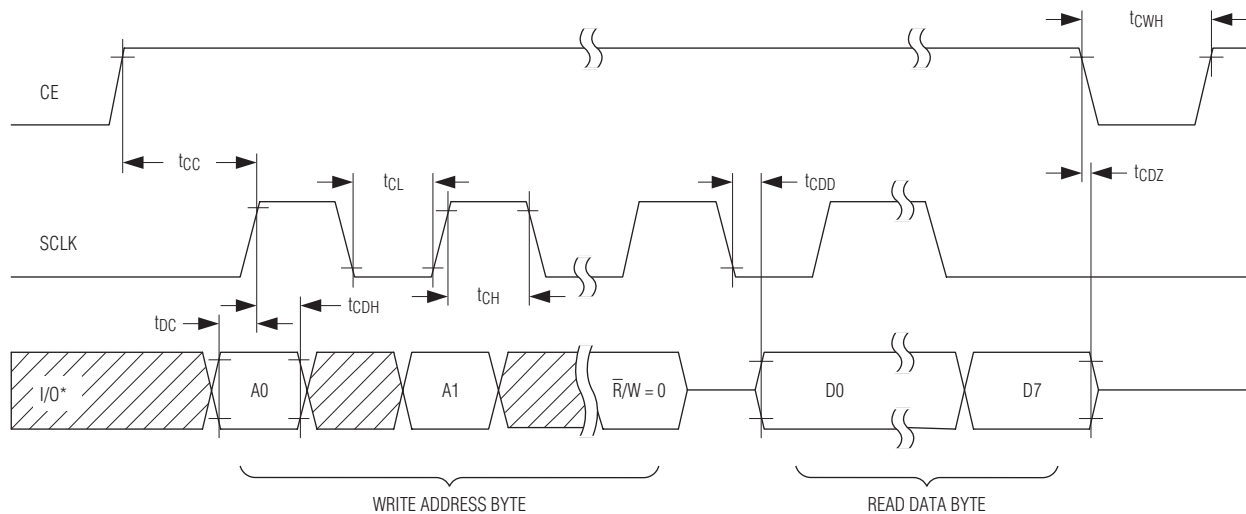
低消費電流SPI/3線式RTC

3線式の書込みタイミング



*I/O IS SDI AND SDO CONNECTED TOGETHER.
SERMODE = GND.

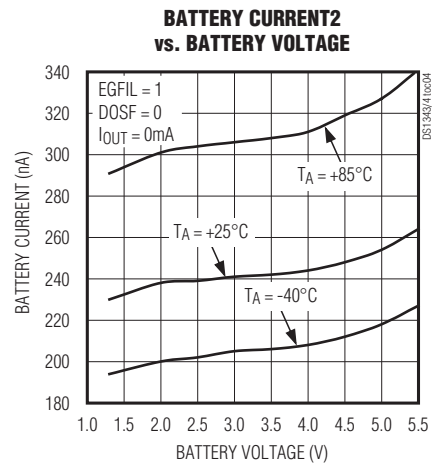
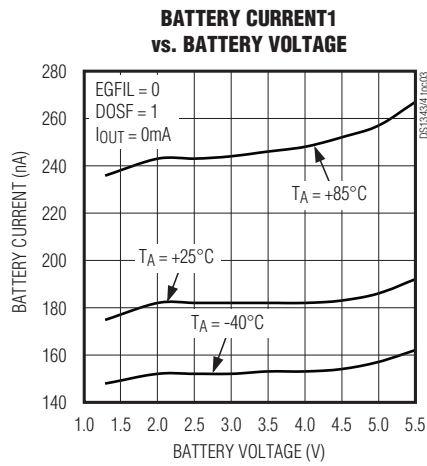
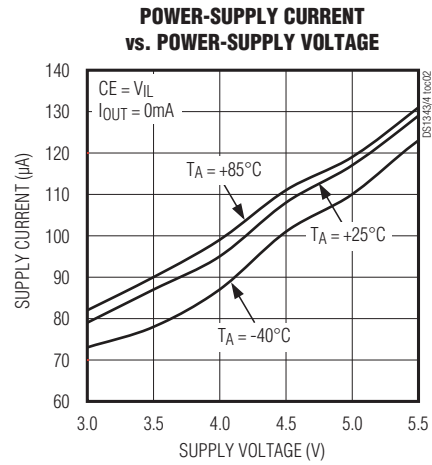
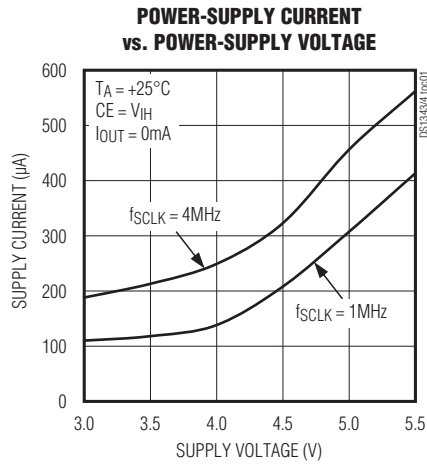
3線式の読取りタイミング



*I/O IS SDI AND SDO CONNECTED TOGETHER.
SERMODE = GND.

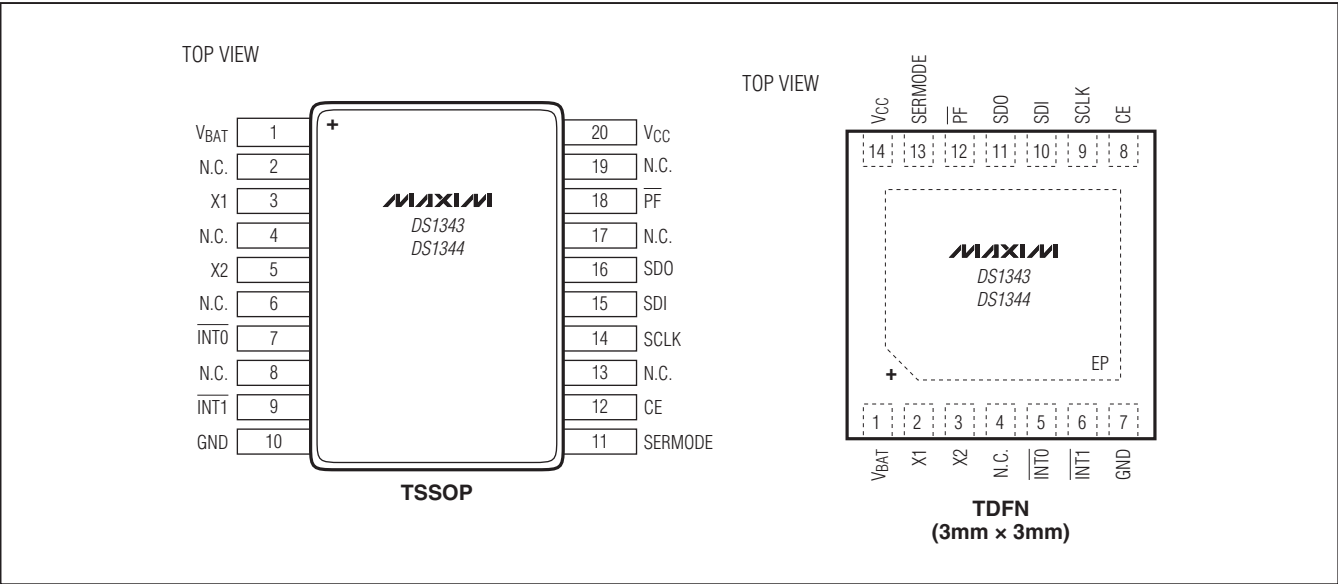
標準動作特性

($V_{CC} = +3.3V$, $T_A = +25^\circ C$, unless otherwise noted.)



低消費電流SPI/3線式RTC

ピン配置



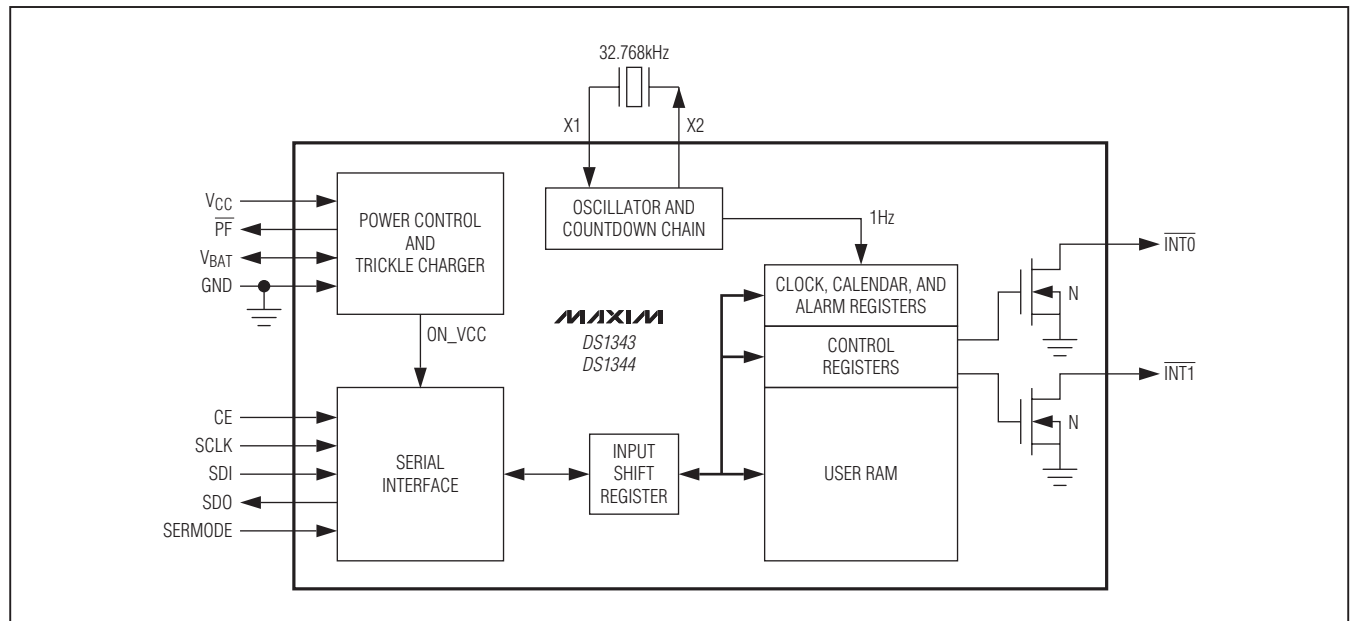
端子説明

端子		名称	機能
TSSOP	TDFN-EP		
1	1	V _{BAT}	標準+3Vリチウム電池またはその他のエネルギーソース用のバッテリー入力。1次リチウム電池と組み合わせて使用する場合に逆充電電流が発生しないことを保証するUL認定を取得しています。
2, 4, 6, 8, 13, 17, 19	4	N.C.	接続なし。N.C.端子は、水晶入力周辺のノイズを低減するためにGNDに接続することができます。
3	2	X1	標準32.768kHz水晶振動子接続(「CRYSTAL PARAMETERS (水晶の特性)」の表を参照)。これらのデバイスは、外付けの32.768kHzの発振器によって駆動することも可能です。この構成の場合は、X1端子を外付けの発振器に接続して、X2端子は未接続のままにします。
5	3	X2	
7	5	INT0	アクティブローの割込み0出力。INT0は、プロセッサに対する割込み出力として使用することができるアクティブローの出力です。INT0は、アラーム0によってのみアサートされるように設定するか、またはアラーム0またはアラーム1のどちらかによってアサートされるように設定することができます。割込みの原因であるステータスビットが存在し、かつ該当する割込みイネーブルビットがセットされている限り、INT0はローのままになります。INT0は、コンポーネントがV _{CC} またはV _{BAT} によって給電されている場合に動作します。INT0はオープンドレイン出力であるため、外付けのプルアップ抵抗が必要です。
9	6	INT1	アクティブローの割込み1出力。INT1は、プロセッサに対する割込み出力または32kHzの方形波出力として使用することができるアクティブローの出力です。INT1は、アラーム1によってのみアサートされるように設定することができます。割込みの原因であるステータスビットが存在し、かつ該当する割込みイネーブルビットがセットされている限り、INT1はローのままになります。INT1は、コンポーネントがV _{CC} またはV _{BAT} によって給電されている場合に動作します。INT1はオープンドレイン出力であるため、外付けのプルアップ抵抗が必要です。

端子説明(続き)

端子		名称	機能
TSSOP	TDFN-EP		
10	7	GND	グランド
11	13	SERMODE	シリアルインタフェースモード入力。GNDに接続した場合、標準3線式通信が選択されます。V _{CC} に接続した場合、SPI通信が選択されます。
12	8	CE	チップイネーブル。3線式またはSPIいずれの通信でも、読取りまたは書込みの間チップイネーブル信号をハイにアサートする必要があります。
14	9	SCLK	シリアルクロック入力。3線式またはSPIいずれの通信でも、SCLKはシリアルインタフェース上のデータの動きを同期化するために使用されます。
15	10	SDI	シリアルデータ入力。SPI通信が選択されている場合、SDIはSPIバス用のシリアルデータ入力になります。3線式通信が選択されている場合は、この端子をSDOに接続する必要があります(相互に接続されている場合、SDIとSDOは1つのI/O端子として機能します)。
16	11	SDO	シリアルデータ出力。SPI通信が選択されている場合、SDOはSPIバス用のシリアルデータ出力になります。3線式通信が選択されている場合は、この端子をSDIに接続する必要があります(相互に接続されている場合、SDIとSDOは1つのI/O端子として機能します)。
18	12	PF	アクティブローの電源障害出力。PF端子は、主電源(V _{CC})の障害を示すために使用されます。V _{CC} がV _{PF} を下回った場合に、PF端子がローに駆動されます。
20	14	V _{CC}	電源入力
—	—	EP	エクスポーズドパッド(TDFNのみ)。GNDに接続するか、未接続のままにしてください。

ファンクションダイアグラム



低消費電流SPI/3線式RTC

詳細

低電流リアルタイムクロック(RTC)のDS1343/DS1344は、タイムキーピング電流の消費が非常に小さく、また高ESRの水晶をサポートするためデバイスに使用可能な水晶の選択範囲が拡大されたタイムキーピングデバイスです。

これらのデバイスは、シンプルなシリアルインタフェースを介してアクセスされる、完全な2進10進数(BCD)クロック/カレンダーを備えています。クロック/カレンダーは、秒、分、時、曜日、日、月、および年の情報を提供します。2099年までのうるう年の補正を含めて、31日に満たない月の最後の日が自動的に調整されます。このクロックは、24時間形式またはAM/PMインジケータを備えた12時間形式のいずれかで動作します。さらに、データ保存のために96バイトのNV RAMが提供されます。これらのデバイスは、少なくとも1つの電源が有効なレベルである限り時刻と日付を維持します(ただし発振器がイネーブルされていることが条件です)。

いずれのデバイスも、2つの設定可能な時刻アラームを備えています。各アラームは、設定可能な秒、分、時間、および日の組合せによって割込みを生成することができます。アラーム条件として無視させる場合は、1つ以上のフィールドに任意の状態を示す値を挿入することができます。時刻アラームは、2つの異なる割込み出力をアサートするように設定するか、または1つの共通の割込み出力をアサートするように設定可能です。いずれの割込み出力も、デバイスがVCCまたはVBATによって給電されている場合に動作します。

これらのデバイスは、SPIシリアルデータポートまたは標準3線式インタフェースに対する直接インタフェースをサポートしています。シンプルなアドレスおよびデータ形式が実装されており、1度に1バイトずつまたは複数バイトのバーストモードでのデータ転送が可能です。

これらのデバイスは、電源障害を検出して自動的にバックアップ電源への切替えを行う、温度補償された電力検出回路を内蔵しています。充電抵抗およびダイオード電圧降下の選択が可能な、再充電可能電圧ソースのトリクル充電を提供するようにVBAT端子を構成することができます。

I/Oおよび電源切替え動作

これらのデバイスは、3線式またはSPIシリアルバス上のスレーブデバイスとして動作します。CE端子によってデバイスを選択して、SCLKおよびSDI/SDO端子を使用してデバイスとの間でデータのクロックイン/クロックアウトを行うことによってアクセスが可能になります。複数バイトの転送は、1つのCEのハイ期間内でサポートされます。詳細については、「シリアルペリフェラルインタフェース(SPI)」の

項を参照してください。VCCがV_{PF}より高い場合、これらのデバイスは完全にアクセス可能であり、データの書込みと読取りが可能です。しかし、VCCがV_{PF}より低い場合は、内部のクロックレジスタがすべてのアクセスからブロックされ、デバイスの電力がVCCからVBATに切り替わります。

V_{PF}がバックアップ電源の電圧より低い場合は、VCCがV_{PF}を下回った時点でデバイスの電力がVCCからバックアップ電源に切り替わります。V_{PF}がバックアップ電源より高い場合は、VCCがバックアップ電源を下回った時点でデバイスの電力がVCCからバックアップ電源に切り替わります。レジスタは、VCCが正常なレベルに復帰するまでバックアップ電源によって維持されます。「ファンクションダイアグラム」に、主な構成要素を示します。

フレッシュネスシールモード

バッテリーを最初にデバイスに接続した時点では、デバイスはRTCや内部回路へのバッテリーバックアップ電力の供給を即座には行いません。VCCがV_{PF}を上回った後でデバイスはフレッシュネスシールモードを終了して、その後はVCCがVBATを下回るたびにバッテリーバックアップ電力を供給します。このモードによって、製品の製造中にバッテリーを接続する場合も、システムが最初にアクティブ化されるまではバッテリー容量が消費されないことになります。その結果、保管および出荷の過程で使用されるバッテリーのエネルギーを最小限に抑えることができます。

発振回路

これらのデバイスは、外付けの32.768kHzの水晶を使用します。発振回路は、動作に外付けの抵抗やコンデンサを必要としません。DS1343は、C_L = 6pFの水晶用の容量性負荷を内蔵しており、DS1344はC_L = 12.5pFの水晶用の容量性負荷を内蔵しています。外付け水晶のパラメータについては、「Crystal Parameters (水晶のパラメータ)」の表を参照してください。「ファンクションダイアグラム」に、発振回路の簡略回路図を示します。規定の特性の水晶を使用する場合、スタートアップ時間は通常は1秒以内です。

クロックの精度

内蔵発振器で動作させる場合、クロックの精度は水晶の精度および発振回路の容量性負荷と水晶の調整対象の負荷容量値の間の整合の精度に依存します。温度変化に起因する水晶の周波数ドリフトによって、さらに誤差が追加されます。外部回路のノイズが発振回路に混入することが原因で、クロックの動作が速くなる可能性もあります。図1に、水晶および発振回路をノイズから隔離するための標準的なPCBレイアウトを示します。詳細については、アプリケーションノート58「Crystal Considerations with Maxim Real-Time Clocks」(英文)を参照してください。

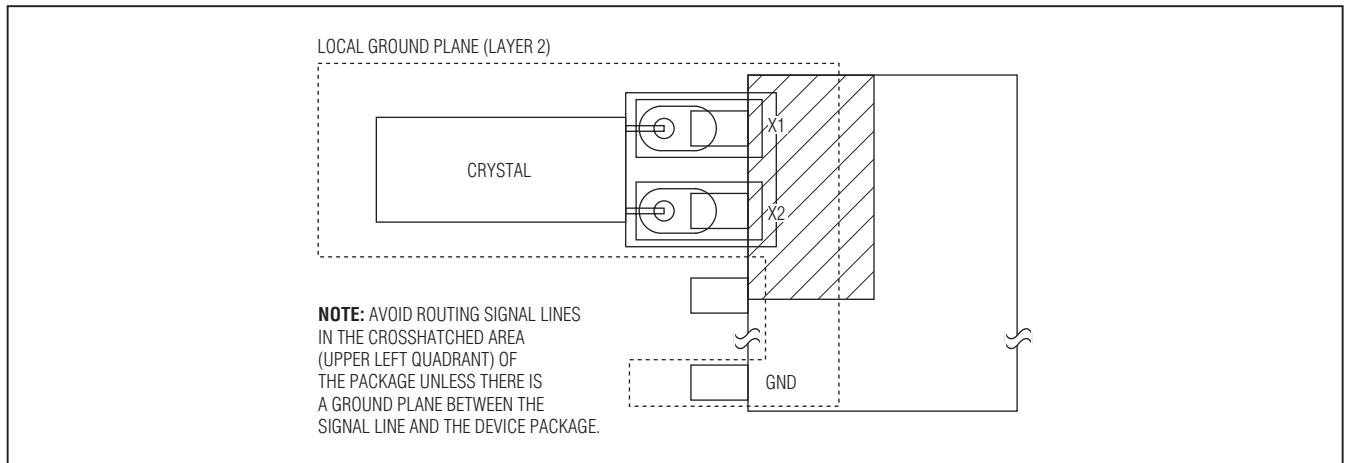


図1. レイアウトの例

レジスタマップ

表1に、これらのデバイスのレジスタマップを示します。マルチバイトのRTCアクセス中にアドレスポインタがレジスタ空間の末尾(1Fh)に到達した場合は、アドレス00hに戻します(ラップアラウンド)。マルチバイトのRAMアクセス中にアドレスポインタがレジスタ空間の末尾(7Fh)に到達した場合は、アドレス20hに戻します(ラップアラウンド)。CEの立上りエッジまたはRTCアドレスポインタのラップアラウンド時に、現在の時間が第2のレジスタセットに転送されます。時間情報は、これらのセカンダリレジスタから読み取られ、その間もクロックは動作を続けます。これによって、読み取り中にメインレジスタが更新された場合のレジスタの再読み取りが不要になっています。

クロックおよびカレンダー(00h~06h)

時間およびカレンダーの情報は、適切なレジスタバイトを読み取ることによって取得します。表1に、RTCレジスタを示します。時間およびカレンダーは、適切なレジスタバイトに書き込むことによって設定または初期化します。時間およびカレンダーのレジスタの内容は、BCD形式です。Dayレジスタは深夜0時にインクリメントされ、7から1にロールオーバーします。どの値がどの曜日に相当するかはユーザー定義ですが、連続している必要があります(すなわち、1が日曜の場合、2は月曜であり、以下同様です)。不合理な時刻や日付の項目が存在する場合、動作は未定義となります。

これらのデバイスは、12時間または24時間モードで動作させることができます。Hoursレジスタのビット6が、12時間または24時間モード選択ビットとして定義されています。ハイの場合、12時間モードが選択されます。12時間モードでは、ビット5がAM/PMビットであり、内容が1の場合がPMです。24時間モードでは、ビット5は20時間フィールドです。12/24モード選択ビットを変更した場合は、その後でAlarmレジスタ(使用している場合)も含めてHoursの

データを再入力する必要があります。Centuryビット(Monthのビット7)は、Yearsレジスタが99から00にロールオーバーする際にトグルされます。パワーオンリセット(POR)時には、時刻および日付が00:00:00 01/01/00(hh:mm:ss MM/DD/YY)に設定され、Dayレジスタには01が設定されます。

アラーム(07h~0Eh)

これらのデバイスは、2つの時刻/日付アラームを内蔵しています。アラーム0は、レジスタ07h~0Ahへの書き込みによって設定することができます。アラーム1は、レジスタ0Bh~0Ehへの書き込みによって設定することができます。アラームは、アラーム一致条件によってINT0またはINT1出力をアクティブ化するように設定することができます(表2を参照)。個々の時刻/日付アラームレジスタのビット7は、マスクビットです。各アラームのすべてのマスクビットが0の場合、タイムキーピングレジスタ00h~06hの値がアラームレジスタに格納された値と一致したときにのみアラームが発生します。また、毎秒、毎分、毎時間、または毎日アラームが繰り返されるように設定することも可能です。表に記載されていない設定とした場合、結果は不合理な動作になります。POR値は未定義です。

RTCレジスタの値がアラームレジスタの設定と一致した場合、Statusレジスタ内の該当するアラームフラグビット(IRQF0またはIRQF1)に1がセットされます。Controlレジスタ内の該当するアラーム割込みイネーブルビット(A0IEまたはA1IE)にも1がセットされている場合、INTCNビットによって定義された出力がアラーム条件によってアクティブ化されます。アラームがアクティブになった場合、関連するIRQF[1:0]ビットをクリアすることによって選択された割込み出力のアサートが解除されますが、アラームは次の一致の発生に備えてイネーブルされたままになります。別の方法として、A1IEビットをクリアすることによって出力のアサートが解除され、それ以上の出力のアクティブ化が抑止されます。

低消費電流SPI/3線式RTC

表1. レジスタマップ

ADDRESS	BIT 7 MSB	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0 LSB	FUNCTION	RANGE
00h	0	10 Seconds			Seconds				Seconds	00–59
01h	0	10 Minutes			Minutes				Minutes	00–59
02h	0	12/24	AM/PM	10 Hours	Hour				Hours	1–12 + AM/PM 00–23
	20 Hours									
03h	0	0	0	0	0	Day			Day	1–7
04h	0	0	10 Date		Date				Date	01–31
05h	Century	0	0	10 Month	Month				Month/ Century	01–12 + Century
06h	10 Year				Year				Year	00–99
07h	A0M1	10 Seconds			Seconds				Alarm 0 Seconds	00–59
08h	A0M2	10 Minutes			Minutes				Alarm 0 Minutes	00–59
09h	A0M3	12/24	AM/PM	10 Hours	Hour				Alarm 0 Hours	1–12 + AM/PM 00–23
	20 Hours									
0Ah	A0M4	0	0	0	Day				Alarm 0 Day	1–7
0Bh	A1M1	10 Seconds			Seconds				Alarm 1 Seconds	00–59
0Ch	A1M2	10 Minutes			Minutes				Alarm 1 Minutes	00–59
0Dh	A1M3	12/24	AM/PM	10 Hours	Hour				Alarm 1 Hours	1–12 + AM/PM 00–23
	20 Hours									
0Eh	A1M4	0	0	0	Day				Alarm 1 Day	1–7
0Fh	EOSC	X	DOSF	EGFIL	SQW	INTCN	A1IE	A0IE	Control	—
10h	OSF	0	0	0	0	0	IRQF1	IRQF0	Status	—
11h	TCS3	TCS2	TCS1	TCS0	DS1	DS0	RS1	RS0	Trickle Charger	—
12h–1Fh	Reserved								Reserved	—
20h–7Fh	User RAM								User RAM	00h–FFh

注：0と記載されているビットは読み値が常に0であり、1を書き込むことはできません。

表2. アラームマスクビット

ALARM REGISTER MASK BITS (BIT 7)				ALARM RATE
A_M4	A_M3	A_M2	A_M1	
1	1	1	1	Alarm once a second
1	1	1	0	Alarm when seconds match
1	1	0	0	Alarm when minutes and seconds match
1	0	0	0	Alarm when hours, minutes, and seconds match
0	0	0	0	Alarm when day, hours, minutes, and seconds match

Controlレジスタ(0Fh)

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
$\overline{\text{EOSC}}$	X	DOSF	EGFIL	SQW	INTCN	A1IE	AOIE
1	0	0	0	0	0	0	0

BIT 7	EOSC : 発振器イネーブル。バッテリーバックアップ中、 $\overline{\text{EOSC}}$ に0がセットされている場合、バックアップ動作中も発振器がイネーブルされます。1がセットされている場合、デバイスがバックアップ電源によって給電されているときは発振器が停止します。最初に電源を印加した時点で、このビットにはロジック1がセットされます。
BIT 6	未使用。
BIT 5	DOSF : 発振器停止フラグディセーブル。DOSFビットに1がセットされている場合、OSFビットをセットする発振器の条件の検出がディセーブルされます。発振器に何が発生しても、OSFは0のままになります。最初に電源を印加した時点で、このビットはクリア(0)されます。
BIT 4	EGFIL : グリッチフィルタイネーブル。EGFILビットに1がセットされている場合、水晶発振器の出力が備える5 μ sのグリッチフィルタがイネーブルされます。このビットが0の場合は、グリッチフィルタがディセーブルされます。最初に電源を印加した時点で、このビットはクリア(0)されます。
BIT 3	SQW : 方形波イネーブル。SQWビットに1がセットされている場合、INT1出力に32kHzの方形波が出力されます。最初に電源を印加した時点で、このビットはクリア(0)されます。
BIT 2	INTCN : 割込み制御。このビットは、2つの時刻アラームと2つの割込み出力端子の関係を制御します。INTCNビットが1の場合、タイムキーピングレジスタとアラーム0レジスタの一致によってINT0出力がアクティブになり(ただしAOIE = 1であること)、タイムキーピングレジスタとアラーム1レジスタの一致によってINT1出力がアクティブになります(ただしA1IE = 1であること)。INTCNビットが0の場合、タイムキーピングレジスタとアラーム0レジスタまたはアラーム1レジスタのいずれかの一致によってINT0出力がアクティブになります(ただしAOIE = A1IE = 1であること)。INTCN = 0の場合、INT1出力は機能しません。最初に電源を印加した時点で、INTCNビットはクリア(0)されます。
BIT 1	A1IE : アラーム1割込みイネーブル。A1IEに0がセットされている場合、アラーム1の割込み機能がディセーブルされます。A1IEが1の場合、アラーム1の割込み機能がイネーブルされ、INT0 (INTCN = 0の場合)またはINT1 (INTCN = 1の場合)のいずれかに出力されます。A1IEの状態とは無関係に、タイムキーピングレジスタとアラーム1レジスタ(0Bh~0Eh)の一致によって割込み要求1フラグビット(IRQF1)がセットされます。最初に電源を印加した時点で、A1IEビットはクリア(0)されます。
BIT 0	AOIE : アラーム0割込みイネーブル。AOIEに0がセットされている場合、アラーム0の割込み機能がディセーブルされます。AOIEが1の場合、アラーム0の割込み機能がイネーブルされ、INT0に出力されます。AOIEの状態とは無関係に、タイムキーピングレジスタとアラーム0レジスタ(07h~0Ah)の一致によって割込み要求0フラグビット(IRQF0)がセットされます。最初に電源を印加した時点で、AOIEビットはクリア(0)されます。

低消費電流SPI/3線式RTC

Statusレジスタ(10h)

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
OSF	0	0	0	0	0	IRQF1	IRQF0
1	0	0	0	0	0	0	0

BIT 7	OSF: 発振器停止フラグ。OSFビットが1の場合、発振器が停止したか、または一定期間停止されていることを表し、クロックおよびカレンダーのデータの有効性を判断するために使用することができます。このビットはエッジトリガで、発振器が通常の動作状態から停止状態に移ったことを内部の回路が検出した時点で1がセットされます。このビットは、ロジック0を書き込むまでロジック1のままになります。OSFに1を書き込もうとしても、値は変化しません。 OSFビットがセットされる原因となる状態には、以下のような例があります。 1) 初めて電源が印加された場合。 2) V_{CC}の電圧が発振のサポートに十分ではない場合。 3) バッテリバックアップ中、EOSCビットがロジック1の場合。 4) 水晶に対する外部からの(すなわち、ノイズ、リーク等)の影響。
BIT 1	IRQF1: 割り込み要求1フラグ。IRQF1ビットがロジック1の場合、時刻がアラーム1レジスタと一致したことを表します。このフラグを使用して、ControlレジスタのINTCNビットの状態に応じてINT0またはINT1のいずれかで割り込みを発生させることができます。INTCNビットが0でIRQF1が1の場合(かつA1IEビットも1の場合)、INT0がローになります。INTCNビットが1でIRQF1が1の場合(かつA1IEビットも1の場合)、INT1がローになります。I/Oトランザクション中にアドレスポインタがアラーム1のいずれかのレジスタに設定された時点で、IRQF1はクリアされます。IRQF1ビットは、0の書き込みによってもクリアすることができます。このビットには、0の書き込みのみが可能です。IRQF1ビットに1を書き込もうとしても、値は変化しません。
BIT 0	IRQF0: 割り込み要求0フラグ。IRQF0ビットがロジック1の場合、時刻がアラーム0レジスタと一致したことを表します。A0IEビットも1の場合、INT0がローになります。I/Oトランザクション中にアドレスポインタがアラーム0のいずれかのレジスタに設定された時点で、IRQF0はクリアされます。IRQF0ビットは、0の書き込みによってもクリアすることができます。このビットには、0の書き込みのみが可能です。IRQF0ビットに1を書き込もうとしても、値は変化しません。

Trickle Chargerレジスタ(11h)

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
TCS3	TCS2	TCS1	TCS0	DS1	DS0	RS1	RS0
0	0	0	0	0	0	0	0

アラームフラグは常にアクティブであり、A₁IEビットの状態とは完全に独立しています。アラームの照合をディセーブルするには、すべてのアラームレジスタにロジック0を書き込んでください。

レジスタ11hは、デバイスのトリクル充電特性を制御します。図2の簡略回路図は、トリクルチャージャの基本的な構成要素を示しています。トリクル充電選択(TCS[3:0])ビット(ビット7:4)は、トリクルチャージャの選択を制御します。誤ってイネーブルされることを防止するために、1010というパターンによってのみトリクルチャージャがイネーブルされます。他のすべてのパターンは、トリクルチャージャ

をディセーブルします。最初に電力が印加された時点では、トリクルチャージャがディセーブルされた状態でデバイスが起動します。ダイオード選択(DS[1:0])ビット(ビット3:2)は、V_{CC}とV_{BAT}の間にダイオードが接続されているかどうかを選択します。抵抗選択(RS[1:0])ビット(ビット1:0)は、V_{CC}とV_{BAT}の間に接続されている抵抗を選択します。RSおよびDSビットによって、表3に示すように抵抗とダイオードが選択されます。ユーザーは、2次電池またはスーパーキャパシタの充電に必要な最大電流に応じてダイオードと抵抗の選択を決定します。最大充電電流は、この後で示す式を使用して計算することができます。

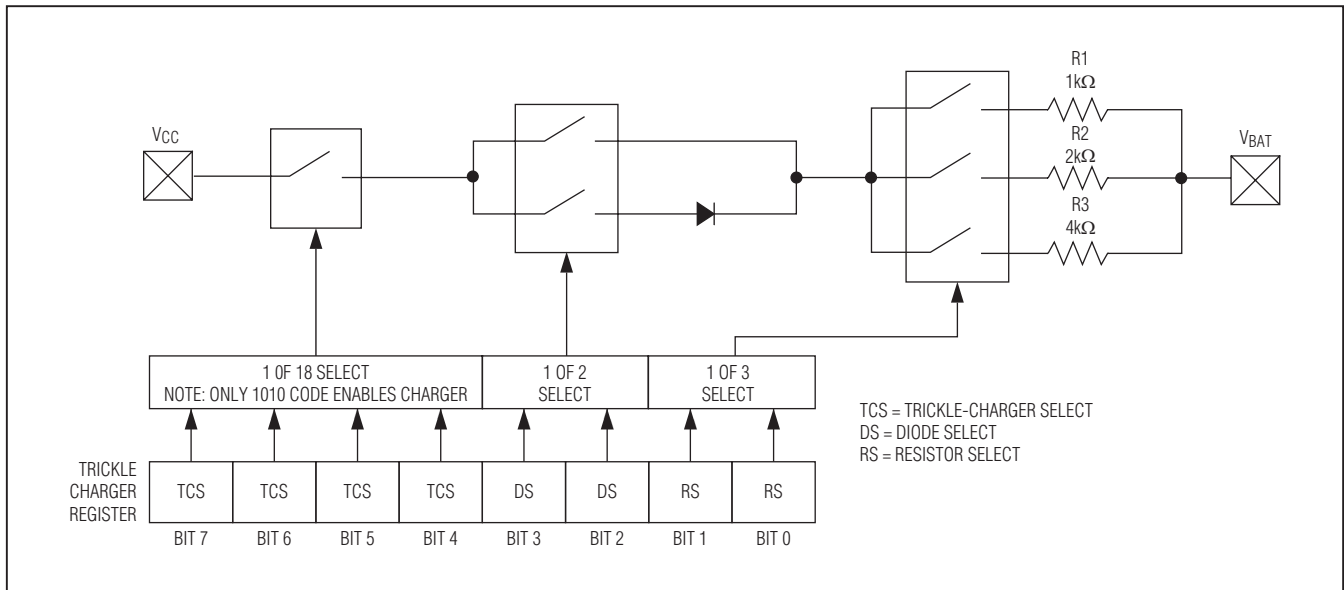


図2. トリクルチャージャのブロック図

表3. トリクルチャージャの抵抗とダイオードの選択

TCS3	TCS2	TCS1	TCS0	DS1	DS0	RS1	RS0	FUNCTION
X	X	X	X	X	X	0	0	Disabled
X	X	X	X	0	0	X	X	Disabled
X	X	X	X	1	1	X	X	Disabled
1	0	1	0	0	1	0	1	No diode, 1kΩ
1	0	1	0	0	1	1	0	No diode, 2kΩ
1	0	1	0	0	1	1	1	No diode, 4kΩ
1	0	1	0	1	0	0	1	One diode, 1kΩ
1	0	1	0	1	0	1	0	One diode, 2kΩ
1	0	1	0	1	0	1	1	One diode, 4kΩ
0	0	0	0	0	0	0	0	Initial power-on state—disabled

X = 任意。

例として、5Vのシステム電源がV_{CC}に印加され、V_{BAT}にスーパーキャパシタが接続されていると仮定します。また、1つのダイオードおよび抵抗R1を選択してトリクルチャージャがイネーブルされていると仮定します。最大電流I_{MAX}は、次のように計算されます。

$$I_{MAX} = (5.0V - \text{ダイオード降下})/R1 \approx (5.0V - 0.6V)/2k\Omega \approx 2.2mA$$

スーパーキャパシタの充電に伴って、V_{CC}とV_{BAT}間の電圧降下が減少し、そのため充電電流が減少します。

シリアルポートの動作

これらのデバイスは、2つのシリアルインタフェースモードを選択することができる柔軟性を備えています。コンポーネントはSPIインタフェースまたは標準3線式インタフェースと通信することができます。使用するインタフェース方式は、SERMODEによって決定されます。SERMODEがV_{CC}に接続されている場合は、SPI通信が選択されます。SERMODEがグランド接続されている場合は、標準3線式通信が選択されます。

低消費電流SPI/3線式RTC

シリアルペリフェラルインタフェース(SPI)

シリアルペリフェラルインタフェース(SPI)は、アドレスとデータの転送のための同期式バスであり、68HC05C4や68HC11A8などの特定のMotorola製マイクロコントローラのSPIバスとインタフェースする場合に使用されます。SPIモードのシリアル通信は、SERMODEをV_{CC}に接続することによって選択されます。4つの端子がSPIに使用されます。その4つの端子とは、SDO (シリアルデータアウト)、SDI (シリアルデータイン)、CE (チップイネーブル)、およびSCLK (シリアルクロック)です。ICはSPIアプリケーションのスレーブデバイスであり、マイクロコントローラがマスターです。

SDIおよびSDOは、それぞれデバイスのシリアルデータ入力および出力端子です。CE入力は、データ転送の開始と終了に使用されます。SCLKは、マスター(マイクロコントローラ)デバイスとスレーブ(IC)デバイス間のデータの動きを同期化するために使用されます。

入力クロック(SCLK)はマイクロコントローラによって生成され、SPIバス上の任意へのデバイスに対するアドレスおよびデータの転送中のみアクティブになります。一部のマイクロコントローラでは、非アクティブのクロックの極性を設定可能です。デバイスは、CEがアクティブになった時点でSCLKをサンプリングすることによってクロックの極性を判定します。そのため、どちらのSCLK極性にも対応可能です。入力データ(SDI)は内部ストロブエッジでラッチされ、出力データ(SDO)はシフトエッジでシフトアウトされます(図3)。転送される個々のビットごとに1つのクロックが存在します。アドレスおよびデータビットは8個ごとのグループで、最初にMSBから転送されます。

アドレスおよびデータバイト

アドレスおよびデータバイトは、最初にMSBからシリアルデータ入力(SDI)にシフトインされ、シリアルデータ出力(SDO)からシフトアウトされます。すべての転送において、バイトのアドレスでRTCまたはRAM上の位置に対する書き込みまたは読取りを指定する必要があるため、その後1バイトまたはそれ以上のデータが続きます。データは、読取り動作の場合はSDOから転送され、書き込み動作の場合はSDIに転送されます(図4および図5)。

アドレスバイトは、CEがハイに駆動された後で常に最初に入力されるバイトです。このバイトの最上位ビット($\bar{R}/W$)によって、読取りと書き込みのどちらが行われるかが決まります。 $\bar{R}/W$ が0の場合、1つまたはそれ以上の読取りサイクルが発生します。 $\bar{R}/W$ が1の場合、1つまたはそれ以上の書き込みサイクルが発生します。

データ転送は、1度に1バイトずつ、または複数バイトのバーストモードで行うことができます。CEがハイに駆動された後、デバイスにアドレスが書き込まれます。アドレスの後に、1つまたはそれ以上のデータバイトの書き込みまたは読取りを行うことができます。シングルバイト転送の場合、1バイトの読取りまたは書き込みが行われた後で、CEがローに駆動されます。しかし、複数バイト転送の場合は、アドレスの書き込み後にデバイスに対して複数のバイトの読取りまたは書き込みを行うことができます。個々の読取りまたは書き込みのサイクル単位で、RTCレジスタまたはRAMのアドレスが自動的にインクリメントされます。インクリメントは、デバイスがディセーブルされるまで継続します。RTCアドレス空間が選択されている場合、1Fhからのインクリメント後にアドレスが00hにラップします。RAMアドレス空間が選択されている場合、7Fhからのインクリメント後にアドレスが20hにラップします。

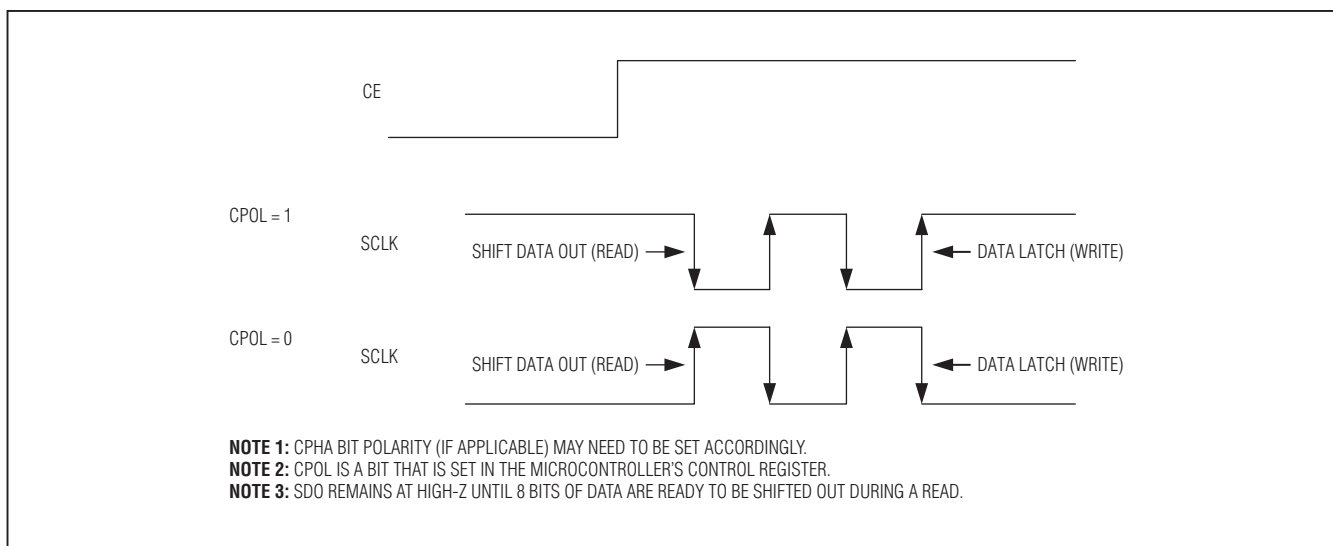


図3. マイクロコントローラのクロック極性(CPOL)の関数としてのシリアルクロック

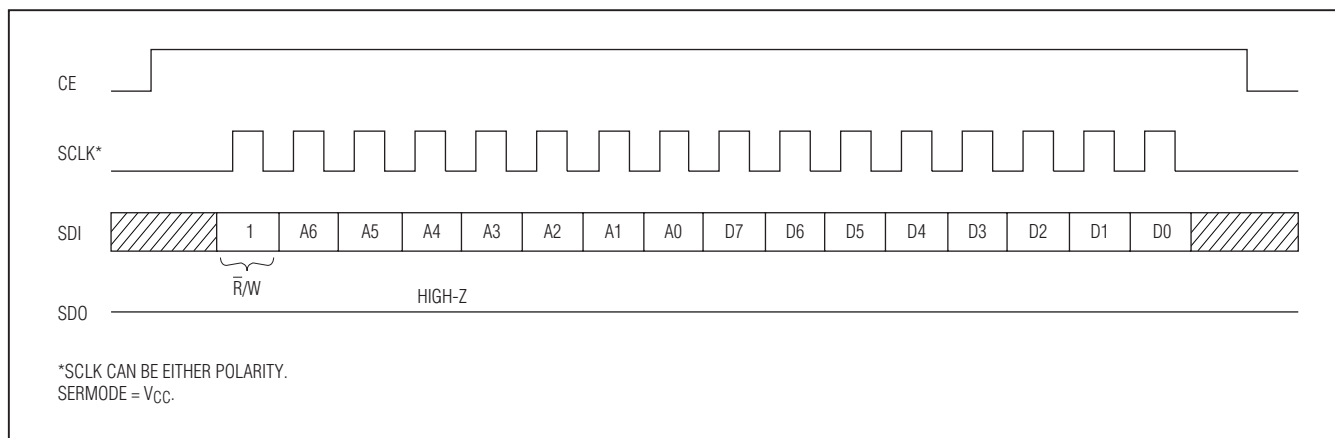


図4. SPIシングルバイト書き込み

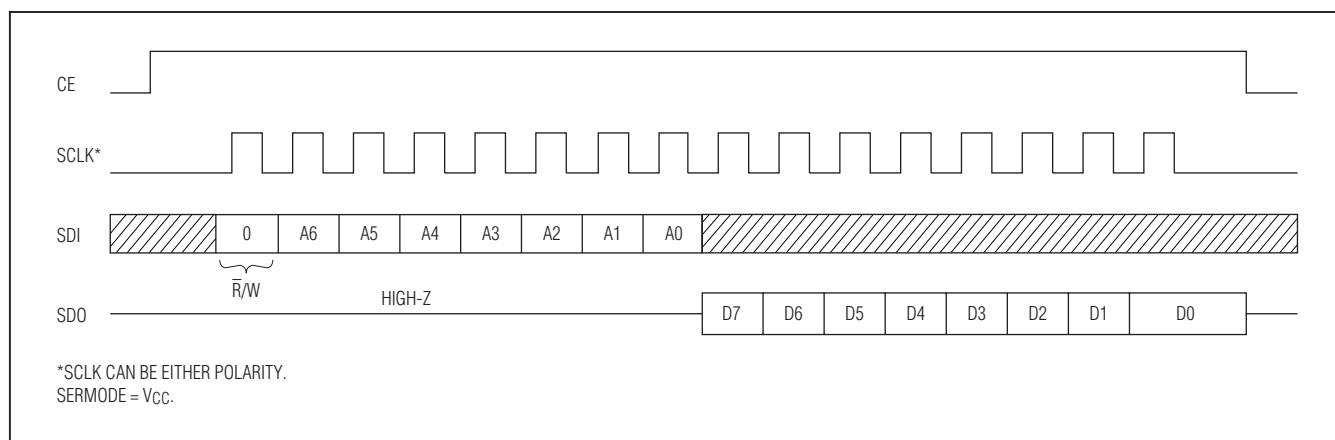


図5. SPIシングルバイト読取り

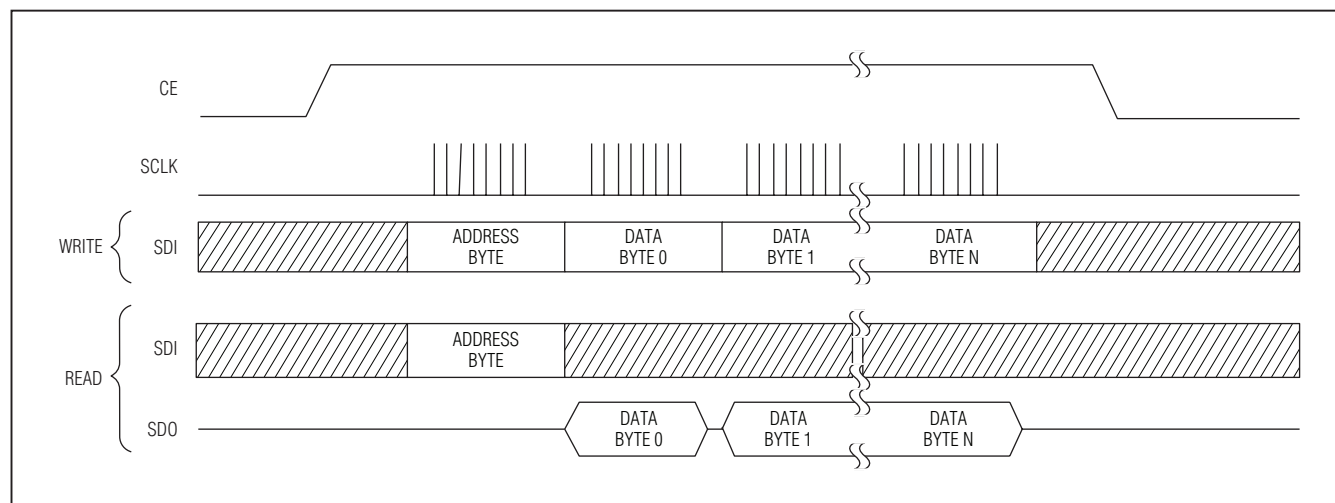


図6. SPIマルチバイトバースト転送

低消費電流SPI/3線式RTC

バーストモードでの読取りと書込み

バーストモードは、シングルバイトの読取りまたは書込みと同様に動作しますが、CEがハイに維持され、追加のSCLKサイクルがバーストの最後まで送信される点が異なります。バーストモードでは、クロックレジスタおよびユーザーRAMの読取りまたは書込みが可能です。1Fhに到達した後のアドレスポインタは00hにラップアラウンドして(RTC)、7Fhに到達した後のアドレスポインタは20hにラップアラウンドします(RAM)。図6を参照してください。

3線式インタフェース

3線式インタフェースモードは、SPIモードと同様に動作します。しかし、3線式モードの場合は、独立したデータインとデータアウトの信号の代わりに、1つのI/Oが存在します。3線式インタフェースは、I/O (SDI端子とSDO端子を相互に接続)、CE、およびSCLK端子で構成されます。各バイトが最初にMSBからシフトインされるSPIモードとは異なり、3線式モードでは各バイトが最初にLSBからシフトインされます。

SPIモードの場合と同様に、アドレスバイトがデバイスに書き込まれ、その後に単一のデータバイトまたは複数のデータバイトが続きます。図7に書込みサイクルを、図8に読取り

サイクルを示します。3線式モードでは、データはSCLKの立上りエッジで入力され、SCLKの立下りエッジで出力されます。

アプリケーション情報

電源デカップリング

これらのデバイスの使用時に最良の結果を実現するために、V_{CC}電源を0.01μFおよび/または0.1μFのコンデンサでデカップリングしてください。可能な場合、高品質の表面実装型セラミックコンデンサを使用してください。表面実装部品はリードインダクタンスが最小限に抑えられるため性能が向上し、セラミックコンデンサの多くはデカップリング用途に適した高周波数応答を備えています。

オープンドレイン出力の使用

INT0およびINT1出力はオープンドレインのため、ロジックハイの出力レベルを実現するために外付けのプルアップ抵抗が必要です。

バッテリー充電保護

これらのデバイスは、外部バッテリーの充電を防止するMaximの冗長バッテリー充電保護回路を内蔵しています。

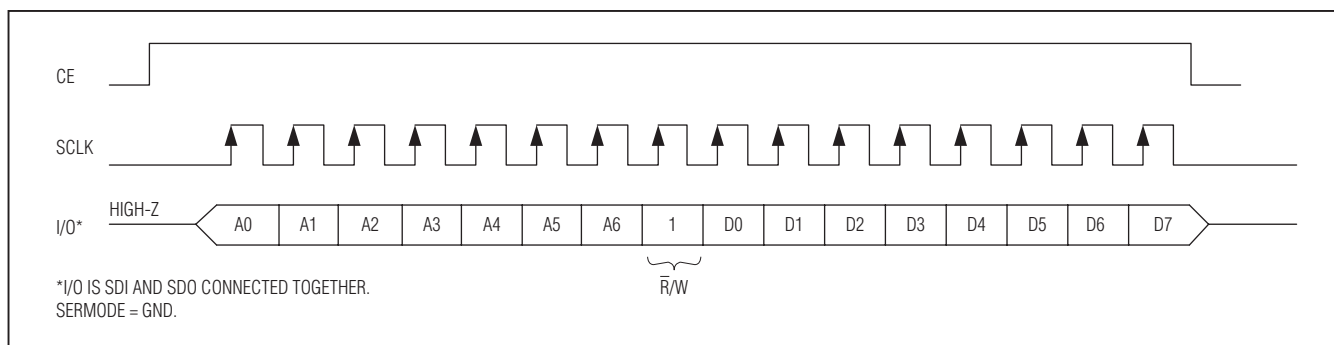


図7. 3線式シングルバイト書込み

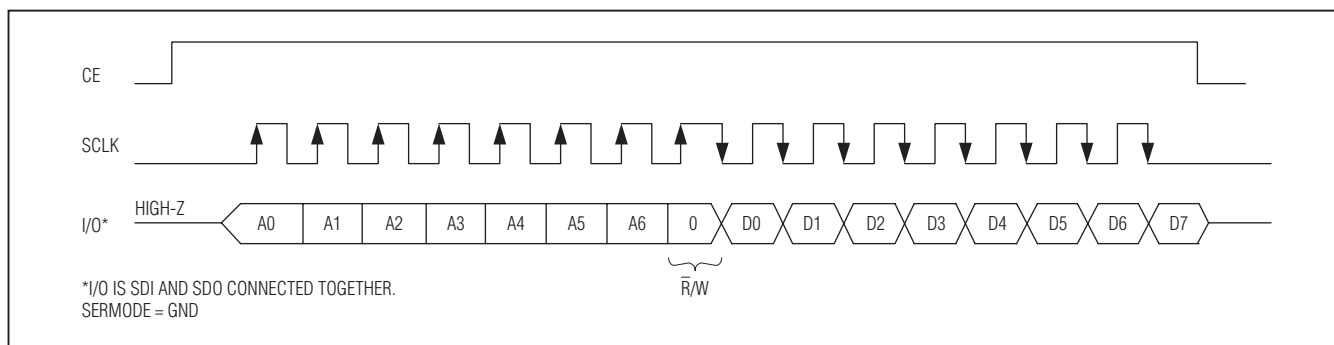


図8. 3線式シングルバイト読取り

型番

PART	TEMP RANGE	TYP OPERATING VOLTAGE (V)	OSC C _L (pF)	PIN-PACKAGE
DS1343E-18+*	-40°C to +85°C	1.8	6	20 TSSOP
DS1343E-3+*	-40°C to +85°C	3.0	6	20 TSSOP
DS1343E-33+	-40°C to +85°C	3.3	6	20 TSSOP
DS1343D-18+*	-40°C to +85°C	1.8	6	14 TDFN-EP**
DS1343D-3+*	-40°C to +85°C	3.0	6	14 TDFN-EP**
DS1343D-33+*	-40°C to +85°C	3.3	6	14 TDFN-EP**
DS1344E-18+*	-40°C to +85°C	1.8	12.5	20 TSSOP
DS1344E-3+*	-40°C to +85°C	3.0	12.5	20 TSSOP
DS1344E-33+*	-40°C to +85°C	3.3	12.5	20 TSSOP
DS1344D-18+*	-40°C to +85°C	1.8	12.5	14 TDFN-EP**
DS1344D-3+*	-40°C to +85°C	3.0	12.5	14 TDFN-EP**
DS1344D-33+*	-40°C to +85°C	3.3	12.5	14 TDFN-EP**

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。

*開発中の製品。入手性に関してはお問い合わせください。

**EP = エクスポーズドパッド。

チップ情報

SUBSTRATE CONNECTED TO GROUND

パッケージ

最新のパッケージ図面情報およびランドパターン(フットプリント)はjapan.maxim-ic.com/packagesを参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点に注意してください。

パッケージタイプ	パッケージコード	外形図No.	ランドパターンNo.
20 TSSOP	U20+1	21-0066	90-0116
14 TDFN-EP	T1433+2	21-0137	90-0063

低消費電流SPI/3線式RTC

改訂履歴

版数	改訂日	説明	改訂ページ
0	3/11	初版	—

マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maximは完全にMaxim製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maximは随時予告なく回路及び仕様を変更する権利を留保します。

20 _____ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2011 Maxim Integrated Products

MaximはMaxim Integrated Products, Inc.の登録商標です。