

マルチ位相スペクトラム拡散EconOscillator

DS1094L

概要

DS1094Lは、4つのマルチ位相、スペクトラム拡散、方形波出力を生成するシリコン発振器です。2MHz～31.25kHzの周波数を、2、3、または4位相モードで出力することができます。内蔵マスタ発振器に0、2、4、または8%のディザを加えて、基本及び高調波クロック周波数におけるピークスペクトルエネルギー量を低減することができます。これによって、システムレベルで生成される電磁干渉(EMI)放射量が大幅に削減されます。DS1094Lは、スイッチングモード電源のクロック発振器として最適です。DS1094Lが生成する出力をDC-DC回路で使用して、電圧を上下に効率的にシフトすることができます。I²C™コンパチブルの2線式シリアルインタフェースを通してDS1094Lを設定して、出力周波数、クロック位相数、及びディザ速度を選択することができます。またはオプションとしてカスタム設定して出荷することができます。

アプリケーション

スイッチングモード電源

サーバ

プリンタ

自動車用テレマティクス及びインフォテインメント

特長

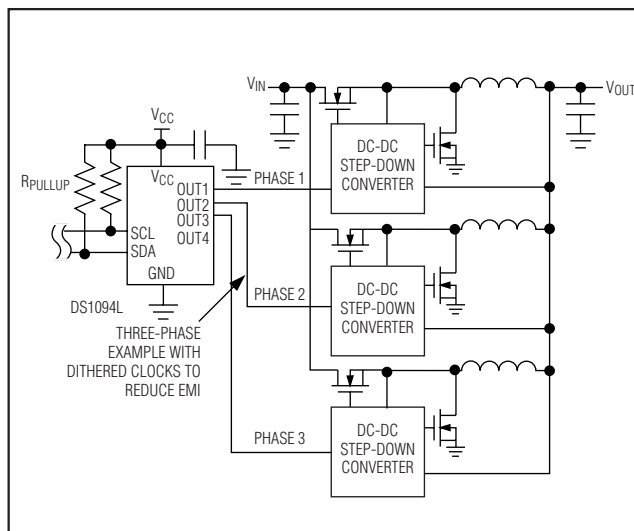
- ◆ 2、3、または4位相出力のEconOscillator™
- ◆ スwitchングモード電源のクロック発振器として最適
- ◆ プログラマブルな出力周波数：2MHz～31.25kHz
- ◆ ディザ重畳出力がEMI放射を大幅に削減
- ◆ 外付けタイミング部品不要
- ◆ コンフィギュレーションの設定用に不揮発性(NV)メモリを装備
- ◆ ユーザプログラマブルまたは出荷時設定オプションを提供
- ◆ 動作温度範囲：-40℃～+85℃

型番

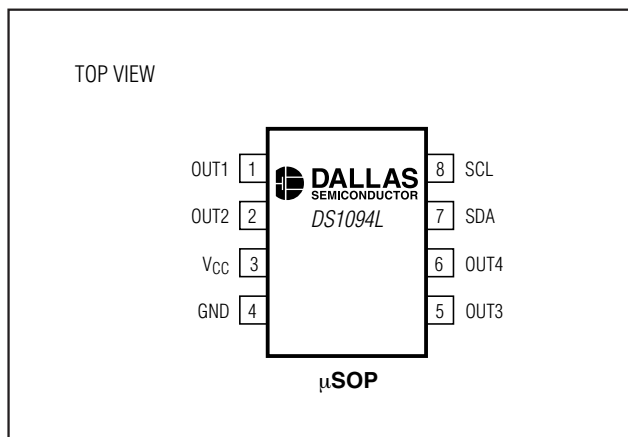
PART	TEMP RANGE	PIN-PACKAGE
DS1094LU	-40°C to +85°C	8 μSOP

ピン配置

標準動作回路



EconOscillatorはDallas Semiconductorの商標です。



Maxim Integrated Products, Inc.または二次ライセンスを受けている同社の関連会社からI²C部品を購入することにより、これらの部品をI²Cシステムで使用するためのPhilips社のI²C特許権に基づくライセンスが許諾されたことになります。但し、システムがPhilips社により定義されたI²C標準規格に合致していることを必要とします。

マルチ位相スペクトラム拡散EconOscillator

DS1094L

ABSOLUTE MAXIMUM RATINGS

Voltage Range on V_{CC} , SDA, and SCL
Relative to Ground.....-0.5V to +6.0V
Operating Temperature Range-40°C to +85°C
EEPROM Programming Temperature Range0°C to +70°C

Storage Temperature Range-55°C to +125°C
Soldering TemperatureSee IPC/JEDEC
J-STD-020A Specification

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

RECOMMENDED DC OPERATING CONDITIONS

(T_A = -40°C to +85°C)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	V_{CC}	(Note 1)	3.0		3.6	V
Input Logic 1 (SDA, SCL)	V_{IH}		0.7 x V_{CC}		$V_{CC} + 0.3$	V
Input Logic 0 (SDA, SCL)	V_{IL}		-0.3		+0.3 x V_{CC}	V

DC ELECTRICAL CHARACTERISTICS

(V_{CC} = +3.0 to 3.6V, T_A = -40°C to +85°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Active Supply Current	I_{CC}	C_L = 15pF per output, SDA = SCL = V_{CC}		1.4	3	mA
High-Level Output Voltage (OUT1-4)	V_{OH}	I_{OH} = -4mA; V_{CC} = min	2.4			V
Low-Level Output Voltage (OUT1-4)	V_{OL}	I_{OL} = 3.5mA			0.4	V
Low-Level Output Voltage (SDA)	V_{OL}	3mA sink current			0.4	V
		6mA sink current			0.6	
High-Level Input Current (SDA, SCL)	I_{IH}	V_{IH} = V_{CC}			+1.0	μ A
Low-Level Input Current (SDA, SCL)	I_{IL}	V_{IL} = 0.0V	-1.0			μ A

AC ELECTRICAL CHARACTERISTICS

(V_{CC} = +3.0V to 3.6V, T_A = -40°C to +85°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Master Oscillator Frequency	f _{MOSC}		1		2	MHz
Output Frequency Tolerance	Δf _{OUT}	V _{CC} = 3.3V, T _A = +25°C (Note 8)	-2.5		+2.5	%
Voltage Frequency Variation	Δf _{OUT}	T _A = +25°C (Note 2)	-0.5		+0.5	%
Temperature Frequency Variation	Δf _{OUT}	V _{CC} = 3.3V (Note 2)	0 to +70°C		+1.1	%
			-40°C to +85°C		+1.1	
DAC Step Size			-0.75		+0.75	%
Peak-to-Peak Jitter (3σ)		P1:P0 = 11 (Note 3)		8		%
Load Capacitance	C _L			15	50	pF
Output Duty Cycle (Note 4)		2 Phase		50		%
		3 Phase		33.3		
		4 Phase		50		
Power-Up Time	t _{POR} + t _{STAB}	(Note 5)		0.1	0.5	ms

AC ELECTRICAL CHARACTERISTICS (See Figure 3)

(V_{CC} = +3.0V to 3.6V, T_A = -40°C to +85°C, unless otherwise noted. Timing referenced to V_{IL}(MAX) and V_{IH}(MIN).)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCL Clock Frequency	f _{SCL}	(Note 6)	0		400	kHz
Bus Free Time Between Stop and Start Conditions	t _{BUF}		1.3			μs
Hold Time (Repeated) Start Condition	t _{HD:STA}		0.6			μs
Low Period of SCL	t _{LOW}		1.3			μs
High Period of SCL	t _{HIGH}		0.6			μs
Data Hold Time	t _{HD:DAT}		0		0.9	μs
Data Setup Time	t _{SU:DAT}		100			ns
Start Setup time	t _{SU:STA}		0.6			μs
SDA and SCL Rise Time	t _R	(Note 7)	20 + 0.1C _B		300	ns
SDA and SCL Fall Time	t _F	(Note 7)	20 + 0.1C _B		300	ns
Stop Setup Time	t _{SU:STO}		0.6			μs
SDA and SCL Capacitive Loading	C _B	(Note 7)			400	pF
EEPROM Write Time	t _{WR}			5	10	ms
Input Capacitance	C _I			5		pF

マルチ位相スペクトラム拡散EconOscillator

DS1094L

NONVOLATILE MEMORY CHARACTERISTICS

(VCC = +3.0V to 3.6V, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
EEPROM Writes		+70°C (Note 4)	10,000			

Note 1: All voltages referenced to ground.

Note 2: This is the change observed in output frequency due to changes in temperature or voltage.

Note 3: This is a percentage of the output period. Parameter is characterized but not production tested. This can be varied from 2%, 4%, or 8%.

Note 4: This parameter is guaranteed by design.

Note 5: This indicates the time between power-up and the outputs becoming active. An on-chip delay is intentionally introduced to allow the oscillator to stabilize. t_{STAB} is equivalent to approximately 64 f_{MOSC} cycles and, hence, will depend on the programmed clock frequency.

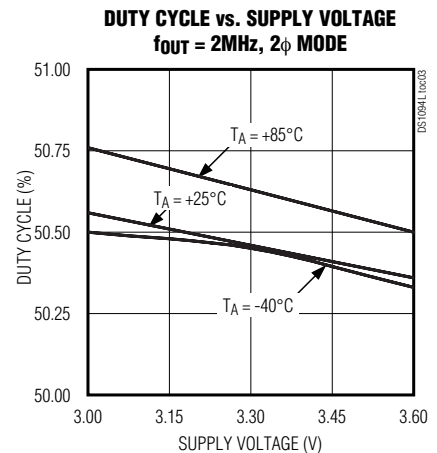
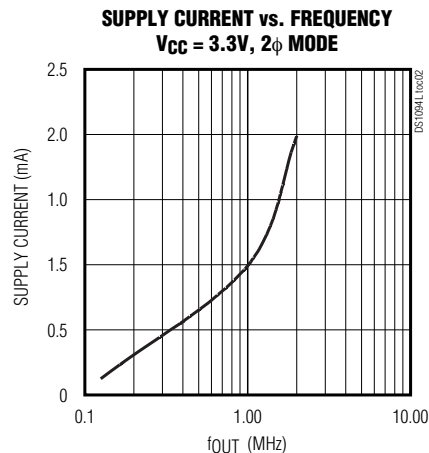
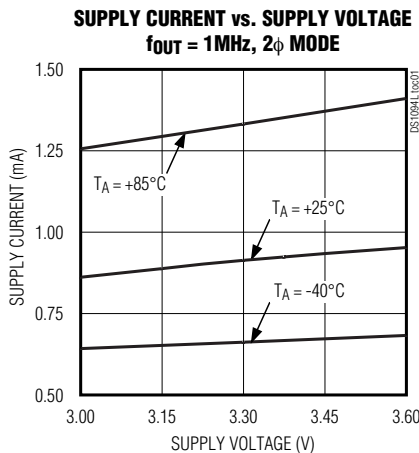
Note 6: Timing shown is for fast-mode (400kHz) operation. This device is also backward compatible with I²C standard-mode timing.

Note 7: CB—total capacitance of one bus line in picofarads.

Note 8: Typical frequency shift due to aging is $\pm 0.5\%$. Aging stressing includes Level 1 moisture reflow preconditioning (24hr +125°C bake, 168hr 85°C/85%RH moisture soak, and 3 solder reflow passes +240 $\pm 0/-5^\circ\text{C}$ peak) followed by 1000hr max VCC biased 125°C HTOL, 1000 temperature cycles at -55°C to $+125^\circ\text{C}$, and 168hr 121°C/2 ATM Steam/Unbiased Autoclave.

標準動作特性

(VCC = +3.3V, T_A = +25°C, unless otherwise noted.)

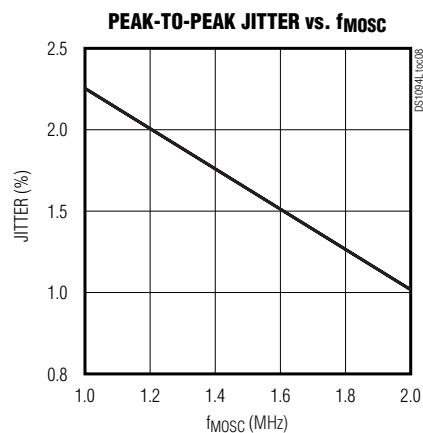
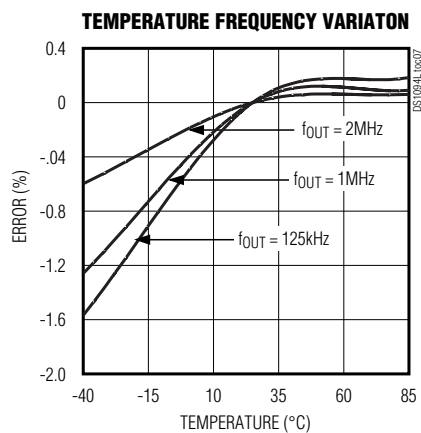
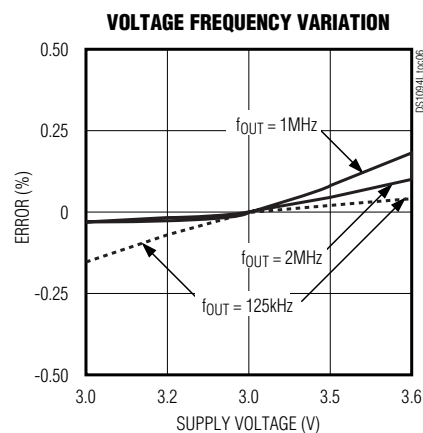
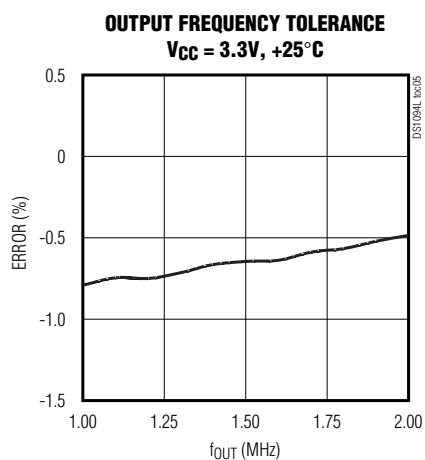
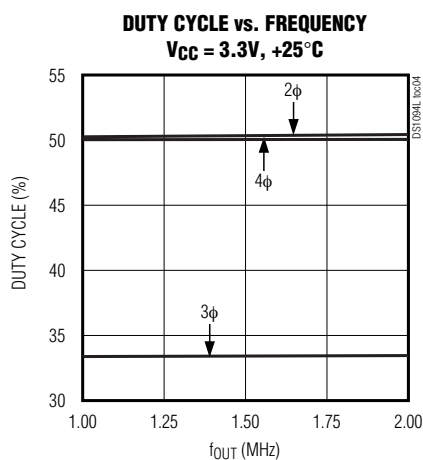


マルチ位相スペクトラム拡散EconOscillator

DS1094L

標準動作特性(続き)

($V_{CC} = +3.3V$, $T_A = +25^\circ C$, unless otherwise noted.)



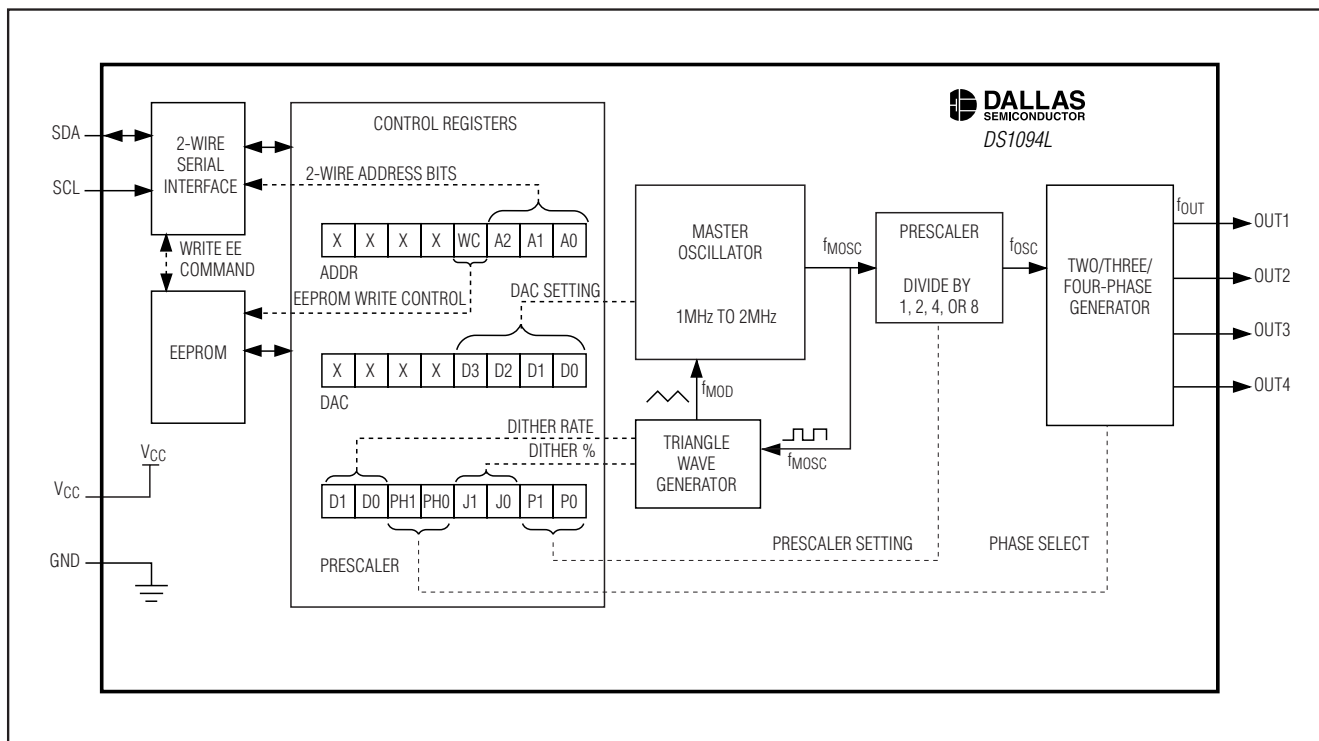
端子説明

端子	名称	機能
1	OUT1	発振器出力1
2	OUT2	発振器出力2
3	V_{CC}	正電源端子
4	GND	グラウンド
5	OUT3	発振器出力3
6	OUT4	発振器出力4
7	SDA	2線式シリアルインタフェースデータ 入力/出力
8	SCL	2線式シリアルインタフェースクロック入力

マルチ位相スペクトラム拡散EconOscillator

DS1094L

ファンクションダイアグラム



詳細

DS1094Lは、マスタ発振器、プリスケラ、位相ジェネレータ、及び三角波ジェネレータ(マスタ発振器のディザ用)から構成されています。これらの構成要素は2線式インタフェースを通してすべてプログラマブルで、NVメモリにストアされます。

マスタ発振器

マスタ発振器は、出力のタイミング(周波数)の生成に使われます。マスタ発振器周波数の f_{MOSC} は、100kHz刻みで1MHz~2MHzの間の任意の周波数に設定することができます。マスタ発振器は、DACレジスタを

使って設定します。DACレジスタの4 MSBは設定に関係がなく、一方、4 LSB(D3~D0)はDAC用の値となります。マスタ発振器周波数は、次式から算出されます。

$$f_{MOSC} = 1\text{MHz} + (\text{DAC value} \times 100\text{kHz})$$

DACの有効値は、0~10(10進値)です。10を超えるDAC値は2MHzの制限値を上回り、許可されません。

マスタ発振器によって、スペクトラム拡散ディザ周波数も決定されます。これは、「三角波ジェネレータ」の項で説明されます。

表1. マスタ発振器の設定

DAC VALUE (dec)	DAC REGISTER	f_{MOSC}
0	00h	1.0MHz
1	01h	1.1MHz
2	02h	1.2MHz
—	—	—
10	0Ah	2.0MHz
11 to 15	0Bh to 0Fh	Reserved

表2. プリスケラの設定

BITS P1, P0	DIVISOR	$f_{osc} =$
00	2^0	$f_{MOSC}/1$
01	2^1	$f_{MOSC}/2$
10	2^2	$f_{MOSC}/4$
11	2^3	$f_{MOSC}/8$

表3. 位相ジェネレータの設定

BITS Ph1, Ph0	MODE
00	Two-Phase
01	Three-Phase
10	Four-Phase
11	Reserved

表4. ディザ率の設定

BITS J1, J0	DITHER AMOUNT*
00	0%
01	2%
10	4%
11	8%

*周波数は、 f_{MOSC} の設定値からディザされます。

表5. ディザ周波数の設定

BITS D1, D0	DITHER FREQUENCY
00	$f_{MOSC}/128$
01	$f_{MOSC}/256$
10	$f_{MOSC}/512$
11	$f_{MOSC}/1024$

プリスケアラ

プリスケアラは、マスタ発振器周波数、 f_{MOSC} を1、2、4、または8分周します。その結果の周波数の f_{OSC} は、次式から算出されます。

$$f_{OSC} = f_{MOSC} / 2^{PRESCALER}$$

ここで、PRESCALERは、0～3の値に設定することができます。プリスケアラはPRESCALERレジスタのビットP1とP0を使って、構成されます。有効な設定値は、表2に示されています。PRESCALERレジスタのビットP1及びP0の指定位置は、「制御レジスタ」の項に示されています。

PRESCALERレジスタは、デバイスのその他機能(ディザ率、ディザ速度、及び位相)を制御するビットも備えていることに注意してください。

位相ジェネレータ

4個の発振器出力(OUT1～OUT4)を2位相、3位相、または4位相モードのいずれかに設定することができます。各モードの出力波形は、図1に示されています。同様に、この図は、3モード間の f_{OUT} 、デューティサイクル、出力位相シフトの比較も示しています。PRESCALERレジスタのビットPh1及びPh0を使って、任意のモードを選択することができます(表3を参照)。PRESCALERレジスタのビットPh1及びPh0の指定位置は、「制御レジスタ」の項に示されています。

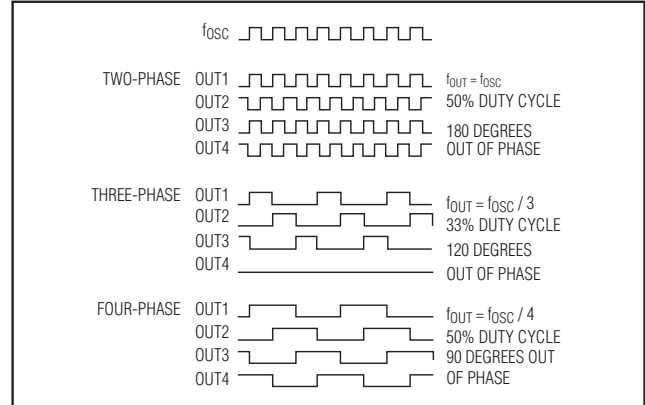


図1. DS1094Lの出力波形

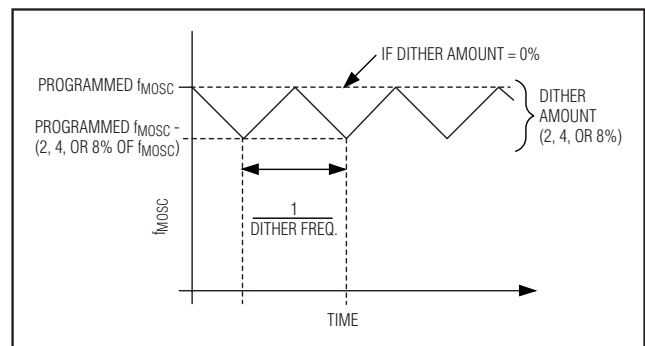


図2. DS1094Lのディザ波形

三角波ジェネレータ

三角波ジェネレータを使って、マスタ発振器周波数をディザし、マスタ発振器にオフセット要素を注入して、DS1094Lにスペクトラム拡散機能を追加することができます。ディザ率(%)とディザ周波数はともに、プログラマブルです。ディザ率は、PRESCALERレジスタのビットJ1及びJ0で制御します。また、ディザ周波数は、PRESCALERレジスタのビットD1及びD0で制御します。これらのビット設定は、表4及び表5に示されています。PRESCALERレジスタのビットJ1、J0、D1、及びD0の指定位置は、「制御レジスタ」の項に示されています。

ディザが(0%以外のパーセント値を選択して)イネーブルされると、マスタ発振器周波数の f_{MOSC} は、設定した f_{MOSC} と、この設定した f_{MOSC} と選択されたパーセント値だけ下がった周波数の間でディザされます(図2を参照)。たとえば、 f_{MOSC} が2MHz(DACレジスタ = 0Ah)に設定され、ディザ率が2%に設定されている場合は、 f_{MOSC} の周波数は、選択したディザ周波数によって決まる変調周波数で2MHz～1.96MHzの間でディザします。同じ例を続けると、D1とD0の両方がゼロである場合は、 $f_{MOSC}/128$ を選択することになり、ディザ周波数は15.625kHzになります。

マルチ位相スペクトラム拡散EconOscillator

DS1094L

2線式スレーブアドレス

DS1094Lの制御レジスタの読取りと書込みは2線式シリアルインタフェースを使って行われます。DS1094Lのスレーブアドレスのデフォルト値は、B0hです(図4を参照)。ADDRレジスタの3つのアドレスビット(A2、A1、及びA0)を使って、スレーブアドレスを変更して、同じ2線式バス上に最大8個のDS1094Lを配置するか、または他の2線式デバイスとのアドレス競合を回避することができます。ADDRレジスタ内のアドレスビットの指定位置は、「制御レジスタ」の項に示されています。2線式インタフェースに関しては、「2線式シリアルインタフェース説明」の項に詳述してあります。

EEPROM書込み制御

EEPROMの書込み可能サイクル数(「不揮発性メモリ特性(NONVOLATILE MEMORY CHARACTERISTICS)電気表」に規定)は限定されているので、ADDRレジスタのWCビットを使って、EEPROMの劣化を防止し、EEPROM書込みサイクルタイムを回避するようにDS1094Lを設定することができます。WCビット = 0(デフォルト)の場合は、レジスタに書き込むと、それはEEPROMに自動的に書き込まれます。この場合、Write EEコマンドは不要です。しかし、WC = 1の場合は、レジスタに書き込むと、それはSRAMにストアされ、ユーザがWRITE EEコマンドを出す場合にのみEEPROMに書き込まれます。デバイスの電源がオン、オフを繰り返す場合は、EEPROMに最後に保管された値が呼び戻されます。この値をストアするのに要する時間は、EEPROMの1書込みサイクルタイムです。WC = 1と設定することは、周波数やレジスタを変更することが多いアプリケーションには最適です。

WCビットの値に関係なく、ADDRレジスタの値は、常にEEPROMに直ちに書き込まれます。

制御レジスタ

DS1094Lの制御レジスタを使って、デバイスの周波数と機能を設定することができます。表6はDS1094Lの制御レジスタを示し、ビット位置とその他の重要情報を示しています。各レジスタのメモリアドレスは、ADDRESS

の欄に示されています。EEPROMに設定されている出荷時のデフォルト値は、DEFAULTの欄に示されています。レジスタに書き込む値を決定するには、該当する項を参照してください。

PRESCALER(02h)

D1、D0 ディザ周波数を選択します。表5を参照してください。

Ph1、Ph0 2位相、3位相、または4位相モードのいずれを選択するかを設定します。表3を参照してください。

J1、J0 ディザ率を選択します。表4を参照してください。

P1、P0 プリスケアラ値を設定します。表2を参照してください。

DAC(08h)

D3~D0 この4ビット値は、マスタ発振器周波数のf_{MOSC}を設定します。表1と、DAC値からの算出方法の詳細については「マスタ発振器」の項参照。

ADDR(0Dh)

WC T制御レジスタへの書込みをNVメモリ(EEPROM)に自動的にバックアップするか、またはNVメモリに書き込むにはWrite EEコマンドが必要かどうかを、このEEPROM書込み制御ビットが設定します。詳細については、「EEPROM書込み制御」の項参照。

A2~A0 この3ビット値は、2線式スレーブアドレスを設定します。

WRITE EEコマンド(3Fh)

WCビット = 1の場合に(「EEPROM書込み制御」の項の説明を参照)、このコマンドを使って、SRAMからEEPROMにレジスタを内部転送することができます。この値をストアするのに要する時間は、EEPROM書込みの1サイクル時間です。WC = 0の場合は、このコマンドは不要です。

表6. 制御レジスタ

REGISTER	ADDRESS	BINARY								DEFAULT	ACCESS
		MSB				LSB					
PRESCALER	02h	D1	D0	Ph1	Ph0	J1	J0	P1	P0	11001101b	R $\overline{W}$
DAC	08h	X ₁	X ₁	X ₁	X ₁	D3	D2	D1	D0	XXXX0000b	R $\overline{W}$
ADDR	0Dh	X ₁	X ₁	X ₁	X ₁	WC	A2	A1	A0	XXXX0000b	R $\overline{W}$
WRITE EE Command	3Fh	No Data									W

X = 任意。

X₁ = 任意、1と読む。

2線式シリアルインタフェース説明

定義

以下の用語は、2線式データ転送を説明するのに一般的に使用されます。

マスタデバイス：マスタデバイスは、バス上のスレーブデバイスを制御します。マスタデバイスは、SCLクロックパルス、スタート及びストップ状態を生成します。

スレーブデバイス：スレーブデバイスは、マスタの要求によってデータの送受信を行います。

バスアイドルまたは非ビジー：SDAとSCLの両方が非アクティブでロジックハイ状態にあるときの、ストップ状態からスタート状態までの時間。バスがアイドル状態のときは、多くの場合、スレーブデバイスは低電力モードを開始します。

スタート状態：スタート状態はマスタによって生成され、スレーブとの新たなデータ転送を開始します。SCLがハイ状態の間にSDAをハイからローに遷移させると、スタート状態が生成されます。該当するタイミングのタイミング図を参照してください。

ストップ状態：ストップ状態はマスタによって生成され、スレーブとのデータ転送を終了します。SCLがハイ状態の間にSDAをローからハイに遷移させると、ストップ状態が生成されます。該当するタイミングのタイミング図を参照してください。

反復スタート状態：マスタはデータ転送の終了時に反復スタート状態を用いて、現在のデータ転送に続いて新たなデータ転送を即時開始することを示すことができます。特定メモリアドレスを識別してデータ転送を開始するために、読み取り動作時に反復スタートはよく使用されます。反復スタート状態は、通常のスタート状態と同様に、発行されます。該当するタイミングのタイミング図を参照してください。

ビット書込み：SCLがロー状態の間に、SDAの遷移が行われる必要があります。必要とするセットアップ時間及び保持時間を加えて、SCLがハイパルスの間、SDAのデータは有効な値を変えないで維持する必要があります(図3を参照)。データは、SCLの立上りエッジ時にデバイスにシフト入力されます。

ビット読み取り：ビット読み取りのためには、SCLの次の立上りエッジ以前に、書込み動作が終わった後、適切なセットアップ時間を作るために、マスタはSDAバスラインを解放する必要があります(図3を参照)。デバイスは、前回のSCLパルスの立下りエッジでSDA上に各データビットをシフト出力するので、データビットは現在のSCLパルスの立上りエッジで有効になります。スレーブからビットを読み取り中のときも含んで、マスタが全SCLクロックパルスを生成することを忘れないでください。

受信応答(ACK及びNACK)：肯定応答(ACK)または否定応答(NACK)は、常にバイト転送時に送信される第9ビットです。データを受信するデバイス(読み取り動作時のマスタまたは書込み動作時のスレーブ)は、第9ビットをゼロとして送信して、ACKを実行します。デバイスは、第9ビットとして1を送信して、NACKを実行します。ACK及びNACKのタイミング(図3)は、その他のビット書込みと同じです。ACKは、デバイスがデータを適切に受信しているという肯定応答です。NACKを使って、読み取りシーケンスを終了させるか、またはデバイスがデータを受信していないことを示すことができます。

バイト書込み：バイト書込みは、マスタからスレーブに(MSBを先頭として)送信される8ビットの情報と、スレーブからマスタに送信された1ビットの肯定応答から構成されます。マスタから送信される8ビットはビット書込み定義に従って実行され、ビット読み取り定義を使って肯定応答が読み取られます。

バイト読み取り：バイト読み取りは、スレーブからマスタに送信された8ビットの情報と、マスタからスレーブに送信された1ビットのACKやNACKから構成されます。スレーブからマスタに(MSBを先頭として)送信された8ビットの

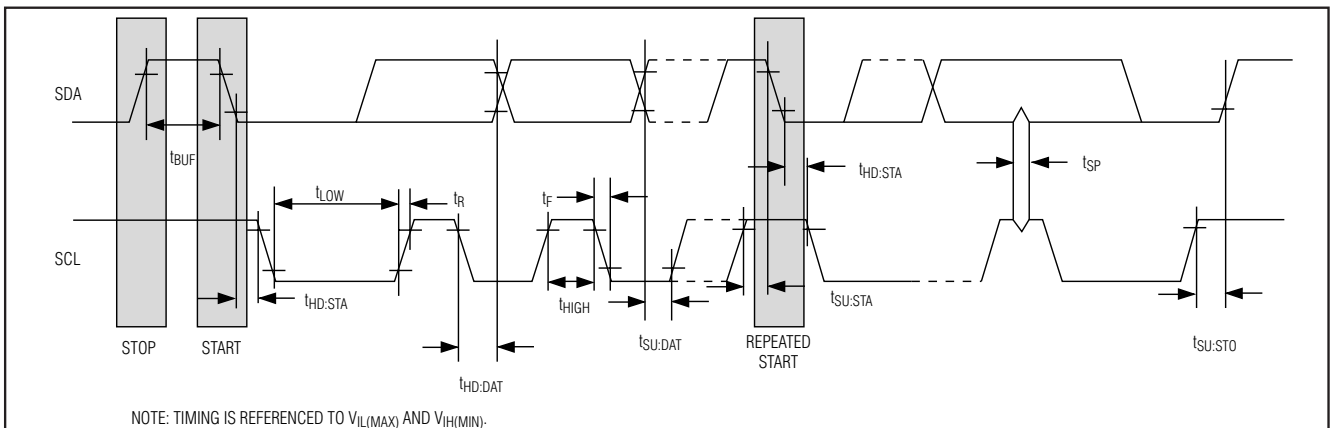


図3. 2線式タイミング図

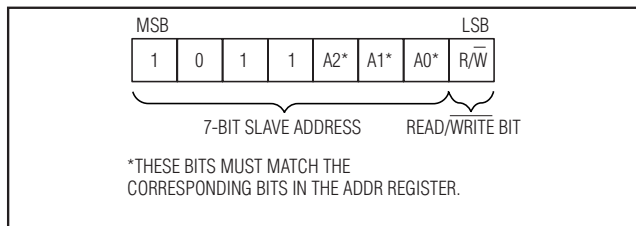


図4. スレーブアドレスバイト

情報は上記のビット読取り定義を使ってマスタが読取り、マスタはビット書き込み定義を使って次のデータバイトを受信するために、ACKを送信します。スレーブがSDAの制御をマスタに返すためには、マスタは最後のバイト読取りをNACK応答して、通信を終了する必要があります。

スレーブアドレスバイト：スレーブアドレスバイトは、7ビットスレーブアドレスと、その後のR/W1ビットから構成されます(図4を参照)。スレーブアドレスは上位の7ビットで、R/Wビットは最下位の1ビットです。スレーブアドレスの3アドレスビット(A2～A0)を使って、最大8個のDS1094Lが同じ2線式バスを共有することができます。

2線式バス上の各スレーブは固有のスレーブアドレスを備えています。このアドレスをマスタが使用して、マスタが通信するスレーブを選択することができます。スタート状態に続いて、2線式バス上の全スレーブがマスタからのスレーブアドレスバイトを待ちます。各スレーブは、自身のスレーブアドレスとマスタから送信されたスレーブアドレスを照合します。スレーブアドレスが一致した場合は、スレーブは肯定応答し、(R/Wビットに基づいて)マスタとの通信を続行します。スレーブアドレスが一致しない場合は、次のスタート状態までスレーブは通信を無視します。

R/Wビットがゼロのときは、マスタは指定スレーブにデータを書き込みます。R/Wビットが1のときは、マスタは指定スレーブからデータを読取ります。

メモリアドレス：2線式書き込み動作の間に、マスタはメモリアドレスを送信し、スレーブがデータを保管するメモリ位置を識別する必要があります。メモリアドレスは常に、スレーブアドレスバイトに続き、書き込み動作時に送信される2番目のバイトです(R/W = 0 の場合)。

2線式通信

スレーブへの1バイトの書き込み：マスタはスタート状態の生成、スレーブアドレスバイトの書き込み(R/W = 0の場合)、メモリアドレスの書き込み、データバイトの書き込み、及びストップ状態の生成を行う必要があります。マスタは、各バイトの書き込みの後にスレーブの肯定応答を読み取る必要があります。

応答ポーリング：EEPROMに書き込まれるごとに、ストップ状態の後に、EEPROMに書き込むためのEEPROM書き込み時間(t_W)を必要とします。EEPROM書き込み時間中は、DS1094Lはビジーであるので、スレーブアドレスに肯定応答しません。DS1094Lがスレーブアドレスに肯定応答するまで、DS1094Lに繰り返し呼びかけて、この現象を活用することができます。肯定応答ポーリングに代わる選択肢は、 t_W の最大経過時間の間、待機してから、EEPROMに再度書き込みを行う方法です。

スレーブからの1バイトの読取り：ダミーの書き込みサイクルによって、特定レジスタを読み取ることができます。これを行うために、マスタはスタート状態を生成し、スレーブアドレスバイトを書き込み(R/W = 0の場合)、読取りたいレジスタのメモリアドレスを書き込み、反復スタート状態を生成し、スレーブアドレスバイトを書き込み(R/W = 1の場合)、レジスタを読取り、NACKを発行して(1バイトのみが読み取られるので)、ストップ状態を生成します。DS1094Lのレジスタの読取り例については、図5を参照してください。

アプリケーション情報

SDA及びSCLプルアップ抵抗

SDAはオープンコレクタ出力であるため、ハイロジックレベルを実現するにはプルアップ抵抗が必要です。DS1094Lはクロックサイクルストレッチを利用しないので、プルアップ抵抗付のオープンコレクタ出力またはCMOS出力ドライバ(プッシュプル)を使用するマスタをSCL用に利用することができます。AC電気特性に記載されている立ち上がり及び立下り時間が規定内になるように、プルアップ抵抗値を選択する必要があります。

スタンドアロン動作

DS1094Lをスタンドアロンで使用する場合は(2線式マスタ未装備)、SDA及びSCLを未接続またはフローティング状態にすべきではありません。プルアップ抵抗をSDAとSCLの両方に使用して、端子が不明の電圧や過渡波形がのりやすくなるフローティング状態とはしないようにすることを推奨します。同様に、将来の使用の可能性を確保するために、SDA及びSCLを V_{CC} に直接接続することよりも、プルアップすることを推奨します。

電源デカップリング

最高の結果を得るために、デカップリングコンデンサをIC電源端子に接続することを強く推奨します。デカップリングコンデンサの標準値は、0.01 μ Fと0.1 μ Fを並列接続とすることです。高品質のセラミック表面実装コンデンサを使用してください。リードインダクタンスを最低限に抑えるために、ICの V_{CC} 及びGND端子にできるだけ近接してコンデンサを実装してください。

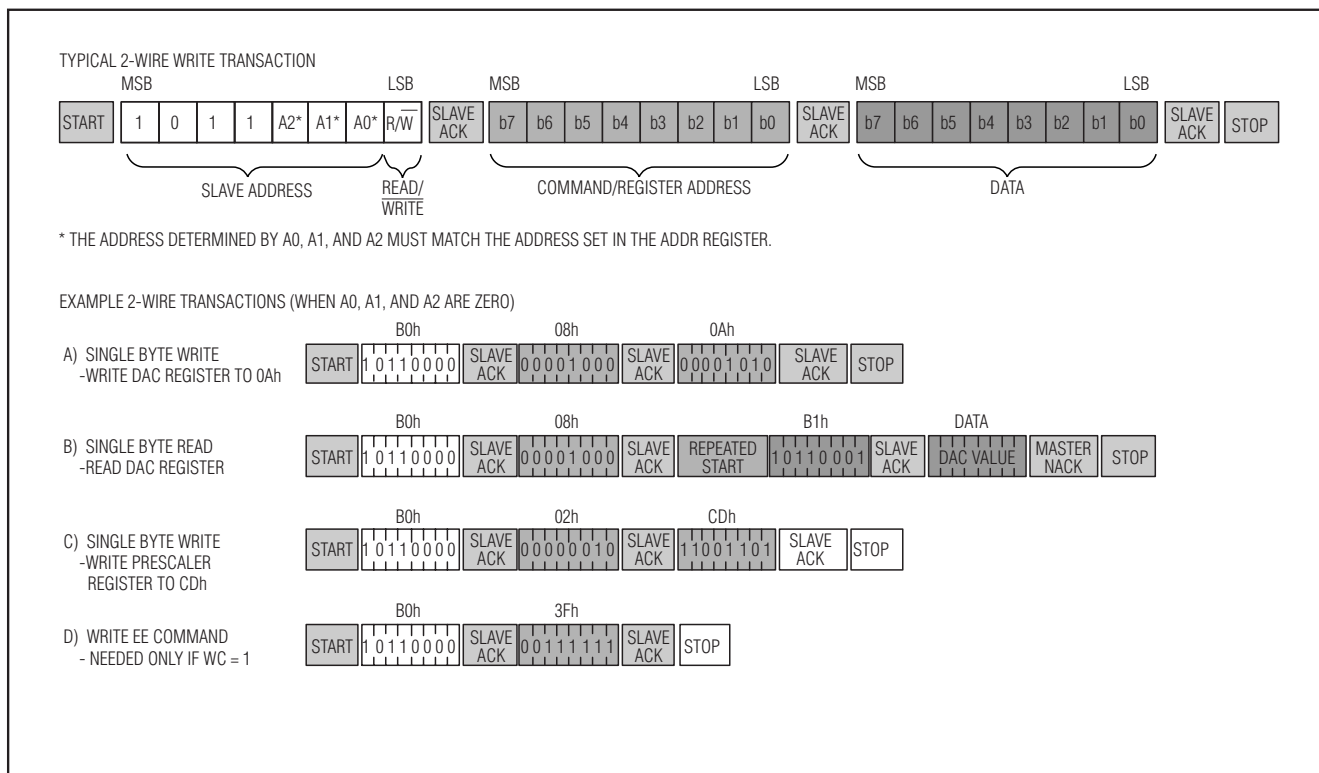


図5. 2線式通信例

チップトポロジ

TRANSISTOR COUNT: 7987

SUBSTRATE CONNECTED TO: GROUND

パッケージ

最新のパッケージ情報は、japan.maxim-ic.com/DallasPackInfo をご参照ください。

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

11

MAXIM is a registered trademark of Maxim Integrated Products, Inc.

DALLAS SEMICONDUCTOR is a registered trademark of Dallas Semiconductor Corporation.

© 2004 Maxim Integrated Products, Inc. All rights reserved.