



DC/DC コンバータ内蔵 4 チャンネル・アイソレータ

データシート

ADuM5410/ADuM5411/ADuM5412

特長

- isoPower 内蔵の絶縁型 DC/DC コンバータ
- 最大出力 150 mW
- 4 本の DC ~ 150 Mbps 信号絶縁チャンネル
- 24 ピン SSOP パッケージ (最小浴面距離 5.3 mm)
- 高温動作: 105 °C
- 高いコモンモード過渡耐性: 100 kV/μs
- 安全性と規制に対する認定

UL 認定 (申請中):

2500 V rms、1 分間、UL 1577 規格に準拠

CSA Component Acceptance Notice 5A (申請中)

VDE 適合性認定 (申請中)

DIN V VDE V 0884-10 (VDE V 0884-10) : 2006-12

$V_{ORM} = 565 \text{ V peak}$

アプリケーション

- RS-232 トランシーバ
- 電源スタートアップ・バイアスとゲート・ドライブ
- 絶縁センサー・インターフェース
- 工業用 PLC

概要

ADuM5410/ADuM5411/ADuM5412¹ は、isoPower® 内蔵の DC/DC コンバータを組み込んだ 4 チャンネル・デジタル・アイソレータです。アナログ・デバイセズの iCoupler® 技術を採用したこの DC/DC コンバータは、3.15 V ~ 5.25 V の範囲で調整可能な安定化された絶縁電源を提供します。よく使われる電圧の組み合わせと、それらに対応するパワー・レベルを表 1 に示します。

ADuM5410/ADuM5411/ADuM5412 を使用した低消費電力の絶縁設計では、絶縁型 DC/DC コンバータを個別に用意する必要はありません。また、iCoupler チップ・スケール・トランス技術をロジック信号の絶縁と DC/DC コンバータの磁気部品両方に採用し、小型サイズのトータル絶縁ソリューションとなっています。

ADuM5410/ADuM5411/ADuM5412 アイソレータは、さまざまなチャンネル構成とデータ・レートが可能な 4 つの独立した絶縁チャンネルを備えています (詳細についてはオーダー・ガイドを参照)。

¹ 米国特許 5,952,849; 6,873,065; 6,903,578; 7,075,329 により保護されています。その他の特許は申請中です。

機能ブロック図

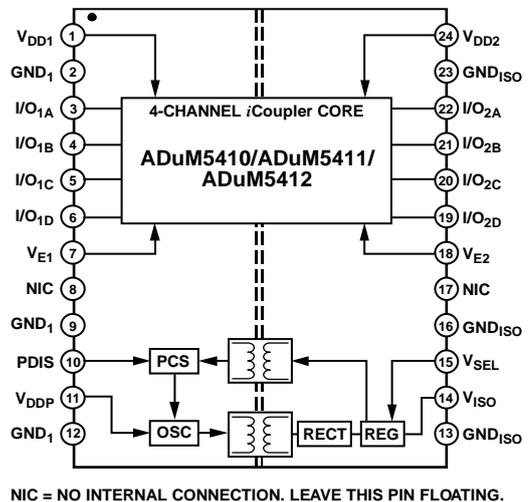


図 1

表 1. パワー・レベル

Input Voltage (V)	Output Voltage (V)	Output Power (mW)
5	5	150
5	3.3	100
3.3	3.3	66

表 2. データ入力/出力ポートの割り当て

Ch.	Pin No.	ADuM5410	ADuM5411	ADuM5412
I/O1A	3	V _{IA}	V _{IA}	V _{IA}
I/O1B	4	V _{IB}	V _{IB}	V _{IB}
I/O1C	5	V _{IC}	V _{IC}	V _{OC}
I/O1D	6	V _{ID}	V _{OD}	V _{OD}
I/O2A	22	V _{OA}	V _{OA}	V _{OA}
I/O2B	21	V _{OB}	V _{OB}	V _{OB}
I/O2C	20	V _{OC}	V _{OC}	V _{IC}
I/O2D	19	V _{OD}	V _{ID}	V _{ID}

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	DIN V VDE V 0884-10 (VDE V 0884-10) 絶縁特性	14
アプリケーション.....	1	推奨動作条件.....	14
概要.....	1	絶対最大定格.....	15
機能ブロック図.....	1	ESD に関する注意	15
改訂履歴.....	2	ピン配置およびピン機能の説明	16
仕様.....	3	真理値表.....	19
電気的特性 — 5 V 主入力電源 / 5 V 二次絶縁電源	3	代表的な性能特性.....	20
電気的特性 — 3.3 V 主入力電源 / 3.3 V 二次絶縁電源	5	用語の定義.....	24
電気的特性 — 5 V 主入力電源 / 3.3 V 二次絶縁電源	7	動作原理.....	25
電気的特性 — 2.5 V 動作のデジタル・アイソレータ・チャンネルのみ.....	9	アプリケーション情報	26
電気的特性 — 1.8 V 動作のデジタル・アイソレータ・チャンネルのみ.....	11	PCB レイアウト	26
パッケージ特性.....	13	熱解析	27
規制に対する認定.....	13	伝搬遅延に関するパラメータ	27
絶縁および安全性関連の仕様	13	EMI に関する考慮事項.....	27
		消費電力.....	27
		絶縁寿命.....	27
		外形寸法.....	29
		オーダー・ガイド.....	29

改訂履歴

7/2016—Revision 0: Initial Version

仕様

電気的特性 — 5 V 主入力電源 / 5 V 二次絶縁電源

仕様に規定するすべての代表値は、 $T_A = 25\text{ }^\circ\text{C}$ 、 $V_{DD1} = V_{DDP} = V_{ISO} = 5\text{ V}$ の時に、 V_{SEL} 抵抗回路を使用した場合の値です。抵抗回路は $R1 = 10\text{ k}\Omega \pm 1\%$ 、 $R2 = 30.9\text{ k}\Omega \pm 1\%$ で、 V_{ISO} と GND_{ISO} の間に接続します（図 31 参照）。最大/最小仕様は、特に指定のない限り $4.5\text{ V} \leq V_{DD1}$ 、 V_{DDP} 、 $V_{ISO} \leq 5.5\text{ V}$ 、および $-40\text{ }^\circ\text{C} \leq T_A \leq +105\text{ }^\circ\text{C}$ の全推奨動作範囲に適用されます。スイッチング仕様は、特に指定がない限り $C_L = 15\text{ pF}$ 、CMOS 信号レベルで試験されます。

表 3. DC/DC コンバータの静的仕様

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC-TO-DC CONVERTERS SUPPLY						
Setpoint	V_{ISO}	4.7	5.0	5.4	V	$I_{ISO} = 15\text{ mA}$, $R1 = 10\text{ k}\Omega$, $R2 = 30.9\text{ k}\Omega$
Line Regulation	$V_{ISO(LINE)}$		20		mV/V	$I_{ISO} = 15\text{ mA}$, $V_{DDP} = 4.5\text{ V to } 5.5\text{ V}$
Load Regulation	$V_{ISO(LOAD)}$		1	5	%	$I_{ISO} = 3\text{ mA to } 27\text{ mA}$
Output Ripple	$V_{ISO(RIP)}$		75		mV p-p	20 MHz bandwidth, $C_{BO} = 0.1\text{ }\mu\text{F} 10\text{ }\mu\text{F}$, $I_{ISO} = 27\text{ mA}$
Output Noise	V_{ISO} (NOISE)		200		mV p-p	$C_{BO} = 0.1\text{ }\mu\text{F} 10\text{ }\mu\text{F}$, $I_{ISO} = 27\text{ mA}$
Switching Frequency	f_{OSC}		125		MHz	
Pulse-Width Modulation Frequency	f_{PWM}		600		kHz	
Output Supply	$I_{ISO(MAX)}$	30			mA	$V_{ISO} > 4.5\text{ V}$
Efficiency at $I_{ISO(MAX)}$			29		%	$I_{ISO} = 27\text{ mA}$
V_{DDP} Supply Current						
No V_{ISO} Load	$I_{DDP(Q)}$		14	20	mA	
Full V_{ISO} Load	$I_{DDP(MAX)}$		104	140	mA	
Thermal Shutdown						
Shutdown Temperature			154		$^\circ\text{C}$	
Thermal Hysteresis			10		$^\circ\text{C}$	

表 4. データ・チャンネルの電源電流仕様

Parameter	Symbol	1 Mbps			25 Mbps			100 Mbps			Unit	Test Conditions/Comments
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
SUPPLY CURRENT												$C_L = 0\text{ pF}$
ADuM5410	I_{DD1}	6.8	10		7.8	12		11.8	17.4		mA	
	I_{DD2}	2.1	3.7		3.9	5.7		9.2	13		mA	
ADuM5411	I_{DD1}	5.8	10.3		7.0	10.9		11.4	15.9		mA	
	I_{DD2}	4.0	6.85		5.5	8.5		10.3	14.0		mA	
ADuM5412	I_{DD1}	4.3	7.7		6.0	9.3		10.3	14.2		mA	
	I_{DD2}	5.3	8.7		6.7	10.1		11.0	14.9		mA	

表 5. スwitching仕様

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SWITCHING SPECIFICATIONS						
Pulse Width	PW	6.6			ns	Within pulse width distortion (PWD) limit
Data Rate				150	Mbps	Within PWD limit
Propagation Delay	t_{PHL} , t_{PLH}	4.8	7.2	13	ns	50% input to 50% output
Pulse Width Distortion	PWD		0.5	3	ns	$ t_{PLH} - t_{PHL} $
Change vs. Temperature			1.5		ps/ $^\circ\text{C}$	
Propagation Delay Skew	t_{PSK}			6.1	ns	Between any two units at the same temperature, voltage, and load
Channel Matching						
Codirectional	t_{PSKCD}		0.5	3.0	ns	
Opposing Direction	t_{PSKOD}		0.5	3.0	ns	
Jitter			490		ps p-p	
			70		ps rms	

表 6. 入力特性と出力特性

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/ Comments
DC SPECIFICATIONS						
Input Threshold						
Logic High	V_{IH}	$0.7 \times V_{ISO}$ or $0.7 \times V_{DD1}$			V	
Logic Low	V_{IL}			$0.3 \times V_{ISO}$ or $0.3 \times V_{DD1}$	V	
Output Voltage						
Logic High	V_{OH}	$V_{DD1} - 0.2$ or $V_{DD2} - 0.2$	V_{DD1} or V_{DD2}		V	$I_{Ox}^1 = -20 \mu A, V_{Ix} = V_{IxH}^2$
Logic Low	V_{OL}	$V_{DD1} - 0.5$ or $V_{DD2} - 0.5$	$V_{DD1} - 0.2$ or $V_{DD2} - 0.2$	0.0	V	$I_{Ox} = -4 \text{ mA}, V_{Ix} = V_{IxH}$
Logic Low			0.0	0.1	V	$I_{Ox} = 20 \mu A, V_{Ix} = V_{IxL}^3$
Logic Low			0.0	0.4	V	$I_{Ox} = 4 \text{ mA}, V_{Ix} = V_{IxL}$
Undervoltage Lockout	UVLO					$V_{DD1}, V_{DD2},$ and V_{DDP} supply
Positive Going Threshold	V_{UV+}		1.6		V	
Negative Going Threshold	V_{UV-}		1.5		V	
Hysteresis	V_{UVH}		0.1		V	
Input Currents per Channel	I_I	-10	+0.01	+10	μA	$0 \text{ V} \leq V_{Ix} \leq V_{DDx}$
Quiescent Supply Current						
ADuM5410						
$I_{DD1(Q)}$			1.2	2.2	mA	$V_{Ix} = \text{Logic } 0$
$I_{DD2(Q)}$			2.0	2.72	mA	$V_{Ix} = \text{Logic } 0$
$I_{DD1(Q)}$			12.0	20.0	mA	$V_{Ix} = \text{Logic } 1$
$I_{DD2(Q)}$			2.0	2.92	mA	$V_{Ix} = \text{Logic } 1$
ADuM5411						
$I_{DD1(Q)}$			1.6	2.46	mA	$V_{Ix} = \text{Logic } 0$
$I_{DD2(Q)}$			1.9	2.62	mA	$V_{Ix} = \text{Logic } 0$
$I_{DD1(Q)}$			10.0	17.0	mA	$V_{Ix} = \text{Logic } 1$
$I_{DD2(Q)}$			6.0	10.0	mA	$V_{Ix} = \text{Logic } 1$
ADuM5412						
$I_{DD1(Q)}$			1.6	2.46	mA	$V_{Ix} = \text{Logic } 0$
$I_{DD2(Q)}$			1.6	2.46	mA	$V_{Ix} = \text{Logic } 0$
$I_{DD1(Q)}$			7.2	11.5	mA	$V_{Ix} = \text{Logic } 1$
$I_{DD2(Q)}$			8.4	11.5	mA	$V_{Ix} = \text{Logic } 1$
Dynamic Supply Current						
Input	$I_{DD1(D)}$		0.01		mA/Mbps	Inputs switching, 50% duty cycle
Output	$I_{DDO(D)}$		0.01		mA/Mbps	Inputs switching, 50% duty cycle
AC SPECIFICATIONS						
Output Rise/Fall Time	t_R/t_F		2.5		ns	10% to 90%
Common-Mode Transient Immunity ⁴	$ CM_H $	75	100		kV/ μs	$V_{Ix} = V_{DD1}$ or V_{ISO} , common-mode voltage (V_{CM}) = 1000 V, transient magnitude = 800 V
	$ CM_L $	75	100		kV/ μs	$V_{Ix} = 0 \text{ V}, V_{CM} = 1000 \text{ V},$ transient magnitude = 800 V

¹ I_{Ox} はチャンネル x の出力電流で、x = A、B、C、または D。² V_{IxH} は入力側ロジック・ハイ・レベル。³ V_{IxL} は、入力側ロジック・ロー・レベル。⁴ $|CM_H|$ は、電圧出力を $V_O > 0.8 V_{DDx}$ に維持しながら持続できるコモンモード電圧の最大スルー・レートです。 $|CM_L|$ は $V_O > 0.8 \text{ V}$ を維持しながら持続できるコモンモード電圧の最大スルー・レートです。コモンモード電圧スルー・レートは、立ち上がりと立ち下がり両方のコモンモード電圧エッジに適用されます。

電气的特性 — 3.3 V 主入力電源/3.3 V 二次絶縁電源

仕様に規定するすべての代表値は、 $T_A = 25\text{ }^\circ\text{C}$ 、 $V_{DD1} = V_{DDP} = V_{ISO} = 3.3\text{ V}$ の時に、 V_{SEL} 抵抗回路を使用した場合の値です。抵抗回路は $R1 = 10\text{ k}\Omega \pm 1\%$ 、 $R2 = 16.9\text{ k}\Omega \pm 1\%$ で、 V_{ISO} と GND_{ISO} の間に接続（図 31 参照）。最大/最小仕様は、特に指定のない限り $3.0\text{ V} \leq V_{DD1}$ 、 V_{DDP} 、 $V_{ISO} \leq 3.6\text{ V}$ 、および $-40\text{ }^\circ\text{C} \leq T_A \leq +105\text{ }^\circ\text{C}$ の全推奨動作範囲に適用されます。特に指定がない限り、スイッチング仕様は、 $C_L = 15\text{ pF}$ 、CMOS 信号レベルで試験されます。

表 7. DC/DC コンバータの静的仕様

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC-TO-DC CONVERTER SUPPLY						
Setpoint	V_{ISO}	3.0	3.3	3.6	V	$I_{ISO} = 10\text{ mA}$, $R1 = 10\text{ k}\Omega$, $R2 = 16.9\text{ k}\Omega$
Line Regulation	$V_{ISO (LINE)}$		20		mV/V	$I_{ISO} = 10\text{ mA}$, $V_{DD1} = 3.0\text{ V to } 3.6\text{ V}$
Load Regulation	$V_{ISO (LOAD)}$		1	5	%	$I_{ISO} = 2\text{ mA to } 18\text{ mA}$
Output Ripple	$V_{ISO (RIP)}$		50		mV p-p	20 MHz bandwidth, $C_{BO} = 0.1\text{ }\mu\text{F} 10\text{ }\mu\text{F}$, $I_{ISO} = 18\text{ mA}$
Output Noise	$V_{ISO (NOISE)}$		130		mV p-p	$C_{BO} = 0.1\text{ }\mu\text{F} 10\text{ }\mu\text{F}$, $I_{ISO} = 18\text{ mA}$
Switching Frequency	f_{OSC}		125		MHz	
Pulse-Width Modulation Frequency	f_{PWM}		600		kHz	
Output Supply	$I_{ISO (MAX)}$	20			mA	$3.6\text{ V} > V_{ISO} > 3\text{ V}$
Efficiency at $I_{ISO (MAX)}$			27		%	$I_{ISO} = 18\text{ mA}$
V_{DDP} Supply Current						
No V_{ISO} Load	$I_{DDP (Q)}$		14	20	mA	
Full V_{ISO} Load	$I_{DDP (MAX)}$		77	115	mA	
Thermal Shutdown						
Shutdown Temperature			154		$^\circ\text{C}$	
Thermal Hysteresis			10		$^\circ\text{C}$	

表 8. データ・チャンネルの電源電流仕様

Parameter	Symbol	1 Mbps			25 Mbps			100 Mbps			Unit	Test Conditions/Comments
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
SUPPLY CURRENT												$C_L = 0\text{ pF}$
ADuM5410	I_{DD1}	6.6	9.8		7.4	11.2		10.7	15.9		mA	
	I_{DD2}	2.0	3.7		3.5	5.5		8.2	11.6		mA	
ADuM5411	I_{DD1}	5.65	10.1		6.65	10.5		10.4	14.9		mA	
	I_{DD2}	3.9	6.65		5.2	8.0		9.4	12.8		mA	
ADuM5412	I_{DD1}	4.3	7.7		5.6	9.0		9.1	13		mA	
	I_{DD2}	5.0	8.4		6.2	9.6		9.8	13.7		mA	

表 9. スwitching仕様

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SWITCHING SPECIFICATIONS						
Pulse Width	PW	6.7			ns	Within PWD limit
Data Rate				150	Mbps	Within PWD limit
Propagation Delay	t_{PHL} , t_{PLH}		6.8	14	ns	50% input to 50% output
Pulse Width Distortion	PWD		0.7	3.0	ns	$ t_{PLH} - t_{PHL} $
Change vs. Temperature			1.5		ps/ $^\circ\text{C}$	
Propagation Delay Skew	t_{PSK}			7.5	ns	Between any two units at the same temperature, voltage, and load
Channel Matching						
Codirectional	t_{PSKCD}		0.7	3.0	ns	
Opposing Direction	t_{PSKOD}		0.7	3.0	ns	
Jitter			640		ps p-p	
			75		ns rms	

表 10. 入力特性と出力特性

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/ Comments
DC SPECIFICATIONS						
Input Threshold						
Logic High	V_{IH}	$0.7 \times V_{ISO}$ or $0.7 \times V_{DD1}$			V	
Logic Low	V_{IL}			$0.3 \times V_{ISO}$ or $0.3 \times V_{DD1}$	V	
Output Voltage						
Logic High	V_{OH}	$V_{DD1} - 0.2$ or $V_{DD2} - 0.2$	V_{DD1} or V_{DD2}		V	$I_{Ox} = -20 \mu A$, $V_{Ix} = V_{IcH}$
Logic Low	V_{OL}	$V_{DD1} - 0.5$ or $V_{DD2} - 0.5$	$V_{DD1} - 0.2$ or $V_{DD2} - 0.2$	0.0	V	$I_{Ox} = -4 \text{ mA}$, $V_{Ix} = V_{IcH}$
Logic Low			0.0	0.1	V	$I_{Ox} = 20 \mu A$, $V_{Ix} = V_{IcL}$
Logic Low			0.0	0.4	V	$I_{Ox} = 4 \text{ mA}$, $V_{Ix} = V_{IcL}$
Undervoltage Lockout	UVLO					V_{DD1} , V_{DD2} , and V_{DDP} supply
Positive Going Threshold	V_{UV+}		1.6		V	
Negative Going Threshold	V_{UV-}		1.5		V	
Hysteresis	V_{UVH}		0.1		V	
Input Currents per Channel	I_I	-10	+0.01	+10	μA	$0 \text{ V} \leq V_{Ix} \leq V_{DDx}$
Quiescent Supply Current						
ADuM5410						
$I_{DD1(Q)}$			1.2	2.12	mA	$V_{Ix} = \text{Logic } 0$
$I_{DD2(Q)}$			2.0	2.68	mA	$V_{Ix} = \text{Logic } 0$
$I_{DD1(Q)}$			12.0	19.6	mA	$V_{Ix} = \text{Logic } 1$
$I_{DD2(Q)}$			2.0	2.8	mA	$V_{Ix} = \text{Logic } 1$
ADuM5411						
$I_{DD1(Q)}$			1.5	2.36	mA	$V_{Ix} = \text{Logic } 0$
$I_{DD2(Q)}$			1.8	2.52	mA	$V_{Ix} = \text{Logic } 0$
$I_{DD1(Q)}$			9.8	16.7	mA	$V_{Ix} = \text{Logic } 1$
$I_{DD2(Q)}$			5.7	9.7	mA	$V_{Ix} = \text{Logic } 1$
ADuM5412						
$I_{DD1(Q)}$			1.6	2.4	mA	$V_{Ix} = \text{Logic } 0$
$I_{DD2(Q)}$			1.6	2.4	mA	$V_{Ix} = \text{Logic } 0$
$I_{DD1(Q)}$			7.2	11.2	mA	$V_{Ix} = \text{Logic } 1$
$I_{DD2(Q)}$			8.4	11.2	mA	$V_{Ix} = \text{Logic } 1$
Dynamic Supply Current						
Input	$I_{DD1(D)}$		0.01		mA/Mbps	Inputs switching, 50% duty cycle
Output	$I_{DDO(D)}$		0.01		mA/Mbps	Inputs switching, 50% duty cycle
AC SPECIFICATIONS						
Output Rise/Fall Time	t_R/t_F		2.5		ns	10% to 90%
Common-Mode Transient Immunity ¹	$ CM_H $	75	100		kV/ μs	$V_{Ix} = V_{DD1}$ or V_{ISO} , $V_{CM} = 1000 \text{ V}$, transient magnitude = 800 V
	$ CM_L $	75	100		kV/ μs	$V_{Ix} = 0 \text{ V}$, $V_{CM} = 1000 \text{ V}$, transient magnitude = 800 V

¹ $|CM_H|$ は、電圧出力を $V_O > 0.8 V_{DDx}$ に維持しながら持続できるコモンモード電圧の最大スルー・レートです。 $|CM_L|$ は $V_O > 0.8 \text{ V}$ を維持しながら持続できるコモンモード電圧の最大スルー・レートです。コモンモード電圧スルー・レートは、立ち上がりと立ち下がり両方のコモンモード電圧エッジに適用されます。

電気的特性 — 5 V 主入力電源 / 3.3 V 二次絶縁電源

仕様に定めるすべての代表値は、 $T_A = 25\text{ }^\circ\text{C}$ 、 $V_{DD1} = V_{DDP} = 5.0\text{ V}$ 、 $V_{ISO} = 3.3\text{ V}$ で、 V_{SEL} 抵抗回路を使用した場合の値です。抵抗回路は $R1 = 10\text{ k}\Omega \pm 1\%$ 、 $R2 = 16.9\text{ k}\Omega \pm 1\%$ で、 V_{ISO} と GND_{ISO} の間に接続 (図 31 参照)。最大 / 最小仕様は、特に指定のない限り、 $4.5\text{ V} \leq V_{DD1} = V_{DDP} \leq 5.5\text{ V}$ 、 $3.0\text{ V} \leq V_{ISO} \leq 3.6\text{ V}$ 、および $-40\text{ }^\circ\text{C} \leq T_A \leq +105\text{ }^\circ\text{C}$ の全推奨動作範囲に適用されます。スイッチング仕様は、特に指定がない限り $C_L = 15\text{ pF}$ 、CMOS 信号レベルで試験されます。

表 11. DC/DC コンバータの静的仕様

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC-TO-DC CONVERTER SUPPLY						
Setpoint	V_{ISO}	3.0	3.3	3.6	V	$I_{ISO} = 15\text{ mA}$, $R1 = 10\text{ k}\Omega$, $R2 = 16.9\text{ k}\Omega$
Line Regulation	$V_{ISO (LINE)}$		20		mV/V	$I_{ISO} = 15\text{ mA}$, $V_{DD1} = 3.0\text{ V to } 3.6\text{ V}$
Load Regulation	$V_{ISO (LOAD)}$		1	5	%	$I_{ISO} = 3\text{ mA to } 27\text{ mA}$
Output Ripple	$V_{ISO (RIP)}$		50		mV p-p	20 MHz bandwidth, $C_{BO} = 0.1\text{ }\mu\text{F} 10\text{ }\mu\text{F}$, $I_{ISO} = 27\text{ mA}$
Output Noise	$V_{ISO (NOISE)}$		130		mV p-p	$C_{BO} = 0.1\text{ }\mu\text{F} 10\text{ }\mu\text{F}$, $I_{ISO} = 27\text{ mA}$
Switching Frequency	f_{OSC}		125		MHz	
Pulse-Width Modulation Frequency	f_{PWM}		600		kHz	
Output Supply	$I_{ISO (MAX)}$	30			mA	$3.6\text{ V} > V_{ISO} > 3\text{ V}$
Efficiency at $I_{ISO (MAX)}$			24		%	$I_{ISO} = 27\text{ mA}$
V_{DDP} Supply Current						
No V_{ISO} Load	$I_{DDP (Q)}$		14	20	mA	
Full V_{ISO} Load	$I_{DDP (MAX)}$		85	115	mA	
Thermal Shutdown						
Shutdown Temperature			154		$^\circ\text{C}$	
Thermal Hysteresis			10		$^\circ\text{C}$	

表 12. データ・チャンネルの電源電流仕様 s

Parameter	Symbol	1 Mbps			25 Mbps			100 Mbps			Unit	Test Conditions/Comments
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
SUPPLY CURRENT												
ADuM5410	I_{DD1}		6.8	10		7.8	12		11.8	17.4	mA	$C_L = 0\text{ pF}$
	I_{DD2}		2.0	3.7		3.5	5.5		8.2	11.6	mA	
ADuM5411	I_{DD1}		5.8	10.3		7.0	10.9		11.4	15.9	mA	
	I_{DD2}		3.9	6.65		5.2	8.0		9.4	12.8	mA	
ADuM5412	I_{DD1}		4.3	7.7		6.0	9.3		10.3	14.2	mA	
	I_{DD2}		5.0	8.4		6.2	9.6		9.8	13.7	mA	

表 13. スwitching仕様

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SWITCHING SPECIFICATIONS						
Pulse Width	PW	6.7			ns	Within PWD limit
Data Rate				150	Mbps	Within PWD limit
Propagation Delay	t_{PHL} , t_{PLH}		6.8	14	ns	50% input to 50% output
Pulse Width Distortion	PWD		0.7	3.0	ns	$ t_{PLH} - t_{PHL} $
Change vs. Temperature			1.5		ps/ $^\circ\text{C}$	
Propagation Delay Skew	t_{PSK}			7.5	ns	Between any two units at the same temperature, voltage, and load
Channel Matching						
Codirectional	t_{PSKCD}		0.7	3.0	ns	
Opposing Direction	t_{PSKOD}		0.7	3.0	ns	
Jitter			640		ps p-p	
			75		ns rms	

表 14. 入力特性と出力特性

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/ Comments
DC SPECIFICATIONS						
Input Threshold						
Logic High	V_{IH}	$0.7 \times V_{ISO}$ or $0.7 \times V_{DD1}$			V	
Logic Low	V_{IL}			$0.3 \times V_{ISO}$ or $0.3 \times V_{DD1}$	V	
Output Voltage						
Logic High	V_{OH}	$V_{DD1} - 0.2$ or $V_{DD2} - 0.2$	V_{DD1} or V_{DD2}		V	$I_{Ox} = -20 \mu A$, $V_{Ix} = V_{IcH}$
Logic Low	V_{OL}	$V_{DD1} - 0.5$ or $V_{DD2} - 0.5$	$V_{DD1} - 0.2$ or $V_{DD2} - 0.2$	0.0	V	$I_{Ox} = -4 \text{ mA}$, $V_{Ix} = V_{IcH}$
Logic Low			0.0	0.1	V	$I_{Ox} = 20 \mu A$, $V_{Ix} = V_{IcL}$
Logic Low			0.0	0.4	V	$I_{Ox} = 4 \text{ mA}$, $V_{Ix} = V_{IcL}$
Undervoltage Lockout	UVLO					V_{DD1} , V_{DD2} , and V_{DDP} supply
Positive Going Threshold	V_{UV+}		1.6		V	
Negative Going Threshold	V_{UV-}		1.5		V	
Hysteresis	V_{UVH}		0.1		V	
Input Currents per Channel	I_I	-10	+0.01	+10	μA	$0 \text{ V} \leq V_{Ix} \leq V_{DDx}$
Quiescent Supply Current						
ADuM5410						
$I_{DD1(Q)}$			1.2	2.2	mA	$V_{Ix} = \text{Logic } 0$
$I_{DD2(Q)}$			2.0	2.68	mA	$V_{Ix} = \text{Logic } 0$
$I_{DD1(Q)}$			12.0	20.0	mA	$V_{Ix} = \text{Logic } 1$
$I_{DD2(Q)}$			2.0	2.8	mA	$V_{Ix} = \text{Logic } 1$
ADuM5411						
$I_{DD1(Q)}$			1.6	2.46	mA	$V_{Ix} = \text{Logic } 0$
$I_{DD2(Q)}$			1.8	2.52	mA	$V_{Ix} = \text{Logic } 0$
$I_{DD1(Q)}$			10.0	17.0	mA	$V_{Ix} = \text{Logic } 1$
$I_{DD2(Q)}$			5.7	9.7	mA	$V_{Ix} = \text{Logic } 1$
ADuM5412						
$I_{DD1(Q)}$			1.6	2.46	mA	$V_{Ix} = \text{Logic } 0$
$I_{DD2(Q)}$			1.6	2.4	mA	$V_{Ix} = \text{Logic } 0$
$I_{DD1(Q)}$			7.2	11.5	mA	$V_{Ix} = \text{Logic } 1$
$I_{DD2(Q)}$			8.4	11.2	mA	$V_{Ix} = \text{Logic } 1$
Dynamic Supply Current						
Input	$I_{DD1(D)}$		0.01		mA/Mbps	Inputs switching, 50% duty cycle
Output	$I_{DDO(D)}$		0.01		mA/Mbps	Inputs switching, 50% duty cycle
AC SPECIFICATIONS						
Output Rise/Fall Time	t_R/t_F		2.5		ns	10% to 90%
Common-Mode Transient Immunity ¹	$ CM_H $	75	100		kV/ μs	$V_{Ix} = V_{DD1}$ or V_{ISO} , $V_{CM} = 1000 \text{ V}$, transient magnitude = 800 V
	$ CM_L $	75	100		kV/ μs	$V_{Ix} = 0 \text{ V}$, $V_{CM} = 1000 \text{ V}$, transient magnitude = 800 V

¹ $|CM_H|$ は、電圧出力を $V_O > 0.8 V_{DDx}$ に維持しながら持続できるコモンモード電圧の最大スルー・レートです。 $|CM_L|$ は $V_O > 0.8 \text{ V}$ を維持しながら持続できるコモンモード電圧の最大スルー・レートです。コモンモード電圧スルー・レートは、立ち上がりと立ち下がり両方のコモンモード電圧エッジに適用されます。

電气的特性 — 2.5 V 動作のデジタル・アイソレータ・チャンネルのみ

仕様に定めるすべての代表値は、 $T_A = 25\text{ }^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = 2.5\text{ V}$ 時の値です。最小/最大仕様は、特に指定のない限り、 $2.25\text{ V} \leq V_{DD1} \leq 2.75\text{ V}$ 、 $2.25\text{ V} \leq V_{DD2} \leq 2.75\text{ V}$ 、および $-40\text{ }^\circ\text{C} \leq T_A \leq +105\text{ }^\circ\text{C}$ の全推奨動作範囲に適用されます。スイッチング仕様は、特に指定がない限り $C_L = 15\text{ pF}$ 、CMOS 信号レベルで試験されます。電源電流の仕様は 50 % デューティ・サイクルで指定されています。

表 15. データ・チャンネルの電源電流仕様

Parameter	Symbol	1 Mbps			25 Mbps			100 Mbps			Unit	Test Conditions/Comments
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
SUPPLY CURRENT												
ADuM5410	I_{DD1}		6.5	9.8		7.3	11.1		10.4	15.5	mA	$C_L = 0\text{ pF}$
	I_{DD2}		2.0	3.6		3.3	5.2		7.3	10.2	mA	
ADuM5411	I_{DD1}		5.6	10.0		6.4	10.4		9.7	14.5	mA	
	I_{DD2}		3.8	6.55		4.8	7.7		8.3	11.5	mA	
ADuM5412	I_{DD1}		4.3	7.7		5.4	8.8		8.8	12.7	mA	
	I_{DD2}		5.0	8.4		6.1	9.5		9.5	13.4	mA	

表 16. スwitching仕様

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SWITCHING SPECIFICATIONS						
Pulse Width	PW	6.6			ns	Within PWD limit
Data Rate				150	Mbps	Within PWD limit
Propagation Delay	t_{PHL} , t_{PLH}	5.0	7.0	14	ns	50% input to 50% output
Pulse Width Distortion	PWD		0.7	3	ns	$ t_{PLH} - t_{PHL} $
Change vs. Temperature			1.5		ps/ $^\circ\text{C}$	
Propagation Delay Skew	t_{PSK}			6.8	ns	Between any two units at the same temperature, voltage, and load
Channel Matching						
Codirectional	t_{PSKCD}		0.7	3.0	ns	
Opposing Direction	t_{PSKOD}		0.7	3.0	ns	
Jitter			800		ps p-p	
			190		ps rms	

表 17. 入力特性と出力特性

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/ Comments
DC SPECIFICATIONS						
Input Threshold						
Logic High	V_{IH}	$0.7 \times V_{ISO}$ or $0.7 \times V_{DD1}$			V	
Logic Low	V_{IL}			$0.3 \times V_{ISO}$ or $0.3 \times V_{DD1}$	V	
Output Voltage						
Logic High	V_{OH}	$V_{DD1} - 0.2$ or $V_{DD2} - 0.2$	V_{DD1} or V_{DD2}		V	$I_{Ox} = -20 \mu A$, $V_{Ix} = V_{IcH}$
Logic Low	V_{OL}	$V_{DD1} - 0.5$ or $V_{DD2} - 0.5$	$V_{DD1} - 0.2$ or $V_{DD2} - 0.2$	0.0	V	$I_{Ox} = -4 \text{ mA}$, $V_{Ix} = V_{IcH}$
Logic Low			0.0	0.1	V	$I_{Ox} = 20 \mu A$, $V_{Ix} = V_{IcL}$
Logic Low			0.0	0.4	V	$I_{Ox} = 4 \text{ mA}$, $V_{Ix} = V_{IcL}$
Undervoltage Lockout	UVLO					V_{DD1} , V_{DD2} , and V_{DDP} supply
Positive Going Threshold	V_{UV+}		1.6		V	
Negative Going Threshold	V_{UV-}		1.5		V	
Hysteresis	V_{UVH}		0.1		V	
Input Currents per Channel	I_I	-10	+0.01	+10	μA	$0 \text{ V} \leq V_{Ix} \leq V_{DDx}$
Quiescent Supply Current						
ADuM5410						
$I_{DD1(Q)}$			1.2	2.0	mA	$V_{Ix} = \text{Logic } 0$
$I_{DD2(Q)}$			2.0	2.64	mA	$V_{Ix} = \text{Logic } 0$
$I_{DD1(Q)}$			1.2	19.6	mA	$V_{Ix} = \text{Logic } 1$
$I_{DD2(Q)}$			2.0	2.76	mA	$V_{Ix} = \text{Logic } 1$
ADuM5411						
$I_{DD1(Q)}$			1.46	2.32	mA	$V_{Ix} = \text{Logic } 0$
$I_{DD2(Q)}$			1.75	2.47	mA	$V_{Ix} = \text{Logic } 0$
$I_{DD1(Q)}$			9.7	16.6	mA	$V_{Ix} = \text{Logic } 1$
$I_{DD2(Q)}$			5.67	9.67	mA	$V_{Ix} = \text{Logic } 1$
ADuM5412						
$I_{DD1(Q)}$			1.6	2.32	mA	$V_{Ix} = \text{Logic } 0$
$I_{DD2(Q)}$			1.6	2.32	mA	$V_{Ix} = \text{Logic } 0$
$I_{DD1(Q)}$			7.2	11.2	mA	$V_{Ix} = \text{Logic } 1$
$I_{DD2(Q)}$			8.4	11.2	mA	$V_{Ix} = \text{Logic } 1$
Dynamic Supply Current						
Dynamic Input	$I_{DD1(D)}$		0.01		mA/Mbps	Inputs switching, 50% duty cycle
Dynamic Output	$I_{DDO(D)}$		0.01		mA/Mbps	Inputs switching, 50% duty cycle
AC SPECIFICATIONS						
Output Rise/Fall Time	t_R/t_F		2.5		ns	10% to 90%
Common-Mode Transient Immunity ¹	$ CM_H $	75	100		kV/ μs	$V_{Ix} = V_{DD1}$ or V_{ISO} , $V_{CM} = 1000 \text{ V}$, transient magnitude = 800 V
	$ CM_L $	75	100		kV/ μs	$V_{Ix} = 0 \text{ V}$, $V_{CM} = 1000 \text{ V}$, transient magnitude = 800 V

¹ $|CM_H|$ は、電圧出力を $V_O > 0.8 V_{DDx}$ に維持しながら持続できるコモンモード電圧の最大スルー・レートです。 $|CM_L|$ は $V_O > 0.8 \text{ V}$ を維持しながら持続できるコモンモード電圧の最大スルー・レートです。コモンモード電圧スルー・レートは、立ち上がりと立ち下がり両方のコモンモード電圧エッジに適用されます。

電气的特性 — 1.8 V 動作のデジタル・アイソレータ・チャンネルのみ

仕様に定めるすべての代表値は、 $T_A = 25\text{ }^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = 1.8\text{ V}$ 時の値です。最小/最大仕様は、特に指定のない限り、 $1.7\text{ V} \leq V_{DD1} \leq 1.9\text{ V}$ 、 $1.7\text{ V} \leq V_{DD2} \leq 1.9\text{ V}$ 、および $-40\text{ }^\circ\text{C} \leq T_A \leq +105\text{ }^\circ\text{C}$ の全推奨動作範囲に適用されます。スイッチング仕様は、特に指定がない限り $C_L = 15\text{ pF}$ 、CMOS 信号レベルで試験されます。電源電流は、50% デューティ・サイクル信号で仕様規定されています。

表 18. データ・チャンネルの電源電流仕様

Parameter	Symbol	1 Mbps			25 Mbps			100 Mbps			Unit	Test Conditions/Comments
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
SUPPLY CURRENT												
ADuM5410	I_{DD1}	6.4	9.8		7.2	11		10.2	15.2		mA	$C_L = 0\text{ pF}$
	I_{DD2}	1.9	3.5		3.1	5.0		6.8	10		mA	
ADuM5411	I_{DD1}	5.5	9.1		6.3	10.0		9.6	14.0		mA	
	I_{DD2}	3.72	6.45		4.8	7.5		8.4	11.2		mA	
ADuM5412	I_{DD1}	4.3	7.7		5.3	8.7		8.6	12.6		mA	
	I_{DD2}	4.9	8.3		6.0	9.4		9.3	13.3		mA	

表 19. スwitching仕様

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SWITCHING SPECIFICATIONS						
Pulse Width	PW	6.6			ns	Within PWD limit
Data Rate				150	Mbps	Within PWD limit
Propagation Delay	t_{PHL} , t_{PLH}	5.8	8.7	15	ns	50% input to 50% output
Pulse Width Distortion	PWD		0.7	3	ns	$ t_{PLH} - t_{PHL} $
Change vs. Temperature			1.5		ps/ $^\circ\text{C}$	
Propagation Delay Skew	t_{PSK}			7.0	ns	Between any two units at the same temperature, voltage, and load
Channel Matching						
Codirectional	t_{PSKCD}		0.7	3.0	ns	
Opposing Direction	t_{PSKOD}		0.7	3.0	ns	
Jitter			470		ps p-p	
			70		ps rms	

表 20. 入力特性と出力特性

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/ Comments
DC SPECIFICATIONS						
Input Threshold						
Logic High	V_{IH}	$0.7 \times V_{DDx}$			V	
Logic Low	V_{IL}			$0.3 \times V_{DDx}$	V	
Output Voltages						
Logic High	V_{OH}	$V_{DDx} - 0.1$	V_{DDx}		V	$I_{Ox} = -20 \mu A, V_{Ix} = V_{IcH}$
Logic Low	V_{OL}	$V_{DDx} - 0.4$	$V_{DDx} - 0.2$	0.1	V	$I_{Ox} = -4 \text{ mA}, V_{Ix} = V_{IcH}$
			0.0	0.4	V	$I_{Ox} = 20 \mu A, V_{Ix} = V_{IcL}$
			0.2		V	$I_{Ox} = 4 \text{ mA}, V_{Ix} = V_{IcL}$
Undervoltage Lockout	UVLO					$V_{DD1}, V_{DD2},$ and V_{DDP} supply
Positive Going Threshold	V_{UV+}		1.6		V	
Negative Going Threshold	V_{UV-}		1.5		V	
Hysteresis	V_{UVH}		0.1		V	
Input Currents per Channel	I_I	-10	+0.01	+10	μA	$0 \text{ V} \leq V_{Ix} \leq V_{DDx}$
Quiescent Supply Current						
ADuM5410						
	$I_{DD1(Q)}$		1.2	1.92	mA	$V_{Ix} = \text{Logic } 0$
	$I_{DD2(Q)}$		2.0	2.64	mA	$V_{Ix} = \text{Logic } 0$
	$I_{DD1(Q)}$		12.0	19.6	mA	$V_{Ix} = \text{Logic } 1$
	$I_{DD2(Q)}$		2.0	2.76	mA	$V_{Ix} = \text{Logic } 1$
ADuM5411						
	$I_{DD1(Q)}$		1.4	2.28	mA	$V_{Ix} = \text{Logic } 0$
	$I_{DD2(Q)}$		1.73	2.45	mA	$V_{Ix} = \text{Logic } 0$
	$I_{DD1(Q)}$		9.6	16.5	mA	$V_{Ix} = \text{Logic } 1$
	$I_{DD2(Q)}$		5.6	9.6	mA	$V_{Ix} = \text{Logic } 1$
ADuM5412						
	$I_{DD1(Q)}$		1.6	2.28	mA	$V_{Ix} = \text{Logic } 0$
	$I_{DD2(Q)}$		1.6	2.28	mA	$V_{Ix} = \text{Logic } 0$
	$I_{DD1(Q)}$		7.2	11.2	mA	$V_{Ix} = \text{Logic } 1$
	$I_{DD2(Q)}$		8.4	11.2	mA	$V_{Ix} = \text{Logic } 1$
Dynamic Supply Current						
Input	$I_{DD1(D)}$		0.01		mA/Mbps	Inputs switching, 50% duty cycle
Output	$I_{DDO(D)}$		0.01		mA/Mbps	Inputs switching, 50% duty cycle
AC SPECIFICATIONS						
Output Rise/Fall Time	t_R/t_F		2.5		ns	10% to 90%
Common-Mode Transient Immunity ¹	$ CM_H $	75	100		kV/ μs	$V_{Ix} = V_{DD1}$ or $V_{ISO}, V_{CM} = 1000 \text{ V},$ transient magnitude = 800 V
	$ CM_L $	75	100		kV/ μs	$V_{Ix} = 0 \text{ V}, V_{CM} = 1000 \text{ V},$ transient magnitude = 800 V

¹ $|CM_H|$ は、電圧出力を $V_O > 0.8 V_{DDx}$ に維持しながら持続できるコモンモード電圧の最大スルー・レートです。 $|CM_L|$ は $V_O > 0.8 \text{ V}$ を維持しながら持続できるコモンモード電圧の最大スルー・レートです。コモンモード電圧スルー・レートは、立ち上がりと立ち下がり両方のコモンモード電圧エッジに適用されます。

パッケージ特性

表 21. 熱特性と絶縁特性

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Resistance (Input to Output) ¹	R _{I-O}		10 ¹²		Ω	f = 1 MHz
Capacitance (Input to Output) ¹	C _{I-O}		2.2		pF	
Input Capacitance ²	C _I		4.0		pF	
IC Junction to Ambient Thermal Resistance	θ _{JA}		50		°C/W	
Thermocouple located at center of package underside, test conducted on 4-layer board with thin traces ³						

¹ このデバイスは 2 端子デバイスとみなされます。すなわち、ピン 1 ~ ピン 8 が相互に短絡されており、ピン 9 ~ ピン 16 も相互に短絡されています。

² 入力容量は任意の入力データ・ピンとグラウンドの間の値です。

³ 熱モデルの定義については「熱解析」のセクションを参照してください。

規制に対する認定

表 22.

UL(Pending) ¹	CSA(Pending)	VDE (Pending) ²	CQC (Pending)
Recognized Under 1577 Component Recognition Program ¹	Approved under CSA Component Acceptance Notice 5A	DIN V VDE V 0884-10 (VDE V 0884-10):2006-12	Certified under CQC11-471543-2012
Single Protection, 2500 V rms Isolation Voltage	CSA 60950-1-07+A1+A2 and IEC 60950-1, second edition, +A1+A2: Basic insulation at 400 V rms (565 V peak) Basic insulation (1MOPP), 250 V rms (354 V peak)	Reinforced Insulation 565 V peak, V _{IOSM} = 4 kV peak	GB4943.1-2011: Basic insulation at 400 V rms (565 V peak)
File E214100	CSA 61010-1-12 and IEC 61010-1 third edition Basic insulation at 300 V rms mains, 530 V rms (750 V peak) File 205078	File 2471900-4880-0001	File (pending)

¹ ADuM5410/ADuM5411/ADuM5412 は、UL 1577 に従い、3000 V rms 以上の絶縁試験電圧を 1 秒間加えることによって試験され、保証されています（リーク電流検出の規定値 = 10 μA）。

² ADuM5410/ADuM5411/ADuM5412 は、DIN V VDE V 0884-10 に従い、1050 V peak 以上の絶縁試験電圧を 1 秒間加える試験でテストされています（部分放電検出の規定値 = 5 pC）。デバイス表面の * マークは、DIN V VDE V 0884-10 認定製品であることを表します。

絶縁および安全性関連の仕様

表 23. 安全に関係する重要な寸法と材料特性

Parameter	Symbol	Value	Unit	Test Conditions/Comments
Rated Dielectric Insulation Voltage		2500	V rms	1-minute duration
Minimum External Air Gap (Clearance)	L(I01)	5.3	mm min	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (Creepage)	L(I02)	5.3	mm min	Measured from input terminals to output terminals, shortest distance path along body
Minimum Clearance in the Plane of the Printed Circuit Board (PCB Clearance)	L (PCB)	5.6	mm min	Measured from input terminals to output terminals, shortest distance through air, line of sight, in the PCB mounting plane
Minimum Internal Gap (Internal Clearance)		17	μm min	Minimum distance through insulation
Tracking Resistance (Comparative Tracking Index)	CTI	>400	V	DIN IEC 112/VDE 0303, Part 1
Isolation Group		II		Material group (DIN VDE 0110, 1/89, Table 1)

DIN V VDE V 0884-10 (VDE V 0884-10) 絶縁特性

このアイソレータは、安全限界データ範囲内の強化絶縁のみに適しています。安全性データの維持は、保護回路によって確保されます。パッケージ表面のアスタリスク (*) マーキングは、DIN V VDE V 0884-10 認定製品であることを表します。

表 24. VDE 特性

Description	Test Conditions/Comments	Symbol	Characteristic	Unit
Installation Classification per DIN VDE 0110 For Rated Mains Voltage ≤ 150 V rms For Rated Mains Voltage ≤ 300 V rms For Rated Mains Voltage ≤ 400 V rms			I to IV I to IV I to III	
Climatic Classification			40/105/21	
Pollution Degree per DIN VDE 0110, Table 1			2	
Maximum Working Insulation Voltage		V_{IORM}	565	V peak
Input to Output Test Voltage, Method b1	$V_{IORM} \times 1.875 = V_{PR}$, 100% production test, $t_m = 1$ sec, partial discharge < 5 pC	V_{PR}	1059	V peak
Input to Output Test Voltage, Method a After Environmental Tests Subgroup 1	$V_{IORM} \times 1.5 = V_{pd(m)}$, $t_{ini} = 60$ sec, $t_m = 10$ sec, partial discharge < 5 pC	$V_{pd(m)}$	848	V peak
After Input and/or Safety Test Subgroup 2 and Subgroup 3	$V_{IORM} \times 1.2 = V_{pd(m)}$, $t_{ini} = 60$ sec, $t_m = 10$ sec, partial discharge < 5 pC	$V_{pd(m)}$	678	V peak
Highest Allowable Overvoltage	Transient overvoltage, $t_{TR} = 10$ sec	V_{IOTM}	3535	V peak
Withstand Isolation Voltage	1 minute withstand rating	V_{ISO}	2500	V rms
Surge Isolation Voltage Basic	$V_{IOSM(TEST)} = 10$ kV; 1.2 μ s rise time; 50 μ s, 50% fall time	V_{ISOM}	4000	V peak
Safety Limiting Values	Maximum value allowed in the event of a failure (see 図 2)			
Case Temperature		T_S	150	°C
Total Power Dissipation at 25°C		I_{S1}	2.5	W
Insulation Resistance at T_S	$V_{IO} = 500$ V	R_S	>10 ⁹	Ω

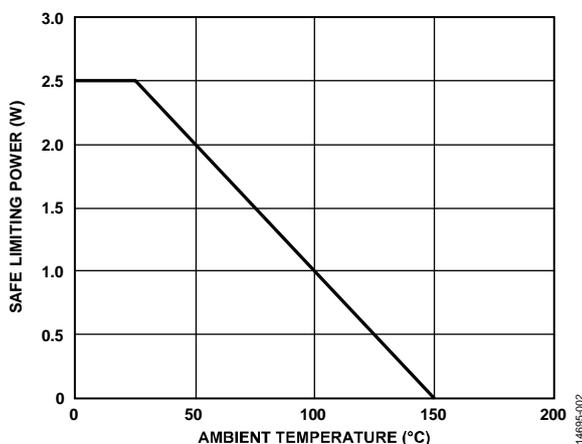


図 2. ADuM4135 の熱デレーティング曲線、DIN EN 60747-5-2 による安全限界値のケース温度に対する依存性

推奨動作条件

表 25.

Parameter	Symbol	Min	Max	Unit
Operating Temperature ¹	T_A	-40	+105	°C
Supply Voltages ²				
V_{DDP} at $V_{ISO} = 3.0$ V to 3.6 V	V_{DDP}	3.0	5.5	V
V_{DDP} at $V_{ISO} = 4.5$ V to 5.5 V		4.5	5.5	V
V_{DD1}, V_{DD2}	V_{DD1}, V_{DD2}	1.7	5.5	V

¹ 105 °C で動作させるには、表 26 に示されているように最大負荷電流を減らす必要があります。

² 各電圧はそれぞれのグラウンドを基準にします。

絶対最大定格

特に指定のない限り、周囲温度 (T_A) = 25 °C。

表 26.

Parameter	Rating
Storage Temperature (T_{ST})	-55°C to +150°C
Ambient Operating Temperature (T_A)	-40°C to +105°C
Supply Voltages (V_{DD1} , V_{DDP} , V_{DD2} , V_{ISO}) ¹	-0.5 V to +7.0 V
V_{ISO} Supply Current ²	
$T_A = -40^\circ\text{C to } +105^\circ\text{C}$	30 mA
Input Voltage (V_{IA} , V_{IB} , V_{IC} , V_{ID} , V_{E1} , V_{E2} , V_{SEL} , $PDIS$) ^{1,3}	-0.5 V to $V_{DD1} + 0.5$ V
Output Voltage (V_{OA} , V_{OB} , V_{OC} , V_{OD}) ^{1,3}	-0.5 V to $V_{DDO} + 0.5$ V
Average Output Current Per Data Output Pin ⁴	-10 mA to +10 mA
Common-Mode Transients ⁵	-150 kV/ μs to +150 kV/ μs

¹ すべての電圧はそれぞれのグラウンドを基準とします。

² V_{ISO} ピンは、 V_{ISO} 入力/出力チャンネルの DC 電流と動的負荷電流を供給します。 V_{ISO} の合計電源電流を決定するときは、この電流を含める必要があります。周囲温度が 85 °C ~ 105 °C では、最大許容電流が減少します。

³ V_{DD1} と V_{DDO} は、それぞれ所定のチャンネルの入力側と出力側の電源電圧を指します。「PCB レイアウト」のセクションを参照してください。

⁴ 種々の温度に対する最大定格電力値については、図 2 を参照してください。

⁵ コモンモード過渡は、絶縁バリアをまたぐコモンモード過渡電圧を表します。絶対最大定格を超えるコモンモード過渡電圧は、ラッチアップまたは恒久的な故障を引き起こす可能性があります。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この仕様規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。製品を長時間にわたり絶対最大定格状態に置くと、製品の信頼性に影響を与えることがあります。

表 27. 50 年間の最低寿命を保証する最大連続動作電圧¹

Parameter	Max	Unit	Applicable Certification
AC Voltage			
Bipolar Waveform	560	V peak	All certifications, 50-year operation
Unipolar Waveform			
Basic Insulation	560	V peak	
DC Voltage			
Basic Insulation	560	V peak	

¹ 最大連続動作電圧は、絶縁バリアに加わる連続電圧の大きさを表します。詳細については「絶縁寿命」のセクションを参照してください。

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

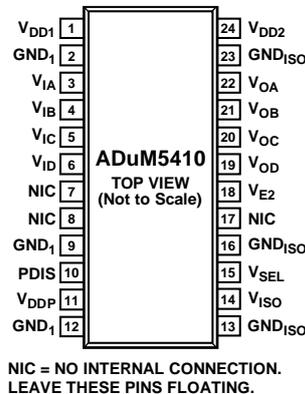


図 3. ADuM5410 ピン配置

表 28. ADuM5410 ピン機能の説明

Pin No.	Mnemonic	Description
1	V _{DD1}	デバイスの 1 次側論理回路用電源。このピンは V _{DDP} から独立しており、3.0 V ~ 5.5 V で動作します。
2, 9, 12	GND ₁	グラウンド 1。1 次アイソレータのグラウンド・リファレンス。ピン 2、ピン 9、およびピン 12 は内部で接続されています。これらのピンは共通グラウンドに接続することを推奨します。
3	V _{1A}	ロジック入力 A。
4	V _{1B}	ロジック入力 B。
5	V _{1C}	ロジック入力 C。
6	V _{1D}	ロジック入力 D。
7, 8, 17	NIC	内部接続なし。これらのピンはフロート状態のままにしておきます。
10	PDIS	電源ディスエーブル。いずれかの GND ₁ ピンに接続すると、電源コンバータがアクティブになります。ロジック・ハイ電圧を印加すると、電源は低消費電力のスタンバイ・モードになります。
11	V _{DDP}	1 次電源電圧、3.0 V ~ 5.5 V。
13, 16, 23	GND _{ISO}	2 次側の V _{DD2} および V _{ISO} 用グラウンド・リファレンス。ピン 13、ピン 16、およびピン 23 は内部で接続されています。これらのピンは共通グラウンドに接続することを推奨します。
14	V _{ISO}	外部負荷用 2 次電源電圧出力。アイソレータ・チャンネルに電力を供給するには V _{DD2} に接続します。
15	V _{SEL}	出力電圧の選択
18	V _{E2}	出力イネーブル 2。V _{E2} がハイ・レベルまたは解放の場合、V _{OA} 、V _{OB} 、V _{OC} 、および V _{OD} 出力がイネーブルになります。V _{E2} がロー・レベルの場合、V _{OA} 、V _{OB} 、V _{OC} 、および V _{OD} 出力がディスエーブルになります。ノイズの多い環境では、V _{E2} を外部ロジックのハイ・レベルまたはロー・レベルに接続することを推奨します。
19	V _{OD}	ロジック出力 D。
20	V _{OC}	ロジック出力 C。
21	V _{OB}	ロジック出力 B。
22	V _{OA}	ロジック出力 A。
24	V _{DD2}	デバイスの 2 次側論理回路用電源。このピンは V _{DDP} に依存せず、3.0 V ~ 5.5 V で動作します。

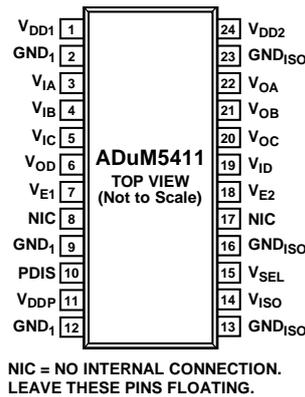


図 4. ADuM5411 ピン配置

表 29. ADuM5411 ピン機能の説明

Pin No.	Mnemonic	Description
1	V _{DD1}	デバイスの1次側論理回路用電源。このピンはV _{DDP} に依存せず、3.0 V ~ 5.5 Vで動作します。
2, 9, 12	GND ₁	グラウンド1。1次アイソレータのグラウンド・リファレンス。ピン2、ピン9、およびピン12は内部で接続されています。これらのピンは共通グラウンドに接続することを推奨します。
3	V _{1A}	ロジック入力A。
4	V _{1B}	ロジック入力B。
5	V _{1C}	ロジック入力C。
6	V _{OD}	ロジック出力D。
7	V _{E1}	出力イネーブル1。V _{E1} がハイ・レベルまたは解放の場合、V _{OD} 出力がイネーブルになります。V _{E1} がロー・レベルの場合、V _{OD} 出力がディスエーブルになります。ノイズの多い環境では、V _{E1} を外部ロジックのハイ・レベルまたはロー・レベルに接続することを推奨します。
8, 17	NIC	内部接続なし。これらのピンはフロート状態のままにしておきます。
10	PDIS	電源ディスエーブル。いずれかのGND ₁ ピンに接続すると、電源コンバータがアクティブになります。ロジック・ハイ電圧がかかると、電源は低消費電力のスタンバイ・モードになります。
11	V _{DDP}	1次電源電圧、3.0 V ~ 5.5 V。
13, 16, 23	GND _{ISO}	2次側のV _{DD2} およびV _{ISO} 用グラウンド・リファレンス。ピン13、ピン16、およびピン23は内部で接続されています。これらのピンは共通グラウンドに接続することを推奨します。
14	V _{ISO}	外部負荷用2次電源電圧出力。アイソレータ・チャンネルに電力を供給するにはV _{DD2} に接続します。
15	V _{SEL}	出力電圧の選択
18	V _{E2}	出力イネーブル2。V _{E2} がハイ・レベルまたは解放の場合、V _{OA} 、V _{OB} 、およびV _{OC} 出力がイネーブルになります。V _{E2} がロー・レベルの場合、V _{OA} 、V _{OB} 、およびV _{OC} 出力がディスエーブルになります。ノイズの多い環境では、V _{E2} を外部ロジックのハイ・レベルまたはロー・レベルに接続することを推奨します。
19	V _{ID}	ロジック入力D。
20	V _{OC}	ロジック出力C。
21	V _{OB}	ロジック出力B。
22	V _{OA}	ロジック出力A。
24	V _{DD2}	デバイスの2次側論理回路用電源。このピンはV _{DDP} に依存せず、3.0 V ~ 5.5 Vで動作します。

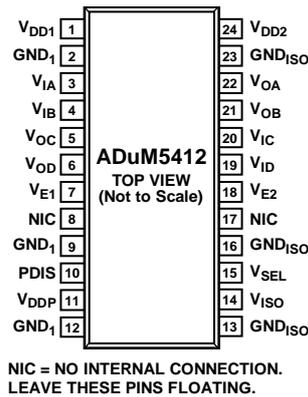


図 5. ADuM5412 ピン配置

表 30. ADuM5412 ピン機能の説明

Pin No.	Mnemonic	Description
1	V _{DD1}	デバイスの 1 次側論理回路用電源。このピンは V _{DDP} に依存せず、3.0 V ~ 5.5 V で動作します。
2, 9, 12	GND ₁	グラウンド 1。1 次アイソレータのグラウンド・リファレンス。ピン 2、ピン 9、およびピン 12 は内部で接続されています。これらのピンは共通グラウンドに接続することを推奨します。
3	V _{1A}	ロジック入力 A。
4	V _{1B}	ロジック入力 B。
5	V _{0C}	ロジック出力 C。
6	V _{0D}	ロジック出力 D。
7	V _{E1}	出力イネーブル 1。V _{E1} がハイ・レベルまたは解放の場合、V _{0C} および V _{0D} 出力がイネーブルになります。V _{E1} がロー・レベルの場合、V _{0C} および V _{0D} 出力がディスエーブルになります。ノイズの多い環境では、V _{E1} を外部ロジックのハイ・レベルまたはロー・レベルに接続することを推奨します。
8, 17	NIC	内部接続なし。これらのピンはフロート状態のままにしておきます。
10	PDIS	電源ディスエーブル。いずれかの GND ₁ ピンに接続すると、電源コンバータがアクティブになります。ロジック・ハイ電圧がかかると、電源は低消費電力のスタンバイ・モードになります。
11	V _{DDP}	1 次電源電圧、3.0 V ~ 5.5 V。
13, 16, 23	GND _{ISO}	2 次側の V _{DD2} および V _{ISO} 用グラウンド・リファレンス。ピン 13、ピン 16、およびピン 23 は内部で接続されています。これらのピンは共通グラウンドに接続することを推奨します。
14	V _{ISO}	外部負荷用 2 次電源電圧出力。アイソレータ・チャンネルに電力を供給するには V _{DD2} に接続します。
15	V _{SEL}	出力電圧の選択
18	V _{E2}	出力イネーブル 2。V _{E2} がハイ・レベルまたは解放の場合、V _{0A} および V _{0B} 出力がイネーブルになります。V _{E2} がロー・レベルの場合、V _{0A} および V _{0B} 出力がディスエーブルになります。ノイズの多い環境では、V _{E2} を外部ロジックのハイ・レベルまたはロー・レベルに接続することを推奨します。
19	V _{ID}	ロジック入力 D。
20	V _{IC}	ロジック入力 C。
21	V _{OB}	ロジック出力 B。
22	V _{OA}	ロジック出力 A。
24	V _{DD2}	デバイスの 2 次側論理回路用電源。このピンは V _{DDP} に依存せず、3.0 V ~ 5.5 V で動作します。

真理値表

表 31. 真理値表（正ロジック）

V _{DDP} (V)	V _{SEL} Input	PDIS Input Logic	V _{ISO} Output (V)	Notes
5	R1 = 10 kΩ, R2 = 30.9 kΩ	Low	5	This configuration is not recommended
5	R1 = 10 kΩ, R2 = 30.9 kΩ	High	0	
3.3	R1 = 10 kΩ, R2 = 16.9 kΩ	Low	3.3	
3.3	R1 = 10 kΩ, R2 = 16.9 kΩ	High	0	
5	R1 = 10 kΩ, R2 = 16.9 kΩ	Low	3.3	
5	R1 = 10 kΩ, R2 = 16.9 kΩ	High	0	
3.3	R1 = 10 kΩ, R2 = 30.9 kΩ	Low	5	
3.3	R1 = 10 kΩ, R2 = 30.9 kΩ	High	0	

表 32. データ・セクション真理値表（正論理）

V _{DDI} State ¹	V _{Ix} Input ¹	V _{DDO} State ¹	V _{Ox} Output ¹	Notes
Powered	High	Powered	High	Normal operation, data is high
Powered	Low	Powered	Low	Normal operation, data is low
Don't care	Don't care	Unpowered	High-Z	Output is off
Unpowered	Low	Powered	Low	Output default low
Unpowered	High	Powered	Indeterminate	If a high level is applied to an input when no supply is present, the input can parasitically power the input side, causing unpredictable operation

¹ V_{DDI} と V_{DDO} はそれぞれ、特定のチャンネルの入力側と出力側の電源電圧を表します。V_{Ix} と V_{Ox} は、所定のチャンネル（チャンネル A、チャンネル B、チャンネル C またはチャンネル D）の入出力信号を指します。

代表的な性能特性

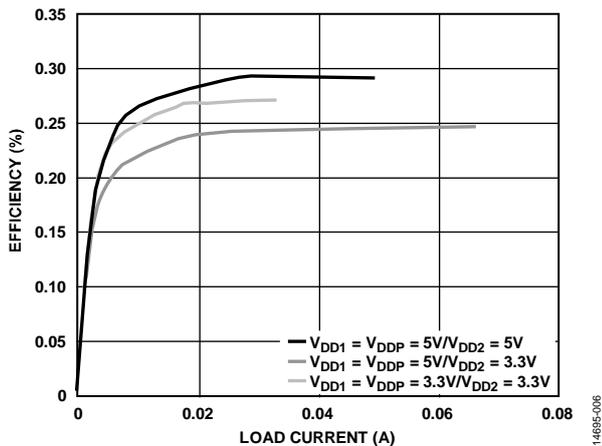


図 6. 5 V/5 V、5 V/3.3 V、および 3.3 V/3.3 V での電源効率

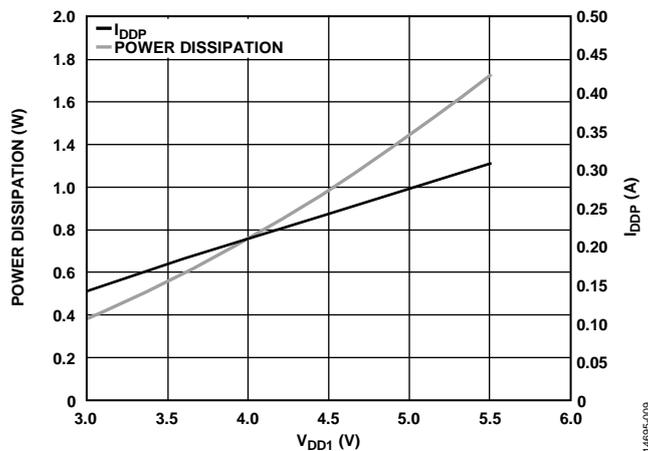


図 9. V_{DD1} 電源電圧 対 短絡入力電流 (I_{DDP}) および消費電力

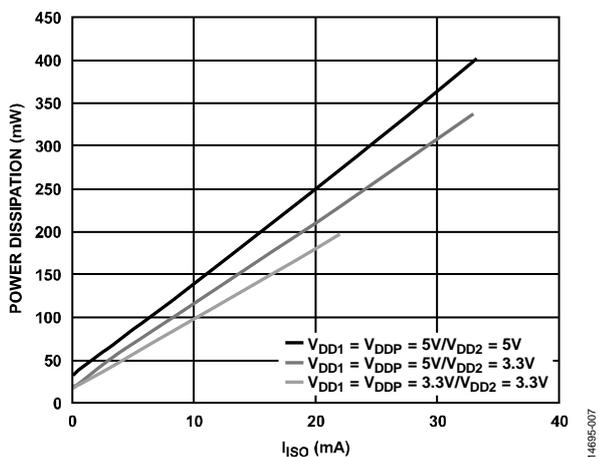


図 7. 出力電流 I_{ISO} 対 合計消費電力、データ・チャンネルはアイドル状態

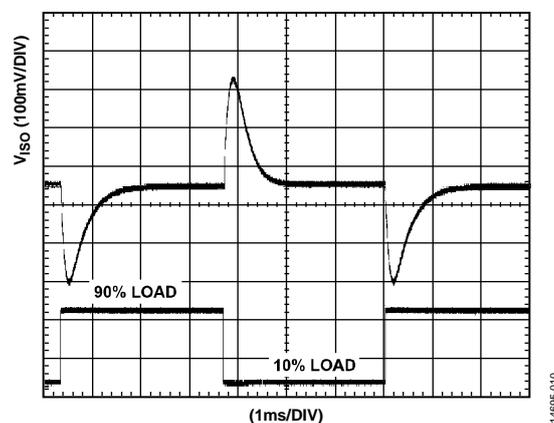


図 10. V_{ISO} の過渡負荷応答、5 V 出力、10 % ~ 90 % 負荷ステップ

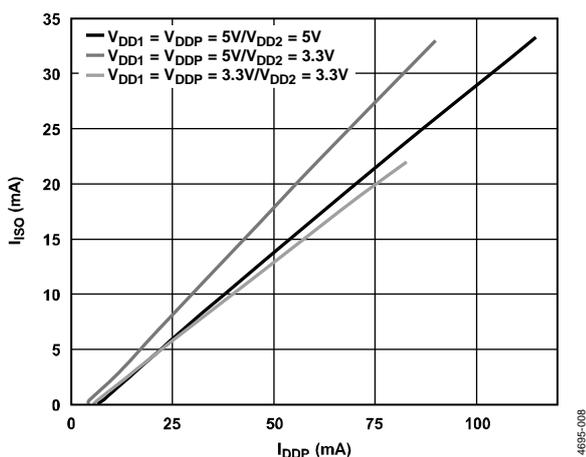


図 8. 外部負荷の関数としての絶縁 I_{ISO} 、動的電流なし、5 V/5 V、5 V/3.3 V、および 3.3 V/3.3 V

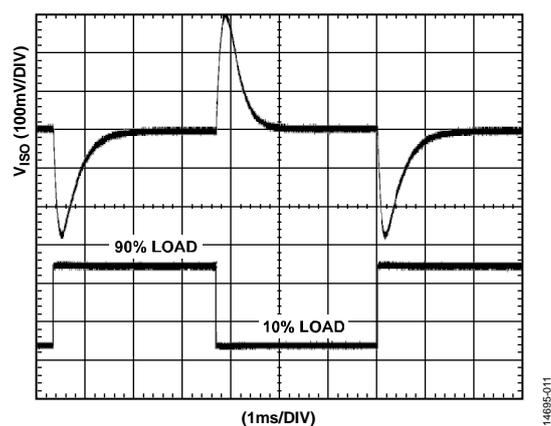


図 11. 過渡負荷応答、3 V 出力、10 % ~ 90 % 負荷ステップ

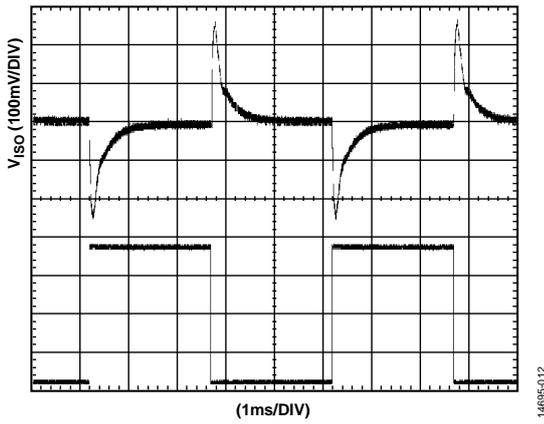


図 12. 過渡負荷応答、5 V 入力、3.3 V 出力、10% ~ 90% 負荷ステップ

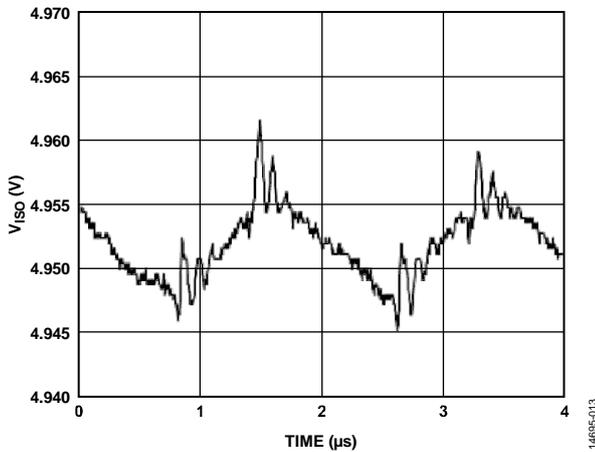


図 13. 90% 負荷での出力電圧リップル、 $V_{ISO} = 5V$

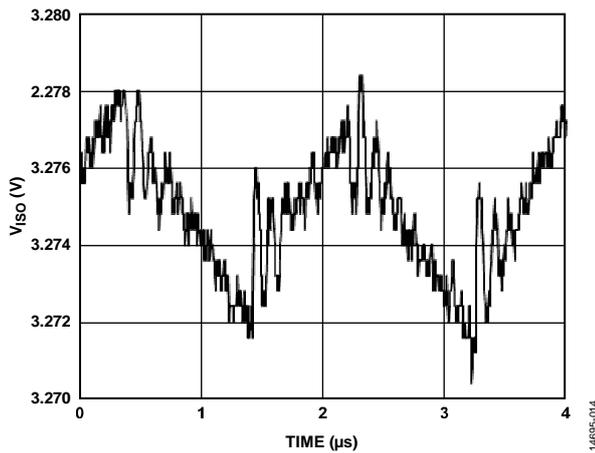


図 14. 90% 負荷での出力電圧リップル、 $V_{ISO} = 3.3V$

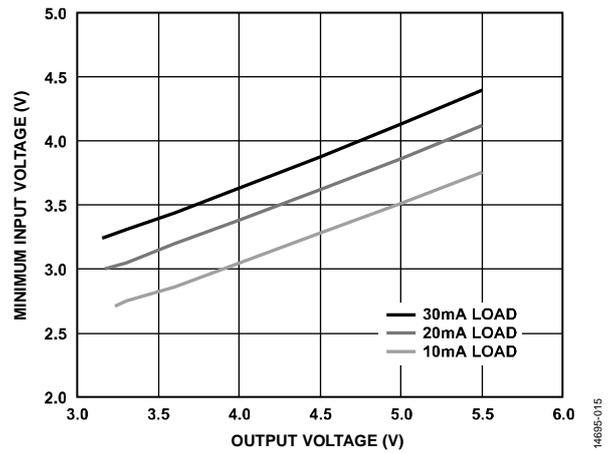


図 15. PWM で 80% 超のデューティ・ファクタを維持するための出力電圧と必要入力電圧の関係、負荷接続時

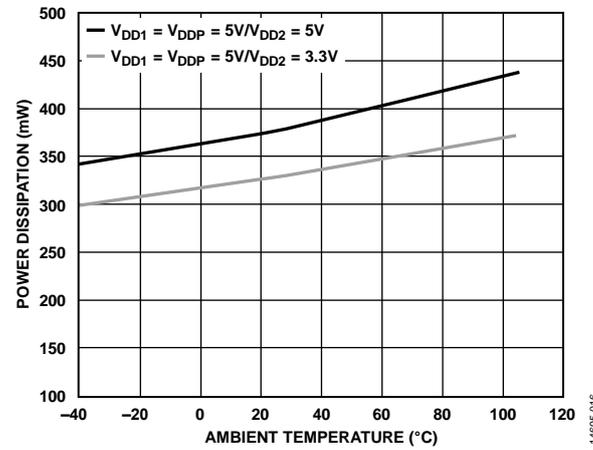


図 16. 周囲温度 対 消費電力、30mA 負荷接続時

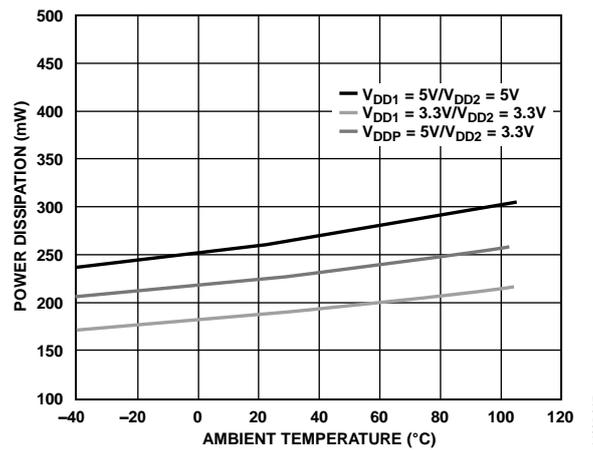


図 17. 周囲温度 対 消費電力、20 mA 負荷接続時

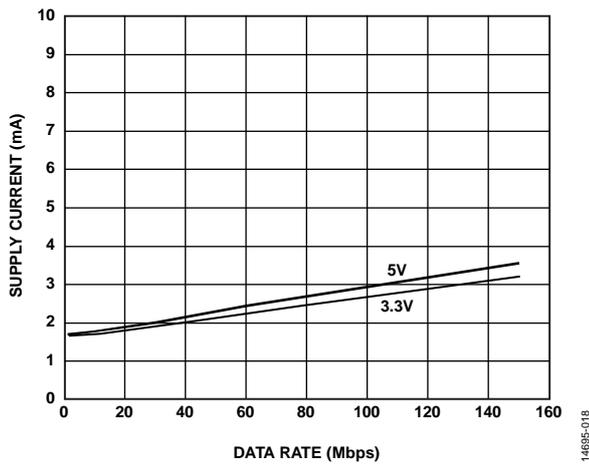


図 18. データ・レート 対 入力チャンネルあたりの電源電流、5 V および 3.3 V 動作時

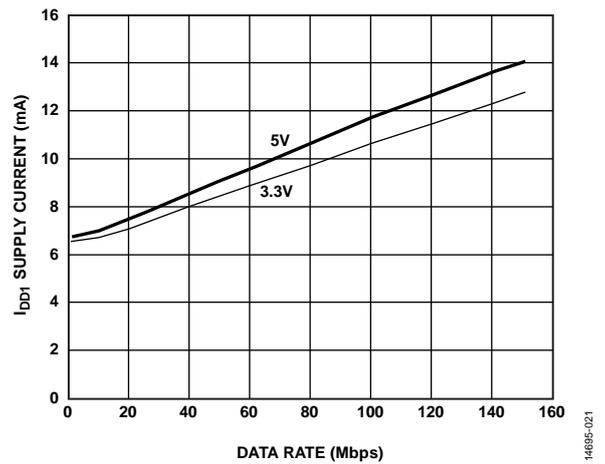


図 21. データ・レート 対 ADuM5410 の V_{DD1} 電源電流 (I_{DD1})、5 V および 3.3 V 動作時

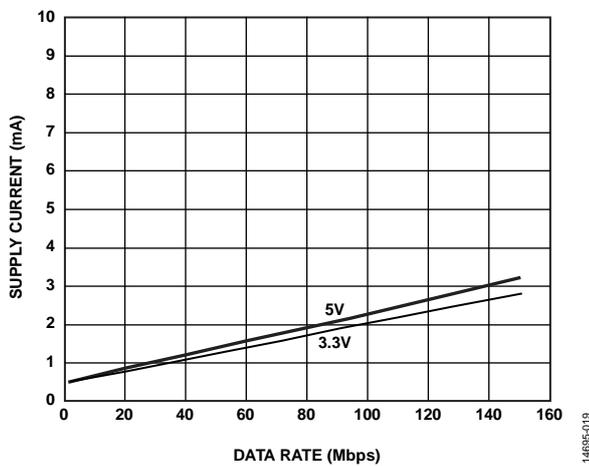


図 19. データ・レート 対 出力チャンネルあたりの電源電流、5 V および 3.3 V 動作時、出力負荷なし

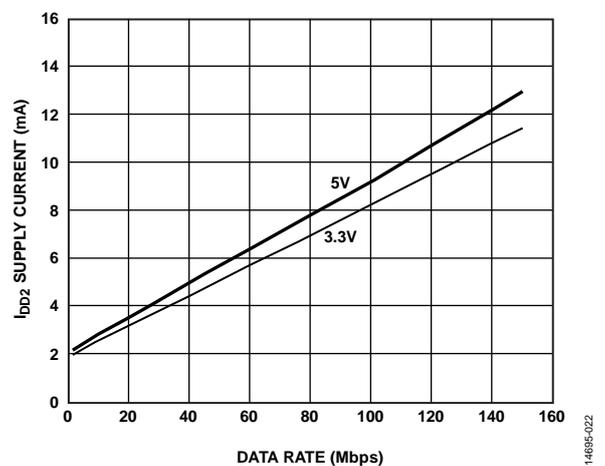


図 22. データ・レート 対 ADuM5410 の V_{DD2} 電源電流 (I_{DD2})、5 V および 3.3 V 動作時

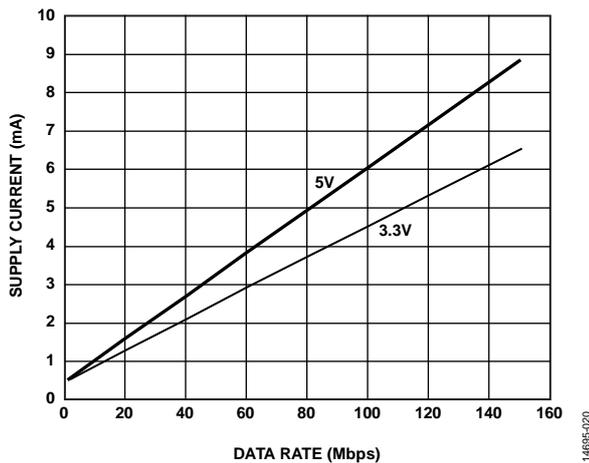


図 20. データ・レート 対 出力チャンネルあたりの電源電流、5 V および 3.3 V 動作時、15 pF の出力負荷を接続

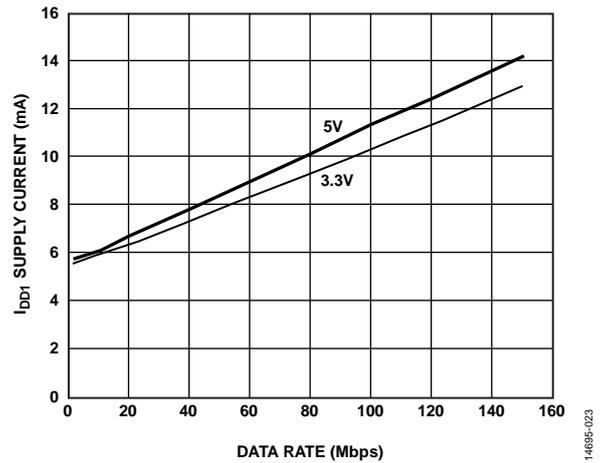


図 23. データ・レート 対 ADuM5411 の V_{DD1} 電源電流 (I_{DD1})、5 V および 3.3 V 動作時

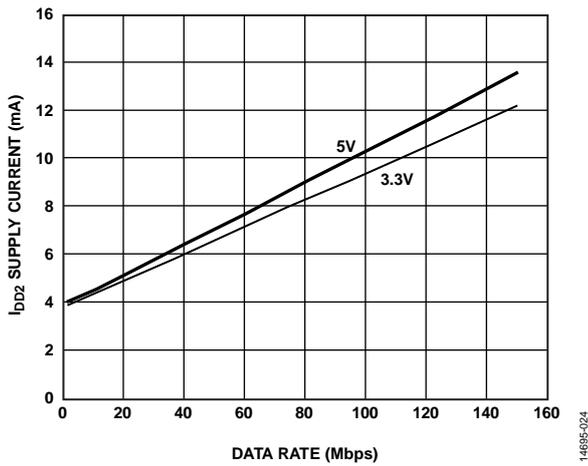


図 24. データ・レート対 ADuM5411 の V_{DD2} 電源電流 (I_{DD2})、5 V および 3.3 V 動作時

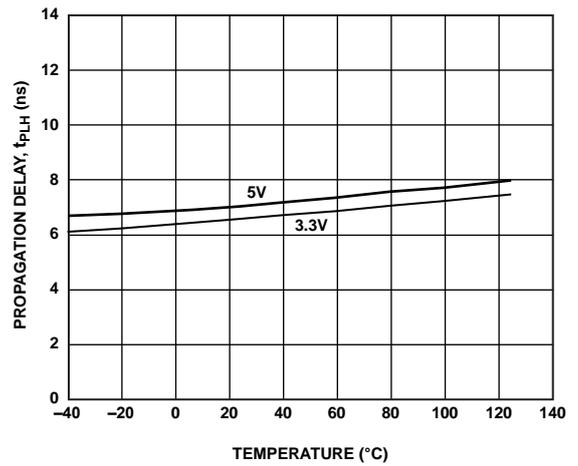


図 27. 温度対伝播遅延 t_{PLH} 、5 V および 3.3 V 動作時

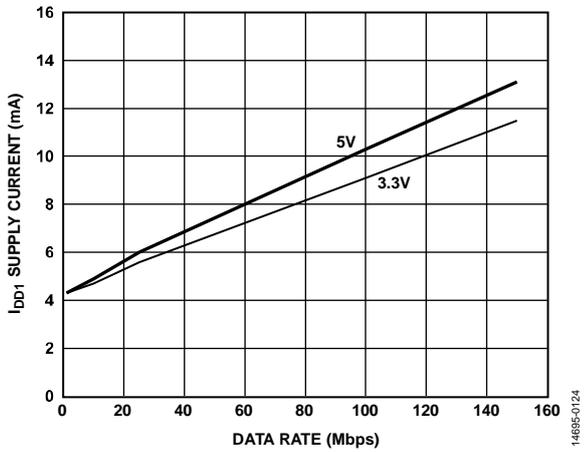


図 25. データ・レート対 ADuM5412 の V_{DD1} 電源電流 (I_{DD1})、5 V および 3.3 V 動作時

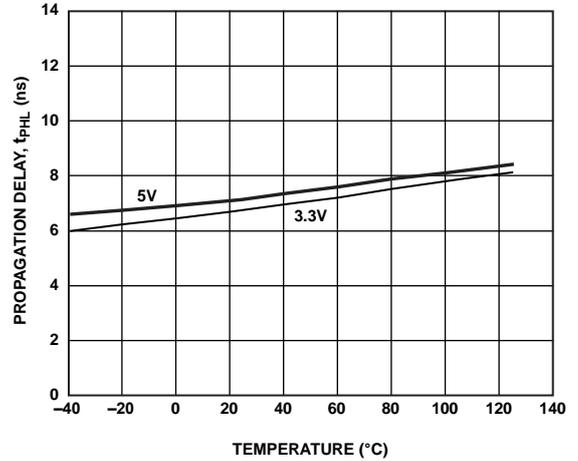


図 28. 温度対伝播遅延 t_{PHL} 、5 V および 3.3 V 動作時

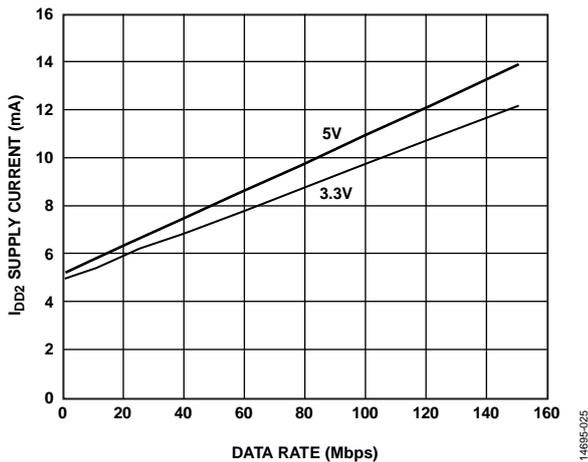


図 26. データ・レート対 ADuM5412 の V_{DD2} 電源電流 (I_{DD2})、5 V および 3.3 V 動作時

用語の定義

I_{DD1 (Q)}

I_{DD1 (Q)} は、V_{ISO} に外部負荷が接続されていなくて、入力／出力ピンが 2 Mbps 未満で動作している時に V_{DD1} ピンに流れる最小動作電流で、追加的な動的電源電流は不要です。I_{DD1 (Q)} は最小電流動作状態を反映します。

I_{DD1 (D)}

I_{DD1 (D)} は、すべてのチャンネルをフル容量負荷と 33 Mbps の最大データ・レートで同時にドライブした時の入力電源電流の代表値で、最大動的負荷状態を表します。出力の抵抗性負荷は、動的負荷とは別に扱ってください。

I_{DD1 (MAX)}

I_{DD1 (MAX)} は、動的負荷と V_{ISO} 負荷をフルにかけた状態での入力電流です。

I_{SO (LOAD)}

I_{SO (LOAD)} は負荷に使用できる電流です。

伝播遅延、t_{PHL}

伝播遅延 t_{PHL} は、V_{IX} 信号の立下りエッジの 50 % レベルから、V_{Ox} 信号の立下りエッジの 50 % レベルまでの間で測定されます。

伝播遅延、t_{PLH}

伝播遅延 t_{PLH} は、V_{IX} 信号の立上りエッジの 50 % レベルから、V_{Ox} 信号の立上りエッジの 50 % レベルまでの間で計測されます。

伝播遅延スキュー、t_{PSK}

t_{PSK} は、推奨動作条件内の同一の動作温度、電源電圧、出力負荷において、複数のユニットで測定した t_{PHL} および／または t_{PLH} の最悪時の差の大きさです。

チャンネル間マッチング、t_{PSKCD}/t_{PSKOD}

チャンネル間マッチングは、2つのチャンネルを同じ負荷で動作させた場合の伝播遅延差の絶対値です。

最小パルス幅

最小パルス幅は、仕様規定されたパルス幅歪みが保証される最小のパルス幅です。

最大データ・レート

最大データ・レートは、仕様規定されたパルス幅歪みが保証される最大のデータ・レートです。

動作原理

ADuM5410/ADuM5411/ADuM5412 の DC/DC コンバータの部分は、最近のほとんどの電源に共通する原理に基づいて動作します。このデバイスは、絶縁型 PWM 帰還を備えたスプリット・コントローラ・アーキテクチャを採用しています。V_{DDP} 電源は、チップスケール空芯トランスへの電流を切り替える発振回路に供給されます。2 次側に伝送される電力は整流され、外付け分圧器による設定点に従って、3.15 V ~ 5.25 V に安定化されます (式 1 を参照)。2 次 (V_{ISO}) 側のコントローラは、PWM 制御信号を生成することによって出力を安定化しますが、この制御信号は専用の iCoupler データ・チャンネルによって 1 次 (V_{DDP}) 側へ送られます。PWM は、2 次側に送る電力を制御するために発振回路を変調します。帰還により、極めて高い電力と効率が可能になります。

$$V_{ISO} = 1.225 V \frac{(R1 + R2)}{R1} \quad (1)$$

ここで、

R1 は V_{SEL} と GND_{ISO} 間の抵抗、
R2 は V_{SEL} と V_{ISO} 間の抵抗です。

出力電圧は連続的に調整できるので、動作条件は無数に存在します。このデータシートでは、「仕様」のセクションに示す 3 つの異なる動作条件を扱います。その他にも、多くの入力電圧と出力電圧の組み合わせが可能です。室温で使用できる電圧の組み合わせを図 15 に示します。図 15 は、V_{ISO} 負荷を固定して、PWM が 80 % デューティ・サイクルになるまで入力電圧を減少させて作成しました。各曲線は、この基準でデバイスを動作させるのに必要な最小入力電圧を表しています。例えば、アプリケーションが 5 V で 30mA の出力電流を必要とする場合、V_{DDP} の最小入力電圧は 4.25 V です。図 15 は、V_{DDP} = 3.3 V 入力、V_{ISO} = 5 V の構成がなぜ推奨できないかも示しています。10 mA の出力電流であっても PWM は 80 % 未満のデューティ・フ

クタを維持できず、負荷や温度の変動に対応するマージンが無くなってしまいます。

通常、ADuM5410/ADuM5411/ADuM5412 は室温と最大温度の間で約 17 % 余分に電力を消費するので、20 % の PWM マージンが温度変動をカバーします。

ADuM5410/ADuM5411/ADuM5412 は、1 次側と 2 次側の入力/出力ピンと V_{DDP} 電源入力に、ヒステリシスを備えた低電圧ロックアウト (UVLO) を実装しています。この機能は、ノイズの多い入力電源や、遅いパワーオン・ランプ・レートによってコンバータが発振しないようにします。

デジタル・アイソレータ・チャンネルは、複数のポリイミド絶縁層で分離された iCoupler チップスケール・トランス・コイルを使用した絶縁バリアをまたいでデータを転送するのに、高周波搬送波を使用します。オンオフ・キーイング (OOK) 方式と、図 29 に示す差動構造を使用して、デジタル・アイソレータ・チャンネルは極めて低い伝搬遅延と高い速度を実現しています。また、内蔵レギュレータと入出力設計手法により、1.7 V ~ 5.5 V の幅広いロジック電圧と電源電圧に対応でき、1.8 V、2.5 V、3.3 V、および 5 V ロジックの電圧変換機能を実現します。このアーキテクチャは、高いコモンモード過渡耐圧、および電氣的ノイズ/電磁干渉に対して高い耐性を発揮するように設計されています。放射妨害波は、スペクトラム拡散 OOK 搬送波その他の手法によって最小限に抑えられています。

デジタル・アイソレータ・チャンネルの波形を図 29 に示します。このチャンネルはフェイルセーフ出力状態の条件がロー・レベルで、入力状態がロー・レベルになると搬送波の波形がオフになります。入力側がオフの場合や動作していない場合は、ロー・レベルのフェイルセーフ出力状態により、出力がロー・レベルに設定されます。

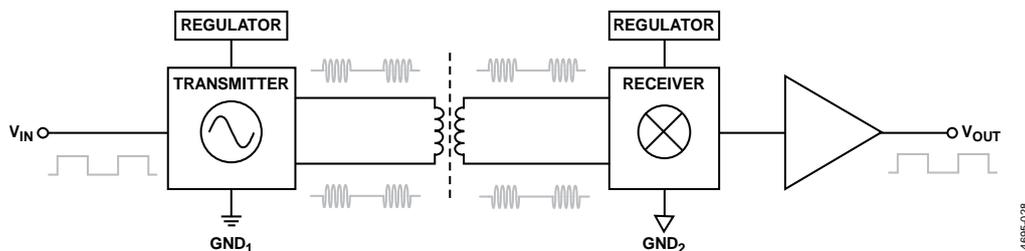


図 29. フェイルセーフ出力状態がロー・レベルの 1 チャンネルの動作ブロック図

アプリケーション情報

PCB レイアウト

0.15 W *isoPower* 内蔵の DC/DC コンバータを組み込んだ ADuM5410/ADuM5411/ADuM5412 デジタル・アイソレータに、ロジック・インターフェース用の外部インターフェース回路は不要です。入力および出力電源ピンには、電源バイパス・コンデンサを接続する必要があります (図 32 参照)。データ・チャンネルを正しく動作させるには、 V_{DD1} ピンと GND_1 ピンの間、および V_{DD2} ピンと GND_{ISO} ピンの間の、チップ・パッドにできるだけ近い位置に、容量が $0.01 \mu\text{F} \sim 0.1 \mu\text{F}$ の低 ESR バイパス・コンデンサを接続する必要があります。電源を効果的にバイパスするには、*isoPower* 入力にいくつかの受動部品を接続するとともに、出力電圧を設定してコア電圧レギュレータをバイパスする必要があります (図 30 ~ 32 を参照)。

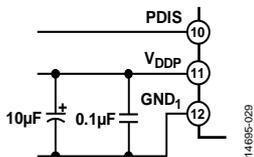


図 30. V_{DDP} のバイアスおよびバイパス用部品

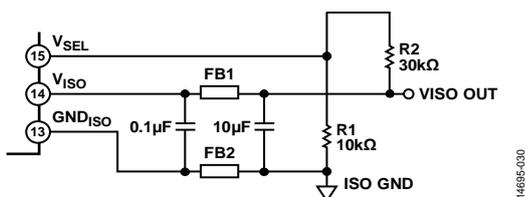


図 31. V_{ISO} のバイアスおよびバイパス用部品

ADuM5410/ADuM5411/ADuM5412 の電源部分は、チップ・スケール・トランスを通して効率的に電力を伝えるために、125 MHz の発振器周波数を使用しています。いくつかの動作周波数ではバイパス・コンデンサが必要です。ノイズ抑制には低インダクタンスの高周波コンデンサが必要で、リップル抑制や適切な安定化には大容量のコンデンサが必要です。これらのコンデンサの最も便利な接続位置は、 V_{DDP} ピンと GND_1 ピンの間、および V_{ISO} ピンと GND_{ISO} ピンの間です。ノイズとリップルを抑制するときは、少なくとも 2 個のコンデンサの並列組み合わせが必要です。 V_{DD1} 用の推奨コンデンサ容量は $0.1 \mu\text{F}$ と $10 \mu\text{F}$ です。小さい方のコンデンサは低 ESR でなければなりません。例えば、セラミック・コンデンサの使用を推奨します。低 ESR コンデンサの両端と入力電源ピンの間の合計リード長は 2 mm を超えないようにしてください。バイパス・コンデンサを 2 mm より長いパターンで設置すると、データ破損を生じることがあります。

電磁放射レベルを下げるために、 V_{ISO} ピンと GND_{ISO} ピンの間、および PCB トレース接続の間の高周波電流に対するインピーダンスを大きくすることができます。この EMI 抑制方法を使用する場合は、図 32 に示すように、 V_{ISO} ピンおよび GND_{ISO} ピンと直列に表面実装フェライト・ビーズを配置することによって、放射信号をその発生源で制御します。125 MHz の 1 次側スイッチング周波数と、250 MHz の 2 次側整流周波数および高調波の放射を減らすには、インピーダンスが 100 MHz ~ 1 GHz の周波数範囲で約 $2 \text{ k}\Omega$ となるようなフェライト・ビーズを選択します。適切な表面実装フェライト・ビーズの例については、表 33 を参照してください。放射量をさらに減らすには、高電圧 SMT 安全コンデンサを使って PCB スティッチング容量を実装することができます。最適性能を実現するには、図 32 に示すように、 GND_1 (ピン 12) と GND_{ISO} (ピン 13) の間にコンデンサを直接接続することが重要です。このコンデンサは SMT サイズ 1812、電圧定格 3 kV で、TDK 製です (C4532C0G3F101K160KA)。

表 33. 表面実装フェライト・ビーズの例

Manufacturer	Part No.
Taiyo Yuden	BKH1005LM182-T
Murata Electronics	BLM15HD182SN1

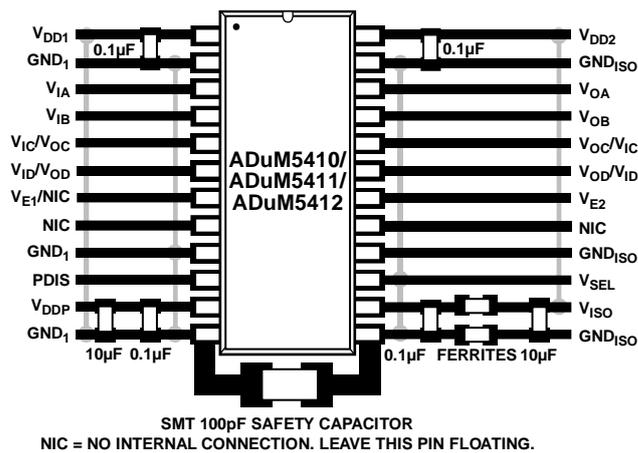


図 32. 推奨プリント回路基板 (PCB) レイアウト

高いコモンモード過渡電圧が発生するアプリケーションでは、絶縁バリアをまたぐボード結合を最小限に抑えてください。さらに、すべての結合がデバイス側のすべてのピンで等しく生じるように基板レイアウトを設計する必要があります。これらの手順に従わないと、ピン間で生じる電位差が表 26 に定める絶対最大定格を超えてしまい、ラッチアップまたは恒久的な損傷が発生することがあります。

熱解析

ADuM5410/ADuM5411/ADuM5412 は、2 個のダイ・アタッチ・パッドを持つ 1 個のスプリット・リードフレームに取り付けられた、4 個の内部ダイで構成されています。熱解析ではダイを 1 つのサーマル・ユニットとして扱い、最高接合部温度には表 21 の θ_{JA} の値を反映させます。 θ_{JA} の値は、細いパターンを使った JEDEC 規格の 4 層ボードにデバイスを実装し、自然空冷で測定した値に基づいています。通常動作条件下では、ADuM5410/ADuM5411/ADuM5412 は、フル負荷、フル温度範囲で出力電流の低下なしに動作します。

伝搬遅延に関するパラメータ

伝搬遅延時間は、ロジック信号がデバイスを通るのに要する時間を表すパラメータです (図 33 参照)。ロジック・ロー出力への伝搬遅延は、ロジック・ハイ出力への伝搬遅延と異なる場合があります。

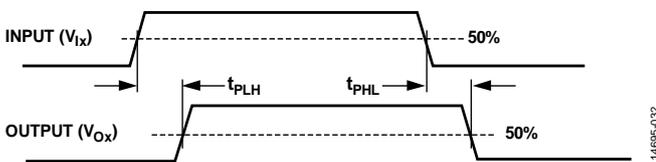


図 33. 伝搬遅延パラメータ

パルス幅歪みは、これら 2 つの伝搬遅延値の最大差で、入力信号のタイミングがどれだけ正確に保たれるかを表します。

チャンネル間マッチングは、1 つの

ADuM5410/ADuM5411/ADuM5412 コンポーネント内にある複数のチャンネル間の伝播遅延差の最大値です。

伝播遅延スキューは、同じ条件下で動作する複数の ADuM5410/ADuM5411/ADuM5412 コンポーネント間での伝播遅延差の最大値です。

EMI に関する考慮事項

ADuM5410/ADuM5411/ADuM5412 デバイスの DC/DC コンバータ部分は、小型トランス経由で効率良く電力を伝送するために、当然非常に高い周波数で動作する必要があります。このため高周波電流が発生して、これが回路ボードのグラウンド・プレーンと電力プレーンへ伝搬し、エッジ放射とダイポール放射を生じることがあります。これらのデバイスを使用するアプリケーションでは、接地された筐体を推奨します。筐体を接地できない場合は、PCB のレイアウト時に適切な RF 設計事例に従います。「PC ボードのレイアウト」のセクションに示すレイアウト手法に従ってください。ADuM5410/ADuM5411/ADuM5412 の PCB ボード・レイアウトの最新の推奨事項については、アプリケーション・ノート AN-0971 を参照してください。

消費電力

V_{DDP} 電源入力、コンバータにだけ電源を供給します。データ・チャンネル用の電源は、 V_{DD1} と V_{DD2} を介して供給されます。これらの電源は、必要に応じて V_{DDP} と V_{ISO} に接続できます。あるいは、独立した電源から電力を受け取ることもできます。コンバータは、設計者の自由裁量で利用できるスタンドアロン電源として扱ってください。

ADuM5410/ADuM5411/ADuM5412 アイソレータの特定のチャンネルの V_{DD1} または V_{DD2} 電源電流は、電源電圧、そのチャンネルのデータ・レート、およびそのチャンネルの出力負荷の関数です。

V_{DD1} と V_{DD2} の合計供給電流を求めるには、 V_{DD1} と V_{DD2} に対応する各入出力チャンネルの供給電流を求めて合算します。図 18 ~ 図 19 に、チャンネル当たりの供給電流を無負荷出力条件のデータ・レートの関数として示します。また、図 20 に、チャンネル当たりの供給電流を、15 pF 出力条件時のデータ・レートの関数として示します。図 21 ~ 図 26 には、 V_{DD1} および V_{DD2} 電源電流の合計値を、ADuM5410/ADuM5411/ADuM5412 を各種のチャンネル構成で使用した時のデータ・レートの関数として示します。

絶縁寿命

すべての絶縁構造は、長時間電圧ストレスを受けると最終的に劣化します。絶縁性能の低下率は、絶縁の両端に加える電圧波形の特性だけでなく、材料や材料の境界面に依存します。

主に問題となる 2 種類の絶縁劣化は、空気にさらされる表面の破損と絶縁疲労です。表面の破損は表面トラッキング現象で、システム・レベルの規格に定められた沿面距離条件を決定する主要な要素となります。絶縁疲労とは、チャージ・インジェクションまたは絶縁材料内部の変位電流により、長期的に絶縁が低下する現象です。

表面トラッキング

表面トラッキングは電気安全規格に規定されており、動作電圧、環境条件、絶縁材料の特性に基づいて最小沿面距離を定めることによって決定されます。安全性規制当局は、部品の表面絶縁について特性評価テストを行い、部品をさまざまな材料グループに分類します。材料グループ等級が低いものほど表面トラッキングに対する耐性が高いため、小さい沿面距離で十分に長い寿命を実現できます。与えられた動作電圧と材料グループに対する最小沿面距離は各システム・レベル規格内にあり、これは絶縁をまたぐ合計 rms 電圧、汚染度、材料グループに基づいています。このデジタル・アイソレータの材料グループと沿面距離を表 23 に示します。

絶縁疲労

疲労による絶縁寿命は、厚さ、材料特性、加わる電圧ストレスによって決まります。アプリケーション動作電圧での製品寿命が十分であると確認することが重要です。アイソレータが疲労に関して対応している動作電圧は、トラッキングに関して対応している動作電圧と異なることがあります。トラッキングに該当する動作電圧は、ほとんどの規格で規定されています。

長期的な性能低下の主な原因はポリイミド絶縁体内の変位電流であることがテストやモデルで分かっており、損傷は時間とともに大きくなります。絶縁体のストレスは、DC ストレスと、AC 成分の時間とともに変化する電圧ストレスに大別できます。前者は変位電流が存在しないため、わずかな疲労しか発生しませんが、後者は疲労を発生します。

通常、認定ドキュメントに記載されている定格は、60 Hz の正弦波ストレスに基づいています。このストレスがライン電圧からの絶縁を反映しているためです。ただし、多くの実用的なアプリケーションでは、60 Hz の AC とバリアをまたぐ DC が組み合わされています（式 1 を参照）。ストレスの AC 部分のみが疲労を発生するため、AC rms 電圧を求めるように式を変形することができます（式 2 を参照）。これらの製品で使用されるポリイミド材料での絶縁疲労については、AC rms 電圧で製品寿命が決まります。

$$V_{RMS} = \sqrt{V_{AC\ RMS}^2 + V_{DC}^2} \quad (1)$$

または

$$V_{AC\ RMS} = \sqrt{V_{RMS}^2 - V_{DC}^2} \quad (2)$$

ここで、

$V_{AC\ RMS}$ は、動作電圧の時間とともに変化する部分。

V_{RMS} は、合計 rms 動作電圧。

V_{DC} は、動作電圧の DC オフセット。

計算とパラメータ使用の例

次の例は、一般的な電力変換アプリケーションの例です。絶縁バリアの一方に 240 V AC rms のライン電圧、もう一方に 400 V dc のバス電圧が存在するとします。アイソレータの材料はポリイミドです。デバイスの沿面距離、クリアランス、および寿命を求める際のクリティカル電圧を決めるには、図 34 と以下の式を参照してください。

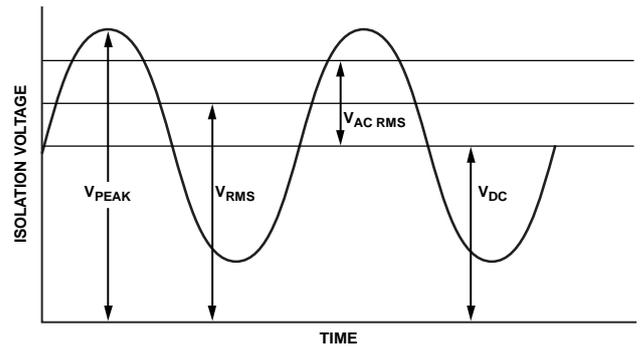


図 34.クリティカル電圧の例

式 1 のバリアをまたぐ動作電圧は以下ようになります。

$$V_{RMS} = \sqrt{V_{AC\ RMS}^2 + V_{DC}^2}$$

$$V_{RMS} = \sqrt{240^2 + 400^2}$$

$$V_{RMS} = 466 \text{ V}$$

この V_{RMS} は、システムの規格で要求されている沿面距離を求める際に材料グループおよび汚染度と組み合わせて使用する動作電圧です。

寿命が十分であるかどうか判断するには、動作電圧の時間とともに変化する部分を求めます。AC rms 電圧は式 2 を使って求めます。

$$V_{AC\ RMS} = \sqrt{V_{RMS}^2 - V_{DC}^2}$$

$$V_{AC\ RMS} = \sqrt{466^2 - 400^2}$$

$$V_{AC\ RMS} = 240 \text{ V rms}$$

この場合、AC rms 電圧は 240 V rms のライン電圧です。この計算は、波形が正弦波でない場合はさらに正確なものとなります。60 Hz 未満の正弦波に対する寿命を予測するために、この値を表 27 に示す動作電圧の制限値と比較すると、50 年のサービス寿命に対する制限値の範囲内に十分入っています。

DC 動作電圧の制限値は、IEC 60664-1 で規定されているパッケージの沿面距離によって定められています。この値は、特定のシステム・レベル規格とは異なる場合があります。

外形寸法

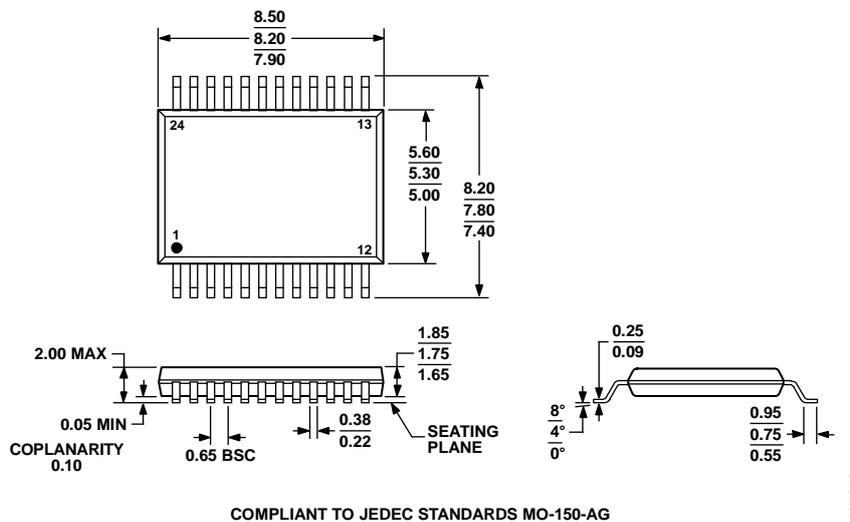


図 35. 24 ピンシュリンク・スモール・アウトライン・パッケージ [SSOP] (RS-24) 寸法 (ミリ単位)

オーダー・ガイド

Model ¹	Number of Inputs, V _{DD1} Side	Number of Inputs, V _{ISO} Side	Maximum Data Rate (Mbps)	Maximum Propagation Delay, 5 V (ns)	Maximum Pulse Width Distortion (ns)	Temperature Range (°C)	Package Description	Package Option
ADuM5410BRSZ	4	0	150	13	3	-40 to +105	24-Lead SSOP	RS-24
ADuM5410BRSZ-RL7	4	0	150	13	3	-40 to +105	24-Lead SSOP	RS-24
ADuM5411BRSZ	3	1	150	13	3	-40 to +105	24-Lead SSOP	RS-24
ADuM5411BRSZ-RL7	3	1	150	13	3	-40 to +105	24-Lead SSOP	RS-24
ADuM5412BRSZ	2	2	150	13	3	-40 to +105	24-Lead SSOP	RS-24
ADuM5412BRSZ-RL7	2	2	150	13	3	-40 to +105	24-Lead SSOP	RS-24
EVAL-ADuM5411EBZ							Evaluation Board ²	
EVAL-ADuM5411UEBZ							Evaluation Board ³	

¹ Z = RoHS 準拠製品。

² EVAL-ADuM5411EBZ は、ADuM5411BRSZ を取り付けた状態でパッケージされています。

³ EVAL-ADuM5411UEBZ は、ADuM5411 を取り付けていない状態でパッケージされています。