

### 特長

- isoPower 内蔵の絶縁型 DC/DC コンバータ
- レギュレーション済み 3 V または 5 V を出力
- 出力電力: 最大 500 mW
- 2 チャンネルの DC~25 Mbps (NRZ) 信号アイソレーション
- シュミット・トリガ入力
- 沿面距離 8 mm 以上の 16 ピン SOIC パッケージを採用
- 高温動作: 最大 105°C
- 同相モード・トランジェント耐性: 25 kV/μs 以上
- 安全性規制の認定
- UL 認識済み
  - 2500 V rms、1 分間の UL 1577 規格に準拠
  - CSA Component Acceptance Notice #5A(申請中)
  - VDE 適合性認定(申請中)
  - DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12
  - $V_{IORM} = 560 \text{ V peak}$

### アプリケーション

- RS-232/RS-422/RS-485 トランシーバ
- 工業用フィールド・バス・アイソレーション
- 電源スタートアップとゲート駆動
- 絶縁型センサー・インターフェース
- 工業用 PLC

### 概要

ADuM520x<sup>1</sup> デバイスは、絶縁型 DC/DC コンバータ isoPower<sup>®</sup> を内蔵する 2 チャンネル・デジタル・アイソレータです。アナログ・デバイセズの iCoupler<sup>®</sup> 技術を採用したこの DC/DC コンバータは、5.0 V 入力電圧 / 5.0 V 出力電圧で最大 500 mW または 3.3 V 入力電圧 / 3.3 V 出力電圧で最大 200 mW の絶縁されたレギュレーション済み電力を供給します。これにより、低消費電力の絶縁型デザインで別々の絶縁型 DC/DC コンバータが不要になります。アナログ・デバイセズのチップ・スケールのトランス iCoupler(r) 技術が、ロジック信号および DC/DC コンバータのアイソレーションに使われています。これにより、小型の総合アイソレーション・ソリューションが実現されています。

<sup>1</sup> 米国特許 5,952,849、6,873,065、6,903,578、7,075,329 により保護されています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。  
©2008 Analog Devices, Inc. All rights reserved.

Rev. 0

### 機能ブロック図

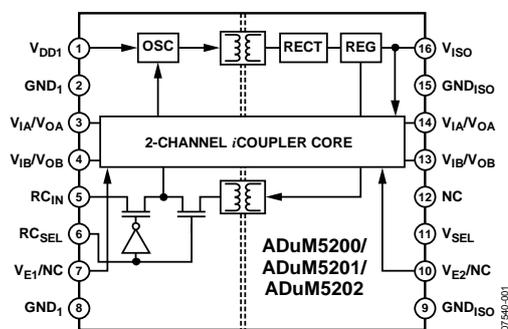


図 1.

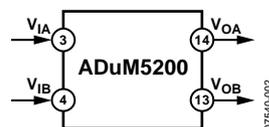


図 2. ADuM5200

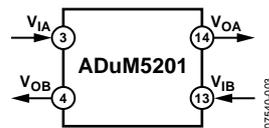


図 3. ADuM5201

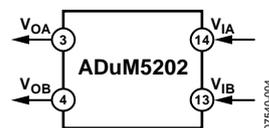


図 4. ADuM5202

ADuM520x ユニットの ADuM5401、ADuM5402、ADuM5403、ADuM5404、isoPower<sup>®</sup> 内蔵の ADuM5000 と組み合わせると、出力電力レベルを高くし、チャンネル数を増やすことができます (有効電力の増加のセクション参照)。

ADuM520x アイソレータは、2 チャンネルの独立なアイソレーション・チャンネルを様々なチャンネル構成とデータレートで提供します (オプションについてはオーダー・ガイド参照)。

isoPower では、トランスを介して電力を転送するために、高周波スイッチング素子を使っています。プリント回路ボード (PCB) のレイアウトでは、ノイズ放出規格を満たすように特別な注意が必要です。ボード・レイアウトの詳細については、[AN-0971 アプリケーション・ノート](#) を参照してください。

## 目次

特長.....	1	代表的な性能特性.....	15
アプリケーション.....	1	用語.....	17
機能ブロック図.....	1	アプリケーション情報.....	18
概要.....	1	PCB レイアウト.....	18
改訂履歴.....	2	EMI の注意事項.....	18
仕様.....	3	伝搬遅延パラメータ.....	19
電気的特性—5 V 1 次入力電源/5 V 2 次絶縁型電源.....	3	DC 精度と磁界耐性.....	19
電気的特性—3.3 V 1 次入力電源/3.3 V 2 次絶縁型電源.....	5	消費電力.....	20
パッケージ特性.....	7	電流制限および熱過負荷保護.....	20
適用規格.....	7	消費電力について.....	21
絶縁および安全性関連の仕様.....	7	熱解析.....	21
DIN V VDE V 0884-10 (VDE V 0884-10)絶縁特性.....	8	有効電力の増加.....	21
推奨動作条件.....	9	絶縁寿命.....	22
絶対最大定格.....	10	外形寸法.....	23
ESD の注意.....	10	オーダー・ガイド.....	23
ピン配置およびピン機能説明.....	11		

## 改訂履歴

10/08—Revision 0: Initial Version

## 仕様

## 電气的特性—5 V 1 次入力電源/5 V 2 次絶縁型電源

4.5 V ≤ V<sub>DD1</sub> ≤ 5.5 V、V<sub>SEL</sub> = V<sub>ISO</sub>、各電圧は対応するグラウンドを基準とします。特に指定がない限り、すべての最小/最大仕様は推奨動作範囲に適用。すべてのtyp仕様は、T<sub>A</sub> = 25 °C、V<sub>DD</sub> = 5.0 V、V<sub>ISO</sub> = 5.0 V、V<sub>SEL</sub> = V<sub>ISO</sub>での値です。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
<b>DC-TO-DC CONVERTER POWER SUPPLY</b>						
Setpoint	V <sub>ISO</sub>	4.7	5.0	5.4	V	I <sub>ISO</sub> = 0 mA
Line Regulation	V <sub>ISO(LINE)</sub>		1		mV/V	I <sub>ISO</sub> = 50 mA, V <sub>DD1</sub> = 4.5 V to 5.5 V
Load Regulation	V <sub>ISO(LOAD)</sub>		1	5	%	I <sub>ISO</sub> = 10 mA to 90 mA
Output Ripple	V <sub>ISO(RIP)</sub>		75		mV p-p	20 MHz bandwidth, C <sub>BO</sub> = 0.1 μF  10 μF, I <sub>ISO</sub> = 90 mA
Output Noise	V <sub>ISO(N)</sub>		200		mV p-p	C <sub>BO</sub> = 0.1 μF  10 μF, I <sub>ISO</sub> = 90 mA
Switching Frequency	f <sub>OSC</sub>		180		MHz	
Pulse-Width Modulation Frequency	f <sub>PWM</sub>		625		kHz	
<b>DC-to-2 Mbps Data Rate<sup>1</sup></b>						
Maximum Output Supply Current <sup>2</sup>	I <sub>ISO(MAX)</sub>	100			mA	V <sub>ISO</sub> > 4.5 V, dc to 1 MHz logic signal frequency
Efficiency @ Maximum Output Supply Current <sup>3</sup>			34		%	I <sub>ISO</sub> = 100 mA, dc to 1 MHz logic signal frequency
I <sub>DD1</sub> Supply Current, No V <sub>ISO</sub> Load	I <sub>DD1(Q)</sub>		8	22	mA	I <sub>ISO</sub> = 0 mA, dc to 1 MHz logic signal frequency
<b>25 Mbps Data Rate (CRWZ Grade Only)</b>						
I <sub>DD1</sub> Supply Current, No V <sub>ISO</sub> Load						
ADuM5200	I <sub>DD1(D)</sub>		34		mA	I <sub>ISO</sub> = 0 mA, C <sub>L</sub> = 15 pF, 12.5 MHz logic signal frequency
ADuM5201	I <sub>DD1(D)</sub>		38		mA	I <sub>ISO</sub> = 0 mA, C <sub>L</sub> = 15 pF, 12.5 MHz logic signal frequency
ADuM5202	I <sub>DD1(D)</sub>		41		mA	I <sub>ISO</sub> = 0 mA, C <sub>L</sub> = 15 pF, 12.5 MHz logic signal frequency
Available V <sub>ISO</sub> Supply Current <sup>4</sup>						
ADuM5200	I <sub>ISO(LOAD)</sub>		94		mA	C <sub>L</sub> = 15 pF, 12.5 MHz logic signal frequency
ADuM5201	I <sub>ISO(LOAD)</sub>		92		mA	C <sub>L</sub> = 15 pF, 12.5 MHz logic signal frequency
ADuM5202	I <sub>ISO(LOAD)</sub>		90		mA	C <sub>L</sub> = 15 pF, 12.5 MHz logic signal frequency
I <sub>DD1</sub> Supply Current, Full V <sub>ISO</sub> Load <sup>5</sup>	I <sub>DD1(MAX)</sub>		290		mA	C <sub>L</sub> = 0 pF, dc to 1 MHz logic signal frequency, V <sub>DD</sub> = 4.5 V, I <sub>ISO</sub> = 100 mA
<b>Undervoltage Lockout, V<sub>DD1</sub> and V<sub>ISO</sub> Supply<sup>6</sup></b>						
Positive Going Threshold	V <sub>UV+</sub>		2.7		V	
Negative Going Threshold	V <sub>UV-</sub>		2.4		V	
Hysteresis	V <sub>UVH</sub>		0.3		V	
<b>iCoupler DATA CHANNELS</b>						
I/O Input Currents	I <sub>IA</sub> , I <sub>IB</sub>	-20	+0.01	+20	μA	
Logic High Input Threshold	V <sub>IH</sub>	0.7 × V <sub>ISO</sub> , 0.7 × V <sub>DD1</sub>			V	
Logic Low Input Threshold	V <sub>IL</sub>			0.3 × V <sub>ISO</sub> , 0.3 × V <sub>DD1</sub>	V	
<b>Logic High Output Voltages</b>						
	V <sub>OAH</sub> , V <sub>OBH</sub>	V <sub>DD1</sub> - 0.3, V <sub>ISO</sub> - 0.3	5.0		V	I <sub>Ox</sub> = -20 μA, V <sub>Ix</sub> = V <sub>IxH</sub>
	V <sub>OAH</sub> , V <sub>OBH</sub>	V <sub>DD1</sub> - 0.5, V <sub>ISO</sub> - 0.5	4.8		V	I <sub>Ox</sub> = -4 mA, V <sub>Ix</sub> = V <sub>IxH</sub>
<b>Logic Low Output Voltages</b>						
	V <sub>OAL</sub> , V <sub>OBL</sub>		0.0	0.1	V	I <sub>Ox</sub> = 20 μA, V <sub>Ix</sub> = V <sub>IxL</sub>
	V <sub>OAL</sub> , V <sub>OBL</sub>		0.0	0.4	V	I <sub>Ox</sub> = 4 mA, V <sub>Ix</sub> = V <sub>IxL</sub>

# ADuM5200/ADuM5201/ADuM5202

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
<b>AC SPECIFICATIONS</b>						
ADuM520xARWZ <sup>7</sup>						
Minimum Pulse Width	PW			1000	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Maximum Data Rate		1			Mbps	C <sub>L</sub> = 15 pF, CMOS signal levels
Propagation Delay	t <sub>PHL</sub> , t <sub>PLH</sub>		55	100	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Pulse Width Distortion,  t <sub>PLH</sub> - t <sub>PHL</sub>	PWD			40	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Propagation Delay Skew	t <sub>PSK</sub>			50	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Channel-to-Channel Matching	t <sub>PSKCD</sub> , t <sub>PSKOD</sub>			50	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
ADuM520xCRWZ						
Minimum Pulse Width <sup>7</sup>	PW			40	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Maximum Data Rate		25			Mbps	C <sub>L</sub> = 15 pF, CMOS signal levels
Propagation Delay	t <sub>PHL</sub> , t <sub>PLH</sub>		45	60	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Pulse Width Distortion,  t <sub>PLH</sub> - t <sub>PHL</sub>	PWD			6	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Change vs. Temperature			5		ps/°C	C <sub>L</sub> = 15 pF, CMOS signal levels
Propagation Delay Skew	t <sub>PSK</sub>			15	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Channel-to-Channel Matching, Codirectional Channels	t <sub>PSKCD</sub>			6	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Channel-to-Channel Matching, Opposing-Directional Channels	t <sub>PSKOD</sub>			15	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
For All Models						
Output Rise/Fall Time (10% to 90%)	t <sub>r</sub> /t <sub>f</sub>		2.5		ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Common-Mode Transient Immunity at Logic High Output	CM <sub>H</sub>	25	35		kV/μs	V <sub>Ix</sub> = V <sub>DD</sub> or V <sub>ISO</sub> , V <sub>CM</sub> = 1000 V, transient magnitude = 800 V
Common-Mode Transient Immunity at Logic Low Output	CM <sub>L</sub>	25	35		kV/μs	V <sub>Ix</sub> = 0 V, V = 1000 V, transient magnitude = 800 V
Refresh Rate	f <sub>r</sub>		1.0		Mbps	

<sup>1</sup> 全4チャンネルの電源電流値の成分は、同一データレートでまとめてあります。

<sup>2</sup> V<sub>ISO</sub> 電源電流は、全データ・レートが2 Mbps 以下の場合外部用途に使用することができます。データ・レートが2 Mbps より高い場合、データ・レートに比例する追加電流がデータ I/O チャンネルに流れます。与えられたデータレートで動作する個々のチャンネル動作に対応する追加電源電流は、消費電力のセクションの説明に従って計算することができます。I/O チャンネルのダイナミック負荷は外部負荷として扱い、V<sub>ISO</sub> 電源枠に含める必要があります。

<sup>3</sup> データ・チャンネルの静止動作の電源要求は、電源セクションから分離できません。効率には、内部消費電力の一部として I/O チャンネルで消費される静止電力が含まれます。

<sup>4</sup> この電流は、V<sub>ISO</sub> ピンでの外部負荷の駆動に使用できます。最大ダイナミック負荷条件を表すフル容量負荷で、25 Mbps の最大データ・レートですべてのチャンネルが同時に駆動されます。最大データレート以下での使用可能な電源電流の計算については、消費電力のセクションを参照してください。

<sup>5</sup> I<sub>DD(MAX)</sub> は、フル・ダイナミック負荷条件かつフル V<sub>ISO</sub> 負荷条件での入力電流です。

<sup>6</sup> 対応する入力または出力の電源が基準スレッショールドを下回る場合、低電圧ロックアウト (UVLO) 機能が出力をロー・レベルに維持します。検出スレッショールドにヒステリシスを設けているため、発振が防止されてノイズに強くなります。

<sup>7</sup> 最小パルス幅は、規定のパルス幅歪みが保証される最小のパルス幅。

## 電气的特性—3.3 V 1 次入力電源/3.3 V 2 次絶縁型電源

3.0 V ≤ V<sub>DD1</sub> ≤ 3.6 V、V<sub>SEL</sub> = GND<sub>ISO</sub>、各電圧は対応するグラウンドを基準とします。特に指定がない限り、すべての最小/最大仕様は推奨動作範囲に適用。すべてのtyp仕様は、T<sub>A</sub> = 25 °C、V<sub>DD</sub> = 3.3 V、V<sub>ISO</sub> = 3.3 V、V<sub>SEL</sub> = GND<sub>ISO</sub>での値です。

表 2.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
<b>DC-TO-DC CONVERTER POWER SUPPLY</b>						
Setpoint	V <sub>ISO</sub>	3.13	3.3	3.37	V	I <sub>ISO</sub> = 0 mA
Line Regulation	V <sub>ISO(LINE)</sub>		1		mV/V	I <sub>ISO</sub> = 30 mA, V <sub>DD1</sub> = 3.0 V to 3.6 V
Load Regulation	V <sub>ISO(LOAD)</sub>		1	5	%	I <sub>ISO</sub> = 6 mA to 54 mA
Output Ripple	V <sub>ISO(RIP)</sub>		50		mV p-p	20 MHz bandwidth, C <sub>BO</sub> = 0.1 μF  10μF, I <sub>ISO</sub> = 54 mA
Output Noise	V <sub>ISO(N)</sub>		130		mV p-p	C <sub>BO</sub> = 0.1 μF  10μF, I <sub>ISO</sub> = 54 mA
Switching Frequency	f <sub>OSC</sub>		180		MHz	
Pulse-Width Modulation Frequency	f <sub>PWM</sub>		625		kHz	
DC to 2 Mbps Data Rate <sup>1</sup>						
Maximum Output Supply Current <sup>2</sup>	I <sub>ISO(MAX)</sub>	60			mA	V <sub>ISO</sub> > 3.0 V, dc to 1 MHz logic signal frequency
Efficiency @ Maximum Output Supply Current <sup>3</sup>			36		%	I <sub>ISO</sub> = 60 mA, dc to 1 MHz logic signal frequency
I <sub>DD1</sub> Supply Current, No V <sub>ISO</sub> load	I <sub>DD1(Q)</sub>		6	15	mA	I <sub>ISO</sub> = 0 mA, dc to 1 MHz logic signal frequency
I <sub>DD1</sub> Supply Current, Full V <sub>ISO</sub> load	I <sub>DD1(MAX)</sub>		175		mA	C <sub>L</sub> = 0 pF, f = 0 MHz, V <sub>DD</sub> = 3.3 V, I <sub>ISO</sub> = 60 mA
<b>25 Mbps Data Rate (CRWZ Grade Only)</b>						
I <sub>DD1</sub> Supply Current, No V <sub>ISO</sub> Load <sup>4</sup>						
ADuM5200	I <sub>DD1(D)</sub>		23		mA	I <sub>ISO</sub> = 0 mA, C <sub>L</sub> = 15 pF, 12.5 MHz logic signal frequency
ADuM5201	I <sub>DD1(D)</sub>		25		mA	I <sub>ISO</sub> = 0 mA, C <sub>L</sub> = 15 pF, 12.5 MHz logic signal frequency
ADuM5202	I <sub>DD1(D)</sub>		27		mA	I <sub>ISO</sub> = 0 mA, C <sub>L</sub> = 15 pF, 12.5 MHz logic signal frequency
Available V <sub>ISO</sub> Supply Current <sup>5</sup>						
ADuM5200	I <sub>ISO(LOAD)</sub>		56		mA	C <sub>L</sub> = 15 pF, 12.5 MHz logic signal frequency
ADuM5201	I <sub>ISO(LOAD)</sub>		55		mA	C <sub>L</sub> = 15 pF, 12.5 MHz logic signal frequency
ADuM5202	I <sub>ISO(LOAD)</sub>		54		mA	C <sub>L</sub> = 15 pF, 12.5 MHz logic signal frequency
<b>Undervoltage Lockout (UVLO), V<sub>DD1</sub> and V<sub>ISO</sub> Supply<sup>6</sup></b>						
Positive Going Threshold	V <sub>UV+</sub>		2.7		V	
Negative Going Threshold	V <sub>UV-</sub>		2.4		V	
Hysteresis	V <sub>UVH</sub>		0.3		V	
<b>iCoupler DATA CHANNELS</b>						
I/O Input Currents	I <sub>IA</sub> , I <sub>IB</sub>	-20	+0.01	+20	μA	
Logic High Input Threshold	V <sub>IH</sub>	0.7 × V <sub>ISO</sub> , 0.7 × V <sub>IDD1</sub>			V	
Logic Low Input Threshold	V <sub>IL</sub>			0.3 × V <sub>ISO</sub> , 0.3 × V <sub>IDD1</sub>	V	
Logic High Output Voltages	V <sub>OAH</sub> , V <sub>OBH</sub>	V <sub>DD1</sub> - 0.2, V <sub>ISO</sub> - 0.2	3.3		V	I <sub>Ox</sub> = -20 μA, V <sub>Ix</sub> = V <sub>IxH</sub>
	V <sub>OAH</sub> , V <sub>OBH</sub>	V <sub>DD1</sub> - 0.5, V <sub>ISO</sub> - 0.5	3.1		V	I <sub>Ox</sub> = -4 mA, V <sub>Ix</sub> = V <sub>IxH</sub>
Logic Low Output Voltages	V <sub>OAL</sub> , V <sub>OBL</sub>		0.0	0.1	V	I <sub>Ox</sub> = 20 μA, V <sub>Ix</sub> = V <sub>IxL</sub>
	V <sub>OAL</sub> , V <sub>OBL</sub>		0.0	0.4	V	I <sub>Ox</sub> = 4 mA, V <sub>Ix</sub> = V <sub>IxL</sub>

# ADuM5200/ADuM5201/ADuM5202

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
<b>AC SPECIFICATIONS</b>						
<b>ADuM520xARWZ</b>						
Minimum Pulse Width <sup>7</sup>	PW			1000	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Maximum Data Rate		1			Mbps	C <sub>L</sub> = 15 pF, CMOS signal levels
Propagation Delay	t <sub>PHL</sub> , t <sub>PLH</sub>		60	100	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Pulse Width Distortion,  t <sub>PLH</sub> - t <sub>PHL</sub>	PWD			40	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Propagation Delay Skew	t <sub>PSK</sub>			50	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Channel-to-Channel Matching	t <sub>PSKCD</sub> , t <sub>PSKOD</sub>			50	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
<b>ADuM520xCRWZ</b>						
Minimum Pulse Width <sup>7</sup>	PW			40	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Maximum Data Rate		25			Mbps	C <sub>L</sub> = 15 pF, CMOS signal levels
Propagation Delay	t <sub>PHL</sub> , t <sub>PLH</sub>		45	60	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Pulse Width Distortion,  t <sub>PLH</sub> - t <sub>PHL</sub>	PWD			6	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Change vs. Temperature			5		ps/°C	C <sub>L</sub> = 15 pF, CMOS signal levels
Propagation Delay Skew	t <sub>PSK</sub>			45	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Channel-to-Channel Matching, Codirectional Channels	t <sub>PSKCD</sub>			6	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Channel-to-Channel Matching, Opposing-Directional Channels	t <sub>PSKOD</sub>			15	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
<b>For All Models</b>						
Output Rise/Fall Time (10% to 90%)	t <sub>R</sub> /t <sub>F</sub>		2.5		ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Common-Mode Transient Immunity at Logic High Output	CM <sub>H</sub>	25	35		kV/μs	V <sub>Ix</sub> = V <sub>DD</sub> or V <sub>ISO</sub> , V <sub>CM</sub> = 1000 V, transient magnitude = 800 V
Common-Mode Transient Immunity at Logic Low Output	CM <sub>L</sub>	25	35		kV/μs	V <sub>Ix</sub> = 0 V, V = 1000 V, transient magnitude = 800 V
Refresh Rate	f <sub>r</sub>		1.0		Mbps	

<sup>1</sup> 全4チャンネルの電源電流値の成分は、同一データレートでまとめてあります。

<sup>2</sup> V<sub>ISO</sub> 電源電流は、全データ・レートが 2 Mbps 以下の場合外部用途に使用することができます。データ・レートが 2 Mbps より高い場合、データ・レートに比例する追加電流がデータ I/O チャンネルに流れます。与えられたデータレートで動作する個々のチャンネル動作に対応する追加電源電流は、消費電力のセクションの説明に従って計算することができます。I/O チャンネルのダイナミック負荷は外部負荷として扱い、V<sub>ISO</sub> 電源枠に含める必要があります。

<sup>3</sup> データ・チャンネルの静止動作の電源要求は、電源セクションから分離できません。効率には、内部消費電力の一部として I/O チャンネルで消費される静止電力が含まれます。

<sup>4</sup> I<sub>DD(D)</sub> は、最大ダイナミック負荷条件を表すフル容量負荷で、25 Mbps の最大データ・レートですべてのチャンネルが同時に駆動される場合の入力電源電流 (typ) です。出力の抵抗負荷はダイナミック負荷と分けて扱います。

<sup>5</sup> この電流は、V<sub>ISO</sub> ピンでの外部負荷の駆動に使用できます。最大ダイナミック負荷条件を表すフル容量負荷で、25 Mbps の最大データ・レートですべてのチャンネルが同時に駆動されます。最大データレート以下での使用可能な電源電流の計算については、消費電力のセクションを参照してください。

<sup>6</sup> 対応する入力または出力の電源が基準スレッシュホールドを下回る場合、低電圧ロックアウト (UVLO) 機能が出力をロー・レベルに維持します。検出スレッシュホールドにヒステリシスを設けているため、発振が防止されとノイズに強くなります。

<sup>7</sup> 最小パルス幅は、規定のパルス幅歪みが保証される最小のパルス幅。

## パッケージ特性

表 3.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
RESISTANCE AND CAPACITANCE						
Resistance (Input-to-Output) <sup>1</sup>	R <sub>I-O</sub>		10 <sup>12</sup>		Ω	f = 1 MHz  Thermocouple located at the center of the package underside; test conducted on a 4-layer board with thin traces <sup>3</sup>
Capacitance (Input-to-Output) <sup>1</sup>	C <sub>I-O</sub>		2.2		pF	
Input Capacitance <sup>2</sup>	C <sub>I</sub>		4.0		pF	
IC Junction to Ambient Thermal Resistance	θ <sub>JA</sub>		45		°C/W	
THERMAL SHUTDOWN						
Threshold	TS <sub>SD</sub>		150		°C	T <sub>J</sub> rising
Hysteresis	TS <sub>SD-HYS</sub>		20		°C	

<sup>1</sup> デバイスは 2 端子デバイスと見なします。すなわち、ピン 1～ピン 8 を相互に接続し、ピン 9～ピン 16 を相互に接続します。

<sup>2</sup> 入力容量は任意の入力データ・ピンとグラウンド間。

<sup>3</sup> 熱モデルの定義については消費電力についてのセクションを参照してください。

## 適用規格

ADuM5200/ADuM5201/ADuM5202 は、表 4 に記載する組織の認定を取得しています。特定のクロスアイソレーション波形と絶縁レベルに対する推奨最大動作電圧については、表 9 と絶縁寿命のセクションを参照してください。

表 4.

UL	CSA (Pending)	VDE (Pending)
Recognized under 1577 Component Recognition Program <sup>1</sup>	Approved under CSA Component Acceptance Notice #5A	Certified according to DIN V VDE V 0884-10 (VDE V 0884-10):2006-12 <sup>2</sup>
Single Protection 2500 V RMS Isolation Voltage	Reinforced insulation per CSA 60950-1-03 and IEC 60950-1, 400 V rms (566 V peak) maximum working voltage	Reinforced insulation, 560 V peak
File E214100	File 205078	File 2471900-4880-0001

<sup>1</sup> UL1577 に従い、絶縁テスト電圧 3,000 V rms 以上を 1 秒間加えて各 ADuM520x を確認テストします(リーク電流検出規定値 = 5μA)。

<sup>2</sup> DIN V VDE V 0884-10 に従い、各 ADuM520x に 1,050 V<sub>peak</sub> 以上の絶縁テスト電圧を 1 秒間加えることによりテストして保証されています(部分放電の検出規定値 = 5 pC)。(\*)マーク付のブランドは、DIN V VDE V 0884-10 認定製品を表します。

## 絶縁および安全性関連の仕様

表 5.

Parameter	Symbol	Value	Unit	Conditions
Rated Dielectric Insulation Voltage		2500	V rms	1-minute duration
Minimum External Air Gap (Clearance)	L(I01)	>8 min	mm	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (Creepage)	L(I02)	>8 min	mm	Measured from input terminals to output terminals, shortest distance path along body
Minimum Internal Gap (Internal Clearance)		0.017 min	mm	Distance through the insulation
Tracking Resistance (Comparative Tracking Index)	CTI	>175	V	DIN IEC 112/VDE 0303 Part 1
Isolation Group		IIIa		Material group (DIN VDE 0110, 1/89, Table 1)

## DIN V VDE V 0884-10 (VDE V 0884-10)絶縁特性

これらのアイソレータは、安全性制限値データ以内でのみ強化された電氣的アイソレーションを満たします。安全性データの維持は、保護回路を使って確実にする必要があります。パッケージに(\*)マークが付いたブランドは、DIN V VDE V 0884-10 認定製品を表します。

表 6.

Description	Conditions	Symbol	Characteristic	Unit
Installation Classification per DIN VDE 0110 For Rated Mains Voltage $\leq 150$ V rms For Rated Mains Voltage $\leq 300$ V rms For Rated Mains Voltage $\leq 400$ V rms			I to IV I to III I to II	
Climatic Classification			40/105/21	
Pollution Degree per DIN VDE 0110, Table 1			2	
Maximum Working Insulation Voltage		$V_{IORM}$	560	V peak
Input-to-Output Test Voltage Method b1	$V_{IORM} \times 1.875 = V_{PR}$ , 100% production test, $t_m = 1$ sec, partial discharge $< 5$ pC	$V_{PR}$	1050	V peak
Method a After Environmental Tests Subgroup 1	$V_{IORM} \times 1.6 = V_{PR}$ , $t_m = 60$ sec, partial discharge $< 5$ pC	$V_{PR}$	896	V peak
After Input and/or Safety Test Subgroup 2 and Subgroup 3	$V_{IORM} \times 1.2 = V_{PR}$ , $t_m = 60$ sec, partial discharge $< 5$ pC		672	V peak
Highest Allowable Overvoltage	Transient overvoltage, $t_{TR} = 10$ sec	$V_{TR}$	4000	V peak
Safety-Limiting Values	Maximum value allowed in the event of a failure (see Figure 5)			
Case Temperature		$T_S$	150	$^{\circ}\text{C}$
Side 1 $I_{DD1}$ Current		$I_{S1}$	555	mA
Insulation Resistance at $T_S$	$V_{IO} = 500$ V	$R_S$	$>10^9$	$\Omega$

## 温度ディレーティング・カーブ

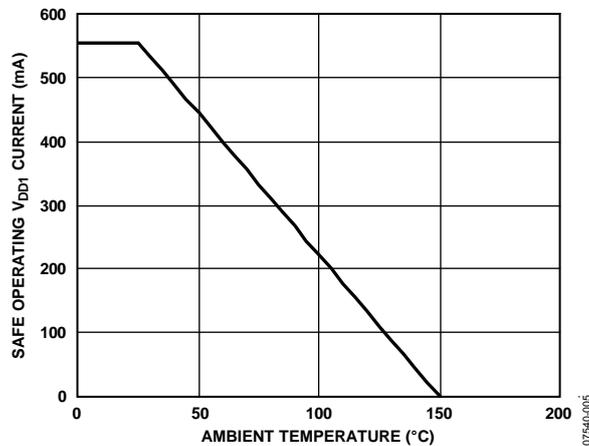


図 5.温度ディレーティング・カーブ、DIN EN 60747-5-2 による安全な規定値のケース温度に対する依存性

## 推奨動作条件

表 7.

Parameter	Symbol	Min	Max	Unit
OPERATING TEMPERATURE	$T_A$	-40	+105	°C
SUPPLY VOLTAGES <sup>1</sup>				
$V_{DD1} @ V_{SEL} = 0 \text{ V}$	$V_{DD}$	3.0	3.6	V
$V_{DD1} @ V_{SEL} = V_{DD1} \text{ V}$	$V_{DD}$	4.5	5.5	V
Minimum Load	$I_{ISO(MIN)}$	10		mA
Minimum Power-On Slew Rate	$V_{SLEW}$	150		V/ms

<sup>1</sup> 各電圧はそれぞれのグラウンドを基準とします。

## 絶対最大定格

特に指定のない限り、周囲温度は 25 °C です。

表 8.

Parameter	Rating
Storage Temperature ( $T_{ST}$ )	-55°C to +150°C
Ambient Operating Temperature ( $T_A$ )	-40°C to +105°C
Supply Voltages ( $V_{DD}$ , $V_{ISO}$ ) <sup>1</sup>	-0.5 V to +7.0 V
$V_{ISO}$ Supply Current <sup>2</sup>	100 mA
Input Voltage ( $V_{IA}$ , $V_{IB}$ , $V_{EI}$ , $V_{E2}$ , $RC_{SEL}$ , $V_{SEL}$ ) <sup>1,3</sup>	-0.5 V to $V_{DDI} + 0.5$ V
Output Voltage ( $V_{OA}$ , $V_{OB}$ ) <sup>1,3</sup>	-0.5 V to $V_{DDO} + 0.5$ V
Average Output Current per Data Output Pin <sup>4</sup>	-10 mA to +10 mA
Common-Mode Transients <sup>5</sup>	-100 kV/μs to +100 kV/μs

<sup>1</sup> 各電圧はそれぞれのグラウンドを基準とします。

<sup>2</sup>  $V_{ISO}$  はサイド 2 の I/O チャンネルの DC 負荷とダイナミック負荷に電流を供給します。総合  $V_{ISO}$  電源電流を求めるときは、この電流を含める必要があります。

<sup>3</sup>  $V_{DDI}$  と  $V_{DDO}$  は、それぞれチャンネルの入力側と出力側の電源電圧を表します。PCB レイアウトのセクションを参照してください。

<sup>4</sup> 種々の温度に対する最大定格電流値については図 5 を参照してください。

<sup>5</sup> 絶縁障壁にまたがる同相モード過渡電圧を表します。絶対最大定格を超える同相モード過渡電圧を加えると、ラッチアップまたは恒久的損傷が生ずることがあります。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

表 9.50 年の最小寿命をサポートする最大連続動作電圧<sup>1</sup>

Parameter	Max	Unit	Reference Standard
AC Voltage			
Bipolar Waveform	424	V peak	50-year minimum lifetime
Unipolar Waveform			
Basic Insulation	600	V peak	Maximum approved working voltage per IEC 60950-1
Reinforced Insulation	560	V peak	Maximum approved working voltage per IEC 60950-1 and VDE V 0884-10
DC Voltage			
Basic Insulation	600	V peak	Maximum approved working voltage per IEC 60950-1
Reinforced Insulation	560	V peak	Maximum approved working voltage per IEC 60950-1 and VDE V 0884-10

<sup>1</sup> アイソレーション障壁に加わる連続電圧の大きさを意味します。詳細については、絶縁寿命のセクションを参照してください。

## ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能説明

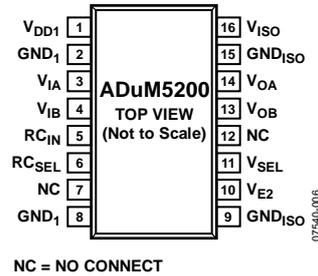
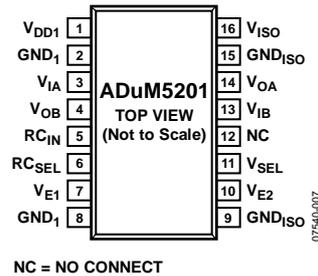


図 6.ADuM5200 のピン配置

表 10.ADuM5200 のピン機能説明

ピン番号	記号	説明
1	V <sub>DD1</sub>	1次側電源電圧、3.0 V～5.5 V。
2、8	GND <sub>1</sub>	グラウンド1。アイソレータ1次側のグラウンド・リファレンス。ピン2とピン8は内部で接続されているため、両ピンを共通グラウンドへ接続することが推奨されます。
3	V <sub>IA</sub>	ロジック入力 A。
4	V <sub>IB</sub>	ロジック入力 B。
5	RC <sub>IN</sub>	レギュレーション制御入力。このピンは、別デバイスからの RC <sub>OUT</sub> 信号に接続するか、またはロー・レベルに接続する必要があります。RC <sub>SEL</sub> がロー・レベルの場合、このピンをハイ・レベルに接続しないでください。この組み合わせにより、2次側に大きな電圧が発生して、ADuM5200 とこれから電源の供給を受けるデバイスが破壊される危険性があります。
6	RC <sub>SEL</sub>	制御入力。セルフレギュレーション・モード (RC <sub>SEL</sub> = ハイ・レベル) または外部レギュレーションを可能にするスリープ・モード (RC <sub>SEL</sub> = ロー・レベル) を設定します。このピンはハイ・レベルへ弱くプルアップされています。ノイズの多い環境では、このピンをハイ・レベルまたはロー・レベルに接続してください。
7、12	NC	内部接続なし。
9、15	GND <sub>ISO</sub>	アイソレータ・サイド2のグラウンド基準。ピン9とピン15は内部で接続されているため、両ピンを共通グラウンドへ接続することが推奨されます。
10	V <sub>E2</sub>	データ・イネーブル入力。ハイ・レベルまたは未接続の場合、2次側出力がアクティブになります。ロー・レベルの場合、出力ハイ・インピーダンス状態になります。
11	V <sub>SEL</sub>	出力電圧の選択。V <sub>SEL</sub> = V <sub>ISO</sub> の場合、V <sub>ISO</sub> セット・ポイントは 5.0 V です。V <sub>SEL</sub> = GND <sub>ISO</sub> の場合、V <sub>ISO</sub> セット・ポイントは 3.3 V です。スリープ・レギュレーション・モードではこのピンは無視されます。
13	V <sub>OB</sub>	ロジック出力 B。
14	V <sub>OA</sub>	ロジック出力 A。
16	V <sub>ISO</sub>	2次側電源電圧。2次側の絶縁されたデータ・チャンネルと外部負荷に対する出力。

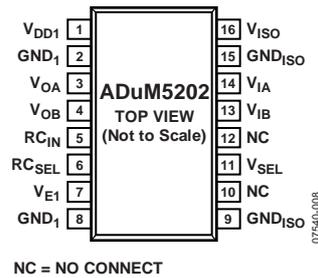


NC = NO CONNECT

図 7.ADuM5201 のピン配置

表 11.ADuM5201 のピン機能説明

ピン番号	記号	説明
1	V <sub>DD1</sub>	1次側電源電圧、3.0 V～5.5 V。
2、8	GND <sub>1</sub>	グラウンド1。アイソレータ1次側のグラウンド・リファレンス。ピン2とピン8は内部で接続されているため、両ピンを共通グラウンドへ接続することが推奨されます。
3	V <sub>IA</sub>	ロジック入力 A。
4	V <sub>OB</sub>	ロジック出力 B。
5	RC <sub>IN</sub>	レギュレーション制御入力。このピンは、別デバイスからの RC <sub>OUT</sub> 信号に接続するか、またはロー・レベルに接続する必要があります。RC <sub>SEL</sub> がロー・レベルの場合、このピンをハイ・レベルに接続しないでください。この組み合わせにより、2次側に大きな電圧が発生して、ADuM5201 とこれから電源の供給を受けるデバイスが破壊される危険性があります。
6	RC <sub>SEL</sub>	制御入力。セルフレギュレーション・モード (RC <sub>SEL</sub> = ハイ・レベル) または外部レギュレーションを可能にするスレープ・モード (RC <sub>SEL</sub> = ロー・レベル) を設定します。このピンはハイ・レベルへ弱くプルアップされています。ノイズの多い環境では、このピンをハイ・レベルまたはロー・レベルに接続してください。
7	V <sub>E1</sub>	データ・イネーブル入力。ハイ・レベルまたは未接続の場合、1次側出力がアクティブになります。ロー・レベルの場合、出力ハイ・インピーダンス状態になります。
9、15	GND <sub>ISO</sub>	アイソレータ・サイド2のグラウンド基準。ピン9とピン15は内部で接続されているため、両ピンを共通グラウンドへ接続することが推奨されます。
10	V <sub>E2</sub>	データ・イネーブル入力。ハイ・レベルまたは未接続の場合、2次側出力がアクティブになります。ロー・レベルの場合、出力ハイ・インピーダンス状態になります。
11	V <sub>SEL</sub>	出力電圧の選択。V <sub>SEL</sub> = V <sub>ISO</sub> の場合、V <sub>ISO</sub> セット・ポイントは 5.0 V です。V <sub>SEL</sub> = GND <sub>ISO</sub> の場合、V <sub>ISO</sub> セット・ポイントは 3.3 V です。スレープ・レギュレーション・モードではこのピンは無視されます。
12	NC	内部接続なし。
13	V <sub>IB</sub>	ロジック入力 B。
14	V <sub>OA</sub>	ロジック出力 A。
16	V <sub>ISO</sub>	2次側電源電圧。2次側の絶縁されたデータ・チャンネルと外部負荷に対する出力。



NC = NO CONNECT

図 8.ADuM5202 のピン配置

表 12.ADuM5202 のピン機能説明

ピン番号	記号	説明
1	V <sub>DD1</sub>	1次側電源電圧、3.0 V~5.5 V。
2、8	GND <sub>1</sub>	グラウンド1。アイソレータ1次側のグラウンド・リファレンス。ピン2とピン8は内部で接続されているため、両ピンを共通グラウンドへ接続することが推奨されます。
3	V <sub>OA</sub>	ロジック出力 A。
4	V <sub>OB</sub>	ロジック出力 B。
5	RC <sub>IN</sub>	レギュレーション制御入力。このピンは、別デバイスからの RC <sub>OUT</sub> 信号に接続するか、またはロー・レベルに接続する必要があります。RC <sub>SEL</sub> がロー・レベルの場合、このピンをハイ・レベルに接続しないでください。この組み合わせにより、2次側に大きな電圧が発生して、ADuM5202とこれから電源の供給を受けるデバイスが破壊される危険性があります。
6	RC <sub>SEL</sub>	制御入力。セルフレギュレーション・モード (RC <sub>SEL</sub> = ハイ・レベル) または外部レギュレーションを可能にするスレーブ・モード (RC <sub>SEL</sub> = ロー・レベル) を設定します。このピンはハイ・レベルへ弱くプルアップされています。ノイズの多い環境では、このピンをハイ・レベルまたはロー・レベルに接続してください。
7	V <sub>E1</sub>	データ・イネーブル入力。ハイ・レベルまたは未接続の場合、1次側出力がアクティブになります。ロー・レベルの場合、出力ハイ・インピーダンス状態になります。
9、15	GND <sub>ISO</sub>	アイソレータ・サイド2のグラウンド基準。ピン9とピン15は内部で接続されているため、両ピンを共通グラウンドへ接続することが推奨されます。
10、12	NC	内部接続なし。
11	V <sub>SEL</sub>	出力電圧の選択。V <sub>SEL</sub> = V <sub>ISO</sub> の場合、V <sub>ISO</sub> セット・ポイントは 5.0 V です。V <sub>SEL</sub> = GND <sub>ISO</sub> の場合、V <sub>ISO</sub> セット・ポイントは 3.3 V です。
13	V <sub>IB</sub>	ロジック入力 B。
14	V <sub>IA</sub>	ロジック入力 A。
16	V <sub>ISO</sub>	2次側電源電圧。2次側の絶縁されたデータ・チャンネルと外部負荷に対する出力。

表 13.真理値表(正論理)

RC <sub>IN</sub> Input	RC <sub>SEL</sub> Input	V <sub>SEL</sub> Input <sup>1</sup>	V <sub>DDI</sub> Input	V <sub>ISO</sub> Output	V <sub>IX</sub> Input	V <sub>OX</sub> Output	Operation
X	H	H	5.0 V	5.0 V	X	X	Master mode operation, self-regulating.
X	H	L	5.0 V	3.3 V	X	X	Power configuration not supported.
X	H	H	3.3 V	5.0 V	X	X	Power configuration not supported.
X	H	L	3.3 V	3.3 V	X	X	Master mode operation, self-regulating.
EXT-PWM <sup>1</sup>	L	X	X	X	X	X	Slave mode operation, regulation from another <i>isoPower</i> part.
L	L	L	X	0 V	X	X	Low power mode, converter disabled.
X	X	X	X	X	H	H	Data outputs valid for any active power configuration.
X	X	X	X	X	L	L	Data outputs valid for any active power configuration.
H	L	X	X	X	X	X	Note: This combination of RC <sub>IN</sub> and RC <sub>SEL</sub> is prohibited. Damage occurs on the secondary side of the converter due to excess output voltage at V <sub>ISO</sub> . RC <sub>IN</sub> must be either low or a PWM signal from a master <i>isoPower</i> part.

<sup>1</sup> PWM はレギュレーション制御信号です。この信号は、RC<sub>SEL</sub>の値に応じて、2次側レギュレータまたはRC<sub>IN</sub>入力から発生されます。

代表的な性能特性

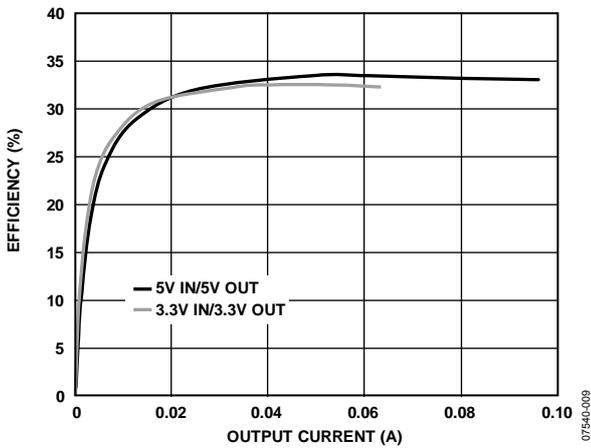


図 9. 5 V/5 V と 3.3 V/3.3 V での電源効率

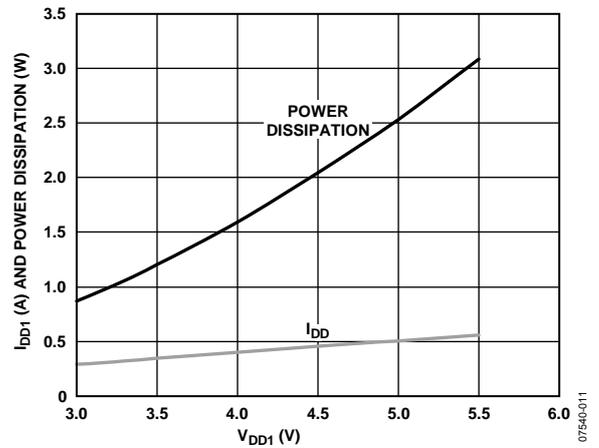


図 12. V<sub>DD1</sub> 電源電圧対短絡入力電流および電力

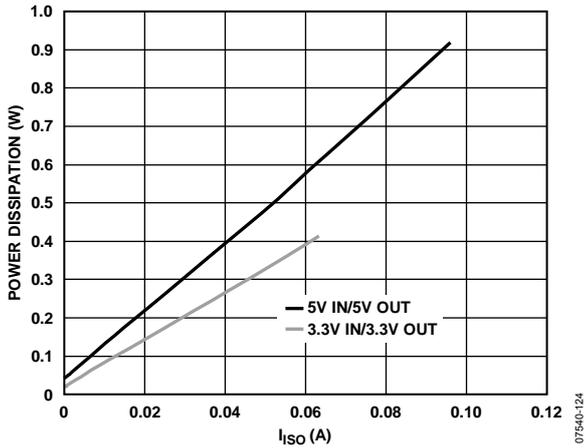


図 10. I<sub>ISO</sub> 対総合消費電力  
データ・チャンネルはアイドル

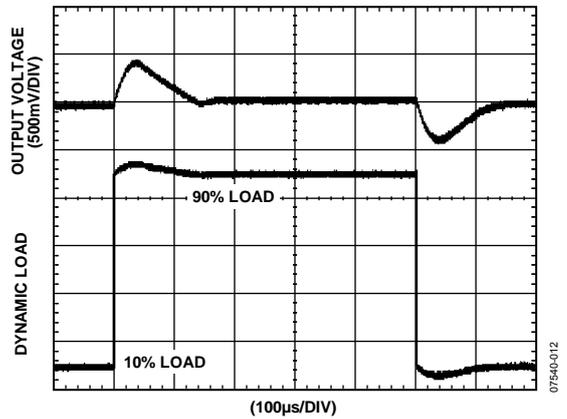


図 13. V<sub>ISO</sub> 過渡負荷応答  
5 V 出力、10%→90% の負荷ステップ

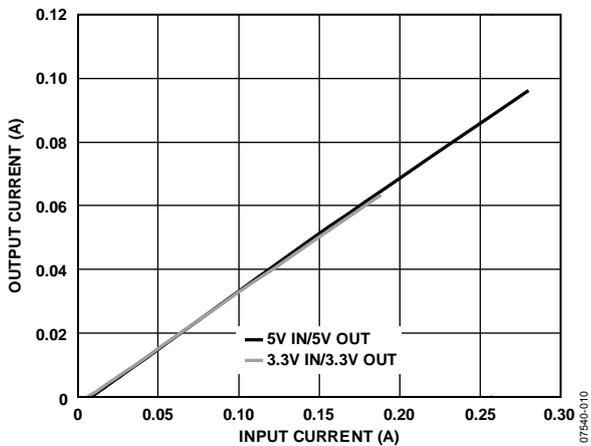


図 11. 外部負荷の関数としての絶縁型出力電源電流 I<sub>ISO</sub>  
5 V/5 V と 3.3 V/3.3 V でダイナミック電流なし

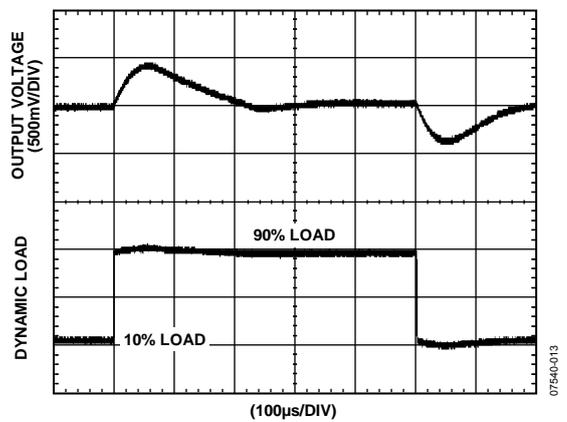


図 14. 過渡負荷応答  
3 V 出力、10%→90% の負荷ステップ

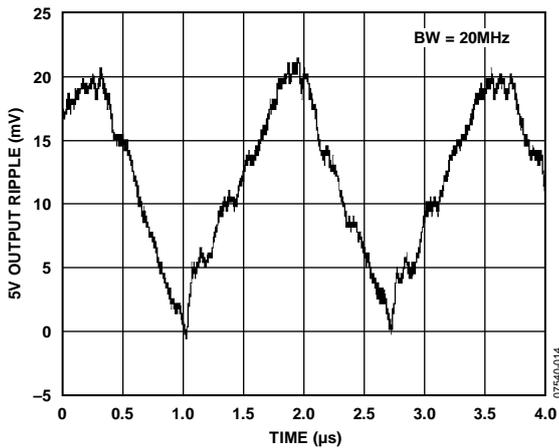


図 15.90% 負荷での  $V_{ISO} = 5V$  出力電圧リップル

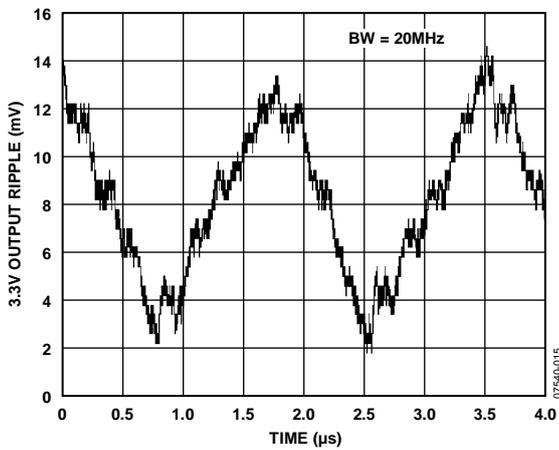


図 16.90% 負荷での  $V_{ISO} = 3.3V$  出力電圧リップル

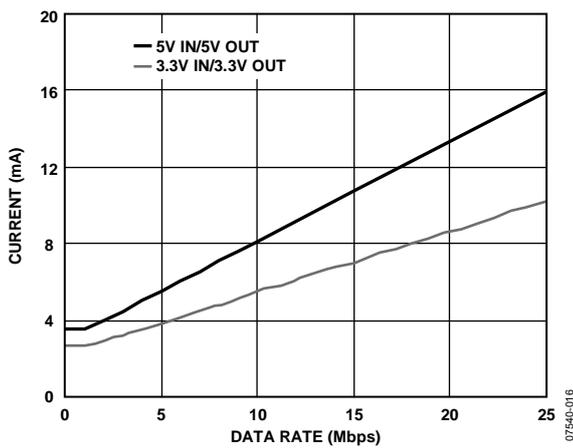


図 17.順方向データ・チャンネルあたりの  $I_{CH}$  電源電流 (15 pF 出力負荷)

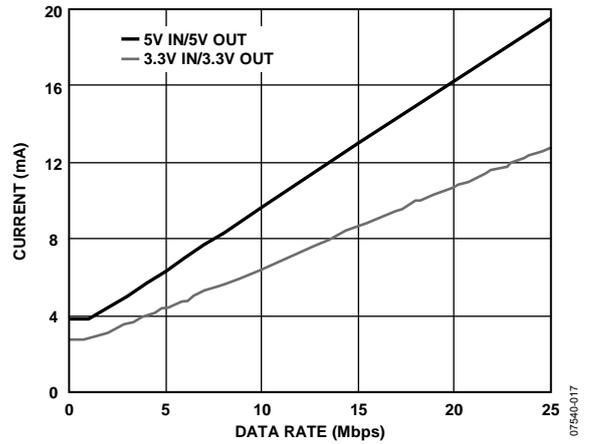


図 18.逆方向データ・チャンネルあたりの  $I_{CH}$  電源電流 (15 pF 出力負荷)

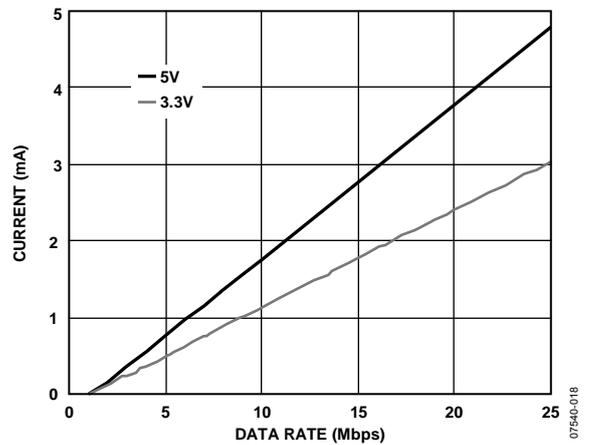


図 19.入力あたりの  $I_{ISO(D)}$  ダイナミック電源電流

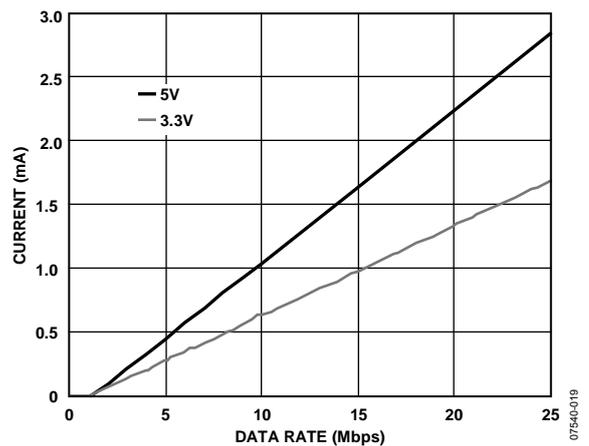


図 20.出力あたりの  $I_{ISO(D)}$  ダイナミック電源電流 (15 pF 出力負荷)

## 用語

### $I_{DD1(Q)}$

$I_{DD1(Q)}$ は、 $V_{ISO}$ の外部負荷なしで、かつ I/O ピンは 2 Mbps 未満で動作している(ダイナミック電源電流の増加なし)場合に、 $V_{DD1}$  ピンに流れる最小動作電流です。 $I_{DD1(Q)}$  は最小電流動作条件を反映。

### $I_{DD1(D)}$

$I_{DD1(D)}$ は、最大ダイナミック負荷条件を表すフル容量負荷で、25 Mbps の最大データレートですべてのチャンネルが同時に駆動される場合の入力電源電流 (typ)です。出力の抵抗負荷はダイナミック負荷と分けて扱います。

### $I_{DD1(MAX)}$

$I_{DD1(MAX)}$ は、フル・ダイナミック負荷条件かつフル  $V_{ISO}$  負荷条件での入力電流です。

### $t_{PLH}$ 伝搬遅延

$t_{PLH}$  伝搬遅延は、 $V_{IK}$  信号の立下がりエッジの 50%レベルから  $V_{OX}$  信号の立下がりエッジの 50%レベルまで測定。

### $t_{PLH}$ 伝搬遅延

$t_{PLH}$  伝搬遅延は、 $V_{IK}$  信号の立上がりエッジの 50%レベルから  $V_{OX}$  信号の立上がりエッジの 50%レベルまで測定。

### 伝搬遅延スキュー( $t_{PSK}$ )

$t_{PSK}$  は、 $t_{PHL}$  または  $t_{PLH}$  におけるワーストケースの差であり、推奨動作条件下で同一の動作温度、電源電圧、出力負荷で動作する複数のユニット間で測定されます。

### チャンネル間マッチング

チャンネル間マッチングは、等しい負荷で動作する 2 つのチャンネル間の伝搬遅延の差の絶対値を表します。

### 最小パルス幅

最小パルス幅は、規定のパルス幅歪みが保証される最小のパルス幅。

### 最大データレート

最大データレートは、規定のパルス幅歪みが保証される最高速のデータレートです。

## アプリケーション情報

ADuM520x の DC/DC コンバータ・セクションは、大部分の電源デザインで広く採用されている原理に基づいて動作します。これは、絶縁型パルス幅変調 (PWM) 帰還を持つ 2 次側コントローラ・アーキテクチャになっています。V<sub>DD1</sub> 電源は、チップ・スケールの中空トランスへ流れる電流をスイッチする発振回路に電源を供給します。2 次側へ転送される電源は、整流されて 3.3 V または 5 V に安定化されます。2 次側 (V<sub>ISO</sub>) のコントローラは、専用 iCoupler データ・チャンネルを使って 1 次側 (V<sub>DD1</sub>) へ送られる PWM 制御信号を発生することにより出力を安定化します。PWM では発振回路を変調して、2 次側へ送られる電源を制御します。帰還の使用により、非常に高い電力と効率が可能になっています。

ADuM520x は、V<sub>DD1</sub> 電源入力に対してヒステリシス付きの低電圧ロックアウト (UVLO) 機能を内蔵しています。この機能により、ノイズの多い入力電源または低速パワーオン・ランプ・レートによりコンバータが発振しないようになっています。

最適負荷レギュレーションのためには、10 mA の最小負荷電流が推奨されます。これより小さい負荷では、狭い PWM パルスまたは誤動作 PWM パルスによりチップ上に大きなノイズが発生することがあります。このような大きなノイズが発生すると、状況によってはデータが破壊されることがあります。

ADuM520x は、他の isoPower デバイスへ接続できる外部レギュレーション制御信号 (RC<sub>IN</sub>) を入力することができます。この機能を使うと、接続なしで複数の電源モジュールを 1 個のレギュレータから制御することができます。マスター電源モジュールから制御される場合、各 V<sub>ISO</sub> ピンと一緒に接続して各電源を追加することができます。帰還制御パスは 1 個だけなので、複数の電源がシームレスに動作します。ADuM520x は自分自身のみをレギュレーションするか、またはこの製品ラインの別のデバイスからレギュレーションされることができます (スレーブ・デバイス)。このデバイスは他のデバイスへレギュレーション信号を出力することはできません。

### PCB レイアウト

ADuM520x デジタル・アイソレータには 0.5 W の isoPower DC/DC コンバータが内蔵されているため、ロジック・インターフェース用の外付けインターフェース回路は不要です。入力電源ピンと出力電源ピンには電源バイパスが必要です (図 21 参照)。ピン 1 とピン 2 の間およびピン 15 とピン 16 の間に ESR の小さいバイパス・コンデンサをチップ・パッドからできるだけ近い場所に接続する必要があることに注意してください。

ADuM520x の電源セクションでは、180 MHz の発振器を使って、チップ・スケール・トランスを介して効率良く電力を供給しています。さらに、iCoupler のデータ・セクションの通常動作により、スイッチング過渡電圧が電源ピンに発生します。複数の動作周波数に対してバイパス・コンデンサが必要になります。ノイズの抑圧には、低インダクタンス高周波のコンデンサが必要です。リップル抑圧と適切なレギュレーションには大きな値のコンデンサが必要です。バイパス・コンデンサは V<sub>DD1</sub> についてはピン 1 とピン 2 の間に、V<sub>ISO</sub> についてはピン 15 とピン 16 の間に、それぞれ接続するのが便利です。ノイズとリップルを抑圧するときは、少なくとも 2 個のコンデンサの並列組み合わせが必要です。V<sub>DD1</sub> の推奨コンデンサ値は、0.1  $\mu$ F と 10  $\mu$ F です。これより小さいコンデンサでは、ESR が小さい必要があります。例えば、セラミック・コンデンサの使用が望まれます。

低 ESR コンデンサの両端と入力電源ピンとの間の合計リード長は 2 mm 以下にする必要があります。バイパス・コンデンサを 2 mm より長いパターンで接続すると、データ破壊が生ずることがあります。両共通グラウンド・ピンがパッケージの近くに接続されていない限り、ピン 1 とピン 8 の間およびピン 9 とピン 16 の間にバイパス・コンデンサを接続することも検討してください。

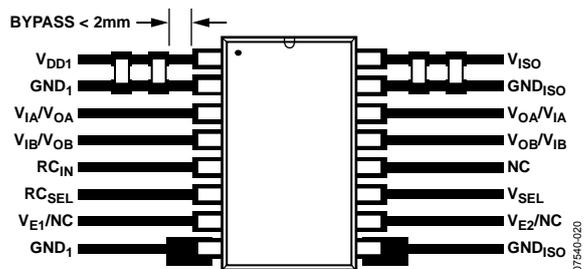


図 21. 推奨 PCB レイアウト

高い同相モード過渡電圧が発生するアプリケーションでは、アイソレーション障壁を通過するボード結合が最小になるように注意する必要があります。さらに、如何なる結合もデバイス側のすべてのピンで等しく発生するようにボード・レイアウトをデザインしてください。この注意を怠ると、ピン間で発生する電位差が表 8 デバイスの絶対最大定格を超えてしまい、ラッチアップまたは恒久的な損傷が発生することがあります。

ADuM520x は、フル負荷と最大速度で動作する場合約 1 W を消費するパワー・デバイスです。アイソレーション・デバイスにヒートシンクを使うことができないため、デバイスは基本的に PCB から GND ピンへの熱放散に依存しています。デバイスを高い周囲温度で使用する場合には、GND ピンから PCB グラウンド・プレーンへの熱パスを用意してください。図 21 のボード・レイアウトに、ピン 2、ピン 8、ピン 9、ピン 15 の拡大したパッドを示します。パッドからグラウンド・プレーンへ複数のビアを設けて、チップ内部の温度を下げてください。パッド拡大寸法は、設計者と使用可能なボード・スペースによって決定されます。

### EMI の注意事項

ADuM520x の DC/DC コンバータ・セクションは、小型のトランスを経由して効率良い電力転送を行うため、非常に高い周波数で動作する必要があります。このため高周波電流が発生し、回路ボードのグラウンド・プレーンと電源プレーンを伝搬して、1 次側と 2 次側のグラウンド・プレーン間でエッジ放射とダイポール放射が発生します。これらのデバイスを使用するアプリケーションでは接地した筐体の使用が推奨されます。接地した筐体を使用できない場合は、RF デザイン技術を採用した PCB レイアウトを行う必要があります。特に ADuM520x に対する最新の PCB レイアウト推奨事項については、[www.analog.com](http://www.analog.com) をご覧ください。

## 伝搬遅延パラメータ

伝搬遅延時間は、ロジック信号がデバイスを通すのに要する時間を表すパラメータです。ロジック・ロー・レベル出力への伝搬遅延は、ロジック・ハイ・レベルへの伝搬遅延と異なることがあります。

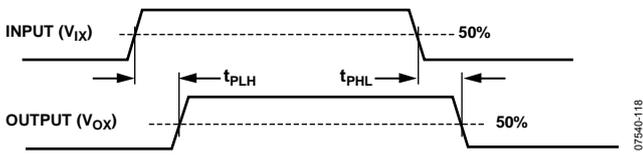


図 22.伝搬遅延パラメータ

パルス幅歪みとはこれら 2 つの遅延時間間の最大の差を意味し、入力信号のタイミングが保存される精度を表します。

チャンネル間マッチングとは、1 つの ADuM520x デバイス内にある複数のチャンネル間の伝搬遅延差の最大値を意味します。

伝搬遅延スキューは、同じ条件で動作する複数の ADuM520x デバイス間での伝搬遅延差の最大値を表します。

## DC精度と磁界耐性

アイソレータ入力での正および負のロジック変化により、狭いパルス(約 1 ns)がトランスを経由してデコーダに送られます。デコーダは双安定であるため、パルスによるセットまたはリセットにより入力ロジックの変化が表されます。1 μs以上入力にロジック変化がない場合、正常な入力状態を表す周期的なリフレッシュ・パルスのセットを送信して、出力でのDCを正常に維持します。デコーダが約 5μs間以上この内部パルスを受信しないと、入力側が電源オフであるか非動作状態にあると見なされ、ウォッチドッグ・タイマ回路によりアイソレータ出力が強制的にデフォルト状態(表 13参照)にされます。

ADuM520x の磁界耐性の限界は、トランスの受信側コイルに発生する誘導電圧が十分大きくなり、デコーダをセットまたはリセットさせる誤動作が発生することで決まります。この状態が発生する条件を以下の解析により求めます。ADuM520x の 3 V 動作は最も敏感な動作モードであるため、この条件について調べます。

トランス出力でのパルスは 1.0 V 以上の振幅を持っています。デコーダは約 0.5 V の検出スレッシュホールドを持つので、誘導電圧に対しては 0.5 V の余裕を持っています。受信側コイルへの誘導電圧は次式で与えられます。

$$V = (-d\beta/dt) \sum \pi r_n^2; n = 1, 2, \dots, N$$

ここで、

$\beta$  = 磁束密度(Gauss)

$N$  = 受信側コイルの巻数

$r_n$  = 受信側コイルの n 回目の半径(cm)

ADuM520x 受信側コイルの形状が与えられ、かつ誘導電圧がデコーダにおける 0.5 V 余裕の最大 50% であるという条件が与えられると、最大許容磁界は図 23 のように計算されます。

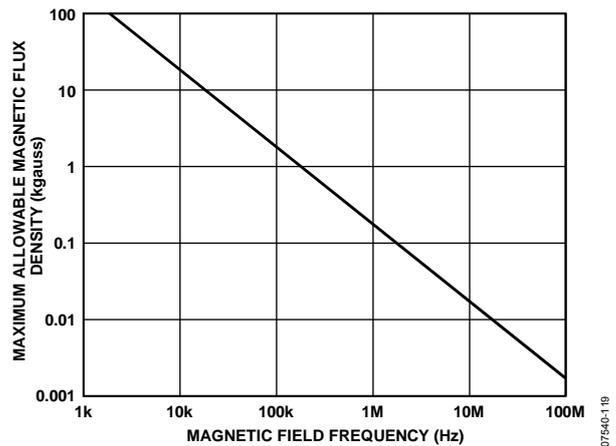


図 23.最大許容外部磁束密度

例えば、磁界周波数 = 1 MHz で、最大許容磁界 = 0.2 Kgauss の場合、受信側コイルでの誘導電圧は 0.25 V になります。これは検出スレッシュホールドの約 50% であるため、出力変化の誤動作はありません。同様に、仮にこのような条件が送信パルス内に存在しても(さらに最悪ケースの極性であっても)、受信パルスが 1.0 V 以上から 0.75V へ減少されるため、デコーダの検出スレッシュホールド 0.5 V に対してなお余裕を持っています。

前述の磁束密度値は、ADuM520x トランスから与えられた距離だけ離れた特定の電流値に対応します。図 24 に、周波数の関数としての許容電流値を与えられた距離に対して示します。図から読み取れるように、ADuM520x の耐性は極めて高く、影響を受けるのは、高周波でかつデバイスに非常に近い極めて大きな電流の場合に限られます。1 MHz の例では、デバイス動作に影響を与えるためには、0.5 kA の電流を ADuM520x から 5 mm の距離まで近づける必要があります。

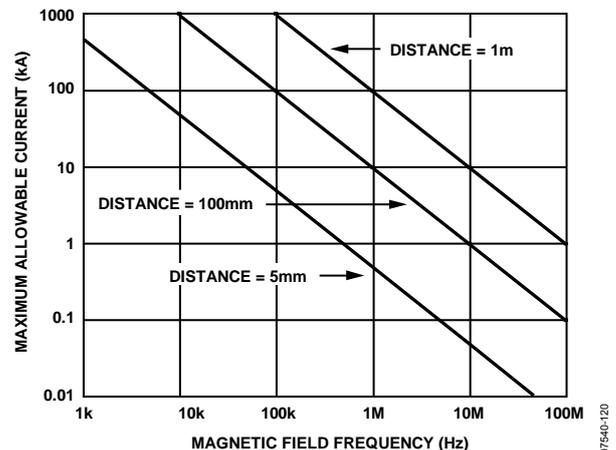


図 24.様々な電流値と ADuM520x までの距離に対する最大許容電流

強い磁界と高周波が組合わさると、PCB パターンで形成されるループに十分大きな誤差電圧が誘導されて、後段回路のスレッシュホールドがトリガされてしまうことに注意が必要です。

パターンのレイアウトでは、このようなことが発生しないように注意する必要があります。

## 消費電力

$V_{DD1}$  電源入力、iCoupler データ・チャンネルと電源コンバータへ電力を供給します。このため、データ・コンバータおよび 1 次側と 2 次側の I/O チャンネルに流れる静止電流を別々に求めることはできません。これらのすべての静止電力要求は、図 25 に示すように  $I_{DD1(Q)}$  電流としてまとめてあります。総合  $I_{DD1}$  電源電流は、静止動作電流、I/O チャンネルのダイナミック電流  $I_{DD1(D)}$ 、すべての外部  $I_{ISO}$  負荷の電流の和に一致します。

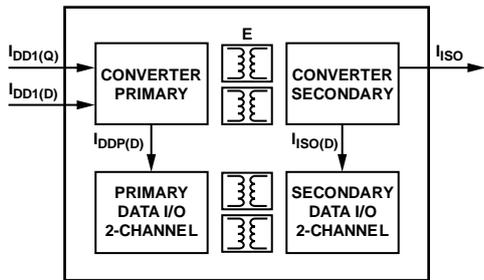


図 25. ADuM520x 内部の消費電力

ダイナミック入力/出力電流は、リフレッシュ・レート  $f_r$  より高い速度でチャンネルが動作する場合にのみ流れます。各チャンネルのダイナミック電流はデータレートにより決定されます。図 17 に順方向チャンネル(入力はデバイス 1 次側)の電流を示します。図 18 に逆方向チャンネル(入力はデバイス 2 次側)の電流を示します。両値では 15 pF(typ)負荷を仮定しています。次の関係を使うと、総合  $I_{DD1}$  電流を計算することができます。

$$I_{DD1} = (I_{ISO} \times V_{ISO}) / (E \times V_{DD1}) + \sum I_{CHn}; n = 1 \sim 4 \quad (1)$$

ここで、

$I_{DD1}$  は総合電源入力電流。

$I_{CHn}$  は 1 チャンネルを流れる電流で、チャンネル方向に応じて図 17 または図 18 から決定。

$I_{ISO}$  は 2 次側外部負荷を流れる電流。

$E$  は 100 mA 負荷での電源効率で、図 9 で注目する  $V_{ISO}$  条件と  $V_{DD1}$  条件から取得。

最大許容負荷からダイナミック出力負荷を減算すると、次のように最大外部負荷を計算することができます。

$$I_{ISO(LOAD)} = I_{ISO(MAX)} - \sum I_{ISO(D)n}; n = 1 \sim 4 \quad (2)$$

ここで、

$I_{ISO(LOAD)}$  は、2 次側外部負荷へ供給できる電流。

$I_{ISO(MAX)}$  は、 $V_{ISO}$  での最大 2 次側外部負荷電流。

$I_{ISO(D)n}$  は、 $V_{ISO}$  から入力チャンネルまたは出力チャンネルへ流れるダイナミック負荷電流(図 17 および図 18 参照)。ここに示したデータは、15 pF(typ)負荷を仮定しています。

上記解析では、各データ出力に 15 pF の容量負荷を仮定しています。容量負荷が 15 pF より大きい場合は、 $I_{DD1}$  と  $I_{ISO(LOAD)}$  の解析に追加電流を含める必要があります。

式 1 の  $I_{DD1}$  を求めるときは、1 次側の追加ダイナミック出力電流 ( $I_{AOD}$ ) を直接  $I_{DD1}$  に加算します。2 次側の追加ダイナミック出力電流 ( $I_{AOD}$ ) をチャンネルごとに  $I_{ISO}$  を加算します。

式 2 の  $I_{ISO(LOAD)}$  を求めるときは、2 次側追加出力電流 ( $I_{AOD}$ ) をチャンネルごとに  $I_{ISO(MAX)}$  から減算します。

15 pF より大きい  $C_L$  を持つ各出力チャンネルの場合は、追加容量電源電流は次式で与えられます。

$$I_{AOD} = 0.5 \times 10^{-3} \times (C_L - 15) \times V_{ISO} \times (2f - f_r) \quad f > 0.5f_r \quad (3)$$

ここで、

$C_L$  は出力負荷容量(pF)。

$V_{ISO}$  は出力電源電圧 (V)。

$f$  は入力ロジック信号周波数(MHz)、入力データレートの 1/2 で単位は Mbps。

$f_r$  は入力チャンネル・リフレッシュ・レート (Mbps)。

## 電流制限および熱過負荷保護

ADuM520x は、熱過負荷保護回路により大きな消費電力による損傷から保護されています。熱過負荷保護機能によりジャンクション温度を最大 150°C (typ) に制限しています。極限状態(周囲温度が高く、消費電力が大きい)で、ジャンクション温度が 150°C を超え始めると、PWM がターンオフされて、出力電流がゼロに減少します。ジャンクション温度が 130°C (typ) を下回ると、PWM が再びターンオンして、出力電流が公称値に戻ります。

$V_{ISO}$  がグラウンドへ短絡するケースを考えます。まず、ADuM520x が最大電流に到達します。この最大電流は  $V_{DD1}$  に加えられる電圧に比例します。コンバータの 1 次側で電力が消費されます(図 12 参照)。ジャンクションの自己発熱が大きくなるため温度は 150°C を超えるので、サーマル・シャットダウンが起動されて、PWM がターンオフされ、出力電流がゼロに減少します。ジャンクション温度が低下し 130°C を下回ると、PWM がターンオンするため、コンバータの 1 次側で再び電力が消費されて、再びジャンクション温度が 150°C へ上昇します。130°C と 150°C の間でのこの熱発振により、出力が短絡している間デバイスはオン/オフを繰り返します。

温度制限保護機能は、偶発的な過負荷状態に対してデバイスを保護することを目的としています。信頼度の高い動作のためには、外部からデバイス消費電力を制限して、ジャンクション温度が 130°C を超えないようにする必要があります。

## 消費電力について

ADuM5200/ADuM5201/ADuM5202 の電源入力、1 次側データ入力チャンネル、2 次側データ入力チャンネルはすべて、UVLO 回路により早期誤動作から保護されています。最小動作電圧より下では、電源コンバータが発振器の非アクティブを維持するため、すべての入力チャンネル・ドライバとリフレッシュ回路がアイドルになります。出力がハイ・インピーダンス状態に維持されるため、パワーアップ動作とパワーダウン動作で不定状態が送信されるのを防止します。

$V_{DD1}$  へ電源を加えるとき、1 次側回路はアイドルになり、UVLO に設定されている電圧に到達するまでアイドルが維持されます。この時点で、データ・チャンネルがデフォルトのロー・レベル出力状態に初期化され、2 次側からデータ・パルスを受信するまでこの状態が続きます。

1次側がUVLO スレッシュホールドを上回ると、データ入力チャンネルは入力をサンプルし、エンコードしたパルスを非アクティブの2次側出力チャンネルへ送信し始めます。2次側電源が確立されるまで2次側入力からデータが到着しないため、1次側出力はデフォルトのロー・レベル状態を維持します。1次側の発振器も動作を開始し、2次側の電源回路へ電力を転送します。2次側  $V_{ISO}$  電圧はこの時点でUVLO規定値を下回っています。2次側からレギュレーション制御信号は発生されていません。この状況では1次側の電源発振器はフリー・ランニングが可能で、2次側へ最大の電力を供給し、この供給は2次側電圧がレギュレーション設定ポイントに上昇するまで続きます。これにより、 $V_{DD1}$  で大きな突入過渡電流が発生します。レギュレーション・ポイントに到達すると、レギュレーション制御回路はレギュレーション制御信号を発生し、この制御信号が1次側発振器を変調します。 $V_{DD1}$  電流が減少し、負荷電流に比例するようになります。突入電流は、図 12に示すように短絡電流より小さくなります。突入電流の継続時間は、 $V_{ISO}$  負荷条件と  $V_{DD1}$  ピンの電流に依存します。

2次側コンバータが1次側から電源を受けると、 $V_{ISO}$  電圧は上昇を開始します。2次側でUVLOに到達すると、2次側出力はデフォルトのロー・レベル状態に初期化され、対応する1次側入力からデータが受信されるまでこのロー・レベル状態が続きます。2次側が初期化された後に出力状態が1次側入力に対応するようになるまで最大1  $\mu$ s必要になります。

2次側入力はその状態をサンプルして、1次側へ送信します。出力は、2次側 がアクティブになった後約1  $\mu$ sで有効になります。

2次側電源の充電レートは負荷条件、入力電圧、選択した出力電圧レベルに依存するため、有効なデータが必要とされる前にコンバータが安定するようにデザインで十分な時間を確保するように注意してください。

$V_{DD1}$  から電源がなくなると、1次側コンバータとカプラは、UVLO レベルに到達したときシャットダウンします。2次側は電源の受け取りを停止して、放電を開始します。2次側出力は、1次側から受信した直前の状態を維持します。UVLO レベルに到達して出力がハイ・インピーダンス状態になるか、または2次側電源が UVLOに到達する前に、出力が1次側入力からの動作

がないことを検出して、出力をデフォルトのロー・レベル値に設定します。

## 熱解析

ADuM520xは、分割されたリード・フレームに取り付けられた4個の内部チップ(2個のチップはパドルに接続)から構成されています。熱解析のため、チップをサーマル・ユニットとして扱います。最高ジャンクション温度は、表 3の $\theta_{JA}$ を反映します。 $\theta_{JA}$  値は測定値に基づきます。この測定値は、デバイスを細いパターンの持つJEDEC標準 4 層ボードに実装し、自然空冷で取得します。通常の動作では、ADuM520xはフル負荷で、フル温度範囲で出力電流の低下なしに動作しますが、PCBレイアウトのセクションに示す推奨事項に従うと、PCBへの熱抵抗が小さくなるため、高い周囲温度で熱余裕を大きくすることができます。

## 有効電力の増加

ADuM520x デバイスは、他の互換 isoPower デバイスと組み合わせるためにデザインされています。 $RC_{IN}$  ピンと  $RC_{SEL}$  ピンを使うと、 $RC_{IN}$  ピンを経由して別のデバイスから PWM 信号を受信することもできるため、その制御信号に対してスレーブとして動作することができます。 $RC_{SEL}$  ピンでは、デバイスのスタンダアロンのセルフレギュレーション動作またはスレーブ動作を選択します。ADuM520x がスレーブとして動作する場合、マスター・デバイスからの PWM 信号により、電源がレギュレーションされます。この機能を使うと、複数の isoPower デバイスを並列接続して、負荷を均等に分担させることができます。ADuM520x をスタンダアロン・ユニットとして構成すると、自分自身の PWM 帰還信号を発生して、自分自身をレギュレーションします。

ADuM5000 はマスター・デバイスまたはスレーブ・デバイスとして、ADuM5401、ADuM5402、ADuM5403、ADuM5404 はマスター/スタンダアロン・デバイスとしてのみ、ADuM520xはスレーブ/スタンダアロン・デバイスとしてのみ、それぞれ機能することができます。これは、ADuM5000、ADuM520x、およびADuM5401~ADuM5404 は、表 14に示す特定のマスター/スレーブ組み合わせでのみ使用できることを意味しています。

表 14. isoPower デバイスの可能な組み合わせ

Master	Slave		
	ADuM5000	ADuM520x	ADuM5401 to ADuM5404
ADuM5000	Yes	Yes	No
ADuM520x	No	No	No
ADuM5401 to ADuM5404	Yes	Yes	No

表 14に示すマスター構成とスレーブ構成のデバイスの可能な組み合わせは、電源数とチャンネル数の任意の組み合わせに対応できます。

表 15 に、isoPower デバイスで可能なデータ・チャンネル数とシングル・ユニット電源数の組み合わせを示します。

表 15.電源とデータ・チャンネルの構成

Power Units	Number of Data Channels			
	0	2	4	6
1-Unit Power	ADuM5000 master	ADuM520x master	ADuM5401 to ADuM5404 master	ADuM5401 to ADuM5404 master ADuM121x
2-Unit Power	ADuM5000 master ADuM5000 slave	ADuM5000 master ADuM520x slave	ADuM5401 to ADuM5404 master ADuM520x slave	ADuM5401 to ADuM5404 master ADuM520x slave
3-Unit Power	ADuM5000 master ADuM5000 slave ADuM5000 slave	ADuM5000 master ADuM5000 slave ADuM520x slave	ADuM5401 to ADuM5404 master ADuM5000 slave ADuM5000 slave	ADuM5401 to ADuM5404 master ADuM520x slave ADuM5000 slave

## 絶縁寿命

すべての絶縁構造は、十分長い時間電圧ストレスを受けるとブレイクダウンします。絶縁性能の低下率は、絶縁に加えらる電圧波形の特性に依存します。アナログ・デバイセズは、規制当局が行うテストの他に、広範囲なセットの評価を実施してADuM520xの絶縁構造の寿命を測定しています。

アナログ・デバイセズは、定格連続動作電圧より高い電圧レベルを使った加速寿命テストを実施しています。複数の動作条件に対する加速ファクタを求めました。これらのファクタを使うと、実際の動作電圧での故障までの時間を計算することができます。表 9に、バイポーラAC動作条件での 50 年のサービス寿命に対するピーク電圧と最大CSA/VDE認定動作電圧を示します。多くのケースで、実証された動作電圧は 50 年サービス寿命の電圧より高くなっています。これらの高い動作電圧での動作は、ケースによって絶縁寿命を短くすることがあります。

ADuM520x の絶縁寿命は、アイソレーション障壁に加えらる電圧波形のタイプに依存します。iCoupler絶縁構造の性能は、波形がバイポーラAC、ユニポーラAC、DCのいずれであるかに応じて、異なるレートで低下します。図 26、図 27、図 28に、これらのアイソレーション電圧波形を示します。

バイポーラ AC 電圧は最も厳しい環境です。AC バイポーラ条件での 50 年動作寿命の目標により、アナログ・デバイセズが推奨する最大動作電圧が決定されています。

ユニポーラACまたはユニポーラDC電圧の場合、絶縁に加わるストレスは大幅に少なくなります。このために高い動作電圧での動作が可能になり、さらに 50 年のサービス寿命を実現するこ

とができます。表 9に示す動作電圧は、ユニポーラAC電圧またはユニポーラDC電圧のケースに適合する場合、50 年最小寿命に適用することができます。図 27または図 28に適合しない絶縁電圧波形は、バイポーラAC波形として扱う必要があります。ピーク電圧は表 9に示す 50 年寿命電圧値に制限する必要があります。図 27に示す電圧は、説明目的のためにのみ正弦波としています。すなわち、0 Vとある規定値との間で変化する任意の電圧波形とすることができます。規定値は正または負となることができませんが、電圧は 0 Vを通過することはできません。

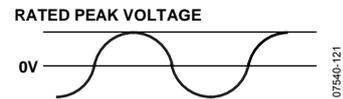


図 26.バイポーラ AC 波形

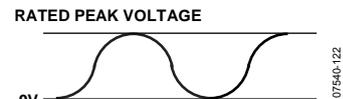


図 27.ユニポーラ AC 波形

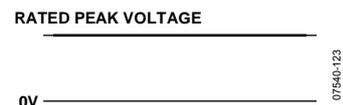
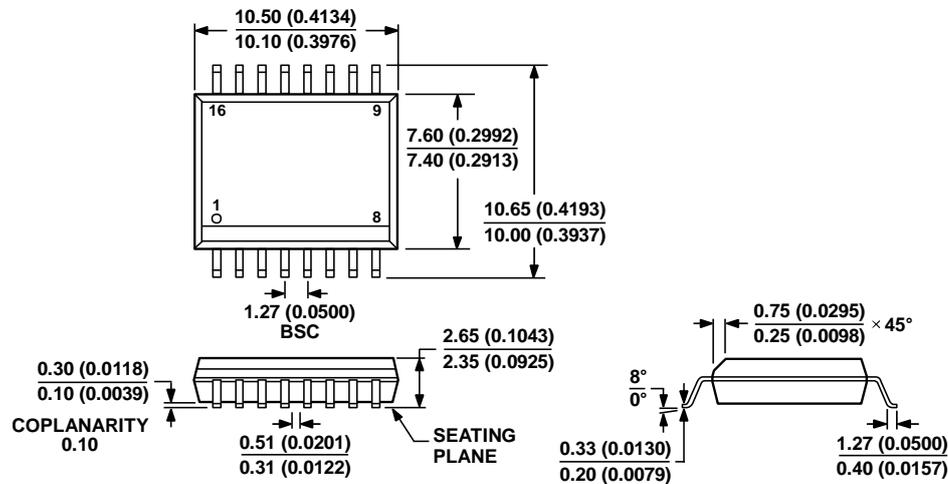


図 28.DC 波形

## 外形寸法



COMPLIANT TO JEDEC STANDARDS MS-013-AA  
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS  
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR  
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

032707-B

図 29.16 ピン標準スモール・アウトライン・パッケージ[SOIC\_W]  
 ワイドボディ(RW-16)  
 寸法: mm (インチ)

## オーダー・ガイド

Model	Number of Inputs, V <sub>DD1</sub> Side	Number of Inputs, V <sub>DD2</sub> Side	Maximum Data Rate (Mbps)	Maximum Propagation Delay, 5 V (ns)	Maximum Pulse Width Distortion (ns)	Temperature Range	Package Description	Package Option
ADuM5200ARWZ <sup>1,2</sup>	2	0	1	100	40	-40°C to +105°C	16-Lead SOIC_W	RW-16
ADuM5200CRWZ <sup>1,2</sup>	2	0	25	70	3	-40°C to +105°C	16-Lead SOIC_W	RW-16
ADuM5201ARWZ <sup>1,2</sup>	1	1	1	100	40	-40°C to +105°C	16-Lead SOIC_W	RW-16
ADuM5201CRWZ <sup>1,2</sup>	1	1	25	70	3	-40°C to +105°C	16-Lead SOIC_W	RW-16
ADuM5202ARWZ <sup>1,2</sup>	0	2	1	100	40	-40°C to +105°C	16-Lead SOIC_W	RW-16
ADuM5202CRWZ <sup>1,2</sup>	0	2	25	70	3	-40°C to +105°C	16-Lead SOIC_W	RW-16

<sup>1</sup> テープとリールを提供しています。"RL"サフィックスを追加すると、13インチ(1,000個)のテープおよびリール・オプションが指定されます。

<sup>2</sup> Z = RoHS 準拠製品。