



故障検出機能付き高電圧絶縁型 IGBT ゲート・ドライバ

データシート

ADuM4137

特長

6A ピークの駆動出力機能
内部ターンオフ NFET、オン抵抗： $< 0.95\Omega$
内部ターンオン PFET、オン抵抗： $< 1.18\Omega$
スプリット・エミッタ過電流検出
ミラー・クランプ出力（ゲート・センス入力付き）
絶縁型の故障出力
絶縁型温度センサー・リードバック
伝搬遅延
立上がり：105ns（代表値）
立下がり：107ns（代表値）
最小パルス幅：70ns
動作時ジャンクション温度範囲（ $-40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ ）
 V_{DD1} と V_{DD2} の UVLO
ASC 入力
沿面距離：8.3mm
安全性と規制に対する認定
1 分間で 5kVrms、UL 1577 規格に準拠
CSA Component Acceptance Notice 5A に準拠
DIN V VDE V 0884-10（VDE V 0884-10）：2006-12
 $V_{IORM} = 849V_{PEAK}$ （強化／基本）
車載アプリケーション向けの AEC-Q100 認定

アプリケーション

MOSFET/IGBT ゲート・ドライバ
太陽光発電（PV）インバータ
モータ駆動
電源

概要

ADuM4137¹ は、絶縁型ゲート・バイポーラ・トランジスタ（IGBT）の駆動用に特別に最適化されたシングルチャンネル・ゲート・ドライバです。入力信号と出力ゲート・ドライバ間の絶縁には、アナログ・デバイセズの iCoupler[®] 技術が使用されています。

アナログ・デバイセズのチップ・スケール・トランスを搭載しているので、チップの高電圧領域と低電圧領域間で制御情報の絶縁型通信も可能です。チップの状態に関する情報は、専用の故障出力から読み出すことができます。ADuM4137 は、過電流イベント、リモート温度過熱イベント、低電圧ロックアウト（UVLO）、およびサーマル・シャットダウン（TSD）時の絶縁故障を通知する機能を備えています。

また、ADuM4137 には過電流検出機能が組み込まれており、過電流イベント発生時に IGBT を保護します。スプリット・エミッタ過電流検出は、故障発生時の 2 レベル高速ターンオフ機能と連動しています。

ADuM4137 では外付けの金属酸化膜半導体電界効果トランジスタ（MOSFET）用にミラー・クランプ制御信号を使用でき、ゲート電圧が 2.0V（代表値）と GND_2 の間の値に低下すると、シングル・レール電源で IGBT を確実にターンオフします。また、ミラー・クランプ動作の有無にかかわらず、ユニポーラ 2 次電源での動作も可能です。

低ゲート電圧検出回路は、ターンオン後の許容時間（ t_{DVL} ）内にゲート電圧が内部閾値（ V_{DVL} ）を超えなかった場合に故障をトリガできます。この回路は、ゲート短絡やその他の低駆動強度の原因となる IGBT デバイスの故障を検出します。

2 次側の立下がり UVLO は、一般的な IGBT の 2 レベル・プラトー電圧レベルに合わせて 11.24V（代表値）に設定されています。

ADuM4137 は温度設定を現場で行うことができます。2 本の温度センサー・ピンにより、デバイスの 1 次側にあるシリアル・ポート・インターフェース（SPI）バスを使用して、IGBT におけるシステム温度と検出ダイオードのゲインおよびオフセットを、絶縁した状態でモニタすることが可能です。値は 2 次側にある EEPROM に保存されます。更に、特定の電圧オフセット、温度検出通知周波数、および重要な値である遅延も設定可能です。

故障が発生していなければ、ADuM4137 の 2 次側にある ASC ピンを使用して、2 次側からドライバをオンにすることができます。

¹ 米国特許 5,952,849、6,873,065、および 7,075,329 により保護されています。その他の特許は申請中です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

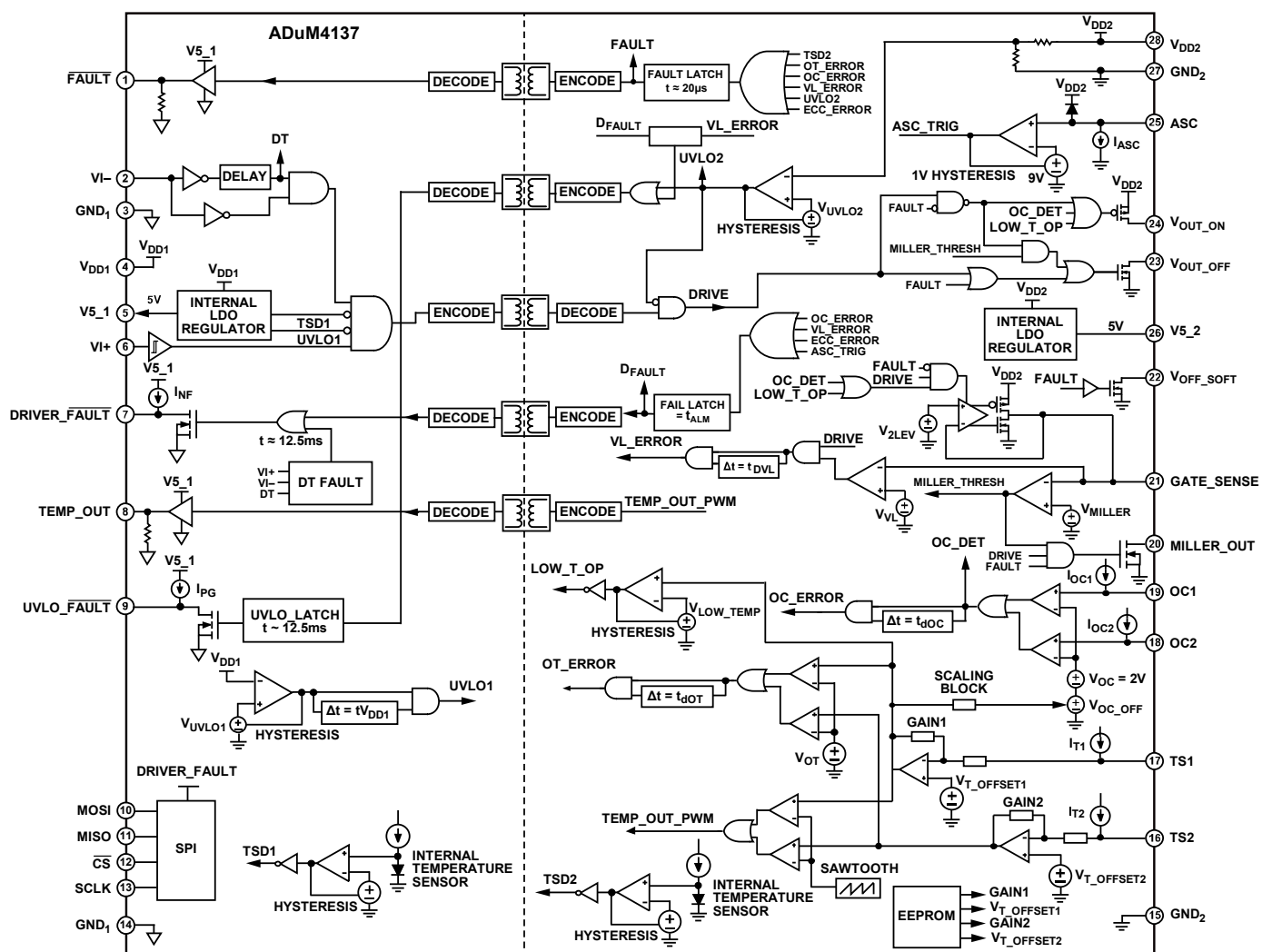
目次

特長	1	動作原理	15
アプリケーション	1	アプリケーション情報	16
概要	1	PCB レイアウト	16
改訂履歴	2	SPI と EEPROM の動作	16
機能ブロック図	3	ユーザ・レジスタ・マップ	17
仕様	4	ユーザ・レジスタ・ビット	17
電气的特性	4	設定レジスタ・ビット	17
SPI タイミングの仕様	8	コントロール・レジスタ・ビット	18
パッケージ特性	8	SPI の安全性	19
適用規格	9	伝搬遅延に関するパラメータ	19
絶縁および安全性関連の仕様	9	保護機能	20
DIN V VDE V 0884-10 (VDE V 0884-10) 絶縁特性	10	絶縁寿命	26
推奨動作条件	10	DC 精度と磁界耐性	26
絶対最大定格	11	代表的なアプリケーション回路	27
熱抵抗	11	外形寸法	28
ESD に関する注意	11	オーダー・ガイド	28
ピン配置およびピン機能の説明	13	オートモーティブ製品	28
代表的な性能特性	14		

改訂履歴

2/2019—Revision 0: Initial Version

機能ブロック図



NOTES

1. VL_ERROR IS THE VOLTAGE LOW ERROR INTERNAL CONNECTION.
2. TEMP_OUT_PWM IS THE TEMPERATURE SENSE INTERNAL CONNECTION.
3. OC_ERROR IS THE OVERCURRENT ERROR INTERNAL CONNECTION.
4. OC_DET IS THE OVERCURRENT DETECTION INTERNAL CONNECTION.
5. V_{VL} IS THE GATE LOW VOLTAGE REFERENCE VOLTAGE.
6. ASC_TRIG IS THE ASC SIGNAL INTERNAL CONNECTION.
7. MILLER_THRES IS THE MILLER CLAMP ACTIVATION INTERNAL CONNECTION.
8. OT_ERROR IS THE OVERTEMPERATURE ERROR INTERNAL CONNECTION.
9. V_{T_OFFSET1} IS THE TEMPERATURE SENSE OFFSET VOLTAGE FOR THE TS1 PIN.
10. V_{T_OFFSET2} IS THE TEMPERATURE SENSE OFFSET VOLTAGE FOR TS2 PIN.
11. I_{T1} IS THE INTERNAL CURRENT REFERENCE FOR TS1 PIN.
12. I_{T2} IS THE INTERNAL CURRENT REFERENCE FOR TS2 PIN.
13. V_{OC_OFF} IS THE OVERCURRENT VOLTAGE OFFSET DUE TO TEMPERATURE RAMP.
14. V_{OC} IS THE OVERCURRENT REFERENCE VOLTAGE.
15. I_{OC1} IS THE OC1 INTERNAL PULL-UP CURRENT SOURCE.
16. I_{OC2} IS THE OC2 INTERNAL PULL-UP CURRENT SOURCE.
17. V_{UVLO1} IS THE VDD1 UVLO REFERENCE.
18. V_{UVLO2} IS THE VDD2 UVLO REFERENCE.
19. V_{LOW_TEMP} IS THE LOW TEMPERATURE OPERATION REFERENCE.
20. V_{2LEV} IS THE TARGET VOLTAGE REFERENCE FOR TWO LEVEL OPERATION.
21. LOW_T_OP IS THE LOW TEMPERATURE OPERATION TRIGGER.
22. DT IS THE DEADTIME INTERNAL CONNECTION.
23. D_FAULT IS THE DRIVE FAULT INTERNAL CONNECTION.
24. UVLO_LATCH IS THE UNDERVOLTAGE LOCKOUT LATCH TIMER.
25. GAIN1 IS THE REMOTE TEMPERATURE SENSE USER TRIMMABLE GAIN FOR TS1.
26. GAIN2 IS THE REMOTE TEMPERATURE SENSE USER TRIMMABLE GAIN FOR TS2.
27. TSD1 IS THE PRIMARY SIDE THERMAL SHUTDOWN COMMAND.
28. TSD2 IS THE SECONDARY SIDE THERMAL SHUTDOWN COMMAND.
29. V_{MILLER} IS THE MILLER CLAMP REFERENCE VOLTAGE.
30. I_{NF} IS THE DRIVER_FAULT INTERNAL PULL-UP CURRENT SOURCE.
31. I_{PG} IS THE UVLO_FAULT INTERNAL PULL-UP CURRENT SOURCE.
32. V_{OT} IS THE TEMPERATURE SENSE OVERTEMPERATURE REFERENCE.
33. I_{ASC} IS THE ASC PIN INTERNAL PULL-UP CURRENT SOURCE.
34. ECC_ERROR IS THE ERROR CORRECTING CODE INTERNAL CONNECTION.
35. t_{ALM} IS THE FAULT LATCH HOLD TIME.
36. UVLO1 IS THE PRIMARY SIDE UVLO INTERNAL CONNECTION.
37. UVLO2 IS THE SECONDARY SIDE UVLO INTERNAL CONNECTION.

図 1.

17037-001

仕様

電気的特性

特に指定のない限り、ローサイド電圧はGND₁基準、ハイサイド電圧はGND₂基準、V_{DD1} = 12V、V_{DD2} = 15V、T_J = -40°C〜+150°C。特に指定のない限り、すべての最小および最大仕様値は推奨動作ジャンクション温度範囲全体に適用されます。特に指定のない限り、すべての代表仕様は、T_J = 25°C、V_{DD1} = 12V、V_{DD2} = 15Vでの値です。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC SPECIFICATIONS						
High-Side Power Supply						
Input Voltage, Secondary Side	V _{DD2}	12		25	V	
V _{DD2} Input Current, Quiescent	I _{DD2 (Q)}	9.8	11.5	16.0	mA	TS1 = TS2 = open, VI+ = 0 V, VI- = 5 V, V _{DD2} = 25 V
		12.8	15.2	20.0	mA	TS1 = TS2 = 2 V, VI+ = 5 V, VI- = 0 V, V _{DD2} = 25 V
V5_2 Regulated Output Voltage	V _{V5_2}	4.9	5.0	5.1	V	Unloaded
Logic Supply						
Input Voltage, Primary Side	V _{DD1}	4.5		25	V	
V _{DD1} Input Current	I _{DD1}	2.8	3.8	4.7	mA	TS1 = TS2 = open, VI+ = 0 V, VI- = 5 V, TEMP_OUT floating, V _{DD1} = 4.5 V, V _{DD2} = 15 V
		3.3	6.3	8.5	mA	TS1 = TS2 = 2 V, VI+ = 5 V, VI- = 0 V, TEMP_OUT floating, V _{DD1} = 25 V, V _{DD2} = 15 V
V5_1 Regulated Output Voltage	V _{V5_1}	4.9	5.0	5.1	V	Unloaded
Logic Inputs, VI+, VI-, CS, MOSI, SCLK						
Input Current (VI+, VI-, CS, MOSI, SCLK Only)	I _I	-0.1	+0.01	+0.1	μA	
Input Voltage						
Logic High	V _{IH}			2.5	V	V _{DD1} ≥ 6 V
				2.2	V	4.5 V ≤ V _{DD1} ≤ 6 V
Logic Low Input Voltage	V _{IL}	0.9			V	V _{DD1} ≥ 6 V
		0.85			V	4.5 V ≤ V _{DD1} ≤ 6 V
Logic Input Hysteresis	V _{HYST}		1.11		V	V _{DD1} ≥ 6 V
			1.02		V	4.5 V ≤ V _{DD1} ≤ 6 V
UVLO_FAULT						
Logic High Input Voltage	V _{IH_F}			2.82	V	V _{DD1} ≥ 6 V
				2.56	V	4.5 V ≤ V _{DD1} ≤ 6 V
Logic Low Input Voltage	V _{IL_F}	1.62			V	V _{DD1} ≥ 6 V
		1.46			V	4.5 V ≤ V _{DD1} ≤ 6 V
Logic Input Hysteresis	V _{HYS_F}		0.93		V	V _{DD1} ≥ 6 V
			0.84		V	4.5 V ≤ V _{DD1} ≤ 6 V
MISO Logic Output						
MISO N Channel Field Effect Transistor (NFET) Drain to Source On Resistance (R _{DS(on)})	R _{DS(on)_MISO_N}		9	20	Ω	MISO current (I _{MISO}) = 5 mA, V _{DD1} = 4.5 V
MISO P Channel Field Effect Transistor (PFET) R _{DS(on)}	R _{DS(on)_MISO_P}		13	30	Ω	I _{MISO} = 5 mA, V _{DD1} = 4.5 V
MISO NFET High-Z Leakage	I _{MISO_LK_N}	-0.1	+0.01	+0.1	μA	MISO = 0 V
MISO PFET High-Z Leakage	I _{MISO_LK_P}	-0.1	+0.01	+0.1	μA	MISO = 5 V

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
UVLO						
Positive Going Threshold						
V _{DD1}	V _{VDD1UV+}		4.25	4.50	V	
V _{DD2}	V _{VDD2UV+}		11.57	11.72	V	
Negative Going Threshold						
V _{DD1}	V _{VDD1UV-}	4.0	4.17		V	
V _{DD2}	V _{VDD2UV-}	11.0	11.24		V	
Hysteresis						
V _{DD1}	V _{VDD1UVH}		0.1		V	
V _{DD2}	V _{VDD2UVH}		0.33		V	
PROTECTION FEATURES						
DRIVER_FAULT						
DRIVER_FAULT Pull-Up Current	I _{PU_DF}	71	78	84	μA	Tested at 0 V
Source						
DRIVER_FAULT R _{DS(on)}	R _{ON_DF}		17	40	Ω	Tested at 5 mA, V _{DD1} = 4.5 V
UVLO_FAULT						
UVLO_FAULT Pull-Up Current	I _{PU_UF}	71	78	85	μA	Tested at 0 V
Source						
UVLO_FAULT R _{DS(on)}	R _{ON_UF}		14	34	Ω	Tested at 5 mA, V _{DD1} = 4.5 V
FAULT						
FAULT P Type Metal-Oxide Semiconductor (PMOS)	R _{FLT_P}		4.18	8.35	Ω	Tested at 20 mA, V _{DD1} = 4.5 V
FAULT N Type Metal-Oxide Semiconductor (NMOS)	R _{FLT_N}		5.11	10.15	Ω	Tested at 20 mA, V _{DD1} = 4.5 V
Pull-Down	R _{FLT_PD}	0.84	1.11	1.38	MΩ	
Low Gate Voltage						
Reference Voltage	V _{VL}	9.68	9.92	10.11	V	V _{DD2} = 15 V
Fault Delay Time	t _{DVL}	11.18	12.73	14.67	μs	V _{DD2} = 15 V
Fault Delay Time	t _{DVL_FLT}	570	723	890	ns	To FAULT
		560	721	920	ns	To DRIVER_FAULT
		4740	6767	9700	ns	To UVLO_FAULT
Overcurrent						
Voltage						
Temperature Ramp Disabled	V _{OC_D_TH}	1.9	2	2.1	V	T_RAMP_OP = 1
Temperature Ramp Enabled	V _{OC_D_TH_EN}	2.59	2.7	2.8	V	T_RAMP_OP = 0, TS1 = 1.55 V
		1.85	1.96	2.1	V	T_RAMP_OP = 0, TS1 = 2.25 V
		1.65	1.75	1.82	V	T_RAMP_OP = 0, TS1 = 2.45 V
Hysteresis						
Temperature Ramp Disabled	V _{OC_D_HYST}		0.17		V	T_RAMP_OP = 1
Temperature Ramp Enabled	V _{OC_D_HYST_EN}		0.17		V	T_RAMP_OP = 0, TS1 = 1.55 V
			0.17		V	T_RAMP_OP = 0, TS1 = 2.25 V
			0.17		V	T_RAMP_OP = 0, TS1 = 2.45 V
OC1 Pull-Up Current Source	I _{OC1_PU}	3.8	5	6.2	μA	
OC2 Pull-Up Current Source	I _{OC2_PU}	3.8	5	6.2	μA	
Detect Delay Time	t _{IOC}	650	787	936	ns	OC_2LEV_OP = 0, OC_TIME_OP = 0
Time to Report Overcurrent Fault to FAULT Pin	t _{REPORT}	570	725	900	ns	OC_2LEV_OP = 1, to FAULT
		420	724	1020	ns	OC_2LEV_OP = 1, to DRIVER_FAULT
Detect Blanking	t _{BLANK}	300	360	445	ns	t _{BLANK} bits = 0001

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
ASC						
ASC Detect Comparator Voltage	V_{ASC}	8.43	8.93	9.34	V	ASC = 2 V
Hysteresis	V_{ASC_HYS}		0.85		V	
Internal Current Source	I_{ASC}	130	153	178	μA	
ASC Filter	t_{ASC_F}		53	104	ns	
Time to Report ASC	t_{ASC}	360	537	820	ns	
TSD						
Primary Side TSD						
Positive Edge	t_{TSD_POS1}		154		$^{\circ}C$	
Negative Edge	t_{TSD_NEG1}		135		$^{\circ}C$	
Secondary Side TSD						
Positive Edge	t_{TSD_POS2}		150		$^{\circ}C$	
Negative Edge	t_{TSD_NEG2}		130		$^{\circ}C$	
Isolated Temperature Sensor						
Temperature Sense						
Bias Current Source	I_{T1}	0.90	1.0	1.11	mA	TS1 = 2.2 V
	I_{T2}	0.92	1.0	1.12	mA	TS2 = 2.2 V
Matching	I_{T_MATCH}		0.011	0.074	mA	TSx = 2.2 V
Pulse-Width Modulation (PWM)	f_{PWM}	9.3	10.0	10.7	kHz	PWM_OSC = 0, TSx = 2.25 V
Output Frequency		46.4	50.0	53.0	kHz	PWM_OSC = 1, TSx = 2.25 V
PWM Duty Cycle		8.1	10.2	11.4	%	PWM_OSC = 0, TSx = 2.45 V
		26.5	28.4	29.8	%	PWM_OSC = 0, TSx = 2.25 V
		90.6	92.1	93.5	%	PWM_OSC = 0, TSx = 1.55 V
		8.0	10.3	12.4	%	PWM_OSC = 1, TSx = 2.45 V
		26.1	28.5	30.9	%	PWM_OSC = 1, TSx = 2.25 V
		89.7	92.0	94.2	%	PWM_OSC = 1, TSx = 1.55 V
Duty Cycle						
Minimum		0.67	1.3	2.05	%	TS1 = 3.0 V
Maximum		98.5	99	99.2	%	TS1 = 0 V
Overtemperature						
Detect Delay Time	t_{DOT}	0.9	1.00	1.14	ms	
Fault Delay Time	t_{DOT_FLT}	530	715	920	ns	
Detection Voltage						
Rising	$V_{OT_0_R}$	1.62	1.69	1.75	V	OT_FAULT_SEL = 0
	$V_{OT_1_R}$	1.67	1.73	1.79	V	OT_FAULT_SEL = 1
Falling	$V_{OT_0_F}$	1.59	1.64	1.70	V	OT_FAULT_SEL = 0
	$V_{OT_1_F}$	1.63	1.68	1.74	V	OT_FAULT_SEL = 1
Hysteresis	$V_{OT_HYST_0_R}$		50		mV	OT_FAULT_SEL = 0
	$V_{OT_HYST_1_R}$		50		mV	OT_FAULT_SEL = 1
Low Temperature Threshold						
Rising	$V_{LOW_T_R}$	2.33	2.40	2.46	V	TS1 pin voltage
Falling	$V_{LOW_T_F}$	2.32	2.36	2.40	V	TS1 pin voltage
Hysteresis	$V_{LOW_HYST_T_F}$		40		mV	
TEMP_OUT Resistance						
NMOS $R_{DS(on)}$	R_{TEMP_N}		12	25	Ω	TEMP_OUT current (I_{TEMP_OUT}) = 20 mA, V_{DD1} = 4.5 V
PMOS $R_{DS(on)}$	R_{TEMP_P}		14	26	Ω	I_{TEMP_OUT} = 20 mA, V_{DD1} = 4.5 V
Pull-Down	R_{TEMP_PD}	0.9	1	1.3	M Ω	
Miller Clamp Voltage Threshold	V_{MILLER}	1.88	2.0	2.14	V	Referenced to GND ₂

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Fault Reporting						
Latch Assert Time A	t_{LA_A}	10	13	16	ms	
Latch Assert Time B	t_{LA_B}	18	20	23	ms	
Latch Assert Time C	t_{LA_C}	23	26	30	ms	
DRIVE SPECIFICATIONS						
Internal NFET						
On Resistance	$R_{DS(on)_N}$		0.51	0.95	Ω	V_{OUT_OFF} current (I_{VOUT_OFF}) = 0.5 A, V_{DD1} = 6 V, V_{DD2} = 12 V
On Resistance 2 Level	$R_{DS(on)_N_2LEV}$		1.78	3.45	Ω	I_{VOUT_OFF} = 0.1 A, V_{DD1} = 6 V, V_{DD2} = 12 V
Internal PFET						
On Resistance	$R_{DS(on)_P}$		0.64	1.18	Ω	V_{OUT_ON} current (I_{VOUT_ON}) = 0.5 A, V_{DD1} = 6 V, V_{DD2} = 12 V
On Resistance 2 Level	$R_{DS(on)_P_2LEV}$		2.04	3.90	Ω	I_{VOUT_ON} = 0.1 A, V_{DD1} = 6 V, V_{DD2} = 12 V
Miller Pull-Down NFET	$R_{DS(on)_MILLER}$		4	10	Ω	Miller current (I_{MILLER}) = 10 mA
$V_{OFF_SOFT} R_{DS(on)}$	$R_{DS(on)_SOFT_OFF}$		15	33	Ω	V_{OFF_SOFT} current (I_{OFF_SOFT}) = 10 mA
Peak Current	I_{PEAKIP}		6		A	V_{DD2} = 15 V, 2 Ω external resistance
Two-Level Plateau Voltage	V_{2LEV}	11.67	11.89	12.05	V	
SWITCHING SPECIFICATIONS						
Pulse Width ¹	PW	70			ns	V_{DD2} = 15 V, V_{OUT_ON} = V_{OUT_OFF} , no load
Propagation Delay						
Rising ²	t_{DLH}	78	105	131	ns	V_{DD2} = 15 V, V_{OUT_ON} = V_{OUT_OFF} , no load
Falling ²	t_{DHL}	83	107	137	ns	V_{DD2} = 15 V, V_{OUT_ON} = V_{OUT_OFF} , no load
Dead Time	t_{DEXT}	0.91	1.00	1.11	μ s	

¹ 最小パルス幅は、仕様規定されたタイミング・パラメータが確保される最小のパルス幅です。

² 伝搬遅延 t_{DLH} は、入力立上がりロジック・ハイ閾値 V_{IH} から、 V_{OUT_ON} 信号または V_{OUT_OFF} 信号の出力立上がり 10% レベルまでを測定した値です。伝搬遅延 t_{DHL} は、入力立下がりロジック・ロー閾値 V_{IL} から、 V_{OUT_ON} 信号または V_{OUT_OFF} 信号の出力立下がり 90% 閾値までを測定した値です。伝搬遅延パラメータの波形については、図 13 を参照してください。

SPI タイミングの仕様

SPI タイミング仕様は設計により確保されています。すべてのデバイスの出荷テストは、200kHz の SPI 通信によって行われています。

表 2.

Parameter	Description	Min	Typ	Max	Unit
t_S	Time to first clock edge	8			μs
t_{DS}	Set period	1			μs
t_{DH}	Hold period	1			μs
t_{CLK}	Clock period	5			μs
t_H	Release time	8			μs
t_{HIGH}	Clock time high	100			ns
t_{LOW}	Clock time low	100			ns
t_{OV}	Output valid time			240	ns

SPI タイミング図

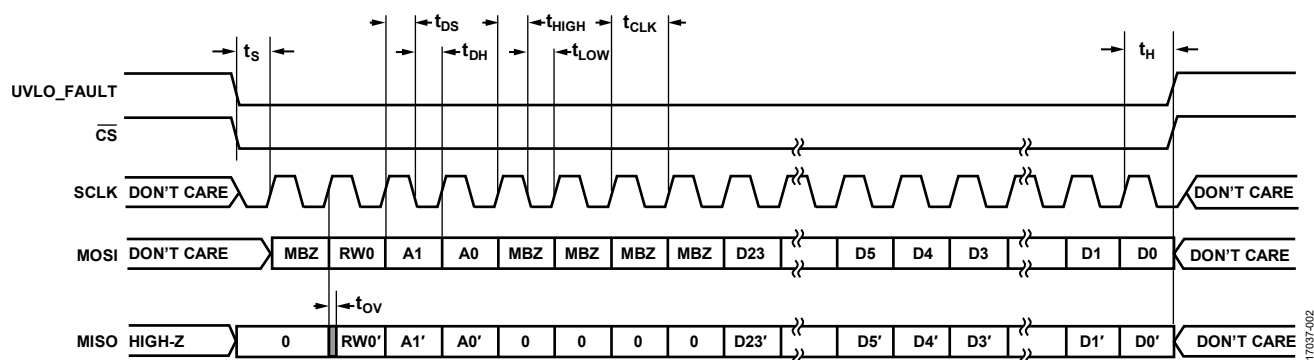


図 2. SPI タイミング図

パッケージ特性

表 3.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Resistance (Input Side to High-Side Output) ¹	R_{I-O}		10^{12}		Ω	
Capacitance (Input Side to High-Side Output) ¹	C_{I-O}		2.0		pF	
Input Capacitance	C_I		4.0		pF	

¹ このデバイスは 2 端子デバイスとみなされます。すなわち、ピン 1～ピン 14 を相互に接続し、ピン 15～ピン 28 を相互に接続します。

適用規格

表 4.

UL（申請中）	CSA（申請中）	VDE（申請中）	CQC（申請中）
UL 1577 部品承認プログラム シングル・プロテクション、 5000Vrms 絶縁電圧 ファイル E214100	CSA Component Acceptance Notice 5A による認定 CSA 60950-1-07+A1+A2 および IEC 60950-1, second edition, +A1+A2: 830Vrms (1174V _{PEAK}) の基本絶縁 415Vrms (587V _{PEAK}) の強化絶縁 IEC 60601-1 Edition 3.1: 基本絶縁 (1 MOPP (患者保護手 段))、519Vrms (734V _{PEAK}) 強化絶縁 (2 MOPP)、261Vrms (369V _{PEAK}) CSA 61010-1-12 および IEC 61010-1 third edition 基本絶縁、主電源 300Vrms、2 次電 圧 830V (1174V _{PEAK}) 強化絶縁、主電源 300Vrms、2 次電 圧 415V (587V _{PEAK}) ファイル 205078	DIN V VDE V 0884-10 (VDE V 0884-10) : 2006-12 849V _{PEAK} 、V _{IOTM} = 8kV _{PEAK} の強 化絶縁 ファイル 2471900-4880-0001	CQC11-471543-2012 による認証 GB4943.1-2011 830Vrms (1174V _{PEAK}) の基本絶縁 415Vrms (587V _{PEAK}) の強化絶縁 ファイル (申請中)

絶縁および安全性関連の仕様

表 5.

パラメータ	記号	値	単位	テスト条件／コメント
Rated Dielectric Insulation Voltage		5000	V rms	1 分間持続
Minimum External Air Gap (Clearance)	L (I01)	8.3	mm min	入力端子から出力端子までを測定、空気中の最短距離
Minimum External Tracking (Creepage)	L (I02)	8.3	mm min	入力端子から出力端子までを測定、ボディに沿った最短距離
Minimum Clearance in the Plane of the Printed Circuit Board (PCB Clearance)	L (PCB)	8.7	mm min	入力端子から出力端子までを測定、空気中の最短距離、見通し距離、PCB マウント面
Minimum Internal Gap (Internal Clearance)		0.017	mm min	絶縁体を介した絶縁距離
Tracking Resistance (Comparative Tracking Index)	CTI	>400	V	DIN IEC 112/VDE 0303 Part 1
Material Group		II		材料グループ (DIN VDE 0110, 1/89, Table 1)

DIN V VDE V 0884-10 (VDE V 0884-10) 絶縁特性

これらのアイソレータは、安全限界データ範囲内の強化絶縁のみに適しています。安全性データの維持は、保護回路によって確保されます。パッケージのアスタリスク (*) マークは、560V_{PEAK} 動作電圧の DIN V VDE V 0884-10 認定を取得済みであることを示しています。

表 6. VDE 特性

説明	テスト条件／コメント	記号	特性	単位
IEC 60664-1 による設置等級			I to IV	
定格主電源電圧 ≤ 150Vrms			I to IV	
定格主電源電圧 ≤ 300Vrms			I to IV	
定格主電源電圧 ≤ 600Vrms			40/125/212	
耐候性カテゴリ				
DIN VDE 0110, Table 1 による汚染度				
最大動作絶縁電圧		V _{IORM}	849	V _{PEAK}
入力～出力テスト電圧、メソッド B1	V _{IORM} × 1.875 = V _{pd (m)} 、100%出荷テスト、 t _{ini} = t _m = 1 秒、部分放電 < 5pC	V _{pd(m)}	1592	V _{PEAK}
入力～出力テスト電圧、メソッド A	V _{IORM} × 1.5 = V _{pd (m)} 、t _{ini} = 60 秒、t _m = 10 秒、 部分放電 < 5pC	V _{pd(m)}		
環境テスト・サブグループ 1 に従う			1274	V _{PEAK}
入力または安全テスト・サブグループ 2 およびサブグループ 3 に従う	V _{IORM} × 1.2 = V _{pd (m)} 、t _{ini} = 60 秒、t _m = 10 秒、 部分放電 < 5pC		1019	V _{PEAK}
最大許容過電圧		V _{IOTM}	8000	V _{PEAK}
インパルス	1.2μs の立上がり時間、50μs の 50%立下がり時間（優先シーケンスで気中放電）	V _{IMPULSE}	8000	V _{PEAK}
基本サージ絶縁電圧	V _{PEAK} = 12.8kV、1.2μs の立上がり時間、50μs の 50%立下がり時間	V _{IOSM}	9800	V _{PEAK}
強化サージ絶縁電圧	V _{PEAK} = 12.8kV、1.2μs の立上がり時間、50μs の 50%立下がり時間	V _{IOSM}	8000	V _{PEAK}
安全制限値	故障時の最大許容値（図 3 を参照）			
最大ジャンクション温度		T _S	150	°C
T _A = 25°C における合計消費電力		P _S	2.0	W
T _S における絶縁抵抗	入力と出力間の電圧 (V _{IO}) = 500V	R _S	>10 ⁹	Ω

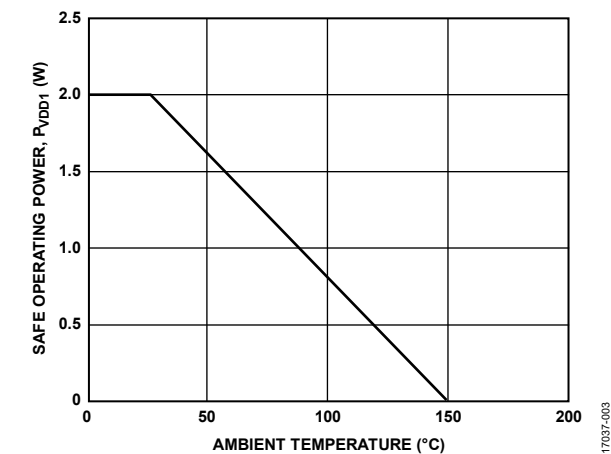


図 3. 熱ディレーティング・カーブ、DIN V VDE V 0884-10 による安全限界値の周囲温度に対する依存性

推奨動作条件

表 7.

Parameter	Value
Operating Temperature Range (T _J)	−40°C to +150°C
Supply Voltages	
V _{DD1} ¹	4.5 V to 25 V
V _{DD2} ²	12 V to 25 V

¹ GND₁ を基準。

² GND₂ を基準。

絶対最大定格

表 8.

Parameter	Rating
Storage Temperature Range (T _{ST})	−55°C to +150°C
Junction Operating Temperature Range (T _J)	−40°C to +150°C
Supply Voltages	
V _{DD1} ¹	−0.2 V to +30 V
V _{DD2} ²	−0.2 V to +30 V
Primary Side Pins ¹	
VI+, VI−, MOSI, $\overline{\text{CS}}$, SCLK	−0.2 V to +5.5 V
$\overline{\text{FAULT}}$, TEMP_OUT, MISO, DRIVER_FAULT, UVLO_FAULT	−0.2 V to V _{5_1} + 0.2 V
Secondary Side Pins ²	
TS1, TS2	−0.2 V to V _{5_2} + 0.2 V
MILLER_OUT, V _{OFF_SOFT} , V _{OUT_OFF}	−0.2 V to +30 V
GATE_SENSE, OC1, OC2	−0.2 V to V _{DD2} + 0.2 V
V _{OUT_ON} , ASC	−0.2 V to V _{DD2} + 0.2 V
Common-Mode Transients (CM)	−150 kV/μs to +150 kV/μs

¹ GND₁を基準。² GND₂を基準。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、PCB の設計と動作環境に直接関連します。PCB の熱設計には細心の注意を払う必要があります。

θ_{JA} は接合部-周囲の熱抵抗値、Ψ_{JT} は接合部-上面の特性評価パラメータです。

表 9. 熱抵抗

Package Type ¹	θ _{JA}	Ψ _{JT}	Unit
RN-28-1	62.4	2.97	°C/W

¹ 4 層 PCB

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

表 10. 最大連続動作電圧^{1, 2, 3}

パラメータ	定格	制約事項
AC Voltage		
Bipolar Waveform		
Basic Insulation	849 V _{PEAK}	寿命は VDE-0884-11 の絶縁寿命により制限されます
Reinforced Insulation	707 V _{PEAK}	寿命は VDE-0884-11 の絶縁寿命により制限されます
Unipolar Waveform		
Basic Insulation	1697 V _{PEAK}	寿命は VDE-0884-11 の絶縁寿命により制限されます
Reinforced Insulation	892 V _{PEAK}	寿命は IEC 60664-1 のパッケージ沿面距離により制限されます
DC Voltage		
Basic Insulation	1092 V _{PEAK}	寿命は IEC 60664-1 のパッケージ沿面距離により制限されます
Reinforced Insulation	546 V _{PEAK}	寿命は IEC 60664-1 のパッケージ沿面距離により制限されます

¹ 詳細については、絶縁寿命のセクションを参照してください。² 他の汚染度条件および材料グループ条件により、別の制限が発生します。³ 一部のシステム・レベル規格では、プリント配線基板（PWB）の沿面距離値をコンポーネントに使用することを許可しています。これらの規格では、サポートされている DC 電圧が高いことがあります。

表 11. 真理値表（正論理）¹

VI+ Input	VI- Input	ASC	$\overline{\text{FAULT}}$	$\overline{\text{DRIVER_FAULT}}$	$\overline{\text{UVLO_FAULT}}$	V _{DD1} State	V _{DD2} State	V _{OFF_SOFT}	V _{OUT_ON}	V _{OUT_OFF}
Low	High	<9 V	High	High	High	Powered	Powered	Low	Low	High
High	Low	<9 V	High	High	High	Powered	Powered	Low	High	Low
High	High	<9 V	High	High	High	Powered	Powered	Low	Low	High
Low	Low	<9 V	High	High	High	Powered	Powered	Low	Low	High
X	X	>9 V	High	Low	High	Powered	Powered	Low	High	Low
X	X	X	Low	X	X	Powered	Powered	High	X	Low ³
X	X	X	X	Low	X	Powered	Powered	High ^{3,4}	X	X
X	X	X	X	X	Low	Powered	Powered	High ³	X	X
X	X	>9 V	X	X	X	Unpowered	Powered	Low	High	Low
X	X	<9 V	X	X	X	Unpowered	Powered	Low	Low	High
X	X	X	X	X	X	X	Unpowered	High-Z	High-Z	Low ²

¹ X はドント・ケアまたは不明を意味します。

² V_{DD2} に電源が供給されていない場合、ADuM4137 は IGBT ゲート電圧を約 3V～5V の範囲に保とうとします。

³ ソフト・シャットダウン時、V_{OUT_OFF} の NMOS は GATE_SENSE ピンが 2V に達するまでオフになり、その後でミラー・クランプと共にオンになります。

⁴ ドライバは、過電流、ゲート・ロー違反、または誤り訂正符号（ECC）エラーなどの故障が実際に発生した場合のみソフト・シャットダウンへ移行します（故障マッピングについては表 12 を参照）。

表 12. $\overline{\text{FAULT}}$ ピン・マッピング

Fault Conditions	$\overline{\text{FAULT}}$ Pin	$\overline{\text{DRIVER_FAULT}}$ Pin	$\overline{\text{UVLO_FAULT}}$ Pin
TSD	Low, Latch Assert Time B = 20 ms (typical)	Don't care or unknown	Don't care or unknown
TSx_OT_FAULT	Low, Latch Assert Time B = 20 ms (typical)	Don't care or unknown	Don't care or unknown
Gate Low	Low, Latch Assert Time C = 26 ms (typical)	Low, Latch Assert Time C = 26 ms (typical)	Low, Latch Assert Time C = 26 ms (typical)
V _{DD2} UVLO	Low, Latch Assert Time B = 20 ms (typical)	Don't care or unknown	Low, Latch Assert Time A = 13 ms (typical)
OCx Overcurrent	Low, Latch Assert Time B = 20 ms (typical)	Low, Latch Assert Time C = 26 ms (typical)	Don't care or unknown
ECC Error	Low, Latch Assert Time B = 20 ms (typical)	Low, Latch Assert Time C = 26 ms (typical)	Don't care or unknown
ASC	Don't care or unknown	Low, Latch Assert Time C = 26 ms (typical)	Don't care or unknown
DT_FAULT	Don't care or unknown	Low, Latch Assert Time A = 13 ms (typical)	Don't care or unknown

ピン配置およびピン機能の説明

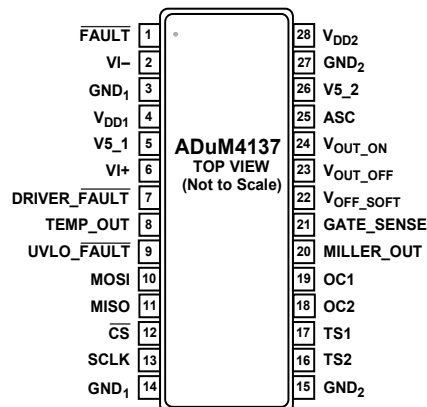


図 4. ピン配置

表 13. ピン機能の説明

ピン番号	記号	説明
1	FAULT	故障通知ピン。FAULTがローのときはドライバがディスエーブルされますが、その時間は、FAULTピンがローになっている時間、またはラッチ時間のどちらか長いほうになります。FAULT通知の真理値表については表 11 を参照してください。
2	VI-	デッド・タイム制御による反転入力。
3	GND ₁	1 次側のグラウンド基準。
4	V _{DD1}	1 次側の入力電源電圧、4.5V～25V（GND ₁ 基準）。
5	V5_1	5V レギュレーション出力。このピンは、GND ₁ 基準で 1μF の外付けコンデンサに接続します。このピンは入力ピンのロジック・レベルを制御します。
6	VI+	非反転入力。
7	DRIVER_FAULT	故障通知ピン。OCx 故障、ゲート・ロー故障、ECC 故障、ASC イベント、または DT_FAULT が発生すると、1 次側の DRIVER_FAULTピンがローになります。
8	TEMP_OUT	10kHz または 50kHz、1.3%～99%（代表値）のダイオード温度センサー用 PWM 出力。
9	UVLO_FAULT	UVLO_FAULT故障通知ピン。FAULT通知の真理値表については表 11 を参照してください。外部的に UVLO_FAULTピンをローにすると、SPI インターフェースがアクティブになります。
10	MOSI	SPI バス用 MOSI 接続。
11	MISO	SPI バス用 MISO 接続。
12	CS	SPI バス用チップ・セレクト。
13	SCLK	SPI バス用クロック。
14	GND ₁	1 次側のグラウンド基準。
15	GND ₂	2 次側のグラウンド基準。
16	TS2	リモート温度センサー2。使用しない場合はフロート状態にするか、V5_2 までプルアップします。
17	TS1	リモート温度センサー1。未使用時の詳細については、アプリケーション情報のセクションを参照してください。
18	OC2	スプリット・エミッタ過電流検出 2。このピンを使用しない場合は GND ₂ に接続します。
19	OC1	スプリット・エミッタ過電流検出 1。このピンを使用しない場合は GND ₂ に接続します。
20	MILLER_OUT	ミラー・クランプ用外付け MOSFET を制御するための出力信号。
21	GATE_SENSE	ミラー・クランプ検出ピン。このピンは IGBT のゲートに直接接続します。
22	V _{OFF_SOFT}	ソフト・シャットダウン・ゲート接続。このピンは、外付けの直列抵抗を介してゲートに接続します。このピンは故障発生時にゲートをプルダウンします。
23	V _{OUT_OFF}	ターンオフ電流経路接続。このピンは、外付けの直列抵抗を介してゲートに接続します。このピンはロー出力コマンド時にゲートをプルダウンします。
24	V _{OUT_ON}	ターンオン電流経路接続。このピンは、外付けの直列抵抗を介してゲートに接続します。このピンはハイ出力コマンド時にゲートをプルアップします。
25	ASC	ドライバをイネーブルするための外部 2 次側制御。ASC ピンには、トリガ電圧 8.93V（代表値）、ヒステリシス 0.85V（代表値）のコンパレータがあります。ASC 信号が 8.93V（代表値）より大きい場合、故障が発生していなければ、このピンによってドライバがオンされます。
26	V5_2	2 次側の 5V 安定化出力。このピンは、GND ₂ 基準で 1μF の外付けコンデンサに接続します。
27	GND ₂	2 次側のグラウンド基準。
28	V _{DD2}	GND ₂ 基準の 2 次側の入力電源電圧。

代表的な性能特性

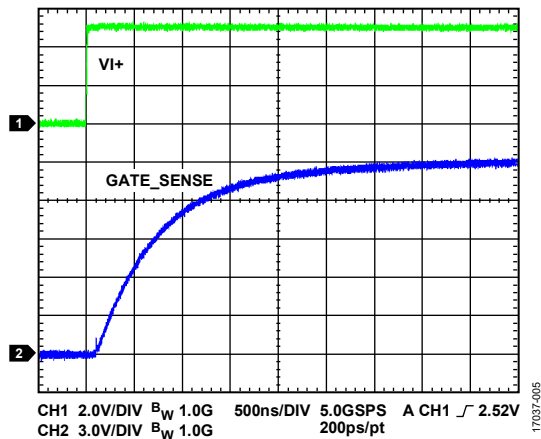


図 5. ターンオン・エッジの例、 $V_{DD1} = 5V$ 、 $V_{DD2} = 15V$ 、 3Ω ターンオン、 $100nF$ 負荷

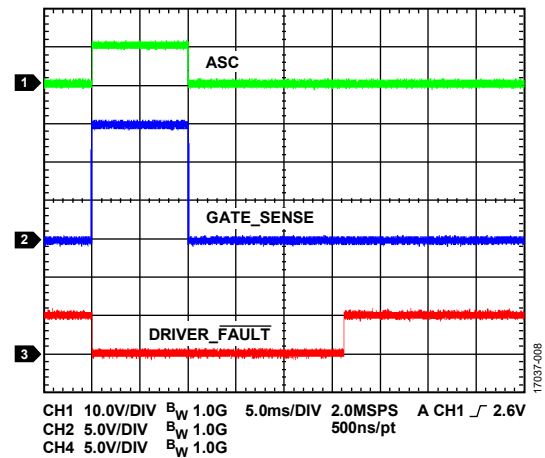


図 8. ASC 信号の例、 $V_{DD1} = 5V$ 、 $V_{DD2} = 15V$ 、 $VI+ = 5V$ 、 $10ms$ ASC、 $100nF$ 負荷

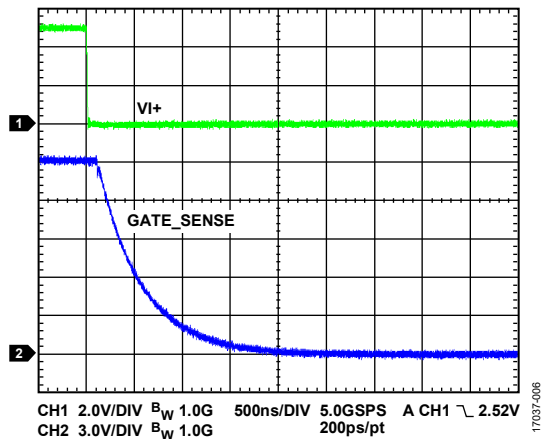


図 6. ターンオフ・エッジの例、 $V_{DD1} = 5V$ 、 $V_{DD2} = 15V$ 、 2Ω ターンオフ、 $100nF$ 負荷

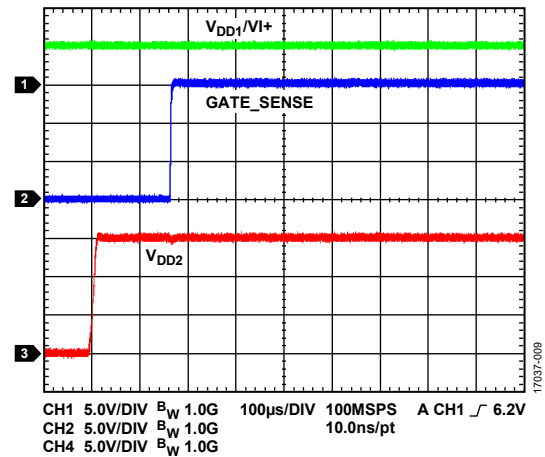


図 9. 代表的な V_{DD2} 起動時間、 $VI+ = V_{DD1}$

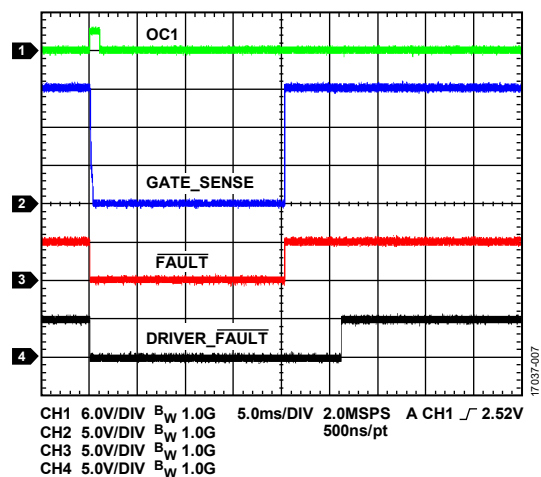


図 7. 過電流故障の例、 $V_{DD1} = 5V$ 、 $V_{DD2} = 15V$ 、 $VI+ = 5V$ 、 $1ms$ 過電流シミュレーション、 $100nF$ 負荷

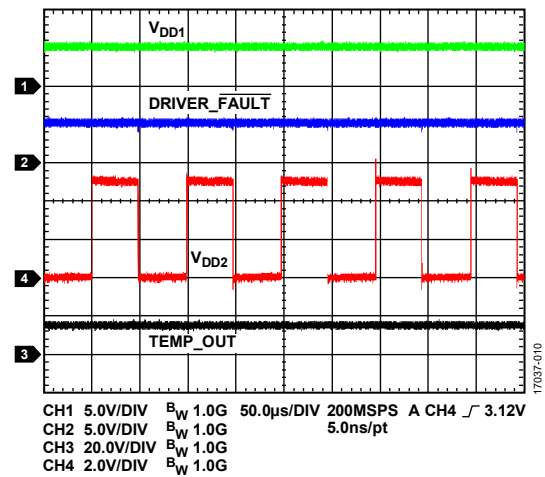


図 10. TEMP_OUT 読出しの例、 $V_{DD1} = 5V$ 、 $V_{DD2} = 15V$ 、TS1 に $2k\Omega$ の抵抗

動作原理

ゲート・ドライバは、スイッチング・デバイスのゲートの立上がり時間を短縮することが求められる状況が必要です。エンハンスメント型パワー・デバイスのゲート信号は、ソース・ノードまたはエミッタ・ノードを基準とします。ゲート・ドライバは、このソース・ノードまたはエミッタ・ノードに従って動作する必要があります。したがって、ハーフ・ブリッジのようにソース・ノードまたはエミッタ・ノードがスイングする構成では、制御信号とゲート・ドライバ出力の間を絶縁する必要があります。ゲートのスイッチング時間は、ゲート・ドライバの駆動強度に依存します。相補型金属酸化膜半導体（CMOS）出力段の手前にあるバッファ段は、全体の遅延時間を減らし、ドライバの最終的な駆動強度を上げます。

ADuM4137 はポリイミド絶縁層で分離された *iCoupler* チップ・スケール・トランスのコイルを使って絶縁バリア越しにデータ

を送信する高周波搬送波を使い、ゲート・ドライバの制御側と出力側の間の絶縁を実現します。ADuM4137 は、正論理のオン／オフ・キーイング（OOK）エンコーディングを使用します。この方式では、*iCoupler* チップ・スケール・トランスのコイルを越える搬送波周波数の存在によってハイ信号が伝送されます。正論理エンコーディングでは、ゲート・ドライバの入力側に電源が供給されていないとき、出力に必ずロー信号が現れます。ロー状態はエンハンスメント・モードのパワー・デバイスにおいて最も一般的な安全状態で、シュートスルー状態が存在する状況で駆動することができます。ADuM4137 のアーキテクチャは、高いコモンモード過渡耐性や、電気ノイズ／磁気干渉に対して高い耐性を発揮するように設計されています。放射エミッションは、スペクトラム拡散 OOK 搬送波と差動コイル・レイアウトによって最小限に抑えられます。ADuM4137 が使用する OOK エンコーディングを図 11 に示します。

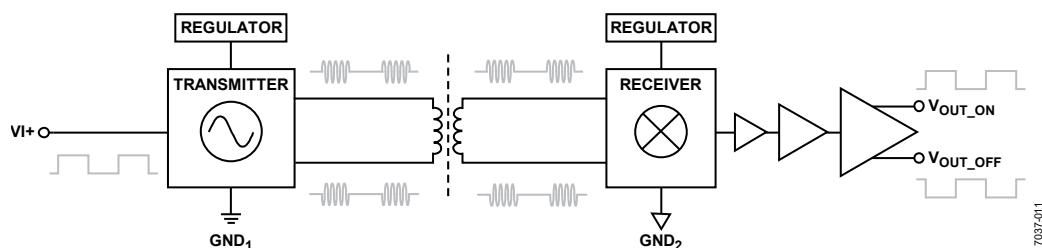


図 11. OOK エンコーディングの動作ブロック図

アプリケーション情報

PCB レイアウト

ADuM4137のIGBTゲート・ドライバに、ロジック・インターフェース用の外部インターフェース回路は不要です。 V_{DD1} と V_{DD2} の電源ピンには、電源バイパス・コンデンサを接続する必要があります。容量が $10\mu\text{F}$ より大きいセラミック・コンデンサを V_{DD1} と GND_1 の間に接続してください。出力のゲート容量を駆動するために必要な電荷が得られるように、出力電源ピン(V_{DD2})には少なくとも $30\mu\text{F}$ ~ $60\mu\text{F}$ のコンデンサを追加します。この容量は、複数の並列コンデンサを使用して実現することができます。ボードのビアは寄生インダクタンスを発生させる可能性があるため、バイパスでのインダクタンスを小さくするために、バイパス・コンデンサにビアを使用したり複数のビアを使用したりすることは避けてください。小さい方のコンデンサの両端から入力または出力電源ピンまでの合計リード長は、約 5mm を超えないようにしてください。また、 5V レギュレータ用に、ADuM4137のできるだけ近くに $1\mu\text{F}$ のコンデンサを接続してください。

入力ピン($VI+$ 、 $VI-$ 、 $MOSI$ 、 $\overline{CS}$ 、 $SCLK$)には、電流を制限するために 100Ω の直列抵抗が必要です。

SPI と EEPROM の動作

SPI プログラミング

ADuM4137は、リモート温度ゲインとオフセット、PWM通知周波数、高温故障、および低温動作モードを設定するためのSPIバスを内蔵しています。

SPIプログラミングは、 $\overline{CS}$ がローのとき、および $UVLO_FAULT$ が能動的にローにされたときに有効になります。SPIバスは、2次側EEPROMのプログラミングを通じて恒久的な動作設定を可能にします。SPIインターフェースはデジチェーン・モードで動作させることができ、マイクロコントローラの入力ピンと出力ピンを効率的に使用できます。デジチェーン構成で使用する場合、ADuM4137では各チップ・セレクトを24クロック・サイクルの整数倍とする必要があります。チップ・セレクト時間が24クロック・サイクルの整数倍になっていない場合は、すべて無視されます。ADuM4137が、ADuM4137デバイス以外のデバイスとデジチェーン・リンクになっている場合は、他のデバイスのレジスタ空間の合計が24の整数倍になるようにしてください。 $UVLO_FAULT$ がローになっているときにチップ・セレクト・ピン($\overline{CS}$)をローにすれば、EEPROMをプログラムすることができます。ただし、ゲート・ドライバ出力はディスエーブルされます。 $\overline{CS}$ をハイに戻すと、ゲート・ドライバ出力が再度使用可能になります。

プログラミングは、クロック極性 $CPOL = 0$ 、およびクロック位相 $CPHA = 1$ の標準SPI規約に従って行われます。図2に示すタイミング図は、代表的な読出しまたは書込み動作を示しています。ビットA1とビットA0はアドレス・ビットです。MBZ (Must Be Zero) ビットは0に設定する必要があります。ビット[D23:D0]はMSBファーストのデータ・ビットです。ビットRW0は、読出し(0)を行うか書込み(1)を行うかを設定します。

ユーザ・レジスタ・マップ

ユーザ・トリム・レジスタ・マップとバイナリ・アドレスを図 12 に示します。

ADDRESS	NAME	BIT																								
		23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
00	USER	OFFSET_2[5:0]						GAIN_2[5:0]						OFFSET_1[5:0]						GAIN_1[5:0]						
01	CONFIG	RESERVED								OT_FAULT_OP	OT_FAULT_SEL	OC_TIME_OP	OC_2LEV_OP	LOW_T_OP	OC_BLANK_OP	t _{BLANK} [3:0]			ECC_OFF_OP	RESERVED					T_RAMP_OP	PWM_OSC
10	CONTROL	RESERVED																		ECC2_DBL_ERR		ECC2_SNG_ERR	ECC1_DBL_ERR	ECC1_SNG_ERR	PROG_BUSY	SIM_TRIM

17037-012

図 12. ユーザ・トリム・レジスタ・マップ

ユーザ・レジスタ・ビット

ユーザ・レジスタ（アドレス 00）のビットとその説明を表 14 に示します。

表 14. ユーザ・レジスタ（アドレス 00）のビット説明

ビット	ビット名	説明
[23:18]	OFFSET_2[5:0]	TS2 オフセット
[17:12]	GAIN_2[5:0]	TS2 ゲイン
[11:6]	OFFSET_1[5:0]	TS1 オフセット
[5:0]	GAIN_1[5:0]	TS1 ゲイン

OFFSET_2 [5:0] ビット

TS2 ピンの内部オフセットを調整するには、EEPROM の OFFSET_2 ビットを使用します。詳細については、絶縁型温度センサーのセクションを参照してください。

GAIN_2 [5:0] ビット

TS2 ピンの内部ゲインを調整するには、EEPROM の GAIN_2 ビットを使用します。詳細については、絶縁型温度センサーのセクションを参照してください。

OFFSET_1 [5:0] ビット

TS1 ピンの内部オフセットを調整するには、EEPROM の OFFSET_1 ビットを使用します。詳細については、絶縁型温度センサーのセクションを参照してください。

GAIN_1 [5:0] ビット

TS1 ピンの内部ゲインを調整するには、EEPROM の GAIN_1 ビットを使用します。詳細については、絶縁型温度センサーのセクションを参照してください。

設定レジスタ・ビット

設定（CONFIG）レジスタ（アドレス 01）のビットとその説明を表 15 に示します。

表 15. CONFIG レジスタ（アドレス 01）のビット説明

ビット	ビット名	説明
[23:17]	Reserved	予備
16	OT_FAULT_OP	過熱故障を無効化
15	OT_FAULT_SEL	過熱故障を選択
14	OC_TIME_OP	過電流イベント時の 2 レベル駆動とタイマーを無効化
13	OC_2LEV_OP	過電流 2 レベル動作を選択
12	LOW_T_OP	低温度動作を選択
11	OC_BLANK_OP	過電流ブランキング動作を選択
[10:7]	t _{BLANK}	過電流ブランキング時間
6	ECC_OFF_OP	ECC 故障時のソフト・シャットダウンを有効化
[5:2]	Reserved	予備
1	T_RAMP_OP	過電流ランプを有効化
0	PWM_OSC	温度読出し出力発振器を選択

OT_FAULT_OP ビット

OT_FAULT_OP ビットを 1 に設定すると、過熱故障が無効にされます。このビットを 0 に設定すると、ADuM4137 は、TS1 ピンまたは TS2 ピンが過熱イベントを検出した時点で故障を発行します。

OT_FAULT_SEL ビット

OT_FAULT_SEL ビットは、2 つある過熱故障電圧閾値のどちらか一方を選択します。このビットを 0 に設定すると、立下がり閾値が 1.64V（代表値）、立上がり閾値が 1.69V（代表値）に設定されます。このビットを 1 に設定すると、立下がり閾値が 1.68V（代表値）、立上がり閾値が 1.73V（代表値）に設定されます。

OC_TIME_OP ビット

OC_TIME_OP ビットを 1 に設定すると、過電流イベント時の 2 レベル駆動とタイマーが無効になります。過電流イベント時には、出力が直ちにソフト・シャットダウンに入ります。有効にした場合でも過電流ブランキングは使用可能です。

OC_2LEV_OP ビット

OC_2LEV_OP ビットを 1 に設定すると、故障レジスタの前に過電流イベント時の 2 レベル駆動が無効になります。過電流検出時間が経過すると、ソフト・シャットダウンを使用して故障レジスタと出力がシャットダウンされます。過電流イベント時の t_{dOC} より前にこのビットが 0 に設定されていると、2 レベル駆動のレベルがゲートに出力されます。

LOW_T_OP ビット

CONFIG レジスタのビット 12 は、特別な低温動作が無効にすることができます。LOW_T_OP ビットを 0 に設定した場合、TS1 ピンが 2.40V（代表値）を超えると、オン・コマンド時にゲート電圧が 2 レベル・プラトー電圧になります。ヒステリシスによって、TS1 が 2.36V（代表値）になるまで動作させてから低温動作モードを終了させることができます。LOW_T_OP ビットを 1 に設定すると、オン信号時にすべての非故障ゲート信号が V_{DD2} 出力電圧に現れます。

OC_BLANK_OP ビット

OC_BLANK_OP を 1 に設定すると、電流ブランキング時に 2 レベル駆動が有効になります。OC_BLANK_OP ビットを 1 に設定すると、ブランキング時間 (t_{BLANK}) 中に過電流イベントが発生した場合、2 レベル駆動が実行されます。

t_{BLANK} [3:0] ビット

ゲートの最初のターンオン時には、スイッチング動作によって大量のノイズが発生することがあります。 t_{BLANK} を異なる値に設定することによって、過電流検出をマスクすることができます。このマスクング時間中、過電流イベントは無視されます。

表 16. ブランキング時間 t_{BLANK}

t_{BLANK} [3:0], Bits[10:7]	Blanking Time (μ s) Typical
0000	0
0001	0.36
0010	0.56
0011	0.77
0100	0.97
0101	1.17
0110	1.57
0111	1.97
1000	2.37
1001	2.78
1010	3.18
1011	3.58
1100	3.98
1101	4.39
1110	4.79
1111	5.19

ECC_OFF_OP ビット

ECC_OFF_OP ビットを 1 に設定した場合、ECC エラーが検出されると ADuM4137 はソフト・シャットダウンを開始し、故障レジスタに故障を記録します。この故障では、シングルまたはダブルのいずれの ECC 故障が検出されたかが記録されます。このビットを 0 に設定した場合は、ECC 故障がコントロール・レジスタ（アドレス 10）にセットされますが、ADuM4137 はシャットダウンせずに動作を継続します。

T_RAMP_OP ビット

T_RAMP_OP ビットを 0 に設定すると、過電流リファレンス電圧を温度と共に変化させることができます。電流リファレンスは、図 14 に示すように、1.55V~2.45V の TS1 電圧範囲内で 2.7V（代表値）から 1.75V（代表値）まで変化します。T_RAMP_OP ビットを 1 に設定すると、検出温度に関係なく、過電流リファレンス電圧 V_{OCD_TH} が 2V（代表値）に設定されます。

PWM_OSC ビット

PWM_OSC ビットは、通知される TEMP_OUT ピンの PWM 周波数を 10kHz にするか 50kHz にするかを制御します。PWM_OSC ビットを 0 に設定すると、出力周波数は 10kHz（代表値）になります。PWM_OSC ビットを 1 に設定すると、PWM 出力周波数は 50kHz（代表値）になります。

コントロール・レジスタ・ビット

コントロール・レジスタ（アドレス 10）のビットとその説明を表 17 に示します。

表 17. コントロール・レジスタ（アドレス 10）のビット説明

ビット	ビット名	説明
[23:6]	Reserved	予備
5	ECC2_DBL_ERR	ECC バンク 2 のダブル・エラーを検出
4	ECC2_SNG_ERR	ECC バンク 2 のシングル・エラーを検出
3	ECC1_DBL_ERR	ECC バンク 1 のダブル・エラーを検出
2	ECC1_SNG_ERR	ECC バンク 1 のシングル・エラーを検出
1	PROG_BUSY	プログラム/ビジー・ビット
0	SIM_TRIM	トリムをシミュレート

ECC2_DBL_ERR ビット

EEPROM に格納されたデータにエラーが 2 つ検出された場合は、読み出し時に ECC2_DBL_ERR ビットが 1 に設定されます。この場合は 2 つのエラーを検出可能です。ただし、ADuM4137 の使用するエラー訂正コードを使ってこれらのエラーを修正することはできません。ECC2_DBL_ERR ビットが 1 に設定されている場合は、メモリ・バンクでダブル・エラーが検出されたことを示しています。これは、ADuM4137 のユーザ・アドレスおよび CONFIG アドレスの影響を受けるレジスタ以外で、トリミングが行われたことを表しています。このビットが 0 に設定されている場合は、2 つ以上のビットでエラーが検出されなかったことを示しています。

ECC2_SNG_ERR ビット

EEPROM に格納されたデータにエラーが 1 つ検出された場合は、読み出し時に ECC2_SNG_ERR ビットが 1 に設定されます。ADuM4137 が使用しているエラー訂正コードを使って、シングル・エラーを検出して訂正することができます。ECC2_SNG_ERR ビットが 1 に設定されている場合は、メモリ・バンクでシングル・エラーが検出されたことを示しています。これは、ADuM4137 のユーザ・アドレスおよび設定アドレスの影響を受けるレジスタ以外で、トリミングが行われたことを表しています。このビットが 0 に設定されている場合は、シングル・ビット・エラーが検出されなかったことを示しています。

ECC1_DBL_ERR ビット

EEPROM に格納されたデータにエラーが 2 つ検出された場合は、読み出し時に ECC1_DBL_ERR ビットが 1 に設定されます。この場合は 2 つのエラーを検出可能です。ただし、ADuM4137 の使用するエラー訂正コードを使ってこれらのエラーを修正することはできません。ECC1_DBL_ERR ビットが 1 に設定されている場合は、メモリ・バンクでダブル・エラーが検出されたことを示しています。これは、ユーザ・アドレスおよび設定アドレスにより ADuM4137 でトリミングが行われたことを表しています。値が 0 の場合は、2 つ以上のビットでエラーが検出されなかったことを示しています。

ECC1_SNG_ERR ビット

EEPROM に格納されたデータにエラーが 1 つ検出された場合は、読み出し時に ECC1_SNG_ERR ビットが 1 に設定されます。ADuM4137 が使用しているエラー訂正コードを使って、シングル・エラーを検出して訂正することができます。ECC1_SNG_ERR ビットが 1 に設定されている場合は、メモリ・バンクでシングル・エラーが検出されたことを示しています。これは、ユーザ・アドレスおよび設定アドレスによって ADuM4137 でトリミングが行われたことを表しています。値が 0 の場合は、シングル・ビット・エラーが検出されなかったことを示しています。

PROG_BUSY ビット

EEPROM メモリをプログラムするには、PROG_BUSY ビットをハイに設定します。このビットを 1 に設定すると、EEPROM がメモリへの書き込みを開始します。ハードウェアがこのビットを 0 に戻した場合は、プログラミングが行われたことを示します。書き込みシーケンスの実行には最大で 40ms かかりますが、書き込み自体は 40ms より短い時間で行うことができます。更に待機時間を短縮する必要がある場合は、書き込み時間中に PROG_BUSY ビットを複数回リードバックします。このビットを 1 に設定した後に 0 がリードバックされた場合、書き込みは完了しています。

SIM_TRIM ビット

SIM_TRIM ビットを 0 に設定した場合、ユーザ・レジスタおよび設定レジスタは ADuM4137 の動作に影響を与えません。このビットは、レジスタへの書き込みではなく、トリム設定のシミュレートに使用します。

SIM_TRIM をハイに設定すると、アドレス値によってゲート・ドライバの動作を変更し、EEPROM にプログラムした値がパワーアップ時にどのような影響をもたらすかをシミュレートすることができます。SIM_TRIM を 0 に設定すると、EEPROM から以前のアドレスの値がロードされ、動作がパワーオン状態に戻ります。

SPI の安全性

単一障害点ノードを減らすには、2 つの信号をローにして SPI 通信を有効にします。SPI 通信時にはフォワード・パス・チャンネルが無効になります。SPI 通信を有効にするには、UVLO_FAULT ピンと CS ピンの両方をローにします。UVLO_FAULT ピンは、通常の UVLO_FAULT 動作を妨げないように外部のオープンドレイン接続を使ってローにします。UVLO_FAULT ピンがハイの場合、SPI 通信は使用できません。FAULT ピンのマッピングについては表 12 を参照してください。通常動作時は、FAULT (TSD、TSx_OT_FAULT、OCx 過電流、ゲート・ロー、V_{DD2} UVLO、および ECC エラー) がドライバをオフにします。SPI 通信時は、故障ピンに出力される故障をマスクすることができます。また、SPI 通信時は DRIVER_FAULT または UVLO_FAULT の故障情報は一切ポストされません。SPI 通信を開始するために CS をローにすると、DRIVER_FAULT と UVLO_FAULT が共にハイになります。

伝搬遅延に関するパラメータ

伝搬遅延時間は、ロジック信号がデバイスを通過するのに要する時間を表します。ロー出力への伝搬遅延とハイ出力への伝搬遅延は異なる場合があります。ADuM4137 の立上がり伝搬遅延 t_{DLH} は、立上がり入力ハイ・ロジック閾値 V_{IH} から、出力立上がり 10% 閾値までの時間として仕様規定されています (図 13 を参照)。同様に、立下がり伝搬遅延 t_{DHL} は、入力立下がりロー・ロジック閾値 V_{IL} から、出力立下がり 90% 閾値までの時間として定義されています。立上がり時間と立下がり時間は負荷条件によって異なり、伝搬遅延には含まれません。これはゲート・ドライバの業界標準です。

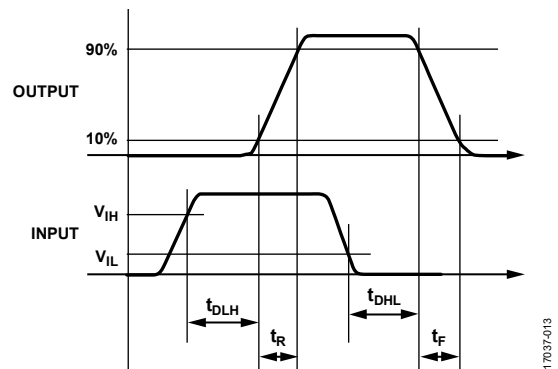


図 13. 伝搬遅延パラメータ

伝播遅延スキューは、同じ温度、入力電圧、負荷条件下で動作する複数の ADuM4137 コンポーネント間での伝播遅延差の最大値に相当します。

保護機能

1 次側 UVLO

ADuM4137 には、1 次側と 2 次側の両方に UVLO が組み込まれています。1 次側の電圧源 V_{DD1} が 4.25V（代表値）を下回ると 2 次側への伝送が停止し、結果的に出力がローになります。

故障の通知

ADuM4137 は、IGBT の動作時に発生する可能性のある故障に対して保護機能を備えています。主な故障状態は、過電流検出ピン（OC1 および OC2）によって検出される過電流です。故障状態が検出されると、ADuM4137 はゲート駆動をシャットダウンして FAULT ピンをローにアサートします。故障状態が生じると、 V_{OFF_SOFT} ピンを通じてソフト・シャットダウンが開始されます。故障時は、外部ミラー・クランプが機能しません。故障は、2 次側低電圧ロックアウト（UVLO2）、2 次側サーマル・シャットダウン（TSD2）、ECC エラー、過電流、ゲート低電圧検出、リモート過熱によって発生する可能性があります。

過電流検出

ADuM4137 は、スプリット・エミッタ IGBT またはスプリット・ソース MOSFET と共に動作します。スプリット・レッグ・スイッチの低い方の電流セクションを使用して、IGBT または MOSFET を流れる電流を正確に測定できるので、過電流イベントに対して迅速に対応することができます。過電流イベントが検出されると、2 レベルの高速ターンオフが開始されます。過電流状態が 2 レベルの遅延時間（ t_{dOC} ）を超えて続いた場合は、ADuM4137 の 1 次側に故障が通知されます。ターンオフ時間より前に過電流状態が解消されると、 V_{OUT_ON} ピンが高出力状態に戻り、故障タイマーがリセットされます。

TS1 ピンの検出温度によって、過電流閾値を変更させることができます。T_RAMP_OP ビットを 1 に設定すると、過電流閾値はすべての動作条件で 2V（代表値）に設定されます。T_RAMP_OP ビットを 0 に設定すると、過電流閾値 $V_{OCD_TH_EN}$ は $TS1 = 1.55V$ で 2.7V（代表値）に設定され、 $TS1 = 2.45V$ で 1.75V（代表値）になるまで直線的に設定されます（図 14 を参照）。

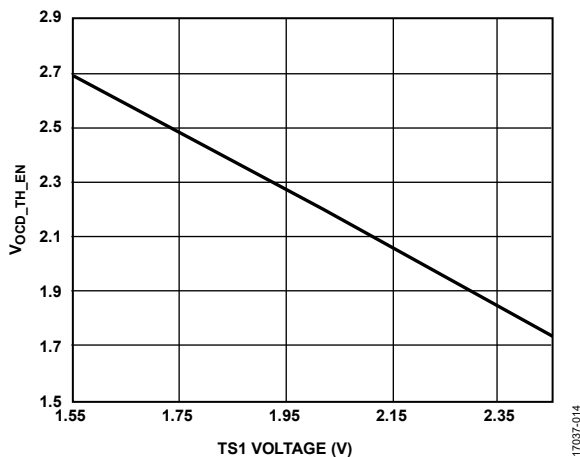


図 14. 検出温度による過電流閾値の変化

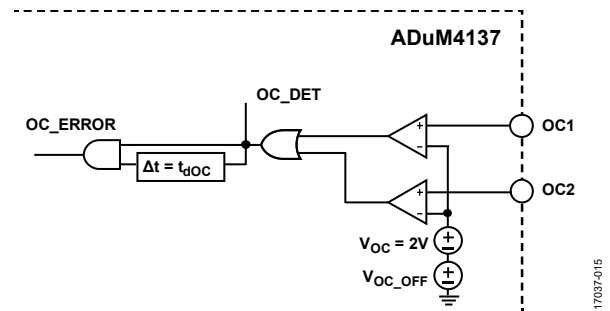


図 15. スプリット・エミッタ過電流検出の機能ブロック図

2 レベル高速ターンオフ

OC1 または OC2 ピンが過電流を検出すると、2 レベル・ターンオフ回路がゲートをローに駆動します。GATE_SENSE ピンが 11.89V（代表値）のプラトー電圧に達するまで、内蔵 NMOSFET がデバイスのゲートをローに駆動します。 t_{dOCR} は、出力の過電流を検出してから、その過電流をプラトー電圧に駆動するまでにかかる時間です。検出時間（ t_{dOC} ）が経過すると故障がレジスタに記録されて、1 次側に通知されます（図 16 を参照）。 t_{dOC} の間に過電流閾値（ V_{OCD_TH} ）を超えなくなると、内部の PMOS がゲート電圧を V_{DD2} に戻し、2 レベル・タイマーがリセットされます（図 17 を参照）。

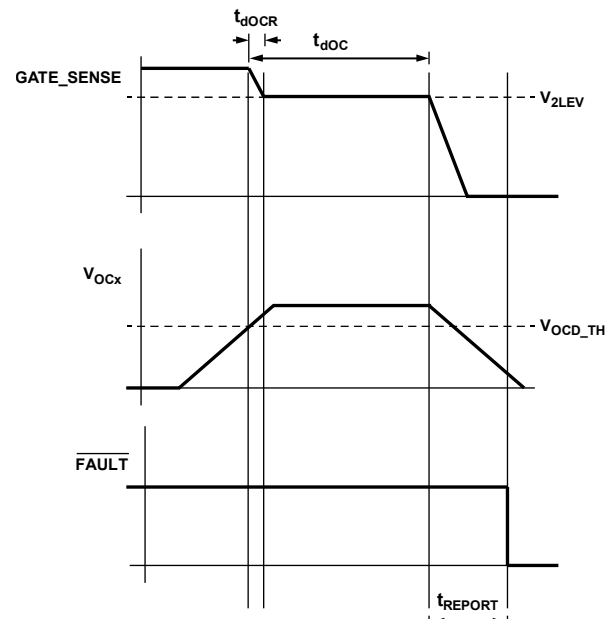


図 16.2 レベル・ターンオフ故障の例
（各値の相対的な大きさは実際と異なります）

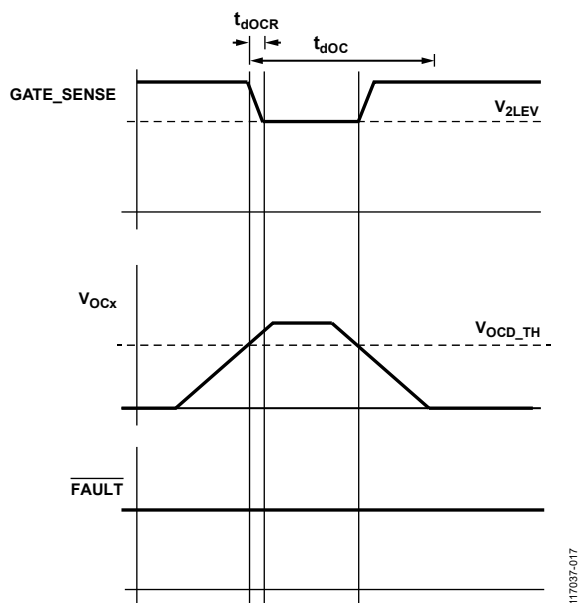


図 17. レベル・タイマーの回復例

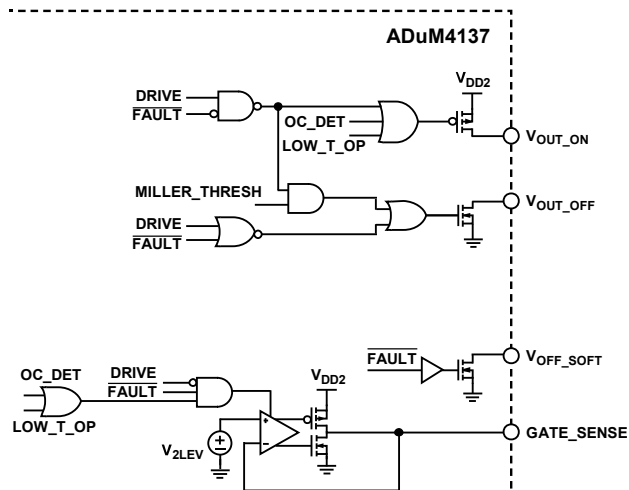


図 18. ゲート電圧出力の機能ブロック図

ミラー・クランプ

ADuM4137 では、ミラー・クランプ制御信号が備わっており、IGBT のシャットオフ時にミラー容量によって発生する IGBT ゲート上の電圧スパイクを低減することができます。入力ゲート信号が IGBT をオフにする（ロー・レベルにする）ように要求すると、外部ミラー・クランプ MOSFET 信号が最初にオフになります。GATE_SENSE ピンの電圧が 2V（代表値）の内部電圧リファレンス（GND₂ 基準）を超えると、ミラー・クランプは IGBT オフ時間の残り時間の間ラッチされ、ゲート電流が追従する 2 つ目の低インピーダンス電流パスを作成します。ミラー・クランプ・スイッチは、入力駆動信号がローからハイに変わるまでオン状態を維持します。タイミングの波形例を図 19 に示します。

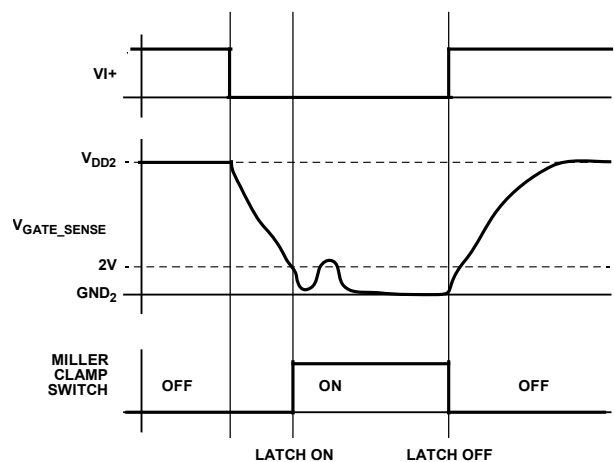


図 19. ミラー・クランプの例

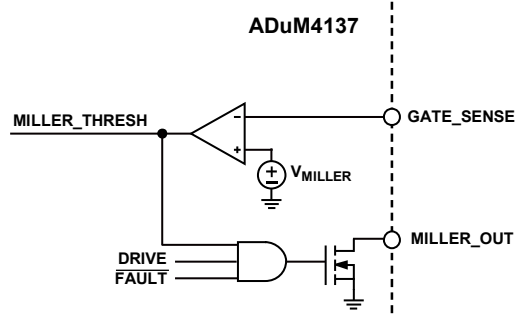


図 20. ミラー・クランプの機能ブロック図

サーマル・シャットダウン

ADuM4137 は 2 つの TSD 機能を内蔵しています。ADuM4137 は、2 次側の内部温度が 150°C（代表値）を超えると TSD 故障状態になり、ソフト・シャットダウンによってゲート駆動を無効にします。TSD が発生すると、ADuM4137 は内部温度が 130°C（代表値）未満になるまで TSD 状態のままとなり、この温度に達した時点で初めてシャットダウン状態から回復します。2 次側で TSD イベントが発生したときは、FAULT ピンにより 1 次側で故障出力を使用することができます。

1 次側のダイ温度が 154°C（代表値）を超えると 1 次側の機能がシャットダウンし、フライバック・スイッチングが停止して 2 次側もシャットダウンします。1 次側の内部温度が 135°C（代表値）を下回ると、1 次側は TSD 状態を終了します。

過熱の主な原因は、所定の周囲温度下での駆動負荷が大きすぎることです。この種の温度過負荷は一般に 2 次側のダイに影響を与えます。これは、負荷駆動に対する主な電力消費が 2 次側で発生するからです。

ASC ピンの機能

ASC ピンは、ドライバをイネーブルするための外部的な 2 次側制御機能を提供します。ASC ピンには、トリガ電圧 8.93V（代表値）、ヒステリシス 0.85V（代表値）のコンパレータがあります。ASC 信号が 8.93V（代表値）より大きい場合、故障が発生していなければ、この信号によってドライバからハイが出力されます。ASC ピン信号は、フォワード・パス駆動信号と OR 演算処理されます。SPI インターフェースを経由する 2 次側 EEPROM の読出しおよび書き込み機能は、ASC イベント発生時でも使用できます。ASC ピンとのインターフェーシングは直接行うことができますが、8.93V（代表値）以上の値へのプルアップが可能な抵抗を接続した外付けのオープンドレイン NMOS MOSFET を使って行うことも可能です。ASC ピンには内部プルダウン電流源が含まれています。

絶縁型温度センサー

ADuM4137 では簡単な絶縁型の温度検出が可能です。ADuM4137 は、内部電流源を使って外付け温度検出ダイオードをバイアスすることにより、ダイオードの順方向バイアス電圧を PWM 信号にエンコードします。この PWM 信号は、絶縁バリアを越えて 2 次側から 1 次側に渡されます。PWM 信号は 10kHz または 50kHz で動作します（EEPROM 内に設定）。最小値と最大値の間の電圧変化はほぼ直線で、単調増加で補間されます。ADuM4137 は 2 つのリモート温度検出ダイオード・アセンブリのサポート機能を内蔵していますが、どちらも 2 次側で過熱故障を引き起こす可能性があります。更に、絶縁された温度通知チャンネルを通じて、1 つの温度センサーのリードバック値を 1 次側で読み出すことができます。この場合、2 つの温度センサー・ピン TS1 と TS2 の低い方の電圧（高い方の温度）が、TEMP_OUT ピンで通知されます。パルス幅変調された温度センサーのゲインとオフセットは、EEPROM 内に設定できます。デューティ・サイクルと低温側温度検出ピン（TSx）電圧の代表的なプロットを図 21 に示します。

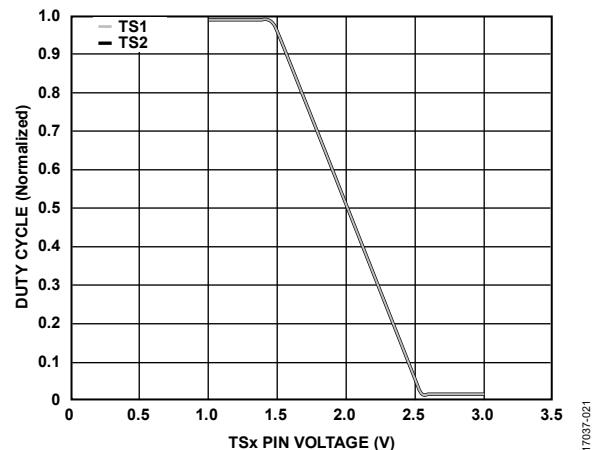


図 21. TEMP_OUT のデューティ・サイクルと低温側 TSx ピン電圧

PWM の電圧マッピングは下に示す基本式に従って行われます。

$$PWM_DUTY = -0.9065 \times TS_VOLTAGE + 2.3264$$

ここで、

PWM_DUTY は TEMP_OUT ピンのデューティ・サイクルで、フルスケール値は 1 です。PWM_DUTY は、デューティ・サイクルのパーセント値を 100 で除した値に等しくなります。

TS_VOLTAGE は TS1 ピンまたは TS2 ピンの最小電圧です。

TSx ピンの PWM 応答に対する電圧の調整には、GAIN_1、GAIN_2、OFFSET_1、および OFFSET_2 ビットを使用します。ゲイン・レジスタとオフセット・レジスタは 6 ビットで、2 の補数を使用します。MSB は、それぞれのゲインおよびオフセット・ビット・フィールドのビット 5 です。

ゲイン・ビットは応答のスロープに影響し、2.22V（代表値）が中央値です。このピボット点は、温度検出ダイオード・スタックがおおよそ 25°C で安定するように選択されています。ゲイン・ビットの値は応答のスロープに影響し、LSB は -0.00558（代表値）です。ゲイン・レジスタが変化すると、オフセット・ビットが 000000 以外の値に設定されている場合を除き、応答は 2.22V（代表値）の点で 0.194（代表値）の PWM を返すように変化します。オフセット・ビットは、PWM 応答に合わせて電圧を上下にシフトします。オフセット・ビットの LSB は 0.001336（代表値）です。

ゲインとオフセットを設定できるように PWM_DUTY の式を書き直して、ゲイン設定時に 2.22V の代表的ピボット点を考慮すると、次式が得られます。

$$PWM_DUTY = (-0.9065 + GAIN_x \times GAIN_LSB) \times (TS_VOLTAGE - 2.22) + (2.3264 + OFFSET_x \times OFFSET_LSB - 0.194)$$

ここで、

GAIN_x は GAIN_1 または GAIN_2 で、これは 2 の補数を 10 進数で表した値です。

GAIN_LSB = -0.00558（代表値）。

TS_VOLTAGE は TS1 または TS2 の電圧。

OFFSET_x は OFFSET_1 または OFFSET_2 で、これは 2 の補数を 10 進数で表した値です。

OFFSET_LSB = 0.001336（代表値）。

低温度動作モード

TS1 ピンで検出される電圧が 2.4V（代表値）より大きい場合は、低温度動作モードを使用できます。最大ゲート電圧は、11.89V（代表値）の 2 レベル・プラトー電圧に設定されます。ヒステリシスにより、TS1 ピンの電圧が 2.36V（代表値）未満になるまで低温度動作を継続できます。低温度動作は、LOW_T_OP ビットのアドレス 01、ビット 12 の EEPROM 設定で有効または無効にすることができます。その基本動作を図 22 に示します。2 レベル駆動時、ターンオンおよびターンオフ・ドライバの $R_{DS(on)}$ 抵抗は、通常のターンオンおよびターンオフ抵抗の約 4 倍まで増加します。

FAULT ピン

FAULT ピンは、TSD、TSx_OT_FAULT、ゲート・ロー、V_{DD2} UVLO、OCx 過電流、および ECC エラーの各故障にマップできます。FAULT ピンは CMOS 出力で、GND₁ ピンと V5_1 ピンの間に接続します。ADuM4137 で故障が検出されて $\overline{\text{FAULT}}$ がローになると、出力ドライバのフォワード・パスが無効化され、更によって出力がローになります。

TSD、TSx_OT_FAULT、V_{DD2} UVLO、OCx 過電流、および ECC エラーによる故障のラッチ時間は代表値で 20ms（ラッチ・アサート時間 B）、ゲート・ロー・エラーのラッチ時間は代表値で 26ms です（ラッチ・アサート時間 C）。 $\overline{\text{FAULT}}$ ピンは、ホールド時間（ t_{pw} ）の間、もしくはエラーが持続している間はローに維持されます。

DRIVER_FAULT ピン

DRIVER_FAULT ピンは、78 μ A（代表値）の内部電流源（ I_{PU_DF} ）を持つ V5_1 へのオープンドレイン出力です。DRIVER_FAULT ピンは、ゲート・ロー、OCx 過電流、ECC エラー、ASC、および DT_FAULT の各故障へマップできます。DRIVER_FAULT にマップされた故障が発生すると DRIVER_FAULT ピンがローに駆動され、最小ラッチ時間、または故障持続時間のいずれか長いほうの時間ロー状態に維持されます。ゲート・ロー、OCx 過電流、ECC エラー、ASC の各故障に対する最小故障ラッチ時間は 26ms（代表値）、DT_FAULT の最小故障ラッチ時間は 13ms（代表値）です（ラッチ・アサート時間 A）。

UVLO_FAULT ピン

UVLO_FAULT ピンは、ゲート・ローおよび VDD2 UVLO にマップできます。UVLO_FAULT ピンは、78 μ A（代表値）の内部 I_{PU_DF} を持つ V5_1 へのオープンドレイン出力です。

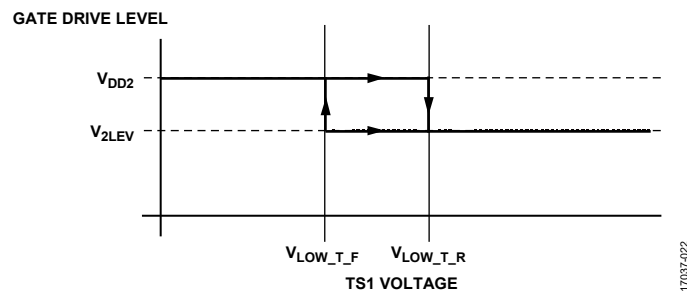


図 22. 低温度動作

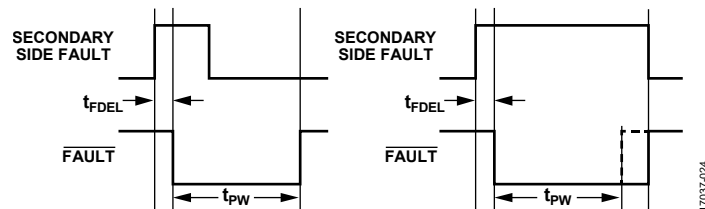
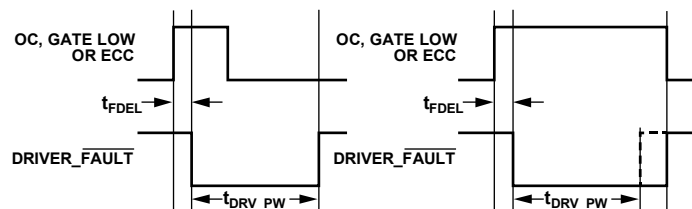


図 23. FAULT ピン故障



NOTES

1. t_{FDEL} IS THE REPORTING DELAY OF THE FAULT.
2. OC IS THE INTERNAL OVERCURRENT FAULT CONNECTION.
3. t_{DRV_PW} IS THE DRIVE FAULT PULSE WIDTH LATCH TIME.

図 24. DRIVER_FAULT 故障

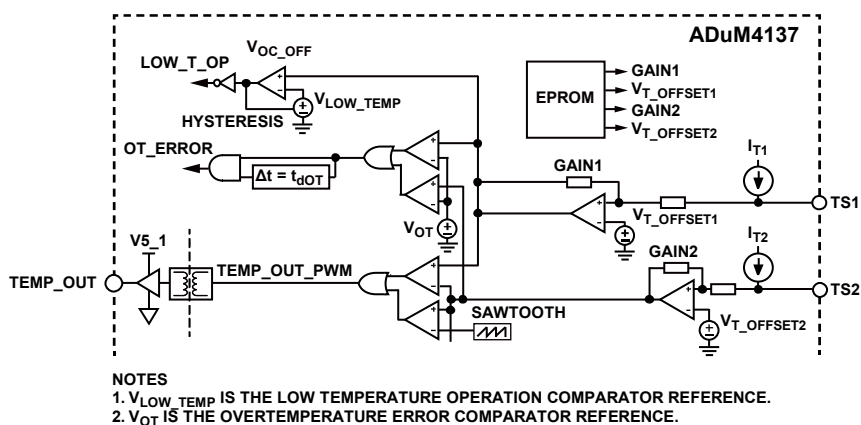


図 25. リモート温度検出のブロック図

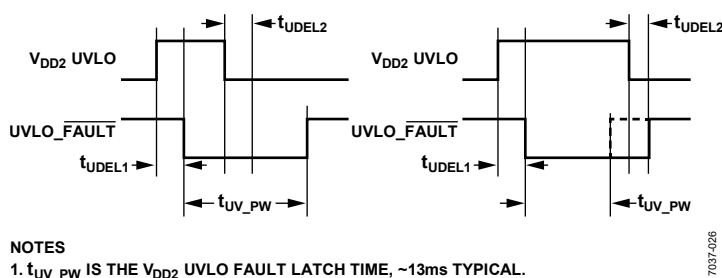


図 26. V_{DD2} UVLO の UVLO_FAULT 故障

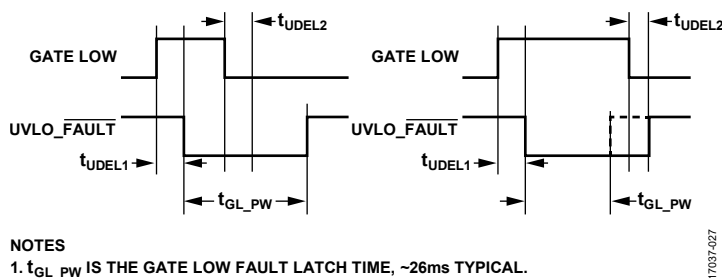


図 27. UVLO_FAULT 故障、ゲート・ロー

V_{DD2} UVLO 故障

V_{DD2} UVLO 故障発生時は、故障伝搬遅延ポスト時間 t_{UDEL1} （代表値で 6.7μs）内に $\overline{UVLO_FAULT}$ ピンがローに駆動されて、 V_{DD2} UVLO 故障の持続時間が約 13ms 未満の場合は 13ms（代表値）として 1 次側の故障が通知されます。 V_{DD2} UVLO 故障が約 13ms 以上続く場合は、2 次側で V_{DD2} UVLO が解除された後、故障伝搬遅延クリアリング時間 t_{UDEL2} 以内（代表値で 6.7μs 以内）に $\overline{UVLO_FAULT}$ が解除されます。

UVLO_FAULT 故障、ゲート・ロー

ゲート・ロー故障が発生すると、それによって t_{UDEL1} 以内に $\overline{UVLO_FAULT}$ がローに駆動され、 V_{DD2} UVLO 故障の持続時間が約 26ms 未満の場合は約 26ms として 1 次側に故障が通知されます。ゲート・ロー故障が約 26ms 以上続く場合は、2 次側で V_{DD2} UVLO が解除された後、 $\overline{UVLO_FAULT}$ が t_{UDEL2} 以内に解除されます。これとは別に、パルス幅によってゲート・ロー故障と V_{DD2} UVLO 故障を区別することができます。ただし、これらの故障が同時に発生した場合に確認できるのは、長いほうのパルスだけです。

デッド・タイム制御

デッド・タイム (t_{DEXT}) は $VI+$ と $VI-$ の間に設定されます。 t_{DEXT} が遅延より大きい場合、デッド・タイムは t_{DEXT} によって設定されます。それ以外の場合、つまりこの時間が遅延以下の場合、デッド・タイムは遅延によって設定されます。遅延値は $1\mu s$ (代表値) です。

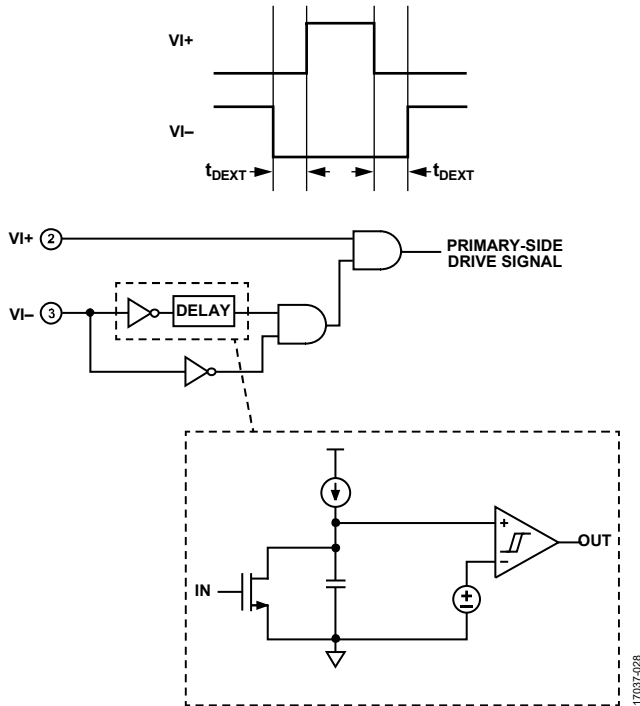


図 28. デッド・タイム制御

DRIVER_FAULT故障、デッド・タイム故障

各サイクルの開始時には $VI+$ 信号および内部デッド・タイムがモニタされます。 $1\mu s$ の内部デッド・タイム完了信号の立上がりエッジ前に $VI+$ 信号がハイになった場合は、デッド・タイム故障となります。この故障は 1 次側で約 $13ms$ ラッチされます。ドライバをオフすることはありません。 $VI-$ が常にローに維持されている場合、起動時は $VI+$ もローに維持する必要があります。

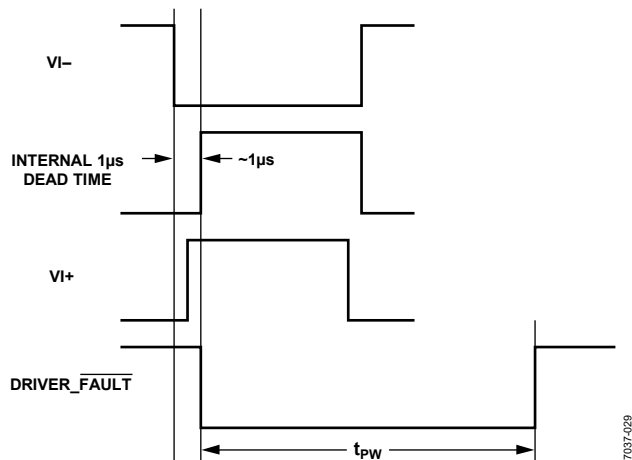


図 29. デッド・タイム故障

消費電力

IGBT ゲートの駆動中、ドライバは電力を消費する必要があります。以下の点を考慮しないと、この電力によって TSD が発生する可能性があります。IGBT のゲートは、容量性負荷として大まかにシミュレートすることができます。ミラー容量と他の非直線性により、一般的には、特定 IGBT の指定入力容量 (C_{ISS}) に 5 を乗じて、駆動される負荷の概算値を見積もります。この値を使用して、スイッチング動作によるシステムの総消費電力 (P_{DISS}) を見積もるには、次の式を使用します。

$$P_{DISS} = C_{EST} \times (V_{DD2})^2 \times f_s$$

ここで、

$C_{EST} = C_{ISS} \times 5$ (安全側の見積もり)。

V_{DD2} は V_{DD2} ピンの電圧。

f_s は IGBT のスイッチング周波数。

この消費電力は、内部ゲート・ドライバの内部オン抵抗と外部ゲート抵抗 (R_{GON} および R_{GOFF}) で共有されます。直列抵抗の合計に対する内部ゲート抵抗の比率により、ADuM4137 チップ内の損失を計算できます。

スイッチングによるチップ内部での消費電力を求め、これに静止時電力損失を加えて θ_{JA} を乗じることで、周囲温度に対する ADuM4137 の温度上昇値が得られます。

$$P_{DISS_ADuM4137} = P_{DISS} \times 0.5 (R_{DS(on)_P} (R_{GON} + R_{DS(on)_P}) + (R_{DS(on)_N} (R_{GOFF} + R_{DS(on)_N})) + P_{QUIESCENT}$$

ここで、

$P_{DISS_ADuM4137}$ は ADuM4137 の消費電力。

R_{GON} はオン経路の外部直列抵抗値。

R_{GOFF} はオフ経路の外部直列抵抗値。

$P_{QUIESCENT}$ は静止時電力。

$$T_{ADuM4137} = \theta_{JA} \times P_{DISS_ADuM4137} + T_{AMB}$$

ここで、

$T_{ADuM4137}$ は ADuM4137 のジャンクション温度。

T_{AMB} は周囲温度。

ADuM4137 を仕様範囲内で使用するには、 $T_{ADuM4137}$ が $150^\circ C$ (代表値) を超えないようにする必要があります。 $T_{ADuM4137}$ が $150^\circ C$ (代表値) を超えると、ADuM4137 は TSD 状態になります。

絶縁寿命

すべての絶縁構造は、充分長い時間にわたり電圧ストレスを加えると、最終的には破壊されます。絶縁性能の低下率は、絶縁に加えられる電圧波形の特性に依存します。アナログ・デバイセズは、規制当局が行うテストの他に、広範囲な評価を実施して ADuM4137 の絶縁構造の寿命を決定しています。

アナログ・デバイセズは、定格連続動作電圧より高い電圧レベルを使った加速寿命テストを実施しています。複数の動作条件に対する加速ファクタを求めました。これらの係数を使うと、実際の動作電圧での故障までの時間を計算することができます。

バイポーラ AC 動作条件での 20 年の動作寿命に対するピーク電圧と、CSA および VDE 認定の最大動作電圧をまとめて表 10 に示します。多くのケースで、承認された動作電圧は 20 年運用寿命の電圧より高くなっています。これらの高い動作電圧での動作は、ケースによって絶縁寿命を短くすることがあります。

ADuM4137 の絶縁寿命は、絶縁バリアに加えられる電圧波形のタイプに依存します。iCoupler 絶縁構造の性能は、波形がバイポーラ AC、ユニポーラ AC、DC のいずれであるかに応じて、異なるレートで低下します。これらの様々な絶縁電圧波形を図 30、図 31、図 32 に示します。

バイポーラ AC 電圧環境は iCoupler 製品にとって最も厳しい条件ですが、アナログ・デバイセズの推奨する最大動作電圧に対する運転寿命は 20 年です。ユニポーラ AC または DC 電圧の場合は、絶縁に加わるストレスは大幅に低くなります。そのため、20 年の耐用年数を実現しながら、より高い動作電圧での動作が可能です。ただし、図 31 または図 32 に適合しない絶縁電圧波形はすべてバイポーラ AC 波形として扱い、そのピーク電圧を表 10 に示す 20 年寿命電圧値に制限する必要があります。

図 31 に示す電圧は説明のために正弦波としているに過ぎません。すなわち、0V とある規定値との間で変化する任意の電圧波形とすることができます。規定値は正または負とすることができますが、電圧が 0V を通過することはできません。

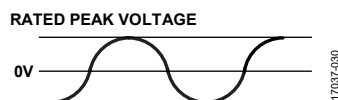


図 30. バイポーラ AC 波形

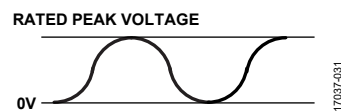


図 31. ユニポーラ AC 波形

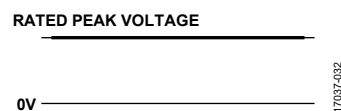


図 32. DC 波形

DC 精度と磁界耐性

ADuM4137 は、外部磁界に対する耐性を備えています。トランスの受信側コイルに発生する誘導電圧が、誤ってデコードをセットまたはリセットする値まで大きくなると、ADuM4137 の磁界耐性が限界に達します。この状態が発生する条件は、次に示す解析によって求めることができます。

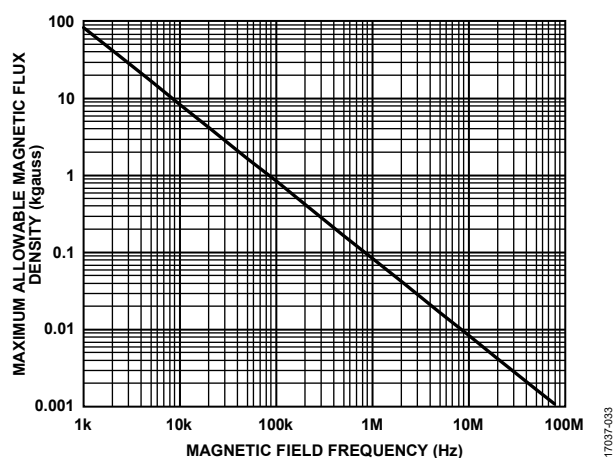


図 33. 最大許容外部磁束密度

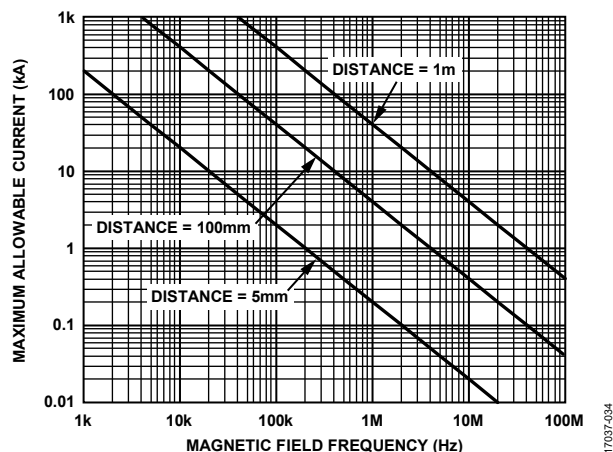
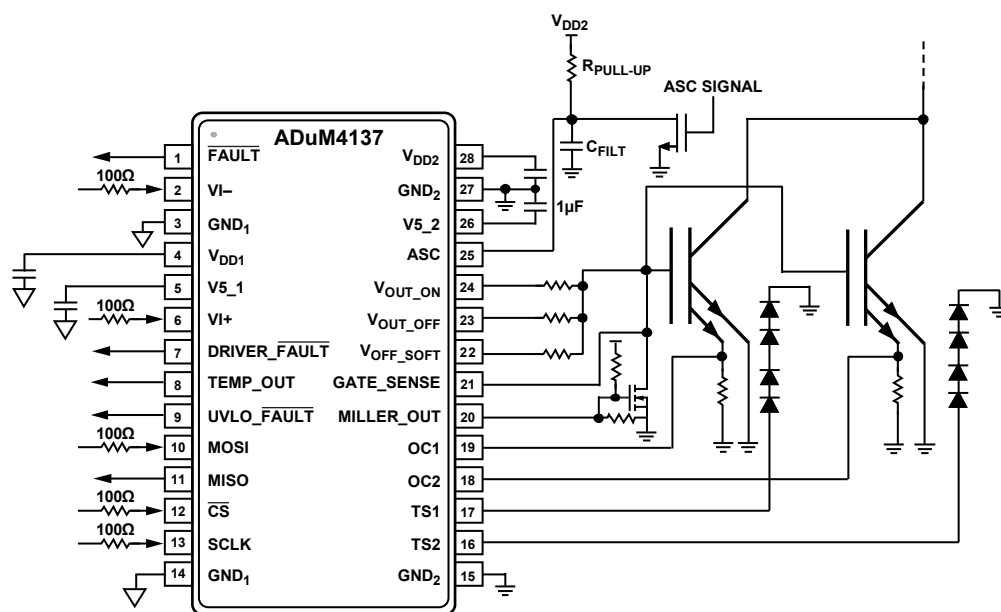


図 34. ADuM4137 の間隔と最大許容電流の関係

代表的なアプリケーション回路



NOTES

1. C_{FILT} IS THE ASC PIN FILTER CAPACITOR.
2. $R_{PULL-UP}$ IS THE ASC PIN PULL-UP RESISTOR

図 35. IGBT 駆動アプリケーションの例

17037-035

外形寸法

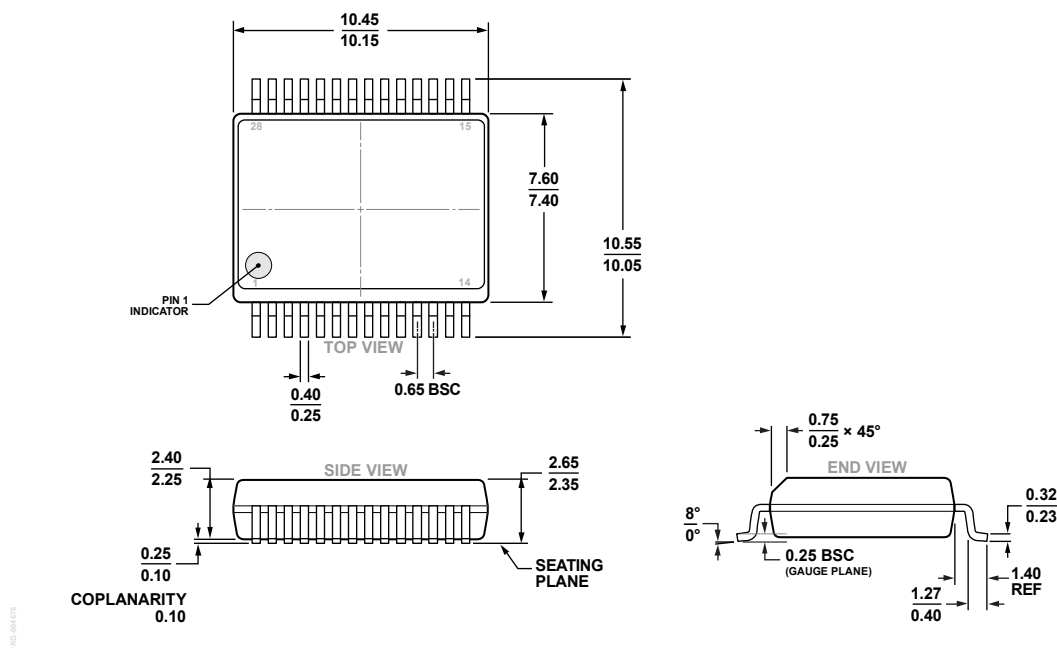


図 36. 28 ピン標準スモール・アウトライン、ワイド・ボディ、精細ピッチ [SOIC_W_FP]
(RN-28-1)
寸法：mm

オーダー・ガイド

Model ^{1, 2}	Temperature Range	Package Description	Package Option
ADuM4137WBRNZ	-40°C to +150°C	28-Lead Standard Small Outline, Wide Body, with Finer Pitch [SOIC_W_FP]	RN-28-1
ADuM4137WBRNZ-RL	-40°C to +150°C	28-Lead Standard Small Outline, Wide Body, with Finer Pitch [SOIC_W_FP], 13" Tape and Reel	RN-28-1
EVAL-ADuM4137EBZ		Evaluation Board	

¹ RoHS 準拠製品。

² W = 車載アプリケーション向けに性能を評価済み。

オートモーティブ製品

ADuM4137W モデルは、車載アプリケーションの品質と信頼性の条件に対応するよう管理された製造により提供されています。これらの車載モデルの仕様は商用モデルと異なる場合があるため、設計者はこのデータシートの仕様のセクションを慎重に検討してください。車載アプリケーション向けには、上記の車載グレード製品のみを提供しています。特定製品のオーダー情報とこれらのモデルに特有の車載信頼性レポートについては、最寄りのアナログ・デバイスまでお問い合わせください。