

**特長**

- 2.3 A のピーク出力電流 ( $< 2 \Omega R_{DS(on,x)}$ )
- 2.5 V ~ 6.5 V の  $V_{DD1}$  入力
- 4.5 V ~ 35 V の  $V_{DD2}$  出力
- 2.3 V の  $V_{DD1}$  での UVLO
- $V_{DD2}$  に関する複数の UVLO オプション
  - Grade A — 4.4 V (代表値) の立上がり閾値
  - Grade B — 7.3 V (代表値) の立上がり閾値
  - Grade C — 11.3 V (代表値) の立上がり閾値
- 高精度タイミング特性
  - アイソレータおよびドライバの最大伝搬遅延の立下りエッジ  
79 ns (ADuM4120)
- CMOS 入力ロジック・レベル
- 高いコモンモード過渡耐性: 150 kV/ $\mu$ s
- 高いジャンクション温度動作: 125 °C
- デフォルトのロー・レベル出力
- 安全性と規制に対する認定 (申請中)
  - UL 1577 による UL 認定
    - 1 分間で 5 kV rms、SOIC ロング・パッケージ
  - CSA Component Acceptance Notice 5A
  - VDE 適合性認定 (申請中)
    - DIN V VDE V 0884-10 (VDE V 0884-10) : 2006-12
    - $V_{IORM} = 849$  V ピーク
- 沿面距離: 8 mm
- ワイド・ボディ、沿面距離を増やした 6 ピン SOIC

**アプリケーション**

- スイッチング電源
- IGBT/MOSFET ゲート・ドライバ
- 産業用インバータ
- 窒化ガリウム (GaN) / 炭化ケイ素 (SiC) パワー・デバイス

**概要**

ADuM4120/ADuM4120-1<sup>1</sup> は 2 A の絶縁型 1 チャンネル・ドライバで、高精度の絶縁を提供するためにアナログ・デバイセズの iCoupler® 技術を採用しています。ADuM4120/ADuM4120-1 は 5 kV rms の絶縁性能を備えており、沿面距離を増やしたワイド・ボディの 6 ピン SOIC パッケージに収納されています。高速 CMOS 技術とモノリシック・トランス技術を組み合わせたこれらの絶縁部品は、パルス・トランスとゲート・ドライバの組み合わせによって実現する優れた性能特性を備えています。

ADuM4120/ADuM4120-1 は 2.5 V ~ 6.5 V の入力電源で動作し、より低電圧のシステムとの互換性も備えています。高電圧レベル変換方式を採用するゲート・ドライバと比較して、ADuM4120/ADuM4120-1 には、入力と出力が電氣的に絶縁されるという利点があります。

入カグリッチあり/なしのモデル・オプションがあります。グリッチ・フィルタは、出力をトリガする入力ピンでノイズが混入する頻度を下げます。

その結果、ADuM4120/ADuM4120-1 を使用すれば、幅広いスイッチング電圧範囲にわたり、絶縁型ゲート・バイポーラ・トランジスタ (IGBT) / 金属酸化膜半導体電界効果トランジスタ (MOSFET) 構成のスイッチング特性について信頼性の高い制御を実現できます。

**機能ブロック図**

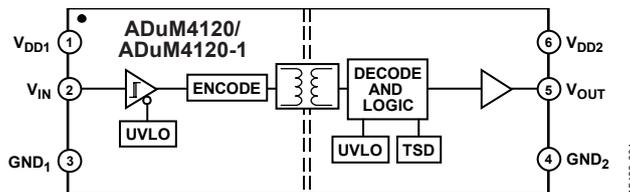


図 1.

<sup>1</sup> 米国特許 5,952,849; 6,873,065; 7,075,239 により保護されています。その他の特許は申請中です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

## 目次

特長.....	1	代表的な性能特性.....	9
アプリケーション.....	1	動作原理.....	12
概要.....	1	アプリケーション情報.....	13
機能ブロック図.....	1	PCB レイアウト.....	13
改訂履歴.....	2	伝搬遅延に関するパラメータ.....	13
仕様.....	3	熱に関する制限事項とスイッチ負荷の特性.....	13
電気的特性.....	3	低電圧ロックアウト (UVLO).....	13
適用規格.....	4	出力負荷特性.....	14
パッケージ特性.....	5	消費電力.....	14
絶縁および安全性関連の仕様.....	5	DC 精度と磁界耐性.....	14
DIN V VDE V 0884-10 (VDE V 0884-10) 絶縁特性.....	5	絶縁寿命.....	15
推奨動作条件.....	6	外形寸法.....	17
絶対最大定格.....	7	オーダー・ガイド.....	17
ESD に関する注意事項.....	7		
ピン配置およびピン機能の説明.....	8		

## 改訂履歴

5/2017—Revision 0: Initial Version

## 仕様

## 電気的特性

ローサイド電圧はGND<sub>1</sub>を基準としています。ハイサイド電圧はGND<sub>2</sub>、 $2.5\text{ V} \leq V_{DD1} \leq 6.5\text{ V}$ 、 $4.5\text{ V} \leq V_{DD2} \leq 35\text{ V}$ 、 $T_j = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$ を基準としています。特に指定のない限り、他のすべての最小/最大の仕様規定は推奨動作範囲全体に適用されます。特に指定のない限り、すべての代表仕様は、 $T_A = 25\text{ }^\circ\text{C}$ 、 $V_{DD1} = 5.0\text{ V}$ 、 $V_{DD2} = 15\text{ V}$ での値です。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC SPECIFICATIONS						
High-Side Power Supply						
$V_{DD2}$ Input Voltage	$V_{DD2}$	4.5		35	V	
$V_{DD2}$ Input Current, Quiescent	$I_{DD2(Q)}$		1.7	2.6	mA	
Logic Supply						
$V_{DD1}$ Input Voltage	$V_{DD1}$	2.5		6.5	V	
Input Current	$I_{DD1}$		3.6	5	mA	$V_{IN} = \text{high}$
Logic Input						
$V_{IN}$ Input Current	$I_{VIN}$	-1	0.01	+1	$\mu\text{A}$	
Logic Input Voltage						
High	$V_{IH}$	$0.7 \times V_{DD1}$			V	$2.5\text{ V} \leq V_{DD1} \leq 5\text{ V}$
		3.5			V	$V_{DD1} > 5\text{ V}$
Low	$V_{IL}$			$0.3 \times V_{DD1}$	V	$2.5\text{ V} \leq V_{DD1} \leq 5\text{ V}$
				1.5	V	$V_{DD1} > 5\text{ V}$
Undervoltage Lockout (UVLO)						
$V_{DD1}$						
Positive Going Threshold	$V_{VDD1UV+}$		2.45	2.5	V	
Negative Going Threshold	$V_{VDD1UV-}$	2.3	2.35		V	
Hysteresis	$V_{VDD1UVH}$		0.1		V	
$V_{DD2}$						
Grade A						
Positive Going Threshold	$V_{VDD2UV+}$		4.4	4.5	V	
Negative Going Threshold	$V_{VDD2UV-}$	4.1	4.2		V	
Hysteresis	$V_{VDD2UVH}$		0.2		V	
Grade B						
Positive Going Threshold	$V_{VDD2UV+}$		7.3	7.5	V	
Negative Going Threshold	$V_{VDD2UV-}$	6.9	7.1		V	
Hysteresis	$V_{VDD2UVH}$		0.2		V	
Grade C						
Positive Going Threshold	$V_{VDD2UV+}$		11.3	11.6	V	
Negative Going Threshold	$V_{VDD2UV-}$	10.8	11.1		V	
Hysteresis	$V_{VDD2UVH}$		0.2		V	
Thermal Shutdown (TSD)						
TSD Positive Edge	$T_{TSD\_POS}$		155		$^\circ\text{C}$	
TSD Hysteresis	$T_{TSD\_HYST}$		30		$^\circ\text{C}$	
Internal NMOS Gate Resistance						
	$R_{DSON\_N}$		0.6	1.6	$\Omega$	Tested at 250 mA, $V_{DD2} = 15\text{ V}$
			0.6	1.6	$\Omega$	Tested at 1 A, $V_{DD2} = 15\text{ V}$
Internal PMOS Gate Resistance						
	$R_{DSON\_P}$		0.8	1.8	$\Omega$	Tested at 250 mA, $V_{DD2} = 15\text{ V}$
			0.8	1.8	$\Omega$	Tested at 1 A, $V_{DD2} = 15\text{ V}$
Peak Output Current	$I_{PK}$		2.3		A	$V_{DD2} = 12\text{ V}$ , 4 $\Omega$ gate resistance

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SWITCHING SPECIFICATIONS						
Pulse Width	PW	50			ns	$C_L = 2\text{ nF}, V_{DD2} = 15\text{ V}, R_{GON} = R_{GOFF} = 5\ \Omega$
Deglintch ( $V_{IN}$ )	$t_{IN\_IN}, t_{IN\_NIN}$			20	ns	
ADuM4120						
Propagation Delay <sup>1</sup>						$C_L = 2\text{ nF}, V_{DD2} = 15\text{ V}, R_{GON} = R_{GOFF} = 5\ \Omega$
Rising Edge	$t_{DLH}$	44	57	68	ns	
Falling Edge	$t_{DHL}$	55	66	79	ns	
Skew	$t_{PSK}$			25	ns	$C_L = 2\text{ nF}, R_{GON} = R_{GOFF} = 5\ \Omega$
Rising Edge	$t_{PSK\_LH}$			19	ns	
Falling Edge	$t_{PSK\_HL}$			13	ns	
Pulse Width Distortion	$t_{PWD}$		9	16.5	ns	$C_L = 2\text{ nF}, V_{DD2} = 15\text{ V}, R_{GON} = R_{GOFF} = 5\ \Omega$
ADuM4120-1						
Propagation Delay <sup>1</sup>						$C_L = 2\text{ nF}, V_{DD2} = 15\text{ V}, R_{GON} = R_{GOFF} = 5\ \Omega$
Rising Edge	$t_{DLH}$	22	33	42	ns	
Falling Edge	$t_{DHL}$	36	43	58	ns	
Skew	$t_{PSK}$			25	ns	$C_L = 2\text{ nF}, R_{GON} = R_{GOFF} = 5\ \Omega$
Rising Edge	$t_{PSK\_LH}$			14	ns	
Falling Edge	$t_{PSK\_HL}$			12	ns	
Pulse Width Distortion	$t_{PWD}$		9	16.5	ns	$C_L = 2\text{ nF}, V_{DD2} = 15\text{ V}, R_{GON} = R_{GOFF} = 5\ \Omega$
OUTPUT RISE/FALL TIME (10% TO 90%)	$t_R/t_F$	11	18	26	ns	$C_L = 2\text{ nF}, V_{DD2} = 15\text{ V}, R_{GON} = R_{GOFF} = 5\ \Omega$
COMMON-MODE TRANSIENT IMMUNITY (CMTI)						
Static CMTI <sup>2</sup>	CMTI	150			kV/ $\mu$ s	$V_{CM} = 1500\text{ V}$
Dynamic CMTI <sup>3</sup>		150			kV/ $\mu$ s	$V_{CM} = 1500\text{ V}$

<sup>1</sup> 伝搬遅延  $t_{DLH}$  は、入力立上がりロジック・ハイ電圧閾値  $V_{IH}$  から  $V_{OUT}$  信号の出力立上がり 10% のレベルまでを測定した値です。伝搬遅延  $t_{DHL}$  は、ロジック・ロー閾値  $V_{IL}$  から  $V_{OUT}$  信号の出力立下がり 90% の閾値までを測定した値です。伝搬遅延パラメータの波形については、図 22 を参照してください。

<sup>2</sup> 静的 CMTI は、入力をハイまたはローに保持した状態で、出力ハイのときに出力電圧が  $0.8 \times V_{DD2}$  より上に維持され、出力ローのときに 0.8 V に維持される、 $GND_1$  と  $GND_2$  の間の最大  $dv/dt$  として定義されます。トランジェントが推奨レベルを超える状態で動作させると、瞬間的にデータが乱れることがあります。

<sup>3</sup> 動的 CMTI は、スイッチング・エッジが過渡テスト・パルスに揃ったときの、 $GND_1$  と  $GND_2$  の間の最大  $dv/dt$  として定義されます。推奨レベルを超える過渡状態で動作させると、一時的にデータが乱れることがあります。

## 適用規格

ADuM4120/ADuM4120-1 は、表 2 に記載された組織の認定を申請中です。

表 2.

UL (Pending)	CSA (Pending)	VDE (Pending)	CQC (Pending)
UL1577 Component Recognition Program Single Protection, 5000 V rms Isolation Voltage	Approved under CSA Component Acceptance Notice 5A CSA 60950-1-07+A1+A2 and IEC 60950-1, second edition, +A1+A2: Basic insulation at 800 V rms (1131 V peak)  Reinforced insulation at 400 V rms (565 V peak) IEC 60601-1 Edition 3.1: Basic insulation (1 MOPP), 500 V rms (707 V peak) Reinforced insulation (2 MOPP), 250 V rms (1414 V peak) CSA 61010-1-12 and IEC 61010-1 third edition Basic insulation at: 600 V rms mains, 800 V secondary (1089 V peak) Reinforced insulation at: 300 V rms mains, 400 V secondary (565 V peak)	DIN V VDE V 0884-10 (VDE V 0884-10):2006-12 Reinforced insulation, 849 V peak, $V_{IOSM} = 10\text{ kV peak}$ Basic insulation 849 V peak, $V_{IOSM} = 16\text{ kV peak}$	Certified under CQC11-471543-2012 GB4943.1-2011  Basic insulation at 800 V rms (1131 V peak) Reinforced insulation at 400 V rms (565 V peak)
File E214100	File 205078	File 2471900-4880-0001	File (pending)

## パッケージ特性

表 3.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Resistance (Input Side to High-Side Output) <sup>1</sup>	R <sub>I-O</sub>		10 <sup>12</sup>		Ω	
Capacitance (Input Side to High-Side Output) <sup>1</sup>	C <sub>I-O</sub>		2.0		pF	
Input Capacitance	C <sub>I</sub>		4.0		pF	
Junction to Ambient Thermal Resistance	θ <sub>JA</sub>		123.7		°C/W	4-layer printed circuit board (PCB)

<sup>1</sup> このデバイスは 2 端子デバイスとみなされます。すなわち、ピン 1 ~ ピン 3 を相互に接続し、ピン 4 ~ ピン 6 を相互に接続します。

## 絶縁および安全性関連の仕様

表 4.

Parameter	Symbol	Value	Unit	Conditions
Rated Dielectric Insulation Voltage		5000	V rms	1 minute duration
Minimum External Air Gap (Clearance)	L(I01)	8 min	mm	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (Creepage)	L(I02)	8 min	mm	Measured from input terminals to output terminals, shortest distance path along body
Minimum Clearance in the Plane of the PCB Clearance	L(PCB)	8.3 min	mm	Measured from input terminals to output terminals, shortest distance through air, line of sight, in the PCB mounting plane
Minimum Internal Gap (Internal Clearance)		25.5 min	μm	Insulation distance through insulation
Tracking Resistance (Comparative Tracking Index)	CTI	>400	V	DIN IEC 112/VDE 0303 Part 3
Isolation Group		II		Material Group (DIN VDE 0110, 1/89, Table 1)

## DIN V VDE V 0884-10 (VDE V 0884-10) 絶縁特性

このアイソレータは、安全限界データ範囲内の強化絶縁のみに適しています。安全性データの維持は、保護回路によって確保されます。

表 5. VDE 特性

Description	Test Conditions/Comments	Symbol	Characteristic	Unit
Installation Classification per DIN VDE 0110 For Rated Mains Voltage ≤ 600 V rms			I to IV	
Climatic Classification			40/105/21	
Pollution Degree per DIN VDE 0110, Table 1			2	
Maximum Working Insulation Voltage		V <sub>IORM</sub>	849	V peak
Input to Output Test Voltage, Method B1	V <sub>IORM</sub> × 1.875 = V <sub>pd(m)</sub> , 100% production test, t <sub>ini</sub> = t <sub>m</sub> = 1 sec, partial discharge < 5 pC	V <sub>pd(m)</sub>	1592	V peak
Input to Output Test Voltage, Method A After Environmental Tests Subgroup 1	V <sub>IORM</sub> × 1.5 = V <sub>pd(m)</sub> , t <sub>ini</sub> = 60 sec, t <sub>m</sub> = 10 sec, partial discharge < 5 pC	V <sub>pd(m)</sub>	1274	V peak
After Input and/or Safety Test Subgroup 2 and Subgroup 3	V <sub>IORM</sub> × 1.2 = V <sub>pd(m)</sub> , t <sub>ini</sub> = 60 sec, t <sub>m</sub> = 10 sec, partial discharge < 5 pC	V <sub>pd(m)</sub>	1019	V peak
Highest Allowable Overvoltage		V <sub>IOTM</sub>	7000	V peak
Surge Isolation Voltage Basic	V peak = 16 kV, 1.2 μs rise time, 50 μs, 50% fall time	V <sub>IOSM</sub>	16,000	V peak
Surge Isolation Voltage Reinforced	V peak = 16 kV, 1.2 μs rise time, 50 μs, 50% fall time	V <sub>IOSM</sub>	10,000	V peak
Safety Limiting Values	Maximum value allowed in the event of a failure (see Figure 2)			
Maximum Junction Temperature		T <sub>S</sub>	150	°C
Safety Total Dissipated Power		P <sub>S</sub>	1.0	W
Insulation Resistance at T <sub>S</sub>	V <sub>IO</sub> = 500 V	R <sub>S</sub>	>10 <sup>9</sup>	Ω

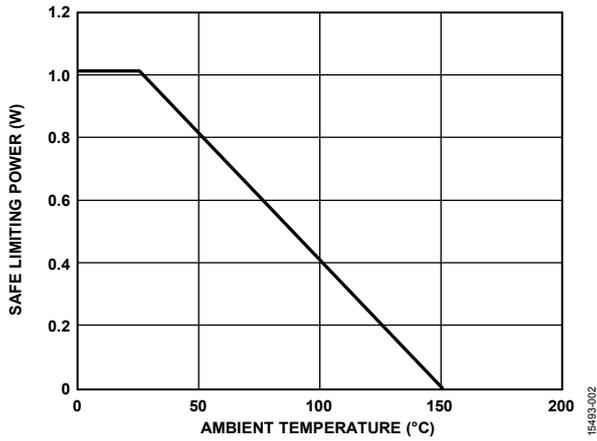


図 2. ADuM4120/ADuM4120-1 の熱ディレーティング・カーブ、DIN V VDE V 0884-10 による安全限界値のケース温度に対する依存性

推奨動作条件

表 6.

Parameter	Value
Operating Temperature Range ( $T_A$ )	-40°C to +125°C
Supply Voltages	
$V_{DD1} - GND_1$ or $GND_2$	2.5 V to 6.5 V
$V_{DD2} - V_{SS2}$	4.5 V to 35 V

## 絶対最大定格

特に指定のない限り、周囲温度 = 25 °C。

表 7.

Parameter	Rating
Supply Voltages	
$V_{DD1} - GND_1$	-0.3 V to +7 V
$V_{DD2} - GND_2$	-0.3 V to +40 V
Input Voltages	
$V_{IN}^1 - GND_1$	-0.3 V to +7 V
Output Voltages	
$V_{OUT} - GND_2$	-0.3 V to $V_{DD2} + 0.3$ V
Common-Mode Transients ( CM ) <sup>2</sup>	-200 kV/μs to +200 kV/μs
Storage Temperature Range (T <sub>ST</sub> )	-55°C to +150°C
Ambient Operating Temperature Range (T <sub>A</sub> )	-40°C to +125°C

<sup>1</sup> 定格値は、 $V_{DD1} > 2.5$  Vであることを前提としています。 $V_{DD1}$ に電源が供給されていないときの $V_{DD1}$ の最大定格は6.5 Vです。

<sup>2</sup> |CM|は絶縁バリアをまたぐコモンモード過渡電圧を表します。絶対最大定格を超えるコモンモード過渡電圧は、ラッチアップまたは恒久的な故障の原因になります。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

表 8. ADuM4120/ADuM4120-1 の最大連続動作電圧<sup>1</sup>

Parameter	Value	Constraint
60 Hz AC Voltage	600 V rms	20-year lifetime at 0.1% failure rate, zero average voltage
DC Voltage	1092 V peak	Limited by the creepage of the package, Pollution Degree 2, Material Group II <sup>2,3</sup>

<sup>1</sup> 詳細については、絶縁寿命のセクションを参照してください。

<sup>2</sup> 他の汚染度要件および材料グループ要件により、別の制限が発生します。

<sup>3</sup> 一部のシステム・レベル規格では、プリント配線基板 (PWB) の沿面距離値をコンポーネントに使用することを許可しています。これらの規格では、サポートされている DC 電圧が高いことがあります。

表 9. 真値表 ADuM4120/ADuM4120-1 (正論理)

V <sub>IN</sub> Input <sup>1</sup>	V <sub>DD1</sub> State	V <sub>DD2</sub> State	V <sub>OUT</sub> Output
Low	Powered	Powered	Low
High	Powered	Powered	High
X	Unpowered <sup>2</sup>	Powered	Low
X	Powered	Unpowered <sup>2</sup>	High-Z

<sup>1</sup> X は、ドント・ケアを意味します。

<sup>2</sup> 出力は、給電の開始後 20 μs 以内に戻ります。

## ESD に関する注意事項



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないうちに放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能の説明



図 3. ピン配置

表 10. ADuM4120/ADuM4120-1 のピン機能の説明

ピン番号	記号	説明
1	V <sub>DD1</sub>	アイソレータ 1 次側の電源電圧。
2	V <sub>IN</sub>	ゲート駆動ロジック入力。
3	GND <sub>1</sub>	グラウンド 1。アイソレータの 1 次側のグラウンド基準。
4	GND <sub>2</sub>	グラウンド 2。アイソレータの 2 次側のグラウンド基準。
5	V <sub>OUT</sub>	ゲート駆動出力。このピンは、外付けの直列抵抗を介して、駆動されるゲートに接続します。
6	V <sub>DD2</sub>	アイソレータ 2 次側の電源電圧。

代表的な性能特性

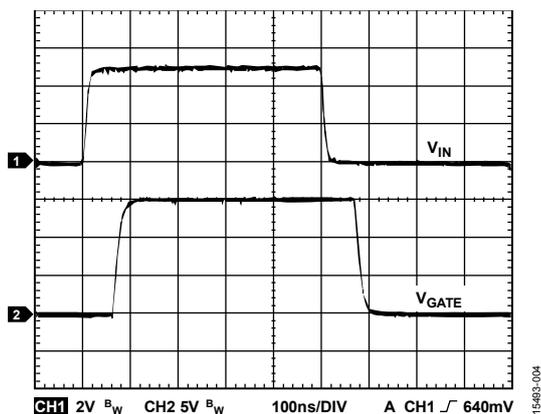


図 4. ADuM4120  $V_{IN}$  とゲート電圧 ( $V_{GATE}$ ) の波形、  
負荷 = -2 nF、直列ゲート抵抗 = 5  $\Omega$ 、 $V_{DD2}$  = 15 V

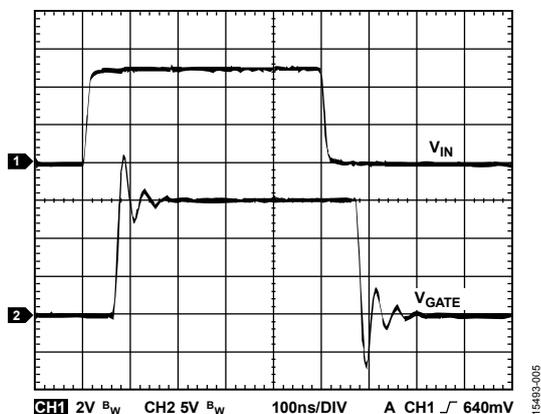


図 5. ADuM4120  $V_{IN}$  と  $V_{GATE}$  の波形、負荷 = 2 nF、  
直列ゲート抵抗 = 0  $\Omega$ 、 $V_{DD2}$  = 15 V

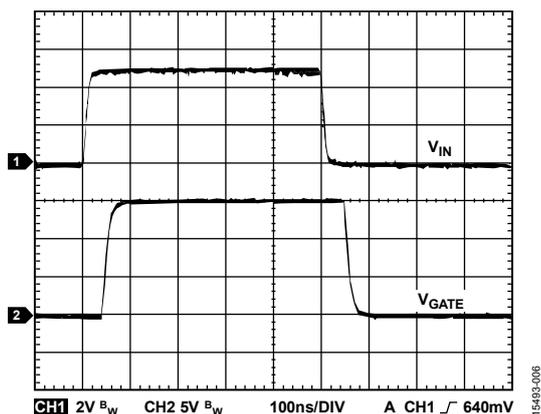


図 6. ADuM4120-1  $V_{IN}$  と  $V_{GATE}$  の波形、負荷 = 2 nF、  
直列ゲート抵抗 = 5  $\Omega$ 、 $V_{DD2}$  = 15 V

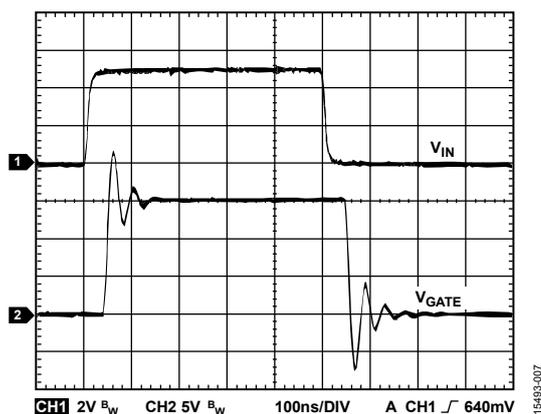


図 7. ADuM4120-1  $V_{IN}$  と  $V_{GATE}$  の波形、負荷 = 2 nF、  
直列ゲート抵抗 = 0  $\Omega$ 、 $V_{DD2}$  = 15 V

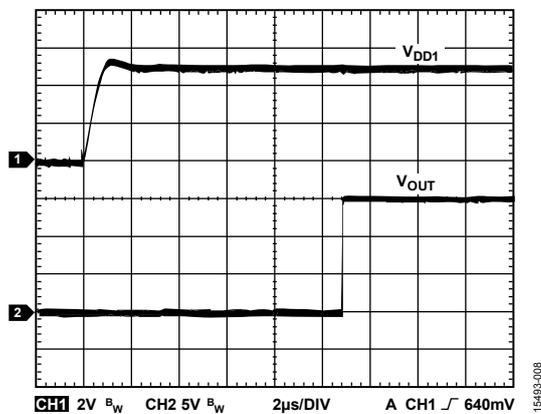


図 8. 出力波形に対する  $V_{DD1}$  の遅延 (代表値)、 $V_{IN} = V_{DD1}$

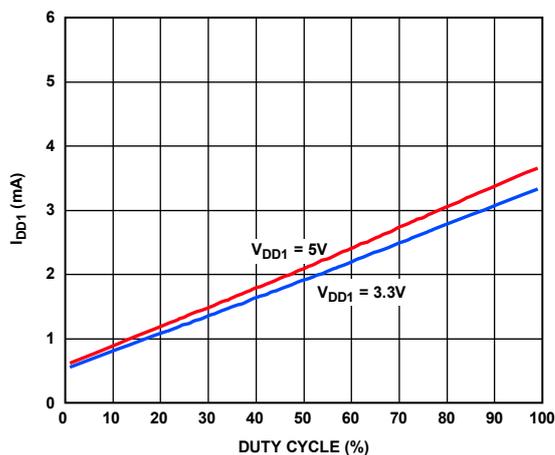


図 9.  $I_{DD1}$  とデューティ・サイクルの関係、 $f_{SW} = 10$  kHz

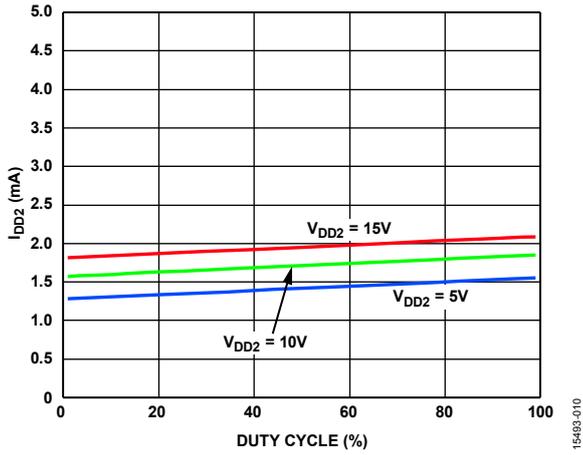


図 10.  $I_{DD2}$  とデューティ・サイクルの関係、 $V_{DD1} = 5V$ 、 $f_{SW} = 10\text{ kHz}$ 、負荷 = 2 nF

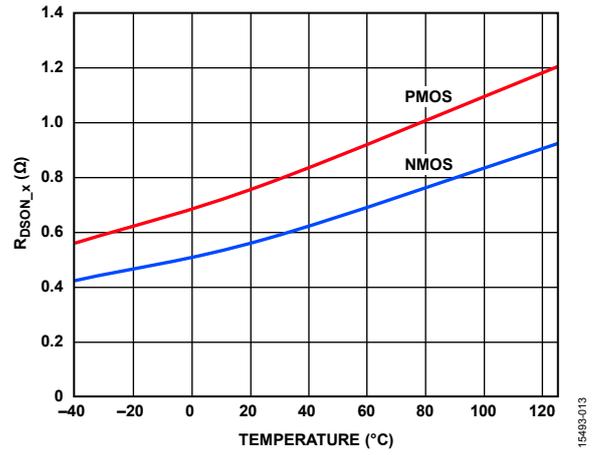


図 13.  $R_{DS(on)_x}$  の温度特性

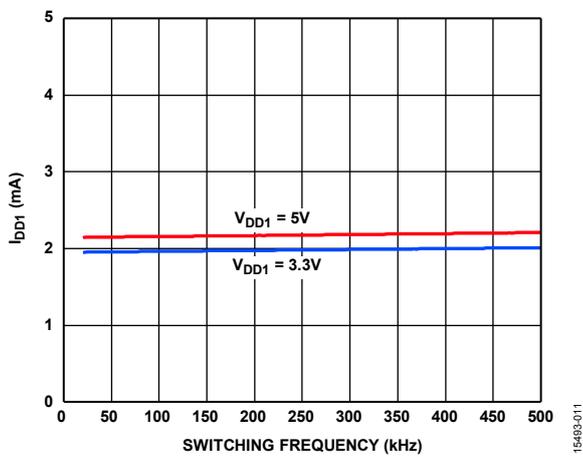


図 11.  $I_{DD1}$  のスイッチング周波数特性

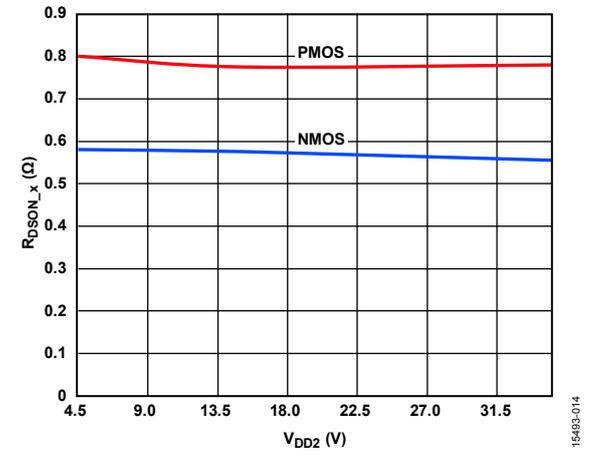


図 14.  $R_{DS(on)_x}$  と  $V_{DD2}$  の関係

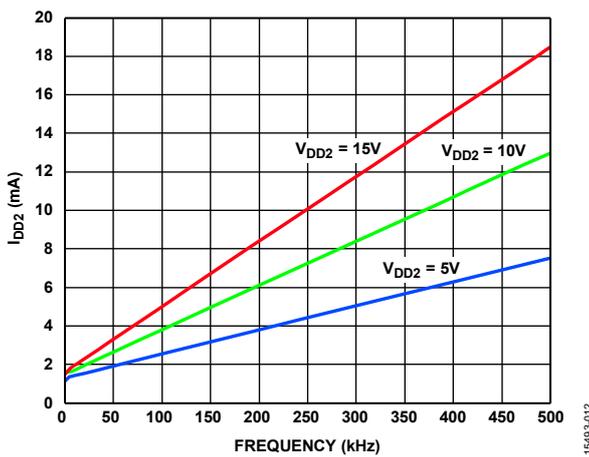


図 12.  $I_{DD2}$  のスイッチング周波数特性、負荷 = 2 nF

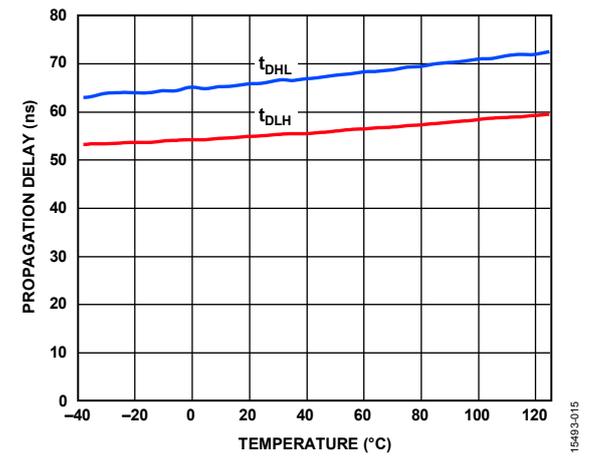


図 15. ADuM4120 伝播遅延の温度特性、負荷 = 2 nF

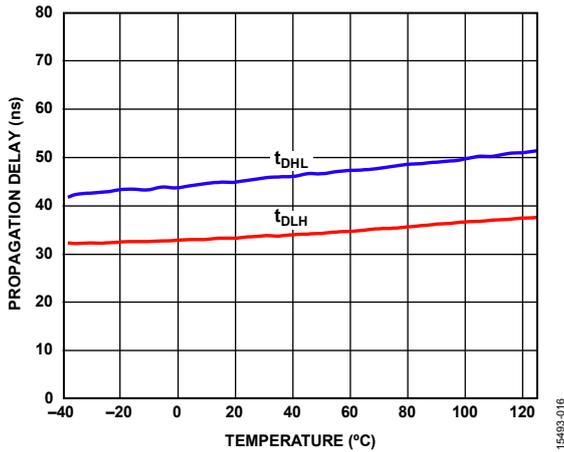


図 16. ADuM4120-1 伝播遅延の温度特性、負荷 = 2 nF

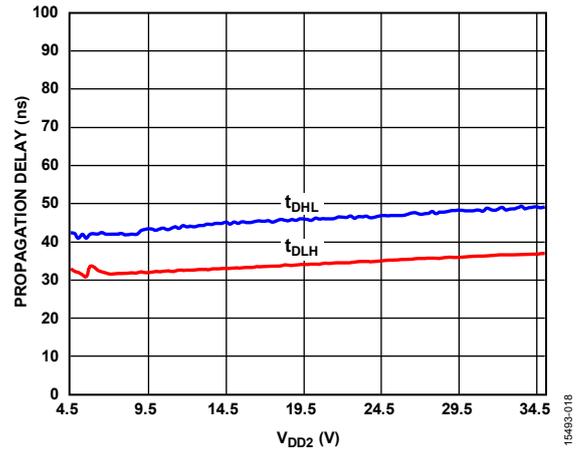


図 18. ADuM4120-1 伝播遅延と V<sub>DD2</sub> の関係、負荷 = 2 nF

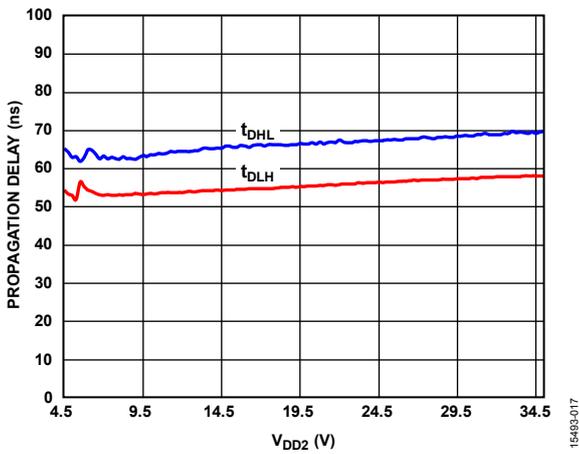


図 17. ADuM4120 伝播遅延と V<sub>DD2</sub> の関係、負荷 = 2 nF

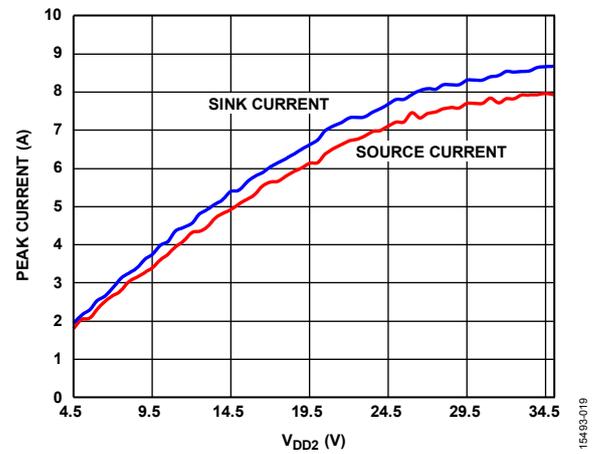


図 19. ピーク電流と V<sub>DD2</sub> の関係、抵抗 = 2 Ω

## 動作原理

ゲート・ドライバは、スイッチング・デバイスのゲートの立上がり時間を短縮することが求められる状況が必要です。ほとんどのエンハンスメント型パワー・デバイスのゲート信号は、ソース・ノードまたはエミッタ・ノードを基準とします。ゲート・ドライバは、このソース・ノードまたはエミッタ・ノードに追従する必要があるため、ハーフ・ブリッジのようにソース・ノードまたはエミッタ・ノードがスイングする構成では、制御信号とゲート・ドライバ出力の間を絶縁する必要があります。ゲートのスイッチング時間は、ゲート・ドライバの駆動強度に依存します。CMOS出力段の手前にあるバッファ段は、全体の遅延時間を減らし、ドライバの最終的な駆動強度を上げます。

ADuM4120/ADuM4120-1 は、ポリイミド絶縁層で分離された iCoupler チップ・スケール・トランスのコイルを使って絶縁バリア越しにデータを伝送する高周波搬送波により、ゲート・ドライバの制御側と出力側の間の絶縁を実現します。ADuM4120/ADuM4120-1

が使用するエンコーディング方式は、正論理のオン/オフ・キーイング (OOK) です。つまり、iCoupler チップ・スケール・トランスのコイルを越える搬送波周波数の存在によってハイ信号が伝送されます。正論理エンコーディングでは、ゲート・ドライバの入力側に電源が供給されない場合、出力に必ずロー信号が現れます。ロー状態は、シュートスルー状態が生じる可能性のある状況で駆動するエンハンスメント・モードのパワー・デバイスにおいて最も一般的な安全状態です。このアーキテクチャは、高いコモンモード過渡耐圧、および電氣的ノイズ/電磁干渉に対して高い耐性を発揮するように設計されています。放射エミッションは、スペクトラム拡散 OOK 搬送波や、その他の手法 (差動コイル・レイアウトなど) により、最小限に抑えられます。図 20 に、ADuM4120/ADuM4120-1 が使用するエンコーディング方式を示します。

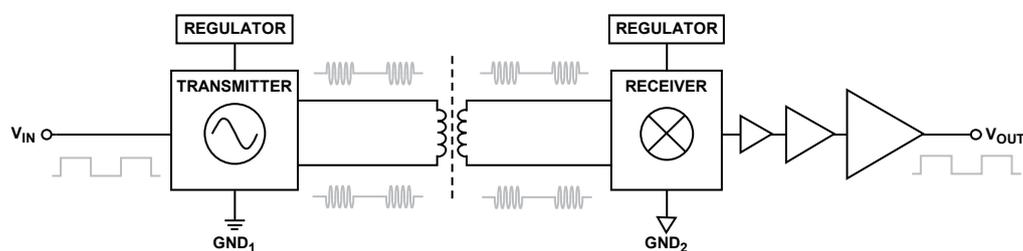


図 20. OOK エンコーディングの動作ブロック図

15493-120

## アプリケーション情報

### PCB レイアウト

ADuM4120/ADuM4120-1 デジタル・アイソレータには、ロジック・インターフェース用の外付けインターフェース回路は不要です。図 21 に示すように、入力および出力電源ピンには、電源バイパス・コンデンサが必要です。0.01  $\mu\text{F}$  ~ 0.1  $\mu\text{F}$  の小型セラミック・コンデンサを使用して、適切な高周波バイパスを提供します。また、出力電源ピン  $V_{DD1}$  に 10  $\mu\text{F}$  コンデンサを追加して、ADuM4120/ADuM4120-1 出力でゲート容量を駆動するのに必要な電荷を供給することを推奨します。バイパスでのインダクタンスを低減するために、出力電源ピンとバイパス・コンデンサでビアを使用したり、複数のビアを使用したりしないでください。小さいコンデンサと入出力電源ピンの両端間の合計リード長が 20 mm を超える必要があります。

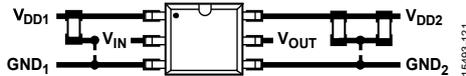


図 21. 推奨される PCB レイアウト

### 伝搬遅延に関するパラメータ

伝搬遅延時間は、ロジック信号がデバイスを通るのに要する時間を表わすパラメータです。ロジック・ロー出力への伝搬遅延は、ロジック・ハイ出力への伝搬遅延と異なる場合があります。ADuM4120/ADuM4120-1 の  $t_{DLH}$  は、立上がり入力ハイ・ロジック閾値  $V_{IH}$  から出力立上がり 10% の閾値までの時間として仕様規定されています (図 22 を参照)。同様に、立下り伝搬遅延  $t_{DHL}$  は、入力立下り低電圧ロジックの閾値  $V_{IL}$  から、出力立下り 90% の閾値までの時間として定義されています。立上がり時間と立下り時間は負荷条件によって異なり、伝搬遅延には含まれません (ゲート・ドライバの業界標準)。

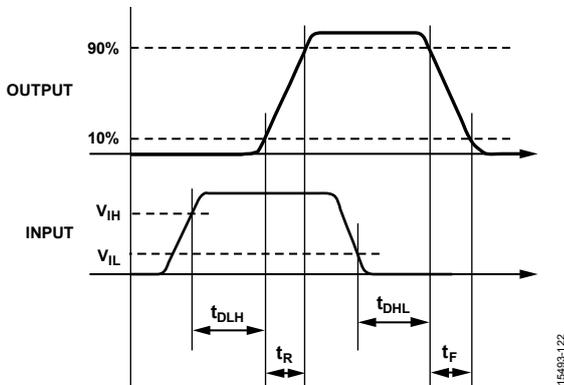


図 22. 伝搬遅延パラメータ

チャンネル間マッチングは、1つの ADuM4120/ADuM4120-1 コンポーネント内にある複数のチャンネル間の伝播遅延差の最大値です。

伝播遅延スキューは、同じ条件下で動作する複数の ADuM4120/ADuM4120-1 コンポーネント間での伝播遅延差の最大値です。

### 熱に関する制限事項とスイッチ負荷の特性

絶縁型ゲート・ドライバでは、入力回路と出力回路の分離が必要になるため、デバイスの下で単一のサーマル・パッドを使用できません。そのため、放熱は主にパッケージ・ピンで起こります。

デバイスの内部ジャンクション温度 ( $\theta_{JA}$ ) が TSD 閾値を超えると、デバイスを保護するために出力がローになります。推奨される動作範囲を超える場合、表 1 の仕様範囲内の動作は確保されません。

### 低電圧ロックアウト (UVLO)

ADuM4120/ADuM4120-1 は、デバイスの 1 次側と 2 次側の両方に UVLO 保護機能を備えています。1 次側または 2 次側の電圧が立下りエッジ UVLO より低くなると、デバイスはロー信号を出力します。ADuM4120/ADuM4120-1 に供給される電源の電圧が立上がりエッジ UVLO 閾値を超えると、デバイスは入力された信号を出力できます。小さい電源リップルに対応するために、UVLO にはヒステリシスが組み込まれています。1 次側の UVLO 閾値は、全モデルで共通です。表 11 に、2 次側出力の UVLO 閾値の 3 つのオプションを示します。

表 11. モデル・オプションのリスト

Model Number	Glitch Filter	UVLO (V)
ADuM4120ARIZ	Enabled	4.4
ADuM4120BRIZ	Enabled	7.3
ADuM4120CRIZ	Enabled	11.3
ADuM4120-1ARIZ	Disabled	4.4
ADuM4120-1BRIZ	Disabled	7.3
ADuM4120-1CRIZ	Disabled	11.3

出力負荷特性

ADuM4120/ADuM4120-1 の出力信号は、出力負荷の特性に依存します。代表的な出力負荷は、N チャンネル MOSFET です。N チャンネル MOSFET 負荷に対するドライバの出力応答は、図 23 に示すように、スイッチの出力抵抗 ( $R_{SW}$ )、PCB 基板のトレースによるインダクタンス ( $L_{TRACE}$ )、直列ゲート抵抗 ( $R_{GATE}$ )、ゲートとソース間の容量 ( $C_{GS}$ ) を使ってモデル化します。

$R_{SW}$  は、ADuM4120/ADuM4120-1 の内部ドライバ出力のスイッチ抵抗で、約  $1.5 \Omega$  です。 $R_{GATE}$  は、MOSFET 固有のゲート抵抗と、その他の外部直列抵抗です。4 A ゲート・ドライバを必要とする MOSFET には、代表値で約  $1 \Omega$  の固有抵抗と、 $2 \text{ nF} \sim 10 \text{ nF}$  のゲート・ソース間容量  $C_{GS}$  が含まれています。 $L_{TRACE}$  は PCB トレースのインダクタンスであり、ADuM4120/ADuM4120-1 の出力から MOSFET または IGBT のゲートへのトレースが短く幅が広くなるように適切にレイアウトされていれば、通常  $5 \text{ nH}$  以下になります。

以下の式は、抵抗-インダクタ-コンデンサ (RLC) 回路の Q 値を定義する式で、ステップ変化に対する ADuM4120/ADuM4120-1 の出力応答を示します。十分に減衰された出力の場合、Q は 1 未満です。直列ゲート抵抗を追加すると、出力応答を減衰させることができます。

$$Q = \frac{1}{(R_{SW} + R_{GATE})} \times \sqrt{\frac{L_{TRACE}}{C_{GS}}}$$

図 4 および図 6 に、 $C_{GS}$  値  $2 \text{ nF}$ 、抵抗値  $5 \Omega$  の場合の ADuM4120/ADuM4120-1 の出力波形を示します。図 5 および図 7 の出力、 $C_{GS} 2 \text{ nF}$ 、外部抵抗なしのリングングでは、計算される Q 係数は 1.5 になります。これはオーバーシュートを防ぐために適切な減衰で、必要な値よりも低くなります。

直列ゲート抵抗を追加して応答を減衰させると、出力のリングングを低減できます。 $1 \text{ nF}$  以下の負荷を使用するアプリケーションでは、約  $5 \Omega$  の直列ゲート抵抗を追加することを推奨します。図 23 に示すように、 $R_{GATE}$  は  $5 \Omega$  で、計算される Q 係数は 0.7 になり、適切に減衰されます。

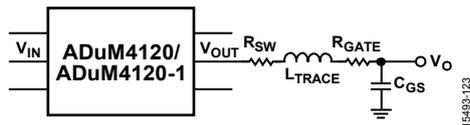


図 23. N チャンネル MOSFET のゲートの RLC モデル

消費電力

MOSFET または IGBT のゲートを駆動中に、ドライバは電力を消費する必要があります。この電力は無視できるレベルではないため、留意しないと TSD 状態になります。IGBT のゲートは、容量性負荷として大まかにシミュレートすることができます。この値を使用して、スイッチング動作によるシステムの総消費電力  $P_{DISS}$  を見積もるには、次の数式を使用します。

$$P_{DISS} = C_{EST} \times (V_{DD2} - GND_2)^2 \times fs$$

ここで、

$$C_{EST} = C_{ISS} \times 5$$

$fs$  は IGBT のスイッチング周波数です。

この消費電力は、内部ゲート・ドライバの内部オン抵抗と外部ゲート抵抗  $R_{GON}$  および  $R_{GOFF}$  で共有されます。直列抵抗の合計に対する内部ゲート抵抗の比率から、ADuM4120/ADuM4120-1 チップ内の損失を計算できます。

$$P_{DISS\_ADuM4120/ADuM4120-1} = P_{DISS} \times 0.5 \left( \frac{R_{DSON\_P}}{(R_{GON} + R_{DSON\_P})} + \frac{R_{DSON\_N}}{(R_{GOFF} + R_{DSON\_N})} \right)$$

チップ内のこの消費電力に  $\theta_{JA}$  を乗算することで、周囲温度に対する ADuM4120/ADuM4120-1 の温度上昇値が得られます。

$$T_{ADuM4120/ADuM4120-1} = \theta_{JA} \times P_{DISS\_ADuM4120} + T_A$$

デバイスを仕様値内に維持するには、 $T_{ADuM4120}$  が  $125^\circ\text{C}$  を超えないようにする必要があります。 $T_{ADuM4120}$  がサーマル・シャットダウン (TSD) の上昇時間値を超えるとデバイスは TSD に移行し、TSD の下降時間値を下回るまで出力がローのままになります。

DC 精度と磁界耐性

ADuM4120/ADuM4120-1 は、外部磁界に対する耐性を備えています。トランスの受信側コイルに発生する誘導電圧が、誤ってデコードをセットまたはリセットする値まで大きくなると、ADuM4120/ADuM4120-1 の磁界耐性が限界に達します。このエラー状態が発生する条件は、後述する解析によって求めることができます。ADuM4120/ADuM4120-1 の  $2.3 \text{ V}$  動作条件は最も感度の高い動作モードであるため、検査する必要があります。

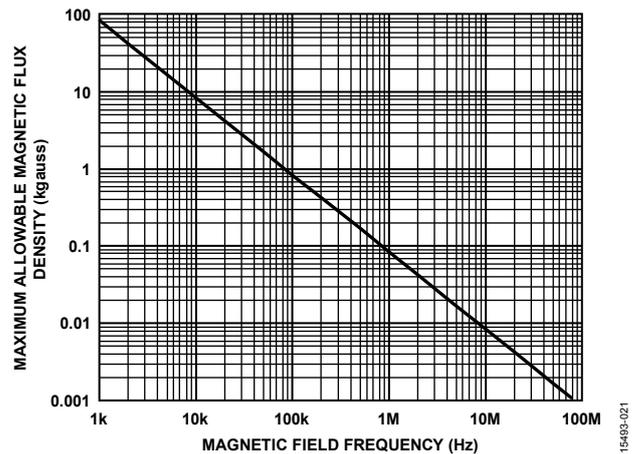


図 24. 最大許容の外部磁束密度

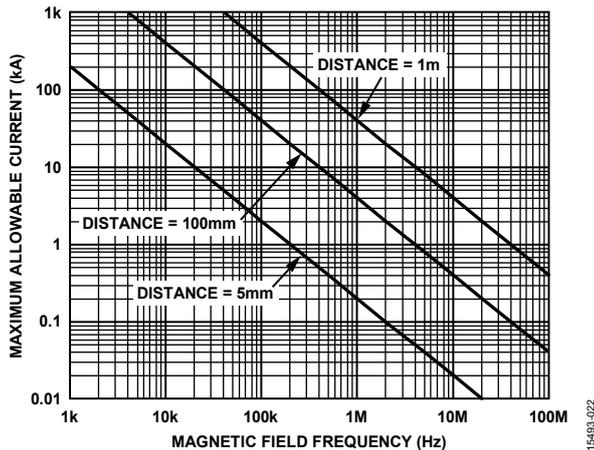


図 25. ADuM4120/ADuM4120-1 の間隔と最大許容電流の関係

## 絶縁寿命

すべての絶縁構造は、電圧ストレスを充分長い時間受けると、最終的に破壊されます。絶縁性能の低下率は、絶縁の両端に加える電圧波形の特性だけでなく、材料の境界面や材料自体にも依存します。

注目すべき2つの絶縁劣化タイプとして、空気にさらされる表面に沿った破壊と絶縁疲労があります。表面破壊とは、システム・レベル規格に定められた沿面距離条件で決定される表面トラッキング現象です。絶縁疲労とは、チャージ・インジェクションまたは絶縁材料内部の変位電流により、長時間にわたる絶縁低下が生じる現象です。

## 表面トラッキング

表面トラッキングは電気安全規格で規定されています。また、動作電圧、環境条件、絶縁材料の特性に基づいて最小沿面距離が定められています。安全性規制当局では、部品の表面絶縁について特性評価テストを行い、部品をさまざまな材料グループに分類しています。材料グループ等級が低いものほど表面トラッキングに対する耐性が高いため、短い沿面距離で十分に長い寿命を実現できます。特定の動作電圧と材料グループの最小沿面距離は、各システム・レベル規格で定められていて、絶縁両端の rms 合計電圧、汚染度、材料グループに基づいています。ADuM4120/ADuM4120-1 アイソレータの材料グループと沿面距離を表 4 に示します。

## 絶縁疲労

疲労による絶縁寿命は、厚さ、材料特性、加わる電圧ストレスによって決まります。アプリケーション動作電圧での製品寿命が十分であると確認することが重要です。アイソレータがサポートしている耐疲労動作電圧は、耐トラッキング動作電圧と異なる場合があります。トラッキングに該当する動作電圧は、ほとんどの規格で仕様規定されています。

試験とモデリングにより、長期間の性能低下の主な要因は、増分型の損傷を引き起こすポリイミド絶縁体内の変位電流であることが判明しています。絶縁体にかかるストレスは、DC ストレスや、AC 成分の時間とともに変化する電圧ストレスに大別できます。前者の場合は変位電流が存在しないため、ほとんど疲労が発生しませんが、後者の場合は疲労が発生します。

認定ドキュメントに記載されている定格は、通常 60 Hz のサイン波ストレスに基づいています。これは、ライン電圧からの絶縁がこのストレスに反映されるためです。ただし、多くの実用的なアプリケーションでは、バリアをまたぐ 60 Hz の AC 電圧と DC 電圧が組み合わせられています (式 1 を参照)。ストレスを受けている AC 部分のみが疲労を発生させるため、AC rms 電圧を求めるように式を組み替えることができます (式 2 を参照)。この製品で使用されているポリイミド材料での絶縁疲労に関しては、AC rms 電圧によって製品寿命が決定されます。

$$V_{RMS} = \sqrt{V_{AC\ RMS}^2 + V_{DC}^2} \quad (1)$$

または

$$V_{AC\ RMS} = \sqrt{V_{RMS}^2 - V_{DC}^2} \quad (2)$$

ここで、

$V_{RMS}$  は、合計 rms 動作電圧

$V_{AC\ RMS}$  は、動作電圧の時間とともに変化する部分。

$V_{DC}$  は、動作電圧の DC オフセット。

## 計算とパラメータ使用の例

電力変換アプリケーションでの一般的な例を次に示します。絶縁バリアの一方に 240 V ac rms のライン電圧、もう一方に 400 V dc のバス電圧が存在するとします。アイソレータの材質はポリイミドです。デバイスの沿面距離と寿命を判断するために臨界電圧を求めるには、図 26 と以降の数式を参照してください。

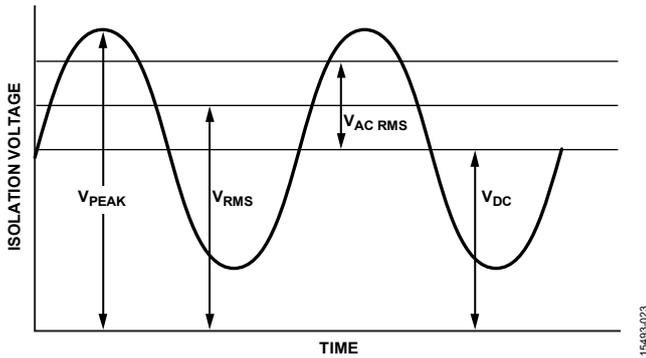


図 26. 臨界電圧の例

式 1 のバリアの両端にかかる動作電圧は、

$$V_{RMS} = \sqrt{V_{AC\ RMS}^2 + V_{DC}^2}$$

$$V_{RMS} = \sqrt{240^2 + 400^2}$$

$$V_{RMS} = 466\ \text{V rms}$$

システムの規格で要求される沿面距離を求める場合は、この 466 V rms の動作電圧を材料グループおよび汚染度と組み合わせて使用します。

寿命が十分であるかどうか判断するには、動作電圧の時間とともに変化する部分を求めます。AC rms 電圧を求めるには、式 2 を使用します。

$$V_{AC\ RMS} = \sqrt{V_{RMS}^2 - V_{DC}^2}$$

$$V_{AC\ RMS} = \sqrt{466^2 - 400^2}$$

$$V_{AC\ RMS} = 240\ \text{V rms}$$

この場合、AC rms は 240 V rms のライン電圧です。この計算は、波形がサイン波でない場合はさらにはまりません。AC 波形の値を表 8 に示す動作電圧の制限値と比較して期待寿命を確認すると、60 Hz サイン波の値よりも低く、20 年の運用寿命規定を十分に満たしていることがわかります。

表 8 の DC 動作電圧の制限値は、IEC 60664-1 で仕様規定されているパッケージの沿面距離により定められています。この値は、特定のシステム・レベル規格とは異なることがあります。

15489-023

外形寸法

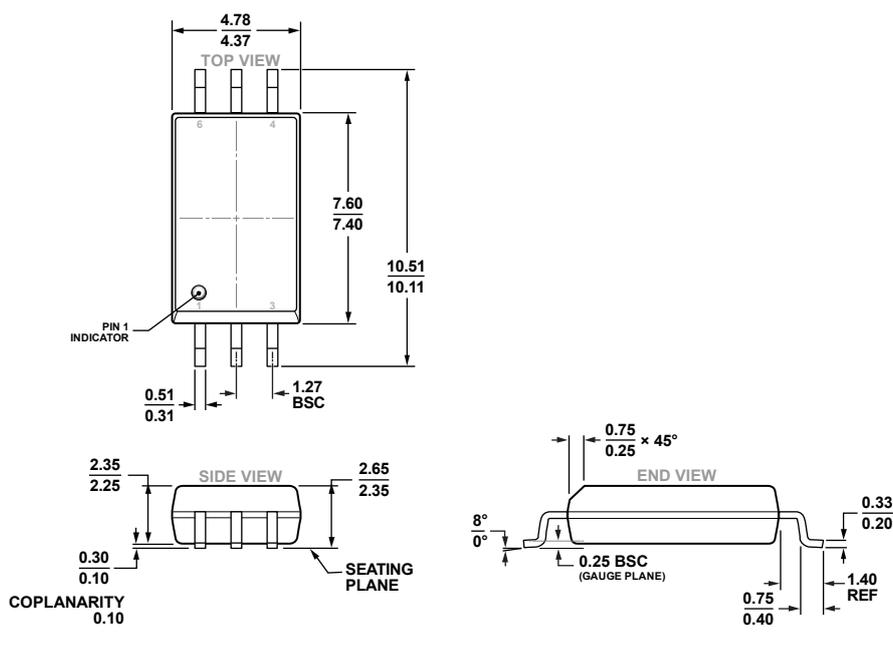


図 27. 浴面距離を増やした 6 ピン標準スモール・アウトライン・パッケージ [SOIC\_IC]  
 ワイド・ボディ  
 (RI-6-1)  
 寸法: mm

オーダー・ガイド

Model <sup>1</sup>	No. of Channels	Output Peak Current (A)	Minimum Output Voltage (V)	Glitch Filter	Temperature Range	Package Description	Package Option
ADuM4120ARIZ	1	2	4.4	Yes	-40°C to +125°C	6-Lead Wide-Body SOIC_IC	RI-6-1
ADuM4120ARIZ-RL	1	2	4.4	Yes	-40°C to +125°C	6-Lead Wide-Body SOIC_IC, 13" Tape and Reel	RI-6-1
ADuM4120BRIZ	1	2	7.3	Yes	-40°C to +125°C	6-Lead Wide-Body SOIC_IC	RI-6-1
ADuM4120BRIZ-RL	1	2	7.3	Yes	-40°C to +125°C	6-Lead Wide-Body SOIC_IC, 13" Tape and Reel	RI-6-1
ADuM4120CRIZ	1	2	11.3	Yes	-40°C to +125°C	6-Lead Wide-Body SOIC_IC	RI-6-1
ADuM4120CRIZ-RL	1	2	11.3	Yes	-40°C to +125°C	6-Lead Wide-Body SOIC_IC, 13" Tape and Reel	RI-6-1
ADuM4120-1ARIZ	1	2	4.4	No	-40°C to +125°C	6-Lead Wide-Body SOIC_IC	RI-6-1
ADuM4120-1ARIZ-RL	1	2	4.4	No	-40°C to +125°C	6-Lead Wide-Body SOIC_IC, 13" Tape and Reel	RI-6-1
ADuM4120-1BRIZ	1	2	7.3	No	-40°C to +125°C	6-Lead Wide-Body SOIC_IC	RI-6-1
ADuM4120-1BRIZ-RL	1	2	7.3	No	-40°C to +125°C	6-Lead Wide-Body SOIC_IC, 13" Tape and Reel	RI-6-1
ADuM4120-1CRIZ	1	2	11.3	No	-40°C to +125°C	6-Lead Wide-Body SOIC_IC	RI-6-1
ADuM4120-1CRIZ-RL	1	2	11.3	No	-40°C to +125°C	6-Lead Wide-Body SOIC_IC, 13" Tape and Reel	RI-6-1
EVAL-ADuM4120EBZ						Evaluation Board	
EVAL-ADuM4120-1EBZ						Evaluation Board	

<sup>1</sup> Z = RoHS 準拠製品