

特長

- 最大データレート: 25 Mbps (NRZ)
- 小さい伝搬遅延: 25 ns (typ)
- 小さいダイナミック消費電力
- 1.8 V/5 V のレベル変換
- 高温動作: 125°C
- 同相モード・トランジェント耐性: 25 kV/μs 以上
- 出力のデフォルト選択
- RoHS 準拠の 20 ピン SSOP パッケージを採用
- 安全性と規制の認定(申請中)
 - UL 認定: 3,750 V rms 1 分間の UL 1577 規格
 - 「CSA Component Acceptance Notice #5A」に準拠
 - VDE 適合性認定済み
 - DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12
 - V_{IORM} = 560 V ピーク

アプリケーション

- 汎用のマルチチャンネル・アイソレーション
- SPI インターフェース/データ・コンバータのアイソレーション
- 工業用フィールド・バスのアイソレーション

概要

ADuM3480/ADuM3481/ADuM3482¹ は、アナログ・デバイセズの iCoupler® 技術を採用した 4 チャンネルのデジタル・アイソレータです。これらのアイソレーション・デバイスは高速 CMOS 技術と空心コアを使ったモノリシック・トランス技術の組み合わせにより、フォトカプラ・デバイスやその他のカプラ IC の置換品より優れた性能特性を提供します。伝搬遅延が 25 ns (typ) に削減されているため、パルス幅歪みも半分かっています。

ADuM3480/ADuM3481/ADuM3482 の 4 チャンネルは、最大 25 Mbps の 2 種類のデータレート・グレードを持つ多様なチャンネル構成で提供しています(オーダー・ガイドのセクション参照)。すべてのモデルは、別々のコア電源と I/O 電源を使用しています。コアは 3.0 V~5.5 V で動作し、I/O 電源は 1.8 V~5.5 V の範囲が可能です。コア電源範囲内での I/O 動作が必要な場合は、2 つの電源を接続して単電源動作させることができます。コア電源電圧と異なるロジック・レベルと I/O をインターフェースさせる必要がある場合、I/O 電源は広い範囲でコア電源と独立に動作します。最小 I/O 電源電圧は 1.8 V であるため、低電圧ロジックとの互換性があります。動作にはコア電源と I/O 電源の両方が必要です。

機能ブロック図

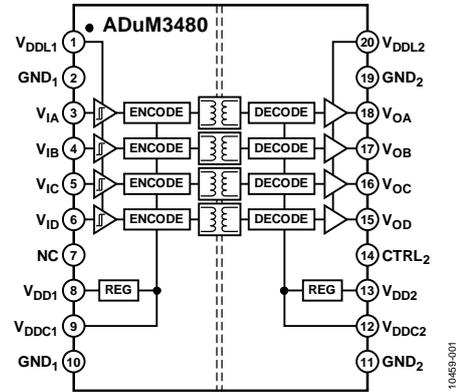


図 1. ADuM3480

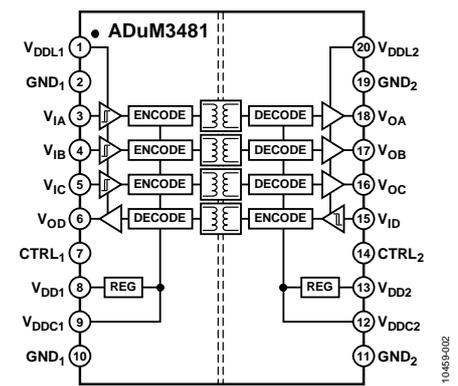


図 2. ADuM3481

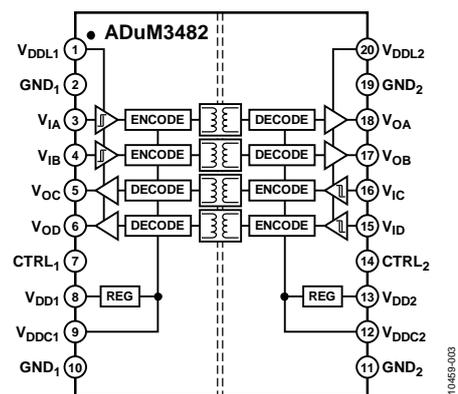


図 3. ADuM3482

¹米国特許 5,952,849; 6,873,065; 6,903,578; 7,075,329 により保護されています。その他の特許は申請中です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。©2012 Analog Devices, Inc. All rights reserved.

目次

特長.....	1	絶対最大定格.....	11
アプリケーション.....	1	ESDの注意.....	11
概要.....	1	ピン配置およびピン機能説明.....	12
機能ブロック図.....	1	代表的な性能特性.....	15
改訂履歴.....	2	アプリケーション情報.....	17
仕様.....	3	電源電圧.....	17
電気的特性—5 V動作.....	3	プリント回路ボードのレイアウト.....	17
電気的特性—3 V動作.....	5	伝搬遅延に関するパラメータ.....	17
電気的特性—1.8 V動作.....	7	DC精度と磁界耐性.....	17
パッケージ特性.....	9	消費電力.....	18
適用規格.....	9	絶縁寿命.....	19
各種規制の認定.....	9	外形寸法.....	20
絶縁および安全性関連の仕様.....	9	オーダー・ガイド.....	20
DIN V VDE V 0884-10 (VDE V 0884-10)絶縁特性.....	10		
推奨動作条件.....	10		

改訂履歴

7/12—Revision 0: Initial Version

仕様

電気的特性—5 V 動作

すべての typ 仕様は $T_A = 25^\circ\text{C}$ 、 $V_{DDL1} = V_{DD1} = V_{DDL2} = V_{DD2} = 5\text{ V}$ で規定。特に指定がない限り、最小/最大仕様は $4.5\text{ V} \leq V_{DDL1}$ 、 $V_{DD1} \leq 5.5\text{ V}$ 、 $4.5\text{ V} \leq V_{DDL2}$ 、 $V_{DD2} \leq 5.5\text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ の全推奨動作範囲に適用。特に指定がない限り、スイッチング規定値は、 $C_L = 15\text{ pF}$ と CMOS 信号レベルでテストされます。

表 1.

Parameter	Symbol	A Grade			B Grade			Unit	Test Conditions/Comments
		Min	Typ	Max	Min	Typ	Max		
SWITCHING SPECIFICATIONS									
Pulse Width	PW	1000			40			ns	Within PWD limit
Data Rate				1			25	Mbps	Within PWD limit
Propagation Delay	t_{PHL} , t_{PLH}		65	90		25	33	ns	50% input to 50% output
Pulse Width Distortion	PWD			6			3	ns	$ t_{PLH} - t_{PHL} $
Change vs. Temperature			7			3		ps/ $^\circ\text{C}$	
Propagation Delay Skew	t_{PSK}			50			17	ns	Between any two units
Channel Matching									
Codirectional	t_{PSKCD}			19			5	ns	
Opposing Direction	t_{PSKOD}			25			7	ns	
Jitter			2			2		ns	

表 2.

Parameter	Symbol	1 Mbps—A, B Grades			25 Mbps—B Grade			Unit	Test Conditions/Comments
		Min	Typ	Max	Min	Typ	Max		
SUPPLY CURRENT									
ADuM3480	I_{DD1}		2.0	2.9		8.6	12	mA	
	I_{DDL1}		0.11	0.4		0.2	0.6	mA	
	I_{DD2}		5.1	6.9		6.0	7.5	mA	
ADuM3481	I_{DDL2}		0.2	0.7		2.1	4.8	mA	$C_L = 0\text{ pF}$
	I_{DD1}		2.8	3.0		7.9	10	mA	
	I_{DDL1}		0.14	0.5		0.7	1.4	mA	$C_L = 0\text{ pF}$
ADuM3482	I_{DD2}		4.3	5.7		6.7	7.8	mA	
	I_{DDL2}		0.18	0.6		1.6	3.2	mA	$C_L = 0\text{ pF}$
	I_{DD1}		3.5	4.1		7.3	8.8	mA	
	I_{DDL1}		0.16	0.5		1.2	2.4	mA	$C_L = 0\text{ pF}$
	I_{DD2}		3.5	4.7		7.3	8.8	mA	
	I_{DDL2}		0.16	0.65		1.2	2.4	mA	$C_L = 0\text{ pF}$

表 3.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC SPECIFICATIONS						
Input Voltage Threshold						
Logic High	V_{IH}	$0.7 V_{DDLx}$			V	
Logic Low	V_{IL}			$0.3 V_{DDLx}$	V	
Output Voltages						
Logic High	V_{OH}	$V_{DDLx} - 0.1$	5.0		V	$I_{Ox} = -20 \mu A, V_{Ix} = V_{IxH}$
Logic Low	V_{OL}	$V_{DDLx} - 0.4$	4.8	0.1	V	$I_{Ox} = -4 mA, V_{Ix} = V_{IxH}$
Logic Low			0.2	0.4	V	$I_{Ox} = 20 \mu A, V_{Ix} = V_{IxL}$
Logic Low					V	$I_{Ox} = 4 mA, V_{Ix} = V_{IxL}$
Input Current per Channel	I_I	-10	+0.01	+10	μA	$0 V \leq V_{Ix} \leq V_{DDLx}, 0 V \leq V_{CTRLx} \leq V_{DDLx}$
Supply Current per Channel						
Quiescent Supply Current						
Regulator Input Side	$I_{DDI(Q)}$		0.50	0.60	mA	
I/O Input	$I_{DDIL(Q)}$		0.027	0.05	mA	
Regulator Output Side	$I_{DDO(Q)}$		1.26	1.7	mA	
I/O Output	$I_{DDOL(Q)}$		0.031	0.10	mA	
Dynamic Supply Current						
Regulator Input Side	$I_{DDI(D)}$		0.070		mA/Mbps	
I/O Input	$I_{DDIL(D)}$		0.90		$\mu A/Mbps$	
Regulator Output Side	$I_{DDO(D)}$		0.010		mA/Mbps	
I/O Output	$I_{DDOL(D)}$		0.020		mA/Mbps	
AC SPECIFICATIONS						
Output Rise/Fall Time	t_R/t_F		2.5		ns	10% to 90%
Common-Mode Transient Immunity ¹	$ CM $	25	35		kV/ μs	$V_{Ix} = V_{DDLx}, V_{CM} = 1000 V$, transient magnitude = 800 V
Refresh Period	t_r		1.66		μs	

¹ $|CM|$ は、 $V_{OL} < 0.8 \times V_{DDLx}$ または $V_{OH} > 0.7 \times V_{DDLx}$ を維持している間に維持できる同相モード電圧の最大スルーレートです。同相モード電圧スルーレートは、立上がりおよび立下がりの両同相モード電圧エッジに適用されます。

電气的特性—3 V 動作

すべての typ 仕様は $T_A = 25^\circ\text{C}$ 、 $V_{DDL1} = V_{DD1} = V_{DDL2} = V_{DD2} = 3.0\text{ V}$ で規定。特に指定がない限り、最小/最大仕様は $3.0\text{ V} \leq V_{DDL1}$ 、 $V_{DD1} \leq 3.6\text{ V}$ 、 $3.0\text{ V} \leq V_{DDL2}$ 、 $V_{DD2} \leq 3.6\text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ の全推奨動作範囲に適用。特に指定がない限り、スイッチング規定値は、 $C_L = 15\text{ pF}$ と CMOS 信号レベルでテストされます。

表 4.

Parameter	Symbol	A Grade			B Grade			Unit	Test Conditions/Comments
		Min	Typ	Max	Min	Typ	Max		
SWITCHING SPECIFICATIONS									
Pulse Width	PW	1000			40			ns	Within PWD limit
Data Rate				1			25	Mbps	Within PWD limit
Propagation Delay	t_{PHL} , t_{PLH}		71	99		28	38	ns	50% input to 50% output
Pulse Width Distortion	PWD		2	12		3	5	ns	$ t_{PLH} - t_{PHL} $
Change vs. Temperature			7			3		ps/ $^\circ\text{C}$	
Propagation Delay Skew	t_{PSK}			58			20	ns	Between any two units
Channel Matching									
Codirectional	t_{PSKCD}			20			6	ns	
Opposing Direction	t_{PSKOD}			26			9	ns	
Jitter			4			3		ns	

表 5.

Parameter	Symbol	1 Mbps—A, B Grades			25 Mbps—B Grade			Unit	Test Conditions/Comments
		Min	Typ	Max	Min	Typ	Max		
SUPPLY CURRENT									
ADuM3480	I_{DD1}		1.4	2.9		8.1	11	mA	
	I_{DDL1}		0.08	0.4		0.13	0.5	mA	
	I_{DD2}		4.9	6.7		5.8	7.2	mA	
	I_{DDL2}		0.14	0.40		1.4	2.5	mA	$C_L = 0\text{ pF}$
ADuM3481	I_{DD1}		2.3	3.0		7.5	9.8	mA	
	I_{DDL1}		0.09	0.4		0.46	1.4	mA	$C_L = 0\text{ pF}$
	I_{DD2}		4.0	5.7		6.4	7.5	mA	
	I_{DDL2}		0.12	0.5		1.1	2.7	mA	$C_L = 0\text{ pF}$
ADuM3482	I_{DD1}		3.2	4.2		7.0	8.8	mA	
	I_{DDL1}		0.11	0.5		0.78	1.7	mA	$C_L = 0\text{ pF}$
	I_{DD2}		3.2	4.2		7.0	8.8	mA	
	I_{DDL2}		0.11	0.5		0.78	1.7	mA	$C_L = 0\text{ pF}$

表 6.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC SPECIFICATIONS						
Input Voltage Threshold						
Logic High	V_{IH}	$0.7 V_{DDLx}$			V	
Logic Low	V_{IL}			$0.3 V_{DDLx}$	V	
Output Voltages						
Logic High	V_{OH}	$V_{DDLx} - 0.1$ $V_{DDLx} - 0.4$	3.0 2.8		V V	$I_{Ox} = -20 \mu A, V_{Ix} = V_{IxH}$ $I_{Ox} = -4 \text{ mA}, V_{Ix} = V_{IxH}$
Logic Low	V_{OL}		0.0 0.2	0.1 0.4	V V	$I_{Ox} = 20 \mu A, V_{Ix} = V_{IxL}$ $I_{Ox} = 4 \text{ mA}, V_{Ix} = V_{IxL}$
Input Current per Channel	I_I	-10	+0.01	+10	μA	$0 \text{ V} \leq V_{Ix} \leq V_{DDLx}, 0 \text{ V} \leq V_{CTRLx} \leq V_{DDLx}$
Supply Current per Channel						
Quiescent Supply Current						
Regulator Input Side	$I_{DDI(Q)}$		0.36	0.5	mA	
I/O Input	$I_{DDIL(Q)}$		0.019	0.050	mA	
Regulator Output Side	$I_{DDO(Q)}$		1.21	1.7	mA	
I/O Output	$I_{DDOL(Q)}$		0.021	0.050	mA	
Dynamic Supply Current						
Regulator Input Side	$I_{DDI(D)}$		0.070		mA/Mbps	
I/O Input	$I_{DDIL(D)}$		0.53		$\mu A/Mbps$	
Regulator Output Side	$I_{DDO(D)}$		0.010		mA/Mbps	
I/O Output	$I_{DDOL(D)}$		0.013		mA/Mbps	
AC SPECIFICATIONS						
Output Rise/Fall Time	t_R/t_F		3		ns	10% to 90%
Common-Mode Transient Immunity ¹	CM	25	35		kV/ μs	$V_{Ix} = V_{DDLx}, V_{CM} = 1000 \text{ V},$ transient magnitude = 800 V
Refresh Period	t_r		1.66		μs	

¹ |CM|は、 $V_{OL} < 0.8 \times V_{DDLx}$ または $V_{OH} > 0.7 \times V_{DDLx}$ を維持している間に維持できる同相モード電圧の最大スルーレートです。同相モード電圧スルーレートは、立上がりとし下がりとの両同相モード電圧エッジに適用されます。

電气的特性—1.8 V 動作

すべての typ 仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DDL1} = 1.8\text{ V}$ 、 $V_{DD1} = 3.0\text{ V}$ 、 $V_{DDL2} = 1.8\text{ V}$ 、 $V_{DD2} = 3.0\text{ V}$ で規定。特に指定がない限り、最小/最大仕様は、 $V_{DDL1} = 1.8\text{ V}$ 、 $3.0\text{ V} \leq V_{DD1} \leq 3.6\text{ V}$ 、 $V_{DDL2} = 1.8\text{ V}$ 、 $3.0\text{ V} \leq V_{DD2} \leq 3.6\text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ の全推奨動作範囲に適用。特に指定がない限り、スイッチング規定値は、 $C_L = 15\text{ pF}$ と CMOS 信号レベルでテストされます。

表 7.

Parameter	Symbol	A Grade			B Grade			Unit	Test Conditions/Comments
		Min	Typ	Max	Min	Typ	Max		
SWITCHING SPECIFICATIONS									
Pulse Width	PW	1000			40			ns	Within PWD limit
Data Rate				1			25	Mbps	Within PWD limit
Propagation Delay	t_{PHL} , t_{PLH}		86	145		43	85	ns	50% input to 50% output
Pulse Width Distortion	PWD		6	32		6	30	ns	$ t_{PLH} - t_{PHL} $
Change vs. Temperature			7			3		ps/°C	
Propagation Delay Skew	t_{PSK}			93			60	ns	Between any two units
Channel Matching									
Codirectional	t_{PSKCD}			40			34	ns	
Opposing Direction	t_{PSKOD}			55			37	ns	
Jitter			4			3		ns	

表 8.

Parameter	Symbol	1 Mbps—A, B Grades			25 Mbps—B Grade			Unit	Test Conditions/Comments
		Min	Typ	Max	Min	Typ	Max		
SUPPLY CURRENT									
ADuM3480	I_{DD1}		1.4	1.9		8.1	11	mA	
	I_{DDL1}		0.04	0.3		0.07	0.4	mA	
	I_{DD2}		4.7	6.5		5.7	7.3	mA	
	I_{DDL2}		0.08	0.5		0.82	1.5	mA	$C_L = 0\text{ pF}$
ADuM3481	I_{DD1}		2.3	2.8		7.5	10	mA	
	I_{DDL1}		0.05	0.35		0.25	0.7	mA	$C_L = 0\text{ pF}$
	I_{DD2}		3.9	5.7		6.3	8.0	mA	
	I_{DDL2}		0.07	0.4		0.63	1.3	mA	$C_L = 0\text{ pF}$
ADuM3482	I_{DD1}		3.1	3.8		6.9	8.7	mA	
	I_{DDL1}		0.06	0.4		0.44	1.1	mA	$C_L = 0\text{ pF}$
	I_{DD2}		3.1	4.5		6.9	8.8	mA	
	I_{DDL2}		0.06	0.40		0.44	1.1	mA	$C_L = 0\text{ pF}$

表 9.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC SPECIFICATIONS						
Input Voltage Threshold						
Logic High	V_{IH}	$0.7 V_{DDLx}$			V	
Logic Low	V_{IL}			$0.3 V_{DDLx}$	V	
Output Voltages						
Logic High	V_{OH}	$V_{DDLx} - 0.1$	1.8		V	$I_{Ox} = -20 \mu A, V_{Ix} = V_{IxH}$
		$V_{DDLx} - 0.4$	1.6		V	$I_{Ox} = -2 \text{ mA}, V_{Ix} = V_{IxH}$
Logic Low	V_{OL}		0.0	0.1	V	$I_{Ox} = 20 \mu A, V_{Ix} = V_{IxL}$
			0.2	0.4	V	$I_{Ox} = 2 \text{ mA}, V_{Ix} = V_{IxL}$
Input Current per Channel	I_I	-10	+0.01	+10	μA	$0 \text{ V} \leq V_{Ix} \leq V_{DDLx}, 0 \text{ V} \leq V_{CTRLx} \leq V_{DDLx}$
Supply Current per Channel						
Quiescent Supply Current						
Regulator Input Side	$I_{DDI(Q)}$		0.39	0.45	mA	
I/O Input	$I_{DDIL(Q)}$		0.010	0.025	mA	
Regulator Output Side	$I_{DDO(Q)}$		1.17	1.5	mA	
I/O Output	$I_{DDOL(Q)}$		0.012	0.038	mA	
Dynamic Supply Current						
Regulator Input Side	$I_{DDI(D)}$		0.071		mA/Mbps	
I/O Input	$I_{DDIL(D)}$		0.25		$\mu A/Mbps$	
Regulator Output Side	$I_{DDO(D)}$		0.010		mA/Mbps	
I/O Output	$I_{DDOL(D)}$		0.0077		mA/Mbps	
AC SPECIFICATIONS						
Output Rise/Fall Time	t_R/t_F		3		ns	10% to 90%
Common-Mode Transient Immunity ¹	$ CM $	25	35		kV/ μs	$V_{Ix} = V_{DDLx}, V_{CM} = 1000 \text{ V},$ transient magnitude = 800 V
Refresh Period	t_r		1.66		μs	

¹ $|CM|$ は、 $V_{OL} < 0.8 \times V_{DDLx}$ または $V_{OH} > 0.7 \times V_{DDLx}$ を維持している間に維持できる同相モード電圧の最大スルーレートです。同相モード電圧スルーレートは、立上がり
りと立下がりの両同相モード電圧エッジに適用されます。

パッケージ特性

表 10.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Resistance (Input-to-Output) ¹	R _{I,O}		10 ¹²		Ω	
Capacitance (Input-to-Output) ¹	C _{I,O}		2.2		pF	f = 1 MHz
Input Capacitance ²	C _I		4.0		pF	
IC Junction-to-Case Thermal Resistance	θ _{JC}		50.5		°C/W	Thermocouple located at center of package underside, test conducted on 4-layer board with thin traces

¹ デバイスは 2 端子デバイスと見なします。すなわち、ピン 1～ピン 10 を相互に接続し、ピン 11～ピン 20 を相互に接続します。

² 入力容量は任意の入力データ・ピンとグラウンド間。

適用規格

ADuM3480/ADuM3481/ADuM3482 は、表 11 に記載する組織の認定を申請中です。特定のクロスアイソレーション波形と絶縁レベルに対する推奨最大動作電圧については、表 16 と絶縁寿命のセクションを参照してください。

各種規制の認定

表 11.

UL (Pending)	CSA (Pending)	VDE (Pending)
Recognized under the UL 1577 component recognition program ¹	Approved under CSA Component Acceptance Notice #5A	Certified according to DIN V VDE V 0884-10 (VDE V 0884-10):2006-12 ²
Single protection, 3750 V rms isolation voltage	Basic insulation per CSA 60950-1-03 and IEC 60950-1, 400 V rms (565 V peak) maximum working voltage	Reinforced insulation, 560 V peak
File E214100	File 205078	File 2471900-4880-0001

¹ UL1577 に従い、絶縁テスト電圧 4,500 V rms 以上を 1 秒間加えて各 ADuM3480/ADuM3481/ADuM3482 を確認テストします(リーク電流検出規定値 = 10μA)。

² DIN V VDE V 0884-10 に従い、各 ADuM348x に 1,050 V_{peak} 以上の絶縁テスト電圧を 1 秒間加えることによりテストして保証されています(部分放電の検出規定値 = 5 pC)。(*)マーク付のブランドは、DIN V VDE V 0884-10 認定製品を表します。

絶縁および安全性関連の仕様

表 12.

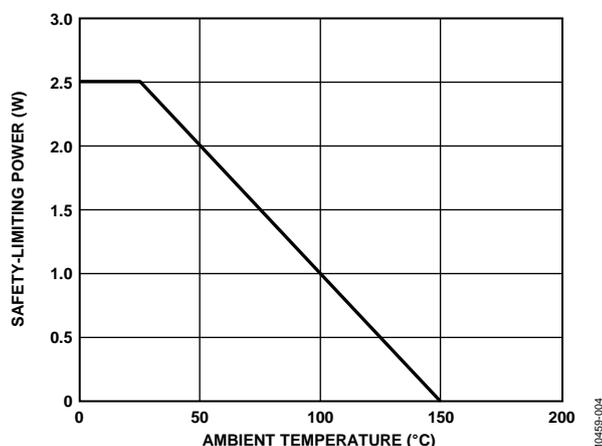
Parameter	Symbol	Value	Unit	Test Conditions/Comments
Rated Dielectric Insulation Voltage		3750	V rms	1-minute duration
Minimum External Air Gap (Clearance)	L(I01)	>5.1	mm	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (Creepage)	L(I02)	>5.1	mm	Measured from input terminals to output terminals, shortest distance path along body
Minimum Internal Gap (Internal Clearance)		0.017 min	mm	Distance through insulation
Tracking Resistance (Comparative Tracking Index)	CTI	>400	V	DIN IEC 112/VDE 0303 Part 1
Isolation Group		II		Material Group (DIN VDE 0110, 1/89, Table 1)

DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12 絶縁特性

これらのアイソレータは、安全性制限値データ以内でのみ強化された電氣的アイソレーションを満たします。安全性データの維持は、保護回路を使って確実にする必要があります。パッケージに(*)マークが付いたブランドは、DIN V VDE V 0884-10 認定製品を表します。

表 13.

Description	Test Conditions/Comments	Symbol	Characteristic	Unit
Installation Classification per DIN VDE 0110 For Rated Mains Voltage ≤ 150 V rms For Rated Mains Voltage ≤ 300 V rms For Rated Mains Voltage ≤ 400 V rms			I to IV I to III I to II	
Climatic Classification			40/105/21	
Pollution Degree per DIN VDE 0110, Table 1			2	
Maximum Working Insulation Voltage		V_{IORM}	560	V_{PEAK}
Input-to-Output Test Voltage, Method B1	$V_{IORM} \times 1.875 = V_{pd(m)}$, 100% production test, $t_{ini} = t_m = 1$ sec, partial discharge < 5 pC	$V_{pd(m)}$	1050	V_{PEAK}
Input-to-Output Test Voltage, Method A After Environmental Tests Subgroup 1	$V_{IORM} \times 1.5 = V_{pd(m)}$, $t_{ini} = 60$ sec, $t_m = 10$ sec, partial discharge < 5 pC	$V_{pd(m)}$	840	V_{PEAK}
After Input and/or Safety Test Subgroup 2 and Subgroup 3	$V_{IORM} \times 1.2 = V_{pd(m)}$, $t_{ini} = 60$ sec, $t_m = 10$ sec, partial discharge < 5 pC	$V_{pd(m)}$	672	V_{PEAK}
Highest Allowable Overvoltage		V_{IOTM}	5300	V_{PEAK}
Withstand Isolation Voltage	1 minute withstand rating	V_{ISO}	3750	V_{RMS}
Surge Isolation Voltage	$V_{PEAK} = 10$ kV, 1.2 μ s rise time, 50 μ s, 50% fall time	V_{IOSM}	6000	V_{PEAK}
Safety Limiting Values	Maximum value allowed in the event of a failure (see Figure 4)			
Case Temperature		T_S	150	$^{\circ}C$
Total Power Dissipation		I_{S1}	2.47	W
Insulation Resistance at T_S	$V_{IO} = 500$ V	R_S	>10 ⁹	Ω



推奨動作条件

表 14.

Parameter	Symbol	Min	Max	Unit
Operating Temperature	T_A	-40	+125	$^{\circ}C$
Supply Voltages ¹	V_{DDL1}, V_{DDL2}	1.8	5.5	V
	V_{DD1}, V_{DD2}	3.0	5.5	V
Input Signal Rise and Fall Times			1.0	ms

¹ 外部磁界耐性については、DC 精度と磁界耐性のセクションを参照してください。

図 4. 温度ディレーティング・カーブ、DIN V VDE V 0884-10 による安全な規定値の周囲温度に対する依存性

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 15.

Parameter	Rating
Supply Voltages (V_{DD1} , V_{DD2} , V_{DDL1} , V_{DDL2} , V_{DDC1} , V_{DDC2})	-0.5 V to +7.0 V
Input Voltages (V_{IA} , V_{IB} , V_{IC} , V_{ID} , V_{CTRL1} , V_{CTRL2})	-0.5 V to $V_{DDI} + 0.5$ V
Output Voltages (V_{OA} , V_{OB} , V_{OC} , V_{OD})	-0.5 V to $V_{DDO} + 0.5$ V
Average Output Current per Pin ¹	-10 mA to +10 mA
Common-Mode Transients ²	-100 kV/ μs to +100 kV/ μs
Storage Temperature (T_{ST}) Range	-65°C to +150°C
Ambient Operating Temperature (T_A) Range	-40°C to +125°C

¹種々の温度に対する最大定格電流値については図 4 を参照してください。

²絶縁障壁にまたがる同相モード過渡電圧を表します。絶対最大定格を超える同相モード過渡電圧は、ラッチアップまたは永久故障の原因になります。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

表 16.50 年の最小寿命をサポートする最大連続動作電圧¹

Parameter	Max	Unit	Applicable Certification
AC Voltage, Bipolar Waveform	565	V peak	All certifications
AC Voltage, Unipolar Waveform	848	V peak	
DC Voltage	848	V peak	

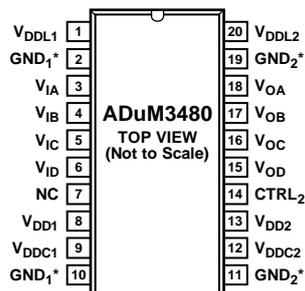
¹アイソレーション障壁に加わる連続電圧の大きさを意味します。詳細については、絶縁寿命のセクションを参照してください。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



NOTES

1. NC = NO CONNECTION. THIS PIN IS NOT CONNECTED INTERNALLY AND CAN BE LEFT FLOATING OR CONNECTED TO V_{DD1} OR GND_1 .

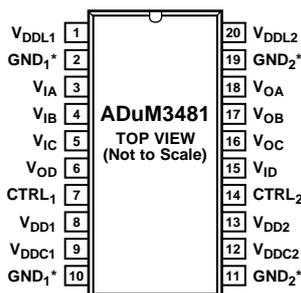
* PIN 2 AND PIN 10 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO PCB SIDE 1 GROUND IS RECOMMENDED. PIN 11 AND PIN 19 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO PCB SIDE 2 GROUND IS RECOMMENDED.

1045P-005

図 5.ADuM3480 のピン配置

表 17.ADuM3480 のピン機能説明

ピン番号	記号	説明
1	V_{DDL1}	アイソレータ・サイド1入力/出力回路の1.8 V~5.5 V電源電圧。0.01 μ F~0.1 μ Fのセラミック・コンデンサで V_{DDL1} を GND_1 へバイパスしてください。3.0 V~5.5 V入力/出力動作の場合、 V_{DDL1} は直接 V_{DD1} へ接続することができます。
2	GND_1	グラウンド1。アイソレータ・サイド1のグラウンド基準。ピン2とピン10は内部で接続されているため、デバイスにできるだけ近いPCBグラウンド・プレーンへ接続することが推奨されます。
3	V_{IA}	ロジック入力A。
4	V_{IB}	ロジック入力B。
5	V_{IC}	ロジック入力C。
6	V_{ID}	ロジック入力D。
7	NC	未接続。このピンは内部で接続されていないため、フローティングのまま、または V_{DD1} または GND_1 へ接続することができます。
8	V_{DD1}	アイソレータ・サイド1の電源電圧、3.0 V~5.5 V。
9	V_{DDC1}	サイド1内蔵レギュレータの出力ピン。0.01 μ F~0.1 μ Fのセラミック・コンデンサで V_{DDC1} を GND_1 へバイパスしてください。このピンを外部回路への電源供給に使用しないでください。
10	GND_1	グラウンド1。アイソレータ・サイド1のグラウンド基準。ピン2とピン10は内部で接続されているため、デバイスにできるだけ近いPCBグラウンド・プレーンへ接続することが推奨されます。
11	GND_2	グラウンド2。アイソレータ・サイド2のグラウンド基準。ピン11とピン19は内部で接続されているため、デバイスにできるだけ近いPCBグラウンド・プレーンへ接続することが推奨されます。
12	V_{DDC2}	サイド2内蔵レギュレータの出力ピン。0.01 μ F~0.1 μ Fのセラミック・コンデンサで V_{DDC2} を GND_2 へバイパスしてください。このピンを外部回路への電源供給に使用しないでください。
13	V_{DD2}	アイソレータ・サイド2の電源電圧、3.0 V~5.5 V。
14	$CTRL_2$	サイド2出力デフォルト・レベルの選択。ロー・レベル=ローのデフォルト出力。ハイ・レベル=ハイのデフォルト出力。
15	V_{OD}	ロジック出力D。
16	V_{OC}	ロジック出力C。
17	V_{OB}	ロジック出力B。
18	V_{OA}	ロジック出力A。
19	GND_2	グラウンド2。アイソレータ・サイド2のグラウンド基準。ピン11とピン19は内部で接続されているため、デバイスにできるだけ近いPCBグラウンド・プレーンへ接続することが推奨されます。
20	V_{DDL2}	アイソレータ・サイド2入力/出力回路の1.8 V~5.5 V電源電圧。0.01 μ F~0.1 μ Fのセラミック・コンデンサで V_{DDL2} を GND_2 へバイパスしてください。3.0 V~5.5 V入力/出力動作の場合、 V_{DDL2} は直接 V_{DD2} へ接続することができます。



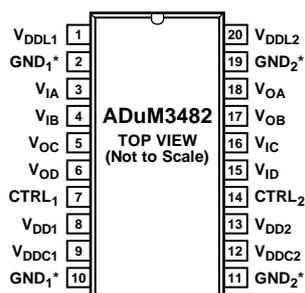
*PIN 2 AND PIN 10 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO PCB SIDE 1 GROUND IS RECOMMENDED. PIN 11 AND PIN 19 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO PCB SIDE 2 GROUND IS RECOMMENDED.

10459-006

図 6.ADuM3481 のピン配置

表 18.ADuM3481 のピン機能説明

ピン番号	記号	説明
1	V _{DDL1}	アイソレータ・サイド1入力/出力回路の1.8V~5.5V電源電圧。0.01μF~0.1μFのセラミック・コンデンサでV _{DDL1} をGND ₁ へバイパスしてください。3.0V~5.5V入力/出力動作の場合、V _{DDL1} は直接V _{DD1} へ接続することができます。
2	GND ₁	グラウンド1。アイソレータ・サイド1のグラウンド基準。ピン2とピン10は内部で接続されているため、デバイスにできるだけ近いPCBグラウンド・プレーンへ接続することが推奨されます。
3	V _{IA}	ロジック入力A。
4	V _{IB}	ロジック入力B。
5	V _{IC}	ロジック入力C。
6	V _{OD}	ロジック出力D。
7	CTRL ₁	サイド1出力デフォルト・レベルの選択。ロー・レベル=ローのデフォルト出力。ハイ・レベル=ハイのデフォルト出力。
8	V _{DD1}	アイソレータ・サイド1の電源電圧、3.0V~5.5V。
9	V _{DCC1}	サイド1内蔵レギュレータの出力ピン。0.01μF~0.1μFのセラミック・コンデンサでV _{DCC1} をGND ₁ へバイパスしてください。このピンを外部回路への電源供給に使用しないでください。
10	GND ₁	グラウンド1。アイソレータ・サイド1のグラウンド基準。ピン2とピン10は内部で接続されているため、デバイスにできるだけ近いPCBグラウンド・プレーンへ接続することが推奨されます。
11	GND ₂	グラウンド2。アイソレータ・サイド2のグラウンド基準。ピン11とピン19は内部で接続されているため、デバイスにできるだけ近いPCBグラウンド・プレーンへ接続することが推奨されます。
12	V _{DCC2}	サイド2内蔵レギュレータの出力ピン。0.01μF~0.1μFのセラミック・コンデンサでV _{DCC2} をGND ₂ へバイパスしてください。このピンを外部回路への電源供給に使用しないでください。
13	V _{DD2}	アイソレータ・サイド2の電源電圧、3.0V~5.5V。
14	CTRL ₂	サイド2出力デフォルト・レベルの選択。ロー・レベル=ローのデフォルト出力。ハイ・レベル=ハイのデフォルト出力。
15	V _{ID}	ロジック入力D。
16	V _{OC}	ロジック出力C。
17	V _{OB}	ロジック出力B。
18	V _{OA}	ロジック出力A。
19	GND ₂	グラウンド2。アイソレータ・サイド2のグラウンド基準。ピン11とピン19は内部で接続されているため、デバイスにできるだけ近いPCBグラウンド・プレーンへ接続することが推奨されます。
20	V _{DDL2}	アイソレータ・サイド2入力/出力回路の1.8V~5.5V電源電圧。0.01μF~0.1μFのセラミック・コンデンサでV _{DDL2} をGND ₂ へバイパスしてください。3.0V~5.5V入力/出力動作の場合、V _{DDL2} は直接V _{DD2} へ接続することができます。



*PIN 2 AND PIN 10 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO PCB SIDE 1 GROUND IS RECOMMENDED. PIN 11 AND PIN 19 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO PCB SIDE 2 GROUND IS RECOMMENDED.

10459-007

図 7.ADuM3482 のピン配置

表 19.ADuM3482 のピン機能説明

ピン番号	記号	説明
1	VDDL1	アイソレータ・サイド1入力/出力回路の1.8V~5.5V電源電圧。0.01μF~0.1μFのセラミック・コンデンサでVDDL1をGND1へバイパスしてください。3.0V~5.5V入力/出力動作の場合、VDDL1は直接VDD1へ接続することができます。
2	GND1	グラウンド1。アイソレータ・サイド1のグラウンド基準。ピン2とピン10は内部で接続されているため、デバイスにできるだけ近いPCBグラウンド・プレーンへ接続することが推奨されます。
3	VIA	ロジック入力A。
4	VIB	ロジック入力B。
5	VOC	ロジック出力C。
6	VOD	ロジック出力D。
7	CTRL1	サイド1出力デフォルト・レベルの選択。ロー・レベル=ローのデフォルト出力。ハイ・レベル=ハイのデフォルト出力。
8	VDD1	アイソレータ・サイド1の電源電圧、3.0V~5.5V。
9	VDDC1	サイド1内蔵レギュレータの出力ピン。0.01μF~0.1μFのセラミック・コンデンサでVDDC1をGND1へバイパスしてください。このピンを外部回路への電源供給に使用しないでください。
10	GND1	グラウンド1。アイソレータ・サイド1のグラウンド基準。ピン2とピン10は内部で接続されているため、デバイスにできるだけ近いPCBグラウンド・プレーンへ接続することが推奨されます。
11	GND2	グラウンド2。アイソレータ・サイド2のグラウンド基準。ピン11とピン19は内部で接続されているため、デバイスにできるだけ近いPCBグラウンド・プレーンへ接続することが推奨されます。
12	VDDC2	サイド2内蔵レギュレータの出力ピン。0.01μF~0.1μFのセラミック・コンデンサでVDDC2をGND2へバイパスしてください。このピンを外部回路への電源供給に使用しないでください。
13	VDD2	アイソレータ・サイド2の電源電圧、3.0V~5.5V。
14	CTRL2	サイド2出力デフォルト・レベルの選択。ロー・レベル=ローのデフォルト出力。ハイ・レベル=ハイのデフォルト出力。
15	VID	ロジック入力D。
16	VIC	ロジック入力C。
17	VOB	ロジック出力B。
18	VOA	ロジック出力A。
19	GND2	グラウンド2。アイソレータ・サイド2のグラウンド基準。ピン11とピン19は内部で接続されているため、デバイスにできるだけ近いPCBグラウンド・プレーンへ接続することが推奨されます。
20	VDDL2	アイソレータ・サイド2入力/出力回路の1.8V~5.5V電源電圧。0.01μF~0.1μFのセラミック・コンデンサでVDDL2をGND2へバイパスしてください。3.0V~5.5V入力/出力動作の場合、VDDL2は直接VDD2へ接続することができます。

代表的な性能特性

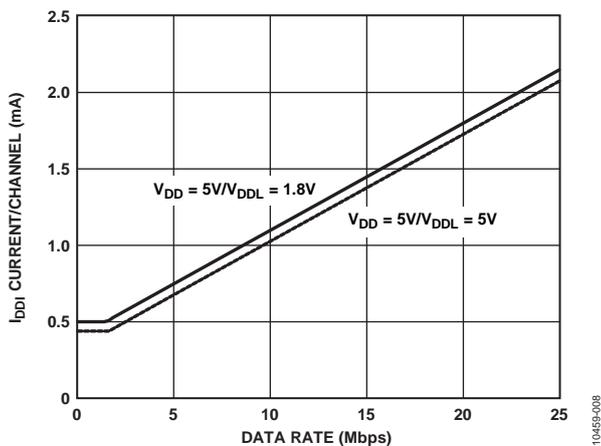


図 8. 5 V および 1.8 V I/O 動作でのデータレート対入力チャンネル当たりの $V_{DDI} = 5V$ の電源電流

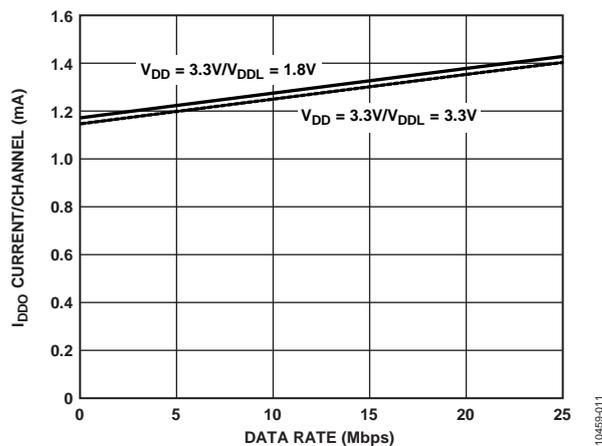


図 11. 3.3 V および 1.8 V I/O 動作でのデータレート対出力チャンネル当たりの $V_{DDO} = 3.3V$ の電源電流

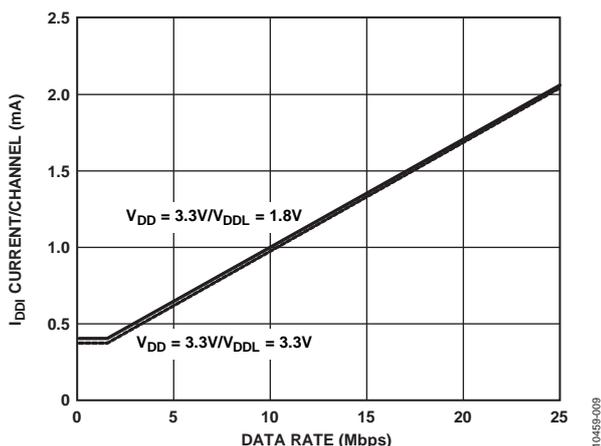


図 9. 3.3 V および 1.8 V I/O 動作でのデータレート対入力チャンネル当たりの $V_{DDI} = 3.3V$ の電源電流

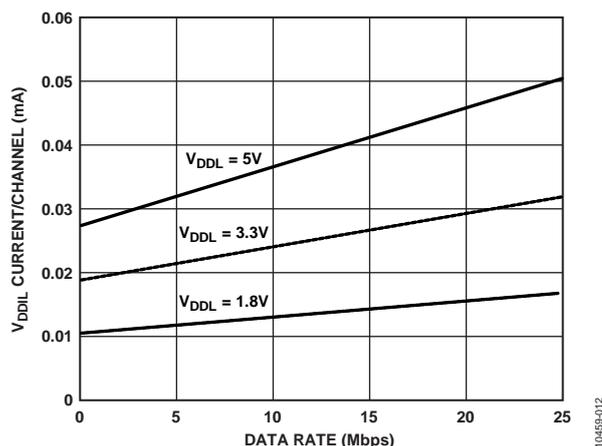


図 12. データレート対 V_{DDIL} 入力電源電流 5 V、3.3 V、1.8 V の動作

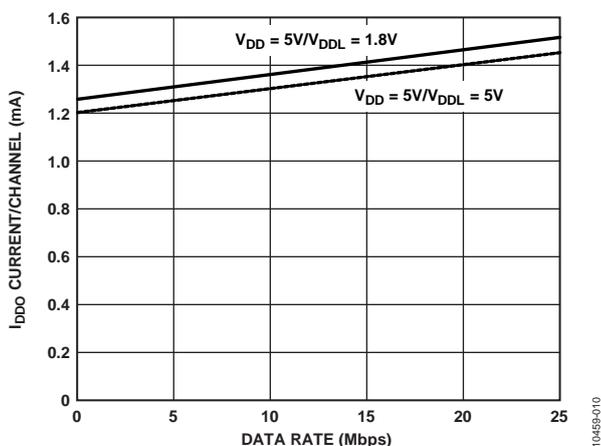


図 10. 5 V および 1.8 V I/O 動作でのデータレート対出力チャンネル当たりの $V_{DDO} = 5V$ の電源電流

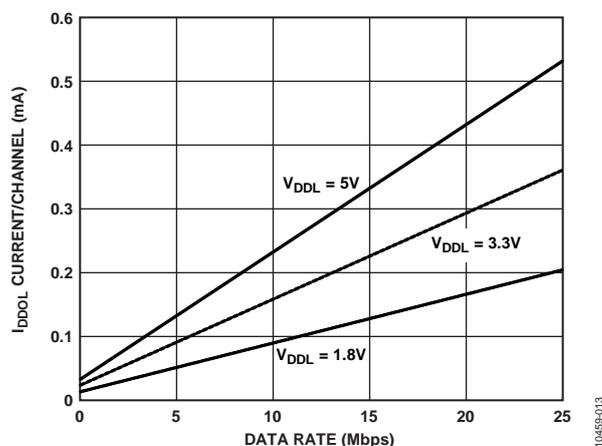


図 13. データレート対 V_{DDOL} 出力電源電流 5 V、3.3 V、1.8 V、 $C_L = 0 pF$ の動作

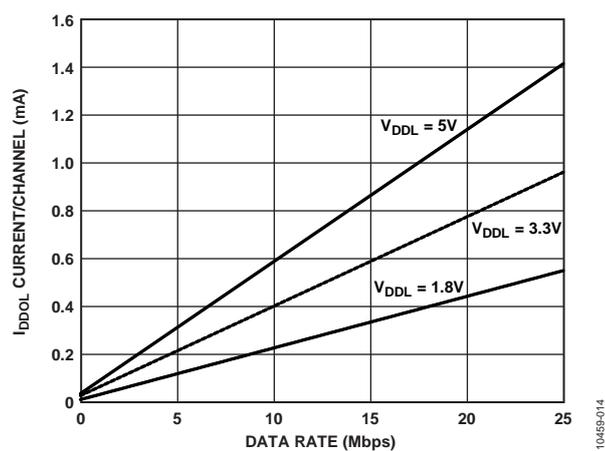


図 14. データレート対 V_{DDOL} 出力電源電流
5 V、3.3 V、1.8 V、 $C_L = 15$ pF の動作

10469-014

アプリケーション情報

電源電圧

ADuM3480/ADuM3481/ADuM3482 デバイスは、固定電圧の内部データ転送コアを中心に構成されています。コア電圧は 2.7 V で、内蔵 LDO を使って V_{DD1} 電圧と V_{DD2} 電圧をレギュレーションして発生しています。LDO の適切なヘッドルームを確保するため、 V_{DD1} 入力と V_{DD2} 入力は 3.0 V~5.5 V の範囲内にある必要があります。その他のピン V_{DDC1} と V_{DDC2} は、LDO 出力を直接バイパスしてクリーンで安定なコア動作を確保するために設けてあります。これらの各電源または各専用バイパス・ピンとグラウンドの間には、0.01 μ F~0.1 μ F のバイパス・コンデンサが必要です。

ADuM3480/ADuM3481/ADuM3482 では、I/O バッファ、 V_{DDL1} 、 V_{DDL2} に対して独立な電源を設けてあり、これらの動作範囲はコアに対して必要とされる動作範囲より広がっています。このため、I/O 電源電圧は 1.8 V~5.5 V の範囲が可能です。 V_{DDLx} 電源も 0.01 μ F~0.1 μ F のコンデンサでバイパスする必要があります。

I/O とコアの電源が独立しているため、必要とされる I/O 電圧と使用可能な電源に応じて複数の電源構成が可能です。使用可能な電源が 1 種類の場合は、 V_{DDx} ピンと V_{DDLx} ピンを接続して、3.0 V~5.5 V で動作させることができます。低電圧ロジックとインターフェースするために、低い I/O 電源電圧が必要な場合は、2 種類の電源が必要です。例えば、I/O が 1.8 V ロジックの場合、 V_{DDLx} ピンは 1.8 V 電源へ接続することができます。 V_{DDx} のコア電源電圧には、3.0 V~5.5 V の入力が必要であるため、3.3 V または 5 V の電源を使用することができます。両サイドの I/O 電源電圧とコア電源電圧は独立であるため、デバイスの各サイドで異なる構成を使用することができます。

プリント回路ボードのレイアウト

ADuM3480/ADuM3481/ADuM3482 デジタル・アイソレータには、ロジック・インターフェース用の外付けインターフェース回路は不要です。 V_{DD1} 、 V_{DDL1} 、 V_{DD2} 、 V_{DDL2} の 4 本のすべての電源ピン、および V_{DDC1} と V_{DDC2} の 2 本の内蔵レギュレータ・バイパス・ピンには、ローカル・グラウンドに対する電源バイパスが必要です。図 15 に推奨バイパス・コンデンサの配置を示します。コンデンサの値は、0.01 μ F~0.1 μ F とする必要があります。コンデンサの両端と入力電源ピンとの間の合計リード長は 20 mm 以下にする必要があります。

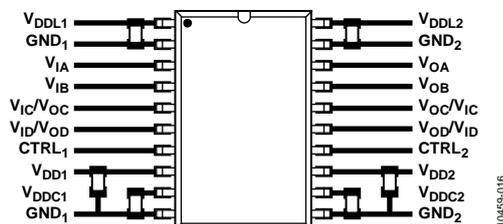


図 15. 推奨プリント回路ボード(PCB)のレイアウト

高い同相モード過渡電圧が発生するアプリケーションでは、アイソレーション障壁を通過するボード結合が最小になるようにすることが重要です。さらに、如何なる結合もデバイス側のすべてのピンで等しく発生するようにボード・レイアウトをデザインしてください。この注意を怠ると、ピン間で発生する電位差がデバイスの絶対最大定格を超えてしまい、ラッチアップまたは恒久的な損傷が発生することがあります。

伝搬遅延に関するパラメータ

伝搬遅延時間は、ロジック信号がデバイスを通るのに要する時間を表すパラメータです。ハイ・レベルからロー・レベル変化の入出力間伝搬遅延は、ロー・レベルからハイ・レベル変化の伝搬遅延と異なることがあります。

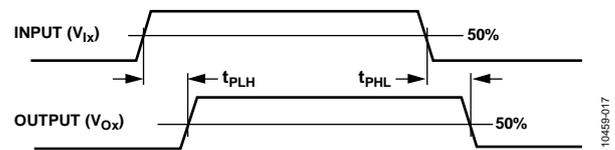


図 16. 伝搬遅延パラメータ

パルス幅歪みとはこれら 2 つの遅延時間の間の最大の差を意味し、入力信号のタイミングが保存される精度を表します。

チャンネル間マッチングとは、1 つの **ADuM3480/ADuM3481/ADuM3482** デバイス内にある複数のチャンネル間の伝搬遅延差の最大値を意味します。

伝搬遅延スキューは、同じ条件で動作する複数の **ADuM3480/ADuM3481/ADuM3482** デバイス間での伝搬遅延差の最大値を表します。

DC 精度と磁界耐性

アイソレータ入力での正および負のロジック変化により、狭いパルス(約 1 ns)がトランスを経由してデコーダに送られます。デコーダは双安定であるため、パルスによるセットまたはリセットにより入力ロジックの変化が表されます。約 1.7 μ s 以上入力にロジック変化がない場合、出力の DC を正常に維持するため、電流 DC 状態が出力へ送信されます。

デコーダが約 5 μ s 間以上このパルスを受信しないと、入力側が電源オフであるか非動作状態にあると見なされ、ウォッチドッグ・タイマ回路によりアイソレータ出力が強制的にデフォルト状態にされます。

デバイスの磁界耐性の限界は、トランスの受信側コイルに発生する誘導電圧が十分大きくなり、デコーダをセットまたはリセットさせる誤動作が発生することで決まります。次の解析によりこのような条件が決定されます。ADuM3480/ADuM3481/ADuM3482 の 3 V 動作は最も感度の高い動作モードであるため、この条件を調べます。

トランス出力でのパルスは 1.5 V 以上の振幅を持っています。デコーダは約 1.0 V の検出スレッシュホールドを持つので、誘導電圧に対しては 0.5 V の余裕を持っています。受信側コイルへの誘導電圧は次式で与えられます。

$$V = (-d\beta / dt) \sum \pi r_n^2; n = 1, 2, \dots, N$$

ここで、

β は磁束密度。

r_n は受信側コイル巻数 n 回目の半径。

N は受信側コイルの巻き数。

ADuM3480/ ADuM3481/ADuM3482 受信側コイルの形状が与えられ、かつ誘導電圧がデコーダにおける 0.5 V 余裕の最大 50% であるという条件が与えられると、最大許容磁界は図 17 のように計算されます。

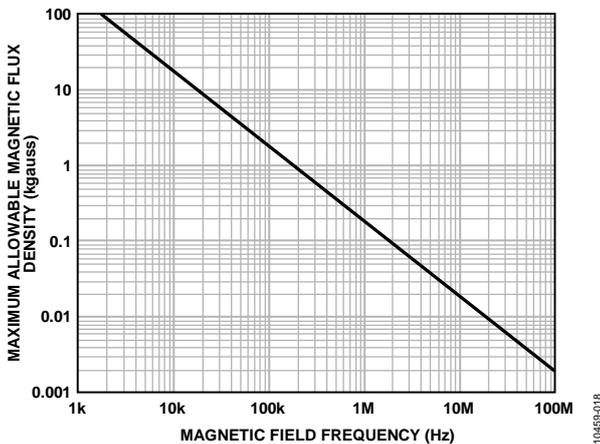


図 17.最大許容外部磁束密度

例えば、磁界周波数= 1 MHz で、最大許容磁界= 0.5 Kgauss の場合、受信側コイルでの誘導電圧は 0.25 V になります。これは検出スレッシュホールドの約 50% であるため、出力変化の誤動作はありません。仮にこのような条件が送信パルス内に存在しても、受信パルスが 1.0 V 以上から 0.75V へ減少されるため、デコーダの検出スレッシュホールド 0.5 V に対してなお余裕を持っています。

前述の磁束密度値は、ADuM3480/ ADuM3481/ADuM3482 トランスから与えられた距離だけ離れた特定の電流値に対応します。図 18 に、周波数の関数としての許容電流値を与えられた距離に対して示します。ADuM3480/ADuM3481/ ADuM3482 は、外部磁界に対して耐性を持っています。極めて大きな高周波電流がデバイスの非常に近いところにある場合にのみ問題になります。前述の 1 MHz の例では、部品動作に影響を与えるためには、1.2 kA の電流を ADuM3480/ADuM3481/ ADuM3482 から 5 mm の距離まで近づける必要があります。

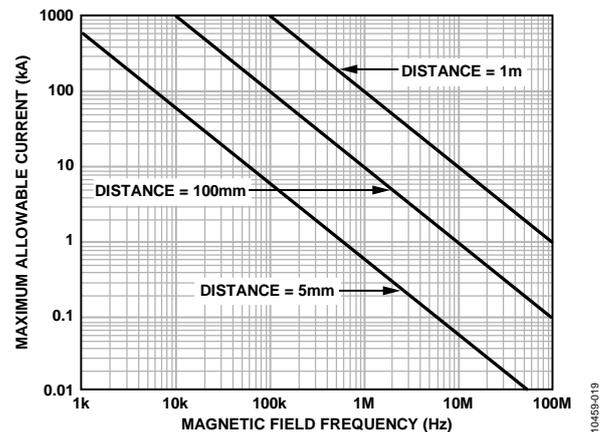


図 18.様々な電流値と ADuM3480 までの距離に対する最大許容電流

強い磁界と高周波が組合わされると、PCB パターンで形成されるループに十分大きな誤差電圧が誘導されて、後段回路のスレッシュホールドがトリガされてしまうことに注意が必要です。ループを形成する PCB 構造を回避するように注意してください。

消費電力

ADuM3480/ ADuM3481/ADuM3482 アイソレータ内にあるチャンネルの電源電流は、電源電圧、チャンネルのデータレート、チャンネルの出力負荷の関数になっています。

I_{DD1} または I_{DD2} の計算

各入力チャンネルに対して、ワーストケース I/O 電圧を想定すると、電源電流は次式で与えられます。

$$I_{DD1} = I_{DD1(Q)} \quad R_D \leq 2.5 \times R_R$$

$$I_{DD1} = I_{DD1(D)} \times (R_D - R_R) + I_{DD1(Q)} \quad R_D > 2.5 \times R_R$$

各出力チャンネルに対して、電源電流は次式で与えられます。

$$I_{DD0} = I_{DD0(D)} \times R_D + I_{DD0(Q)}$$

I_{DDL1} または I_{DDL2} の計算

各入力チャンネルに対して、電源電流は次式で与えられます。

$$I_{DDL} = I_{DDL(D)} \times R_D + I_{DDL(Q)}$$

各出力チャンネルに対して、電源電流は次式で与えられます。

$$I_{DDOL} = \left(I_{DDOL(D)} + \frac{C_L \times V_{DDOL} \times 10^{-3}}{2} \right) R_D + I_{DDOL(Q)}$$

ここで、

C_L は出力負荷容量(pF)。

V_{DDOL} は出力電源電圧(V)。

R_D は入力ロジック信号データレート(Mbps)、入力周波数の 2 倍で単位は MHz。

R_R は入力ステージ・リフレッシュ・レート(Mbps) = $1/t_r$ (μs)。

$I_{DDI(Q)}$ 、 $I_{DDL(Q)}$ 、 $I_{DDO(Q)}$ 、 $I_{DDOL(Q)}$ は規定の入力と出力静止電源電流(mA)。

$I_{DDI(D)}$ 、 $I_{DDL(D)}$ 、 $I_{DDO(D)}$ 、 $I_{DDOL(D)}$ は、チャンネルあたりの入力と出力のダイナミック電源電流 (mA/Mbps)。

入力と出力はデバイスの両サイドに現れることがあるため、この計算ではローカル電源からの電流を使用します。例えば、出力がデバイスのサイド 2 である場合、 I_{DDOL} 電流はデバイスの V_{DDI2} ピンから得ます。 I_{DDL1} 電流と I_{DDL2} 電流は、 V_{DDL1} と V_{DDL2} 、データレート、容量負荷に依存します。これは、コア電源の値にほぼ無関係です。

I_{DDI} 、 I_{DDL1} 、 I_{DD2} 、 I_{DDL2} の合計電源電流を計算するために V_{DD1} 、 V_{DDL1} 、 V_{DD2} 、 V_{DDL2} に対応するチャンネルの各入力と各出力の電源電流を計算して合計します。あるいは図 8～図 14 から読み取ります。

レギュレーションされたコア電源の入力電流は I/O 電圧にほぼ無関係で、データレートに比例します。 I_{DDI} 電流は直線的に DC まで下がらずに、 $2.5 \times R_R$ と DC の間の最小値になります。これは、リフレッシュ回路が最小データレートを設定するためです。図 8 と図 9 の値と、表 3、表 6、表 9 の静止電流は、この領域の電流に近づきます。 V_{DD1} 、 V_{DDO} 、 V_{DDL1} 、 V_{DDL2} は、与えられたチャンネルの入力と出力に対するコア電源ピンと I/O 電源ピンの電圧を表します。I は入力を、O は出力を、L は I/O 電源を、それぞれ表します。

絶縁寿命

すべての絶縁構造は、十分長い時間電圧ストレスを受けるとブレイクダウンします。絶縁性能の低下率は、絶縁に加えられる電圧波形の特性に依存します。アナログ・デバイセズは、規制当局が行うテストの他に、広範囲なセットの評価を実施して [ADuM3480/ADuM3481/ADuM3482](#) の絶縁構造の寿命を測定しています。

アナログ・デバイセズは、定格連続動作電圧より高い電圧レベルを使った加速寿命テストを実施しています。複数の動作条件に対する加速ファクタを求めました。これらのファクタを使うと、実際の動作電圧での故障までの時間を計算することができます。

表 16 に、バイポーラ AC 動作条件での 50 年のサービス寿命に対するピーク電圧と最大 CSA/VDE 認定動作電圧を示します。多くのケースで、実証された動作電圧は 50 年サービス寿命の電圧より高くなっています。これらの高い動作電圧での動作は、ケースによって絶縁寿命を短くすることがあります。

[ADuM3480/ADuM3481/ADuM3482](#) の絶縁寿命は、アイソレーション障壁に加えられる電圧波形のタイプに依存します。iCoupler 絶縁構造の性能は、波形がバイポーラ AC、ユニポーラ AC、DC のいずれであるかに応じて、異なるレートで低下します。図 19、図 20、図 21 に、これらのアイソレーション電圧波形を示します。

バイポーラ AC 電圧は最も厳しい環境です。AC バイポーラ条件での 50 年動作寿命の目標により、アナログ・デバイセズが推奨する最大動作電圧が決定されています。

ユニポーラ AC またはユニポーラ DC 電圧の場合、絶縁に加わるストレスは大幅に少なくなります。このために高い動作電圧での動作が可能になり、さらに 50 年のサービス寿命を実現することができます。表 16 に示す動作電圧は、ユニポーラ AC 電圧またはユニポーラ DC 電圧のケースに適合する場合、50 年最小寿命に適用することができます。図 19、図 20、または図 21 に適合しない絶縁電圧波形は、バイポーラ AC 波形として扱う必要があり、ピーク電圧は表 16 に示す 50 年寿命電圧値に制限する必要があります。

図 20 に示す電圧は、説明目的のためにのみ正弦波としています。すなわち、0 V とある規定値との間で変化する任意の電圧波形とすることができます。規定値は正または負となることができませんが、電圧は 0 V を通過することはできません。

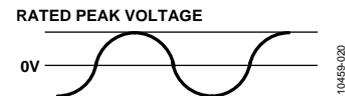


図 19.バイポーラ AC 波形

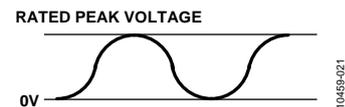


図 20.ユニポーラ AC 波形

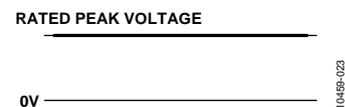


図 21.DC 波形

外形寸法

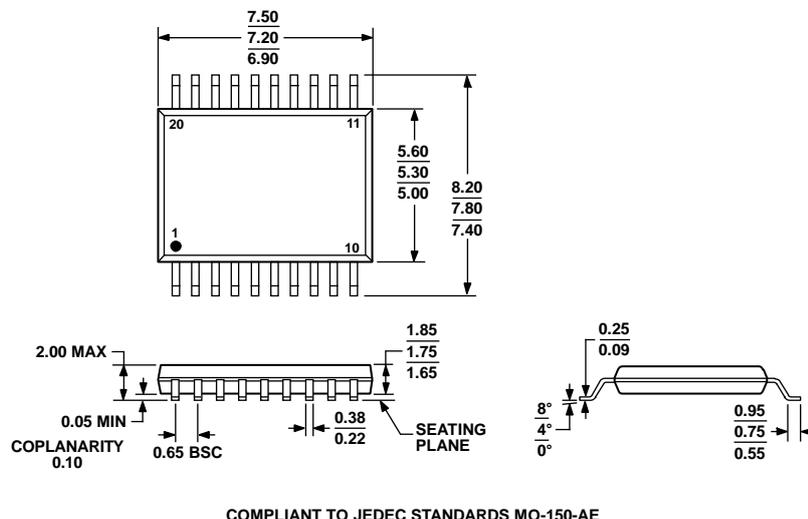


図 22.20 ピン標準スモール・アウトライン・パッケージ[SSOP] (RS-20)
寸法: mm

オーダー・ガイド

Model ¹	No. of Inputs, V _{DD1} Side	No. of Inputs, V _{DD2} Side	Maximum Data Rate	Max Prop Delay, 5 V	Temperature Range	Package Description	Package Option
ADuM3480ARSZ	4	0	1 Mbps	90 ns	-40°C to +125°C	20-Lead SSOP	RS-20
ADuM3480ARSZ-RL7	4	0	1 Mbps	90 ns	-40°C to +125°C	20-Lead SSOP, 7" Reel	RS-20
ADuM3480BRSZ	4	0	25 Mbps	33 ns	-40°C to +125°C	20-Lead SSOP	RS-20
ADuM3480BRSZ-RL7	4	0	25 Mbps	33 ns	-40°C to +125°C	20-Lead SSOP, 7" Reel	RS-20
ADuM3481ARSZ	3	1	1 Mbps	90 ns	-40°C to +125°C	20-Lead SSOP	RS-20
ADuM3481ARSZ-RL7	3	1	1 Mbps	90 ns	-40°C to +125°C	20-Lead SSOP, 7" Reel	RS-20
ADuM3481BRSZ	3	1	25 Mbps	33 ns	-40°C to +125°C	20-Lead SSOP	RS-20
ADuM3481BRSZ-RL7	3	1	25 Mbps	33 ns	-40°C to +125°C	20-Lead SSOP, 7" Reel	RS-20
ADuM3482ARSZ	2	2	1 Mbps	90 ns	-40°C to +125°C	20-Lead SSOP	RS-20
ADuM3482ARSZ-RL7	2	2	1 Mbps	90 ns	-40°C to +125°C	20-Lead SSOP, 7" Reel	RS-20
ADuM3482BRSZ	2	2	25 Mbps	33 ns	-40°C to +125°C	20-Lead SSOP	RS-20
ADuM3482BRSZ-RL7	2	2	25 Mbps	33 ns	-40°C to +125°C	20-Lead SSOP, 7" Reel	RS-20

¹ Z = RoHS 準拠製品。