

特長

NTSC-(M、N、4.43)、PAL-(B/D/G/H/I/M/N)、SECAM対応の
マルチフォーマット・ビデオ・デコーダ

54MHz、10ビットのA/Dコンバータを3個内蔵

1個の27MHz水晶発信器でクロック駆動

ライン・ロック・クロック(LLC)と互換

アダプティブ・デジタル・ライン長トラッキング機能
(ADLLT™)、信号処理、拡張FIFOマネジメントによりミニ
TBC機能

5ライン長のアダプティブ・コムフィルタ(くし形フィルタ)を採用
VCRやチューナのようなノイズが多く、不安定な微弱ビデオ信
号源をロックする当社独自のアーキテクチャ

サブキャリア周波数ロックおよびステータス情報の出力
アダプティブ・ピーク・ホワイต์・モードを備えたAGCを内蔵
Macrovision®コピー保護検出

CTI(カラー・トランジェント・インブルーメント)

DNR(デジタル・ノイズ・リダクション)

プログラマブルな複数のアナログ入力フォーマット:

CVBS(コンポジット・ビデオ)

Sビデオ(Y/C)

YPrPbコンポーネント(VESA、MII、SMPTE、BetaCam)

12チャンネルのアナログ・ビデオ入力

NTSC/PAL/SECAMの自動識別

デジタル出力フォーマット(8ビットまたは16ビット):

ITU-R BT.656 YCrCb 4:2:2出力+HS、VS、FIELD

概要

ADV7183Bビデオ・デコーダは、世界的な標準であるNTSC、PAL、SECAM互換の標準アナログ・ベースバンド・テレビ信号を自動的に検出し、16/8ビットのCCIR601/CCIR656互換の4:2:2コンポーネント・ビデオ・データに変換します。

先進的できわめて柔軟性の高いこのビデオ・デコーダのデジタル出力は、ライン・ロック・クロックをベースにしたシステムとのインターフェースを容易にします。このため、ADV7183Bはテープ・ベースの信号源、放送用信号源、セキュリティ/監視カメラ、業務用システムなどのさまざまなアナログ・ビデオ特性を持つ広範囲なアプリケーションに最適となっています。

10ビットの高精度A/D変換は業務用品質のビデオ性能を提供し、これに並ぶものではありません。このため、8ビット出力モードで真の8ビット分解能を実現できます。

12チャンネルのアナログ入力は、標準のコンポジット信号やSビデオ信号、YPrPbビデオ信号をいろいろな組合わせで取り込むことができます。AGC(自動ゲイン・コントロール)回路とクランプ再生回路が内蔵されて

0.5~1.6Vのアナログ信号入力範囲

微分ゲイン:0.5%(typ)

微分位相:0.5°(typ)

プログラマブルなビデオ制御:

ピーク・ホワイต์/色相/明度/彩度/コントラスト

ビデオ・タイミング・ジェネレータを内蔵

フリーラン・モード(入力なしで安定したビデオ出力を発生)

クローズド・キャプション(CC)、WSS、CGMS、EDTV、

Gemstar® 1X/2X対応のVBIデコード

パワーダウン・モード

2線式シリアルMPUインターフェース(I²C®互換)

アナログ電源:3.3V、デジタル・コア電源:1.8V、IO電源:3.3V

2種類の温度グレード:-25~+70°C、-40~+85°C

80ピンのLQFP鉛フリー・パッケージ

アプリケーション

DVDレコーダ

ビデオ・プロジェクタ

HDDベースのPVR/DVDR

液晶TV

セットトップ・ボックス

セキュリティ・システム

デジタル・テレビ

AVRレシーバ

いるため、0.5~1.6Vのピークtoピーク範囲をもつビデオ信号の入力が可能になります。また、これらの回路をバイパスしてマニュアル設定することもできます。

全モードでADCとデータ・パスに対して固定の54MHzクロックが使用できるため、非常に高精度で正確なサンプリングとデジタル・フィルタリングが可能になります。ライン・ロック・クロック出力により、±5%のライン長変化があっても、出力データレート、タイミング信号、出力クロック信号を同期化、非同期化、またはラインにロックすることができます。出力制御信号は、ほとんどのアプリケーションでグルーレスなインターフェース接続を可能とします。ADV7183Bのモードは、2線式のシリアル双方向ポート(I²C互換)で設定します。

ADV7183Bは3.3V CMOSプロセスで製造されています。モノリシックCMOS構造を採用しているため、低消費電力でより多くの機能を実現しています。

ADV7183Bは鉛フリーの小型80ピンLQFPパッケージを採用しています。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいはその利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は予告なく変更する場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
*日本語データシートは、REVISIONが古い場合があります。最新の内容については英語版をご参照ください。
©2004 Analog Devices, Inc. All rights reserved.

ADV7183B

目次

はじめに	3	輝度信号フィルタ	26
アナログ・フロントエンド	3	色信号フィルタ	29
SDP（標準ビデオ信号処理プロセッサ）	3	ゲイン動作	30
機能ブロック図	4	カラー・ドランジェント・インブルーメント（CTI）	33
仕様	5	デジタル・ノイズ・リダクション（DNR）	34
電気的特性	5	コムフィルタ（くし形フィルタ）	35
ビデオ仕様	6	AVコードの挿入と制御	37
タイミング仕様	7	同期出力信号	39
アナログ仕様	7	同期処理	46
熱仕様	8	VBIデータ・デコード	47
タイミング図	8	ピクセル・ポートの設定	59
絶対最大定格	9	MPUポートの説明	60
ESDの注意	9	レジスタのアクセス	61
ピン配置および機能の説明	10	レジスタの設定	61
アナログ・フロントエンド	12	I ² Cシーケンサ	61
アナログ入力マルチプレクシング	12	I ² Cレジスタ・マップ	62
グローバル・コントロール・レジスタ	15	I ² Cレジスタ・マップの詳細	66
パワー・セーブ・モード	15	I ² Cのプログラミング例	88
リセット制御	15	モード1：CVBS入力（AIN5上のコンポジット・ビデオ）	88
グローバル・ピンの制御	16	モード2：Sビデオ入力（AIN1上のY、AIN4上のC）	88
グローバル・ステータス・レジスタ	18	モード3：525i/625i YPrPb入力（AIN2上のY、AIN3上のPr、AIN6上のPb）	89
識別	19	モード4：AIN4上のCVBSチューナ入力PAL専用	89
STATUS 1	18	PCボード・レイアウトの推奨事項	90
自動検出結果	18	アナログ・インターフェース入力	90
STATUS 2	18	電源のデカップリング	90
STATUS 3	19	PLL	90
SDP（標準ビデオ信号処理プロセッサ）	20	デジタル出力（データとクロックの両方）	90
SD輝度信号パス	20	デジタル入力	91
SD色信号パス	20	アンチエイリアシング（折返し誤差防止）フィルタ	91
同期処理	21	代表的な回路接続	92
VBIデータの再生	21	外形寸法	94
全体的なセットアップ	21	オーダー・ガイド	94
カラー制御	23		
クランプ動作	25		

改訂履歴

9/04-リビジョン0：初版

はじめに

ADV7183Bは高品質なシングル・チップのマルチフォーマット・ビデオ・デコーダで、コンポジット、Sビデオ、コンポーネント・ビデオ形式のPAL、NTSC、SECAM標準を自動的に検出し、デジタルITU-R BT.656フォーマットに変換します。

先進的できわめて柔軟性の高いこのビデオ・デコーダのデジタル出力は、ライン・ロック・クロックをベースにしたシステムとのインターフェースを容易にします。このため、ADV7183Bはテープ・ベースの信号源、放送用信号源、セキュリティ／監視カメラ、業務用システムなどのさまざまなアナログ・ビデオ特性を持つ広範囲なアプリケーションに最適です。

アナログ・フロントエンド

ADV7183Bのアナログ・フロントエンドは3つの10ビットA/Dコンバータ(ADC)から構成されており、ADCはアナログ・ビデオ信号をデジタル化してSDP(標準ビデオ信号処理プロセッサ)に与えます。アナログ・フロントエンドでは、ミックスド・シグナル・アプリケーションで高性能を実現するために、各ADCの入力で差動チャンネルを採用しています。

このフロントエンドには、複数のビデオ信号を入力できる12チャンネルの入力マルチプレクサも用意されています。各ADCの前には電流クランプと電圧クランプが配置されているため、ビデオ信号は必ずADCの入力範囲内に収まるようになっています。ビデオ信号微調クランピングは、ADV7183Bに内蔵されているデジタル微調クランピング機能を用いてダウンストリームで実行されます。各ADCは4倍オーバーサンプリング・モードで動作する構成になっています。

SDP(標準ビデオ信号処理プロセッサ)

ADV7183Bは、コンポジット、Sビデオ、コンポーネントなどのフォーマットのさまざまなベースバンド・ビデオ信号をデコーディングできます。サポートするビデオ標準としては、PAL B/D/I/G/H、PAL60、PAL M、PAL N、PAL Nc、NTSC M/J、NTSC 4.43、SECAM B/D/G/K/Lなどがあります。ADV7183Bはビデオ標準を自動的に検出して処理できます。

ADV7183Bは5ライン、スーパーアダプティブの2Dコムフィルタ(くし形フィルタ)を内蔵しており、コンポジット・ビデオ信号をデコーディングする際に色信号と輝度信号を高精度に分離できます。このフィルタは、きわめて適合性に優れているため、ユーザが手を加えることなく、ビデオ標準と信号品質に応じて自動的に処理モードを調節します。ADV7183Bでは、明度、コントラスト、彩度、色相などのユーザによる制御も行えます。

ADV7183Bは、信号源から出力されるビデオ・ライン長の変化をトラッキングする、特許取得済みのアダプティブ・デジタル・ライン長トラッキング(ADLLT)アルゴリズムを採用しています。このADLLT機能により、ADV7183BはVCRをはじめ、ノイズの多いチューナ出力、VCDプレーヤ、ビデオ・カメラなどの通常品質のビデオ信号源をトラックし、デコードできます。ADV7183BはCTI(カラー・トランジェント・インプルーブメント)プロセッサを内蔵しており、色信号遷移のエッジをシャープにすることで、際立った垂直遷移を実現しています。

ADV7183Bは、クローズド・キャプション(CC)、ワイド・スクリーン・シグナリング(WSS)、コピー・ジェネレーション・マネジメント・システム(CGMS)、EDTV、Gemstar 1×/2×、拡張データ・サービス(XDS)などのさまざまなVBIデータ・サービスを処理できます。ADV7183Bは、Macrovision®の認定を取得しており、検出回路はType I、II、IIIの保護レベルを識別し、報告することができます。また、デコーダは、すべてのMacrovision信号入力に十分に対応できます。

機能ブロック図

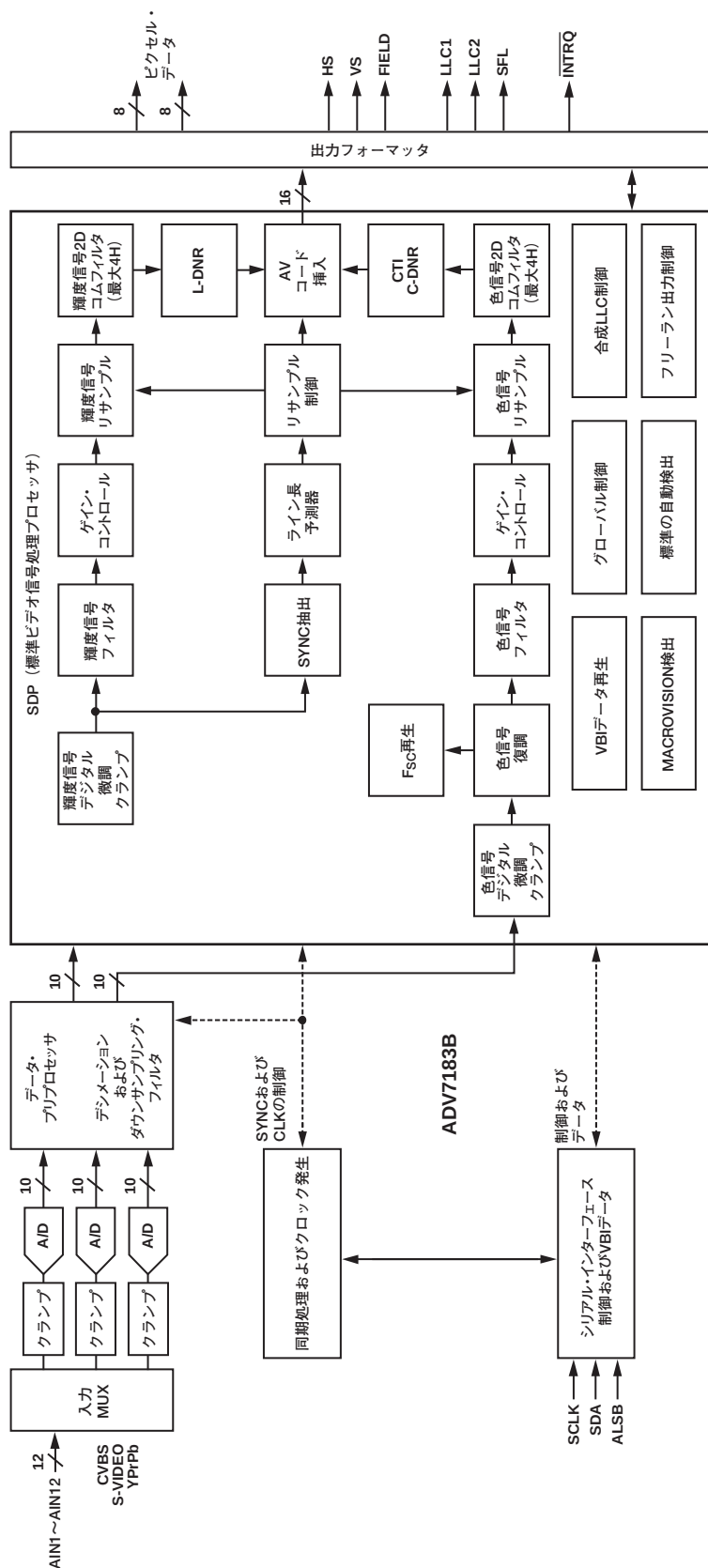


圖1.

仕様

温度範囲：T_{MIN}～T_{MAX}、－40～＋85℃。この範囲でmin/max仕様を保証。

電気的特性

A_{VDD}＝3.15～3.45V、D_{VDD}＝1.65～2.0V、D_{VDDIO}＝3.0～3.6V、P_{VDD}＝1.65～2.0V (特に指定のない限り、動作温度範囲)

表1.

パラメータ	記号	テスト条件	Min	Typ	Max	単位
静的性能						
分解能 (各ADC)	N				10	ビット
積分非直線性	INL	54MHzでのBSL		－0.475/+0.6	±3	LSB
微分非直線性	DNL	54MHzでのBSL		－0.25/+0.5	－0.7/+2	LSB
デジタル入力						
入力ハイレベル電圧	V _{IH}		2			V
入力ローレベル電圧	V _{IL}				0.8	V
入力電流	I _{IN}	注1に示すピン その他の全ピン	－50 －10		+50 +10	μ A μ A
入力容量	C _{IN}				10	pF
デジタル出力						
出力ハイレベル電圧	V _{OH}	I _{SOURCE} ＝0.4mA	2.4			V
出力ローレベル電圧	V _{OL}	I _{SINK} ＝3.2mA			0.4	V
高インピーダンス・リーク電流	I _{LEAK}	注2に示すピン その他の全ピン			50 10	μ A μ A
出力容量	C _{OUT}				20	pF
電源条件 ³						
デジタル・コア電源	D _{VDD}		1.65	1.8	2	V
デジタルI/O電源	D _{VDDIO}		3.0	3.3	3.6	V
PLL電源	P _{VDD}		1.65	1.8	2.0	V
アナログ電源	A _{VDD}		3.15	3.3	3.45	V
デジタル・コア電源電流	I _{DVDD}			82		mA
デジタルI/O電源電流	I _{DVDDIO}			2		mA
PLL電源電流	I _{PVDD}			10.5		mA
アナログ電源電流	I _{AVDD}	CVBS入力 ⁴ YPrPb入力 ⁵		85 180		mA mA
パワーダウン電流	I _{PWRDN}			1.5		mA
パワーアップ時間	t _{PWRUP}			20		ms

¹ ピン36、79
² 1、2、5、6、8、12、17、18～24、32～35、74～76、80の各ピン
³ 特性評価により保証
⁴ ADC1をパワーオン
⁵ 全3個のADCをパワーオン

ADV7183B

ビデオ仕様

特性評価により保証。A_{VDD}=3.15～3.45V、D_{VDD}=1.65～2.0V、D_{VDDIO}=3.0～3.6V、P_{VDD}=1.65～2.0V（特に指定のない限り、動作温度範囲）

表2.

パラメータ	記号	テスト条件	Min	Typ	Max	単位
非直線性仕様						
微分位相	DP	CVBS I/P、変調5ステップ		0.5	0.7	°
微分ゲイン	DG	CVBS I/P、変調5ステップ		0.5	0.7	%
輝度信号非直線性	LNL	CVBS I/P、5ステップ		0.5	0.7	%
ノイズ仕様						
S/N比（重みなし）		輝度信号ランプ	54	56		dB
		輝度信号平坦フィールド	58	60		dB
アナログ・フロントエンド・クロストーク				60		dB
ロック時間仕様						
水平ロック範囲			−5		+5	%
垂直ロック範囲			40		70	Hz
Fscサブキャリア・ロック範囲				±1.3		Hz
カラー・ロックイン時間				60		ライン
Sync深さ範囲			20		200	%
カラー・バースト範囲			5		200	%
垂直ロック時間				2		フィールド
自動検出切替え速度				100		ライン
色信号仕様						
色相精度	HUE			1		°
カラー彩度精度	CL_AC			1		%
カラーAGC範囲			5		400	%
色信号振幅誤差				0.5		%
色信号位相誤差				0.4		°
色信号と輝度信号間の相互変調				0.2		%
輝度信号仕様						
輝度信号明度精度		CVBS、1V I/P		1		%
輝度信号コントラスト精度		CVBS、1V I/P		1		%

タイミング仕様

特性評価により保証。A_{VDD}=3.15～3.45V、D_{VDD}=1.65～2.0V、D_{VDDIO}=3.0～3.6V、P_{VDD}=1.65～2.0V (特に指定のない限り、動作温度範囲)

表3.

パラメータ	記号	テスト条件	Min	Typ	Max	単位
システム・クロックおよび水晶発振器 公称周波数				27.00		MHz
周波数安定性					±50	ppm
I ² Cポート						
SCLK周波数					400	kHz
SCLKのハイレベル最小パルス幅	t ₁		0.6			μs
SCLKのローレベルの最小パルス幅	t ₂		1.3			μs
ホールド時間 (スタート状態)	t ₃		0.6			μs
セットアップ時間 (スタート状態)	t ₄		0.6			μs
SDAのセットアップ時間	t ₅		100			ns
SCLKとSDAの立上がり時間	t ₆				300	ns
SCLKとSDAの立下がり時間	t ₇				300	ns
ストップ状態のセットアップ時間	t ₈			0.6		μs
リセット機能						
リセット・パルス幅			5			ms
クロック出力						
LLC1のマーク／スペース比	t ₉ : t ₁₀		45 : 55		55 : 45	%デューティ・サイクル
LLC1の立上がりからLLC2の立上がりまで	t ₁₁			0.5		ns
LLC1の立上がりからLLC2の立下がりまで	t ₁₂			0.5		ns
データ出力とコントロール信号出力						
データ出力の遷移時間	t ₁₃	立下がりエッジから有効データの開始まで (t _{ACCESS} =t ₁₀ −t ₁₃)			3.4	ns
データ出力の遷移時間	t ₁₄	有効データの終わりから立下がりエッジまで (t _{HOLD} =t ₉ +t ₁₄)			2.4	ns
Hi-Zまでの伝搬遅延	t ₁₅			6		ns
出力イネーブルの最大アクセス時間	t ₁₆			7		ns
出力イネーブルの最小アクセス時間	t ₁₇			4		ns

アナログ仕様

特性評価により保証。A_{VDD}=3.15～3.45V、D_{VDD}=1.65～2.0V、D_{VDDIO}=3.0～3.6V、P_{VDD}=1.65～2.0V (特に指定のない限り、動作温度範囲)

表4.

パラメータ	記号	テスト条件	Min	Typ	Max	単位
クランプ回路						
外付けクランプ・コンデンサ		クランプ・オフ時		0.1		μF
入力インピーダンス				10		MΩ
クランプ流出大電流				0.75		mA
クランプ流入大電流				0.75		mA
クランプ流出小電流				60		μA
クランプ流入小電流				60		μA

ADV7183B

熱仕様

表5.

パラメータ	記号	テスト条件	Min	Typ	Max	単位
接合部／ケース間熱抵抗	θ_{JC}	全面グラウンド・プレーンを持つ4層PCボード		7.6		°C/W
接合部／周囲間熱抵抗(自然空冷)	θ_{JA}	全面グラウンド・プレーンを持つ4層PCボード		38.1		°C/W

タイミング図

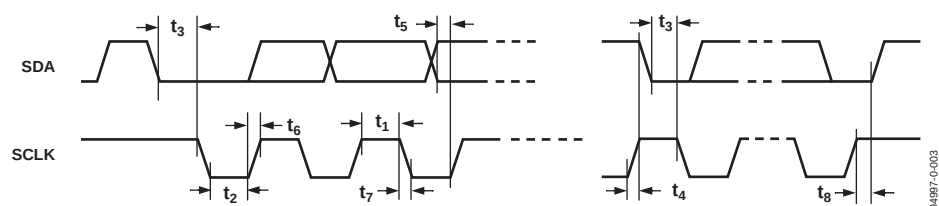


図2. I²Cのタイミング

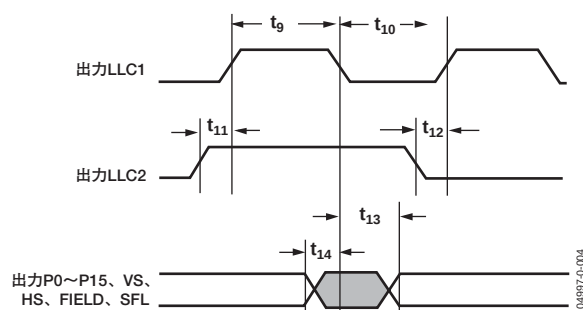


図3. ピクセル・ポートとコントロール信号のタイミング

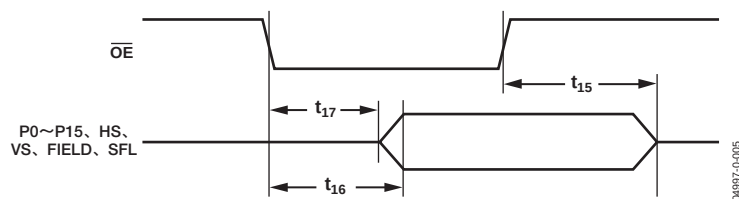


図4. $\overline{OE}$ のタイミング

絶対最大定格

表6.

パラメータ	定格
GNDに対する A_{VDD}	4V
AGNDに対する A_{VDD}	4V
DGNDに対する D_{VDD}	2.2V
AGNDに対する P_{VDD}	2.2V
DGNDに対する D_{VDDIO}	4V
A_{VDD} に対する D_{VDDIO}	$-0.3 \sim +0.3V$
D_{VDD} に対する P_{VDD}	$-0.3 \sim +0.3V$
$D_{VDDIO} - P_{VDD}$	$-0.3 \sim +2V$
$D_{VDDIO} - D_{VDD}$	$-0.3 \sim +2V$
$A_{VDD} - P_{VDD}$	$-0.3 \sim +2V$
$A_{VDD} - D_{VDD}$	$-0.3 \sim +2V$
DGNDに対するデジタル入力電圧	$-0.3V \sim D_{VDDIO} + 0.3V$
DGNDに対するデジタル出力電圧	$-0.3V \sim D_{VDDIO} + 0.3V$
AGNDに対するアナログ入力	$AGND - 0.3V \sim A_{VDD} + 0.3V$
最大ジャンクション温度 (T_{Jmax})	150℃
保存温度範囲	$-65 \sim +150^\circ C$
赤外線リフロー・ハンダ (20秒)	260℃

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣下や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



ADV7183B

ピン配置および機能の説明

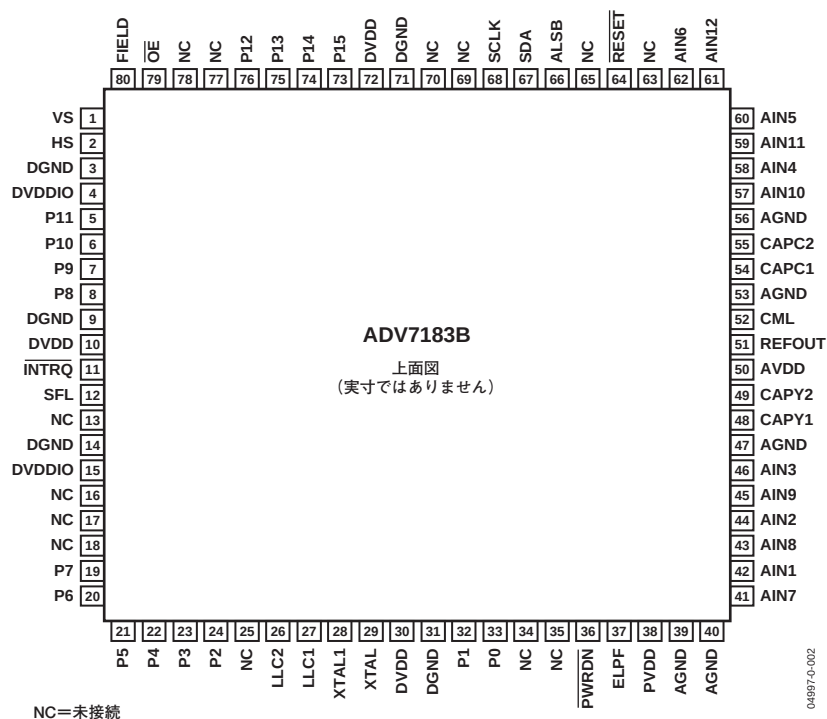


図5. 80ピンLQFPのピン配置

表7. ピン機能の説明

ピン番号	記号	タイプ	機能
3、9、14、31、71	DGND	G	デジタル・グラウンド
39、40、47、53、56	AGND	G	アナログ・グラウンド
4、15	DVDDIO	P	デジタルI/O電源電圧 (3.3V)
10、30、72	DVDD	P	デジタル・コア電源電圧 (1.8V)
50	AVDD	P	アナログ電源電圧 (3.3V)
38	PVDD	P	PLL電源電圧 (1.8V)
42、44、46、58、60、 62、41、43、45、57、 59、61	AIN1～AIN12	I	アナログ・ビデオ入力チャンネル
11	INTRQ	O	割込み要求出力。入力ビデオ上に一定の信号が検出されると、割込みが発生します。 表82の割込みレジスタ・マップを参照。
13、16～18、25、34、 35、63、65、69、70、 77、78	NC		未使用ピン
33、32、24、23、22、 21、20、19、8、7、6、5、 76、75、74、73	P0～P15	O	ビデオ・ピクセル出力ポート
2	HS	O	水平同期出力信号
1	VS	O	垂直同期出力信号
80	FIELD	O	フィールド同期出力信号
67	SDA	I/O	I ² Cポートのシリアル・データ入出力ピン
68	SCLK	I	I ² Cポートのシリアル・クロック入力 (最大クロック・レート: 400kHz)
66	ALSB	I	このピンはADV7183BのI ² Cアドレスを選択します。ALSBをローレベルに設定すると、 書込みアドレスが0x40に設定されます。ALSBをハイレベルに設定すると、アドレスが 0x42に設定されます。

ピン番号	記号	タイプ	機能
64	RESET	I	アクティブ・ローレベルのシステム・リセット入力。ADV7183Bの回路をリセットするには、RESETに最小幅5msのローレベル・パルスを入力する必要があります。
27	LLC1	O	これは、ADV7183Bの出力ピクセル・データに対する、ライン・ロック出力クロックです。公称27MHzですが、ビデオ・ライン長に応じて上下に変動します。
26	LLC2	O	これは、ADV7183Bの出力ピクセル・データに対する、LLC1出力クロックの2分周出力です。公称13.5MHzですが、ビデオ・ライン長に応じて上下に変動します。
29	XTAL	I	27MHzの水晶発振器の入力ピンですが、外付けの3.3V、27MHzのクロック発振器から駆動することもできます。水晶発振器モードでは、基本波水晶発振器を使う必要があります。
28	XTAL1	O	このピンは27MHzの水晶発振器に接続します。ADV7183Bのクロックとして外付け3.3V、27MHzのクロック発振器を使用する場合は、開放のままにします。水晶発振器モードでは、基本波水晶発振器を使う必要があります。
36	PWRDN	I	このピンにロジック・ローレベルを入力すると、ADV7183Bはパワーダウン・モードになります。ADV7183Bのパワーダウン・モードでのオプションについては、I ² Cレジスタ・マップを参照してください。
79	OE	I	OEにロジック・ローレベルを入力すると、ADV7183Bのピクセル出力バス、P15～P0がイネーブルになります。OEピンにロジック・ハイレベルを入力すると、P15～P0、HS、VS、SFL/SYNC_OUTの各ピンは高インピーダンス状態になります。
37	ELPF	I	推奨の外部ループ・フィルタは、このELPFピンに接続する必要があります(図45)。
12	SFL	O	サブキャリア周波数ロック。このピンにはシリアル出力ストリームが含まれています。このデコーダをアナログ・デバイセズの任意のデジタル・ビデオ・エンコーダに接続するときは、これを使用してサブキャリア周波数をロックします。
51	REFOUT	O	内蔵電圧リファレンス出力。このピンに対する推奨コンデンサ・ネットワークについては、図45を参照してください。
52	CML	O	CMLピンは内蔵ADCのコモン・モード・レベル出力です。このピンに対する推奨コンデンサ・ネットワークについては図45を参照してください。
48、49	CAPY1、CAPY2	I	ADCのコンデンサ・ネットワーク。このピンに対する推奨コンデンサ・ネットワークについては図45を参照してください。
54、55	CAPC1、CAPC2	I	ADCのコンデンサ・ネットワーク。このピンに対する推奨コンデンサ・ネットワークについては図45を参照してください。

ADV7183B

アナログ・フロントエンド

アナログ入力のマルチプレクサ

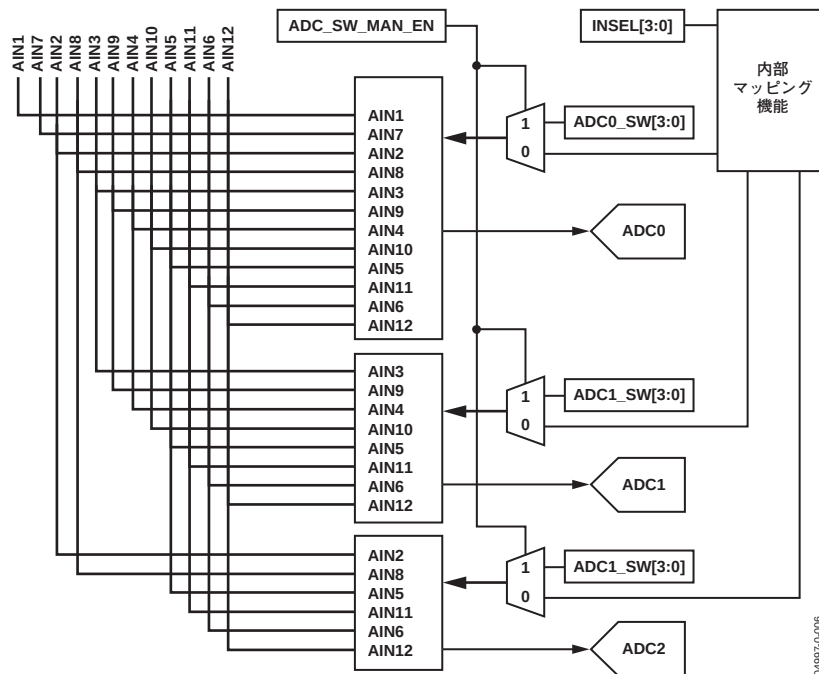


図6. 内部ピン接続

ADV7183Bはアナログ・マルチプレクシング部を内蔵しているため、複数のビデオ信号源をデコーダに接続できます。図6に、ADV7183Bの入力マルチプレクサの全体構成を示します。

図6に示すように、アナログ入力マルチプレクシングを制御するには、2つの方法があります。ファンクショナル・レジスタ(INSEL)による方法とマニュアルによる方法です。INSEL[3:0]を使用するとマルチプレクサのセットアップが簡素化され、入力チャンネルを事前に割り当てることでチャンネル間のクロストークを最小化できます。これは、アナログ・デバイスズの推奨する入力マルチプレクシングです。

PCマニュアル・オーバーライド(ADC_sw_man_en, ADC0_sw, ADC1_sw, ADC2_sw)による制御は、予め割り当てた入力接続を使わない特別な条件(たとえば、信号の数/組合せ)のアプリケーション向けに用意されています。これがマニュアル入力マルチプレクシングです。

ADV7183Bの入力マルチプレクシングを制御する2つの方法については、図7を参照してください。

アナログ・デバイスズ推奨の入力マルチプレクシング

ADV7183Bでは、最大12のCVBS入力を接続し、デコードすることができます。図5からわかるように、これは信号源をICの隣接ピンに接続する必要があります(たとえば、PCボードのレイアウトは注意深く設計する必要があります(たとえば、物理的に隣接するパターン上の全信号間でのグラウンド・シールド))。

INSEL[3:0] 入力選択、アドレス 0x00 [3:0]

INSELビットで入力チャンネルと入力フォーマットを選択できます。PCボードの接続によっては、INSELモードの一部のみが有効になります。なお、INSEL[3:0]はアナログ入力マルチプレクシングを切り替えるだけでなく、CVBS(Comp)、Sビデオ(Y/C)、コンポーネント(YPbPr)の各フォーマットを処理するようにSDPコアを設定します。

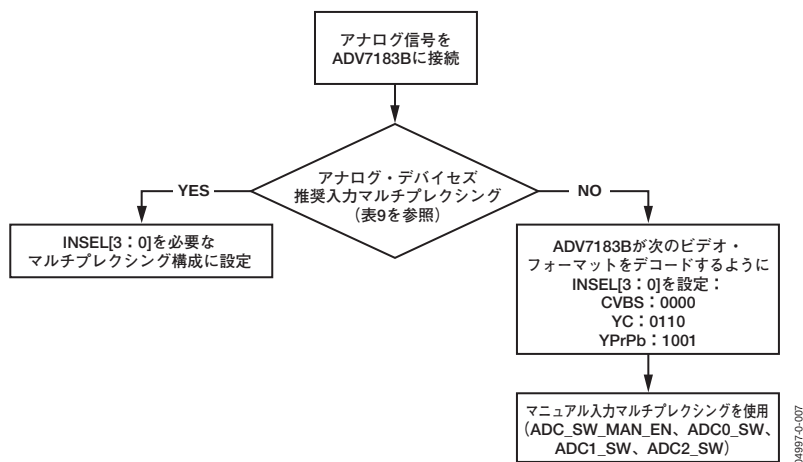


図7. 入力マルチプレクシングの概要

表8. INSEL[3:0]を使用した入力チャンネルの切替え

INSEL[3:0]	説明	
	アナログ入力ピン	ビデオ・フォーマット
0000 (デフォルト値)	CVBS1=AIN1	コンポジット
0001	CVBS2=AIN2	コンポジット
0010	CVBS3=AIN3	コンポジット
0011	CVBS4=AIN4	コンポジット
0100	CVBS5=AIN5	コンポジット
0101	CVBS6=AIN6	コンポジット
0110	Y1=AIN1	YC
	C1=AIN4	YC
0111	Y2=AIN2	YC
	C2=AIN5	YC
1000	Y3=AIN3	YC
	C3=AIN6	YC
1001	Y1=AIN1	YPrPb
	PR1=AIN4	YPrPb
	PB1=AIN5	YPrPb
1010	Y2=AIN2	YPrPb
	PR2=AIN3	YPrPb
	PB2=AIN6	YPrPb
1011	CVBS7=AIN7	コンポジット
1100	CVBS8=AIN8	コンポジット
1101	CVBS9=AIN9	コンポジット
1110	CVBS10=AIN10	コンポジット
1111	CVBS11=AIN11	コンポジット

表9. 入力チャンネルの割当て

入力 チャンネル	ピン 番号	アナログ・デバイセズ推奨の入力マルチプレクシング制御 INSEL[3:0]		
		CVBS	YC	YPrPb
AIN7	41	CVBS7		
AIN1	42	CVBS1	YC1-Y	YPrPb1-Y
AIN8	43	CVBS8		
AIN2	44	CVBS2	YC2-Y	YPrPb2-Y
AIN9	45	CVBS9		
AIN3	46	CVBS3	YC3-Y	YPrPb2-Pb
AIN10	57	CVBS10		
AIN4	58	CVBS4	YC1-C	YPrPb1-Pb
AIN11	59	CVBS11		
AIN5	60	CVBS5	YC2-C	YPrPb1-Pr
AIN12	61	使用不可		
AIN6	62	CVBS6	YC3-C	YPrPb2-Pr

アナログ・デバイセズ推奨の入力マルチプレクシングは、信号チャンネル間のクロストークを最小化し、最高レベルの信号の完全性が得られるように設計されています。表9に、PCボードのレイアウトを使ったADV7183Bへのアナログ・ビデオ信号の接続方法を示します。

未使用のアナログ入力ピンは、AGNDに接続してシールドとして使うことを強く推奨します。

6本の入力チャンネルのみを使う場合は、入力AIN7～AIN11を必ずAGNDに接続します。こうするとチャンネル間のアイソレーションが改善されるため、サンプリングの品質が向上します。

AIN12は、INSEL[3:0]では制御できません。これは、マニュアル・マルチプレクシングによってのみ、ADC0/ADC1/ADC2に接続できます。詳細は、表10を参照してください。

ADV7183B

マニュアル入力マルチプレクシング

ADV7183Bのアナログ入力マルチプレクサは、マニュアル・オーバーライド・マルチプレクシング・レジスタにアクセスすることにより直接制御できます。これは、マニュアル入力マルチプレクシングと呼ばれます。

マニュアル入力マルチプレクシングは、他の入力マルチプレクシング制御ビット（たとえば、INSEL）より優先されます。

ADC_SW_MAN_ENビットを設定すると、マニュアル・マルチプレクシングが有効になります。これで影響を受けるのは、ADCの前にあるアナログ・スイッチのみです。これは、INSELの設定とマニュアル入力マルチプレクシング・レジスタ（ADC0/ADC1/ADC2_sw）の設定が互いに矛盾している場合は、ADC0/ADC1/ADC2_swの設定が採用され、INSELが無視されることを意味します。

マニュアル入力マルチプレクシングは、アナログ入力マルチプレクサのみを制御します。後段のブロックがビデオ・データを正しいフォーマットで処理できるように、INSEL[3:0]も設定する必要があります。つまり、INSELを使用して、入力信号のフォーマットがコンポーネント、YC、CVBSのいずれであるかをADV7183Bに知らせる必要があるということです。

IC内部のアナログ信号のルーティングに起因して、チャンネル・ルーティングに制約があります。すなわち、各入力ピンは各ADCに接続することができません。チップ内部のルーティング機能の概要については、図6を参照してください。3つのマルチプレクサ・セクションは、予備の制御信号バスADC0/ADC1/ADC2_sw[3:0]で制御することができます。表10に、使用する制御ワードを示します。

SETADC_sw_man_en、マニュアル入力マルチプレクシング・イネーブル、アドレス0xC4[7]

ADC0_sw[3:0]、ADC0マルチプレクサ設定、アドレス0xC3[3:0]

ADC1_sw[3:0]、ADC1マルチプレクサ設定、アドレス0xC3[7:4]

ADC2_sw[3:0]、ADC2マルチプレクサ設定、アドレス0xC4[3:0]

表10. すべてのADCに対するマニュアル・マルチプレクサの設定 (SETADC_sw_man_en=1)

ADC0_sw[3:0]	ADC0の接続	ADC1_sw[3:0]	ADC1の接続	ADC2_sw[3:0]	ADC2の接続
0000	未接続	0000	未接続	0000	未接続
0001	AIN1	0001	未接続	0001	未接続
0010	AIN2	0010	未接続	0010	AIN2
0011	AIN3	0011	AIN3	0011	未接続
0100	AIN4	0100	AIN4	0100	未接続
0101	AIN5	0101	AIN5	0101	AIN5
0110	AIN6	0110	AIN6	0110	AIN6
0111	未接続	0111	未接続	0111	未接続
1000	未接続	1000	未接続	1000	未接続
1001	AIN7	1001	未接続	1001	未接続
1010	AIN8	1010	未接続	1010	AIN8
1011	AIN9	1011	AIN9	1011	未接続
1100	AIN10	1100	AIN10	1100	未接続
1101	AIN11	1101	AIN11	1101	AIN11
1110	AIN12	1110	AIN12	1110	AIN12
1111	未接続	1111	未接続	1111	未接続

グローバル・コントロール・レジスタ

ここに記載するレジスタ制御ビットはチップ全体に影響を与えます。

パワー・セーブ・モード

パワーダウン

PDBP、アドレス0x0F [2]

ADV7183Bのデジタル・コアをシャットダウンするには、ピン($\overline{\text{PWRDN}}$)を使用する方法とビット(PWRDN下記参照)を使用する方法があります。PDBPはこの2つの方法の優先順位を制御します。デフォルトではピン($\overline{\text{PWRDN}}$)が優先されます。この機能により、デフォルトでADV7183Bをパワーダウンできます。

PDBDが0(デフォルト)のとき、 $\overline{\text{PWRDN}}$ ピンによりデジタル・コア電源は制御されます(ビットは無視されます)。

PDBDが1のとき、ビットが優先されます(ピンが無視されます)。

PWRDN、アドレス0x0F [5]

PWRDNビットをセットすると、ADV7183Bのチップ全体がパワーダウン・モードになります。パワーダウンでは、チップのデジタル部へのクロック入力が停止されるため、動作がフリーズします。パワーダウン時にI²Cビットが失われることはありません。PWRDNビットはアナログ・ブロックにも影響を与え、それらを低電流モードに切り替えます。I²Cインターフェース自体は影響を受けず、パワーダウン・モードでも動作を続けます。

PWRDNビットが0に設定された場合(I²C経由)、またはデバイス全体がリセットされた場合(RESET $\overline{\text{P}}$ ピン使用)、ADV7183Bはパワーダウン状態から抜け出します。

なお、PWRDNビットでADV7183Bをパワーダウンさせるには、PDBPを1に設定する必要があります。

PWRDNが0(デフォルト)のとき、チップは動作状態です。

PWRDNが1のとき、ADV7183Bはチップ全体がパワーダウンします。

ADCパワーダウン制御

ADV7183Bには、3個の10ビットADC (ADC 0、ADC 1、ADC 2)が内蔵されています。必要に応じて、各ADCを個別にパワーダウンできます。

ADCをパワーダウンする必要がある時:

- CVBSモード:消費電力を節約するため、ADC 1とADC 2をパワーダウンします。
- Sビデオ・モード:消費電力を節約するため、ADC 2をパワーダウンします。

PWRDN_ADC_0、アドレス0x3A [3]

PWRDN_ADC_0が0(デフォルト)のとき、ADCは通常動作になります。PWRDN_ADC_0が1のとき、ADC 0はパワーダウンします。

PWRDN_ADC_1、アドレス0x3A [2]

PWRDN_ADC_1が0(デフォルト)のとき、ADCは通常動作になります。PWRDN_ADC_1が1のとき、ADC 1はパワーダウンします。

PWRDN_ADC_2、アドレス0x3A [1]

PWRDN_ADC_2が0(デフォルト)のとき、ADCは通常動作になります。PWRDN_ADC_2が1のとき、ADC 2はパワーダウンします。

リセット制御

チップ・リセット(RES)、アドレス0x0F [7]

このビットをセットすると、RESET $\overline{\text{P}}$ ピンと同じ機能を持ち、ADV7183Bチップ全体がリセットされます。すべてのI²Cレジスタがデフォルト値にリセットされます(リセット値が指定されていないレジスタ・ビットもあります。これらのビットは直前に書き込まれた値を保持します。レジスタの表ではリセット値をxで表示してあります)。リセット・シーケンス後、デバイスは直ちにビデオ信号の受信を開始します。

RESビットをセットした後(またはピンでリセットを開始後)、デバイスはプライマリ動作モードに関してデフォルトの動作モードに戻ります。すべてのI²Cビットにデフォルト値がロードされるため、このビットはクリアされます。

ソフトウェア・リセットの実行には約2msを要します。しかし、I²Cに対する書き込みは5ms待ってから行うことを推奨します。

チップ・リセットを実行すると、I²Cマスター・コントローラは9番目のクロック・サイクルでノー・アクノレッジ状態を受信します。「MPUポートの説明」の項を参照してください。

RESが0(デフォルト値)のとき、通常動作になります。

RESが1のとき、リセット・シーケンスを開始します。

ADV7183B

グローバル・ピンの制御

スリーステート出力ドライバ

TOD、アドレス0x03 [6]

このビットは、ADV7183Bの出力ドライバをスリーステートにすることができます。

TODビットをセットすると、P15～P0、HS、VS、FIELD、SFLの各ピンはスリーステートになります。

タイミング・ピン(HS/VS/FIELD)は、TIM_OEビットで強制的にアクティブにできます。スリーステート制御の詳細は、「スリーステートLLCドライバ」と「タイミング信号出力イネーブル」の項を参照してください。

個々の駆動強度の制御は、DR_STR_XXビットを使って行います。

ADV7183Bは専用ピンでスリーステートをサポートしています。ハイレベルに設定すると、 $\overline{OE}$ ピンはP15～P0、HS、VS、FIELD、SFLの出力ドライバをスリーステートにします。TODビットまたは $\overline{OE}$ ピンがハイレベルに設定されると、出力ドライバはスリーステートになります。

TOD が0(デフォルト値)のとき、出力ドライバはイネーブルになります。

TOD が1のとき、出力ドライバはスリーステートになります。

スリーステートLLCドライバ

TRI_LLC、アドレス0x1D [7]

このビットにより、ADV7183BのLLC1ピンとLLC2ピンの出力ドライバがスリーステートになります。スリーステート制御の詳細は、「スリーステート出力ドライバ」と「タイミング信号出力イネーブル」の項を参照してください。

個々の駆動強度の制御は、DR_STR_XXビットを使って行います。

TRI_LLCが0(デフォルト値)のとき、LLCピンのドライバはDR_STR_C [1:0]の設定に従って動作します(ピン・イネーブル時)。

TRI_LLCが1のとき、LLCピン・ドライバはスリーステートになります。

タイミング信号出力イネーブル

TIM_OE、アドレス0x04 [3]

TIM_OEビットは、TODビットに対する追加ビットとみなすことができます。ハイレベルに設定すると、TODビットがセットされている場合でも、HS、VS、FIELDの出力ドライバは強制的にアクティブ状態(すなわち駆動状態)になります。ローレベルに設定されると、TODビットに応じて、HS、VS、FIELDの各ピンはスリーステートになります。デコーダをタイミング・ジェネレータとしてのみ使用する場合には、この機能が便利です。このようなケースとしては、受信信号からタイミング信号だけを抽出する場合、またはデバイスがフリーラン・モードになり、別のチップがたとえば会社のロゴなどを出力できるようになった場合があります。

スリーステート制御の詳細は、「スリーステート出力ドライバ」と「スリーステートLLCドライバ」の項を参照してください。

個々の駆動強度の制御は、DR_STR_XXビットを使って行います。

TIM_OEが 0(デフォルト値)のとき、HS、VS、FIELDはTODビットに応じてスリーステートになります。

TIM_OEが 1のとき、HS、VS、FIELDは常時アクティブになります。

駆動強度選択(データ)

DR_STR[1:0]、アドレス0xF4 [5:4]

出力ドライバの駆動強度は、EMCとクロストークのために調節したほうがよい場合があります。DR_STR[1:0]ビットは、P[15:0]出力ドライバを調節します。

スリーステート制御の詳細は、「駆動強度選択(クロック)」と「駆動強度選択(同期)」の項を参照してください。

表11. DR_STRの機能

DR_STR [1:0]	説明
00	駆動強度: 低(1×)
01(デフォルト値)	駆動強度: 中低(2×)
10	駆動強度: 中高(3×)
11	駆動強度: 高(4×)

駆動強度選択 (クロック)

DR_STR_C[1:0]、アドレス0xF4 [3:2]

DR_STR_C[1:0]ビットにより、クロック信号出力ドライバ(LLCピン)の強度を選択できます。詳細は、「駆動強度選択(同期)」と「駆動強度選択(データ)」の項を参照してください。

表12. DR_STR_Cの機能

DR_STR_C[1:0]	説明
00	駆動強度: 低 (1×)
01 (デフォルト値)	駆動強度: 中低 (2×)
10	駆動強度: 中高 (3×)
11	駆動強度: 高 (4×)

駆動強度選択(同期)

DR_STR_S[1:0]、アドレス0xF4 [1:0]

DR_STR_S[1:0]ビットにより、HS、VS、Fを駆動する同期信号の強度を選択します。詳細は、「駆動強度選択(クロック)」と「駆動強度選択(データ)」の項を参照してください。

表13. DR_STR_Sの機能

DR_STR_S[1:0]	説明
00	駆動強度: 低 (1×)
01 (デフォルト値)	駆動強度: 中低 (2×)
10	駆動強度: 中高 (3×)
11	駆動強度: 高 (4×)

イネーブル・サブキャリア周波数ロック・ピン

EN_SFL_PIN、アドレス0x04 [1]

EN_SFL_PINビットは、デコーダの後ろにエンコーダを接続(または、エンコーダの後ろにデコーダを接続)する場合に、ADV7183Bからエンコーダに対するサブキャリア・ロック情報(GenLockともいう)の出力をイネーブルにします。

EN_SFL_PINが0(デフォルト値)のとき、サブキャリア周波数ロック出力はディスエーブルになります。

EN_SFL_PIN が1のとき、サブキャリア周波数ロック情報はSFLピンに出力されます。

極性LLCピン

PCLK、アドレス0x37 [0]

PCLKビットにより、ADV7183BのLLC1ピンとLLC2ピンから出力されるクロックの極性を反転できます。

LLCクロック出力の極性は、後段チップのセットアップ時間よびホールド時間に合わせて変更を必要とする場合があります。

このビットはLLC2クロックの極性も反転します。

PCLKが0のとき、LLC出力極性は反転します。

PCLKが1(デフォルト値)のとき、LLC出力極性は(タイミング図に書いてある通り)通常のままです。

ADV7183B

グローバル・ステータス・レジスタ

ビデオ・デコーダの情報を提供するレジスタは4個あります。IDENTレジスタは、ADV7183Bのリビジョン・コードを識別します。他の3個のレジスタにはIC動作に関するステータス・ビットが格納されます。

識別

IDENT[7:0]、アドレス0x11 [7:0]

このレジスタはADV7183Bのリビジョンを識別します。

0x11はADV7183のリリース時の識別番号を表します。

0x13はADV7183Bの識別番号を表します。

STATUS 1

STATUS_1[7:0]、アドレス0x10 [7:0]

この読出し専用レジスタは、ADV7183Bの内部ステータスの情報を提供します。

タイミング情報については、CIL[2:0] (カウント・イントゥ・ロック)、アドレス0x51 [2:0]、およびCOL[2:0] (カウント・アウト・オブ・ロック)、アドレス0x51[5:3]を参照してください。

表15. STATUS 1の機能

STATUS 1 [7:0]	ビット名	説明
0	IN_LOCK	ロック中 (現在)
1	LOST_LOCK	ロック喪失 (このレジスタの最後の読出し以降)
2	FSC_LOCK	Fscロック中 (現在)
3	FOLLOW_PW	ピーク・ホワイต์・アルゴリズムを考慮したAGC
4	AD_RESULT.0	自動検出結果
5	AD_RESULT.1	自動検出結果
6	AD_RESULT.2	自動検出結果
7	COL_KILL	カラーキルがアクティブ

STATUS 2

STATUS_2[7:0]、アドレス0x12 [7:0]

表16. STATUS 2の機能

STATUS 2 [7:0]	ビット名	説明
0	MVCS DET	Macrovisionカラー・ストライプを検出
1	MVCS T3	Macrovisionカラー・ストライプ保護。Type 3 (ハイレベルの場合)とType 2(ローレベルの場合)に準拠
2	MV_PS DET	Macrovision擬似同期パルスを検出
3	MV_AGC DET	Macrovision AGCパルスを検出
4	LL_NSTD	ライン長が非標準
5	FSC_NSTD	Fsc周波数が非標準
6	予備	
7	予備	

Status[0]ビットとStatus[1]ビットは、FSCLEビットの設定に応じて、水平タイミング情報のみか、または水平タイミングとカラー・サブキャリアのロック・ステータスをベースにします。FSCLE (Fscロック・イネーブル)、アドレス0x51[7]を参照してください。

自動検出結果

AD_RESULT[2:0]、アドレス0x10 [6:4]

AD_RESULT[2:0]ビットは、自動検出ブロックの結果を報告します。自動検出ブロックのイネーブルについては「全体的なセットアップ」を、設定方法については「SDモードの自動検出」を参照してください。

表14. AD_RESULTの機能

AD_RESULT[2:0]	説明
000	NTSM-MJ
001	NTSC-443
010	PAL-M
011	PAL-60
100	PAL-BGHID
101	SECAM
110	PAL-Combination N
111	SECAM 525

STATUS 3

STATUS_3[7:0]、アドレス0x13[7:0]

表17. STATUS 3の機能

STATUS 3 [7:0]	ビット名	説明
0	INST_HLOCK	水平ロック表示 (瞬時)
1	GEMD	Gemstarデータ検出
2	SD_OP_50HZ	出力に現れる50Hzか60Hzのフラグ
3		予備
4	FREE_RUN_ACT	ブルー・スクリーンを出力 (「DEF_VAL_AUTO_EN」を参照)
5	STD_FLD_LEN	フィールド長が現在選択中のビデオ標準に一致
6	INTERLACED	インターレース・ビデオを検出 (フィールド・シーケンスを検出)
7	PAL_SW_LOCK	スウィング・バーストの確実なシーケンスを検出

SDP(標準ビデオ信号処理プロセッサ)

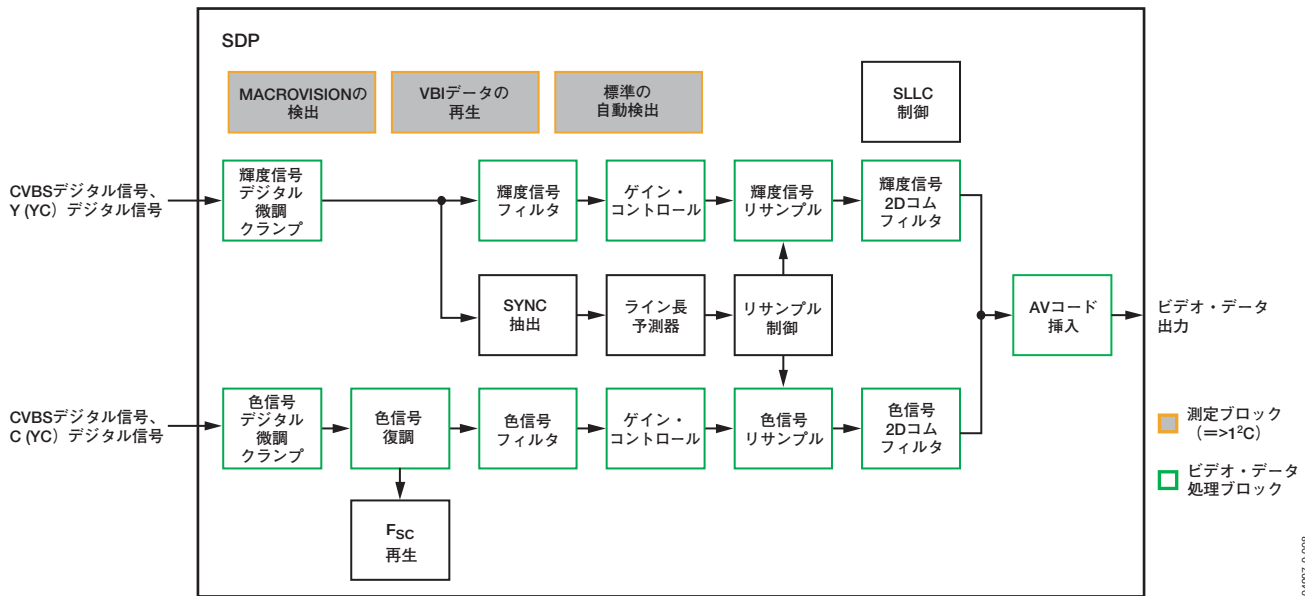


図8. SDPのブロック図

ADV7183BのSDPのブロック図を図8に示します。

SDPブロックは、CVBS、YC、YPbPrの各フォーマットの標準ビデオを処理できます。ブロックは輝度信号パスと色信号パスに分割できます。入力ビデオがコンポジット・タイプ(CVBS)の場合、CVBS入力は両方の処理パスに渡されます。

輝度信号パス

入力信号は次のブロックで処理されます。

- デジタル微調クランプ: このブロックは高精度アルゴリズムを使用して、ビデオ信号をクランプします。
- 輝度信号フィルタ・ブロック: このブロックには、固定応答を持つ輝度信号デシメーション・フィルタ(YAA)と、選択可能な応答を持つ複数のシェイピング・フィルタ(YSH)が含まれています。
- 輝度ゲイン・コントロール: 自動ゲイン・コントロール(AGC)は、水平同期パルスの深さに基づくゲイン、ピーク・ホワイト・モード、固定マニュアル・ゲインなど、さまざまなモードで動作できます。
- 輝度信号リサンプリング: ライン長誤差やダイナミック・ライン長変化を修正するため、データをデジタル的にリサンプリングします。
- 輝度信号2Dコム: 2次元コムフィルタによりYC分離を行います。
- AVコード挿入: この時点で、デコードされた輝度(Y)信号と色信号値が統合されます。AVコード(ITU-R BT.656準拠)を挿入できます。

色信号パス

入力信号は次のブロックで処理されます。

- デジタル微調クランプ: このブロックは高精度アルゴリズムを使用して、ビデオ信号をクランプします。
- 色信号復調: このブロックは、カラー・サブキャリア(Fsc)再生ユニットを使用し、任意の色信号変調方式でカラー・サブキャリアを再発生します。次に、PALとNTSCに対してはAM復調を、SECAMに対してはFM復調を行います。
- 色信号フィルタ・ブロック: このブロックには、固定応答を持つ色信号デシメーション・フィルタ(CAA)と、選択可能な応答を持つ複数のシェイピング・フィルタ(CSH)が含まれています。
- ゲイン・コントロール: 自動ゲイン・コントロール(AGC)は、カラー・サブキャリアの振幅に基づくゲイン、輝度信号チャンネルの水平同期パルスの深さに基づくゲイン、または固定マニュアル・ゲインなど、さまざまなモードで動作できます。
- 色信号リサンプリング: 色信号データは輝度信号データと位置がぴったり合うように、デジタル的にリサンプリングされます。リサンプリングは、受信ビデオ信号のスタティック・ライン長エラーとダイナミック・ライン長誤差を修正するために行われます。
- 色信号2Dコムフィルタ: 2次元5ラインのスーパーアダプティブ・コムフィルタは、入力信号がCVBSの場合に高品質のYC分離を行います。
- AVコード挿入: この時点で、復調された色信号(CrとCb)と輝度値が統合されます。AVコード(ITU-R BT.656準拠)を挿入できます。

同期処理

ADV7183Bは、ビデオ・データ・ストリームに埋めこまれた同期信号を取り出します。現在、外部HS/VS入力には対応していません。同期抽出機能は、不完全なビデオ信号源（たとえば、ヘッド切替えのビデオカセット・レコーダ）にも対応できるように最適化されています。使用している実際のアルゴリズムでは、スレッシュールド交差に基づく粗い検出と、それに続くアダプティブ・インターポレーション・アルゴリズムを使用した密な検出を採用しています。原同期情報は、ライン長計測および予測ブロックに送られます。このブロックの出力はデジタル・リサンプリング・ブロックに入力され、ADV7183Bが確実に1ライン当たり720個のアクティブ・ピクセルを出力するようにします。

また、ADV7183Bの同期処理には、デジタル化されたアナログ・ビデオから原同期情報を取り出し、そのフィルタリングおよびコンデショニングを行う、2つの特別なポスト・プロセッシング・ブロックが含まれています。

- **VSYNCプロセッサ**：このブロックは、検出されたVSYNCをさらにフィルタリングして垂直ロック機能を改善します。
- **HSYNCプロセッサ**：HSYNCプロセッサは、ノイズで壊れた入力HSYNCをフィルタリングするように設計されているため、タイム・ベースは安定していてもS/N比が悪いビデオ信号の性能をさらに改善します。

VBIデータの再生

ADV7183Bは、入力ビデオから次の情報を取り出します。

- ワイド・スクリーン・シグナリング (WSS)
- コピー・ジェネレーション・マネジメント・システム (CGMS)
- クローズド・キャプション (CC)
- Macrovision保護の有無
- EDTVデータ
- Gemstar互換データのスライシング

また、ADV7183Bは受信するビデオ標準について、自動的に次の検出が行えます。

- カラー・サブキャリア周波数
- フィールド・レート
- ライン・レート

さらに、PAL-BGHID、PAL-M/N、PALコンビネーションN、NTSC-M、NTSC-J、SECAM 50Hz/60Hz、NTSC4.43、PAL60に対応するように構成できます。

全体的なセットアップ

ビデオ標準の選択

VID_SEL[3:0]ビットにより、デジタル・コアを特定のビデオ標準用に強制的に設定できます。通常は、この機能は必要ありません。VID_SEL[3:0]ビットは、デフォルトでPAL、NTSC、SECAM、およびこれらの派生に対応する自動検出モードに設定されています。自動検出システムについては、次の項を参照してください。

自動検出

自動検出システムを制御するため、サポートしているビデオ標準ごとに個別のイネーブル・ビットが用意されています。該当するビットを0に設定すると、その標準の自動検出が停止され、代わりにシステムはイネーブルになっている標準の中で最も近いものを選択します。自動検出結果は、ステータス・レジスタから読み出すことができます。詳細は、「グローバル・ステータス・レジスタ」を参照してください。

VID_SEL[3:0]、アドレス0x00 [7:4]

表18. VID_SELの機能

VID_SEL	説明
0000 (デフォルト値)	自動検出 (PAL BGHID) <→> NTSC J (ペDESTALなし)、SECAM
0001	自動検出 (PAL BGHID) <→> NTSC M (ペDESTAL)、SECAM
0010	自動検出 (PAL N) (ペDESTAL) <→> NTSC J (ペDESTALなし)、SECAM
0011	自動検出 (PAL N) (ペDESTAL) <→> NTSC M (ペDESTAL)、SECAM
0100	NTSC J (1)
0101	NTSC M (1)
0110	PAL 60
0111	NTSC 4.43 (1)
1000	PAL BGHID
1001	PAL N (=PAL BGHID (ペDESTALあり))
1010	PAL M (ペDESTALなし)
1011	PAL M
1100	PALコンビネーションN
1101	PALコンビネーションN (ペDESTALあり)
1110	SECAM
1111	SECAM (ペDESTALあり)

AD_SEC525_EN (SECAM 525ライン・ビデオの自動検出イネーブル)、アドレス0x07 [7]

AD_SEC525_ENを0 (デフォルト値) に設定すると、SECAM型FM変調カラー・コンポーネントを持つ525ライン・システムの自動検出がディスエーブルになります。

AD_SEC525_EN を1に設定すると、検出がイネーブルになります。

ADV7183B

AD_SECAM_EN (SECAMの自動検出イネーブル)、アドレス0x07 [6]
AD_SECAM_ENを0に設定すると、SECAMの自動検出がディセーブルになります。
AD_SECAM_ENを1(デフォルト値)に設定すると 検出がイネーブルになります。

AD_N443_EN (NTSC 443の自動検出イネーブル)、アドレス0x07 [5]
AD_N443_EN を0に設定すると、4.43MHzカラー・サブキャリアを持つNTSCシステムの自動検出がディセーブルになります。
AD_N443_EN を1(デフォルト値)に設定すると、検出がイネーブルになります。

AD_P60_EN (PAL60の自動検出イネーブル)、アドレス0x07 [4]
AD_P60_EN を0に設定すると、60Hzのフィールド・レートを持つPALシステムの自動検出がディセーブルになります。
AD_P60_EN を1(デフォルト値)に設定すると、検出がイネーブルになります。

AD_PALN_EN (PAL Nの自動検出イネーブル)、アドレス0x07 [3]
AD_PALN_ENを0に設定すると、PAL N標準の検出がディセーブルになります。
AD_PALN_ENを1(デフォルト値)に設定すると、検出がイネーブルになります。

AD_PALM_EN (PAL Mの自動検出イネーブル)、アドレス0x07 [2]
AD_PALM_ENを0に設定すると、PAL Mの自動検出がディセーブルになります。
AD_PALM_ENを1(デフォルト値)に設定すると、検出がイネーブルになります。

AD_NTSC_EN (NTSCの自動検出イネーブル)、アドレス0x07 [1]
AD_NTSC_ENを0に設定すると、標準NTSCの検出がディセーブルになります。
AD_NTSC_ENを1(デフォルト値)に設定すると、検出がイネーブルになります。

AD_PAL_EN (PALの自動検出イネーブル)、アドレス0x07 [0]
AD_PAL_ENを0に設定すると、標準PALの検出がディセーブルになります。
AD_PAL_ENを1(デフォルト値)に設定すると、検出がイネーブルになります。

SFL_INV (サブキャリア周波数ロックの反転)

このビットは、SFL (GenLock Telegram) データ・ストリーム内のPALスイッチ・ビットの動作を制御します。ビデオ・エンコーダとの互換性の問題を解消するためにあり、次の2つの問題を解消します。

1. PALスイッチ・ビットはPALでのみ意味を持ちます。エンコーダによっては(アナログ・デバイセズのエンコーダも含む)、NTSCでのこのビットの状態を見るものもあります。
2. アナログ・デバイセズのエンコーダADV717x~ADV719xで設計上の変更がありました。旧バージョンではSFL (GenLock Telegram) ビットをそのまま使用しましたが、新バージョンでは使用する前にビットを反転します。この理由は、反転によってSFL (GenLock Telegram) 転送の1ライン遅延を補償するためです。

結果として、ADV717xエンコーダでは、NTSCを動作させるためSFL (GenLock Telegram) 内のPALスイッチ・ビットを1にする必要があります。ADV7190/ADV7191/ADV7194エンコーダでは、NTSCで動作するためにSFL内のPALスイッチ・ビットを0にする必要があります。

PALスイッチ・ビットの状態が正しくないと、180°の位相シフトが発生します。

デコーダとエンコーダを隣り合わせて接続するシステム(SFLを使用)では、使用する特定のエンコーダに合わせてこのビットを設定する必要があります。

SFL_INV、アドレス0x41 [6]

SFL_INVを0に設定すると、SFLはADV7190/ADV7191/ADV7194エンコーダと互換性があります。

SFL_INVを1(デフォルト値)に設定すると、SFLはADV717x/ADV7173xエンコーダと互換性があります。

ロック関連の制御

ロック情報は、STATUS 1レジスタのビット[1:0]に表示されます。「STATUS_1[7:0]、アドレス0x10[7:0]」を参照してください。図9に、ロック・ステータス情報の発生方法を変更する際に使用可能な信号フローと制御の概要を示します。

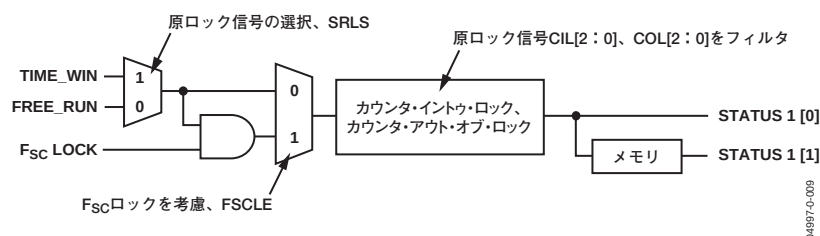


図9. ロック関連の信号パス

SRLS (原ロック信号の選択)、アドレス0x51 [6]

SRLSビットにより、次の2つの信号源のどちらでロック・ステータス (STATUS 1レジスタのビット[1:0])を決定するのか選択します。

- time_win信号は、受信ビデオの水平同期パルスのライン毎の評価に基づきます。非常に速く応答します。
- free_run信号は複数のフィールドについて受信ビデオの特性を評価し、垂直同期情報も考慮します。

SRLSを0(デフォルト値)に設定すると、free_run信号が選択されます。

SRLSを1に設定すると、time_win信号が選択されます。

FSCLE (Fscロック・イネーブル)、アドレス0x51 [7]

FSCLEビットにより、全体のロック・ステータスが決定され、STATUS 1レジスタのビット[1:0]に表示される際に、カラー・サブキャリア・ループのステータスを考慮するか否かを選択できます。信頼性の高いHLOCKステータス・ビットを発生させるために、YPrPbコンポーネント・モードのときは、このビットを0に設定する必要があります。

FSCLEを0に設定すると、全体ロック・ステータスが水平同期ロックのみに依存します。

FSCLEを1(デフォルト値)に設定すると、全体ロック・ステータスが水平同期ロックとFscロックに依存します。

CIL[2:0] (カウント・イントゥ・ロック)、アドレス0x51 [2:0]

CIL[2:0]は、システムがロック状態に切り替わる前のロック引込み状態の連続するライン数を決定し、これをSTATUS 0 [1:0]に報告します。ビデオ・ライン数で表します。

表19. CILの機能

CIL[2:0]	説明(ビデオ・ライン数)
000	1
001	2
010	5
011	10
100(デフォルト値)	100
101	500
110	1000
111	100000

COL[2:0] (カウント・アウト・オブ・ロック)、アドレス0x51 [5:3]

COL[2:0]は、システムがアンロック状態に切り替わる前のアンロック状態の連続するライン数を決定し、これをSTATUS 0 [1:0]に報告します。ビデオ・ライン数で表します。

表20. COLの機能

COL[2:0]	説明(ビデオ・ライン数)
000	1
001	2
010	5
011	10
100(デフォルト値)	100
101	500
110	1000
111	100000

カラー制御

これらのレジスタにより、ビデオ喪失時のアクティブ・データの制御など、画像表示を制御できます。カラー制御は、他の制御とは無関係に行われます。たとえば、明度制御はピクチャ・クランピングの制御から独立していますが、両方の制御とも信号のDCレベルに影響を与えます。

CON[7:0] (コントラスト調節)、アドレス0x08 [7:0]

このレジスタでピクチャのコントラストを調整できます。

表21. CONの機能

CON[7:0]	説明
0x80(デフォルト値)	輝度信号チャンネルのゲイン=1
0x00	輝度信号チャンネルのゲイン=0
0xFF	輝度信号チャンネルのゲイン=2

SD_SAT_Cb[7:0] (CbチャンネルのSD彩度)、アドレス0xE3 [7:0]

このレジスタにより、Cbチャンネルのみのゲインを制御できます。ピクチャの彩度を調整できます。

表22. SD_SAT_Cbの機能

SD_SAT_Cb[7:0]	説明
0x80(デフォルト値)	Cbチャンネルのゲイン=0dB
0x00	Cbチャンネルのゲイン=-42dB
0xFF	Cbチャンネルのゲイン=+6dB

ADV7183B

SD_SAT_Cr[7:0] (CrチャンネルのSD彩度)、アドレス0xE4 [7:0]

このレジスタにより、Crチャンネルのみのゲインを制御できます。ピクチャの彩度を調整できます。

表23. SD_SAT_Crの機能

SD_SAT_Cr[7:0]	説明
0x80 (デフォルト値)	Crチャンネルのゲイン=0dB
0x00	Crチャンネルのゲイン=-42dB
0xFF	Crチャンネルのゲイン=+6dB

SD_OFF_Cb[7:0] (CbチャンネルのSDオフセット)、アドレス0xE1 [7:0]

このレジスタにより、Cbチャンネルのデータに限りオフセットを選択し、ピクチャの色相を調整できます。HUE [7:0]レジスタと重複する機能があります。

表24. SD_OFF_Cbの機能

SD_OFF_Cb[7:0]	説明
0x80 (デフォルト値)	Cbチャンネルに0Vのオフセットを印加
0x00	Cbチャンネルに-312mVのオフセットを印加
0xFF	Cbチャンネルに+312mVのオフセットを印加

SD_OFF_Cr[7:0] (CrチャンネルのSDオフセット)、アドレス0xE2 [7:0]

このレジスタにより、Crチャンネルのデータに限りオフセットを選択し、ピクチャの色相を調整できます。HUE [7:0]レジスタと重複する機能があります。

表25. SD_OFF_Crの機能

SD_OFF_Cr[7:0]	説明
0x80 (デフォルト値)	Crチャンネルに0Vのオフセットを印加
0x00	Crチャンネルに-312mVのオフセットを印加
0xFF	Crチャンネルに+312mVのオフセットを印加

BRI[7:0] (明度調節)、アドレス0x0A [7:0]

このレジスタにより、ビデオ信号の明度を制御します。ピクチャの明度を調節できます。

表26. BRIの機能

BRI[7:0]	説明
0x00 (デフォルト値)	輝度信号チャンネルのオフセット=0IRE
0x7F	輝度信号チャンネルのオフセット=100IRE
0xFF	輝度信号チャンネルのオフセット=-100IRE

HUE[7:0] (色相調節)、アドレス0x0B [7:0]

このレジスタは、色相調整値を格納します。ピクチャの色相を調整できます。

HUE[7:0]は±90°の範囲を持ち、0x00は0°の調整に該当します。HUE[7:0]の分解能は1ビット=0.7°です。

色相調整値は、AMカラー復調ブロックに渡されます。したがって、AM変調されたキャリア形式 (CVBSまたは、PALもしくはNTSCのY/C) で色信号情報を持つビデオ信号に対してのみ使用されます。SECAMに対しては無効で、コンポーネント・ビデオ入力 (YPrPb) に対しては動作しません。

表27. HUEの機能

HUE[7:0]	説明
0x00 (デフォルト値)	色信号の位相=0°
0x7F	色信号の位相=-90°
0x80	色信号の位相=+90°

DEF_Y[5:0] (デフォルト値Y)、アドレス0x0C [7:2]

ADV7183Bが入力ビデオ信号のロックを失った場合、または入力信号がない場合、DEF_Y[5:0]ビットで、出力するデフォルトの輝度信号値を指定できます。この値は次の条件下で使用します。

- DEF_VAL_AUTO_ENビットがハイレベルに設定され、かつADV7183Bが入力ビデオ信号のロックを失った場合。これは自動モードとなっています。

- ビデオ・デコーダのロック状態とは無関係にDEF_VAL_ENビットがセットされたとき。これは設定時に使用すると便利な強制モードです。

DEF_Y[5:0]値は、出力ビデオの上位6ビットを指定します。残りの下位ビットには0が設定されます。たとえば、8ビット・モードでは、出力はY[7:0]={DEF_Y[5:0], 0, 0}となります。

DEF_Y[5:0]のデフォルト値は0x0D (ブルー) で、Yに対応します。

0x0Cレジスタのデフォルト値は0x36です。

DEF_C[7:0] (デフォルト値C)、アドレス0x0D [7:0]

DEF_C[7:0]レジスタは、DEF_Y [5:0]値を補足します。次の場合に、このレジスタは出力するCr値とCb値の上位4ビットを指定します。

- DEF_VAL_AUTO_ENビットがハイレベルに設定され、かつADV7183Bが入力ビデオ信号にロックできない場合 (自動モード)

- DEF_VAL_ENビットがハイレベルに設定されている場合 (強制出力)

ADV7183Bの色信号側に最終的に出力されるデータは、Cr[7:0]={DEF_C[7:4], 0, 0, 0, 0}, Cb[7:0]={DEF_C[3:0], 0, 0, 0, 0}になります。

DEF_C[7:0]のデフォルト値は0x7C (ブルー) で、CrとCbに対応します。

DEF_VAL_EN (デフォルト値のイネーブル)、アドレス0x0C [0]

このビットは、Y、Cr、Cbに対してデフォルト値の使用を強制します。詳細は、DEF_YとDEF_Cの説明を参照してください。また、デコーダはこのモードで安定した27MHzクロック、HS、VSも出力します。

DEF_VAL_ENを0(デフォルト値)に設定すると、デコーダがフリーラン・モードのとき、ユーザ設定のY、Cr、Cb値で決定されるカラー・スクリーンを出力します。フリーラン・モードのオン／オフは、DEF_VAL_EN DEF_VAL_AUTO_ENビットで行います。

DEF_VAL_ENを1に設定すると、ユーザ設定のY、Cr、Cb値で決定されるカラー・スクリーンを強制出力します。デコーダがロックされていても、ピクチャ・データが上書きされます。

DEF_VAL_AUTO_EN (デフォルト値の自動イネーブル)、アドレス0x0C [1]

このビットにより、ADV7183Bがビデオ信号にロックできない場合に、Y、Cr、Cbのデフォルト値を自動的に使用できるようにします。

DEF_VAL_AUTO_ENを0に設定すると、フリーラン・モードがディスエーブルになります。デコーダがアンロックの場合、ノイズを出力します。

DEF_VAL_AUTO_ENを1(デフォルト値)に設定すると、フリーラン・モードがイネーブルになります。デコーダがロックを失った場合に、ユーザ設定のY、Cr、Cb値により設定されるカラー・スクリーンが表示されます。

クランプ動作

入力ビデオはACカップリングでADV7183Bに入力されます。そのため、DC値を再生する必要があります。この処理はビデオのクランピングと呼ばれます。ここでは、ADV7183Bのクランピングの全体的な処理について説明し、その動作を設定するさまざまな方法を紹介します。

ADV7183Bでは、クランピングには、電流源とデジタル処理ブロックの組み合わせを使用しています(図10)。図のアナログ処理チャンネルは、IC内部の3箇所で使用されています。CVBS信号に対しては1信号チャンネルのみ(ADCも1個のみ)必要ですが、YC(S-VHS)形式の信号に対しては独立した2チャンネルが、コンポーネント信号(YPrPb)に対しては独立した3チャンネルが必要です。

クランピング機能は、次の2つの部分に分割できます。

- ADCの前で行うクランピング(アナログ領域)：電流源
- ADCの後で行うクランピング(デジタル領域)：デジタル処理ブロック

入力信号がADCの入力電圧範囲1.6V以内にある場合にのみ、ADCは入力信号をデジタル化できます。入力信号は、DCレベルが過大か過小の場合、ADC範囲の上限または下限にクリップされてしまいます。

アナログ・クランピング回路の主な機能は、A/D変換を可能にするために、ビデオ信号が有効なADC入力ウィンドウ内に留まるようにすることです。ビデオ信号がADCの範囲内に収まる限り、アナログ領域できわめて高度な精度で入力信号をクランプする必要はありません。

デジタル化した後、デジタル微調クランプ・ブロックが残りのDCレベルの変動を補正します。入力ビデオ信号のDCレベルは、送信されるピクチャの明度を直接基準とするため、高精度に微調クランプを行うことが重要です。そうしないと、明度の変動が発生します。さらに、DCレベルの動的変動は、ほとんどの場合好ましくないノイズになるので、防止する必要があります。

クランピング方式では、全く未知のDCレベルを持つビデオ信号が新しく接続されても入力できること、および通常動作時にDCレベルを維持できること、という2つの動作が不可欠です。

未知のビデオ信号の高速な入力に対しては、大電流クランプが使用されます(このポイントでのビデオ信号の振幅は公称値を仮定しています)。粗調電流クランプと微調電流クランプのパラメータ制御は、デコーダが自動的に行います。

標準ビデオ信号は大きなノイズを持っていることがあります。特に、地上放送で送信されてチューナで復調されるCVBS信号は、一般に非常に大きなレベルのノイズを持っています(>100mV)。このタイプのビデオ信号には、電圧クランプは適しません。代わりに、ADV7183Bでは4個の電流源セットを採用し、ビデオ信号が通過する高インピーダンス・ノードに、この4個の電流源から粗調電流(>0.5mA)と微調電流(<0.1mA)を流しています(図10参照)。

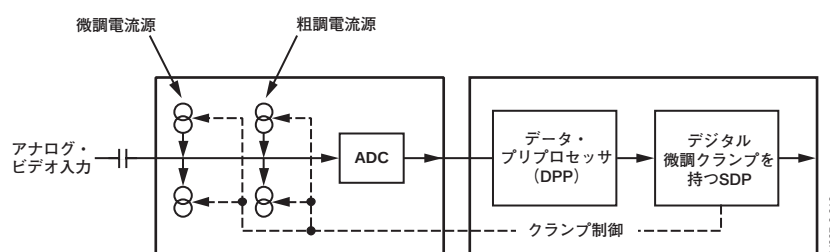


図10. クランピングの概要

ADV7183B

以下に、ADV7183Bのクランピング動作を変更する際に使用できるI²C信号について説明します。

ADV7183Bの前バージョンでは、粗調電流源 (fast)と微調電流源をオンにするクランプ長さの設定が制御可能でした (FACL/FICL、粗調および微調クランプ長)。しかし、ADV7183B-FTではこれらの制御がなくなり、代わりに、アダプティブ方式を採用しています。

CCLen (電流クランプ・イネーブル)、アドレス0x14 [4]

電流クランプ・イネーブル・ビットにより、アナログ・フロントエンドの電流源をすべてまとめてオフにすることができます。この機能は、受信アナログ・ビデオ信号を外部でクランプする場合に便利です。

CCLenが0のとき、電流源はオフになります。

CCLenが1 (デフォルト値) のとき、電流源はイネーブルになります。

DCT[1:0] (デジタル・クランプ・タイミング)、アドレス0x15 [6:5]

クランプ・タイミング・レジスタは、デジタル微調クランプ回路の時定数を決定します。デジタル微調クランプはアクティブ・ラインの残留DCレベル誤差を直ちに補正することになっているので、迅速に応答できることが重要です。デジタル微調クランプの時定数は、アナログ・ブロックの時定数よりはるかに高速でなければなりません。

デジタル微調クランプの時定数は、デフォルトで接続中の入力信号に合わせて動作させながら調整します。

表28. DCTの機能

DCT[1:0]	説明
00	低速 (TC=1秒)
01	中速 (TC=0.5秒)
10 (デフォルト値)	高速 (TC=0.1秒)
11	入力ビデオ・パラメータに応じて ADV7183Bが決定

DCFE (デジタル・クランプ・フリーズ・イネーブル)、アドレス0x15 [4]

このレジスタ・ビットにより、デジタル・クランプ・ループをいつでもフリーズできます。これは、ユーザ独自のクランピング機能を使いたい場合に使用します。該当するレジスタ・ビットでアナログ・クランピング用電流源をディセーブルにし、デジタル・クランプ・ループが安定するまで待った後、DCFEビットを使ってフリーズさせます。

DCFEが0 (デフォルト値) のとき、デジタル・クランプが動作します。

DCFEが1のとき、デジタル・クランプ・ループがフリーズします。

輝度信号フィルタ

デジタル微調クランプ・ブロックから出力されるデータは、次の3セットのフィルタを使って処理されます。このポイントでのデータ・フォーマットは、CVBS入力の場合はCVBS、Y/CおよびYPbPr入力フォーマットの場合のみ輝度信号です。

●輝度信号アンチエイリアス (折返し誤差防止) フィルタ (YAA) :
ADV7183Bのビデオ受信レートは27MHzです。4倍オーバーサンプルのビデオの場合、ADCサンプルは54MHzで、最初のデシメーションはDPPフィルタ内で実行されます。このため、SDPコアに入力されるデータレートは常に27MHzになります。ITU-R BT.601はサンプリング周波数13.5MHzを勧告しています。輝度信号アンチエイリアス・フィルタは、輝度信号を通過させると同時に、帯域外成分を減衰させる高品質なリニア位相のローパス・フィルタを使用して、オーバーサンプルしたビデオをデシメーションします。輝度信号アンチエイリアス・フィルタ (YAA) は固定の応答を持っています。

●輝度信号シェイピング・フィルタ (YSH) : このシェイピング・フィルタ・ブロックはプログラマブルなローパス・フィルタで、多様な応答を持っています。このフィルタを使用し、輝度ビデオ信号の帯域幅を選択的に減少させることができます (たとえば、スケーリングの前に必要)。高周波数ノイズを含むビデオ信号源に対しては、輝度信号の帯域幅を低減すると画質が改善されることがあります。ビデオ信号をローパス・フィルタ処理すると、後段のビデオ圧縮段での効果が大きくなります。

ADV7183Bでは、シェイピング・フィルタの応答として、高品質CVBS、コンポーネント、S-VHS型の信号源に適する応答と、非標準CVBS信号に適する応答の2種類を選択できます。

また、YSHフィルタ応答にはPAL用とNTSC用のノッチも含まれています。ただし、YC分離にはコムフィルタの使用を推奨します。

●デジタル・リサンプリング・フィルタ。このブロックでビデオ信号のダイナミック・リサンプリングを行い、ビデオ・ラインのタイム・ベースなどのパラメータを変更できます。基本的には、リサンブラはローパス・フィルタのセットで構成されます。実際の応答はシステムが選択するため、ユーザの介入は不要です。

図12~15に、すべてのフィルタを通過させた全体応答を示します。特に指定のない限り、フィルタは代表的な広帯域モードに設定されています。

Yシェイピング・フィルタ

CVBSフォーマットの入力信号に対して、輝度信号シェイピング・フィルタはコンポジット信号から色信号成分を除去するのに重要な役割を持ちます。YC分離ではクロストークの削減と同時に、可能な限り帯域幅(輝度信号成分は特に)を広く維持することが必要です。高品質なYC分離は、ADV7183Bの内蔵コムフィルタを使用することで実現できます。ただし、コムフィルタは、輝度信号成分(ビデオ・ライン・レートの倍数)とカラー・サブキャリア(Fsc)との間の周波数関係に依存しています。高品質のCVBS信号ではこの関係はよく知られており、コムフィルタ・アルゴリズムを使用して輝度信号と色信号を高い精度で分離できます。

非標準ビデオ信号の場合は、周波数関係が乱れるため、コムフィルタはシェイピング・フィルタ・ブロックの助けを借りないと、すべてのクロストーク・ノイズを最適な方法で除去できなくなります。

自動モードが用意されています。ここでは、ADV7183Bが入力ビデオ信号の品質を評価し、信号品質とビデオ標準に基づいてフィルタ応答を選択します。YFSM、WYSFMOVR、WYSFMを使用し、自動判定の一部または全部をマニュアルで上書きできます。

輝度信号シェイピング・フィルタには、次の3個のコントロール・レジスタがあります。

- YFSM[4:0]レジスタは、シェイピング・フィルタ・モード(全ビデオ信号に適用)のマニュアル選択または自動選択のイネーブル(ビデオ品質とビデオ標準に依存)が可能です。
- WYSFMOVRレジスタは、WYSFMの判定をマニュアルで上書きできます。
- WYSFM[4:0]レジスタは、高品質のCVBS、コンポーネント(YPrPb)、S-VHS(YC)の各入力信号に対して別のシェイピング・フィルタ・モードを選択できます。

自動モードでは、システムはYPrPb信号源とYC信号源(これらはコムフィルタ処理が不要)の輝度信号成分に対してはもちろん、高品質CVBS信号源(コムフィルタ処理済み)に対しても、最大限の帯域幅を維持します。通常品質に対しては、システムはノイズを削減するためにコムフィルタ動作を補完する当社独自のシェイピング・フィルタ応答から適切なフィルタ選択します。

コントロール・ロジックのフローチャートを図11に示します。

YFSM[4:0] (Yシェイピング・フィルタ・モード)、アドレス0x17 [4:0]

Yシェイピング・フィルタ・モード・ビットにより、広範なローパス・フィルタとノッチ・フィルタから選択できます。自動モードに切り替えると、他のレジスタ選択(たとえば、検出されたビデオ標準)や入力ビデオ自体から取り出した属性(たとえば、品質、タイム・ベースの安定性)に基づいてフィルタが選択されます。自動選択は、入力されたビデオに対して常に最大限可能な帯域幅を与えます。

YFSM設定でフィルタが指定されている場合(すなわち、YFSM が00000または00001以外の値に設定されている場合)、選択されたフィルタは品質とは無関係に全ビデオに適用されます。

自動選択モードでは、通常品質ビデオ信号にはノッチ・フィルタのみ使用されます。その他のすべてのビデオ信号には、広帯域フィルタが使用されます。

WYSFMOVR (広帯域Yシェイピング・フィルタ・モード上書き)、アドレス0x18 [7]

WYSFMOVRビットをセットすると、高品質ビデオ信号に対してWYSFM[4:0]を設定できます。詳細は、「Yシェイピング・フィルタ」の輝度信号シェイピング・フィルタの一般的な説明と図11のフローチャートを参照してください。

WYSFMOVRが0のとき、良品質ビデオ信号に対するシェイピング・フィルタを自動的に選択します。

WYSFMOVR を1(デフォルト値)に設定すると、WYSFM[4:0]でマニュアル上書きがイネーブルになります。

ADV7183B

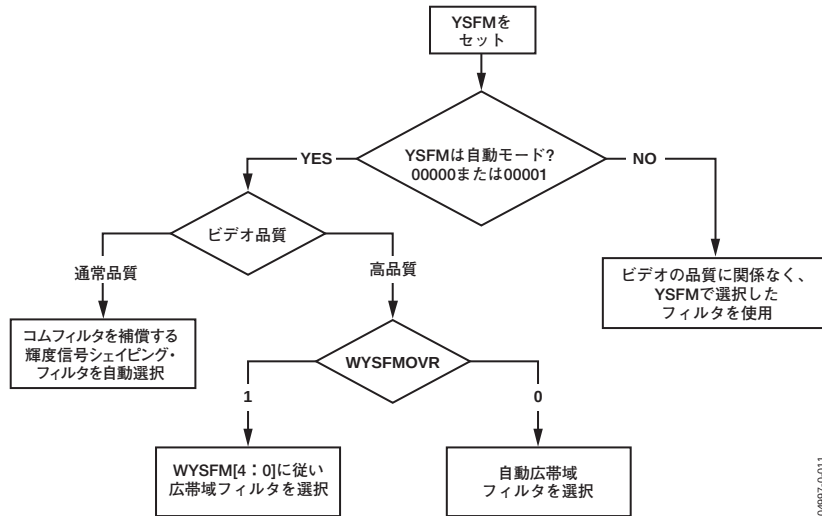


図11. YSFMとWYSFMの制御フローチャート

表29. YSFMの機能

YSFM[4:0]	説明
0'0000	広いノッチ応答 (PAL/NTSC/SECAM) を含む自動選択
0'0001 (デフォルト値)	狭いノッチ応答 (PAL/NTSC/SECAM) を含む自動選択
0'0010	SVHS 1
0'0011	SVHS 2
0'0100	SVHS 3
0'0101	SVHS 4
0'0110	SVHS 5
0'0111	SVHS 6
0'1000	SVHS 7
0'1001	SVHS 8
0'1010	SVHS 9
0'1011	SVHS 10
0'1100	SVHS 11
0'1101	SVHS 12
0'1110	SVHS 13
0'1111	SVHS 14
1'0000	SVHS 15
1'0001	SVHS 16
1'0010	SVHS 17
1'0011	SVHS 18 (CCIR 601)
1'0100	PAL NN 1
1'0101	PAL NN 2
1'0110	PAL NN 3
1'0111	PAL WN 1
1'1000	PAL WN 2
1'1001	NTSC NN 1
1'1010	NTSC NN 2
1'1011	NTSC NN 3
1'1100	NTSC WN 1
1'1101	NTSC WN 2
1'1110	NTSC WN 3
1'1111	予備

WYSFM[4:0] (広帯域Yシェイピング・フィルタ・モード)、アドレス0x18 [4:0]

WYSFM[4:0]ビットにより、高品質ビデオ信号 (たとえば、安定したタイム・ベースを持つCVBS、YPrPb輝度信号成分、YC輝度信号成分) に対してシェイピング・フィルタをマニュアルで選択できます。WYSFMOVRビットを1に設定している場合のみ、WYSFMビットがアクティブになります。「Yシェイピング・フィルタ」のシェイピング・フィルタ設定の一般的な説明を参照してください。

表30. WYSFMの機能

WYSFM[4:0]	説明
0'0000	使用不可
0'0001	使用不可
0'0010	SVHS 1
0'0011	SVHS 2
0'0100	SVHS 3
0'0101	SVHS 4
0'0110	SVHS 5
0'0111	SVHS 6
0'1000	SVHS 7
0'1001	SVHS 8
0'1010	SVHS 9
0'1011	SVHS 10
0'1100	SVHS 11
0'1101	SVHS 12
0'1110	SVHS 13
0'1111	SVHS 14
1'0000	SVHS 15
1'0001	SVHS 16
1'0010	SVHS 17
1'0011 (デフォルト値)	SVHS 18 (CCIR 601)
1'0100 ~ 1'1111	使用不可

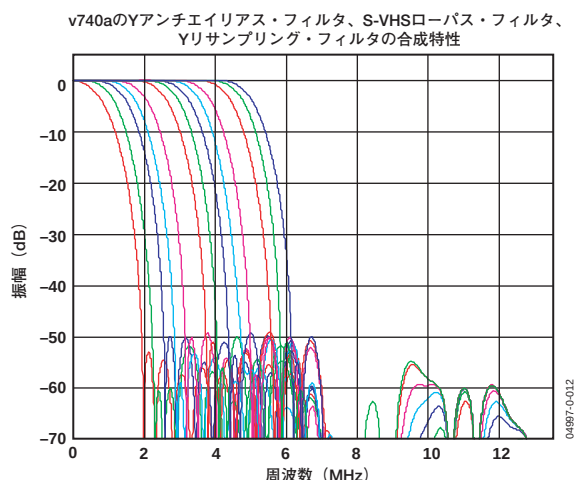


図12. Y S-VHSの合成応答

図12のフィルタ・プロットは、S-VHS 1(最小幅)～S-VHS 18(最大幅)のシェイピング・フィルタの設定を表わしています。図14に、PALノッチ・フィルタの応答を示します。NTSC互換ノッチ・フィルタの応答は図15に示します。

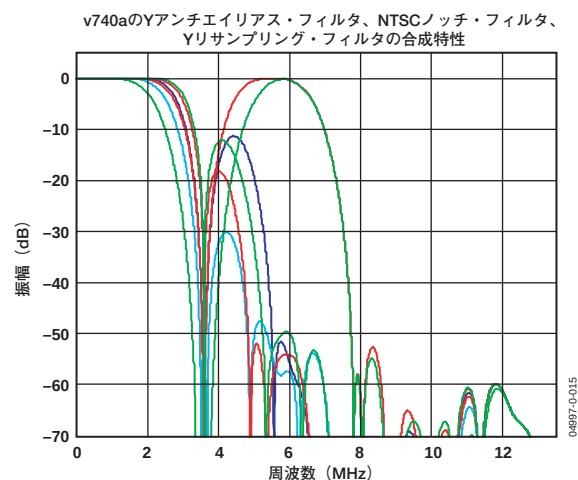


図15. Y S-VHS 18最広帯域フィルタ (601)

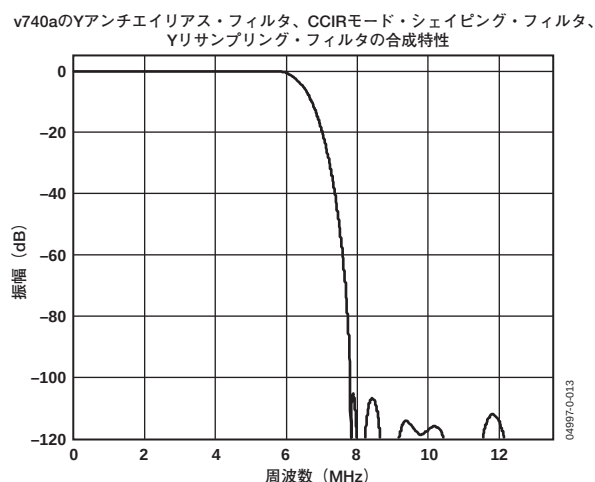


図13. Y S-VHS 18最広帯域フィルタ (CCIR 601準拠)

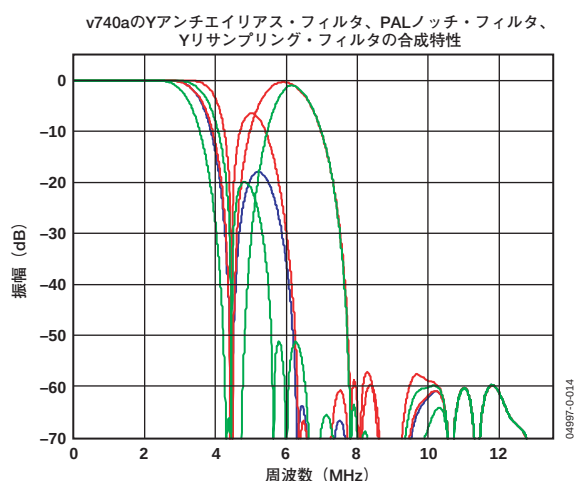


図14. Y S-VHS 18最広帯域フィルタ (CCIR 601準拠)

色信号フィルタ

デジタル微調クランプ・ブロックから出力されるデータは、次の3セットのフィルタで処理されます。このポイントでのデータ・フォーマットはCVBS入力の場合はCVBSで、Y/C、またはYPrPb入力フォーマットのU/Vインターリーブの場合のみ色信号です。

- 色信号アンチエイリアス・フィルタ(CAA)：ADV7183BはCVBSを2倍で、色信号/PrPbを4倍でオーバーサンプルします。デシメーション・フィルタ(CAA)を使用し、アクティブ・ビデオ帯域を維持し、帯域外成分を除去します。CAAフィルタは固定応答です。
- 色信号シェイピング・フィルタ(CSH)：シェイピング・フィルタ・ブロック(CSH)は、多様なローパス応答を実行するように設定できます。スケールリングまたは圧縮用に色信号の帯域幅を選択的に削減する際に使用できます。
- デジタル・リサンプリング・フィルタ：このブロックを使用しビデオ信号のダイナミック・リサンプリングを行い、ビデオ・ラインのタイム・ベースなどのパラメータを変更できます。リサンプリングは基本的にローパス・フィルタで構成されます。実際の応答はシステムが選択するため、ユーザの介入は不要です。

図16のプロットは、すべてのフィルタを通過させた全体応答を示します。

ADV7183B

CSFM[2:0] (Cシェイピング・フィルタ・モード)、アドレス0x17 [7]

Cシェイピング・フィルタ・モード・ビットを使用すると、色信号用に広範なローパス・フィルタから選択することができます。自動モードに切り替えると、ビデオ標準／フォーマットとユーザの選択に基づいて最も広いフィルタが選択されます(表31の000と001の設定を参照)。

表31. CSFMの機能

CSFM[2:0]	説明
000 (デフォルト値)	1.5MHz帯域幅を自動選択
001	2.17MHz帯域幅を自動選択
010	SH1
011	SH2
100	SH3
101	SH4
110	SH5
111	広帯域モード

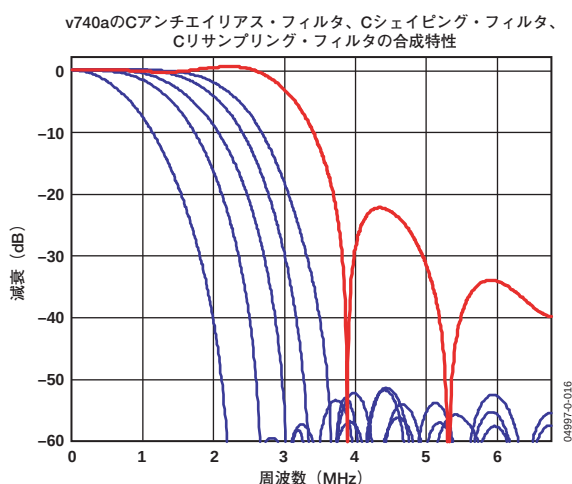


図16. 色信号シェイピング・フィルタの応答

図16に、SH1 (最小幅)～SH5 (最大幅)の応答と広帯域モードの応答(赤)を示します。

ゲイン動作

ADV7183B内のゲイン・コントロールは、純粋にデジタル的に実行されます。入力ADCは10ビットで、1.6Vのアナログ電圧範囲に対応します。ゲイン補正はデジタル化の後にデジタル乗算の形で実行されます。

ADCの前でPGA (プログラマブル・ゲイン・アンプ)を使う一般的な方法に対して、このアーキテクチャにはいくつかの利点があります。とりわけ、ゲインが電源、温度、プロセスの変動に全く依存しなくなることです。

図17に示すように、ADV7183Bはビデオ信号がADCの入力範囲内にある限りデコードできます。ビデオ信号は入力信号の振幅とDCレベルの2つ成分から構成されています。DCレベルはクランピング回路で設定されます(「クランプ動作」を参照)。

アナログ・ビデオ信号の振幅が大きすぎると、クリッピングが発生し、ノイズとして見えるようになります。ADCのアナログ入力範囲はクランプ・レベルとともに、対応するビデオ信号の最大振幅を決定します。

対応する入力ビデオ信号の最小振幅は、ADV7183Bの水平タイミングと垂直タイミングを再現する能力と、カラー・バースト(存在する場合)にロックする能力によって決定されます。

輝度信号データと色信号データそれぞれに1個ずつ、ゲイン・コントロール・ユニットがあります。どちらも互いに独立して動作します。ただし、色信号ユニットは輝度信号バスからゲイン値を取ることもできます。

複数のAGCモードを表32に示します。

自動ゲイン・コントロール・ループは、フリーズさせることができます。この機能は、ループに更新をフリーズさせます。ループのフリーズが解除されるか、またはゲイン動作モードが変更されるまで、フリーズ時点でAGCが決定したゲインがアクティブのままになります。

すべてのモードでアクティブ中のゲインをリードバックできます。「輝度信号ゲイン」および「色信号ゲイン」の項で扱った2つのマニュアル・ゲイン・レジスタ、すなわちLG[11:0] (輝度信号ゲイン)レジスタおよびCG[11:0] (色信号ゲイン)レジスタの説明を参照してください。

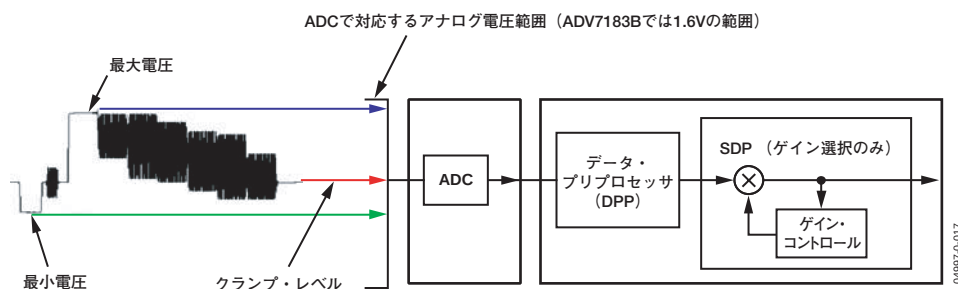


図17. ゲイン・コントロールの概要

表32. AGCモード

入力ビデオ・タイプ	輝度信号ゲイン	色信号ゲイン
任意	マニュアル・ゲイン輝度信号	マニュアル・ゲイン色信号
CVBS	水平同期の深さに依存	カラー・バーストの振幅に依存。輝度信号パスから取得
	ピーク・ホワイト	カラー・バーストの振幅に依存。輝度信号パスから取得
Y/C	水平同期の深さに依存	カラー・バーストの振幅に依存。輝度信号パスから取得
	ピーク・ホワイト	カラー・バーストの振幅に依存。輝度信号パスから取得
YPbPr	水平同期の深さに依存	輝度信号パスから取得

輝度信号ゲイン

LAGC[2:0] (輝度信号自動ゲイン・コントロール)、アドレス0x2C [6:4]
輝度信号自動ゲイン・コントロール・モード・ビットは、輝度信号パスでの
ゲイン・コントロールの動作モードを選択します。

ピーク・ホワイト・ゲイン・コントロールをカスタマイズする内部パラメータ
があります。詳細は、お問い合わせください。

表33. LAGCの機能

LAGC[2:0]	説明
000	マニュアル固定ゲイン (LMG[11:0]を使用)
001	AGC (ブランク・レベルから同期タイプ)。 ピーク・ホワイトによる上書きなし
010 (デフォルト値)	AGC (ブランク・レベルから同期タイプ)。 ピーク・ホワイトにより自動上書き
011	予備
100	予備
101	予備
110	予備
111	ゲイン・フリーズ

LAGT[1:0] (輝度信号自動ゲイン・タイミング)、アドレス0x2F [7:6]

輝度信号自動ゲイン・タイミング・レジスタを使用し、輝度信号自動ゲイン・
コントロールのトラッキング速度を変更できます。LAGC[2:0]レジス
タに001、010、011、または100が設定されている場合にのみ (自動ゲ
イン・コントロール・モード)、このレジスタが有効であることに注意してく
ださい。

ピーク・ホワイトAGCがイネーブルでアクティブの場合 (STATUS_1[7:
0]、アドレス0x10 [7:0]を参照)、実際のゲイン更新速度はピーク・ホ
ワイトAGCループによって決定されるため、このLAGT設定は無効になリ
ます。デバイスがピーク・ホワイトAGCから抜け出ると、直ちにLAGTゲ
インが有効になります。

ピーク・ホワイト・アルゴリズムの更新速度は、内部パラメータを使ってカ
スタマイズできます。詳細は、お問い合わせください。

表34. LAGTの機能

LAGT[1:0]	説明
00	低速 (TC=2秒)
01	中速 (TC=1秒)
10	高速 (TC=0.2秒)
11 (デフォルト値)	アダプティブ

LG[11:0] (輝度信号ゲイン)、アドレス0x2F [3:0]; アドレス0x30 [7:0]

LMG[11:0] (輝度信号マニュアル・ゲイン)、アドレス0x2F [3:0];

アドレス0x30 [7:0]

輝度信号ゲイン[11:0]レジスタには次の2つの機能があります。書込み
を行うと、必要なマニュアル輝度信号ゲインを設定できます。LAGC[2:
0]モードがマニュアル固定ゲインに切り替えられると、このゲインがアク
ティブになります。式1は必要なゲインの計算方法を示します。

リードバックを行うと、このレジスタは現在のゲイン値を返します。
LAGC[2:0]ビットの設定に応じて、次のどちらかの値になります。

- 輝度信号マニュアル・ゲイン値 (LAGC[2:0]を輝度信号マニュアル・
ゲイン・モードに設定)

- 輝度信号自動ゲイン値 (LAGC[2:0]をいずれかの自動モードに設定)

表35. LG/LMGの機能

LG[11:0]/ LMG[11:0]	読出し/ 書込み	説明
LMG[11:0]=X	書込み	輝度信号パスに対するマニュアル・ ゲイン
LG[11:0]	読出し	実際に使用されているゲイン

$$\text{輝度信号ゲイン} = \frac{(0 < LG \leq 4095)}{2048} = 0...2 \quad (1)$$

ADV7183B

たとえば、ADV7183Bを希望するゲイン＝0.89でマニュアル固定ゲイン・モードに設定します。

1. 式1を用いてゲインを変換します。
 $0.89 \times 2048 = 1822.72$
2. 整数値に丸めます。
 $1822.72 = 1822$
3. 16進に変換します。
 $1822_{10} = 0x71E$
4. 2個のレジスタに分けて、書き込みます。
輝度ゲイン・コントロール1 [3:0] = 0x7
輝度ゲイン・コントロール2 [7:0] = 0x1E
5. マニュアル固定ゲイン・モードをイネーブルにします。
LAGC[2:0]を000に設定

BETACAM (Betacamレベルのイネーブル)、アドレス0x01 [5]

YPrPbデータがADV7183Bを経由して接続される場合、表42に示すように、自動ゲイン・コントロール・モードは複数のビデオ入力レベルを対象とすることができます。入力モードがYPrPb (コンポーネント) の場合のみ、BETACAMビットが有効であることに注意してください。BETACAMビットはAGC動作の目標値を設定します。

以下を見直してください。

- コンポーネント・ビデオ (YPrPb) をADV7183B経由で接続する方法については、INSEL[3:0] (入力選択)、アドレス0x00 [3:0]。
- さまざまな標準 (たとえば、ペDESTALの有無) の選択については、ビデオ標準選択。

自動ゲイン・コントロール (AGC) アルゴリズムは、BETACAMビットの設定に基づいてレベルを調節します (表36)。

表36. BETACAMの機能

BETACAM	説明
0 (デフォルト値)	入力フォーマットとしてYPrPbの選択を想定 ペDESTALありPALを選択すると、MIIを選択 ペDESTALなしPALを選択すると、SMPTEを選択 ペDESTALありNTSCを選択すると、MIIを選択 ペDESTALなしNTSCを選択すると、SMPTEを選択
1	入力フォーマットとしてYPrPbの選択を想定 ペDESTALありPALを選択すると、BETACAMを選択 ペDESTALなしPALを選択すると、BETACAM派生を選択 ペDESTALありNTSCを選択すると、BETACAMを選択 ペDESTALなしNTSCを選択すると、BETACAM派生を選択

表39. Betacamレベル

名前	Betacam (mV)	Betacam派生 (mV)	SMPTE (mV)	MII (mV)
Yの範囲	0～714 (7.5%ペDESTALを含む)	0～714	0～700	0～700 (7.5%ペDESTALを含む)
PbとPrの範囲	－467～＋467	－505～＋505	－350～＋350	－324～＋324
同期の深さ	286	286	300	300

PW_UPD (ピーク・ホワイト更新)、アドレス0x2B [0]

ピーク・ホワイトと平均ビデオ・アルゴリズムは、アクティブ・ビデオの計測値に基づいてゲインを決定します。PW_UPDビットはゲイン変化レートを決定します。ピーク・ホワイト・モードまたは平均ビデオ・モードを最初にイネーブルにするには、LAGC[2:0]を該当するモードに設定する必要があります。詳細は、LAGC[2:0] (輝度信号自動ゲイン・コントロール)、アドレス0x30 [7:0]を参照してください。

PW_UPDを0に設定すると、ビデオ・ライン毎にゲインを更新します。

PW_UPDを1 (デフォルト値) に設定すると、フィールド毎にゲインを更新します。

色信号ゲイン

CAGC[1:0] (色信号自動ゲイン・コントロール)、アドレス0x2C [1:0]

カラー自動ゲイン・コントロール・モードのこの2ビットは、色信号パスでの自動ゲイン・コントロールの基本動作モードを選択します。

表37. CAGCの機能

CAGC[1:0]	説明
00	マニュアル固定ゲイン (CMG[11:0]を使用)
01	色信号に対して輝度信号ゲインを使用
10 (デフォルト値)	自動ゲイン (カラー・バーストに基づく)
11	色信号ゲインをフリーズ

CAGT[1:0] (色信号自動ゲイン・タイミング)、アドレス0x2D [7:6]

色信号自動ゲイン・タイミング・レジスタを使用し、色信号自動ゲイン・コントロールのトラッキング速度を変更することができます。CAGC[1:0]レジスタが10に設定されている場合にのみ (自動ゲイン)、このレジスタは有効となります。

表38. CAGTの機能

CAGT[1:0]	説明
00	低速 (TC＝2秒)
01	中速 (TC＝1秒)
10	高速 (TC＝0.2秒)
11 (デフォルト値)	アダプティブ

CG[11:0](色信号ゲイン)、アドレス0x2D [3:0]; アドレス0x2E [7:0]
CMG[11:0](色信号マニュアル・ゲイン)、アドレス0x2D [3:0];
アドレス0x2E [7:0]

色信号ゲイン[11:0]レジスタには次の2つの機能があります。書込みを行うと、必要なマニュアル色信号ゲインを設定できます。CAGC[1:0]モードがマニュアル固定ゲインに切り替えられると、このゲインがアクティブになります。希望するゲインの計算方法については、式2を参照してください。リードバックを行うと、このレジスタは現在のゲイン値を返します。CAGC[1:0]ビットの設定に応じて、次のいずれかの値になります。

- 色信号マニュアル・ゲイン値 (CAGC[1:0]を色信号マニュアル・ゲイン・モードに設定)

- 色信号自動ゲイン値 (CAGC[1:0]をいずれかの自動モードに設定)

表40. CG/CMGの機能

CG[11:0]/ CMG[11:0]	読出し/ 書込み	説明
CMG[11:0]	書込み	色信号パスに対するマニュアル・ゲイン
CG[11:0]	読出し	現在のゲイン

$$\text{色信号ゲイン} = \frac{(0 < CG \leq 4095)}{1024} = 0...4 \quad (2)$$

たとえば、自動ゲイン・ループをフリーズさせ、CG[11:0]レジスタを読み出すと、0x47Aの値が得られます。

1. リードバック値を10進に変換します。
0x47A=1146d
2. 式2を用いてリードバック値を変換します。
1146/1024=1.12

CKE(カラーキル・イネーブル)、アドレス0x2B [6]

カラーキル・イネーブル・ビットを使用し、オプションのカラーキル機能をオンまたはオフに切り替えることができます。

QAMベースのビデオ標準 (PALとNTSC) とFMベースのシステム (SECAM) の場合は、CKILLTHR[2:0]ビットによりカラーキル判定のスレッシュホールドを選択できます。

カラーキルがイネーブルになり、かつ連続する128のビデオ・ラインの間、入力ビデオ信号のカラー・キャリアがスレッシュホールドを下回る場合、カラー処理はオフに切り替えられます (白黒出力になります)。カラー処理をオンに戻すには、スレッシュホールドを超えるカラー・バーストを持つラインがさらに128連続する必要があります。

カラーキル・オプションは、変調された色信号を持つ入力信号に対してのみ有効です。コンポーネント入力 (YPrPb) に対しては、カラーキル機能はありません。

CKEを0に設定すると、カラーキルがデイスエーブルになります。

CKEを1 (デフォルト値) に設定すると、カラーキルがイネーブルになります。

CKILLTHR[2:0](カラーキル・スレッシュホールド)、アドレス0x3D [6:4]
CKILLTHR[2:0]ビットを使用し、カラーキル機能のスレッシュホールドを選択できます。このスレッシュホールドは、QAMベースの (NTSCとPAL) ビデオ標準またはFM変調された (SECAM) ビデオ標準に対してのみ適用されます。

カラーキル機能をイネーブルにするには、必ずCKEビットをセットします。000、001、010、011に設定すると、ADV7183B内の色信号復調は通常品質入力ビデオ信号に対して十分に動作しません。

表41. CKILLTHRの機能

CKILLTHR[2:0]	説明	
	SECAM	NTSC, PAL
000	カラーキルなし	0.5%未満でキル
001	5%未満でキル	1.5%未満でキル
010	7%未満でキル	2.5%未満でキル
011	8%未満でキル	4.0%未満でキル
100 (デフォルト値)	9.5%未満でキル	8.5%未満でキル
101	15%未満でキル	16.0%未満でキル
110	32%未満でキル	32.0%未満でキル
111	アナログ・デバイズ用の予備。選択不可。	

カラー・トランジェント・インプルーブメント (CTI)

色信号に割り当てられる信号帯域幅は一般に、輝度信号の帯域幅よりはるかに狭くなっています。人間の視覚は輝度に比べ色への反応が鈍いため、以前は、このように色信号を与えられた帯域内で用いることは有効な方法でした。

しかし、帯域幅が不均等であると、シャープなカラー遷移にノイズが現れるようになります。2本のカラー・バーの境界で、輝度信号と色信号の両成分が同時に変化します (図18)。輝度信号成分は帯域幅が広いいため、その遷移は一般に色信号成分の遷移よりシャープです。最悪の場合、カラー・エッジは数ピクセルにわたってぼやけてしまいます。

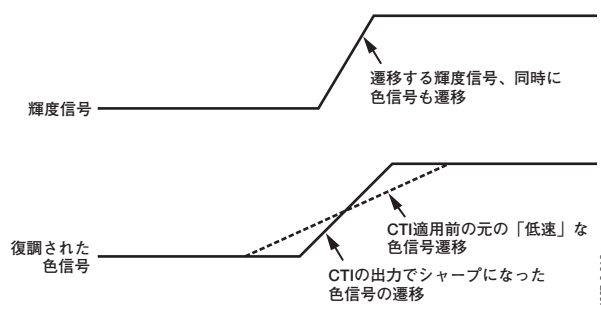


図18. CTI輝度信号／色信号の遷移

ADV7183B

カラー・トランジェント・インブルーメント・ブロックは入力ビデオ・データを調べ、色信号の遷移を検出します。さらに、失われたカラー帯域幅を回復するために、色信号エッジを「シャープにする」ように設定できます。ただし、CTIブロックは、ノイズも一緒に強調しないように一定のスレッシュホールドを超えるエッジに対してのみ動作します。また、エッジのリングングや不要な彩度歪みまたは色相歪みが発生しないように注意することもあります。

カラー・トランジェント・インブルーメントは、おもに色信号の帯域幅制限の影響が大きい信号に対して必要です。このタイプの信号に対しては、CTI_ENを使ってCTIブロックをイネーブルすることを強く推奨します。

CTI_EN (カラー・トランジェント・インブルーメント・イネーブル)、アドレス0x4D [0]

CTI_ENビットは、CTI機能をイネーブルにします。0に設定すると、CTIブロックが非アクティブになり、カラー・トランジェントはそのまま何の影響も受けません。

CTI_ENを0に設定すると、CTIブロックがディスエーブルになります。

CTI_ENを1 (デフォルト値) に設定すると、CTIブロックがイネーブルになります。

CTI_AB_EN (カラー・トランジェント・インブルーメント・アルファ・ブレンド・イネーブル)、アドレス0x4D [1]

CTI_AB_ENビットは、CTIブロック内のアルファ・ブレンド機能をイネーブルにします。1に設定すると、アルファ・ブレンダがトランジェント改善後の色信号を元信号とミックスします。アルファ・ブレンド機能のシャープさはCTI_AB[1:0]ビットを使って設定できます。

アルファ・ブレンダをアクティブにする場合、CTI_ENビットでCTIブロックをイネーブルにする必要があります。

CTI_AB_ENを0に設定すると、CTIアルファ・ブレンダがディスエーブルになります。

CTI_AB_ENを1 (デフォルト値) に設定すると、CTIアルファ・ブレンド・ミックス機能がイネーブルになります。

CTI_AB[1:0] (カラー・トランジェント・インブルーメント・アルファ・ブレンド)、アドレス0x4D [3:2]

CTI_AB[1:0]は、シャープ化した色信号を元信号とミックスするアルファ・ブレンド回路の動作を制御します。したがって、出力データでのCTIの視覚的効果を制御することになります。

CTI_AB[1:0]を有効にするには、CTI_ENビットでCTIブロックをイネーブルにし、さらにCTI_AB_ENでアルファ・ブレンダをオンにする必要があります。

シャープさをミックスすることにより、画像に対するCTI効果は最大になりますが、小振幅、高周波の色信号ノイズの視覚効果も大きくなります。

表42. CTI_ABの機能

CTI_AB[1:0]	説明
00	シャープ化した色信号と元の色信号をミックス。シャープ化効果最大
01	シャープさをミックス
10	スムーズさをミックス
11 (デフォルト値)	最もスムーズなアルファ・ブレンド機能

CTI_C_TH[7:0] (CTI色信号スレッシュホールド)、アドレス0x4E [7:0]

CTI_C_TH[7:0]値は符号なしの8ビット数値で、CTIブロックによるシャープ化において色信号遷移の振幅ステップの大きさを指定します。このレジスタに小さい値を設定すると、小さいエッジでもCTIブロックをシャープにします。CTI_C_TH[7:0]値を大きくすると、CTIブロックは大きい遷移のみ改善します。

CTI_C_TH[7:0]のデフォルト値は0x08で、CTI前の色信号エッジに対するスレッシュホールドを表します。

デジタル・ノイズ・リダクション(DNR)

デジタル・ノイズ・リダクションは「小さい振幅の高周波信号はノイズの可能性が高く、これを除去すると画質が改善される」という処理に基づいています。

DNR_EN (デジタル・ノイズ・リダクション・イネーブル)、アドレス0x4D [5]

DNR_ENビットは、DNRブロックをイネーブルにするか、またはバイパスを指定します。

DNR_ENを0に設定すると、DNRをバイパスします (ディスエーブル)。

DNR_ENを1 (デフォルト値) に設定すると、輝度信号データのデジタル・ノイズ・リダクションがイネーブルになります。

DNR_TH[7:0] (DNRノイズ・スレッシュホールド)、アドレス0x50 [7:0]

DNR_TH[7:0]値は符号なしの8ビット数値で、ノイズとみなされて輝度信号データから除去される最大エッジを決定する際に使われます。DNR_TH[7:0]の値を大きくすると、DNRブロックは大きな遷移でもノイズとみなし、除去します。そのため、ビデオ・データに対する効果はより顕著になります。

値を小さくすると、小さい遷移だけがノイズとみなされて除去されます。

DNR_TH[7:0]の設定値としてはA/V入力に対して0x04、チューナ入力に対して0x0Aを推奨します。

DNR_TH[7:0]のデフォルト値は0x08で、ノイズとみなされる輝度信号の最大エッジに対するスレッシュホールドを表します。

コムフィルタ(くし形フィルタ)

ADV7183Bのコムフィルタは、すべてのタイプ、標準、品質レベルのビデオを自動的に処理するように大幅に改善されています。NTSC設定レジスタとPAL設定レジスタを使用し、どちらのビデオ標準を検出するか(自動検出)または選択するか(マニュアル設定)に応じて、コムフィルタの動作をカスタマイズできます。ここに記載したビットのほかに、内部用のコントロール・ビットもあります。詳細は、お問い合わせください。

NTSCコムフィルタの設定

NTSC-M/J CVBS入力に使用します。

NSFSEL[1:0](スプリット・フィルタ選択NTSC)、アドレス0x19[3:2]

NSFSEL[1:0]コントロールは、信号の全帯域幅のうちどの程度の幅をコムフィルタに入力するかを選択します。狭帯域スプリット・フィルタを選択すると、斜めの線に対する性能が改善されますが、最終出力画像にドット・クロール(垂直方向の色信号の流れ)が多く残ります。広帯域スプリット・フィルタを選択すると、逆の結果になります。

表43. NSFSELの機能

NSFSEL[1:0]	説明
00(デフォルト値)	狭帯域
01	中帯域
10	中帯域
11	広帯域

CTAPSN[1:0](色信号コムタップNTSC)、アドレス0x38[7:6]

表44. CTAPSNの機能

CTAPSN[1:0]	説明
00	使用不可
01	NTSC色信号コムが3ライン(3タップ)を2ライン(2タップ)に適応させる
10(デフォルト値)	NTSC色信号コムが5ライン(5タップ)を3ライン(3タップ)に適応させる
11	NTSC色信号コムが5ライン(5タップ)を4ライン(4タップ)に適応させる

CCMN[2:0](色信号コムモードNTSC)、アドレス0x38[5:3]

表45. CCMNの機能

CCMN[2:0]	説明
0xx(デフォルト値)	アダプティブ・コムモード
100	色信号コムをディスエーブル
101	固定色信号コム(ライン・メモリの最上ライン)
110	固定色信号コム(ライン・メモリの全ライン)
111	固定色信号コム(ライン・メモリの最下ライン)

CTAPSN=01に対してアダプティブ3ライン色信号コム
CTAPSN=10に対してアダプティブ4ライン色信号コム
CTAPSN=11に対してアダプティブ5ライン色信号コム

CTAPSN=01に対して固定2ライン色信号コム
CTAPSN=10に対して固定3ライン色信号コム
CTAPSN=11に対して固定4ライン色信号コム
CTAPSN=01に対して固定3ライン色信号コム
CTAPSN=10に対して固定4ライン色信号コム
CTAPSN=11に対して固定5ライン色信号コム
CTAPSN=01に対して固定2ライン色信号コム
CTAPSN=10に対して固定3ライン色信号コム
CTAPSN=11に対して固定4ライン色信号コム

YCMN[2:0](輝度信号コムモードNTSC)、アドレス0x38[2:0]

表46. YCMNの機能

YCMN[2:0]	説明
0xx(デフォルト値)	アダプティブ・コムモード
100	輝度信号コムをディスエーブル
101	固定輝度信号コム(ライン・メモリの最上ライン)
110	固定輝度信号コム(ライン・メモリの全ライン)
111	固定輝度信号コム(ライン・メモリの最下ライン)

アダプティブ3ライン(3タップ)輝度信号コム
ローパス／ノッチ・フィルタを使用。「Yシェイピング・フィルタ」を参照。
固定2ライン(2タップ)輝度信号コム
固定3ライン(3タップ)輝度信号コム
固定2ライン(2タップ)輝度信号コム

ADV7183B

PALコムフィルタの設定

PAL-B/G/H/I/D、PAL-M、PALコンビネーションN、PAL-60、NTSC443 CVBS入力に使用します。

PSFSEL[1:0] (スプリット・フィルタ選択PAL)、アドレス0x19 [1:0]

PSFSEL[1:0]コントロールは、信号の全帯域幅のうちどの程度の幅をコムに入力するかを選択します。広帯域スプリット・フィルタを選択すると、ドット・クロールは除去されますが、斜めの線が不完全に見えます。狭帯域幅スプリット・フィルタを選択すると、逆の結果になります。

CTAPSP[1:0] (色信号コムタップPAL)、アドレス0x39 [7:6]

表48. CTAPSPの機能

CTAPSP[1:0]	説明
00	使用不可
01	PAL色信号コムが5ライン(3タップ)を3ライン(2タップ)に適応させる。輝度信号のみの混入を相殺。
10	PAL色信号コムが5ライン(5タップ)を3ライン(3タップ)に適応させる。輝度信号の混入を相殺し、色相誤差を少し改善。
11 (デフォルト値)	PAL色信号コムが5ライン(5タップ)を4ライン(4タップ)に適応させる。輝度信号の混入を相殺し、色相誤差を改善。

CCMP[2:0] (色信号コムモードPAL)、アドレス0x39 [5:3]

表49. CCMPの機能

CCMP[2:0]	説明	設定
0xx (デフォルト値)	アダプティブ・コムモード	CTAPSP=01に対してアダプティブ3ライン色信号コム CTAPSP=10に対してアダプティブ4ライン色信号コム CTAPSP=11に対してアダプティブ5ライン色信号コム
100	色信号コムをディスエーブル	
101	固定色信号コム(ライン・メモリの最上ライン)	CTAPSP=01に対して固定2ライン色信号コム CTAPSP=10に対して固定3ライン色信号コム CTAPSP=11に対して固定4ライン色信号コム
110	固定色信号コム(ライン・メモリの全ライン)	CTAPSP=01に対して固定3ライン色信号コム CTAPSP=10に対して固定4ライン色信号コム CTAPSP=11に対して固定5ライン色信号コム
111	固定色信号コム(ライン・メモリの最下ライン)	CTAPSP=01に対して固定2ライン色信号コム CTAPSP=10に対して固定3ライン色信号コム CTAPSP=11に対して固定4ライン色信号コム

YCMP[2:0] (色信号コムモードPAL)、アドレス0x39 [2:0]

表50. YCMPの機能

YCMP[2:0]	説明	設定
0xx (デフォルト値)	アダプティブ・コムモード	アダプティブ5ライン(3タップ)輝度信号コム
100	輝度信号コムをディスエーブル	ローパス／ノッチ・フィルタを使用 「Yシェイピング・フィルタ」を参照してください。
101	固定輝度信号コム(ライン・メモリの最上ライン)	固定3ライン(2タップ)輝度信号コム
110	固定輝度信号コム(ライン・メモリの全ライン)	固定5ライン(3タップ)輝度信号コム
111	固定輝度信号コム(ライン・メモリの最下ライン)	固定3ライン(2タップ)輝度信号コム

AVコードの挿入と制御

ここでは、次の項目に影響を与えるI²Cベースの制御について説明します。

- AVコードのデータ・ストリームへの挿入
- 垂直ブランク・インターバル (VBI) でのデータ・プランキング
- 出力データ・ストリームに許容されるデータ値の範囲
- 輝度信号と色信号との相対遅延

デコードされたVBIデータの一部分が、水平ブランク・インターバルで挿入されることに注意してください。詳細は、「Gemstarデータ再生」を参照してください。

BT656-4 (ITU標準BT-R.656-4イネーブル)、アドレス0x04 [7]

ITUはリビジョン3とリビジョン4の間で、NTSCのSAV EAVコード内におけるVビットのトグル位置を変更しました。BT656-4標準ビットを使用し、前の標準または新しい標準に準拠する出力モードを選択できます。詳細は、<http://www.itu.int>の標準を参照してください。

標準の変更はNTSCのみで、PALには影響しません。

BT656-4が0 (デフォルト値) のとき、BT656-3仕様が使用されます。ライン10とライン273のEAVでVビットがローレベルになります。

BT656-4が1のとき、BT656-4仕様が使用されます。ライン20とライン283のEAVでVビットがローレベルになります。

SD_DUP_AV (複製AVコード)、アドレス0x03 [0]

出力インターフェース幅に応じて、輝度信号パスから色信号パスへAVコードを複製することが必要になります。

8ビット幅の出力インターフェース (Cb/Y/Cr/Yインターリーブ・データ) では、AVコードはFF/00/00/AVとして定義され、AVがH/V/Fの情報を格納する送信ワードになります。

この出力インターフェース・モードでは、Cb=FF、Y=00、Cr=00、Y=AVの割当てが行われます。

YとCr/Cbが別々のデータ・バスで送られる16ビット出力インターフェースでは、AVコードは16ビット長を超えます。SD_DUP_AVビットは、両方のバスでAVコードを複製できるため、YバスとCr/CbバスにAVシーケンス全体を乗せることができます。図19を参照してください。

SD_DUP_AVが0 (デフォルト) のとき、AVコードは (8ビット・インターリーブ・データ出力に合わせて) シングルとなります。

SD_DUP_AVが1のとき、AVコードは (16ビット・インターフェース用に) 複製されます。

VBI_EN (垂直プランキング・インターバル・データ・イネーブル)、アドレス0x03 [7]

VBIイネーブル・ビットを使用すると、インターキャスト・データやクローズド・キャプション・データなどのデータがフィルタリングの影響をなるべく受けない状態で、デコードの輝度信号チャンネルを通過できます。ライン1～21のすべてのデータが通過して出力ポートに現れます。ADV7183Bは輝度信号データをブランクにせず、自動的に輝度信号データ・バス上のすべてのフィルタを、その最も広い帯域幅へ切り替えます。アクティブ・ビデオに対しては、YSHとYPKに対するフィルタ設定が使用されます。

色信号パスについては、「BL_C_VBI (VBI内の色ブランク)」を参照してください。

VBI_ENが0 (デフォルト値) のとき、すべてのビデオ・ラインはフィルタリング/スケーリングされます。

VBI_ENが1のとき、アクティブ・ビデオ領域のみフィルタリング/スケーリングされます。

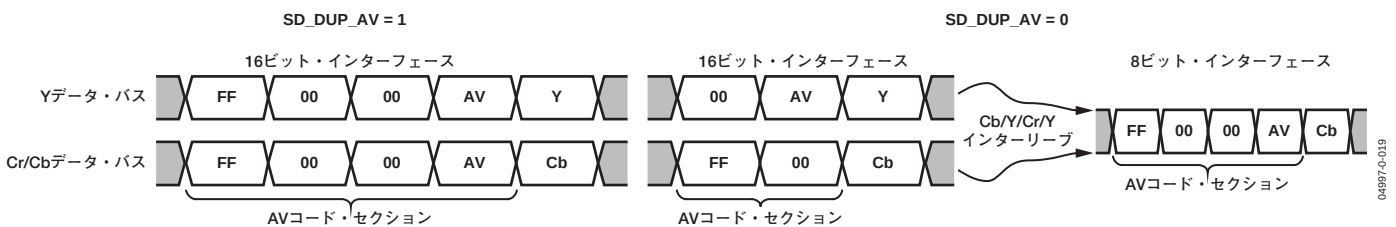


図19. AVコード複製の制御

ADV7183B

BL_C_VBI (VBI内の色ブランク)、アドレス0x04 [2]

BL_C_VBIをハイレベルに設定すると、すべてのVBIラインのCr値とCb値がブランクになります。これは、VBI内のすべてのデータをカラーとしてデコードせずにCrとCbを使って出力するために行います。その結果、VBIラインをデコーダに送り、歪みなしでエンコーダを通して再度出力できるようになります。このブランキングがないと、誤ってデコードされたカラーがビデオ・エンコーダでエンコードされてしまうため、VBIラインに歪みが生じます。

BL_C_VBIを0に設定すると、VBI内でカラーをデコードして出力します。

BL_C_VBIを1 (デフォルト値) に設定すると、VBI内でCr値とCb値をブランクにします。

RANGE (範囲の選択)、アドレス0x04 [0]

AVコード (ITU-R BT.656、以前のCCIR-656に準拠) は、値0xFFと値0x00で構成される固定ヘッダです。この2つの値は使用されているため、アクティブ・ビデオには使用できません。さらに、ITUはビデオの公称範囲を輝度信号は値16~235に、色信号は値16~240に制限することも規定しています。

RANGEビットは、ADV7183Bの出力値の範囲を推奨範囲に制限できます。どのような場合でも、予備の値の255d (0xFF) と00d (0x00) は、AVコード・ヘッダに含まれていない限り、出力ピンには出力されないようになっています。

表51. RANGEの機能

RANGE	説明	
0	$16 \leq Y \leq 235$	$16 \leq C/P \leq 240$
1 (デフォルト値)	$1 \leq Y \leq 254$	$1 \leq C/P \leq 254$

AUTO_PDC_EN (自動設定遅延制御)、アドレス0x27 [6]

AUTO_PDC_EN機能をイネーブルにすると、全動作モードで色信号データと輝度信号データの遅延が一致するように、LTA[1:0]とCTA[2:0]を自動的に設定する機能がADV7183B内で起動されます。セットされると、マニュアル・レジスタLTA[1:0]とCTA[2:0]は使用できなくなります。自動モードがデイスエーブルになると (AUTO_PDC_ENビットに0を設定)、LTA[1:0]レジスタとCTA[2:0]レジスタに書き込まれた値がアクティブになります。

AUTO_PDC_ENが0のとき、ADV7183Bは輝度信号サンプルと色信号サンプルの遅延にLTA[1:0]値とCTA[2:0]値を使用します。「LTA[1:0] (輝度信号タイミング調節)、アドレス0x27 [1:0]」と「CTA[2:0] (色信号タイミング調節)、アドレス0x27 [5:3]」を参照してください。

AUTO_PDC_ENが1 (デフォルト値) のとき、ADV7183Bは自動的にLTA値とCTA値を決定し、輝度信号と色信号を出力で一致させます。

LTA[1:0] (輝度信号タイミング調節)、アドレス0x27 [1:0]

輝度信号タイミング調節レジスタを使用し、色信号サンプルと輝度信号サンプルとの間のタイミング差を指定できます。

なお、機能的にCTA[2:0]レジスタと重複するところがあります。マニュアル設定については、次のデフォルト値を使用してください。

● CVBS入力LTA[1:0]=00

● YC入力LTA[1:0]=01

● YPrPb入力LTA[1:0]=01

表52. LTAの機能

LTA[1:0]	説明
00 (デフォルト値)	遅延なし
01	輝度信号を1クロック (37ns) 遅延
10	輝度信号を2クロック (74ns) 前進
11	輝度信号を1クロック (37ns) 前進

CTA[2:0] (色信号タイミング調節)、アドレス0x27 [5:3]

色信号タイミング調節レジスタを使用し、色信号サンプルと輝度信号サンプルとの間のタイミング差を指定できます。このレジスタは、輝度信号パスと色信号パスとの間での外部フィルタのグループ遅延差を補償し、ビデオ・ダウンストリーム処理中のさまざまな値のパイプライン遅延を可能にするために使用できます。この機能はLTA[1:0]レジスタと合わせて読み直してください。

色信号の遅延／前進は色信号のピクセル・ステップでのみ可能です。色信号の1ピクセル・ステップは輝度信号の2ピクセルに該当します。プログラマブルな遅延は復調後に行われますが、ここでは輝度信号ピクセル・ステップでの遅延はできなくなります。

マニュアル設定については、次のデフォルト値を使用してください。

● CVBS入力CTA[2:0]=011

● YC入力CTA[2:0]=101

● YPrPb入力CTA[2:0]=110

表53. CTAの機能

CTA[2:0]	説明
000	未使用
001	色信号+2色信号ピクセル (前進)
010	色信号+1色信号ピクセル (前進)
011 (デフォルト値)	遅延なし
100	色信号-1色信号ピクセル (遅延)
101	色信号-2色信号ピクセル (遅延)
110	色信号-3色信号ピクセル (遅延)
111	未使用

同期出力信号

HSの設定

次の制御機能を使用し、HS出力ピンのみ動作を設定できます。

- HSB[10:0]によりHS信号の開始を設定
- HSE[10:0]によりHS信号の終了を設定
- PHSによりHSの極性を設定

HS開始レジスタとHS終了レジスタを使用し、ビデオ・ライン内でHS出力（ピン）の位置を自由に設定することができます。HSB[10:0]とHSE[10:0]の値は、HSの立下がりエッジからのピクセル数で表わします。両方の値を使うと、HS出力信号の位置と長さの両方を設定できます。

HSB[10:0] (HS開始)、アドレス0x34 [6:4]、アドレス0x35 [7:0]

このエッジの位置は、バイナリ値をHSB[10:0]に書き込むことで制御します。この値は、EAVコードFF,00,00,XYの直後に0にリセットされる内部カウンタに対して、エッジをオフセットします(図20)。HSBは00000000010bに設定されます。これはカウント[0]からLLC1クロックで2サイクルの位置です。

HSB[10:0]のデフォルト値は0x002で、HSパルスがHSの立下がりエッジから2ピクセル後に開始されることを表します。

HSE[10:0] (HS終了)、アドレス0x34 [2:0]、アドレス0x36 [7:0]

このエッジの位置は、バイナリ値をHSE[10:0]に書き込むことで制御します。この値は、EAVコードFF,00,00,XYの直後に0にリセットされる内部カウンタに対して、エッジをオフセットします(図20)。HSEは00000000000bに設定されます。これはカウント[0]からLLC1クロックで0サイクルの位置です。

HSE[9:0]のデフォルト値は000で、HSパルスがHSの立下がりエッジから0ピクセル後に終わることを表します。

例

1. HSをアクティブ・ビデオ側に20LLC1分シフトさせるときは、HSBとHSEの両方に20LLC1を加算します。すなわち、HSB[10:0]=[00000010110]、HSE[10:0]=[00000010100]。
2. HSをアクティブ・ビデオの反対側に20LLC1分シフトさせるときは、HSBとHSEの両方に1696LLC1を加算します(NTSCの場合)。すなわち、HSB[10:0]=[11010100010]、HSE[10:0]=[11010100000]。1696は、NTSCのピクセル合計数=1716から求めた値です。

アクティブ・ビデオと反対側に20LLC1分移動することは、1716から20を減算して、その値のバイナリ値をHSB[10:0]とHSE[10:0]の両方に加算することと同じです。

PHS (極性HS)、アドレス0x37 [7]

HSピンの極性は、PHSビットを使って反転できます。

PHSが0(デフォルト値)のとき、HSはアクティブ・ハイになります。

PHSが1のとき、HSはアクティブ・ローになります。

表54. HSのタイミング・パラメータ(図20を参照)

標準	特 性				
	HS開始調節 (HSB[10:0]) (デフォルト)	HS終了調節 (HSE[10:0]) (デフォルト)	HSからアクティブ・ビデオまで (LLC1クロック・サイクル数) (図20のC) (デフォルト)	アクティブ・ビデオの 1ライン当たりの サンプル数 (図20のD)	合計LLC1 クロック・サイクル数 (図20のE)
NTSC	00000000010b	00000000000b	272	720Y+720C=1440	1716
NTSC平方 ピクセル	00000000010b	00000000000b	276	640Y+640C=1280	1560
PAL	00000000010b	00000000000b	284	720Y+720C=1440	1728

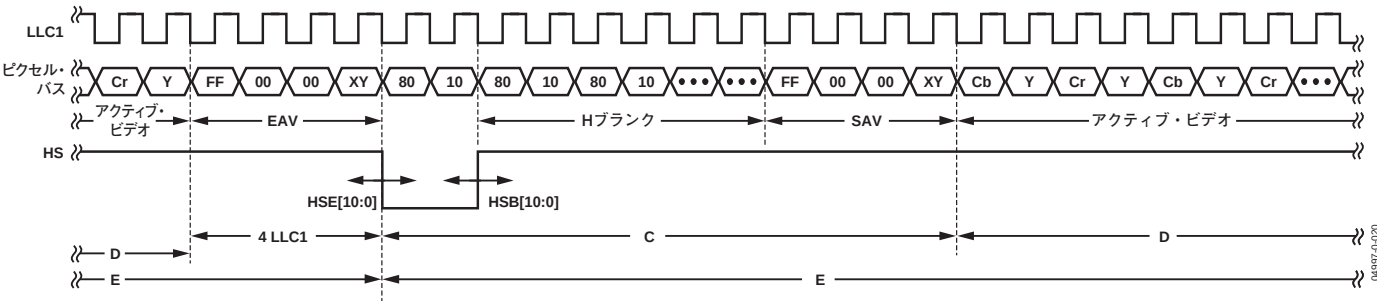


図20. HSのタイミング

ADV7183B

VSとFIELDの設定

次の制御機能により、VS出力ピンとFIELD出力ピンの動作を設定し、埋込みAVコードを生成できます。

- NEWAVMODEによりADVエンコーダ互換信号を設定
- PVS、PF
- HVSTIM
- VSBHO、VSBHE
- VSEHO、VSEHE
- NTSCの制御：
 - NVBEGDELO、NVBEGDELE、NVBEGSIGN、NVBEG[4:0]
 - NVENDDELO、NVENDDELE、NVENDSIGN、NVEND[4:0]
 - NFTOGDELO、NFTOGDELE、NFTOGSIGN、NFTOG[4:0]
- PALの制御：
 - PVBEGDELO、PVBEGDELE、PVBEGSIGN、PVBEG[4:0]
 - PVENDDELO、PVENDDELE、PVENDSIGN、PVEND[4:0]
 - PFTOGDELO、PFTOGDELE、PFTOGSIGN、PFTOG[4:0]

NEWAVMODE (新AVモード)、アドレス0x31 [4]

NEWAVMODEが0のとき、アナログ・デバイセズのエンコーダに適合するEAV/SAVコードが発生します。調整はできません。

NEWAVMODEが1 (デフォルト値) のとき、0x34～0x37と0xE5～0xEAの各レジスタを使用して、VSYNC、FIELD、AVコードのマニュアル位置設定をイネーブルにできます。デフォルトのレジスタ設定はCCIR656に準拠します。NTSCについては図21を、PALについては図26を参照してください。推奨するマニュアル・ユーザ設定に関しては、NTSCは表55と図22を、PALは表56と図27を参照してください。

HVSTIM (水平VSタイミング)、アドレス0x31 [3]

HVSTIMビットを使用し、VS信号をビデオ・ライン内でアサートする位置を選択できます。HSがローレベルのときに、VSをローレベルにするように要求するインターフェース回路もあります。

HVSTIMが0 (デフォルト値) のとき、ラインの開始はHSEを基準とします。

HVSTIMが1のとき、ラインの開始はHSBを基準とします。

VSBHO (VS開始水平位置、奇数)、アドレス0x32 [7]

VSBHOビットとVSBHEビットは、VSピン (AVコード内のビットではない) がアクティブになるライン内の位置を選択します。エンコーダによっては、HSがハイレベル／ローレベルのときに、VSピンの状態変更だけを要求するものもあります。

VSBHOが0 (デフォルト値) のとき、ビデオ・ラインの中程でVSピンがハイレベルになります (奇数フィールド)。

VSBHOが1のとき、ラインの開始点でVSピンが状態を変えます (奇数フィールド)。

VSBHE (VS開始水平位置、偶数)、アドレス0x32 [6]

VSBHOビットとVSBHEビットは、VSピン (AVコード内のビットではない) がアクティブになるライン内の位置を選択します。エンコーダによっては、HSがハイレベル／ローレベルのときに、VSピンの状態変更だけを要求するものもあります。

VSBHEが0 (デフォルト値) のとき、ビデオ・ラインの中程でVSピンがハイレベルになります (偶数フィールド)。

VSBHEが1のとき、ラインの開始点でVSピンが状態を変えます (偶数フィールド)。

VSEHO (VS終了水平位置、奇数)、アドレス0x33 [7]

VSEHOビットとVSEHEビットは、VSピン (AVコード内のビットではない) がアクティブになるライン内の位置を選択します。エンコーダによっては、HSがハイレベル／ローレベルのときに、VSピンの状態変更だけを要求するものもあります。

VSEHOが0 (デフォルト値) のとき、ビデオ・ラインの中程でVSピンがローレベル (非アクティブ) になります (奇数フィールド)。

VSEHOが1のとき、ラインの開始点でVSピンが状態を変えます (奇数フィールド)。

VSEHE (VS終了水平位置、偶数)、アドレス0x33 [6]

VSEHOビットとVSEHEビットは、VSピン (AVコード内のビットではない) がアクティブになるライン内の位置を選択します。エンコーダによっては、HSがハイレベル／ローレベルのときに、VSピンの状態変更だけを要求するものもあります。

VSEHEが0 (デフォルト値) のとき、ビデオ・ラインの中程でVSピンがローレベル (非アクティブ) になります (偶数フィールド)。

VSEHEが1のとき、ラインの開始点でVSピンが状態を変えます (偶数フィールド)。

PVS (極性VS)、アドレス0x37 [5]

VSピンの極性は、PVSビットを使って反転できます。

PVSが0 (デフォルト値) のとき、VSはアクティブ・ハイになります。

PVSが1のとき、VSはアクティブ・ローになります。

PF (極性FIELD)、アドレス0x37 [3]

FIELDピンの極性は、PFビットを使って反転できます。

PFが0 (デフォルト値) のとき、FIELDはアクティブ・ハイになります。

PFが1のとき、FIELDはアクティブ・ローになります。

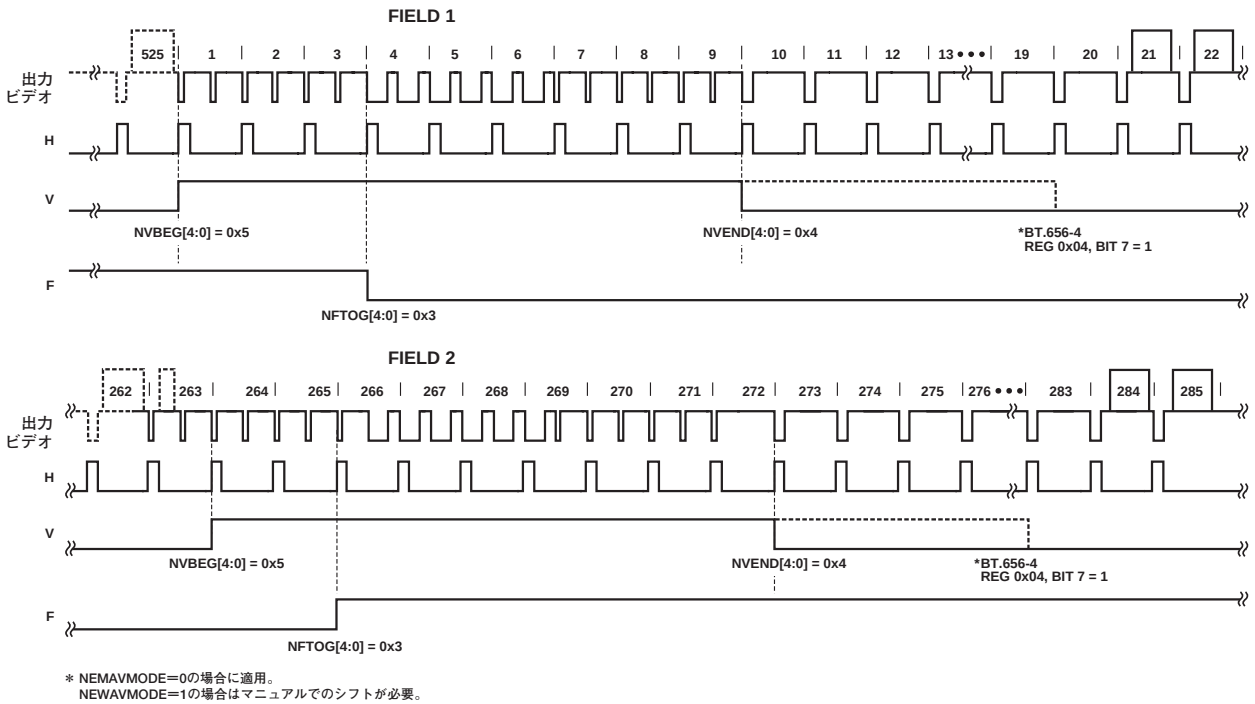


図21. NTSCでのデフォルト (BT.656)。H、V、Fの極性はデータに埋め込まれています。

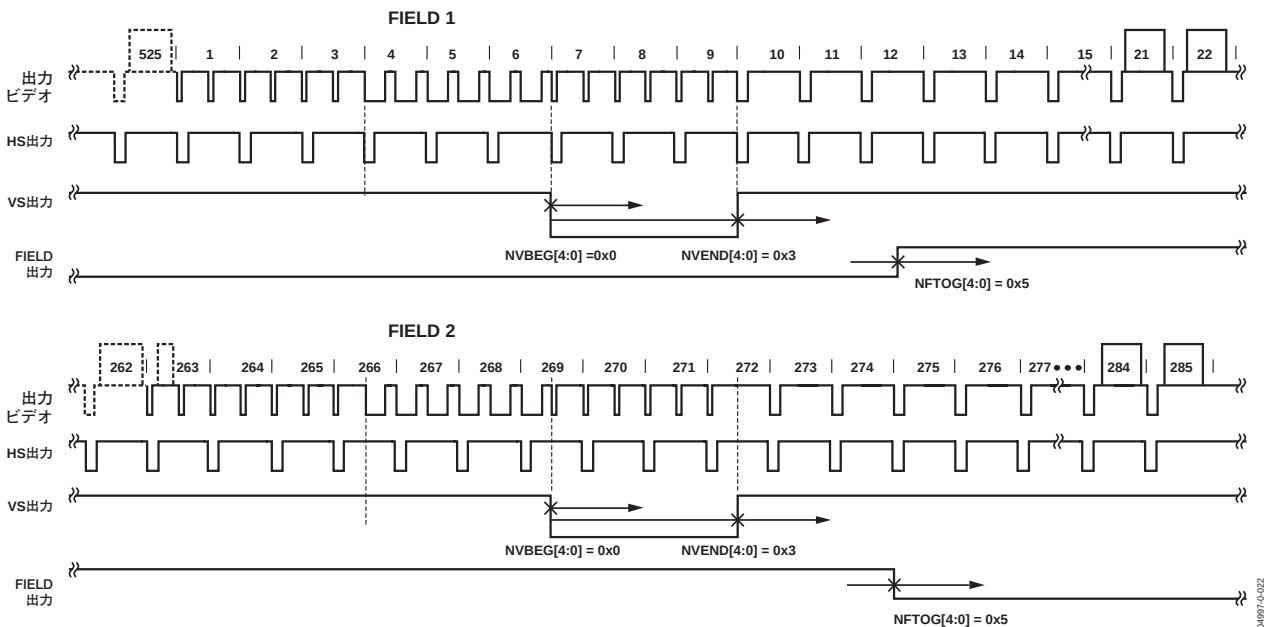


図22. 表55のレジスタ書き込みを使用した、NTSCの代表的なVSync/FIELD位置

ADV7183B

表55. NTSCに対する推奨ユーザ設定(図22を参照)

レジスタ	レジスタ名	書込み
0x31	VSynフィールド・コントロール1	0x12
0x32	VSynフィールド・コントロール2	0x81
0x33	VSyn フィールド・コントロール3	0x84
0x37	極性	0x29
0xE5	NTSV_V_Bit_Beg	0x0
0xE6	NTSC_V_Bit_End	0x3
0xE7	NTSC_F_Bit_Tog	0x85

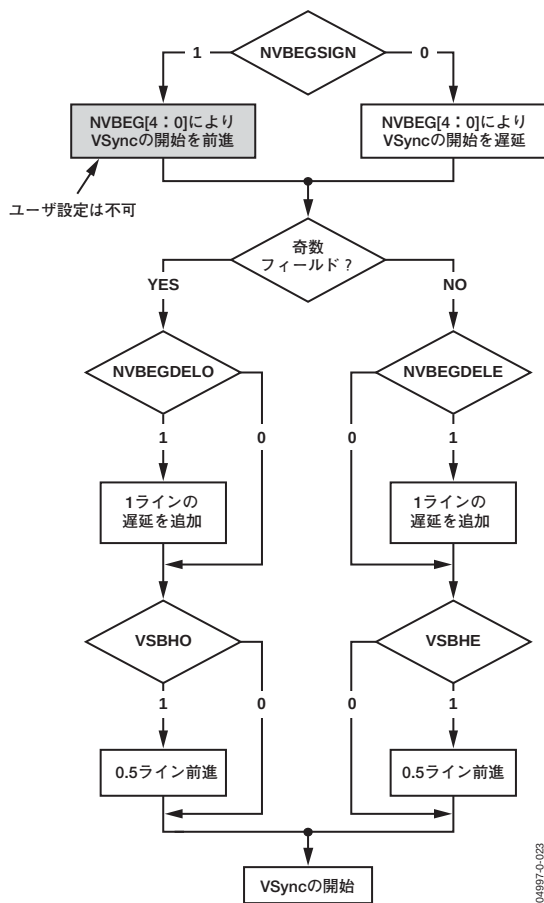


図23. NTSCのVSyncの開始

NVBEGDELO (NTSC VSync開始の遅延、奇数フィールド)、アドレス0xE5 [7]

NVBEGDELOが0(デフォルト値)のとき、遅延はありません。

NVBEGDELOを1に設定すると、奇数フィールドでVSyncがハイレベルになるのを、NVBEGに対して1ライン遅らせます。

NVBEGDELE (NTSC VSync開始の遅延、偶数フィールド)、アドレス0xE5 [6]

NVBEGDELEが0(デフォルト値)のとき、遅延はありません。

NVBEGDELEを1に設定すると、偶数フィールドでVSyncがハイレベルになるのを、NVBEGに対して1ライン遅らせます。

NVBEGSIGN (NTSC VSync開始サイン)、アドレス0xE5 [5]

NVBEGSIGNを0に設定すると、VSyncの開始を遅らせます。ユーザによるマニュアル設定です。

NVBEGSIGNを1(デフォルト値)に設定すると、VSyncの開始を前進させます。ユーザ設定は推奨できません。

NVBEG[4:0] (NTSC VSync開始)、アドレス0xE5 [4:0]

NVBEGのデフォルト値は00101で、NTSC VSyncの開始位置を表します。

すべてのNTSC/PAL VSyncタイミング制御で、AVコード内のVビットとVSピン上のVSyncの両方が変更されます。

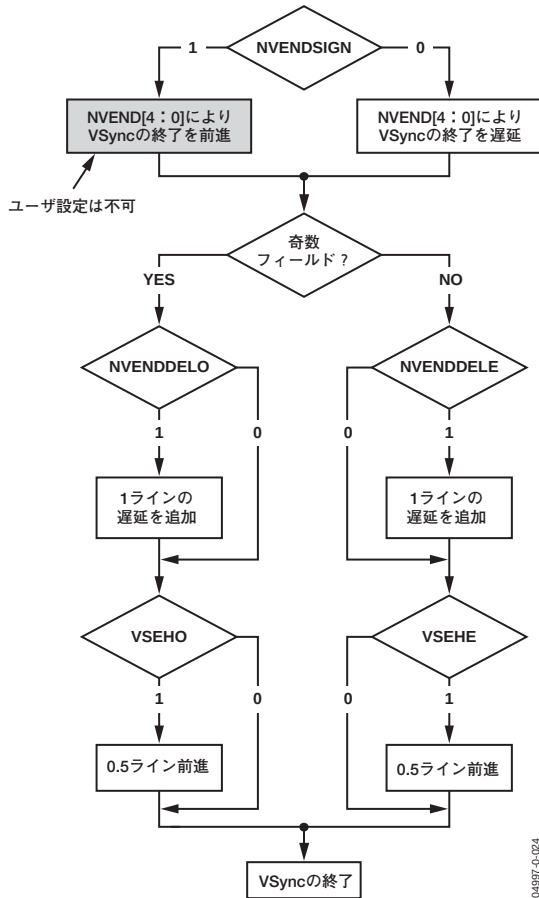


図24. NTSC VSyncの終了

NVENDDELO (NTSC VSync終了遅延、奇数フィールド)、アドレス0xE6 [7]

NVENDDELOが0(デフォルト値)のとき、遅延はありません。

NVENDDELOを1に設定すると、奇数フィールドでVSyncがローレベルになるのを、NVENDに対して1ライン遅らせます。

NVENDDELE (NTSC VSync終了遅延、偶数フィールド)、アドレス0xE6 [6]

NVENDDELEが0(デフォルト値)のとき、遅延はありません。

NVENDDELEを1に設定すると、偶数フィールドでVSyncがローレベルになるのを、NVENDに対して1ライン遅らせます。

NVENDSIGN (NTSC VSync終了サイン)、アドレス0xE6 [5]

NVENDSIGNを0(デフォルト値)に設定すると、VSyncの終了を遅らせます。ユーザによるマニュアル設定です。

NVENDSIGNを1に設定すると、VSyncの終了を前進させます。ユーザ設定は推奨できません。

NVEND (NTSC[4:0] VSync終了)、アドレス0xE6 [4:0]

NVENDのデフォルト値は00100で、NTSC VSyncの終了位置を表します。

すべてのNTSC/PAL VSyncタイミング制御で、AVコード内のVビットとVSピン上のVSyncの両方が変更されます。

NFTOGDELO (NTSCフィールド・トグル遅延、奇数フィールド)、アドレス0xE7 [7]

NFTOGDELOが0(デフォルト値)のとき、遅延はありません。

NFTOGDELOを1に設定すると、奇数フィールドでフィールド・トグル／遷移を、NFTOGに対して1ライン遅らせます。

NFTOGDELE (NTSCフィールド・トグル遅延、偶数フィールド)、アドレス0xE7 [6]

NFTOGDELEを0に設定すると、遅延はありません。

NFTOGDELEを1(デフォルト値)に設定すると、偶数フィールドでフィールド・トグル／遷移を、NFTOGに対して1ライン遅らせます。

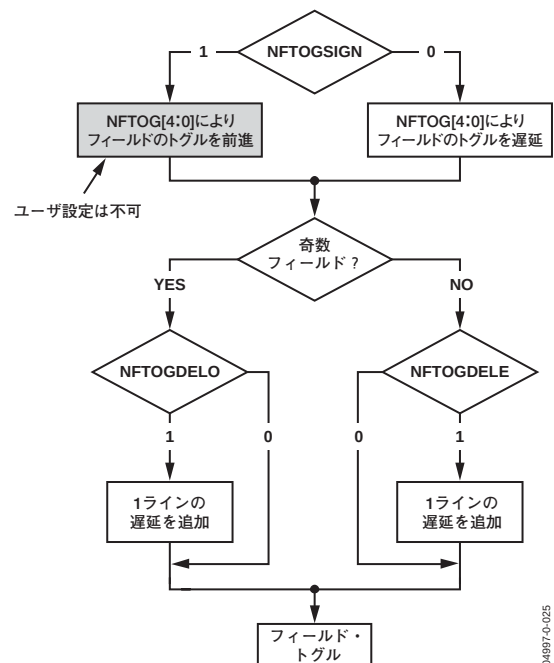


図25. NTSCフィールド・トグル

NFTOGSIGN (NTSCフィールド・トグル・サイン)、アドレス0xE7 [5]

NFTOGSIGNを0に設定すると、フィールド遷移を遅らせます。ユーザによるマニュアル設定です。

NFTOGSIGNを1(デフォルト値)に設定すると、フィールド遷移を前進させます。ユーザ設定は推奨できません。

ADV7183B

NFTOG[4:0](NTSCフィールド・トグル)、アドレス0xE7[4:0]

NFTOGのデフォルト値は00011で、NTSCフィールド・トグル位置を表します。

すべてのNTSC/PALフィールド・タイミング制御で、AVコード内のFビットとFIELD/DEピン上のフィールド信号の両方が変更されます。

表56. PALに対する推奨ユーザ設定(図27を参照)

レジスタ	レジスタ名	書き込み
0x31	VSynフィールド・コントロール1	0x12
0x32	VSynフィールド・コントロール2	0x81
0x33	VSynフィールド・コントロール3	0x84
0x37	極性	0x29
0xE8	PAL_V_Bit_Beg	0x1
0xE9	PAL_V_Bit_End	0x4
0xEA	PAL_F_Bit_Tog	0x6

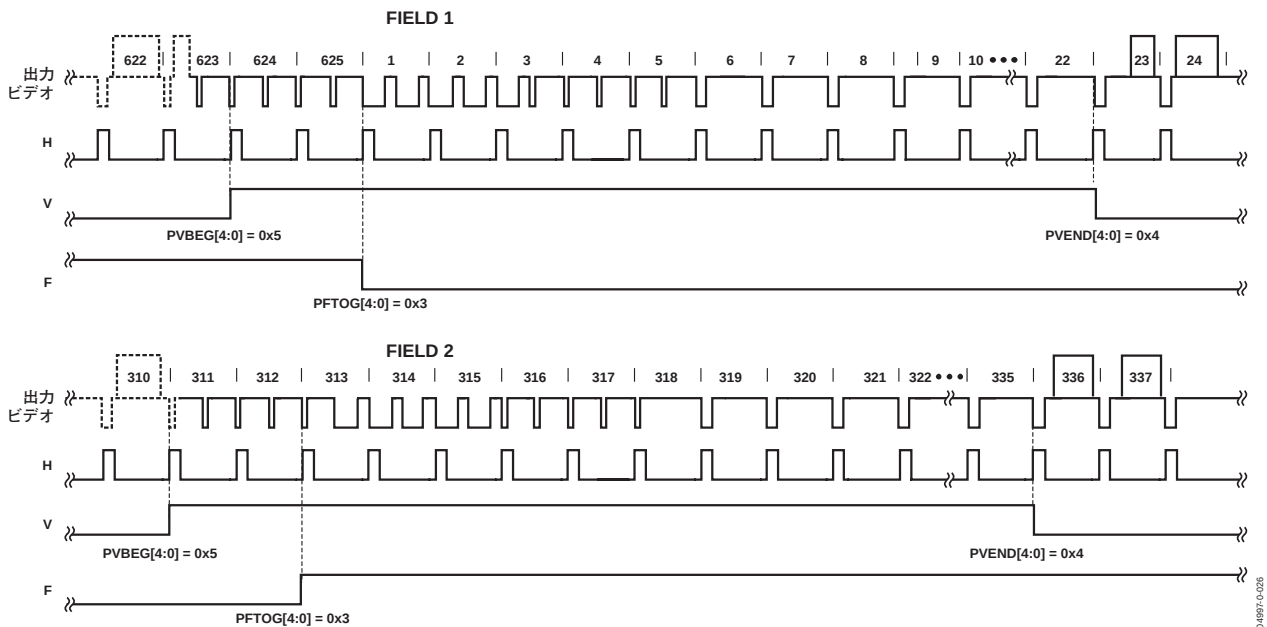


図26. PALでのデフォルト(BT.656)。H、V、Fの極性はデータに埋め込まれています。

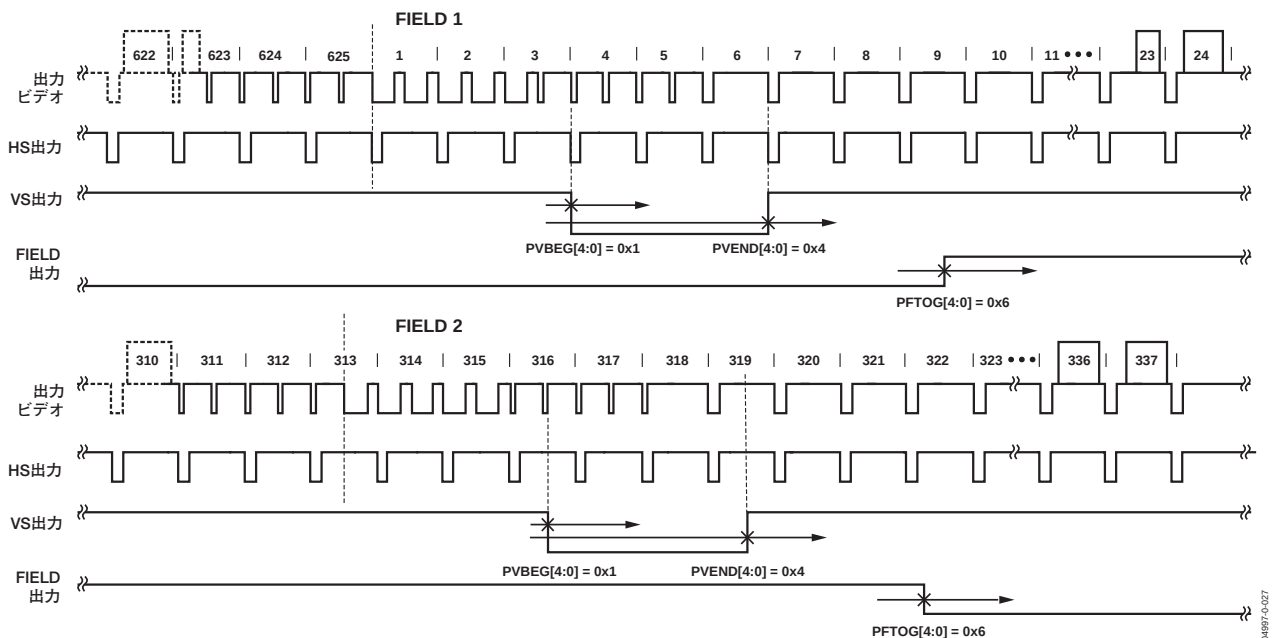


図27. 表56のレジスタ書き込みを使用したPALの代表的なVSyn/FIELD位置

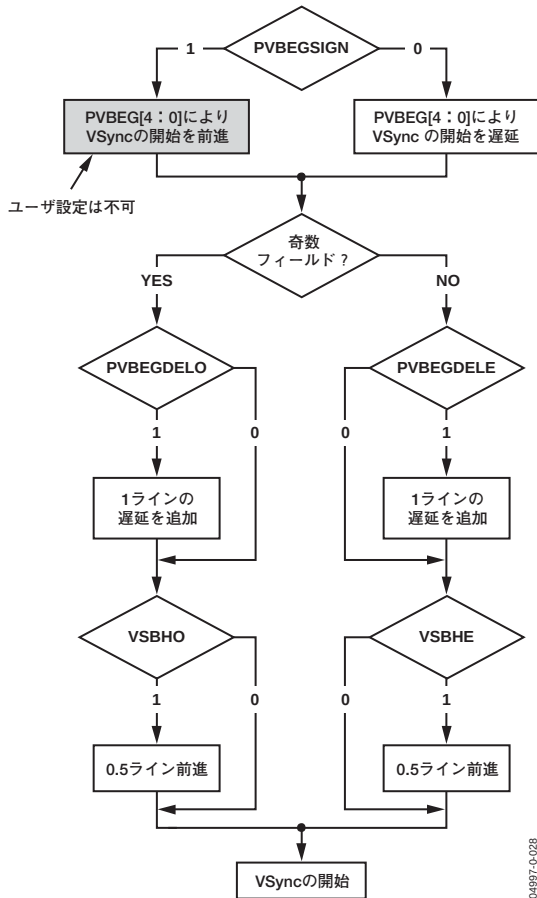


図28. PALのVSyncの開始

PVBEGDELO (PAL VSync開始遅延、奇数フィールド)、
アドレス0xE8 [7]

PVBEGDELOが0(デフォルト値)のとき、遅延はありません。

PVBEGDELOを1に設定すると、奇数フィールドでVSyncがハイレベルになるのを、PVBEGに対して1ライン遅らせます。

PVBEGDELE (PAL VSync開始遅延、偶数フィールド)、
アドレス0xE8 [6]

PVBEGDELEが0のとき、遅延はありません。

PVBEGDELEを1(デフォルト値)に設定すると、偶数フィールドでVSyncがハイレベルになるのを、PVBEGに対して1ライン遅らせます。

PVBEGSIGN (PAL VSync開始サイン)、アドレス0xE8 [5]

PVBEGSIGNを0に設定すると、VSyncの開始を遅らせます。ユーザによるマニュアル設定です。

PVBEGSIGNを1(デフォルト値)に設定すると、VSyncの開始を前進させます。ユーザ設定は推奨できません。

PVBEG[4:0] (PAL VSync開始)、アドレス0xE8 [4:0]

PVBEGのデフォルト値は00101で、PAL VSyncの開始位置を表します。

すべてのNTSC/PAL VSyncタイミング制御で、AVコード内のVビットとVSピン上のVSyncの両方が変更されます。

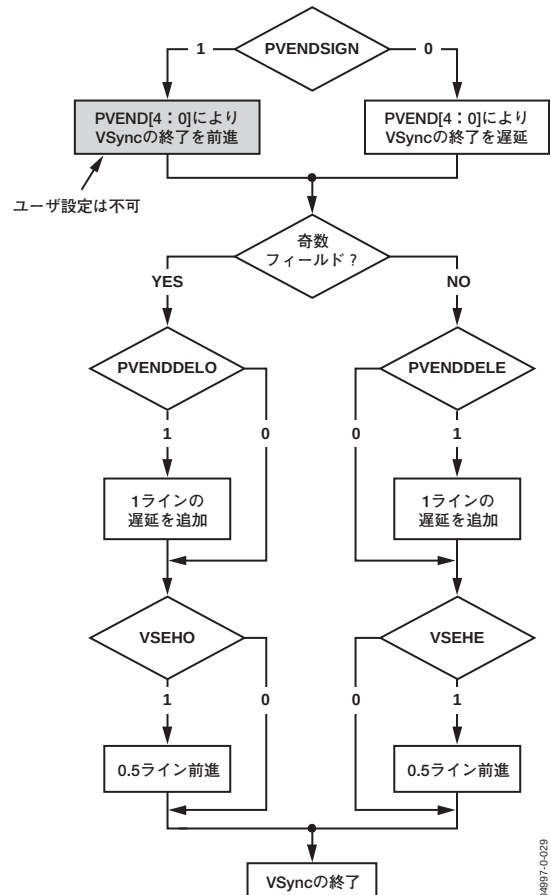


図29. PAL VSyncの終了

PVENDDELO (PAL VSync終了遅延、奇数フィールド)、
アドレス0xE9 [7]

PVENDDELOが0(デフォルト値)のとき、遅延はありません。

PVENDDELOを1に設定すると、奇数フィールドでVSyncがローレベルになるのを、PVENDに対して1ライン遅らせます。

PVENDDELE (PAL VSync終了遅延、偶数フィールド)、
アドレス0xE9 [6]

PVENDDELEが0(デフォルト値)のとき、遅延はありません。

PVENDDELEを1に設定すると、偶数フィールドでVSyncがローレベルになるのを、PVENDに対して1ライン遅らせます。

ADV7183B

PVENDSIGN (PAL VSync終了サイン)、アドレス0xE9 [5]

PVENDSIGNを0(デフォルト値)に設定すると、VSyncの終了を遅らせます。ユーザによるマニュアル設定です。

PVENDSIGNを1に設定すると、VSyncの終了を前進させます。ユーザ設定は推奨できません。

PVEND[4:0] (PAL VSync終了)、アドレス0xE9 [4:0]

PVENDのデフォルト値は10100で、PAL VSyncの終了位置を表します。

すべてのNTSC/PAL VSyncタイミング制御で、AVコード内のVビットとVSピン上のVSyncの両方が変更されます。

PFTOGDELO (PALフィールド・トグル遅延、奇数フィールド)、アドレス0xEA [7]

PFTOGDELOが0(デフォルト値)のとき、遅延はありません。

PFTOGDELOを1に設定すると、奇数フィールドでフィールド・トグル／遷移を、PFTOGに対して1ライン遅らせます。

PFTOGDELE (PALフィールド・トグル遅延、偶数フィールド)、アドレス0xEA [6]

PFTOGDELEが0のとき、遅延はありません。

PFTOGDELEを1(デフォルト値)に設定すると、偶数フィールドでフィールド・トグル／遷移を、PFTOGに対して1ライン遅らせます。

PFTOGSIGN (PALフィールド・トグル・サイン)、アドレス0xEA [5]

PFTOGSIGNを0に設定すると、フィールド遷移を遅らせます。ユーザによるマニュアル設定です。

PFTOGSIGNを1(デフォルト値)に設定すると、フィールド遷移を前進させます。ユーザ設定は推奨できません。

PFTOG (PALフィールド・トグル)、アドレス0xEA [4:0]

PFTOGのデフォルト値は00011で、PALフィールド・トグル位置を表します。

すべてのNTSC/PALフィールド・タイミング制御で、AVコード内のFビットとFIELD/DEピン上のフィールド信号の両方が変更されます。

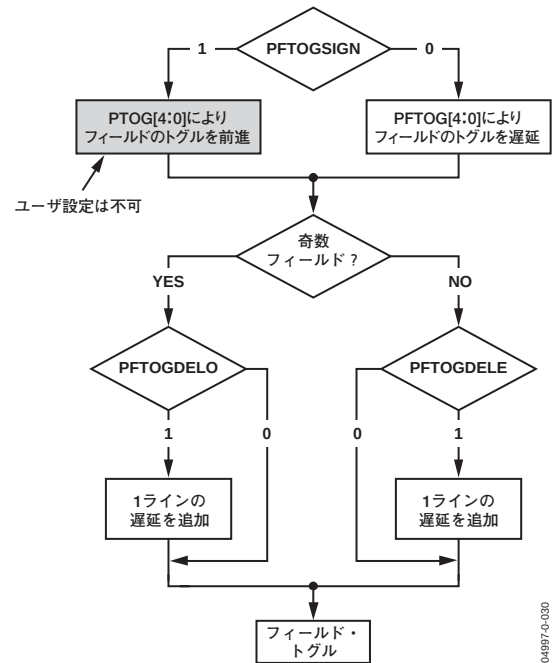


図30. PALフィールド・トグル

同期処理

ADV7183Bには2つの追加同期処理ブロックがあり、デジタル入力ビデオから取り出された原同期情報の後処理を行います。必要に応じて、このブロックは次の2つのI²Cビットを用いてディセーブルにできます。

ENHSPLL (HSyncプロセッサのイネーブル)、アドレス0x01 [6]

HSYNCプロセッサは、ノイズで壊れた入力HSyncをフィルタ処理するためのもので、タイム・ベースは安定していてもS/N比が悪いビデオ信号の性能を改善します。

ENHSPLLを0に設定すると、HSyncプロセッサがディセーブルになります。

ENHSPLLを1(デフォルト値)に設定すると、HSyncプロセッサがイネーブルになります。

ENVSPROC (VSyncプロセッサのイネーブル)、アドレス0x01 [3]

このブロックでは、検出されたVSyncの垂直ロック機能を改善するために追加のフィルタ機能を提供します。

ENVSPROCを0に設定すると、VSyncプロセッサがディセーブルになります。

ENVSPROCを1(デフォルト値)に設定すると、VSyncプロセッサがイネーブルになります。

VBIデータ・デコード

ADV7183Bは次の低速データレートでのVBI信号をデコードできます。

- ワイド・スクリーン・シグナリング (WSS)
- コピー・ジェネレーション・マネジメント・システム (CGMS)
- クローズド・キャプション (CCAP)
- EDTV
- Gemstar 1× および Gemstar 2× 互換データの再生

上記信号のいずれかが検出され、該当する場合には、パリティ・チェックが実行されます。このテストの結果は、VBI Info[7:0]レジスタのコンフィデンス・ビットに格納されます。まずVBI Infoレジスタを調べてから、対応するデータ・レジスタを読み出します。すべてのVBIデータ・デコード・ビットは読出し専用です。

すべてのVBIデータ・レジスタは、フィールド信号を使ってダブル・バッファされています。これは、データがビデオ・ラインから取り出され、次のフィールド遷移で該当するI²Cレジスタに現れることを意味します。データは次のフィールドまで変化しません。

最初にVBI Infoレジスタを調べた後に、VSを使ってI²C読出しシーケンスを開始する必要があります。次に、検出されたデータに応じて、該当するデータ・レジスタを読み出します。

対応する検出ビットがローレベルの場合でも、データ・レジスタにはデコードされたVBIデータが格納されることに注意してください。この場合、デコードされたデータ・ストリーム内のビットが正しくない可能性があります。

クローズド・キャプション・データ (CCAP) はI²Cレジスタ内で使用可能であり、さらに水平ブランキング内で出力ビデオ・データ・ストリームに挿入されます。

Gemstar互換データはI²Cレジスタ内で使用不可能であり、水平ブランキング内でのみデータ・ストリームに挿入されます。

WSSD (ワイド・スクリーン・シグナリング検出)、アドレス0x90 [0]

このビットがロジック1のとき、WSS1レジスタとWSS2レジスタ内のデータが有効であることを表わします。

スタート・ビットの立上がりエッジがタイム・ウインドウ内で検出され、かつパリティ・ビットの極性が送信されたデータに一致する場合、WSSDビットがハイレベルになります。

WSSDが0のとき、WSSは検出されず、デコードされたデータの信頼性が低くなります。

WSSDが1のとき、WSSが検出され、デコードされたデータの信頼性が高くなります。

CCAPD (クローズド・キャプション検出)、アドレス0x90 [1]

このビットがロジック1のとき、CCAP1レジスタとCCAP2レジスタ内のデータが有効であることを表わします。

スタート・ビットの立上がりエッジがタイム・ウインドウ内で検出され、かつパリティ・ビットの極性が送信されたデータに一致する場合、CCAPDビットがハイレベルになります。

CCAPDが0のとき、CCAP信号は検出されず、デコードされたデータの信頼性が低くなります。

CCAPDが1のとき、CCAPシーケンスが検出され、デコードされたデータの信頼性が高くなります。

EDTVD (EDTVシーケンス検出)、アドレス0x90 [2]

このビットがロジック1のとき、EDTV1、EDTV2、EDTV3の各レジスタ内のデータが有効であることを表わします。

スタート・ビットの立上がりエッジがタイム・ウインドウ内で検出され、かつパリティ・ビットの極性が送信されたデータに一致する場合、EDTVDビットがハイレベルになります。

EDTVDが0のとき、EDTVシーケンスは検出されず、デコードされたデータの信頼性が低くなります。

EDTVDが1のとき、EDTVシーケンスが検出され、デコードされたデータの信頼性が高くなります。

CGMSD (CGMS-Aシーケンス検出)、アドレス0x90 [3]

このビットがロジック1のとき、CGMS1、CGMS2、CGMS3の各レジスタ内のデータが有効であることを表わします。有効なCRCチェックサムが受信CGMSパケットから計算された場合、CGMSDビットがハイレベルになります。

CGMSDが0のとき、CGMS送信は検出されず、デコードされたデータの信頼性が低くなります。

CGMSDが1のとき、CGMSシーケンスがデコードされ、デコードされたデータの信頼性が高くなります。

CRC_ENABLE (CRCイネーブル)、アドレス0xB2 [2]

あるビデオ信号源に対して、CRCデータ・ビットが無効なフォーマットを持つことがあります。このような場合、CRCチェックサム検証手順をディスエーブルにできます。スタート・ビットの立上がりエッジがタイム・ウインドウ内で検出された場合、CGMSDビットがハイレベルになります。

CRC_ENABLEが0のとき、CRCチェックは実行されません。スタート・ビットの立上がりエッジがタイム・ウインドウ内で検出された場合、CGMSDビットがハイレベルになります。

CRC_ENABLEが1 (デフォルト値) のとき、CRCチェックサムを使用してCGMSシーケンスを検証します。有効なチェックサムに対して、CGMSDビットがハイレベルになります。推奨設定。

ADV7183B

ワイドスクリーン・シグナリング・データ

WSS1[7:0]、アドレス0x91 [7:0]

WSS2[7:0]、アドレス0x92 [7:0]

図31に、アナログ・ビデオ波形とWSS1/WSS2レジスタとの間のビット対応を示します。WSS2[7:6]は未使用であり、ソフトウェアでマスクする必要があります。

EDTVデータ・レジスタ

EDTV1[7:0]、アドレス0x93 [7:0]

EDTV2[7:0]、アドレス0x94 [7:0]

EDTV3[7:0]、アドレス0x95 [7:0]

図32に、アナログ・ビデオ波形とEDTV1/EDTV2/EDTV3レジスタとの間のビット対応を示します。

EDTV3[7:6]は未使用であり、ソフトウェアでマスクする必要があります。
EDTV3[5]は予備で、現在の値は0です。EDTV波形の下位3ビットは現在サポートされていません。

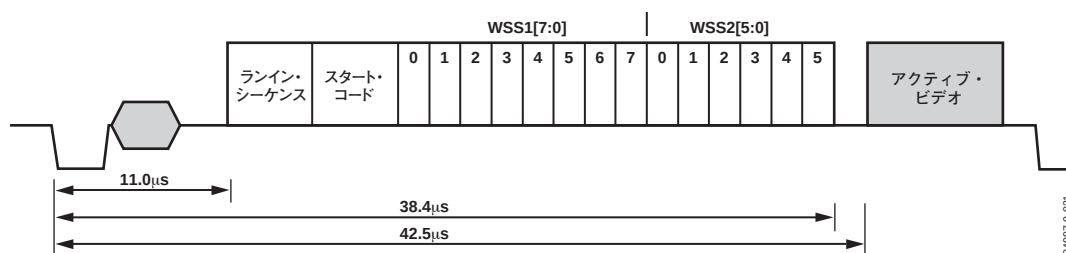


図31. WSSデータの取出し

表57. WSSアクセス情報

信号名	レジスタ位置	アドレス		レジスタのデフォルト値
WSS1 [7:0]	WSS1 [7:0]	145d	0x91	読出し専用
WSS2 [5:0]	WSS2 [5:0]	146d	0x92	読出し専用

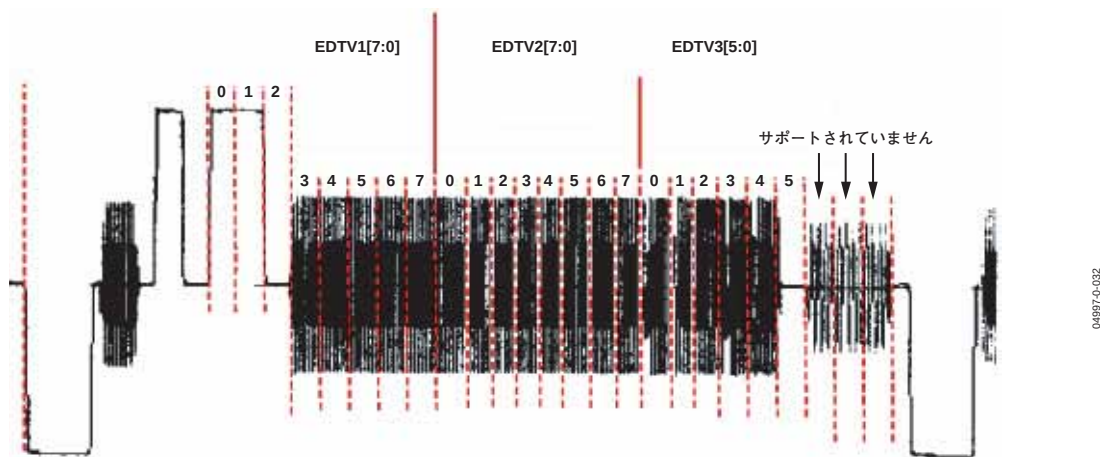


図32. EDTVデータの取出し

表58. EDTVアクセス情報

信号名	レジスタ位置	アドレス		レジスタのデフォルト値
EDTV1[7:0]	EDTV1 [7:0]	147d	0x93	読出し専用
EDTV2[7:0]	EDTV2 [7:0]	148d	0x94	読出し専用
EDTV3[7:0]	EDTV3 [7:0]	149d	0x95	読出し専用

CGMSデータ・レジスタ

CGMS1[7:0]、アドレス0x96 [7:0]

CGMS2[7:0]、アドレス0x97 [7:0]

CGMS3[7:0]、アドレス0x98 [7:0]

図33に、アナログ・ビデオ波形とCGMS1/CGMS2/CGMS3レジスタとの間のビット対応を示します。CGMS3[7:4]は未使用であり、ソフトウェアでマスクする必要があります。

クローズド・キャプション・データ・レジスタ

CCAP1[7:0]、アドレス0x99 [7:0]

CCAP2[7:0]、アドレス0x9A [7:0]

図34に、アナログ・ビデオ波形とCCAP1/CCAP2レジスタとの間のビット対応を示します。

CCAP1[7]には先頭ワードからのパリティ・ビットが格納されています。CCAP2[7]には2番目のワードからのパリティ・ビットが格納されています。

「GDECAD (Gemstarデコード補助データ・フォーマット)、アドレス0x4C [0]」を参照してください。

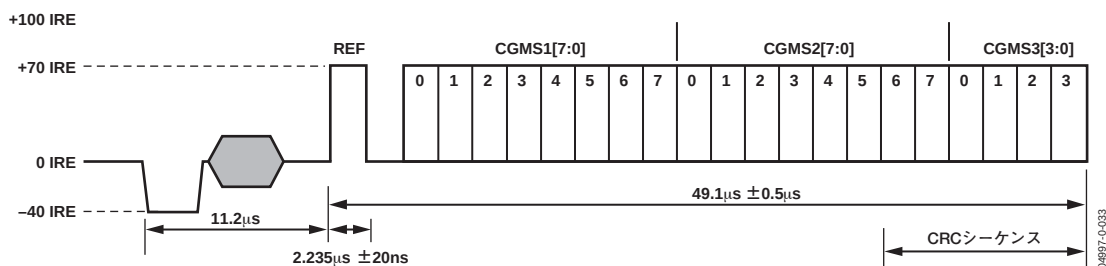


図33. CGMSデータの取出し

表59. CGMSアクセス情報

信号名	レジスタ位置	アドレス		レジスタのデフォルト値
CGMS1[7:0]	CGMS1 [7:0]	150d	0x96	読み出し専用
CGMS2[7:0]	CGMS2 [7:0]	151d	0x97	読み出し専用
CGMS3[3:0]	CGMS3 [3:0]	152d	0x98	読み出し専用

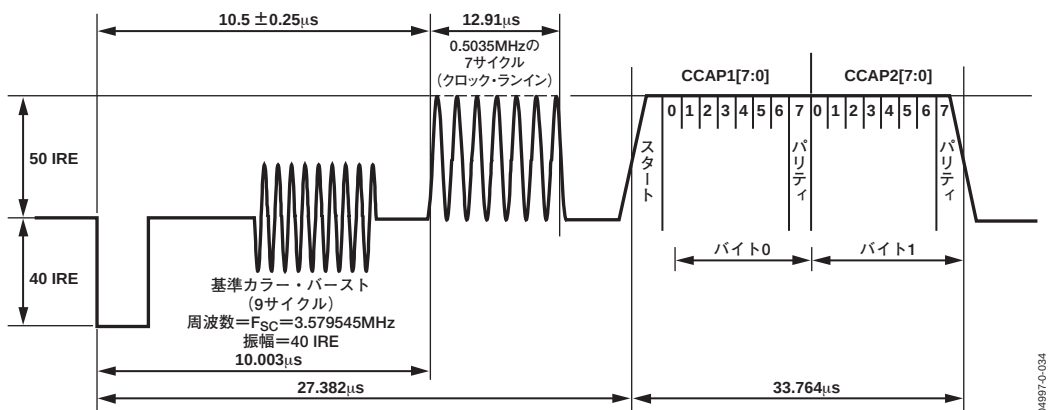


図34. クローズド・キャプション・データの取出し

表60. CCAPアクセス情報

信号名	レジスタ位置	アドレス		レジスタのデフォルト値
CCAP1[7:0]	CCAP1 [7:0]	153d	0x99	読み出し専用
CCAP2[7:0]	CCAP2 [7:0]	154d	0x9A	読み出し専用

ADV7183B

レターボックスの検出

入力ビデオ信号は別のアスペクト比に準拠することがあります（4:3の標準に対し16:9のワイド・スクリーン）。ワイド・スクリーン・フォーマットの送信では、ビデオ信号と一緒にデジタル・シーケンス（WSS）が送信されます。WSSシーケンスが用意されている場合、ビデオのアスペクト比はWSSに含まれるデジタル的にデコードされたビットから求められます。

WSSシーケンスがない場合は、レターボックスの検出を使用し、ワイド・スクリーン信号を探します。この検出アルゴリズムでは、フィールドの開始と終了でラインのアクティブ・ビデオの内容を調べます。ブラックのラインが検出されたら、表示中のピクチャがワイド・スクリーン・フォーマットであることを表わします。

ビデオ1ライン分のアクティブ・ビデオの内容（輝度信号振幅）が加算されます。ラインの終了で、加算値がスレッシュホールドと比較され、特定のラインがブラックであるか否かの判定が行われます。必要なスレッシュホールド値は入力信号のタイプに依存しますが、LB_TH[4:0]で制御できます。

フィールド開始での検出

ADV7183Bは、フィールドの先頭でビデオのブラック・ラインが少なくとも6ライン連続することを想定しています。これらのラインが検出されると、レジスタLB_LCT[7:0]が実際に検出したブラック・ライン数を報告してきます。デフォルトでは、ADV7183Bはアクティブ・ビデオの開始に同期してこれらのブラック・ラインを探し始めます（たとえば、最終VBIビデオ・ラインの直後）。LB_SL[3:0]を使用し、ラインごとにフレームの先頭からレターボックスの検出を開始するように設定できます。検出ウィンドウは、フィールドの中央で閉じます。

フィールド終了での検出

ADV7183Bは、実際に検出したライン数をLB_LCB[7:0]で報告する前に、フィールドの下部にブラック・ビデオのラインが少なくとも6ライン連続することを想定しています。レターボックス検出（フィールドの終了）の動作ウィンドウは、アクティブ・フィールドの中央で開きます。終了はLB_EL[3:0]で設定できます。

中央部での検出

下部のブラック・ボックス内にサブタイトルを含むワイド・スクリーン・ビデオ送信もあります。ADV7183Bが、少なくとも2個のブラック・ライン、複数の非ブラック・ビデオ（たとえば、サブタイトル）、下部ブラック・ブロックの残りの部分を順次検出した場合、LB_LCM[7:0]で中央のライン数を報告します。サブタイトルが見つからない場合は、LB_LCM[7:0]はLB_LCB[7:0]と同じ値を報告します。

ライン・カウント・パラメータの報告には2フィールド分の遅延があります。

「レターボックスの検出完了」ビットはありません。LB_LCT[7:0]レジスタ値とLB_LCB[7:0]レジスタ値を読み出し、ソフトウェアでレターボックス型ビデオの存在について判断する必要があります。

LB_LCT[7:0]（レターボックス・ライン・カウント上部）、アドレス0x9B [7:0]

LB_LCM[7:0]（レターボックス・ライン・カウント中央）、アドレス0x9C [7:0]

LB_LCB[7:0]（レターボックス・ライン・カウント下部）、アドレス0x9D [7:0]

表61. LB_LCxアクセス情報

信号名	アドレス	レジスタのデフォルト値
LB_LCT[7:0]	0x9B	読出し専用
LB_LCM[7:0]	0x9C	読出し専用
LB_LCB[7:0]	0x9D	読出し専用

LB_TH[4:0]（レターボックス・スレッシュホールド・コントロール）、アドレス0xDC [4:0]

表62. LB_THの機能

LB_TH[4:0]	説明
01100（デフォルト値）	ブラック・ライン検出のデフォルトのスレッシュホールド
01101～10000	スレッシュホールドを増加（非ブラック・ラインを識別するまでに大きなアクティブ・ビデオ内容が必要）
00000～01011	スレッシュホールドを減少（小さいノイズ・レベルでも、非ブラック・ラインを検出できます）

LB_SL[3:0]（レターボックス開始ライン）、アドレス0xDD [7:4]

LB_SL[3:0]ビットはデフォルトで0100bに設定してあります。これは、レターボックスの検出ウィンドウがEDTV VBIデータ・ラインの後に開くということです。NTSC信号では、このウィンドウはライン23～286です。

このビットを0101に変更すると、検出ウィンドウはライン24で開き、ライン287で閉じます。

LB_EL[3:0]（レターボックス終了ライン）、アドレス0xDD [3:0]

LB_EL[3:0]ビットはデフォルトで1101bに設定してあります。これは、レターボックスの検出ウィンドウがビデオの最終アクティブ・ラインで閉じるということです。NTSC信号では、このウィンドウはライン262～525です。

このビットを1100に変更すると、検出ウィンドウはライン261で開き、ライン254で閉じます。

Gemstarデータの再生

Gemstar互換データ再生ブロック（GSCD）は、1倍データ送信と2倍データ送信に対応しています。さらに、クローズド・キャプション・デコーダとしても機能できます。Gemstar互換データ送信はNTSCでのみ発生します。クローズド・キャプション・データはPALとNTSCの両方でデコードできます。

ブロックはI²Cを使って次の方法で設定します。

- GDECEL[15:0]は、偶数フィールド上の選択されたビデオ・ラインでデータ再生をイネーブル／ディスエーブルにできます。
- GDECOL[15:0]は、奇数フィールドの選択されたラインでデータ再生をイネーブルにします。
- GDECADは、データをビデオ・データ・ストリーム内に埋め込む方法を設定します。

再生されたデータはPC経由では入手できませんが、ITU-R BT.656互換データ・ストリームの水平ブランキング区間に挿入されます。このデータ・フォーマットは、ITUの勧告「ITU-R BT.1364」に準拠しています。詳細は、ITUのウェブサイト(www.itu.ch)を参照してください。図35参照。

データ・パケットのフォーマットは、次の基準に依存します。

- 送信は1倍、または2倍
- データ出力は8ビット、または4ビット・フォーマット(「GDECAD (Gemstar デコード補助データ・フォーマット)、アドレス0x4C [0]ビット」を参照)
- データはクローズド・キャプション(CCAP)、またはGemstar互換

対応するイネーブル・ビットがセットされており(GDECELとGDECOLの説明を参照)、かつデコーダがデータの存在を検出した場合に、データ・パケットが出力されます。これは、データがデコードされなかったビデオ・ラインに対しては、対応するライン・イネーブル・ビットがセットされていても、データ・パケットは出力されないということです。

各データ・パケットは、前のラインのEAVコードの直後から開始されます。データ・パケットの全体構造を示す図35と表63を参照してください。

パケットの内容は次のとおりです。

- 固定プリアンプル・シーケンス: 0x00, 0xFF, 0xFF
- データ識別ワード(DID): GemstarまたはCCAPデータ・パケットを表すDID値は0x140 (10ビット値)
- セカンダリ・データ識別ワード(SDID): このワードには、データの取出し元になったビデオ・ライン、Gemstar送信が1倍または2倍のフォーマットのどちらか、偶数フィールドまたは奇数フィールドのどちらから取り出したかについての情報が含まれています。
- データ・カウント・バイト: 後続のユーザ・データワード数を表わします。
- ユーザ・データ・セクション
- パケットのユーザ・データワード・セクションの長さが4バイトの倍数になるようにするためのオプションのパディング・バイト(ITU-R BT.1364の規定)
- チェックサム・バイト

表63に、ADV7183Bが8ビット・フォーマットで出力する際の一般的なデータ・パケット内の値を示します。

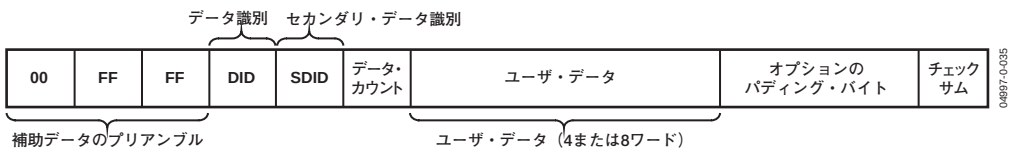


図35. GemstarおよびCCAPの埋込みデータ・パケット (一般形式)

表63. 一般的なデータ出力パケット

バイト	D[9]	D[8]	D[7]	D[6]	D[5]	D[4]	D[3]	D[2]	D[1]	D[0]	説明
0	0	0	0	0	0	0	0	0	0	0	固定プリアンプル
1	1	1	1	1	1	1	1	1	1	1	固定プリアンプル
2	1	1	1	1	1	1	1	1	1	1	固定プリアンプル
3	0	1	0	1	0	0	0	0	0	0	DID
4	!EP	EP	EF	2X	line[3:0]				0	0	SDID
5	!EP	EP	0	0	0	0	DC[1]	DC[0]	0	0	データ・カウント (DC)
6	!EP	EP	0	0	word1[7:4]				0	0	ユーザ・データワード
7	!EP	EP	0	0	word1[3:0]				0	0	ユーザ・データワード
8	!EP	EP	0	0	word2[7:4]				0	0	ユーザ・データワード
9	!EP	EP	0	0	word2[3:0]				0	0	ユーザ・データワード
10	!EP	EP	0	0	word3[7:4]				0	0	ユーザ・データワード
11	!EP	EP	0	0	word3[3:0]				0	0	ユーザ・データワード
12	!EP	EP	0	0	word4[7:4]				0	0	ユーザ・データワード
13	!EP	EP	0	0	word4[3:0]				0	0	ユーザ・データワード
14	!CS[8]	CS[8]	CS[7]	CS[6]	CS[5]	CS[4]	CS[3]	CS[2]	0	0	チェックサム

ADV7183B

表64. データ・バイトの割当て

2×	ビデオ・ラインから取り出された 原情報のバイト数	GDECAD	ユーザ・データワード数 (パディングを含む)	パディング・バイト数	DC[1:0]
1	4	0	8	0	10
1	4	1	4	0	01
0	2	0	4	0	01
0	2	1	4	2	01

Gemstarビット名

- DID: データ識別値は0x140 (10ビット値)。8ビット・システムの場合、下位2ビットが無視されることに注意してください。
- EPと!EP: EPビットは、データワードD[8:0]に偶数パリティを適用するときにセットします。偶数パリティは、D[8:0]ビット内に常に偶数個の1が存在することを意味します。これにはEPビットも含まれます。!EPは、EPの反転ロジックを表わし、D[9]に出力されます。!EPは、予備のコード00とFFが発生しないようにするために出力されます。
- EF: 偶数フィールドの識別。EF=1は、偶数フィールドのビデオ・ラインからデータが再生されたことを示します。
- 2X: このビットは、スライスされたデータがGemstar 1倍または2倍フォーマットのどちらかを表わします。ハイレベルは2倍フォーマットを示します。
- line[3:0]: Gemstarデータが取り出された可能性のある16本のソース・ビデオ・ラインの各々に対して、個別のコードを提供します。表73と表74を参照してください。
- DC[1:0]: データ・カウント値。4分割されたパケット内のユーザ・データワード数。どのパケット内のユーザ・データワード数(UDW)も4の整数倍である必要があります。必要に応じて、最後にパディングが行われます。ITU-R BT.1364に準拠。表64を参照してください。
- 2Xビットは、ビデオ・ラインから取り出された原情報が2バイトまたは4バイトのどちらかを指定します。GDECADビットの状態は、バイトをそ

のまま送信するか(すなわち、2バイトを2バイトとして送信)、ニブルに分割するか(すなわち、2バイトを4つの半バイトで送信)を表わします。その後、必要に応じてパディング・バイトが追加されます。

- CS[8:2]: チェックサムは、補助データ・パケットの完全性を判断するためのものです。DIDのD[8:2]、SDID、データ・カウント・バイト、すべてのUDWを加算し、加算時のオーバーフローを無視して計算されます。チェックサムの計算に使われるすべてのデータ・バイトは下位2ビットを0に、CS[1:0]ビットも常に0に設定されています。

!CS[8]: CS[8]の反転ロジックを表わします。値!CS[8]は、予備の値0x00と0xFFを発生させないように、データ・パケットのチェックサムに含まれています。

表65～表70に、可能なデータ・パッケージの概要を示します。

Gemstar 2倍フォーマット、半バイト出力モード

CDECAD=0を設定すると、半バイト出力モードが選択されます。CDECAD=1を設定すると、フルバイト出力モードが選択されます。「GDECAD (Gemstarデコード補助データ・フォーマット)、アドレス0x4C[0]」を参照してください。

Gemstar 1倍フォーマット

CDECAD=0を設定すると、半バイト出力モードが選択されます。CDECAD=1を設定すると、フルバイト出力モードが選択されます。「GDECAD (Gemstarデコード補助データ・フォーマット)、アドレス0x4C[0]」を参照してください。

表65. Gemstar 2倍データ、半バイト・モード

バイト	D[9]	D[8]	D[7]	D[6]	D[5]	D[4]	D[3]	D[2]	D[1]	D[0]	説明
0	0	0	0	0	0	0	0	0	0	0	固定プリアンブル
1	1	1	1	1	1	1	1	1	1	1	固定プリアンブル
2	1	1	1	1	1	1	1	1	1	1	固定プリアンブル
3	0	1	0	1	0	0	0	0	0	0	DID
4	!EP	EP	EF	1	line[3:0]				0	0	SDID
5	!EP	EP	0	0	0	0	1	0	0	0	データ・カウンタ
6	!EP	EP	0	0	Gemstar word1[7:4]				0	0	ユーザ・データワード
7	!EP	EP	0	0	Gemstar word1[3:0]				0	0	ユーザ・データワード
8	!EP	EP	0	0	Gemstar word2[7:4]				0	0	ユーザ・データワード
9	!EP	EP	0	0	Gemstar word2[3:0]				0	0	ユーザ・データワード
10	!EP	EP	0	0	Gemstar word3[7:4]				0	0	ユーザ・データワード
11	!EP	EP	0	0	Gemstar word3[3:0]				0	0	ユーザ・データワード
12	!EP	EP	0	0	Gemstar word4[7:4]				0	0	ユーザ・データワード
13	!EP	EP	0	0	Gemstar word4[3:0]				0	0	ユーザ・データワード
14	!CS[8]	CS[8]	CS[7]	CS[6]	CS[5]	CS[4]	CS[3]	CS[2]	CS[1]	CS[0]	チェックサム

表66. Gemstar 2倍データ、フル・バイト・モード

バイト	D[9]	D[8]	D[7]	D[6]	D[5]	D[4]	D[3]	D[2]	D[1]	D[0]	説明
0	0	0	0	0	0	0	0	0	0	0	固定プリアンブル
1	1	1	1	1	1	1	1	1	1	1	固定プリアンブル
2	1	1	1	1	1	1	1	1	1	1	固定プリアンブル
3	0	1	0	1	0	0	0	0	0	0	DID
4	!EP	EP	EF	1	line[3:0]				0	0	SDID
5	!EP	EP	0	0	0	0	0	1	0	0	データ・カウンタ
6	Gemstar word1[7:0]								0	0	ユーザ・データワード
7	Gemstar word2[7:0]								0	0	ユーザ・データワード
8	Gemstar word3[7:0]								0	0	ユーザ・データワード
9	Gemstar word4[7:0]								0	0	ユーザ・データワード
10	!CS[8]	CS[8]	CS[7]	CS[6]	CS[5]	CS[4]	CS[3]	CS[2]	CS[1]	CS[0]	チェックサム

表67. Gemstar 1倍データ、半バイト・モード

バイト	D[9]	D[8]	D[7]	D[6]	D[5]	D[4]	D[3]	D[2]	D[1]	D[0]	説明
0	0	0	0	0	0	0	0	0	0	0	固定プリアンブル
1	1	1	1	1	1	1	1	1	1	1	固定プリアンブル
2	1	1	1	1	1	1	1	1	1	1	固定プリアンブル
3	0	1	0	1	0	0	0	0	0	0	DID
4	!EP	EP	EF	0	line[3:0]				0	0	SDID
5	!EP	EP	0	0	0	0	0	1	0	0	データ・カウンタ
6	!EP	EP	0	0	Gemstar word1[7:4]				0	0	ユーザ・データワード
7	!EP	EP	0	0	Gemstar word1[3:0]				0	0	ユーザ・データワード
8	!EP	EP	0	0	Gemstar word2[7:4]				0	0	ユーザ・データワード
9	!EP	EP	0	0	Gemstar word2[3:0]				0	0	ユーザ・データワード
10	!CS[8]	CS[8]	CS[7]	CS[6]	CS[5]	CS[4]	CS[3]	CS[2]	CS[1]	CS[0]	チェックサム

ADV7183B

表68. Gemstar 1倍データ、フル・バイト・モード

バイト	D[9]	D[8]	D[7]	D[6]	D[5]	D[4]	D[3]	D[2]	D[1]	D[0]	説明
0	0	0	0	0	0	0	0	0	0	0	固定プリアンブル
1	1	1	1	1	1	1	1	1	1	1	固定プリアンブル
2	1	1	1	1	1	1	1	1	1	1	固定プリアンブル
3	0	1	0	1	0	0	0	0	0	0	DID
4	!EP	EP	EF	0	line[3:0]				0	0	SDID
5	!EP	EP	0	0	0	0	0	1	0	0	データ・カウン
6	Gemstar word1[7:0]								0	0	ユーザ・データワード
7	Gemstar word2[7:0]								0	0	ユーザ・データワード
8	1	0	0	0	0	0	0	0	0	0	UDWパディング0x200
9	1	0	0	0	0	0	0	0	0	0	UDWパディング0x200
10	!CS[8]	CS[8]	CS[7]	CS[6]	CS[5]	CS[4]	CS[3]	CS[2]	CS[1]	CS[0]	チェックサム

表69. NTSC CCAPデータ、半バイト・モード

バイト	D[9]	D[8]	D[7]	D[6]	D[5]	D[4]	D[3]	D[2]	D[1]	D[0]	説明
0	0	0	0	0	0	0	0	0	0	0	固定プリアンブル
1	1	1	1	1	1	1	1	1	1	1	固定プリアンブル
2	1	1	1	1	1	1	1	1	1	1	固定プリアンブル
3	0	1	0	1	0	0	0	0	0	0	DID
4	!EP	EP	EF	0	1	0	1	1	0	0	SDID
5	!EP	EP	0	0	0	0	0	1	0	0	データ・カウン
6	!EP	EP	0	0	CCAP word1[7:4]				0	0	ユーザ・データワード
7	!EP	EP	0	0	CCAP word1[3:0]				0	0	ユーザ・データワード
8	!EP	EP	0	0	CCAP word2[7:4]				0	0	ユーザ・データワード
9	!EP	EP	0	0	CCAP word2[3:0]				0	0	ユーザ・データワード
10	!CS[8]	CS[8]	CS[7]	CS[6]	CS[5]	CS[4]	CS[3]	CS[2]	CS[1]	CS[0]	チェックサム

表70. NTSC CCAPデータ、フル・バイト・モード

バイト	D[9]	D[8]	D[7]	D[6]	D[5]	D[4]	D[3]	D[2]	D[1]	D[0]	説明
0	0	0	0	0	0	0	0	0	0	0	固定プリアンブル
1	1	1	1	1	1	1	1	1	1	1	固定プリアンブル
2	1	1	1	1	1	1	1	1	1	1	固定プリアンブル
3	0	1	0	1	0	0	0	0	0	0	DID
4	!EP	EP	EF	0	1	0	1	1	0	0	SDID
5	!EP	EP	0	0	0	0	0	1	0	0	データ・カウン
6	CCAP word1[7:0]								0	0	ユーザ・データワード
7	CCAP word2[7:0]								0	0	ユーザ・データワード
8	1	0	0	0	0	0	0	0	0	0	UDWパディング0x200
9	1	0	0	0	0	0	0	0	0	0	UDWパディング0x200
10	!CS[8]	CS[8]	CS[7]	CS[6]	CS[5]	CS[4]	CS[3]	CS[2]	CS[1]	CS[0]	チェックサム

NTSC CCAPデータ

CDECAD=0を設定すると、半バイト出力モードが選択されます。
CDECAD=1を設定すると、フル・バイト・モードがイネーブルになります。
「GDECAD (Gemstarデコード補助データ・フォーマット)、アドレス0x4C [0]」を参照してください。表69と表70に、データ・パケット・フォーマットを示します。

出力データ・ストリームには、クローズド・キャプション・データのみ埋め込みできます。

NTSCクローズド・キャプション・データは、偶数および奇数フィールドの21番目のラインでスライスされます。対応するイネーブル・ビットはハイレベルに設定する必要があります。「GDECEL[15:0] (Gemstarデコーディング偶数ライン)、アドレス0x48 [7:0]、アドレス0x49 [7:0]」および「GDECOL[15:0] (Gemstarデコーディング奇数ライン)、アドレス0x4A [7:0]；アドレス0x4B [7:0]」の各項を参照してください。

PAL CCAPデータ

CDECAD=0を設定すると、半バイト出力モードが選択されます。
CDECAD=1を設定すると、フルバイト出力モードが選択されます。
「GDECAD (Gemstarデコード補助データ・フォーマット)、アドレス0x4C [0]」を参照してください。

表71と表72に、データ・パケットのバイトの一覧を示します。

出力データ・ストリームには、クローズド・キャプション・データのみ埋め込みできます。PALクローズド・キャプション・データは、22番目と335番目のラインでスライスされます。対応するイネーブル・ビットを設定する必要があります。

「GDECAD (Gemstarデコード補助データ・フォーマット)、アドレス0x4C [0]」および「GDECOL[15:0] (Gemstarデコーディング奇数ライン)、アドレス0x4A [7:0]；アドレス0x4B [7:0]」を参照してください。

表71. PAL CCAPデータ、半バイト・モード

バイト	D[9]	D[8]	D[7]	D[6]	D[5]	D[4]	D[3]	D[2]	D[1]	D[0]	説明
0	0	0	0	0	0	0	0	0	0	0	固定プリアンプル
1	1	1	1	1	1	1	1	1	1	1	固定プリアンプル
2	1	1	1	1	1	1	1	1	1	1	固定プリアンプル
3	0	1	0	1	0	0	0	0	0	0	DID
4	!EP	EP	EF	0	1	0	1	0	0	0	SDID
5	!EP	EP	0	0	0	0	0	1	0	0	データ・カウンタ
6	!EP	EP	0	0	CCAP word1[7:4]				0	0	ユーザ・データワード
7	!EP	EP	0	0	CCAP word1[3:0]				0	0	ユーザ・データワード
8	!EP	EP	0	0	CCAP word2[7:4]				0	0	ユーザ・データワード
9	!EP	EP	0	0	CCAP word2[3:0]				0	0	ユーザ・データワード
10	!CS[8]	CS[8]	CS[7]	CS[6]	CS[5]	CS[4]	CS[3]	CS[2]	CS[1]	CS[0]	チェックサム

表72. PAL CCAPデータ、フル・バイト・モード

バイト	D[9]	D[8]	D[7]	D[6]	D[5]	D[4]	D[3]	D[2]	D[1]	D[0]	説明
0	0	0	0	0	0	0	0	0	0	0	固定プリアンプル
1	1	1	1	1	1	1	1	1	1	1	固定プリアンプル
2	1	1	1	1	1	1	1	1	1	1	固定プリアンプル
3	0	1	0	1	0	0	0	0	0	0	DID
4	!EP	EP	EF	0	1	0	1	0	0	0	SDID
5	!EP	EP	0	0	0	0	0	1	0	0	データ・カウンタ
6	CCAP word1[7:0]								0	0	ユーザ・データワード
7	CCAP word2[7:0]								0	0	ユーザ・データワード
8	1	0	0	0	0	0	0	0	0	0	UDWパディング200h
9	1	0	0	0	0	0	0	0	0	0	UDWパディング200h
10	!CS[8]	CS[8]	CS[7]	CS[6]	CS[5]	CS[4]	CS[3]	CS[2]	CS[1]	CS[0]	チェックサム

ADV7183B

GDECEL[15:0] (Gemstarデコーディング偶数ライン)、

アドレス0x48 [7:0]; アドレス0x49 [7:0]

GDECEL[15:0]の16ビットは、16個の別々のライン・デコード・イネーブル信号として解釈されます。各ビットは、偶数フィールド内のビデオ・ラインに対応します。このビットを1に設定すると、該当するライン上で、デコーダ・ブロックがGemstarまたはクローズド・キャプション互換データを検索できるようになります。このビットを0に設定すると、デコーダはデータの取出しを行いません。表73と表74を参照してください。

NTSC (ライン284) 上でクローズド・キャプション・データ・サービスを取り出すときは、GDECEL[11]を必ず1に設定します。

PAL (ライン335) 上でクローズド・キャプション・データ・サービスを取り出すときは、GDECEL[14]を必ず1に設定します。

GDECEL[15:0]のデフォルト値は0x0000です。この設定のとき、デコーダは偶数フィールドのすべてのライン上でGemstarまたはCCAPデータのデコードを行いません。

GDECOL[15:0] (Gemstarデコーディング奇数ライン)、

アドレス0x4A [7:0]; アドレス0x4B [7:0]

GDECOL[15:0]の16ビットは16個の別々のライン・デコード・イネーブル信号として解釈されます。表73と表74を参照してください。

NTSC (ライン21) 上でクローズド・キャプション・データ・サービスを取り出すときは、GDECOL[11]を必ず1に設定します。

PAL (ライン22) 上でクローズド・キャプション・データ・サービスを取り出すときは、GDECOL[14]を必ず1に設定します。

GDECOL[15:0]のデフォルト値は0x0000です。この設定のときは、奇数フィールドのすべてのライン上でGemstarまたはCCAPデータのデコードを行いません。

GDECAD (Gemstarデコード補助データ・フォーマット)、アドレス0x4C [0]

Gemstar互換送信またはクローズド・キャプションからデコードされたデータが、対応するビデオ・ラインの水平ブランキング区間に挿入されます。取り出されたデータ・バイトの値が0x00または0xFFの場合、問題が発生することがあります。ITU-R BT.656互換データ・ストリームでは、これらの値は予備で、固定プリアンプルを構成するためにのみ使われます。

GDECADビットを使用し、次の2つの方法でデータを水平ブランキング区間に挿入できます。

- 予備値0x00と0xFFが発生した場合でも、すべてのデータをそのままデータ・ストリームに挿入する。これは、出力データ・フォーマット仕様ITU-R BT.1364に違反する可能性があります。
- すべてのデータをニブルに分割し、2倍のサイクル数の間にわたって、半バイトを4ビット・フォーマットで挿入する。

GDECADが0 (デフォルト値) のとき、データを半バイトに分割して挿入します。

GDECADが1のとき、データをそのまま8ビット・フォーマットで出力します。

表73. NTSCライン・イネーブル・ビットと対応するライン番号

line [3:0]	ライン番号 (ITU-R BT.470)	イネーブル・ ビット	コメント
0	10	GDECOL[0]	Gemstar
1	11	GDECOL[1]	Gemstar
2	12	GDECOL[2]	Gemstar
3	13	GDECOL[3]	Gemstar
4	14	GDECOL[4]	Gemstar
5	15	GDECOL[5]	Gemstar
6	16	GDECOL[6]	Gemstar
7	17	GDECOL[7]	Gemstar
8	18	GDECOL[8]	Gemstar
9	19	GDECOL[9]	Gemstar
10	20	GDECOL[10]	Gemstar
11	21	GDECOL[11]	Gemstar または クローズド・キャプション
12	22	GDECOL[12]	Gemstar
13	23	GDECOL[13]	Gemstar
14	24	GDECOL[14]	Gemstar
15	25	GDECOL[15]	Gemstar
0	273 (10)	GDECEL[0]	Gemstar
1	274 (11)	GDECEL[1]	Gemstar
2	275 (12)	GDECEL[2]	Gemstar
3	276 (13)	GDECEL[3]	Gemstar
4	277 (14)	GDECEL[4]	Gemstar
5	278 (15)	GDECEL[5]	Gemstar
6	279 (16)	GDECEL[6]	Gemstar
7	280 (17)	GDECEL[7]	Gemstar
8	281 (18)	GDECEL[8]	Gemstar
9	282 (19)	GDECEL[9]	Gemstar
10	283 (20)	GDECEL[10]	Gemstar
11	284 (21)	GDECEL[11]	Gemstar または クローズド・キャプション
12	285 (22)	GDECEL[12]	Gemstar
13	286 (23)	GDECEL[13]	Gemstar
14	287 (24)	GDECEL[14]	Gemstar
15	288 (25)	GDECEL[15]	Gemstar

表74. PALライン・イネーブル・ビットと対応するライン番号

line [3:0]	ライン番号 (ITU-R BT.470)	イネーブル・ ビット	コメント
12	8	GDECOL[0]	無効
13	9	GDECOL[1]	無効
14	10	GDECOL[2]	無効
15	11	GDECOL[3]	無効
0	12	GDECOL[4]	無効
1	13	GDECOL[5]	無効
2	14	GDECOL[6]	無効
3	15	GDECOL[7]	無効
4	16	GDECOL[8]	無効
5	17	GDECOL[9]	無効
6	18	GDECOL[10]	無効
7	19	GDECOL[11]	無効
8	20	GDECOL[12]	無効
9	21	GDECOL[13]	無効
10	22	GDECOL[14]	クローズド・キャプション
11	23	GDECOL[15]	無効
12	321 (8)	GDECEL[0]	無効
13	322 (9)	GDECEL[1]	無効
14	323 (10)	GDECEL[2]	無効
15	324 (11)	GDECEL[3]	無効
0	325 (12)	GDECEL[4]	無効
1	326 (13)	GDECEL[5]	無効
2	327 (14)	GDECEL[6]	無効
3	328 (15)	GDECEL[7]	無効
4	329 (16)	GDECEL[8]	無効
5	330 (17)	GDECEL[9]	無効
6	331 (18)	GDECEL[10]	無効
7	332 (19)	GDECEL[11]	無効
8	333 (20)	GDECEL[12]	無効
9	334 (21)	GDECEL[13]	無効
10	335 (22)	GDECEL[14]	クローズド・キャプション
11	336 (23)	GDECEL[15]	無効

IF補償フィルタ

IFFILTSEL[2:0] (IFフィルタ選択)、アドレス0xF8 [2:0]

IFFILTSEL[2:0]レジスタを使用し、チューナ出力のときと同じように、コンポジット入力におけるSAWフィルタの特性を補償できます。図36および図37に、NTSCおよびPALのIFフィルタ補償を示します。

この機能のオプションは以下のとおりです。

- バイパス・モード (デフォルト)
- NTSC—3つのフィルタ特性から構成
- PAL—3つのフィルタ特性から構成

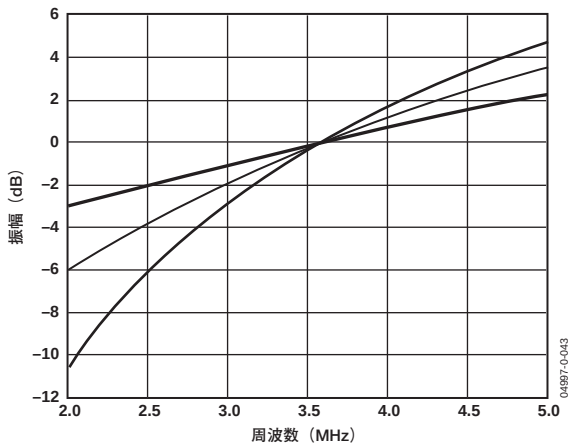


図36. NTSCのIF補償フィルタ応答

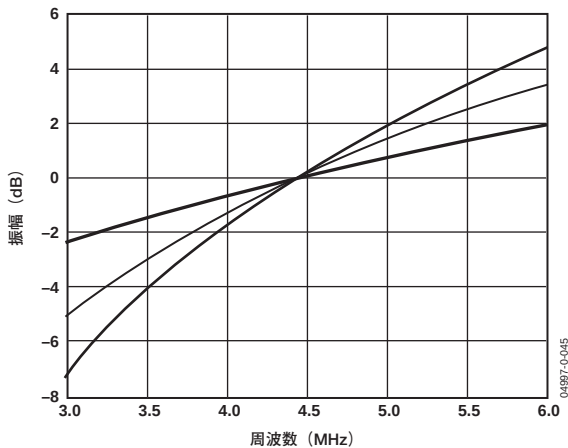


図37. PALのIF補償フィルタ応答

プログラミングの詳細については、表85を参照してください。

I²C割込みシステム

ADV7183Bには包括的な割込みレジスタがあります。このマップはレジスタ・アクセス・ページ2にあります。割込みレジスタ・マップの詳細については、表83を参照してください。

このマップへのアクセス方法は、図38で説明します。

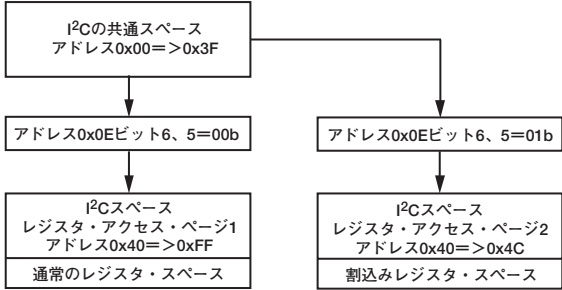


図38. レジスタ・アクセス—ページ1とページ2

ADV7183B

割込み要求出力動作

割込みイベントが発生すると、INTRQ_DUR_SEL[1:0]で設定した期間、割込みピン $\overline{\text{INTRQ}}$ がローレベルになります。

INTRQ_DURSEL[1:0] (割込み要求期間の選択)、
アドレス0x40 (割込みスペース) [7:6]

表75. INTRQ_DUR_SEL

INTRQ_DURSEL[1:0]	説明
00 (デフォルト値)	3クロック期間
01	15クロック期間
10	63クロック期間
11	クリアされるまでアクティブ

割込み期間として「**クリアされるまでアクティブ**」が選択されている場合、その割込みの原因となったイベントがもはや有効でなくなっても、割込みがマスクされるかクリアされるまで割込みが続きます。

たとえば、ADV7183Bがロックを喪失した場合、割込みが発生して $\overline{\text{INTRQ}}$ ピンがローレベルになります。しかし、ADV7183Bがロック状態に戻っても、 $\overline{\text{INTRQ}}$ はローレベルのままで、SD_LOCKビットがマスクされるかクリアされるまで、この状態が続きます。

割込み駆動レベル

ADV7183Bは、オープン・ドレインがイネーブルになるとリセットされ、割込みすべてがマスクオフされます。そのため、 $\overline{\text{INTRQ}}$ はリセット後ハイ・インピーダンス状態になります。ロジック・レベルを $\overline{\text{INTRQ}}$ ピンから駆動するには、INTRQ_OP_SEL[1:0]に01か10を書き込む必要があります。

$\overline{\text{INTRQ}}$ ピンをマニュアルでアサートするように、ADV7183Bのレジスタに書き込むこともできます。このビットはMPU_STIM_INTRQです。

INTRQ_OP_SEL[1:0] (割込み要求動作選択)、
アドレス0x40 (割込みスペース) [1:0]

表76. INTRQ_OP_SEL

INTRQ_OP_SEL[1:0]	説明
00 (デフォルト値)	オープン・ドレイン
01	アクティブのとき、ローレベルに駆動
10	アクティブのとき、ハイレベルに駆動
11	予備

複数の割込みイベント

割込みイベント1が発生し、その後システム・コントローラが割り込みイベント1をクリアまたはマスクする前に割込みイベント2が発生した場合、ADV7183Bは2番目の割込み信号を発生させないようにします。システム・コントローラは、複数の割込みステータス・ビットがアクティブになる可能性があるため、マスクされていない割込みステータス・ビットをすべてチェックします。

Macrovision割込み選択ビット

以下のように、疑似同期パルスとカラー・ストライプ検出から選択できます。

MV_INTRQ_SEL[1:0] (Macrovision割込み選択ビット)、
アドレス0x40 (割込みスペース) [5:4]

表77. MV_INTRQ_SEL

MV_INTRQ_SEL[1:0]	説明
00	予備
01 (デフォルト値)	疑似同期のみ
10	カラー・ストライプのみ
11	疑似同期またはカラー・ストライプ

割込みシステムに関しては、表83に詳細な説明があります。

ピクセル・ポートの設定

ADV7183Bは非常に柔軟なピクセル・ポートを持っており、下流のICに対応したさまざまなフォーマットに設定できます。表78と表79に、各動作モードのときのADV7183Bのピンに割り当てられているさまざまな機能をまとめています。

コンポーネントの順序(たとえば、Cr対Cb、CHA/B/C)は変更可能です。「SWPC(ピクセルCr/Cbのスワップ)、アドレス0x27 [7]」を参照してください。表78に、Cr/Cbコンポーネントのデフォルト位置を示します。

OF_SEL[3:0] (出力フォーマット選択)、アドレス0x03 [5:2]

ADV7183Bのピクセル・ポートを設定するモードは、OF_SEL[3:0]で制御できます。詳細は、表79を参照してください。

LLC1ピンのデフォルトのLLC周波数出力は約27MHzです。公称データレート13.5MHz (0001, 0010)で動作するモードでは、LLC1ピンのクロック周波数は高いほうのレート27MHzに維持されます。LLC1ピンに公称の13.5MHzのクロックを出力させることについては、「LLC1出力選択、LLC_PAD_SEL[2:0]、アドレス0x8F [6:4]」を参照してください。

SWPC (ピクセルCr/Cbのスワップ)、アドレス0x27 [7]

このビットにより、CrサンプルとCbサンプルをスワップできます。

SWPCが0(デフォルト値)のとき、スワップはできません。

SWPCが1のとき、Cr値とCb値をスワップできます。

LLC1出力選択、LLC_PAD_SEL[2:0]、アドレス0x8F [6:4]

次のPC書き込みを行うと、LLC1 (公称27MHz)またはLLC2 (公称13.5MHz)をLLC1ピンの出力として選択できます。

LLC2信号は、LLC2互換の広いバス(16ビット)出力モードに便利です。詳細は、「OF_SEL[3:0] (出力フォーマット選択)、アドレス0x03 [5:2]」を参照してください。データ・バス上のLLC2信号とデータは同期しています。デフォルトで、LLC1/LLC2の立上がりエッジはYデータに一致しています。データ・バス上にCデータがある場合、立下がりエッジが発生します。クロックの極性、したがってクロック・エッジとY/Cの対応は、極性LLCピンを使って変更できます。

LLC_PAD_SEL[2:0]が000(デフォルト値)のとき、LLC1ピンに公称27MHz LLCを出力します。

LLC_PAD_SEL[2:0]が101のとき、LLC1ピンに公称13.5MHz LLCを出力します。

表78. P15～P0入出力ピンの対応

フォーマット、モード	データ・ポート・ピンP[15:0]															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビデオ出力、8ビット、4:2:2	YCrCb[7:0]出力															
ビデオ出力、16ビット、4:2:2	Y[7:0]出力								CrCb[7:0]出力							

表79. 標準ピクセル・ポート・モード

OF_SEL[3:0]	フォーマット	P[15:0]	
		P[15:8]	P[7:0]
0010	16ビット@LLC2 4:2:2	Y[7:0]	CrCb[7:0]
0011 (デフォルト値)	8ビット@LLC1 4:2:2 (デフォルト値)	YCrCb[7:0] (デフォルト値)	スリーステート
0110～1111	予備	予備、使用不可	

ADV7183B

MPUポートの説明

ADV7183Bは、2線式(I²C互換)シリアル・インターフェースをサポートしています。シリアル・データ(SDA)およびシリアル・クロック(SCLK)の2つの入力があり、ADV7183BとシステムI²Cマスター・コントローラとの間で情報を転送します。各スレーブ・デバイスは、独自のアドレスで識別されます。ADV7183BのI²Cポートにより、デコーダのセットアップと設定が可能になり、取り込んだVBIデータをリードバックできます。ADV7183Bには、ALSBピンのロジック・レベルに応じて、読出しと書込みの両動作用に2つのスレーブ・アドレスがあります。表80に、これらの4つの独自のアドレスを示します。ADV7183BのALSBピンは、スレーブ・アドレスのビット1を制御します。ALSBを変えることにより、同じスレーブ・アドレスでも衝突することなく、1つのアプリケーション内で2つのADV7183Bを制御することができます。LSB(ビット0)は、読出し動作または書込み動作を指定します。ロジック1が読出し動作に、ロジック0が書込み動作に対応します。

表80. ADV7183BのI²Cアドレス

ALSB	R/W	スレーブ・アドレス
0	0	0x40
0	1	0x41
1	0	0x42
1	1	0x43

バス上のデバイスを制御するには、特定のプロトコルに従う必要があります。まず、マスターがスタート状態を確立してデータ転送を開始します。スタート状態とは、SCLKがハイレベルの間に、SDAがハイレベルからローレベルに遷移することです。これは、アドレス/データ・ストリームが後ろに続くことを示します。すべてのスレーブはスタート状態に応答し、次の8ビット(7ビット・アドレス+R/Wビット)をシフトします。各ビットは、MSBからLSBへの順に転送されます。送信されたアドレスを認識したスレーブは、9番目のクロック・パルスの間に、データ・ラインをローレベルにプルダウンして応答します。これはアクノレッジ・ビットと呼ばれています。この時点で、バス上の他のすべてのデバイスがバスから離脱し、アイドル状態を維持します。アイドル状態では、デバイスはSDAラインとSCLKラインを監視し、スタート状態と正しいアドレスの受信を待ちます。R/Wビ

ットによりデータの転送方向が指定されます。先頭バイトのLSBがロジック0なら、マスターがスレーブに情報を書き込むことを意味します。先頭バイトのLSBがロジック1なら、マスターがスレーブから情報を読み出すことを意味します。

ADV7183Bはバス上の標準スレーブ・デバイスとして機能します。SDAピン上のデータは8ビット長で、7ビット・アドレスとR/Wビットから成ります。ADV7183Bは内部レジスタにアクセスできるように、249のサブアドレスを持っています。このため、先頭バイトをデバイス・アドレスとして、2番目のバイトをサブアドレスの先頭として解釈します。サブアドレスの自動インクリメント機能により、サブアドレスの先頭からデータの書込みまたは読出しが可能になっています。データ転送は常にストップ状態によって終了させられます。すべてのレジスタを更新することなく、固有のサブアドレス・レジスタに1つずつアクセスすることもできます。

ストップ状態とスタート状態は、データ転送のどの段階でも検出できます。通常の読出し動作と書込み動作でこれらの状態が検出されると、直ちにアイドル状態になります。SCLKがハイレベルの間は、1ビットのスタート状態か、1ビットのストップ状態、または1ビットのストップ状態プラス1ビットのスタート状態のみ発行できます。無効なサブアドレスが発行されると、ADV7183Bはアクノレッジを発行せず、アイドル状態に戻ります。

自動インクリメント・モードで最高サブアドレスを超えると、次の動作が生じます。

1. 読出しモードでは、マスター・デバイスがノー・アクノレッジを発行するまで、引き続き最高サブアドレス・レジスタの値が出力されます。ノー・アクノレッジは読出しの終了を意味します。ノー・アクノレッジの状態では、9番目のパルスでSDAラインがローレベルになりません。
2. 書込みモードでは、無効バイトのデータがサブアドレス・レジスタにロードされず、ADV7183Bからノー・アクノレッジが発行されて、デバイスはアイドル状態に戻ります。



図39. バス・データの転送

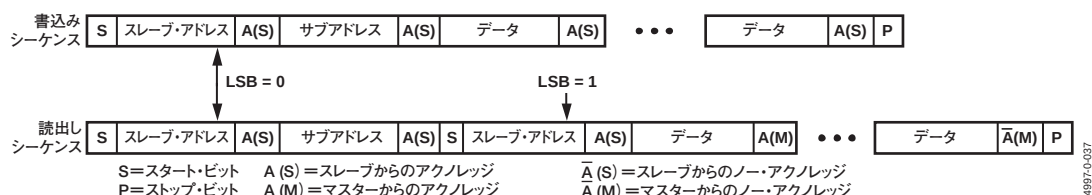


図40. 読出しシーケンスと書込みシーケンス

レジスタのアクセス

MPUは、読出し専用レジスタまたは書込み専用レジスタを除くADV7183Bのすべてのレジスタに対して、書込みまたは読出しを行うことができます。サブアドレス・レジスタは、次の読出しまたは書込み動作でアクセスするレジスタを指定します。デバイスとのバス経由のすべての通信は、サブアドレス・レジスタに対するアクセスで開始されます。それから、ターゲット・アドレスに対して読出し／書込み動作が実行され、その後、バス上でストップ・コマンドが実行されるまで次のアドレスにインクリメントされます。

レジスタの設定

以下に、各レジスタの設定について説明します。コミュニケーション・レジスタは8ビット幅の書込み専用レジスタです。バス上のデバイスにアクセスした後に、読出し／書込み動作が選択されると、サブアドレスが設定されます。サブアドレス・レジスタは、動作の対象となるレジスタを指定します。表81に、コントロール・ポートに対するサブアドレス・レジスタの制御の下で行われる動作の一覧を示します。

レジスタ・セレクト(SR7～SR0)

これらのビットで必要とされる開始アドレスを指定します。

I²Cシーケンサ

I²Cシーケンサは、パラメータが8ビットを超えたために、2つ以上のI²Cレジスタ(たとえば、HSB [11:0])に分配される場合に使用します。

このようなパラメータが2回以上のI²C書込み動作によって変更されると、最初のI²Cが動作を終了してから最後のI²Cが動作を完了するまでの間、パラメータは無効な値を保持します。つまり、パラメータの先頭ビットはすでに新しい値を保持していますが、パラメータの残りのビットはまだ古い値を保持することになります。

この問題を避けるため、I²Cシーケンサはパラメータのすでに更新されたビットをローカル・メモリに保持しておき、最後のレジスタ書込み動作が完了した後にパラメータの全ビットを同時に更新します。

I²Cシーケンサの正しい動作は、次の条件に依存します。

- 問題のパラメータに対するすべてのI²Cレジスタは、アドレスの昇順に書込みを行う(たとえば、HSB[10:0]の場合、先にアドレス0x34に書き込み、その後に0x35に書き込む)。
- そのシーケンスでの2回(または、それ以上)のI²C書込みの間には、他のI²C動作が発生しない(たとえば、HSB[10:0]の場合、先にアドレス0x34に書き込み、その直後に0x35に書き込む)。

ADV7183B

I²Cレジスタ・マップ

表81. 通常のレジスタ・マップの詳細 (ページ1)

レジスタ名	リセット時の値	rw	サブアドレス	
			10進	16進
Input Control	0000 0000	rw	0	0x00
Video Selection	1100 1000	rw	1	0x01
Reserved	0000 0100	rw	2	0x02
Output Control	0000 1100	rw	3	0x03
Extended Output Control	01xx 0101	rw	4	0x04
Reserved	0000 0000	rw	5	0x05
Reserved	0000 0010	rw	6	0x06
Autodetect Enable	0111 1111	rw	7	0x07
Contrast	1000 0000	rw	8	0x08
Reserved	1000 0000	rw	9	0x09
Brightness	0000 0000	rw	10	0x0A
Hue	0000 0000	rw	11	0x0B
Default Value Y	0011 0110	rw	12	0x0C
Default Value C	0111 1100	rw	13	0x0D
ADI Control	0000 0000	rw	14	0x0E
Power Management	0000 0000	rw	15	0x0F
Status 1	xxxx xxxx	r	16	0x10
Ident	xxxx xxxx	r	17	0x11
Status 2	xxxx xxxx	r	18	0x12
Status 3	xxxx xxxx	r	19	0x13
Analog Clamp Control	0001 0010	rw	20	0x14
Digital Clamp Control 1	0100 xxxx	rw	21	0x15
Reserved	xxxx xxxx	rw	22	0x16
Shaping Filter Control	0000 0001	rw	23	0x17
Shaping Filter Control 2	1001 0011	rw	24	0x18
Comb Filter Control	1111 0001	rw	25	0x19
Reserved	xxxx xxxx	rw	26–28	0x1A–0x1C
ADI Control 2	0000 0xxx	rw	29	0x1D
Reserved	xxxx xxxx	rw	30–38	0x1E–0x26
Pixel Delay Control	0101 1000	rw	39	0x27
Reserved	xxxx xxxx	rw	40–42	0x28–0x2A
Misc Gain Control	1110 0001	rw	43	0x2B
AGC Mode Control	1010 1110	rw	44	0x2C
Chroma Gain Control 1	1111 0100	rw	45	0x2D
Chroma Gain Control 2	0000 0000	rw	46	0x2E
Luma Gain Control 1	1111 xxxx	rw	47	0x2F
Luma Gain Control 2	xxxx xxxx	rw	48	0x30
VSyn Field Control 1	0001 0010	rw	49	0x31
VSyn Field Control 2	0100 0001	rw	50	0x32
VSyn Field Control 3	1000 0100	rw	51	0x33
HSyn Position Control 1	0000 0000	rw	52	0x34
HSyn Position Control 2	0000 0010	rw	53	0x35
HSyn Position Control 3	0000 0000	rw	54	0x36
Polarity	0000 0001	rw	55	0x37
NTSC Comb Control	1000 0000	rw	56	0x38
PAL Comb Control	1100 0000	rw	57	0x39
ADC Control	0001 0000	rw	58	0x3A
Reserved	xxxx xxxx	rw	59–60	0x3B–0x3C

レジスタ名	リセット時の値	rw	サブアドレス	
			10進	16進
Manual Window Control	0100 0011	rw	61	0x3D
Reserved	xxxx xxxx	rw	62–64	0x3E–0x40
Resample Control	0100 0001	rw	65	0x41
Reserved	xxxx xxxx	rw	66–71	0x42–0x47
Gemstar Ctrl 1	00000000	rw	72	0x48
Gemstar Ctrl 2	0000 0000	rw	73	0x49
Gemstar Ctrl 3	0000 0000	rw	74	0x4A
Gemstar Ctrl 4	0000 0000	rw	75	0x4B
GemStar Ctrl 5	xxxx xxx0	rw	76	0x4C
CTI DNR Ctrl 1	1110 1111	rw	77	0x4D
CTI DNR Ctrl 2	0000 1000	rw	78	0x4E
Reserved	xxxx xxxx	rw	79	0x4F
CTI DNR Ctrl 4	0000 1000	rw	80	0x50
LockCount	0010 0100	rw	81	0x51
Reserved	xxxx xxxx	rw	82–142	0x52–0x8E
Free-Run Line Length 1	0000 0000	w	143	0x8F
Reserved	0000 0000	w	144	0x90
VBI Info	xxxx xxxx	r	144	0x90
WSS 1	xxxx xxxx	r	145	0x91
WSS 2	xxxx xxxx	r	146	0x92
EDTV 1	xxxx xxxx	r	147	0x93
EDTV 2	xxxx xxxx	r	148	0x94
EDTV 3	xxxx xxxx	r	149	0x95
CGMS 1	xxxx xxxx	r	150	0x96
CGMS 2	xxxx xxxx	r	151	0x97
CGMS 3	xxxx xxxx	r	152	0x98
CCAP1	xxxx xxxx	r	153	0x99
CCAP2	xxxx xxxx	r	154	0x9A
Letterbox 1	xxxx xxxx	r	155	0x9B
Letterbox 2	xxxx xxxx	r	156	0x9C
Letterbox 3	xxxx xxxx	r	157	0x9D
Reserved	xxxx xxxx	rw	158–177	0x9E–0xB1
CRC Enable	0001 1100	w	178	0xB2
Reserved	xxxx xxxx	rw	179–194	0xB2–0xC2
ADC Switch 1	xxxx xxxx	rw	195	0xC3
ADC Switch 2	0xxx xxxx	rw	196	0xC4
Reserved	xxxx xxxx	rw	197–219	0xC5–0xDB
Letterbox Control 1	1010 1100	rw	220	0xDC
Letterbox Control 2	0100 1100	rw	221	0xDD
Reserved	0000 0000	rw	222	0xDE
Reserved	0000 0000	rw	223	0xDF
Reserved	0001 0100	rw	224	0xE0
SD Offset Cb	1000 0000	rw	225	0xE1
SD Offset Cr	1000 0000	rw	226	0xE2
SD Saturation Cb	1000 0000	rw	227	0xE3
SD Saturation Cr	1000 0000	rw	228	0xE4
NTSC V Bit Begin	0010 0101	rw	229	0xE5
NTSC V Bit End	0000 0100	rw	230	0xE6
NTSC F Bit Toggle	0110 0011	rw	231	0xE7
PAL V Bit Begin	0110 0101	rw	232	0xE8
PAL V Bit End	0001 0100	rw	233	0xE9
PAL F Bit Toggle	0110 0011	rw	234	0xEA

ADV7183B

レジスタ名	リセット時の値	rw	サブアドレス	
			10進	16進
Reserved	xxxx xxxx	rw	235-243	0xEB-0xF3
Drive Strength	xx01 0101	rw	244	0xF4
Reserved	xxxx xxxx	rw	245-247	0xF5-0xF7
IF Comp Control	0000 0000	rw	248	0xF8
VS Mode Control	0000 0000	rw	249	0xF9

表82. 各レジスタの各ビットの名称 (ページ1)

レジスタ名	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
Input Control	VID_SEL.3	VID_SEL.2	VID_SEL.1	VID_SEL.0	INSEL.3	INSEL.2	INSEL.1	INSEL.0
Video Selection		ENHSPLL	BETACAM		ENVSPROC			
Reserved								
Output Control	VBI_EN	TOD	OF_SEL.3	OF_SEL.2	OF_SEL.1	OF_SEL.0		SD_DUP_AV
Extended Output Control	BT656-4				TIM_OE	BL_C_VBI	EN_SFL_PI	RANGE
Reserved								
Reserved								
Autodetect Enable	AD_SEC525_EN	AD_SECAM_EN	AD_N443_EN	AD_P60_EN	AD_PALN_EN	AD_PALM_EN	AD_NTSC_EN	AD_PAL_EN
Contrast	CON.7	CON.6	CON.5	CON.4	CON.3	CON.2	CON.1	CON.0
Reserved								
Brightness	BRI.7	BRI.6	BRI.5	BRI.4	BRI.3	BRI.2	BRI.1	BRI.0
Hue	HUE.7	HUE.6	HUE.5	HUE.4	HUE.3	HUE.2	HUE.1	HUE.0
Default Value Y	DEF_Y.5	DEF_Y.4	DEF_Y.3	DEF_Y.2	DEF_Y.1	DEF_Y.0	DEF_VAL_AUTO_EN	DEF_VAL_EN
Default Value C	DEF_C.7	DEF_C.6	DEF_C.5	DEF_C.4	DEF_C.3	DEF_C.2	DEF_C.1	DEF_C.0
ADI Control				SUB_USR_EN.0				
Power Management	RES		PWRDN			PDBP		
Status 1	COL_KILL	AD_RESULT.2	AD_RESULT.1	AD_RESULT.0	FOLLOW_PW	FSC_LOCK	LOST_LOCK	IN_LOCK
Ident	IDENT.7	IDENT.6	IDENT.5	IDENT.4	IDENT.3	IDENT.2	IDENT.1	IDENT.0
Status 2			FSC NSTD	LL NSTD	MV AGC DET	MV PS DET	MVCS T3	MVCS DET
Status 3	PAL SW LOCK	INTERLACE	STD FLD LEN	FREE_RUN_ACT		SD_OP_50HZ	GEMD	INST_HLOCK
Analog Clamp Control				CCLEN				
Digital Clamp Control 1		DCT.1	DCT.0					
Reserved								
Shaping Filter Control	CSFM.2	CSFM.1	CSFM.0	YSFM.4	YSFM.3	YSFM.2	YSFM.1	YSFM.0
Shaping Filter Control 2	WYSFMOVR			WYSFM.4	WYSFM.3	WYSFM.2	WYSFM.1	WYSFM.0
Comb Filter Control					NSFSEL.1	NSFSEL.0	PSFSEL.1	PSFSEL.0
Reserved								
ADI Control 2	TRI_LLC	EN28XTAL	VS_JIT_COMP_EN					
Reserved								
Pixel Delay Control	SWPC	AUTO_PDC_EN	CTA.2	CTA.1	CTA.0		LTA.1	LTA.0
Reserved								
Misc Gain Control		CKE						PW_UPD
AGC Mode Control		LAGC.2	LAGC.1	LAGC.0			CAGC.1	CAGC.0
Chroma Gain Control 1	CAGT.1	CAGT.0			CMG.11	CMG.10	CMG.9	CMG.8
Chroma Gain Control 2	CMG.7	CMG.6	CMG.5	CMG.4	CMG.3	CMG.2	CMG.1	CMG.0
Luma Gain Control 1	LAGT.1	LGAT.0			LMG.11	LMG.10	LMG.9	LMG.8
Luma Gain Control 2	LMG.7	LMG.6	LMG.5	LMG.4	LMG.3	LMG.2	LMG.1	LMG.0
VSyn Field Control 1				NEWAVMODE	HVSTIM			
VSyn Field Control 2	VSBO	VSBE						
VSyn Field Control 3	VSEHO	VSEHE						
HSyn Position Control 1		HSB.10	HSB.9	HSB.8		HSE.10	HSE.9	HSE.8
HSyn Position Control 2	HSB.7	HSB.6	HSB.5	HSB.4	HSB.3	HSB.2	HSB.1	HSB.0
HSyn Position Control 3	HSE.7	HSE.6	HSE.5	HSE.4	HSE.3	HSE.2	HSE.1	HSE.0
Polarity	PHS		PVS		PF			PCLK
NTSC Comb Control	CTAPSN.1	CTAPSN.0	CCMN.2	CCMN.1	CCMN.0	YCMN.2	YCMN.1	YCMN.0
PAL Comb Control	CTAPSP.1	CTAPSP.0	CCMP.2	CCMP.1	CCMP.0	YCMP.2	YCMP.1	YCMP.0
ADC Control					PWRDN_AD_C_0	PWRDN_AD_C_1	PWRDN_ADC_2	
Reserved								

レジスタ名	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
Manual Window Control		CKILLTHR.2	CKILLTHR.1	CKILLTHR.0				
Reserved								
Resample Control		SFL_INV						
Reserved								
Gemstar Ctrl 1	GDECEL.15	GDECEL.14	GDECEL.13	GDECEL.12	GDECEL.11	GDECEL.10	GDECEL.9	GDECEL.8
Gemstar Ctrl 2	GDECEL.7	GDECEL.6	GDECEL.5	GDECEL.4	GDECEL.3	GDECEL.2	GDECEL.1	GDECEL.0
Gemstar Ctrl 3	GDECOL.15	GDECOL.14	GDECOL.13	GDECOL.12	GDECOL.11	GDECOL.10	GDECOL.9	GDECOL.8
Gemstar Ctrl 4	GDECOL.7	GDECOL.6	GDECOL.5	GDECOL.4	GDECOL.3	GDECOL.2	GDECOL.1	GDECOL.0
Gemstar Ctrl 5								GDECAD
CTI DNR Ctrl 1			DNR_EN		CTI_AB.1	CTI_AB.0	CTI_AB_EN	CTI_EN
CTI DNR Ctrl 2	CTI_C_TH.7	CTI_C_TH.6	CTI_C_TH.5	CTI_C_TH.4	CTI_C_TH.3	CTI_C_TH.2	CTI_C_TH.1	CTI_C_TH.0
Reserved								
CTI DNR Ctrl 4	DNR_TH.7	DNR_TH.6	DNR_TH.5	DNR_TH.4	DNR_TH.3	DNR_TH.2	DNR_TH.1	DNR_TH.0
Lock Count	FSCLE	SRLS	COL.2	COL.1	COL.0	CIL.2	CIL.1	CIL.0
Reserved								
Free-run Line Length 1		LLC_PAD_SEL.2	LLC_PAD_SEL.1	LLC_PAD_SEL.0				
Reserved								
VBI Info					CGMSD	EDTV.0	CCAPD	WSSD
WSS 1	WSS1.7	WSS1.6	WSS1.5	WSS1.4	WSS1.3	WSS1.2	WSS1.1	WSS1.0
WSS 2	WSS2.7	WSS2.6	WSS2.5	WSS2.4	WSS2.3	WSS2.2	WSS2.1	WSS2.0
EDTV 1	EDTV1.7	EDTV1.6	EDTV1.5	EDTV1.4	EDTV1.3	EDTV1.2	EDTV1.1	EDTV1.0
EDTV 2	EDTV2.7	EDTV2.6	EDTV2.5	EDTV2.4	EDTV2.3	EDTV2.2	EDTV2.1	EDTV2.0
EDTV 3	EDTV3.7	EDTV3.6	EDTV3.5	EDTV3.4	EDTV3.3	EDTV3.2	EDTV3.1	EDTV3.0
CGMS 1	CGMS1.7	CGMS1.6	CGMS1.5	CGMS1.4	CGMS1.3	CGMS1.2	CGMS1.1	CGMS1.0
CGMS 2	CGMS2.7	CGMS2.6	CGMS2.5	CGMS2.4	CGMS2.3	CGMS2.2	CGMS2.1	CGMS2.0
CGMS 3	CGMS3.7	CGMS3.6	CGMS3.5	CGMS3.4	CGMS3.3	CGMS3.2	CGMS3.1	CGMS3.0
CCAP1	CCAP1.7	CCAP1.6	CCAP1.5	CCAP1.4	CCAP1.3	CCAP1.2	CCAP1.1	CCAP1.0
CCAP2	CCAP2.7	CCAP2.6	CCAP2.5	CCAP2.4	CCAP2.3	CCAP2.2	CCAP2.1	CCAP2.0
Letterbox 1	LB_LCT.7	LB_LCT.6	LB_LCT.5	LB_LCT.4	LB_LCT.3	LB_LCT.2	LB_LCT.1	LB_LCT.0
Letterbox 2	LB_LCM.7	LB_LCM.6	LB_LCM.5	LB_LCM.4	LB_LCM.3	LB_LCM.2	LB_LCM.1	LB_LCM.0
Letterbox 3	LB_LCB.7	LB_LCB.6	LB_LCB.5	LB_LCB.4	LB_LCB.3	LB_LCB.2	LB_LCB.1	LB_LCB.0
Reserved								
CRC Enable						CRC_ENABLE		
Reserved								
ADC Switch 1	ADC1_SW.3	ADC1_SW.2	ADC1_SW.1	ADC1_SW.0	ADC0_SW.3	ADC0_SW.2	ADC0_SW.1	ADC0_SW.0
ADC Switch 2	ADC_SW_M AN				ADC2_SW.3	ADC2_SW.2	ADC2_SW.1	ADC2_SW.0
Reserved								
Letterbox Control 1				LB_TH.4	LB_TH.3	LB_TH.2	LB_TH.1	LB_TH.0
Letterbox Control 2	LB_SL.3	LB_SL.2	LB_SL.1	LB_SL.0	LB_EL.3	LB_EL.2	LB_EL.1	LB_EL.0
Reserved								
Reserved								
Reserved								
SD Offset Cb	SD_OFF_CB.7	SD_OFF_CB.6	SD_OFF_CB.5	SD_OFF_CB.4	SD_OFF_CB.3	SD_OFF_CB.2	SD_OFF_CB.1	SD_OFF_CB.0
SD Offset Cr	SD_OFF_CR.7	SD_OFF_CR.6	SD_OFF_CR.5	SD_OFF_CR.4	SD_OFF_CR.3	SD_OFF_CR.2	SD_OFF_CR.1	SD_OFF_CR.0
SD Saturation Cb	SD_SAT_CB.7	SD_SAT_CB.6	SD_SAT_CB.5	SD_SAT_CB.4	SD_SAT_CB.3	SD_SAT_CB.2	SD_SAT_CB.1	SD_SAT_CB.0
SD Saturation Cr	SD_SAT_CR.7	SD_SAT_CR.6	SD_SAT_CR.5	SD_SAT_CR.4	SD_SAT_CR.3	SD_SAT_CR.2	SD_SAT_CR.1	SD_SAT_CR.0
NTSC V Bit Begin	NVBEGDEL O	NVBEGDEL E	NVBEGSIGN	NVBEG.4	NVBEG.3	NVBEG.2	NVBEG.1	NVBEG.0
NTSC V Bit End	NVENDDEL O	NVENDDEL E	NVENDSIGN	NVEND.4	NVEND.3	NVEND.2	NVEND.1	NVEND.0
NTSC F Bit Toggle	NFTOGDEL O	NFTOGDEL E	NFTOGSIGN	NFTOG.4	NFTOG.3	NFTOG.2	NFTOG.1	NFTOG.0
PAL V Bit Begin	PVBEGDEL O	PVBEGDEL E	PVBEGSIGN	PVBEG.4	PVBEG.3	PVBEG.2	PVBEG.1	PVBEG.0
PAL V Bit End	PVENDDEL O	PVENDDEL E	PVENDSIGN	PVEND.4	PVEND.3	PVEND.2	PVEND.1	PVEND.0
PAL F Bit Toggle	PFTOGDEL O	PFTOGDEL E	PFTOGSIGN	PFTOG.4	PFTOG.3	PFTOG.2	PFTOG.1	PFTOG.0
Reserved								
Drive Strength			DR_STR.1	DR_STR.0	DR_STR_C.1	DR_STR_C.0	DR_STR_S.1	DR_STR_S.0
Reserved								
IF Comp Control						IFFILTSEL.2	IFFILTSEL.1	IFFILTSEL.0
VS Mode Control					VS_COAST_ MODE.1	VS_COAST_ MODE.0	EXTEND_VS_ MIN_FREQ	EXTEND_VS_ MAX_FREQ

ADV7183B

I²Cレジスタ・マップの詳細

以下のレジスタは通常のI²Cマップおよびレジスタ・アクセス・ページ2にあります。

表83. 割込みレジスタ・マップの詳細¹

レジスタ名	リセット時の値	rw	サブアドレス		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
			10進	16進								
Interrupt Config 0	0001 x000	rw	64	0x40	INTRQ_DUR_SEL.1	INTRQ_DUR_SEL.0	MV_INTRQ_SEL.1	MV_INTRQ_SEL.0		MPU_STIM_INTRQ	INTRQ_OP_SEL.1	INTRQ_OP_SEL.0
Reserved			65	0x41								
Interrupt Status 1		r	66	0x42		MV_PS_CS_Q	SD_FR_CHNG_Q				SD_UNLOCK_Q	SD_LOCK_Q
Interrupt Clear 1	x000 0000	w	67	0x43		MV_PS_CS_CLR	SD_FR_CHNG_CLR				SD_UNLOCK_CLR	SD_LOCK_CLR
Interrupt Maskb 1	x000 0000	rw	68	0x44		MV_PS_CS_MSKB	SD_FR_CHNG_MSKB				SD_UNLOCK_MSKB	SD_LOCK_MSKB
Reserved			69	0x45								
Interrupt Status 2		r	70	0x46	MPU_STIM_INTRQ_Q				WSS_CHNGD_Q	CGMS_CHNGD_Q	GEMD_Q	CCAPD_Q
Interrupt Clear 2	0xxx 0000	w	71	0x47	MPU_STIM_INTRQ_CLR				WSS_CHNGD_CLR	CGMS_CHNGD_CLR	GEMD_CLR	CCAPD_CLR
Interrupt Maskb 2	0xxx 0000	rw	72	0x48	MPU_STIM_INTRQ_MSKB				WSS_CHNGD_MSKB	CGMS_CHNGD_MSKB	GEMD_MSKB	CCAPD_MSKB
Raw Status 3		r	73	0x49				SCM_LOCK		SD_H_LOCK	SD_V_LOCK	SD_OP_50HZ
Interrupt Status 3		r	74	0x4A			PAL_SW_LK_CHNG_Q	SCM_LOCK_CHNG_Q	SD_AD_CHNG_Q	SD_H_LOCK_CHNG_Q	SD_V_LOCK_CHNG_Q	SD_OP_CHNG_Q
Interrupt Clear 3	xx00 0000	w	75	0x4B			PAL_SW_LK_CHNG_CLR	SCM_LOCK_CHNG_CLR	SD_AD_CHNG_CLR	SD_H_LOCK_CHNG_CLR	SD_V_LOCK_CHNG_CLR	SD_OP_CHNG_CLR
Interrupt Maskb 3	xx00 0000	rw	76	0x4C			PAL_SW_LK_CHNG_MSKB	SCM_LOCK_CHNG_MSKB	SD_AD_CHNG_MSKB	SD_H_LOCK_CHNG_MSKB	SD_V_LOCK_CHNG_MSKB	SD_OP_CHNG_MSKB

¹ 割込みレジスタ・マップにアクセスするには、レジスタ・アドレス0x0Eの5ビット目を1bに設定する必要があります。

表84. 割込みレジスタ・マップの詳細

サブアドレス	レジスタ	ビットの説明	ビット								コメント	注
			7	6	5	4	3	2	1	0		
0x40	割込み 設定1 レジスタ・ アクセス・ ページ2	INTRQ_OP_SEL[1:0] 割込み駆動レベル選択							0	0	オープン・ドレイン	
									0	1	アクティブのとき、ローレベルに駆動	
									1	0	アクティブのとき、ハイレベルに駆動	
									1	1	予備	
		MPU_STIM_INTRQ[1:0] マニュアル割込み設定モード						0			マニュアル割込みモードがディセーブル	
								1			マニュアル割込みモードがイネーブル	
		予備					x				未使用	
		MV_INTRQ_SEL[1:0] Macrovision割込み選択			0	0					予備	
					0	1					疑似同期のみ	
					1	0					カラー・ストライプのみ	
					1	1					疑似同期またはカラー・ストライプ	
		INTRQ_DUR_SEL[1:0] 割込み期間選択	0	0							3 クロック期間	
			0	1							15 クロック期間	
			1	0							63 クロック期間	
			1	1							クリアされるまでアクティブ	
0x41	予備		x	x	x	x	x	x	x	x		
0x42	割込み ステータス1 読出し専用 レジスタ・ アクセス・ ページ2	SD_LOCK_Q								0	変更なし	これらのビットは、 0x43レジスタで クリア、または 0x44レジスタで マスク可能
										1	SD入力により、デコーダが アンロック状態からロック状態へ	
		SD_UNLOCK_Q							0		変更なし	
									1		SD入力により、デコーダが ロック状態からアンロック状態へ	
		予備						x				
		予備					x					
		予備				x						
		SD_FR_CHNG_Q			0						変更なし	
					1						フリーラン状態の変更を表す	
		MV_PS_CS_Q		0							変更なし	
				1							疑似同期／カラー・ストライプを検出。 選択については「レジスタ0x40、 MV_INTRQ_SEL[1:0]」を参照	
		予備	x									
0x43	割込み クリア1 書き込み専用 レジスタ・ アクセス・ ページ2	SD_LOCK_CLR							0		クリアせず	
									1		SD_LOCK_Qビットをクリア	
		SD_UNLOCK_CLR							0		クリアせず	
									1		SD_UNLOCK_Qビットをクリア	
		予備						0			未使用	
		予備					0				未使用	
		予備				0					未使用	
		SD_FR_CHNG_CLR			0						クリアせず	
					1						SD_FR_CHNG_Qビットをクリア	
		MV_PS_CS_CLR		0							クリアせず	
				1							MV_PS_CS_Qビットをクリア	
		予備	x								未使用	

ADV7183B

			ビット									
サブアドレス	レジスタ	ビットの説明	7	6	5	4	3	2	1	0	コメント	注
0x44	割込みマスク1	SD_LOCK_MSKB								0	SD_LOCK_Qビットをマスク	
										1	マスクせず	
	読出し／書込みレジスタ	SD_UNLOCK_MSKB							0		SD_UNLOCK_Qビットをマスク	
									1		マスクせず	
	レジスタ・アクセス・ページ2	予備						0			未使用	
		予備					0				未使用	
		予備				0					未使用	
		SD_FR_CHNG_MSKB			0						SD_FR_CHNG_Qビットをマスク	
					1						マスクせず	
		MV_PS_CS_MSKB		0							MV_PS_CS_Qビットをマスク	
				1							マスクせず	
		予備	x								未使用	
0x45	予備		x	x	x	x	x	x	x	x		
0x46	割込みステータス2	CCAPD_Q								0	入力ビデオ信号にクローズド・キャプションの検出なし	これらのビットは、0x43レジスタでクリア、または0x44レジスタでマスク可能
										1	入力ビデオ信号にクローズド・キャプションの検出あり	
	読出し専用	GEMD_Q							0		入力ビデオ信号にGemstarデータの検出なし	
									1		入力ビデオ信号にGemstarデータの検出あり	
	レジスタ・アクセス・ページ2	CGMS_CHNGD_Q						0			入力ビデオ信号にCGMSデータ変更の検出なし	
								1			入力ビデオ信号にCGMSデータ変更の検出あり	
		WSS_CHNGD_Q					0				入力ビデオ信号にWSSデータ変更の検出なし	
							1				入力ビデオ信号にWSSデータ変更の検出あり	
		予備				x					未使用	
		予備			x						未使用	
		予備		x							未使用	
		MPU_STIM_INTRQ_Q	0								マニュアル割込みの設定なし	
			1								マニュアル割込みの設定あり	
0x47	割込みクリア2	CCAPD_CLR								0	クリアせず	
										1	CCAPD_Qビットをクリア	
	書き込み専用	GEMD_CLR							0		クリアせず	
									1		GEMD_Qビットをクリア	
	レジスタ・アクセス・ページ2	CGMS_CHNGD_CLR						0			クリアせず	
								1			CGMS_CHNGD_Qビットをクリア	
		WSS_CHNGD_CLR					0				クリアせず	
							1				WSS_CHNGD_Qビットをクリア	
		予備				x					未使用	
		予備			x						未使用	
		予備		x							未使用	
		MPU_STIM_INTRQ_CLR	0								クリアせず	
			1								MPU_STIM_INTRQ_Qビットをクリア	

			ビット									
サブアドレス	レジスタ	ビットの説明	7	6	5	4	3	2	1	0	コメント	注
0x48	割込みマスク2	CCAPD_MSKB								0	マスクせず	
										1	CCAPD_Qビットをマスク	
	読出し／書込み	GEMD_MSKB							0		マスクせず	
									1		GEMD_Qビットをマスク	
	レジスタ・アクセス・ページ2	CGMS_CHNGD_MSKB						0			マスクせず	
								1			CGMS_CHNGD_Qビットをマスク	
		WSS_CHNGD_MSKB					0				マスクせず	
							1				WSS_CHNGD_Qビットをマスク	
		予備				0					未使用	
		予備			0						未使用	
		予備		0							未使用	
		MPU_STIM_INTRQ_MSKB	0								マスクせず	
											MPU_STIM_INTRQ_Qビットをマスク	
0x49	原ステータス3	SD_OP_50Hz 60/50Hz のSDフレーム・レート を出力								0	60HzのSD信号出力	これらのビットはクリアまたはマスク不能。クリアまたはマスクするにはレジスタ0x4Aを使用
										1	50HzのSD信号出力	
	読出し専用レジスタ	SD_V_LOCK							0		SD垂直同期ロックが確立されず	
									1		SD垂直同期ロックが確立	
	レジスタ・アクセス・ページ2	SD_H_LOCK						0			SD水平同期ロックが確立されず	
								1			SD水平同期ロックが確立	
		予備					x				未使用	
		SCM_LOCK SECAM Lock				0					SECAMロックが確立されず	
						1					SECAMロックが確立	
		予備			x						未使用	
		予備		x							未使用	
		予備	x								未使用	
0x4A	割込みステータス3	SD_OP_CHNG_Q 60/50Hz のSDフレーム・レート を入力								0	入力でSD信号標準変更の検出なし	これらのビットは、レジスタ0x4Bでクリア、または0x4Cでマスク可能
										1	入力でSD信号標準変更の検出あり	
	読出し専用レジスタ	SD_V_LOCK_CHNG_Q							0		SD垂直同期ロック・ステータスに変更なし	
									1		SD垂直同期ロック・ステータスに変更あり	
	レジスタ・アクセス・ページ2	SD_H_LOCK_CHNG_Q						0			SD水平同期ロック・ステータスに変更なし	
								1			SD水平同期ロック・ステータスに変更あり	
		SD_AD_CHNG_Q SD自動検出の変更					x				ステータス・レジスタ1のAD_RESULT[2:0]ビットに変更なし	
											ステータス・レジスタ1のAD_RESULT[2:0]ビットに変更あり	
		SCM_LOCK_CHNG_Q SECAM ロック				0					SECAMロック・ステータスに変更なし	
						1					SECAMロック・ステータスに変更あり	
		PAL_SW_LK_CHNG_Q			x						PAL振幅バースト・ロック・ステータスに変更なし	
											PAL振幅バースト・ロック・ステータスに変更あり	
		予備		x							未使用	
		予備	x								未使用	

ADV7183B

サブアドレス	レジスタ	ビットの説明	ビット								コメント	注
			7	6	5	4	3	2	1	0		
0x4B	割込み クリア3	SD_OP_CHNG_CLR								0	クリアせず	
										1	SD_OP_CHNG_Qビットをクリア	
		SD_V_LOCK_CHNG_CLR							0		クリアせず	
	書き込み専用 レジスタ	SD_H_LOCK_CHNG_CLR							1		SD_V_LOCK_CHNG_Qビットをクリア	
								0			クリアせず	
		SD_AD_CHNG_CLR					0				クリアせず	
	レジスタ・ アクセス・ ページ2	SCM_LOCK_CHNG_CLR					1				SD_AD_CHNG_Qビットをクリア	
						0					クリアせず	
		PAL_SW_LK_CHNG_CLR				0					クリアせず	
	予備	予備				1					SCM_LOCK_CHNG_Qビットをクリア	
											未使用	
		予備	x								未使用	
0x4C	割込み マスク2	SD_OP_CHNG_MSKB								0	マスクせず	
										1	SD_OP_CHNG_Qビットをマスク	
		SD_V_LOCK_CHNG_MSKB							0		マスクせず	
	読出し/ 書き込み レジスタ	SD_H_LOCK_CHNG_MSKB							1		SD_V_LOCK_CHNG_Qビットをマスク	
								0			マスクせず	
		SD_AD_CHNG_MSKB					0				マスクせず	
	レジスタ・ アクセス・ ページ2	SCM_LOCK_CHNG_MSKB					1				SD_AD_CHNG_Qビットをマスク	
						0					マスクせず	
		PAL_SW_LK_CHNG_MSKB				0					マスクせず	
	予備	予備				1					PAL_SW_LK_CHNG_Qビットをマスク	
											未使用	
		予備	x								未使用	

以下のレジスタは、「通常のPCマップおよびレジスタ・アクセス・ページ1」にあります。

表85. 割込みレジスタ・マップの詳細

サブアドレス	レジスタ	ビットの説明	ビット								コメント	注
			7	6	5	4	3	2	1	0		
0x00	入力 コントロール	INSEL [3:0] INSELビットにより、入力チャンネルと 入力フォーマットを選択					0	0	0	0	AIN1上のCVBS入力	コンボジット
							0	0	0	1	AIN2上のCVBS入力	
							0	0	1	0	AIN3上のCVBS入力	
							0	0	1	1	AIN4上のCVBS入力	
							0	1	0	0	AIN5上のCVBS入力	
							0	1	0	1	AIN6上のCVBS入力	Sビデオ
							0	1	1	0	AIN1上のY、AIN4上のC	
							0	1	1	1	AIN2上のY、AIN5上のC	
							1	0	0	0	AIN3上のY、AIN6上のC	YPbPr
							1	0	0	1	AIN1上のY、AIN4上のPr、 AIN5上のPb	
							1	0	1	0	AIN2上のY、AIN3上のPr、 AIN6上のPb	
							1	0	1	1	AIN7上のCVBS入力	コンボジット
							1	1	0	0	AIN8上のCVBS入力	
							1	1	0	1	AIN9上のCVBS入力	
							1	1	1	0	AIN10上のCVBS入力	
							1	1	1	1	AIN11上のCVBS入力	
	VID_SEL [3:0] VID_SELビットにより、入力ビデオ 標準を選択	VID_SELビットにより、入力ビデオ 標準を選択	0	0	0	0					自動検出PAL (BGHID)、 NTSC (ペDESTALなし)、 SECAM	
			0	0	0	1					自動検出PAL (BGHID)、 NTSC (M) (ペDESTALあり)、 SECAM	
			0	0	1	0					自動検出PAL (N)、 NTSC (M) (ペDESTALなし)、 SECAM	
			0	0	1	1					自動検出PAL (N)、 NTSC (M) (ペDESTALあり)、 SECAM	
			0	1	0	0					NTSC (J)	
			0	1	0	1					NTSC (M)	
			0	1	1	0					PAL 60	
			0	1	1	1					NTSC 4.43	
			1	0	0	0					PAL BGHID	
			1	0	0	1					PAL N (BGHIDペDESTALなし)	
			1	0	1	0					PAL M (ペDESTALなし)	
			1	0	1	1					PAL M	
			1	1	0	0					PALコンビネーションN	
			1	1	0	1					PALコンビネーションN	
			1	1	1	0					SECAM (ペDESTALあり)	
			1	1	1	1					SECAM (ペDESTALあり)	

ADV7183B

サブアドレス	レジスタ	ビットの説明	ビット								コメント	注
			7	6	5	4	3	2	1	0		
0x01	ビデオ 選択	予備						0	0	0	デフォルト設定	
		ENVSPROC					0				VSyncプロセッサをディセーブル	
							1				VSyncプロセッサをイネーブル	
		予備				0					デフォルト設定	
		BETACAM			0						標準ビデオ入力	
				1							Betacam入カイネーブル	
		ENHSPLL		0							HSyncプロセッサをディセーブル	
0x03	出力 コントロール			1							HSyncプロセッサをイネーブル	
		予備	1								デフォルト設定	
		SD_DUP_AV AVコードを輝度信号から色信号パスへ 複製								0	8ビット・インターリーブ・ データ出力用のAVコード	
										1	複製されたAVコード (16ビット・インターフェース用)	
		予備							0		デフォルト設定	
		OF_SEL [3:0] 出力フォーマットを選択			0	0	0	0			予備	
					0	0	0	1			予備	
					0	1	1	0			16ビット@ LLC1 4:2:2	
					0	0	1	1			8ビット@ LLC1 4:2:2 ITU-R BT.656	
					0	1	0	0			未使用	
					0	1	0	1			未使用	
					0	1	1	0			未使用	
					0	1	1	1			未使用	
					1	0	0	0			未使用	
					1	0	0	1			未使用	
					1	0	1	0			未使用	
					1	0	1	1			未使用	
					1	1	0	0			未使用	
					1	1	0	1			未使用	
					1	1	1	0			未使用	
					1	1	1	1			未使用	
		TOD (スリーステート出力ドライバ) このビットにより、P[19:0]、HS、VS、 FIELD、SFLの各出力ドライバを スリーステートに		0							出力ピンをイネーブル	TIM_OEとTRI_LLCも 参照
				1							ドライバをスリーステート	
		VBI_EN 最小のフィルタリング効果でVBIデータ (ライン1~21)を通過	0								全ラインをフィルタおよびスケール処理	
			1								アクティブ・ビデオ領域のみを フィルタ処理	
0x04	拡張出力 コントロール	RANGE 出力値の範囲を選択。BT.656準拠、 または範囲内で設定可能								0	16 < Y < 235、16 < C < 240	ITU-R BT.656
										1	1 < Y < 254、1 < C < 254	拡張範囲
		EN_SFL_PIN							0		SFL出力をディセーブル	SFL出力がエンコーダ とデコーダの直接接続 をイネーブル
									1		SFLピンにSFL情報を出力	
		BL_C_VBI VBI時に色信号をブランクに。 セットされると、VBI領域内のデータが、 歪みを受けずにデコーダを通過可能						0			カラーをデコードして出力	VBI中
								1			CrとCbをブランクに	
		TIM_OE タイミング信号出力イネーブル					0				HS、VS、Fをスリーステートに	TODから制御
							1				HS、VS、Fを強制的にアクティブに	
		予備			x	x						
		予備		1								
		BT.656-4 ITU-R BT.656-3/4準拠の出力モードを 選択可能	0								BT.656-3準拠	
			1								BT.656-4準拠	

サブアドレス	レジスタ	ビットの説明	ビット								コメント	注
			7	6	5	4	3	2	1	0		
0x07	自動検出 イネーブル	AD_PAL_EN PAL B/G/I/H自動検出イネーブル								0	ディスエーブル	
										1	イネーブル	
		AD_NTSC_EN NTSC自動検出イネーブル							0		ディスエーブル	
								1			イネーブル	
		AD_PALM_EN PAL M自動検出イネーブル						0			ディスエーブル	
								1			イネーブル	
		AD_PALN_EN PAL N自動検出イネーブル					0				ディスエーブル	
								1			イネーブル	
		AD_P60_EN PAL 60自動検出イネーブル				0					ディスエーブル	
								1			イネーブル	
		AD_N443_EN NTSC443自動検出イネーブル			0						ディスエーブル	
											イネーブル	
		AD_SECAM_EN SECAM自動検出イネーブル		0							ディスエーブル	
											イネーブル	
		AD_SEC525_EN SECAM 525自動検出イネーブル	0								ディスエーブル	
											イネーブル	
0x08	コントラスト・ レジスタ	CON[7:0] コントラストの調節。コントラスト調節を 制御	1	0	0	0	0	0	0	0	輝度信号ゲイン＝1	0x00ゲイン＝0 0x80ゲイン＝1 0xFFゲイン＝2
0x09	予備	予備	1	0	0	0	0	0	0	0		
0x0A	明度 レジスタ	BRI[7:0] このレジスタはビデオ信号の明度を 制御	0	0	0	0	0	0	0	0		0x00＝0IRE; 0x7F＝100IRE; 0x80＝－100IRE
0x0B	色相 レジスタ	HUE[7:0] このレジスタは色相調整値を格納	0	0	0	0	0	0	0	0		色相範囲＝ －90°～＋90°
0x0C	デフォルト 値Y	DEF_VAL_EN デフォルト値イネーブル								0	DEF_VAL_AUTO_EN依存 のフリーラン・モード	
										1	フリーラン・モードに強制して ブルー・スクリーンを出力	
		DEF_VAL_AUTO_EN デフォルト値							0		フリーラン・モードをディスエーブル	ロックが外れたとき、 フリーラン・モードを イネーブルにして、安定 したタイミング、クロック、 セット・カラーを出力
									1		自動フリーラン・モード (ブルー・スクリーン)を イネーブル	
0x0D	デフォルト 値C	DEF_Y[5:0] デフォルト値Y。このレジスタはYの デフォルト値を保持	0	0	1	1	0	1			Y[7:0]＝{DEF_Y[5:0], 0, 0}	フリーラン・モードでの デフォルトのY値出力
0x0D		DEF_C[7:0] デフォルト値C。CrとCbのデフォルト値 はこのレジスタで定義	0	1	1	1	1	1	0	0	Cr[7:0]＝{DEF_C[7:4], 0, 0, 0, 0} Cb[7:0]＝{DEF_C[3:0], 0, 0, 0, 0}	フリーラン・モードでの デフォルトのCb/Cr値 出力。デフォルト値が ブルー・スクリーンを 出力
0x0E	ADI コントロール	予備				0	0	0	0	0	デフォルト設定	
		SUB_USR_EN 割込みマップへのアクセスが可能			0						ユーザ・レッグ・マップにアクセス	図38を参照
				1							割込みレッグ・マップにアクセス	
		予備	0	0								デフォルト設定

ADV7183B

サブアドレス	レジスタ	ビットの説明	ビット								コメント	注	
			7	6	5	4	3	2	1	0			
0x0F	電源管理	予備							0	0	デフォルト設定		
		PDBP パワーダウン優先順位ビットは、 PWRDNビットまたはPINを選択						0			チップのパワーダウンを ピンで制御		
								1			ビットを優先 (ピンを無視)		
		予備				0	0				デフォルト設定		
		PWRDN パワーダウンはデコーダをフル・パワーダウン・モードに			0						システム動作中		
				1							パワーダウン中		PDBP、0x0Fビット2を参照
		予備		0							デフォルト設定		
		RES チップ・リセットは、すべてのI ² Cビットに デフォルト値をロード	0								通常動作		
	1									リセット・シーケンスを開始	リセットの実行時間は 約2ms。このビットは 自己クリア		
0x10	ステータス・ レジスタ1 読出し専用	IN_LOCK								x	ロック中 (現在) =1	デコーダの内部ステータス 情報を提供	
		LOST_LOCK								x	ロック外れ (直前の読出し後) =1		
		FSC_LOCK							x		Fscロック中 (現在) =1		
		FOLLOW_PW					x				ピーク・ホワイトAGCモード・ アクティブ=1		
		AD_RESULT[2:0] 入力ビデオ信号の規格を検出		0	0	0						NTSM-MJ	検出された標準
				0	0	1						NTSC-443	
				0	1	0						PAL-M	
				0	1	1						PAL-60	
				1	0	0						PAL-BGHID	
				1	0	1						SECAM	
				1	1	0						PALコンベネーションN	
				1	1	1						SECAM 525	
		COL_KILL	x									カラーキルがアクティブ=1	カラーキル
		0x11	IDENT 読出し専用	IDENT[7:0] デバイスのリビジョン識別情報を提供	x	x	x	x	x	x	x	x	
0x12	ステータス・ レジスタ2 読出し専用	MVCS_DET								x	MVカラー・ストライブを検出	1=検出あり	
		MVCS_T3								x	MVカラー・ストライブ・タイプ	0=タイプ2 1=タイプ3	
		MV_PS_DET							x		MV擬似同期を検出	1=検出あり	
		MV_AGC_DET						x			MV AGCパルスを検出	1=検出あり	
		LL_NSTD					x				非標準ライン長	1=検出あり	
		FSC_NSTD			x						Fsc周波数が非標準	1=検出あり	
		予備	x	x									
0x13	ステータス・ レジスタ3 読出し専用	INST_HLOCK								x	1=水平ロック完了	フィルタなし	
		GEMD								x	1=Gemstarデータを検出		
		SD_OP_50HZ							x		SD 60Hzを検出	SDフィールド・レート 検出	
		予備						x			SD 50Hzを検出		
		FREE_RUN_ACT					x				1=フリーラン・モード・アクティブ	ブルー・スクリーン出力	
		STD_FLD_LEN			x						1=フィールド長が標準	正常なフィールド長を 検出	
		INTERLACED		x							1=インターレース・ビデオを 検出	フィールド・シーケンスを 検出	
PAL_SW_LOCK	x								1=スウィング・バーストを 検出	安定したスウィング・ バースト・シーケンス			
0x14	アナログ・ クランプ・ コントロール	予備					0	0	1	0	デフォルト設定		
		CCLEN (電流クランプ・イネーブル) アナログ・フロントエンドの電流源を オフに切替え				0					電流源をオフ		
						1					電流源をオン		
		予備	0	0	0								デフォルト設定

サブアドレス	レジスタ	ビットの説明	ビット								コメント	注		
			7	6	5	4	3	2	1	0				
0x15	デジタル・クランプ・コントロール1	予備					x	x	x	x	デフォルト設定			
		DCFE[4]				0					デジタル・クランプ動作			
		デジタル・クランプ・フリーズ・イネーブル				1					デジタル・クランプ・フリーズ			
		DCT[1:0]		0	0						低速 (TC=1秒)			
		デジタル・クランプ・タイミングは、デジタル微調クランプ回路の時定数を決定		0	1						中速 (TC=0.5秒)			
				1	0						高速 (TC=0.1秒)			
				1	1						ビデオに基づくTC			
		予備	0							デフォルト設定				
0x17	シェイピング・フィルタ・コントロール	YSFM[4:0] CVBS専用モード時にYシェイピング・フィルタ・モードを選択				0	0	0	0	0	通常品質の信号源に対しては自動で広いノッチを、高品質入力に対してはコム付きの広帯域フィルタを使用	デコーダはCVBS品質に応じて最適なYシェイピング・フィルタを選択		
		広範囲なローパス・フィルタとノッチ・フィルタを選択				0	0	0	0	1	通常品質の信号源に対しては自動で狭いノッチを、高品質入力に対してはコム付きの広帯域フィルタを使用			
		いずれかの自動モードを選択した場合、CVBSビデオ信号源の品質 (優劣) に応じて、デコーダが最適なYフィルタを選択				0	0	0	1	0	SVHS 1			
						0	0	0	1	1	SVHS 2			
						0	0	1	0	0	SVHS 3			
						0	0	1	0	1	SVHS 4			
						0	0	1	1	0	SVHS 5			
						0	0	1	1	1	SVHS 6			
						0	1	0	0	0	SVHS 7			
						0	1	0	0	1	SVHS 8			
						0	1	0	1	0	SVHS 9			
						0	1	0	1	1	SVHS 10			
						0	1	1	0	0	SVHS 11			
						0	1	1	0	1	SVHS 12			
						0	1	1	1	0	SVHS 13			
						0	1	1	1	1	SVHS 14			
						1	0	0	0	0	SVHS 15			
						1	0	0	0	1	SVHS 16			
						1	0	0	1	0	SVHS 17			
						1	0	0	1	1	SVHS 18 (CCIR601)			
						1	0	1	0	0	PAL NN1			
						1	0	1	0	1	PAL NN2			
						1	0	1	1	0	PAL NN3			
						1	0	1	1	1	PAL WN 1			
						1	1	0	0	0	PAL WN 2			
						1	1	0	0	1	NTSC NN1			
						1	1	0	1	0	NTSC NN2			
						1	1	0	1	1	NTSC NN3			
						1	1	1	0	0	NTSC WN1			
					1	1	1	0	1	NTSC WN2				
					1	1	1	1	0	NTSC WN3				
					1	1	1	1	1	予備				
		CSFM[2:0] Cシェイピング・フィルタ・モードにより、広範囲なローパス色信号フィルタから選択可能。 いずれかの自動モードを選択すると、デコーダはCVBSビデオ信号源品質の優劣に応じて最適なCフィルタを選択。 マニュアル設定では、CVBSのすべての規格と高品質に対応したCフィルタを選択。	0	0	0						15MHzを自動選択		ビデオ標準と品質に応じて自動的にCフィルタを選択	
			0	0	1						2.17MHzを自動選択			
			0	1	0						SH1			すべてのビデオ標準と高品質および通常品質ビデオに対してCフィルタを選択
			0	1	1						SH2			
1	0		0						SH3					
1	0		1						SH4					
1	1		0						SH5					
1	1	1						広帯域モード						

ADV7183B

サブアドレス	レジスタ	ビットの説明	ビット								コメント	注		
			7	6	5	4	3	2	1	0				
0x18	シェイピング・フィルタ・コントロール2	WYSFM[4:0] 広帯域Yシェイピング・フィルタ・モードにより、Y/C、YPbPr、B/Wの各入力信号のYコンポーネントに対して使うYシェイピング・フィルタを選択。高品質の入力CVBS信号が検出された場合にも使用。他のすべての入力に対しては、Yシェイピング・フィルタの選択はYSFM[4:0]により制御				0	0	0	0	0	予備。使用不可			
						0	0	0	0	1	予備。使用不可			
						0	0	0	1	0	SVHS 1			
						0	0	0	1	1	SVHS 2			
						0	0	1	0	0	SVHS 3			
						0	0	1	0	1	SVHS 4			
						0	0	1	1	0	SVHS 5			
						0	0	1	1	1	SVHS 6			
						0	1	0	0	0	SVHS 7			
						0	1	0	0	1	SVHS 8			
						0	1	0	1	0	SVHS 9			
						0	1	0	1	1	SVHS 10			
						0	1	1	0	0	SVHS 11			
						0	1	1	0	1	SVHS 12			
						0	1	1	1	0	SVHS 13			
						0	1	1	1	1	SVHS 14			
						1	0	0	0	0	SVHS 15			
						1	0	0	0	1	SVHS 16			
						1	0	0	1	0	SVHS 17			
						1	0	0	1	1	SVHS 18 (CCIR 601)			
						1	0	1	0	0	予備。使用不可			
						~	~	~	~	~	予備。使用不可			
						1	1	1	1	1	予備。使用不可			
				予備		0	0						デフォルト設定	
				WYSFMOVR 自動WYSFNフィルタの使用をイネーブル	0								WYSFM[4:0]を使用してフィルタをマニュアル選択	
					1								最適フィルタを自動選択	
0x19	コムフィルタ・コントロール	PSFSEL[1:0] コムフィルタに入力される信号帯域幅を制御 (PAL)							0	0	狭帯域			
									0	1	中帯域			
									1	0	広帯域			
									1	1	最広帯域			
		NSFSEL[1:0] コムフィルタに入力される信号帯域幅を制御 (NTSC)					0	0			狭帯域			
							0	1			中帯域			
							1	0			中帯域			
							1	1			広帯域			
				予備	1	1	1	1					デフォルト設定	
0x1D	ADI コントロール2	予備				0	0	x	x	x	デフォルト設定			
		VS_JIT_COMP_EN			0						イネーブル			
					1						ディスエーブル			
		EN28XTAL		0							27MHz水晶発振器を使用			
				1							28MHz水晶発振器を使用			
		TRI_LLC	0								LLCピンがアクティブ			
1									LLCピンがスリーステート					

サブアドレス	レジスタ	ビットの説明	ビット								コメント	注			
			7	6	5	4	3	2	1	0					
0x27	ピクセル 遅延 コントロール	LTA[1:0] 輝度信号タイミング調整を使用し、色 信号サンプルと輝度信号サンプルと の間のタイミング差を指定							0	0	遅延なし	CVBSモード LTA[1:0]=00b Sビデオ・モード LTA[1:0]=01b YPrPbモード LTA[1:0]=01b			
										0	1		輝度信号を1クロック遅延 (37ns)		
										1	0		輝度信号を2クロック前進 (74ns)		
										1	1		輝度信号を1クロック前進 (37ns)		
		予備							0		0に設定				
		CTA[2:0] 色信号タイミング調整を使用し、輝度信 号サンプルと色信号サンプルとの間の タイミング差を指定			0	0	0					無効な設定	CVBSモード CTA[2:0]=011b Sビデオ・モード CTA[2:0]=101b YPrPbモード CTA[2:0]=110b		
					0	0	1					色信号+2ピクセル (前進)			
					0	1	0					色信号+1ピクセル (前進)			
					0	1	1					遅延なし			
					1	0	0					色信号-1ピクセル (遅延)			
					1	0	1					色信号-2ピクセル (遅延)			
					1	1	0					色信号-3ピクセル (遅延)			
					1	1	1					無効な設定			
		AUTO_PDC_EN すべての動作モードで輝度信号と色 信号が出力で揃うように、LTA/CTA 値を自動的に設定		0								輝度信号／色信号の遅延に は、LTA[1:0]とCTA[2:0]の 値を使用			
				1								LTA値とCTA値は自動的に 決定			
		SWPC CrサンプルとCbサンプルのスワップ が可能		0								スワップなし	「SWAP_CR_CB_WB、 アドレス0x89」を参照		
				1								CrとCbをスワップ			
0x2B	Misc ゲイン・ コントロール	PW_UPD ピーク・ホワイト更新がゲインのレートを 決定								0	ビデオ・ラインごとに 1回更新	ピーク・ホワイトをイネー ブルにする必要あり。 LAGC[2:0]を参照			
											1		フィールドごとに1回更新		
		予備			1	0	0	0	0			デフォルト設定			
		CKE カラーキル・イネーブルにより、カラーキ ル機能をオン／オフに切替え		0								カラーキルをディスエーブル	SECAMカラーキルに対しては、 スレッシュールドを8%に設定。 CKILLTHR[2:0]を参照		
				1								カラーキルをイネーブル			
0x2C	AGC モード・ コントロール	CAGC[1:0] 色信号自動ゲイン・コントロールは、 色信号バス内のAGCの基本動作 モードを選択								0	0	マニュアル固定ゲイン	CMG[11:0]を使用		
											0	1		色信号に対して輝度信号ゲインを使用	
											1	0		自動ゲイン	カラー・バーストに基づく
											1	1		色信号ゲインをフリーズ	
		予備					1	1				1に設定			
		LAGC[2:0] 輝度信号自動ゲイン・コントロールは、 輝度信号バス内のゲイン・コントロ ールの動作モードを選択		0	0	0						マニュアル固定ゲイン	LMG[11:0]を使用		
				0	0	1						AGCのピーク・ホワイトによる 上書きなし。 マニュアルIRE制御	ブランク・レベル～ 同期タイプ		
				0	1	0						AGCのピーク・ホワイトによる 自動上書き。 マニュアルIRE制御	ブランク・レベル～ 同期タイプ		
				0	1	1						AGCのピーク・ホワイトによる 上書きなし。 自動IRE制御	ブランク・レベル～ 同期タイプ		
				1	0	0						AGCのピーク・ホワイトによる 自動上書き。 自動IRE制御	ブランク・レベル～ 同期タイプ		
				1	0	1						AGCのピーク・ホワイトによる アクティブ・ビデオ			
				1	1	0						AGCの平均ビデオによる アクティブ・ビデオ			
				1	1	1						ゲインをフリーズ			
		予備		1								1に設定			

ADV7183B

サブアドレス	レジスタ	ビットの説明	ビット								コメント	注
			7	6	5	4	3	2	1	0		
0x2D	色信号 ゲイン・ コントロール1	CMG[11:8] 色信号マニュアル・ゲインにより、マニ ュアルに必要な色信号ゲインを設定。 AGCモードでこのレジスタを読み出すと、 現在のゲインが返されます。					0	1	0	0		CAGC[1:0]の設定は、 CMG[11:0]の動作 モードを決定
		予備			1	1					1に設定	
		CAGT[1:0] 色信号自動ゲイン・タイミングにより、 色信号AGCトラッキング速度を調整	0	0							低速 (TC=2s)	
			0	1							中速 (TC=1s)	
			1	0							高速 (TC=0.2s)	
0x2E	色信号 ゲイン・ コントロール2	CMG[7:0] 色信号マニュアル・ゲインの下位8ビット。 説明についてはCMG[11:8]を参照	0	0	0	0	0	0	0	0	CMG[11:0]=750d、 NTSCではゲイン=1 CMG[11:0]=741d、 PALではゲイン=1	Min値0d (G=-60dB) Max値は3750 (ゲイン=5)
0x2F	輝度信号 ゲイン・ コントロール1	LMG[11:8] 輝度信号マニュアル・ゲインにより、マニ ュアルに必要な色信号ゲインの設定、 または実際のゲイン値の読出しが可能					x	x	x	x	LAGC[1:0]の設定は、 LMG[11:0]の動作モードを 決定	
		予備			1	1					1に設定	
		LAGT[1:0] 輝度信号自動ゲイン・タイミングにより、 輝度信号AGCトラッキング速度を調整	0	0							低速 (TC=2s)	
			0	1							中速 (TC=1s)	
			1	0							高速 (TC=0.2s)	
0x30	輝度信号 ゲイン・ コントロール2	LMG[7:0] 輝度信号マニュアル・ゲインにより、 マニュアルに必要な色信号ゲインの 設定、または実際のゲイン値の読出し が可能	x	x	x	x	x	x	x	x	LMG[11:0]=1234dec、 NTSCではゲイン=1 LMG[11:0]=1266d、 PALではゲイン=1	Min値 NTSC 1024 (G=0.85) PAL (G=0.81) Max値 NTSC 2468 (G=2) PAL=2532 (G=2)
0x31	VSおよび フィールド・ コントロール1	予備						0	1	0	デフォルト設定	HSE=HSync終了 HSB=HSync開始
		HVSTIM VS信号を挿入するビデオ・ライン上の位置を選択					0				HSEを基準としてラインを開始	
							1				HSBを基準としてラインを開始	
		NEWAVMODE EAV/SAVモードを設定				0					ADIエンコーダに適合する EAV/SAVコードを発生	
						1					0x32、0x33、0xE5~0xEAの 各レジスタから制御されるマ ニュアルVS/フィールド位置	
0x32	VSync フィールド・ コントロール2	予備	0	0	0						デフォルト設定	NEWAVMODEビット はハイレベルに設定
					0	0	0	0	0	1	デフォルト設定	
		VSBE	0								ラインの中央でVSがハイレ ベル (偶数フィールド)	
			1								ラインの開始点でVSが 状態を変更 (偶数フィールド)	
		VSBO	0								ラインの中央でVSがハイレ ベル (奇数フィールド)	
0x33	VSync フィールド・ コントロール3		1								ラインの開始点でVSが状態 を変更 (奇数フィールド)	
		予備			0	0	0	1	0	0	デフォルト設定	NEWAVMODEビット はハイレベルに設定
		VSEHE	0								ラインの中央でVSがローレ ベル (偶数フィールド)	
			1								ラインの開始点でVSが状態 を変更 (偶数フィールド)	
		VSEHO	0								ラインの中央でVSがローレ ベル (奇数フィールド)	
			1								ラインの開始点でVSが状態 を変更 (奇数フィールド)	

サブアドレス	レジスタ	ビットの説明	ビット								コメント	注		
			7	6	5	4	3	2	1	0				
0x34	HS 位置 コントロール1	HSE[10:8] HS終了ビットにより、ビデオ・ライン内で HS出力の位置を設定						0	0	0	HS出力は、HSyncの立下がり エッジからHSE[10:0] ピクセル後に終了	HSBとHSEにより、 出力HSyncの位置と 長さの設定が可能		
		予備					0				0に設定			
		HSB[10:8] HS開始ビットにより、ビデオ・ライン内で HS出力の位置を設定		0	0	0					HS出力は、HSyncの立下がり エッジからHSB[10:0] ピクセル後に開始			
		予備	0								0に設定			
0x35	HS 位置 コントロール2	HSB[7:0] 上記参照。HSB[10:0]とHSE[10:0]に より、HS出力信号の位置と長さを設定	0	0	0	0	0	0	1	0				
0x36	HS 位置 コントロール3	HSE[7:0] 上記参照	0	0	0	0	0	0	0	0				
0x37	極性	PCLK LLC1の極性を設定									0	極性反転		
											1	タイミング図による通常の 極性		
		予備						0	0			0に設定		
		PF フィールドの極性を設定					0					アクティブ・ハイ		
							1					アクティブ・ロー		
		予備				0						0に設定		
		PVS VSの極性を設定			0							アクティブ・ハイ		
					1							アクティブ・ロー		
		予備		0								0に設定		
		PHS HSの極性を設定	0									アクティブ・ハイ		
	1									アクティブ・ロー				
0x38	NTSC コム・ コントロール	YCMN[2:0] 輝度信号コムモード (NTSC)						0	0	0	アダプティブ3ライン、3タップ輝度信号			
								1	0	0	ローパス・ノッチを使用			
								1	0	1	固定輝度信号コム (2ライン)	メモリの最上部ライン		
								1	1	0	固定輝度信号コム (3ライン)	メモリのすべてのライン		
								1	1	1	固定輝度信号コム (2ライン)	メモリの最下部ライン		
		CCMN[2:0] 色信号コムモード (NTSC)			0	0	0					CTAPSN=01に対して 3ライン・アダプティブ CTAPSN=10に対して 4ライン・アダプティブ CTAPSN=11に対して 5ライン・アダプティブ		
					1	0	0					色信号コムをディセーブル		
					1	0	1					CTAPSN=01に対して 固定2ライン CTAPSN=10に対して 固定3ライン CTAPSN=11に対して 固定4ライン	メモリの最上部ライン	
					1	1	0					CTAPSN=01に対して 固定3ライン CTAPSN=10に対して 固定4ライン CTAPSN=11に対して 固定5ライン	メモリのすべてのライン	
					1	1	1					CTAPSN=01に対して 固定2ライン CTAPSN=10に対して 固定3ライン CTAPSN=11に対して 固定4ライン	メモリの最下部ライン	
			CTAPSN[1:0] 色信号コムタップ (NTSC)	0	0								3ラインを2ラインへ	
				0	1								使用しない	
		1		0								5ラインを3ラインへ		
		1		1								5ラインを4ラインへ		

ADV7183B

サブアドレス	レジスタ	ビットの説明	ビット								コメント	注	
			7	6	5	4	3	2	1	0			
0x39	PAL コム・ コントロール	YCMP[2:0] 輝度信号コムモード (PAL)						0	0	0	アダプティブ5ライン、 3タップ輝度信号コム		
								1	0	0	ローパス・ノッチを使用		
								1	0	1	固定輝度信号コム	メモリの最上部ライン	
								1	1	0	固定輝度信号コム (5ライン)	メモリのすべてのライン	
								1	1	1	固定輝度信号コム (3ライン)	メモリの最下部 ライン	
		CCMP[2:0] 色信号コムモード (PAL)			0	0	0				CTAPSN=01に対して 3ライン・アダプティブ CTAPSN=10に対して 4ライン・アダプティブ CTAPSN=11に対して 5ライン・アダプティブ		
					1	0	0				色信号コムをディスエーブル		
					1	0	1				CTAPSN=01に対し 固定2ライン	メモリの最上部ライン	
											CTAPSN=10に対して 固定3ライン		
											CTAPSN=11に対して 固定4ライン		
					1	1	0				CTAPSN=01に対して 固定3ライン	メモリのすべてのライン	
											CTAPSN=10に対して 固定4ライン		
											CTAPSN=11に対して 固定5ライン		
					1	1	1				CTAPSN=01に対して 固定2ライン	メモリの最下部ライン	
											CTAPSN=10に対して 固定3ライン		
											CTAPSN=11に対して 固定4ライン		
			CTAPSP[1:0] 色信号コムタップ (PAL)	0	0							5ラインを2ラインへ (2タップ)	
				0	1							使用せず	
		1		0							5ラインを3ラインへ (3タップ)		
		1		1							5ラインを4ラインへ (4タップ)		
0x3A		予備								0	デフォルト設定		
		PWRDN_ADC_2 ADC2のパワーダウンをイネーブル							0		ADC2通常動作		
									1		ADC2をパワーダウン		
		PWRDN_ADC_1 ADC1のパワーダウンをイネーブル							0		ADC1通常動作		
									1		ADC1をパワーダウン		
		PWRDN_ADC_0 ADC0のパワーダウンをイネーブル						0			ADC0通常動作		
								1			ADC0をパワーダウン		
予備	0	0	0	1						デフォルト設定			
0x3D	マニュアル・ ウィンドウ・ コントロール	予備					0	0	1	1	デフォルト設定		
		CKILLTHR[2:0]		0	0	0						0.5%でキル	CKE=1に設定すると、 カラーキル機能がイネー ブルになりますが、 CKILLTHR[2:0]を有 効にするには必ずCKE をイネーブルにする必要 があります。
				0	0	1						1.5%でキル	
				0	1	0						2.5%でキル	
				0	1	1						4%でキル	
				1	0	0						8.5%でキル	
				1	0	1						16%でキル	
				1	1	0						32%でキル	
				1	1	1						予備	
		予備	0								デフォルト設定		

サブアドレス	レジスタ	ビットの説明	ビット								コメント	注
			7	6	5	4	3	2	1	0		
0x41	リサンプル・コントロール	予備			0	1	0	0	0	0	デフォルト設定	
		SFL_INV PALスイッチ・ビットの動作を制御		0							SFLはADV7190/ ADV7191/ADV7194 エンコーダと互換	
				1							SFLはADV717x/ ADV7173x エンコーダと互換	
		予備	0								デフォルト設定	
0x48	Gemstar コントロール1	GDECEL[15:8] コメントを参照	0	0	0	0	0	0	0	0	GDECEL[15:0] 16個の別々のイネーブル・ ビットで、デコーダがGemstar 互換データを探すビデオ・ ライン (偶数フィールド・ ライン10~25) を選択	LSB=ライン10、 MSB=ライン25、 デフォルト= 偶数フィールドのライン (10~25) 上で Gemstar互換 データをチェックせず
0x49	Gemstar コントロール2	GDECEL[7:0] 上記参照	0	0	0	0	0	0	0	0		
0x4A	Gemstar コントロール3	GDECOL[15:8] コメントを参照	0	0	0	0	0	0	0	0	GDECOL[15:0] 16個の別々のイネーブル・ ビットで、デコーダが Gemstar互換データを 探すビデオ・ライン (奇数フィールド・ライン 10~25) を選択	LSB=ライン10、 MSB=ライン25、 デフォルト= 奇数フィールドの ライン (10~25) 上で Gemstar互換データを チェックせず
0x4B	Gemstar コントロール4	GDECOL[7:0] 上記参照	0	0	0	0	0	0	0	0		
0x4C	Gemstar コントロール5	GDECAD デコードされたGemstarデータを 水平ランキング区間に挿入する 方法を制御								0	データを半バイトに分割	00/FFコードを 発生させないため
										1	8ビット・フォーマット そのまま出力	
		予備	x	x	x	x	x	x	x		未定義	
0x4D	CTI DNR コントロール1	CTI_EN CTIをイネーブル								0	CTIをディスエーブル	
										1	CTIをイネーブル	
		CTI_AB_EN トランジェントを改善した色信号と 元信号をミックスする機能をイネーブル								0	CTIアルファ・ブレンダをディスエーブル	
										1	CTIアルファ・ブレンダを イネーブル	
		CTI_AB[1:0] アルファ・ブレンド回路の動作を制御					0	0			最もシャープなミキシング	
							0	1			シャープなミキシング	
							1	0			スムーズ	
							1	1			最もスムーズ	
		予備				0					デフォルト設定	
		DNR_EN DNRブロックをイネーブルまたはバイパス			0						DNRブロックをバイパス	
0x4E	CTI DNR コントロール2				1						DNRブロックをイネーブル	
		予備	1	1							デフォルト設定	
0x4E	CTI DNR コントロール2	CTI_CTH[7:0] CTIブロックが振幅ステップを シャープ化する際のその大きさを指定	0	0	0	0	1	0	0	0	A/V入力に対しては 0x04を設定、チューナ入力 に対しては0x0Aを設定	
0x50	CTI DNR コントロール4	DNR_TH[7:0] ノイズとみなされブランクにされる 最大エッジを指定	0	0	0	0	1	0	0	0		

ADV7183B

サブアドレス	レジスタ	ビットの説明	ビット								コメント	注	
			7	6	5	4	3	2	1	0			
0x51	ロック・カウント	CIL[2:0] (カウント・イントゥ・ロック) システムがロック状態に入ったことを確認するために、ロック状態を維持しなければならないライン数を指定						0	0	0	ビデオの1ライン		
								0	0	1	ビデオの2ライン		
								0	1	0	ビデオの5ライン		
								0	1	1	ビデオの10ライン		
							1	0	0	0	ビデオの100ライン		
							1	0	1	0	ビデオの500ライン		
							1	1	0	0	ビデオの1000ライン		
							1	1	1	1	ビデオの100000ライン		
		COL[2:0] (カウント・アウト・オブ・ロック) システムが非ロック状態になったことを確認するために、非ロック状態を維持しなければならないライン数を指定			0	0	0				ビデオの1ライン		
					0	0	1				ビデオの2ライン		
					0	1	0				ビデオの5ライン		
					0	1	1				ビデオの10ライン		
					1	0	0				ビデオの100ライン		
					1	0	1				ビデオの500ライン		
	SRLS (原ロック信号選択) ロック状態を決定			1	1	0				ビデオの1000ライン			
				1	1	1				ビデオの100000ライン			
	FSCLE Fscロック・イネーブル		0								垂直情報で全フィールド		
			1								ラインごと		
			0								水平ロックのみでロック状態を設定		
	1								水平ロックとサブキャリア・ロックでロック状態を設定				
0x8F	フリーラン・ライン長1	予備					0	0	0	0	デフォルト設定		
		LLC_PAD_SEL [2:0] LLC1ピンに対するクロックのマニュアル選択をイネーブル			0	0	0					LLC1ピン出力にLLC1 (公称27MHz) を選択	16ビット4:2:2出力の場合、OF_SEL[3:0]=0010
					1	0	1					LLC1ピン出力にLLC2 (公称13.5MHz) を選択	
		予備		0								デフォルト設定	
0x90	VBI情報 (読出し専用)	WSSD スクリーン・シグナリングの検出								0	WSS検出なし	読出し専用ステータス・ビット	
										1	WSS検出あり		
		CCAPD クローズド・キャプション・データ							0		CCAP信号検出なし		
									1		CCAPシーケンス検出あり		
		EDTV2 EDTVシーケンス						0			EDTVシーケンス検出なし		
								1			EDTVシーケンス検出あり		
		CGMSD CGMSシーケンス						0			CGMS遷移検出なし		
								1			CGMSシーケンスをデコード		
		予備	x	x	x	x							
0x91	WSS1 (読出し専用)	WSS1 [7:0] ワイドスクリーン・シグナリング・データ	x	x	x	x	x	x	x				
0x92	WSS2 (読出し専用)	WSS2[7:0] ワイドスクリーン・シグナリング・データ	x	x	x	x	x	x	x	WSS2[7:6]は未使用			
0x93	WSS2 (読出し専用)	WSS2[7:0] ワイドスクリーン・シグナリング・データ	x	x	x	x	x	x	x				
0x94	EDTV2 (読出し専用)	EDTV2[7:0] EDTVデータ・レジスタ	x	x	x	x	x	x	x				
0x95	EDTV3 (読出し専用)	EDTV3[7:0] EDTVデータ・レジスタ	x	x	x	x	x	x	x	EDTV3[7:6]は未使用	EDTV3[5]は予備		
0x96	CGMS1 (読出し専用)	CGMS1[7:0] CGMSデータ・レジスタ	x	x	x	x	x	x	x				
0x97	CGMS2 (読出し専用)	CGMS2[7:0] CGMSデータ・レジスタ	x	x	x	x	x	x	x				
0x98	CGMS3 (読出し専用)	CGMS3[7:0] CGMSデータ・レジスタ	x	x	x	x	x	x	x	CGMS3[7:4]は未使用			

サブアドレス	レジスタ	ビットの説明	ビット								コメント	注
			7	6	5	4	3	2	1	0		
0x99	CCAP1 (読出し専用)	CCAP1[7:0] クローズド・キャプション・データ・レジスタ	X	X	X	X	X	X	X	X	CCAP1[7]はバイト0のパリティ・ビットを格納	この機能は、各フィールドの始めと終わりでアクティブ・ビデオを調べます。ビデオにCGMSシーケンスまたはWSSシーケンスがない場合でも、フォーマット検出をイネーブルにします
0x9A	CCAP2 (読出し専用)	CCAP2[7:0] クローズド・キャプション・データ・レジスタ	X	X	X	X	X	X	X	X	CCAP2[7]はバイト0のパリティ・ビットを格納	
0x9B	レターボックス1 (読出し専用)	LB_LCT[7:0] レターボックス・データ・レジスタ	X	X	X	X	X	X	X	X	アクティブ・ビデオの最上部で検出されたブラック・ライン数を報告	
0x9C	レターボックス2 (読出し専用)	LB_LCM[7:0] レターボックス・データ・レジスタ	X	X	X	X	X	X	X	X	サブタイトルが検出された場合、アクティブ・ビデオの下半分で検出されたブラック・ライン数を報告	
0x9D	レターボックス3 (読出し専用)	LB_LCB[7:0] レターボックス・データ・レジスタ	X	X	X	X	X	X	X	X	アクティブ・ビデオの最下部で検出されたブラック・ライン数を報告	
0xB2	CRC イネーブル 書込み レジスタ	予備							0	0	デフォルト設定	
		CRC_ENABLE						0			CRCチェックをターンオフ	
		CGMSDを有効にするためCGMS パケットからデコードされたCRC チェックサムをイネーブル						1			チェックサムが有効なとき CGMSDはハイレベル	
		予備	0	0	0	1	1				デフォルト設定	

ADV7183B

サブアドレス	レジスタ	ビットの説明	ビット								コメント	注
			7	6	5	4	3	2	1	0		
0xC3	ADC スイッチ1	ADC0_SW[3:0] ADC0に対するマニュアル・ マルチプレクシング制御					0	0	0	0	未接続	SETADC_sw_man_ en=1
							0	0	0	1	AIN1	
							0	0	1	0	AIN2	
							0	0	1	1	AIN3	
							0	1	0	0	AIN4	
							0	1	0	1	AIN5	
							0	1	1	0	AIN6	
							0	1	1	1	未接続	
							1	0	0	0	未接続	
							1	0	0	1	AIN7	
							1	0	1	0	AIN8	
							1	0	1	1	AIN9	
							1	1	0	0	AIN10	
							1	1	0	1	AIN11	
							1	1	1	0	AIN12	
							1	1	1	1	未接続	
		ADC1_SW[3:0] ADC1に対するマニュアル・ マルチプレクシング制御	0	0	0	0					未接続	SETADC_sw_man_ en=1
			0	0	0	1					未接続	
			0	0	1	0					未接続	
			0	0	1	1					AIN3	
			0	1	0	0					AIN4	
			0	1	0	1					AIN5	
			0	1	1	0					AIN6	
			0	1	1	1					未接続	
			1	0	0	0					未接続	
			1	0	0	1					未接続	
			1	0	1	0					未接続	
			1	0	1	1					AIN9	
			1	1	0	0					AIN10	
			1	1	0	1					AIN11	
			1	1	1	0					AIN12	
			1	1	1	1					未接続	
0xC4	ADC スイッチ2	ADC2_SW[3:0] ADC2に対するマニュアル・ マルチプレクシング制御					0	0	0	0	未接続	SETADC_sw_man_ en=1
							0	0	0	1	未接続	
							0	0	1	0	AIN2	
							0	0	1	1	未接続	
							0	1	0	0	未接続	
							0	1	0	1	AIN5	
							0	1	1	0	AIN6	
							0	1	1	1	未接続	
							1	0	0	0	未接続	
							1	0	0	1	未接続	
							1	0	1	0	AIN8	
							1	0	1	1	未接続	
							1	1	0	0	未接続	
							1	1	0	1	AIN11	
							1	1	1	0	AIN12	
							1	1	1	1	未接続	
		予備		x	x	x						
		ADC_SW_MAN_EN	0								ディスエーブル	
		入力信号マルチプレクシングの マニュアル設定をイネーブル	1								イネーブル	

サブアドレス	レジスタ	ビットの説明	ビット								コメント	注
			7	6	5	4	3	2	1	0		
0xDC	レターボックス・コントロール1	LB_TH [4:0] ラインがブラックか判定するスレッシュホールド値の設定				0	1	1	0	0	ブラック・ライン検出用のデフォルトのスレッシュホールド	
		予備	1	0	1						デフォルト設定	
0xDD	レターボックス・コントロール2	LB_EL[3:0] LB検出 (フィールドの終了) 用のアクティブ・ウインドウの最終ラインを設定					1	1	0	0	LB検出は、フィールド内のアクティブ・ビデオの最終ライン (1100b:262/525) で終了	
		LB_SL[3:0] LB検出 (フィールドの開始) 用のアクティブ・ウインドウの開始ラインを設定	0	1	0	0					レターボックス検出は、アクティブ・ビデオの最初のライン (0100b:23/286 NTSC) で開始	
0xDE		予備	0	0	0	0	0	0	0	0		
0xDF		予備	0	0	0	0	0	0	0	0		
0xE0		予備	0	0	0	1	0	1	0	0		
0xE1	SD オフセットCb	SD_OFF_CB [7:0] Cbチャンネルに対するオフセットを選択して色相を調整	1	0	0	0	0	0	0	0		
0xE2	SD オフセットCr	SD_OFF_CR [7:0] Crチャンネルに対するオフセットを選択して色相を調整	1	0	0	0	0	0	0	0		
0xE3	SD 彩度Cb	SD_SAT_CB [7:0] Cbチャンネルのゲインを変えてピクチャの彩度を調整	1	0	0	0	0	0	0	0	色信号ゲイン=0dB	
0xE4	SD 彩度Cr	SD_SAT_CR [7:0] Crチャンネルのゲインを変えてピクチャの彩度を調整	1	0	0	0	0	0	0	0	色信号ゲイン=0dB	
0xE5	NTSC V ビット開始	NVBEG[4:0] Vをハイレベルに設定するためのI _{COUNT} ロールオーバー後のライン数				0	0	1	0	1	NTSCデフォルト (BT.656)	
		NVBEGSIGN			0						マニュアル設定の場合、ローレベルに設定	
					1						ユーザ設定には不適当	
		NVBEGDELE Vビットがハイレベルになるのを、NVBEGに対して1ラインだけ遅延 (偶数フィールド)		0							遅延なし	
				1							さらに1ライン遅延	
		NVBEGDELO Vビットがハイレベルになるのを、NVBEGに対して1ラインだけ遅延 (奇数フィールド)	0								遅延なし	
			1								さらに1ライン遅延	
0xE6	NTSC V ビット終了	NVEND[4:0] Vをローレベルに設定するためのI _{COUNT} ロールオーバー後のライン数				0	0	1	0	0	NTSCデフォルト (BT.656)	
		NVENDSIGN			0						マニュアル設定の場合、ローレベルに設定	
					1						ユーザ設定には不適当	
		NVENDDELE Vビットがローレベルになるのを、NVENDに対して1ラインだけ遅延 (偶数フィールド)		0							遅延なし	
				1							さらに1ライン遅延	
		NVENDDELO Vビットがローレベルになるのを、NVENDに対して1ラインだけ遅延 (奇数フィールド)	0								遅延なし	
			1								さらに1ライン遅延	

ADV7183B

サブアドレス	レジスタ	ビットの説明	ビット							コメント	注	
			7	6	5	4	3	2	1			0
0xE7	NTSC F ビット・トグル	NFTOG[4:0] F信号をトグルするためのI _{COUNT} ロールオーバー後のライン数				0	0	0	1	1	NTSCデフォルト	
		NFTOGSIGN			0						マニュアル設定の場合、 ローレベルに設定	
					1						ユーザ設定には不適切	
		NFTOGDELE Fの遷移をNFTOGに対して1ラインだけ 遅延 (偶数フィールド)		0							遅延なし	
				1							さらに1ライン遅延	
		NFTOGDELO Fの遷移をNFTOGに対して1ラインだけ 遅延 (奇数フィールド)。	0								遅延なし	
			1								さらに1ライン遅延	
0xE8	PAL V ビット開始	PVBEG[4:0] Vをハイレベルに設定するための I _{COUNT} ロールオーバー後のライン数				0	0	1	0	1	PALデフォルト (BT.656)	
		PVBEGSIGN			0						マニュアル設定の場合、 ローレベルに設定	
					1						ユーザ設定には不適切	
		PVBEGDELE Vビットがハイレベルになるのを、PVBEGに 対して1ラインだけ遅延 (偶数フィールド)		0							遅延なし	
				1							さらに1ライン遅延	
		PVBEGDELO Vビットがハイレベルになるのを、PVBEGに 対して1ラインだけ遅延 (奇数フィールド)	0								遅延なし	
			1								さらに1ライン遅延	
0xE9	PAL V ビット終了	PVEND[4:0] Vをローレベルに設定するための I _{COUNT} ロールオーバー後のライン数				1	0	1	0	0	PALデフォルト (BT.656)	
		PVENDSIGN			0						マニュアル設定の場合、 ローレベルに設定	
					1						ユーザ設定には 不適切	
		PVENDDELE Vビットがローレベルになるのを、PVENDに 対して1ラインだけ遅延 (偶数フィールド)		0							遅延なし	
				1							さらに1ライン遅延	
		PVENDDELO Vビットがローレベルになるのを、PVENDに 対して1ラインだけ遅延 (奇数フィールド)	0								遅延なし	
			1								さらに1ライン遅延	
0xEA	PAL F ビット・トグル	PFTOG[4:0] F信号をトグルするためのI _{COUNT} ロール オーバー後のライン数				0	0	0	1	1	PALデフォルト (BT.656)	
		PFTOGSIGN			0						マニュアル設定の場合、 ローレベルに設定	
					1						ユーザ設定には不適切	
		PFTOGDELE Fの変化をPFTOGに対して1ラインだけ 遅延 (偶数フィールド)		0							遅延なし	
				1							さらに1ライン遅延	
		PFTOGDELO Fの変化をPFTOGに対して1ラインだけ 遅延 (奇数フィールド)	0								遅延なし	
			1								さらに1ライン遅延	

サブアドレス	レジスタ	ビットの説明	ビット								コメント		注	
			7	6	5	4	3	2	1	0				
0xF4	駆動強度	DR_STR_S[1:0] 同期出力信号の駆動強度を選択							0	0	駆動強度:低 (1×)			
									0	1	駆動強度: 中低 (2×)			
									1	0	駆動強度: 中高 (3×)			
									1	1	駆動強度:高 (4×)			
		DR_STR_C[1:0] クロック出力信号の駆動強度を選択					0	0			駆動強度:低 (1×)			
							0	1			駆動強度: 中低 (2×)			
							1	0			駆動強度: 中高 (3×)			
							1	1			駆動強度:高 (4×)			
		DR_STR [1:0] データ出力信号の駆動強度を選択。 EMCまたはクロストークのために 増減可能			0	0					駆動強度:低 (1×)			
					0	1					駆動強度: 中低 (2×)			
					1	0					駆動強度: 中高 (3×)			
					1	1					駆動強度:高 (4×)			
		予備	x	x							遅延なし			
0xF8	IF補償 フィルタ・ コントロール	IFFILTSEL[2:0] PALとNTSCのIFフィルタ選択						0	0	0	バイパス・モード		0dB	
												2MHz	5MHz	NTSCフィルタ
								0	0	1	-3dB	-2dB		
								0	1	0	-6dB	+3.5dB		
								0	1	1	-10dB	+5dB		
								1	0	0	予備		PALフィルタ	
											3MHz	6MHz		
								1	0	1	-2dB	+2dB		
								1	1	0	-5dB	+3dB		
								1	1	1	-7dB	+5dB		
		予備	0	0	0	0	0							
		0xF9	VSモード・ コントロール	EXTEND_VS_MAX_FREQ							0	最大同期周波数を 66.25Hzに制限 (475ライン／フレーム)		
									1	最大同期周波数を 70.09Hzに制限 (449ライン／フレーム)				
EXTEND_VS_MIN_FREQ									0	最小同期周波数を 42.75Hzに制限 (731ライン／フレーム)				
									1	最小同期周波数を 39.51Hzに制限 (791ライン／フレーム)				
VS_COAST_MODE[1:0]							0	0		自動COASTモード		この値は 出力COAST周波数を 設定		
							0	1		50Hz COASTモード				
							1	0		60Hz COASTモード				
							1	1		予備				
予備	0			0	0	0								

ADV7183B

I²Cのプログラミング例

モード1: CVBS入力(AIN5上のコンポジット・ビデオ)

4:2:2、ITU-R BT.656、8ビット出力のP15～8自動検出によって、すべての規格はサポートされています。

表86. モード1: CVBS入力

レジスタ・アドレス	レジスタ値	注
0x00	0x04	AIN5上のCVBS入力
0x15	0x00	デジタル・クランプをスローダウン
0x17	0x41	CSFMをSH1に設定
0x3A	0x16	ADC 1とADC 2をパワーダウン
0x50	0x04	フラット応答に対してDNRスレッシュホールドを4に設定
0x0E	0x80	アナログ・デバイセズの推奨する設定シーケンス。デコーダを設定するときは、正確にこのシーケンスに従う必要があります。
0x50	0x20	推奨設定
0x52	0x18	推奨設定
0x58	0xED	推奨設定
0x77	0xC5	推奨設定
0x7C	0x93	推奨設定
0x7D	0x00	推奨設定
0xD0	0x48	推奨設定
0xD5	0xA0	推奨設定
0xD7	0xEA	推奨設定
0xE4	0x3E	推奨設定
0xEA	0x0F	推奨設定
0x0E	0x00	推奨設定

モード2: Sビデオ入力(AIN1上のYとAIN4上のC)

ITU-R BT.656、8ビット出力のP15～8自動検出によって、すべての規格はサポートされています。

表87. モード2: Sビデオ入力

レジスタ・アドレス	レジスタ値	注
0x00	0x06	Y1=AIN1、C1=AIN4
0x15	0x00	デジタル・クランプをスローダウン
0x3A	0x12	ADC2をパワーダウン
0x50	0x04	フラット応答に対してDNRスレッシュホールドを4に設定
0x0E	0x80	アナログ・デバイセズの推奨する設定シーケンス。デコーダを設定するときは、正確にこのシーケンスに従う必要があります。
0x50	0x20	推奨設定
0x52	0x18	推奨設定
0x58	0xED	推奨設定
0x77	0xC5	推奨設定
0x7C	0x93	推奨設定
0x7D	0x00	推奨設定
0xD0	0x48	推奨設定
0xD5	0xA0	推奨設定
0xD7	0xEA	推奨設定
0xE4	0x3E	推奨設定
0xEA	0x0F	推奨設定
0x0E	0x00	推奨設定

モード3:525i/625i YPrPb入力(AIN2上のY、AIN3上のPr、AIN6上のPb)

ITU-R BT.656、8ビット出力のP15～8自動検出によって、すべての規格はサポートされています。

表88. モード3:YPrPb入力525i/625i

レジスタ・アドレス	レジスタ値	注
0x00	0x0A	Y2=AIN2、Pr2=AIN3、Pb2=AIN6
0x50	0x04	フラット応答に対してDNRスレッシュホールドを4に設定
0x0E	0x80	アナログ・デバイセズの推奨する設定シーケンス。デコーダを設定するときは、正確にこのシーケンスに従う必要があります。
0x52	0x18	推奨設定
0x58	0xED	推奨設定
0x77	0xC5	推奨設定
0x7C	0x93	推奨設定
0x7D	0x00	推奨設定
0xD0	0x48	推奨設定
0xD5	0xA0	推奨設定
0xE4	0x3E	推奨設定
0x0E	0x00	推奨設定

モード4: AIN4上のCVBSチューナ入力PAL専用

ITU-R BT.656、8ビット出力のP15～8自動検出によって、すべての規格はサポートされています。

表89. モード4:チューナ入力CVBS PAL専用

レジスタ・アドレス	レジスタ値	注
0x00	0x83	PAL専用モードでAIN4にCVBS入力
0x07	0x01	PAL自動検出のみをイネーブル
0x15	0x00	デジタル・クランプをスローダウン
0x17	0x41	CSFMをSH1に設定
0x19	0xFA	ドット・クロール削減機能を強化
0x3A	0x16	ADC 1とADC 2をパワーダウン
0x50	0x0A	DNRスレッシュホールドを高く設定
0x0E	0x80	アナログ・デバイセズの推奨する設定シーケンス。デコーダを設定するときは、正確にこのシーケンスに従う必要があります。
0x50	0x20	推奨設定
0x52	0x18	推奨設定
0x58	0xED	推奨設定
0x77	0xC5	推奨設定
0x7C	0x93	推奨設定
0x7D	0x00	推奨設定
0xD0	0x48	推奨設定
0xD5	0xA0	推奨設定
0xD7	0xEA	推奨設定
0xE4	0x3E	推奨設定
0xEA	0x0F	推奨設定
0x0E	0x00	推奨設定

ADV7183B

PCボード・レイアウトの推奨事項

ADV7183Bは高精度の高速ミックスド・シグナル・デバイスです。デバイスの性能を最大限まで引き出すには、優れたPCボードのレイアウトが重要となります。以下に、ADV7183Bを使用したボード設計について説明します。

アナログ・インターフェース入力

PCボード上で入力を配線するときは、細心の注意が必要です。パターン長は最小にし、可能な限り75Ωのパターン・インピーダンスを使用してください。75Ω以外のパターン・インピーダンスを使用すると、反射が発生する可能性も大きくなります。

電源のデカップリング

各電源ピンに0.1μFと10nFのコンデンサを接続し、デカップリングすることを推奨します。基本的には、各電源ピンから約0.5cm以内にデカップリング・コンデンサを配置するようにします。また、ADV7183Bの実装面とは反対側のPCボード面にコンデンサを配置すると、ビアによる抵抗がパス内に加わるので、このようなコンデンサの配置は避けてください。デカップリング・コンデンサは、電源プレーンと電源ピンの間に配置します。電流は、電源プレーンからコンデンサを経由して電源ピンへ流れるようにします。コンデンサと電源ピンの間には電源接続を設けないでください。100nFコンデンサ・パッドの下から電源プレーンへビアを配置することは一般に、最適な方法です(図41参照)。

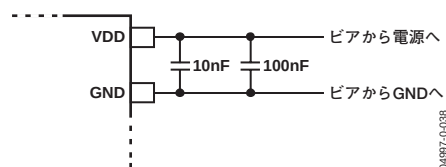


図41. 推奨する電源デカップリング

PVDDを低ノイズで安定した状態に保つことが重要です。レギュレーション、フィルタリング、デカップリングには特別な注意を払う必要があります。各アナログ回路グループ(AVDD、DVDD、DVDDIO、PVDD)には個別の安定化電源を使用することが強く望まれます。

グラフィック・コントローラによっては、アクティブ時(アクティブ・ピクチャ区間)とアイドル時(水平および垂直の同期区間)で、消費電力が大幅に異なるものがあります。このため、アナログ電源レギュレータに加えられる電圧に大きな変化が発生し、ひいては安定化されたアナログ供給電源に変動が生じることがあります。この影響はアナログ電源の安定化により、または少なくともPVDDだけでも別のクリーンな電源(たとえば、12V電源)を使うことで緩和されます。

さらに、ボード全体に1枚のグラウンド・プレーンを使用すること推奨します。このグラウンド・プレーンは、PCボードのアナログ部とデジタル部の間に分離スペースを置く必要があります(図42)。

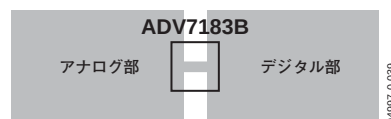


図42. PCボードのグラウンドのレイアウト

これまで経験的に、グラウンド・プレーンは1枚にしたほうが、ノイズ性能が同等かもしくは改善されることがわかっています。複数のグラウンド・プレーンを使用すると、各グラウンド・プレーンが小さくなり、グラウンド・ループが長くなるため、悪影響が出る可能性があります。

場合によっては、グラウンド・プレーンを別々に使用せざるをえない場合があります。こういったときは、ADV7183Bの下には1枚のグラウンド・プレーンを配置することを推奨します。分割の場所はADV7183Bの下にする必要があります。この場合、電流ループが長くなってしまうので(電流は最小抵抗のパスを通ります)、部品の配置が重要となります。電流ループの一例としては、電源プレーン→ADV7183B→デジタル出力パターン→デジタル・データ・レシーバ→デジタル・グラウンド・プレーン→アナログ・グラウンド・プレーンがあります。

PLL

PLLループ・フィルタ部品は可能な限りELPFピンの近くに配置します。これらの部品の近くにはデジタル・パターンや高周波パターンを配置しないようにしてください。データシートの推奨値を、許容偏差10%以下で使います。

デジタル出力(データとクロックの両方)

デジタル出力が駆動しなければならないパターン長を最小にしてください。パターンを長くすると容量が増え、必要な電流も増えるため、内部デジタル・ノイズが大きくなります。パターンを短くすると、反射の可能性も小さくなります。

30~50Ωの直列抵抗を接続すると、反射、EMI、ADV7183B内部の電流スパイクを低減できます。直列抵抗を使う場合は、できるだけADV7183Bピンの近くに配置します。ただし、抵抗を近くに配置するために、ビアの追加や出力パターンを長くすることは避けてください。

可能であれば、各デジタル出力の駆動容量を15pF未満に制限してください。これは、パターンを短くし、出力を1個のデバイスだけに接続することで容易に実現できます。出力の容量が大きくなると、ADV7183B内部で過渡電流が増大し、電源のデジタル・ノイズが大きくなります。

デジタル入力

ADV7183Bのデジタル入力は3.3V信号で動作するように設計されているため、5V信号に耐えることはできません。デコードに5Vロジック信号を入力する場合は、追加部品が必要です。

アンチエイリアス(折返し誤差防止)フィルタ

帯域制限されていないビデオ信号源からの入力の場合、A/D変換時にビデオ帯域外の信号がビデオ帯域内に折り返されて、出力ビデオではノイズとして現れることがあります。ADV7183Bは4倍でアナログ入力をオーバーサンプルします。この54MHzのサンプリング周波数は入力フィルタの条件を緩和します。最適性能を得るため、アンチエイリアス・フィルタの使用を推奨します。図44に、すべてのアナログ入力信号に対するバッファ回路とフィルタ回路を実現する低価格の推奨回路を示します。

バッファは、1個のNPN型トランジスタを使用したシンプルなエミッタ接地です。アンチエイリアス・フィルタは、受動部品で構成します。この受動フィルタは、-3dBポイントが9MHzの3次バターワース・フィルタです。図43に、この受動フィルタの周波数応答を示します。フラットな通過帯域6MHzが必要です。R24とR63の分圧器に起因するフィルタ出力での信号減衰量は、自動ゲイン・コントロールを使ってADV7183B用に補償されます。バッファ入力にあるACカップリング・コンデンサは、トランジスタ

に対するバイアス抵抗とともにハイパス・フィルタを構成します。このフィルタは、次のカットオフ周波数を持ちます。

$$\{2 \times \pi \times (R39 \parallel R89) \times C93\}^{-1} = 0.62\text{Hz}$$

デバイス内で内部クランプが正常に動作するには、このフィルタのカットオフ周波数を1Hz未満にする必要があります。これらのクランプは、ビデオが使用するオペアンプの5V範囲以内に留まるようにします。

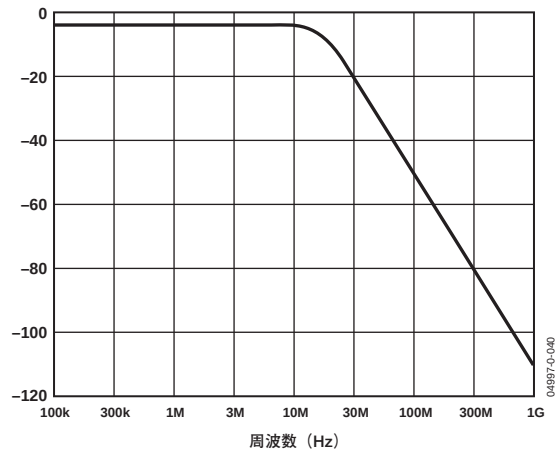


図43. 3次バターワース・フィルタの応答

ADV7183B

代表的な回路接続

図44と図45に、ADV7183Bビデオ・デコーダの接続例を示します。ADV7183Bの詳細な回路図は、ADV7183Bの評価用ボードのドキュメントを参照してください。

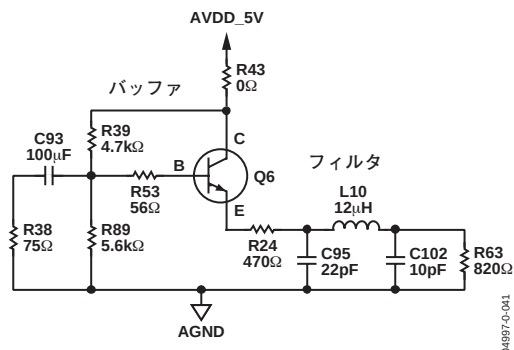


図44. 全入力チャンネルに対する推奨アンチエイリアシング回路

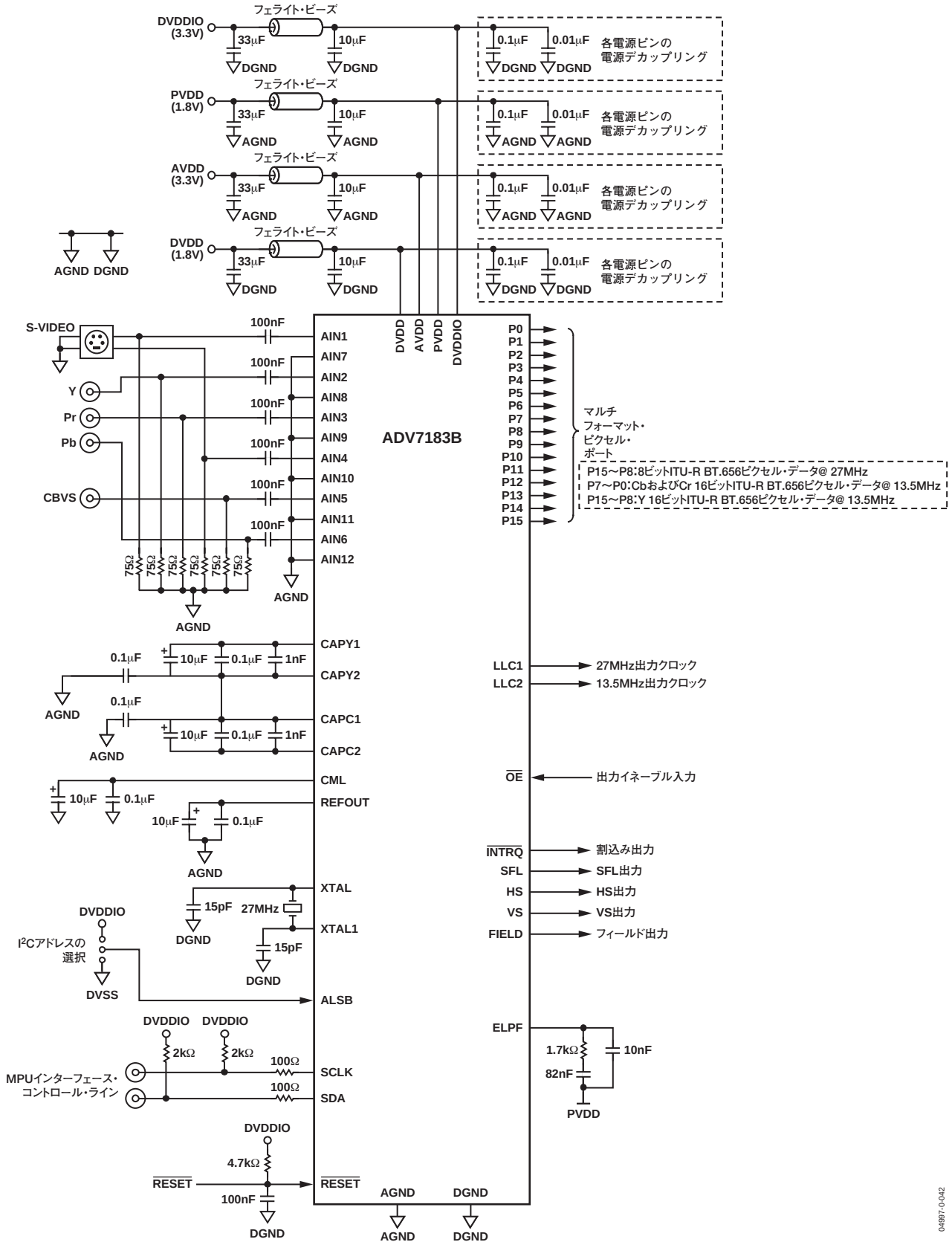


図45. 代表的な接続図

ADV7183B

外形寸法

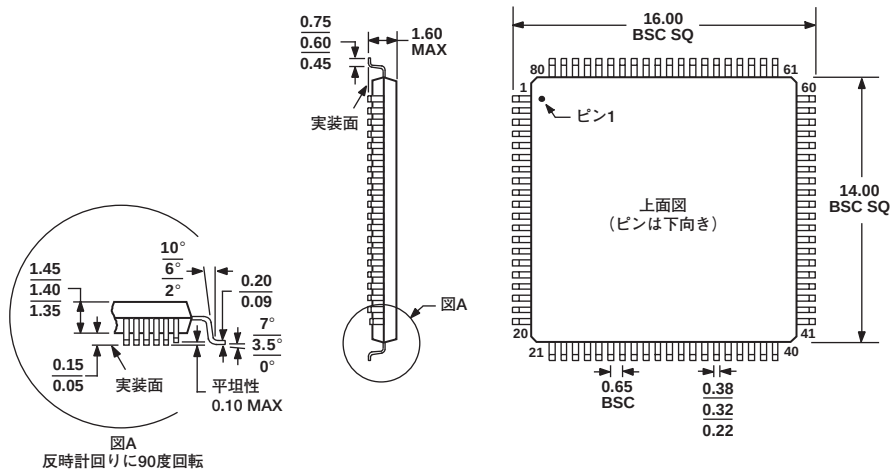


図46. 80ピンLQFP
(ST-80-2)
寸法単位：mm

オーダー・ガイド

製品モデル	温度範囲	パッケージ	パッケージ・オプション
ADV7183BKSTZ ¹	−25～+70℃	LQFP	ST-80-2
ADV7183BBSTZ ¹	−40～+85℃	LQFP	ST-80-2
EVAL-ADV7183BEBM		評価用ボード	

¹ Zは鉛フリー製品

ADV7183Bは鉛フリーの環境配慮製品で、最新の材料と製造プロセスで製造されています。各デバイスのピンのコーティングは純度100%のSn電気メッキです。デバイスは鉛フリー・アプリケーションに適合し、最高255℃(±5℃)の表面実装ハンダ処理に耐えられます。

さらに、本製品は従来型のSnPbハンダ処理製品と下位互換性があります。ということは、電気メッキされたSnコーティングがSn/Pbハンダ・ペーストを用いて従来型リフロー温度220～235℃でハンダ付けできる、ということです。

ノート

ノート

アナログ・デバイス社またはその二次ライセンスを受けた関連会社からライセンスの対象となるI²Cコンポーネントを購入した場合、購入者にはこれらのコンポーネントをI²Cシステムで使用するフィリップス社のI²Cの特許権に基づくライセンスが許諾されます。ただし、フィリップス社が規定するI²C規格仕様に準拠したシステムが必要です。