

ADSP-BF538/ADSP-BF538F

特長

最大533 MHzの高性能Blackfinプロセッサ

16ビットMACを2個、40ビットALUを2個、8ビット・ビデオALUを4個、40ビット・シフタを内蔵

RISCに似たレジスタおよび命令モデルを採用しているため、プログラミングが容易でかつコンパイラ・フレンドリなサポートが可能

高度なデバッグ機能、トレース機能、パフォーマンスモニタ機能をサポート

広い動作電圧範囲(動作条件参照)

プログラマブルな電圧レギュレータを内蔵

316ボールの鉛フリーCSP_BGA パッケージを採用

メモリ

148K バイトの内蔵メモリ

16K バイトの命令 SRAM/キャッシュ

64K バイトの命令 SRAM

32K バイトのデータ SRAM

32K バイトのデータ SRAM/キャッシュ

4K バイトのスクラッチパッド SRAM

512K×16ビットまたは256K×16ビットのフラッシュ・メモリ (ADSP-BF538Fの場合)

メモリ・マネジメント・ユニット(MMU)によるメモリ保護

外部メモリ・コントローラにより、外付け部品なしでSDRAM、SRAM、フラッシュ、ROMのサポートが可能
SPIと外部メモリからの柔軟なメモリ・ブーティング・オプション

ペリフェラル

ITU-R 656ビデオ・データ・フォーマットをサポートするパラレル・ペリフェラル・インターフェース(PPI)

16チャンネルのステレオI²Sをサポートするデュアル・チャンネル全二重同期シリアル・ポート×4

26個のペリフェラル DMAをサポートするDMA コントローラ×2

メモリメモリ間DMAコントローラ×4

コントローラ・エリア・ネットワーク (CAN) 2.0B コントローラ

SPI互換ポート×3

PWMをサポートする32ビット・タイマ/カウンタ×3

IrDAをサポートするUART×3

業界標準I²Cと互換性を持つTWI コントローラ×2

汎用I/Oピン(GPIO)×最大54本

リアルタイム・クロック、ウォッチドッグ・タイマ、32ビット・コア・タイマ

0.5~64倍の周波数逡倍機能をもつPLLを内蔵

デバッグ/JTAGインターフェース

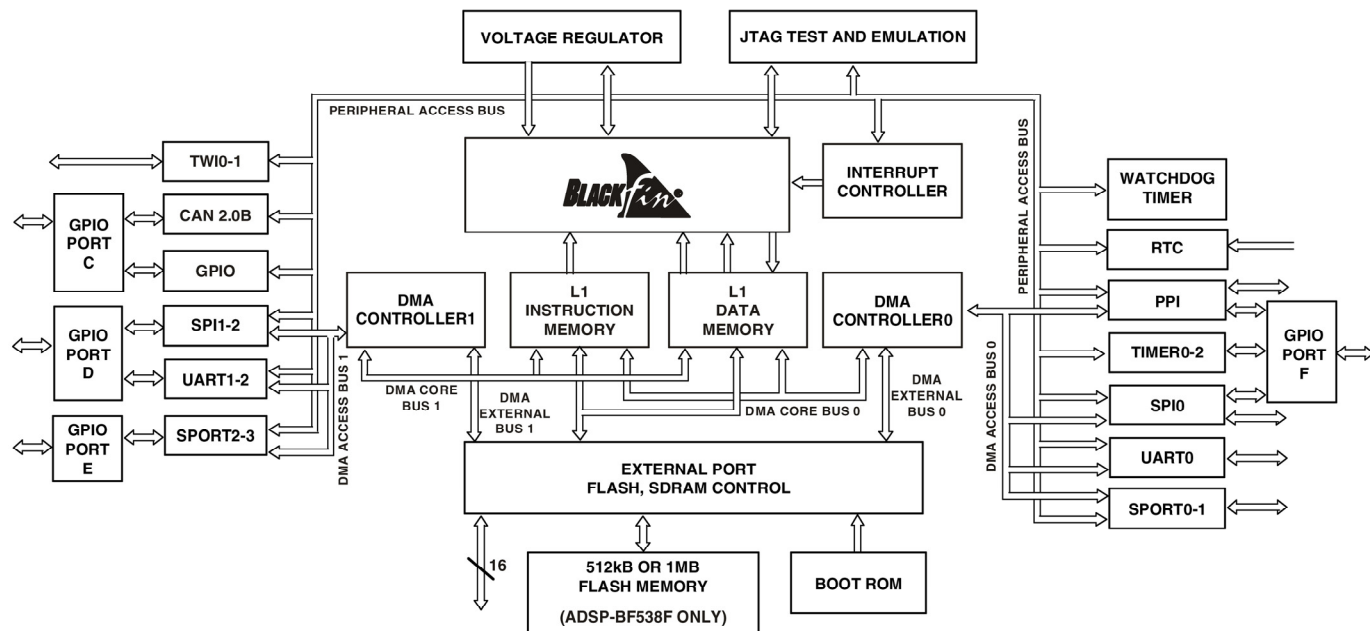


図1 機能ブロック図

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。

※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。

Rev. B

©2008 Analog Devices, Inc. All rights reserved.

目次

特長	1	ダイナミック・パワー・マネジメント	13
メモリ	1	電圧レギュレーション	14
ペリフェラル	1	クロック信号	14
改訂履歴	2	ブーティング・モード	15
概要	3	命令セットの説明	16
低消費電力アーキテクチャ	3	開発ツール	16
システム・インテグレーション	3	エミュレータ互換プロセッサ・ボードのデザイン	17
ADSP-BF538/ADSP-BF538Fプロセッサのペリフェラ		関連ドキュメント	18
ル	3	ピン説明	19
Blackfinプロセッサ・コア	4	仕様	23
メモリ・アーキテクチャ	5	動作条件	23
DMAコントローラ	8	電気的特性	25
リアルタイム・クロック	9	絶対最大定格	28
ウォッチドッグ・タイマ	9	ESD感受性	28
タイマ	9	パッケージ情報	28
シリアル・ポート(SPORT)	10	タイミング仕様	29
シリアル・ペリフェラル・インターフェース(SPI)ポ		出力駆動電流	48
ート	10	テスト条件	50
2線式インターフェース	10	熱特性	53
UARTポート	11	316ボール CSP_BGAのボール配置	54
汎用ポート	11	外形寸法	57
パラレル・ペリフェラル・インターフェース	11	表面実装デザイン	58
コントローラ・エリア・ネットワーク(CAN)インター		オーダー・ガイド	58
フェース	12		

改訂履歴

10/08—Rev. A to Rev. B

Corrected document errata associated with	
Pin Descriptions	19
Corrected document errata associated	
with IDHIBERNATE in Electrical Characteristics	25
Removed the Power Dissipation section. See <i>Estimating Power</i>	
<i>for the ADSP-BF538/BF539 Blackfin Processors (EE-298)</i> and	
Table 15 , Table 16 , and Table 17	26
Revised SPI master timing specifications and diagram.	
See Serial Peripheral Interface Ports—Master Timing	43
Revised SPI slave timing specifications and diagram.	
See Serial Peripheral Interface Ports—Slave Timing	44
Replaced package drawing. See Outline Dimensions	57

概要

ADSP-BF538/ADSP-BF538FはBlackfin[®]ファミリーに属し、アナログ・デバイス/インテル・マイクロ・シグナル・アーキテクチャ(MSA)を採用しています。Blackfinプロセッサは、2系統のMACを内蔵する最新の信号処理エンジン、直交性の優れたRISCライクなマイクロプロセッサ命令セットの利点、シングル命令マルチプル・データ(SIMD)マルチメディア機能をシングル命令セット・アーキテクチャに統合したものです。

ADSP-BF538/ADSP-BF538Fプロセッサは、他のBlackfinプロセッサと完全なコードの互換性を持ち、性能、ペリフェラル、内蔵メモリが異なっています。仕様性能、ペリフェラル、メモリ構成を表1に示します。

表1 プロセッサの機能

Feature	ADSP-BF538	ADSP-BF538F4	ADSP-BF538F8
SPORTs	4	4	4
UARTs	3	3	3
SPI	3	3	3
TWI	2	2	2
PPI	1	1	1
CAN	1	1	1
Instruction SRAM/Cache	16K bytes	16K bytes	16K bytes
Instruction SRAM	64K bytes	64K bytes	64K bytes
Data SRAM/Cache	32K bytes	32K bytes	32K bytes
Data SRAM	32K bytes	32K bytes	32K bytes
Scratchpad	4K bytes	4K bytes	4K bytes
Flash	Not Applicable	256K × 16-bit	512K × 16-bit
Maximum Speed Grade	533 MHz 1066 MMACS	533 MHz 1066 MMACS	533 MHz 1066 MMACS
Package Option	BC-316	BC-316	BC-316

Blackfinプロセッサは、業界をリードするシステム・ペリフェラルとメモリの豊富なセットを統合することにより、次世代アプリケーションに対する最適なプラットフォームになっています。次世代アプリケーションでは、RISCライクなプログラマブル性、マルチメディアのサポート、最先端の信号処理を1つのパッケージに統合することが必要とされています。

低消費電力アーキテクチャ

Blackfinプロセッサは、ワールド・クラスのパワー・マネジメントと性能を提供します。これらのプロセッサは低消費電力および低電圧デザイン手法を使って設計されており、動作電圧と動作周波数を変更できるダイナミック・パワー・マネジメント機能を持つため、全体の消費電力を大幅に削減することができます。

電圧と周波数を変えると、動作周波数だけを変える場合に比較して大幅な消費電力削減が可能になります。このため、バッテリー寿命を延し、発熱を削減することができます。

システム・インテグレーション

ADSP-BF538/ADSP-BF538Fプロセッサは、オーディオとビデオの信号処理などの次世代の民生用および工業用アプリケーション向けに高度に統合されたシステム・オン・チップ・ソリューションです。内蔵フラッシュ・メモリのような最新のメモリ構成、業界標準のインターフェース、高性能信号処理コアとの組み合わせにより、コスト・パフォーマンスの優れたアプリケーションを高価な外付け部品なしで迅速に開発することができます。システム・ペリフェラルとしては、UARTポート×3、SPIポート×3、シリアル・ポート(SPORT)×4、CANインターフェース×1、2線式インターフェース(TWI)×2、汎用タイマ(3個はPWM機能付き)×4、リアルタイム・クロック×1、ウォッチドッグ・タイマ×1、パラレル・ペリフェラル・インターフェース(PPI)×1、汎用I/Oピンなどがあります。

ADSP-BF538/ADSP-BF538Fプロセッサのペリフェラル

ADSP-BF538/ADSP-BF538Fプロセッサには複数の広帯域バスを経由してコアに接続された豊富なペリフェラルセットが内蔵されており、システム構成や優れた全体システム性能における柔軟性を提供しています(図1のブロック図参照)。汎用ペリフェラルには、UART、PWM(パルス幅変調)機能とパルス計測機能付きのタイマ、汎用I/Oピン、リアルタイム・クロック、ウォッチドッグ・タイマなどの機能が含まれています。この機能セットは広範囲なシステム・サポートの要求を満たし、デバイスのシステム拡張機能を強化します。これらの汎用ペリフェラルの他に、プロセッサは、さまざまなオーディオ、ビデオ、モデム・コーデック機能に対するインターフェース用の高速シリアルおよびパラレル・ポートを内蔵しています。CAN 2.0B コントローラは、車載および工業用コントロール・ネットワーク向けに提供されています。割込みコントローラは、内蔵ペリフェラルまたは外部ソースからの割込みを管理します。パワー・マネジメント制御機能は、多くのアプリケーション向けにプロセッサとシステムの性能と消費電力特性を調節します。

汎用I/O、CAN、TWI、リアルタイム・クロック、タイマを除くすべてのペリフェラルで、柔軟なDMA構造がサポートされています。外付けのSDRAMと非同期メモリを含むプロセッサの種々のメモリ空間の間でのデータ転送用に4個のメモリDMAチャンネルも用意されています。最大133 MHzで動作する複数のオンチップ・バスは、プロセッサ・コアがすべての内蔵ペリフェラルおよび外部ペリフェラルと動作するための十分な帯域幅を提供しています。

ADSP-BF538/ADSP-BF538Fプロセッサは、ダイナミック・パワー・マネジメント機能をサポートするために電圧レギュレータを内蔵しています。この電圧レギュレータは、V_{DDEXT}からの広範囲なコア電圧レベルを提供します。電圧レギュレータは必要に応じてバイパスすることができます。

Blackfinプロセッサ・コア

図2に示すように、Blackfinプロセッサ・コアは、2個の16ビット乗算器、2個の40ビット・アキュムレータ、2個の40ビットALU、4個のビデオALU、40ビット・シフタを内蔵しています。この演算ユニットは、レジスタ・ファイルにある8ビット、16ビット、または32ビットのデータを処理します。

演算レジスタ・ファイルには、8個の32ビット・レジスタがあります。16ビットのオペランド・データに対する演算動作では、レジスタ・ファイルは16個の独立な16ビット・レジスタとして動作します。演算動作でのすべてのオペランドは、マルチポート化されたレジスタ・ファイル・フィールドと命令定数フィールドから取得されます。

各MACは、各サイクルで16ビット×16ビットの乗算を実行して、演算結果を40ビットのアキュムレータにアキュムレートすることができます。符号付きおよび符号なしのフォーマット、まるめ処理、サチレーションをサポートしています。

ALUは、16ビットまたは32ビットのデータに対する算術演算および論理演算の従来型セットを実行します。さらに、種々の信号処理タスクを加速させる多くのスペシャル命令を持っています。これらには、フィールド抽出およびポピュレーション・カウントなどのビット操作、モジュロ2³²の乗算、除算プリミティブ、サチレーション処理、まるめ

処理、符号/指数部の検出などが含まれます。ビデオ命令のセットには、バイト・アライメントおよびパッキング操作、クリッピング機能を持つ16ビットおよび8ビットの加算、8ビット平均処理、8ビットの減算/絶対値/アキュムレート(SAA)命令が含まれています。コンペア/セレクト命令とベクター・サーチ命令も用意されています。

命令によっては、2つの16ビットALU演算をレジスタ対(上位16ビットと下位16ビットの演算レジスタ)に対して同時に実行することができるものもあります。クワッド16ビット動作は、2つ目のALUを使って可能です。

40ビット・シフタはシフトおよびローテイトを実行することができ、正規化、フィールドの抽出、フィールドの設定を行う命令をサポートするときに使います。

プログラム・シーケンサは、命令のアライメントやデコーディングなどの命令実行フローを制御します。プログラム・フロー制御に対しては、シーケンサはPC相対および間接の条件付きジャンプ(スタティック分岐予測)とサブルーチン呼び出しをサポートしています。ゼロ・オーバーヘッド・ループ機能をサポートするためのハードウェアも用意されています。このアーキテクチャはフルにインターロックされています。すなわち、データ依存性を持つ命令を実行する際にプログラマはパイプラインを管理する必要がありません。

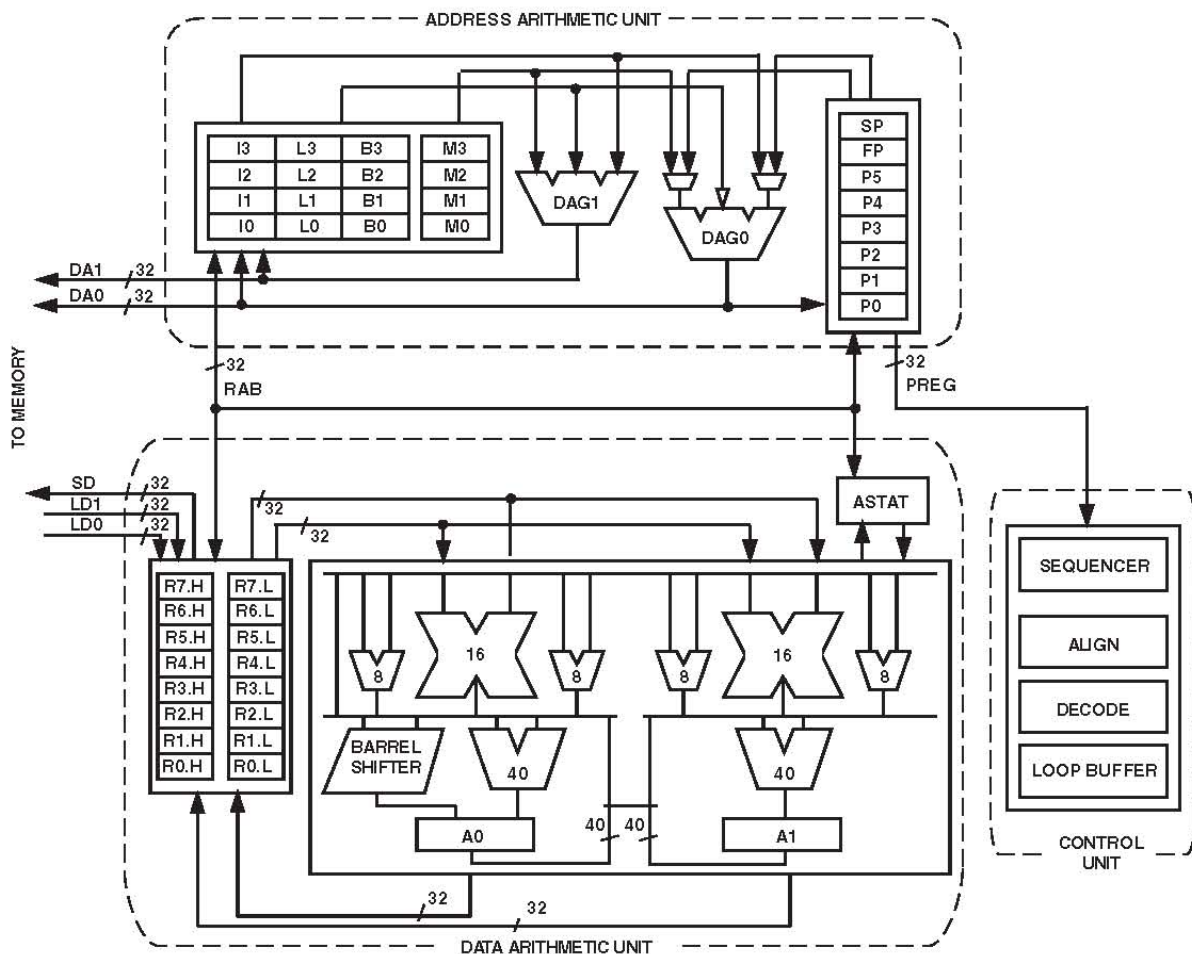


図2 Blackfinプロセッサ・コア

アドレス演算ユニットは2個のアドレスを提供するため、2つの同時メモリ・フェッチが可能です。4セットの32ビットのインデックス・レジスタ、モデファイ・レジスタ、レンジス・レジスタ、ベース・レジスタ(循環バッファ用)から構成されているマルチポート化されたレジスタ・ファイル、さらに8個の32ビット・ポインタ・レジスタ(Cタイプのインデックス・スタック操作)が含まれています。

Blackfinプロセッサは、修正ハーバード・アーキテクチャと階層的メモリ構造の組み合わせをサポートしています。レベル1 (L1) メモリは、ほとんどレイテンシがない最高プロセッサ速度で動作するメモリです。L1レベルでは、命令メモリは命令のみを保持します。2つのデータ・メモリはデータを保持し、専用のスクラッチパッド・データ・メモリはスタック情報とローカル変数情報を格納します。

さらに、複数のL1メモリ・ブロックが用意されているため、SRAMとキャッシュのミックス構成が可能です。メモリ・マネジメント・ユニット(MMU)は、コア上で動作可能な個々のタスクに対してメモリ保護機能を提供し、意図しないアクセスからシステム・レジスタを保護します。

このアーキテクチャでは、ユーザ・モード、スーパーバイザ・モード、エミュレーション・モードの3種類の動作モードを提供しています。ユーザ・モードでは、ある種のシステム・リソースに対するアクセスを制限しているため、保護されたソフトウェア環境を提供しています。スーパーバイザ・モードでは、システム・リソースとコア・リソースに対するアクセス制限はありません。

Blackfinプロセッサの命令セットは、16ビット・オペコードが最も頻繁に使用される命令となるように最適化されているため、優れたコンパイル済みコード密度が得られます。複合DSP命令は32ビット・オペコードにエンコードされて、フル機能のマルチファンクション命令になっています。Blackfinプロセッサでは制限された並行起動機能をサポートしています。すなわち、2つの16ビット命令と並行して、32ビット命令を発行することができるため、多くのコア・リソースを1命令サイクルで使用することができます。

Blackfinプロセッサのアセンブリ言語では、代数式構文を採用しているためコードの読み書きが容易です。このアーキテクチャはC/C++コンパイラの使用に対して最適化されているため、高速かつ効率良いソフトウェアを作成することができます。

メモリ・アーキテクチャ

ADSP-BF538/ADSP-BF538Fプロセッサは、メモリを32ビット・アドレスを使う1つの連続した4Gバイトのアドレス空間として見ます。内部メモリ、外部メモリ、I/Oコントロール・レジスタなどのすべてのリソースは、この共通アドレス空間の一部を占有します。このアドレス空間のメモリ部分は階層的に構成されているため、キャッシュまたはSRAMとしての非常に高速で低レイテンシのオンチップ・メモリと、大容量で低価格かつ低性能のオフチップ・メモリ・システムとの間でコスト/パフォーマンスを均衡させることができます。図3を参照してください。

L1メモリ・システムは、Blackfinプロセッサで使用可能な最高性能のプライマリ・メモリです。外部バス・インターフェース・ユニット(EBIU)を介してアクセスするオフチップ・メモリ・システムは、SDRAM、フラッシュ・メモリ、SRAMの拡張を提供し、最大132Mバイトまでの物理メモリをアクセスすることができます。

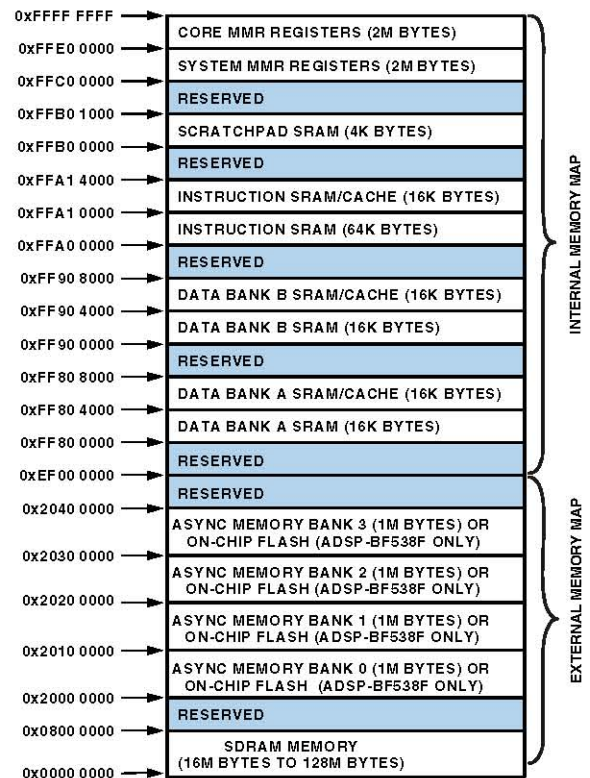


図3 ADSP-BF538/ADSP-BF538Fの内部/外部メモリ・マップ

メモリDMAコントローラは、広帯域のデータ転送機能を提供します。内部メモリ空間と外部メモリ空間との間のコードまたはデータのブロック転送を実行することができます。

内部(オンチップ)メモリ

ADSP-BF538/ADSP-BF538Fプロセッサ3つのブロックのオンチップ・メモリを持っており、コアに対する高速なアクセスを提供します。

1つ目はL1命令・メモリであり、80KバイトのSRAMで構成されており、その内の16Kバイトは4ウェイ・セット・アソシアティブ・キャッシュとして設定することができます。このメモリは最高プロセッサ速度でアクセスすることができます。

2つ目のオンチップ・メモリ・ブロックはL1データ・メモリであり、最大32Kバイトの2つのバンクで構成されています。各メモリ・バンクは設定可能で、2ウェイ・セット・アソシアティブ・キャッシュとSRAM機能を提供します。このメモリ・ブロックは最高プロセッサ速度でアクセスすることができます。

3つ目のメモリ・ブロックは4KバイトのスクラッチパッドSRAMであり、L1メモリと同じ速度で動作しますが、データSRAMとしてのみアクセス可能で、キャッシュ・メモリとして設定することはできません。

外部(オフチップ)メモリ

外部メモリは、外部バス・インターフェース・ユニット (EBIU) を介してアクセスします。この16ビット・インターフェースは、同期DRAM (SDRAM)のバンクや、フラッシュ、EPROM、ROM、SRAM、メモリ・マップドI/Oデバイスなどの最大4バンクの同期メモリ・デバイスに対して外付け部品不要な接続を提供します。

PC133準拠のSDRAMコントローラは、最大128MバイトのSDRAMとインターフェースするように設定することができます。SDRAMコントローラを使うと、各内部SDRAMバンクに対して1行オープンすることができ、最大4内部SDRAMバンクまで可能なため、全体システム性能が向上します。

非同期メモリ・コントローラは、非常に柔軟なタイミング・パラメータを持つ最大4バンクのデバイスを制御するように設定することができ、広範囲なデバイスをサポートすることができます。各バンクは使用するデバイスのサイズに無関係に1Mバイト・セグメントを占有します。したがって、各々が1Mバイトのメモリで使用された場合にのみ、これらのバンクが連続になります。

フラッシュ・メモリ

ADSP-BF538F4プロセッサとADSP-BF538F8プロセッサは、別チップのフラッシュを内蔵しており、プロセッサ・パッケージ内でEBIUバスに接続されています。図4に、フラッシュ・メモリ・チップと Blackfin プロセッサ・チップの接続方法を示します。

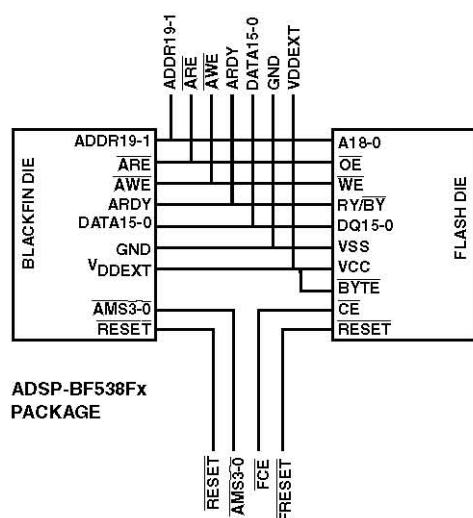


図4 フラッシュ・メモリの内部接続
(ADSP-BF538Fx)

ADSP-BF538F4は、4Mビット (256K×16ビット) ボトム・ブート・セクターのSpansion社製S29AL004Dチップ・フラッシュ・メモリ[†]を内蔵しています。ADSP-BF538F8は8Mビット (512K×16ビット) ボトム・ブート・セクター Spansion社製S29AL008Dチップ・フラッシュ・メモリを内蔵しています。次の機能も内蔵しています。

- ・ 70 nsの高速アクセス・タイム (EBIU レジスタは正しく設定する必要があります)

- ・ セクター保護機能
- ・ セクターあたり百万回の書き込みサイクル
- ・ 20 年間のデータ保持

フラッシュ・メモリ・チップは外部メモリ・デバイスと同じように、アドレス、データ、チップ・イネーブル、書き込みイネーブル、出力イネーブル・コントロールを使って Blackfin プロセッサに接続されています。

フラッシュ・チップ・イネーブル・ピン $\overline{\text{FCE}}$ は、プリント回路ボードのパターンを使ってAMS0またはAMS3~1に接続する必要があります。AMS0に接続すると、Blackfin プロセッサはフラッシュ・チップからブートすることができます。AMS3~1に接続すると、フラッシュ・メモリはプロセッサのメモリ・マップ内で不揮発性メモリとして表示されます (図3)。

フラッシュ・メモリの書き込み

ADSP-BF538F4 とADSP-BF538F8のフラッシュ・メモリは、プリント回路ボードに実装する前または後に書き込むことができます。

プリント回路ボードに実装する前にフラッシュに書き込む場合は、パッケージの外部ピンを使ってフラッシュ・チップヘータ、アドレス、コントロールの各信号を入力できるハードウェア書き込みツールを使います。この書き込みでは、 V_{DDEXT} とGNDをパッケージへ接続し、バス要求 (BR) をアサートし、CLKINを入力して、Blackfin プロセッサをリセット状態に維持する必要があります。

デバイスをプリント回路ボードに実装した場合は、VisualDSP++[®] ツールを使ってフラッシュ・メモリを書き込むことができます。

フラッシュ・メモリ・セクターの保護

セクター保護機能を使うときは、高電圧 (+12 V 公称) をフラッシュFRESETピンに入力する必要があります。詳細については、フラッシュのデータ・シートを参照してください。

I/Oメモリ空間

Blackfinプロセッサには、I/O空間は別に存在しません。すべてのリソースが均一な32ビット・アドレス空間にマップされます。オンチップI/Oデバイスには固有のコントロール・レジスタがあり、4Gバイト・アドレス空間の最上位近くのアドレスにあるメモリ・マップド・レジスタ (MMR) にマップされています。これらは2つの小さなブロックに分けられます。一方にはすべてのコア機能に対するコントロールMMRが、他方にはコアの外側にあるオンチップ・ペリフェラルの設定と制御に必要なレジスタが、それぞれ配置されています。このMMRはスーパーバイザ・モードでのみアクセス可能で、内蔵ペリフェラルに対しては予約済み空間として扱われます。

ブート

ADSP-BF538/ADSP-BF538Fプロセッサには小さいブート・カーネルがあり、ブートに使用するペリフェラルを設定します。プロセッサがROMメモリ空間からブートするように設定された場合、プロセッサはオンチップ・ブートROMから実行を開始します。詳細については、ブーティング・モードのセクションを参照してください。

イベント処理

ADSP-BF538/ADSP-BF538Fプロセッサのイベント・コントローラは、プロセッサに対するすべての非同期イベントおよび同期イベントを処理します。プロセッサは、ネスティングと優先順位付けをサポートするイベント処理を提供します。ネスティング機能を使うと、複数のイベント・サービス・ルーチンを同時に起動することができます。優

[†]データシートについては Spansion社のウェブサイトをご覧ください。

先順位付け機能により、高い優先順位のイベントが低い優先順位のイベントより先にサービスされることが保証されます。このコントローラは、次の5種類のタイプのイベントをサポートします。

- ・ エミュレーション—エミュレーション・イベントが発生すると、プロセッサはエミュレーション・モードになり、プロセッサのコマンドと制御がJTAGインターフェースを経由するようになります。
- ・ リセット—このイベントが発生すると、プロセッサがリセットされます。
- ・ マスク不能割込み(NMI)—ソフトウェア・ウォッチドッグ・タイマまたはプロセッサに対するNMI入力信号により、NMIイベントが発生されます。NMIイベントはパワーダウン・インジケータとして頻繁に使用され、システムのシャットダウン手順を起動します。
- ・ 例外—プログラム・フローに同期して発生するイベント(命令が完了する前に例外が処理されます)。データ・アライメント違反や未定義命令のような条件で例外が発生します。
- ・ 割込み—プログラム・フローに対して非同期に発生するイベント。入力ピン、タイマ、その他のペリフェラル、特定のソフトウェア命令により発生されます。

各イベント・タイプはリターン・アドレスを保持するレジスタと対応するreturn-from-event命令を持っています。イベントが発生すると、プロセッサの状態はスーパーバイザ・スタックに待避させられます。

ADSP-BF538/ADSP-BF538Fプロセッサのイベント・コントローラは、コア・イベント・コントローラ(CEC)とシステム割込みコントローラ(SIC)の2ステージから構成されています。コア・イベント・コントローラはシステム割込みコントローラと一緒に動作して、全システム・イベントの優先付けと制御を行います。概念的には、ペリフェラルからの割込みがSICに入力されて、CECの汎用割込みに直接接続されます。

コア・イベント・コントローラ(CEC)

CECは、専用割込みと例外イベントの他に9個の汎用割込み(IVG15~7)をサポートしています。これらの汎用割込みの内、低優先順位の割込み(IVG15~14)はソフトウェア割込みハンドラ用に、残りの7つの優先順位の割込み入力はプロセッサ・ペリフェラルのサポートに、それぞれ使用することが推奨されます。

表2に、CECに対する入力、イベント・ベクター・テーブル(EVT)内の識別名、それぞれの優先順位を示します。

システム割込みコントローラ(SIC)

システム割込みコントローラ(SIC)は、多くのペリフェラル割込み源から発生するイベントと優先順位付けされたCECの汎用割込み入力との間の対応と接続を提供します。ADSP-BF538/ADSP-BF538Fプロセッサはデフォルトの対応を提供しますが、プログラムから割込み割り当てレジスタ(SIC_IARx)に該当する値を書き込むことにより、割込みイベントの対応と優先順位を変更することができます。

表3に、SICに対する入力とCECに対するデフォルトの対応を示します。

表2 コア・イベント・コントローラ(CEC)

Priority (0 is Highest)	Event Class	EVT Entry
0	Emulation/Test Control	EMU
1	Reset	RST
2	Nonmaskable Interrupt	NMI
3	Exception	EVX
4	Reserved	—
5	Hardware Error	IVHW
6	Core Timer	IVTMR
7	General Interrupt 7	IVG7
8	General Interrupt 8	IVG8
9	General Interrupt 9	IVG9
10	General Interrupt 10	IVG10
11	General Interrupt 11	IVG11
12	General Interrupt 12	IVG12
13	General Interrupt 13	IVG13
14	General Interrupt 14	IVG14
15	General Interrupt 15	IVG15

表3 システムとコア・イベントの対応

Event Source	Core Event Name
PLL Wake-Up Interrupt	IVG7
DMA Controller 0 Error	IVG7
DMA Controller 1 Error	IVG7
PPI Error Interrupt	IVG7
SPORT0 Error Interrupt	IVG7
SPORT1 Error Interrupt	IVG7
SPORT2 Error Interrupt	IVG7
SPORT3 Error Interrupt	IVG7
SPI0 Error Interrupt	IVG7
SPI1 Error Interrupt	IVG7
SPI2 Error Interrupt	IVG7
UART0 Error Interrupt	IVG7
UART1 Error Interrupt	IVG7
UART2 Error Interrupt	IVG7
CAN Error Interrupt	IVG7
Real-Time Clock Interrupts	IVG8
DMA0 Interrupt (PPI)	IVG8
DMA1 Interrupt (SPORT0 Rx)	IVG9
DMA2 Interrupt (SPORT0 Tx)	IVG9
DMA3 Interrupt (SPORT1 Rx)	IVG9
DMA4 Interrupt (SPORT1 Tx)	IVG9

表3 システムとコア・イベントの対応(続き)

Event Source	Core Event Name
DMA8 Interrupt (SPORT2 Rx)	IVG9
DMA9 Interrupt (SPORT2 Tx)	IVG9
DMA10 Interrupt (SPORT3 Rx)	IVG9
DMA11 Interrupt (SPORT3 Tx)	IVG9
DMA5 Interrupt (SPI0)	IVG10
DMA14 Interrupt (SPI1)	IVG10
DMA15 Interrupt (SPI2)	IVG10
DMA6 Interrupt (UART0 Rx)	IVG10
DMA7 Interrupt (UART0 Tx)	IVG10
DMA16 Interrupt (UART1 Rx)	IVG10
DMA17 Interrupt (UART1 Tx)	IVG10
DMA18 Interrupt (UART2 Rx)	IVG10
DMA19 Interrupt (UART2 Tx)	IVG10
Timer0, Timer1, Timer2 Interrupts	IVG11
TWI0 Interrupt	IVG11
TWI1 Interrupt	IVG11
CAN Receive Interrupt	IVG11
CAN Transmit Interrupt	IVG11
Port F GPIO Interrupts A and B	IVG12
MDMA0 Stream 0 Interrupt	IVG13
MDMA0 Stream 1 Interrupt	IVG13
MDMA1 Stream 0 Interrupt	IVG13
MDMA1 Stream 1 Interrupt	IVG13
Software Watchdog Timer	IVG13

イベント制御

ADSP-BF538/ADSP-BF538Fプロセッサはイベントの処理を制御する非常に柔軟なメカニズムを提供します。CECでは、3個のレジスタを使って、イベントの制御を行います。各レジスタは32ビット幅です。

- ・ **CEC割込みラッチ・レジスタ(ILAT)**—ILATレジスタはイベントがラッチされたタイミングを表示します。プロセッサがイベントをラッチしたとき、該当するビットがセットされ、イベントがシステムに受理されたとき、クリアされます。このレジスタはコントローラから自動的に更新されますが、ラッチ・イベントをクリア(キャンセル)するときにも書き込みが可能です。このレジスタはスーパーバイザ・モードで読みだし可能で、対応するIMASKビットがクリアされているときにのみ、スーパーバイザ・モードで書き込み可能です。
- ・ **CEC割込みマスク・レジスタ(IMASK)**—IMASKレジスタは各イベントのマスク/アンマスクを制御します。IMASKレジスタ内でビットがセットされると、イベントがアンマスクされて、アサートされたときにCECが処理します。IMASKレジスタ内のビットがクリアされると、イベントがマスクされて、ILATレジスタにイベントがラッチされても、プロセッサによるサービスが禁止されます。このレジスタはスーパ

ーバイザ・モードで読み書きが可能です。汎用割込みは、STI命令とCLI命令を使って、それぞれグローバルにイネーブルおよびディスエーブルすることができます。

- ・ **CEC割込みペンディング・レジスタ(IPEND)**—IPENDレジスタはネストされたすべてのイベントを記録します。IPENDレジスタ内でビットがセットされると、イベントがアクティブであること、またはあるレベルでネストされていることを表します。このレジスタはコントローラから自動的に更新されますが、スーパーバイザ・モードでのみ読み出し可能です。

SICは3個の32ビットの割込みコントロールおよびステータス・レジスタを提供することにより、さらに詳細なイベント処理制御を可能にします。各レジスタには、表3に示す各ペリフェラル割込みイベントに対応するビットが配置されています。

- ・ **SIC割込みマスク・レジスタ(SIC_IMASKx)**—これらのレジスタは、各ペリフェラル割込みイベントのマスク/アンマスクを制御します。これらのレジスタ内でビットがセットされると、対応するペリフェラル・イベントがアンマスクされて、イベントのアサート時にシステムが処理します。これらのレジスタ内でビットがクリアされると、対応するペリフェラル・イベントがマスクされて、プロセッサによるイベントのサービスが禁止されます。
- ・ **SIC割込みステータス・レジスタ(SIC_ISRx)**—複数のペリフェラルを1つのイベントに対応させることができるため、ソフトウェアはこれらのレジスタを使って、割込みを発生したペリフェラル・イベント・ソースを探します。ビットがセットされているとき、該当するペリフェラルが割込み発生中であることを表し、ビットがクリアされているとき、ペリフェラルはイベントを発生していないことを表します。
- ・ **SIC割込みウェイクアップ・イネーブル・レジスタ(SIC_IWRx)**—これらのレジスタの対応するビットをイネーブルすると、該当するペリフェラルがプロセッサをウェイクアップするペリフェラルに設定されます。イベントが発生すると、プロセッサはアイドル状態またはスリープモードからウェイクアップします。(ダイナミック・パワー・マネジメント参照)

複数の割込み要因を1つの汎用割込みに対応させることができるため、この割込み入力で検出された割込みイベントを処理する前または処理中に、さらに複数のパルスが同時にアサートされることがあります。SICは割込みアクトリッジとして、IPENDレジスタ値を監視します。

割込みの立ち上がりエッジが検出されると(検出にはコア・クロックで2サイクル必要)、ILATレジスタの該当するビットがセットされます。IPENDレジスタのビットがセットされると、該当するビットがクリアされます。IPENDビットは、イベントがプロセッサのパイプラインに入力されたことを表示します。この時点で、CECは対応するイベント入力上の、次の立ち上がりエッジ・イベントを認識し、キューに接続します。汎用割込みの立ち上がりエッジ変化からIPEND出力のアサートまでの最小レイテンシは、コア・クロックで3サイクルですが、内部動作とプロセッサの状態に応じて、レイテンシはこれより長くなることがあります。

DMAコントローラ

ADSP-BF538/ADSP-BF538Fプロセッサは独立した2個のDMAコントローラを内蔵しており、自動データ転送をサポートしてプロセッサ・コアのオーバーヘッドを少なくします。DMA転送は、プロセッサの内部メモリとDMA機能を持つペリフェラルとの間で可能です。さらに、DMA転送は任意のDMA機能を持つペリフェラルと外部メモリ・

インターフェースに接続された外部デバイス (SDRAM コントローラや非同期メモリ・コントローラなど) との間でも可能です。DMA 機能を持つペリフェラルとしては、SPORT、SPI ポート、UART、PPI などがあります。DMA 機能を持つ各ペリフェラルは少なくとも 1 つの専用 DMA チャンネルを持っています。

DMA コントローラは、1 次元 (1D) と 2 次元 (2D) の DMA 転送をサポートしています。DMA 転送の初期化は、レジスタまたはディスクリプタ・ブロックと呼ばれるパラメータのセットを使って行います。

2D DMA 機能は、最大 64K エLEMENT × 64K エLEMENT までの任意の行および列サイズをサポートし、さらに最大 ±32K エLEMENT までの任意の行および列ステップ・サイズをサポートしています。また、行ステップ・サイズより小さい列ステップ・サイズを許容するため、インターリーブされたデータ・ストリームが可能です。この機能は、特に、即座にデータのインターリーブ解除が必要とされるビデオ・アプリケーションで役立ちます。

プロセッサの DMA コントローラがサポートする DMA タイプの例を次に示します。

- 完了時に停止するシングル・リニア・バッファ
- バッファがフルまたは部分的フル毎に割込みを発生する自己リフレッシュ循環バッファ
- ディスクリプタのリンク・リストを使用する 1D または 2D の DMA
- 共通ページ内のベース DMA アドレスのみを指定する、ディスクリプタアレイを使用する 2D DMA

専用ペリフェラル DMA チャンネルの他に、4 つのメモリ DMA チャンネルがあり、ADSP-BF538/ADSP-BF538F プロセッサ・システムの種々のメモリ間の転送に使用されます。この機能を使うと、最小のプロセッサ介入で、任意のメモリ (外部 SDRAM、ROM、SRAM、フラッシュ・メモリなど) 間でのデータ・ブロックの転送が可能になります。メモリ DMA 転送は、非常に柔軟なディスクリプタ・ベースの方法、または標準的なレジスタ・ベースの自動バッファ・メカニズムを使って制御することができます。

リアルタイム・クロック

ADSP-BF538/ADSP-BF538F プロセッサのリアルタイム・クロック (RTC) は、時刻、ストップウォッチ、アラームを含むデジタル時計機能を提供します。RTC は、プロセッサ外部の 32.768 kHz 水晶からクロック駆動されます。RTC ペリフェラルは専用電源ピンを持っているため、プロセッサの他の部分が低消費電力状態にあるときでも、パワーアップ状態を維持することができます。RTC は、秒、分、時間または日毎の割込み、プログラマブルなストップウォッチ・カウントダウンでの割込み、設定したアラーム時刻での割込みなど、複数のプログラマブルな割込みオプションを提供します。

32.768 kHz の入力クロック周波数は、プリスケアラにより 1 Hz 信号まで分周されます。タイマのカウント機能は、60 秒カウンタ、60 分カウンタ、24 時間カウンタ、32,768 日カウンタの 4 つのカウンタから構成されています。

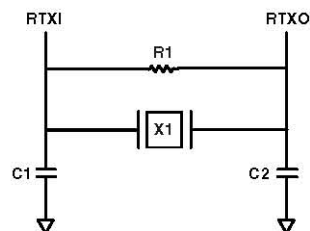
アラーム機能がイネーブルされると、タイマ出力がアラーム・コントロール・レジスタ内に設定された値に一致したとき、割込みが発生されます。アラームは 2 種類あり、最初のアラームは日単位です。2 目目のアラームは日と時刻に対するものです。

ストップウォッチ機能では、設定した値から秒分解能でカウントダウンします。ストップウォッチがイネーブルされて、かつカウンタがアンダーフローすると、割込みが発生されます。

他のペリフェラルと同様に、RTC は任意の RTC ウェイクアップ・イベントが発生したときに、プロセッサをスリー

プ・モードからウェイクアップさせることができます。さらに、RTC ウェイクアップ・イベントはディープスリープ・モードからプロセッサをウェイクアップさせることができ、内蔵電圧レギュレータをパワーダウン状態からウェイクアップさせることができます。

RTC ピンの RTXI と RTXO を外付け部品と図 5 のように接続してください。



SUGGESTED COMPONENTS:
ECLIPTEK EC38J (THROUGH-HOLE PACKAGE)
EPSON MC405 12 pF LOAD (SURFACE-MOUNT PACKAGE)
C1 = 22 pF
C2 = 22 pF
R1 = 10M OHM

NOTE: C1 AND C2 ARE SPECIFIC TO CRYSTAL SPECIFIED FOR X1. CONTACT CRYSTAL MANUFACTURER FOR DETAILS. C1 AND C2 SPECIFICATIONS ASSUME BOARD TRACE CAPACITANCE OF 3 pF.

図5 RTCの外付け部品

ウォッチドッグ・タイマ

ADSP-BF538/ADSP-BF538F プロセッサは、32 ビット・タイマを内蔵しています。このタイマはソフトウェア・ウォッチドッグ機能を構成するときに使うことができます。ソフトウェア・ウォッチドッグがソフトウェアからリセットされる前にタイマがタイムアウトすると、ハードウェア・リセット、マスク不能割込み (NMI)、または汎用割込みが発生して、プロセッサを強制的に既知状態に設定します。このためシステムの可用性を向上させることができます。プログラマがタイマのカウント値を初期化し、該当する割込みをイネーブルして、タイマをイネーブルします。その後、カウントが設定値からゼロに到達する前に、ソフトウェアからカウンタを再設定するようにします。外部ノイズまたはソフトウェア・エラーに起因してこのソフトウェアが停止すると、タイマをリセットすることができなくなるので、システムが未知の状態に留まってしまうことを防止します。

ハードウェア・リセットを発生するように設定すると、ウォッチドッグ・タイマはコアとプロセッサ・ペリフェラルの両方をリセットします。リセットの後、ソフトウェアはウォッチドッグ・タイマ・コントロール・レジスタのステータス・ビットを調べることで、ハードウェア・リセットの原因はウォッチドッグであったか否かを知ることができます。

このタイマは、最大周波数 f_{SCLK} のシステム・クロック (SCLK) によりクロック駆動されます。

タイマ

ADSP-BF538/ADSP-BF538F プロセッサには、4 個の汎用プログラマブル・タイマ・ユニットがあります。3 個のタイマには外部ピンがあり、パルス幅変調器 (PWM) またはタイマ出力として、またはタイマを駆動するクロック入力として、または外部イベントのパルス幅と周期を測定するメカニズムとして、設定することができます。これらのタイマは、PF1 ピン (TACLK) の外部クロック入力、PPI CLK ピン (TMRCLK) の外部クロック入力、または内部 SCLK に同期させることができます。

タイマ・ユニットをUART0と組み合わせて使用し、データ・ストリーム内のパルス幅を計測して、シリアル・チャンネルの自動ボーレート検出機能を実現することができます。

タイマはプロセッサ・コアに対して割込みを発生して、システム・クロックまたは外部信号のカウントに対する同期用の周期イベントを提供することができます。

3個の汎用プログラマブル・タイマの他に、4個目のタイマも用意されています。このタイマは内部プロセッサ・クロックから駆動され、オペレーティング・システムの周期割込みの発生に使用されるシステム・ティック・クロックとして使用されます。

シリアル・ポート(SPORT)

ADSP-BF538/ADSP-BF538Fプロセッサは、シリアル通信とマルチプロセッサ通信用に4個のデュアル・チャンネル同期シリアル・ポートを内蔵しています。SPORTは次の機能をサポートしています。

- ・ I²S動作
- ・ 双方向動作—各SPORTは2組の独立した送信ピンと受信ピンを持っているため、16チャンネルのI²Sステレオ・オーディオが可能です。
- ・ バッファ付き(深さ8)送信および受信ポート—各ポートは他のプロセッサ・デバイスに対するデータ・ワードの入出力用にデータ・レジスタを内蔵し、データ・レジスタに対してデータをシフト入出力するシフトレジスタを内蔵しています。
- ・ クロック—各送信および受信ポートは周波数範囲($f_{SCLK}/131,070$) Hz~($f_{SCLK}/2$) Hzの外部シリアル・クロックまたは内部クロックを使うことができます。
- ・ ワード長—各SPORTは3~32ビット長のシリアル・データ・ワードをサポートし、MSBファーストまたはLSBファーストで転送されます。
- ・ フレーミング—各送信および受信ポートは、各データ・ワードに対するフレーム同期信号有りまたは無しで動作することができます。フレーム同期信号は内部または外部で発生することができます、アクティブ・ハイまたはロー、さらに2パルス幅分の進みまたは遅れフレーム同期が可能です。
- ・ ハードウェアによる圧伸—各SPORTはITU勧告G.711に準拠するA則またはμ則の圧伸を実行することができます。圧伸はSPORTの送信チャンネルおよび/または受信チャンネルに対して選択でき、レイテンシの増加はありません。
- ・ シングル・サイクル・オーバーヘッドのDMA動作—各SPORTはメモリ・データの複数のバッファを自動的に受信および送信することができます。プロセッサは、SPORTとメモリの間のDMA転送シーケンスをリンクまたはチェーンすることができます。
- ・ 割込み—各送信および受信ポートは、データ・ワードの転送完了またはデータ・バッファ全体または複数のバッファをDMAを使って転送した後に割込みを発生します。

- ・ マルチチャンネル機能—各SPORTは1024のチャンネル・ウィンドウの中から128のチャンネルをサポートし、H.100、H.110、MVIP90、HMVIPの各標準と互換性を持っています。

シリアル・ペリフェラル・インターフェース(SPI)ポート

ADSP-BF538/ADSP-BF538Fプロセッサは、複数のSPI互換デバイスと通信できるようにするSPI互換ポートを3個内蔵しています。

SPIインターフェースは、2本のデータ・ピン(マスター出力スレーブ入力MOSIxとマスター入力スレーブ出力MISOx)とクロック・ピン(シリアル・クロックSCKx)の合計3本のピンを使ってデータを転送します。SPIチップ・セレクト入力ピン(SPIxSS)を使うと、他のSPIデバイスにプロセッサを選択させることができます。SPI0では、7本のSPIチップ・セレクト出力ピン(SPI0SEL7~1)により、プロセッサに他のSPIデバイスを選択することができます。SPI1とSPI2は、各々1本のSPIチップ・セレクト出力ピン(SPI1SEL1とSPI2SEL1)を持ち、SPIの1対1通信に使用します。各SPIセレクト・ピンはGPIOピンに設定することができます。これらのピンを使って、SPIポートはマスター/スレーブ・モードとマルチマスター環境をサポートする全二重同期シリアル・インターフェースを提供します。

SPIポートのボーレートとクロック位相/極性はプログラマブルであり、データ・ストリームの送信または受信をサポートするように設定可能なDMAコントローラを内蔵しています。SPIのDMAコントローラは、同時に単方向アクセスしかサービスできません。

SPIポート・クロック・レートは次のように計算されます。

$$SPI \text{ Clock Rate} = \frac{f_{SCLK}}{2 \times SPIx_BAUD}$$

ここで、16ビットSPIx_BAUDレジスタの値は2~65,535です。

転送時、SPIポートは2本のシリアル・データ・ライン上でデータをシリアルにシフトして送信と受信を同時に行います。シリアル・クロック・ラインは、2本のシリアル・データ・ライン上のデータのシフトとサンプリングを同期化します。

2線式インターフェース

ADSP-BF538/ADSP-BF538Fプロセッサは、Philips社のInter-ICバス規格と互換性を持つ2線式インターフェース(TWI)モジュールを2個内蔵しています。TWIモジュールは、マスターとスレーブの同時動作機能を提供し、7ビット・アドレッシング機能とマルチメディア・データ調停をサポートしています。TWIはマスター・クロック同期機能も内蔵しているため、低速のクロックもサポートします。

TWIインターフェースは2本のピンを使って、クロック(SCLx)とデータ(SDAx)を転送し、最大400 kbpsの速度でプロトコルをサポートします。

TWIインターフェース・ピンは、5 Vのロジック・レベルと互換性を持っています。

UARTポート

ADSP-BF538/ADSP-BF538Fプロセッサは、PC標準UARTと互換性を持つ全二重ユニバーサル非同期レシーバ/トランスミッタ(UART)ポートを3個内蔵しています。これらのUARTポートは他のペリフェラルまたはホストに対するシンプルなUARTインターフェースを提供し、全二重、DMA、シリアル・データの同期転送をサポートしています。このUARTポートは、5～8ビットのデータ・ビット、1ビットまたは2ビット幅のストップ・ビット、パリティ(偶数、奇数または無し)をサポートしています。UARTポートは次の2つの動作モードをサポートしています。

- PIO (プログラムドI/O)—プロセッサはI/OマップドUARTレジスタに対して書き込みまたは読み出しを行うことにより、データを送信または受信します。データは送信と受信でダブル・バッファされています。
- DMA (ダイレクト・メモリ・アクセス)—DMAコントローラが送信データと受信データを転送します。この方法は、メモリに対するデータ転送に必要とされる割込みの回数と頻度を減らします。各UARTは、送信と受信に対して各1個の専用DMAチャンネルを持っています。これらのDMAチャンネルはサービス・レートが相対的に低いため、大部分のDMAチャンネルより低いデフォルト優先順位を持っています。

各UARTポートのボー・レート、シリアル・データ・フォーマット、エラー・コードの発生とステータス、割込みはプログラマブルです。

- 毎秒($f_{SCLK}/1,048,576$)～($f_{SCLK}/16$)ビットの範囲のビット・レートをサポート
- 1フレーム当たり7～12ビットのデータ・フォーマットをサポート
- 送信動作と受信動作でプロセッサに対するマスク可能な割込みを発生するように設定可能

各UARTポート・クロック・レートは次のように計算されます。

$$UART\ Clock\ Rate = \frac{f_{SCLK}}{16 \times UART_Divisor}$$

ここで、16ビットUART_Divisorは、UARTx_DLHレジスタ(上位8ビット)とUARTx_DLLレジスタ(下位8ビット)から取得します。

汎用タイマの機能との組み合わせにより、UART0で自動ボー・レート検出機能をサポートします。

UARTの機能は、Infrared Data Association (IrDA®)のシリアル赤外線物理層リンク仕様(SIR)プロトコルに対するサポートによりさらに拡張されます。

汎用I/O

ADSP-BF538/ADSP-BF538Fプロセッサは、他のペリフェラルと共用する最大54本の双方向汎用I/Oプログラマブル・ピンを持っています。これらはポート C、D、E、Fとして構成されています(表4)。

各汎用I/Oピンは、コントロール・レジスタとステータス・レジスタを操作することにより、個別に制御することができます。これらのピンの状態は、ポーリングにより読み出すことができます。

- GPIOディレクション・コントロール・レジスタ—各GPIOピンの方向(入力または出力)を指定します。
- GPIOコントロール・レジスタおよびステータス・レジスタ—"write one to modify"方式を採用しています。この方式では、GPIOピンの任意の組み合わせを1回の命令で変更し、かつ変更しないGPIOピンのレベルに影響を与えないようにすることができます。各 GPIOポートには、4個のコントロール・レジスタとデータ・レジスタがあります。GPIOの値をセットするときに書き込むレジスタ、GPIOの値をクリアするときに書き込むレジスタ、GPIOの値をトグルするときに書き込むレジスタ、GPIOの入力または出力を指定するときに書き込むレジスタがあります。GPIOデータ・レジスタを読み出すと、ソフトウェアから入力GPIOピンの状態を調べることができます。

上記GPIO機能の他に、ポート F の16本のピンを個別に設定して、割込みを発生させることができます。

- GPIOピン割込みマスク・レジスタ—2個のGPIOピン割込みマスク・レジスタにより、各PFxピンがプロセッサへの割込みとして機能するように設定することができます。各GPIOピン値のセットおよびクリアに使う2個のGPIOコントロール・レジスタと同様に、一方のGPIOピン割込みマスク・レジスタはビットをセットして割込み機能をイネーブルし、他方のGPIOピン割込みマスク・レジスタはビットをクリアして割込み機能をディスエーブルします。入力として定義されたPFxピンはハードウェア割込みを発生するように設定することができ、出力PFxピンはソフトウェア割込みによりトリガーすることができます。
- GPIOピン割込み検出レジスタ—2個のGPIOピン割込み検出レジスタは、各PFxピンをレベル検出にするかまたはエッジ検出にするかを指定します。さらに、立ち下がり検出を指定した場合、信号の単に立ち上がりエッジだけを検出するか、あるいは立ち上がりと立ち下がり両エッジを検出するかも指定します。一方のレジスタは検出タイプを指定し、他方のレジスタはエッジ検出で有効とするエッジを指定します。

表4 GPIO ポート

Peripheral	Alternate GPIO Port Function
PPI	GPIO Port F15–3
SPORT2	GPIO Port E7–0
SPORT3	GPIO Port E15–8
SPI0	GPIO Port F7–0
SPI1	GPIO Port D4–0
SPI2	GPIO Port D9–5
UART1	GPIO Port D11–10
UART2	GPIO Port D13–12
CAN	GPIO Port C1–0
GPIO	GPIO Port C9–4 ¹

¹これらのピンはGPIO専用であるためソフトウェアから設定できません。

PC1 とPC4は GPIO出力に設定されると、オープン・ドレインになります。

パラレル・ペリフェラル・インターフェース

ADSP-BF538/ADSP-BF538Fは、パラレルADCおよびDAC、ビデオ・エンコーダおよびデコーダ、その他の汎用ペリフェラルに直接接続できるようにするパラレル・ペリフェラル・インターフェース(PPI)を内蔵しています。このPPI

は、専用の入力クロック・ピン、最大3本までのフレーム同期ピン、最大16本までのデータ・ピンから構成されます。入力クロックは最大 $f_{\text{CLK}}/2$ MHzの平行・データ・レートをサポートし、同期信号は入力または出力に設定することができます。

PPIはさまざまな汎用動作モードとITU-R 656動作モードをサポートしています。汎用モードでは、PPIは最大16ビットのデータに対する半二重双方向データ転送を提供します。最大3フレームの同期信号もサポートします。ITU-R 656モードでは、PPIは8ビットまたは10ビットのビデオ・データに対する半二重双方向転送を提供します。さらに、組み込まれたstart-of-line (SOL)およびstart-of-field (SOF)プリアンブル・パケットのオンチップ・デコードもサポートしています。

汎用モードの説明

PPIの汎用モードは、多様なデータ・キャプチャ・アプリケーションとデータ転送アプリケーション向けに用意されています。次の3種類のサブモードがサポートされています。

- ・ 入力モード—フレーム同期とデータはPPIに対する入力になります。
- ・ フレーム・キャプチャ・モード—フレーム同期はPPIからの出力に、データは入力に、それぞれになります。
- ・ 出力モード—フレーム同期とデータはPPIからの出力になります。

入力モード

入力モードは、ADCアプリケーションやハードウェア・シグナリングを持つビデオ通信向けに用意されています。最もシンプルな形式では、PPI_FS1はデータを読み込むタイミングを制御する外部フレーム同期入力になります。PPI_DELAY MMRを使うと、このフレーム同期の受信とデータ読み込み開始との間の遅延(PPI_CLKサイクル数)が可能になります。入力データ・サンプル数はユーザ設定可能で、PPI_COUNTレジスタの値により決定されます。8、10~16ビットのデータ幅がサポートされており、PPI_CONTROLレジスタにより設定します。

フレーム・キャプチャ・モード

このモードを使うと、ビデオ・ソースがスレーブ(たとえば、フレーム・キャプチャの場合)として機能できるようになります。ADSP-BF538/ADSP-BF538Fプロセッサは、ビデオ・ソースから読み出すタイミングを制御します。PPI_FS1はHSYNC出力に、PPI_FS2はVSYNC出力に、それぞれになります。

出力モード

このモードは、最大3個の出力フレーム同期を持つビデオまたはその他のデータの送信に使用されます。一般に、データ・コンバータ・アプリケーションに対しては1フレーム同期が適していますが、ハードウェア・シグナリングを持つビデオの送信を行うときは2または3フレーム同期を使います。

ITU-R 656モードの説明

PPIのITU-R 656モードは、さまざまなビデオのキャプチャ・処理、転送アプリケーション向けに用意されています。次の3種類のサブモードがサポートされています。

- ・ アクティブ・ビデオ専用モード
- ・ 垂直ブランキング専用モード
- ・ 全体フィールド・モード

アクティブ・ビデオ専用モード

このモードは、フィールドのアクティブ・ビデオ部分のみを対象とし、かつブランキング区間は対象にしないときに使います。PPIは、アクティブ・ビデオ終了(EAV)プリア

ンブル・シンボルとアクティブ・ビデオ開始(SAV)プリアンブル・シンボルとの間のデータ、または垂直ブランキング区間のデータを読み込みません。このモードでは、コントロール・バイト・シーケンスはメモリに保存されず、PPIによりフィルタされます。フィールド1の開始に同期した後、PPIはSAVコードまでの受信サンプルを無視します。1フレーム当たりのアクティブ・ビデオ・ライン数は、ユーザが指定します(PPI_COUNTレジスタ)。

垂直ブランキング区間モード

このモードでは、PPIは垂直ブランキング区間(VBI)データのみを転送します。

全体フィールド・モード

このモードでは、受信ビット・ストリーム全体がPPIから読み込まれます。これには、アクティブ・ビデオ、コントロール・プリアンブル・シーケンス、水平ブランキング区間および垂直ブランキング区間に組込まれている補助データが含まれます。データ転送はフィールド1に対する同期後、直ちに開始されます。

コントローラ・エリア・ネットワーク(CAN)インターフェース

ADSP-BF538/ADSP-BF538F プロセッサは、CANコントローラを提供しています。これは、CAN V2.0Bプロトコルを採用した通信コントローラです。このプロトコルは非同期通信プロトコルで、工業制御システムと車載制御システムで使用されています。CANプロトコルはCRCチェック・メッセージ・エラー・トラッキング機能と故障ノードの隔離機能を採用しているため、ネットワークを介する信頼度の高い通信機能を持つため、制御アプリケーションに適しています。

CAN コントローラは32エントリのメールボックス RAMを採用し、CAN プロトコル仕様、レビジョン 2.0、パート Bで規定される標準および拡張識別子 (ID) メッセージ・フォーマットをサポートしています。

各メールボックスは8個の16ビット・データ・ワードで構成されています。データは複数のフィールドに分割され、メッセージ識別子、タイム・スタンプ、バイト・カウント、最大8バイトのデータ、複数のコントロール・ビットを含みます。各ノードは、ネットワークを通過するメッセージをモニタします。送信されたメッセージの識別子がメールボックス内の1つの識別子に一致すると、モジュールはそのメッセージは自分宛であると理解して、データを該当するメールボックスへ渡し、割込みによりメッセージの着信をプロセッサに知らせます。

CAN コントローラが、ウェイクアップ・イベントの発生時にプロセッサをスリープ・モードからウェイクアップさせることができるため、プロセッサはアイドル状態で低消費電力モードを維持することができます。さらに、CAN ウェイクアップ・イベントは内蔵電圧レギュレータをパワーダウンした休眠状態からウェイクアップさせることができます。

各ネットワーク接続の電気的特性が非常に厳しいため、CANインターフェースは一般に、コントローラとトランシーバの2つの部分に分かれています。このため、1つのコントローラで、さまざまなドライバとCANネットワークをサポートすることができます。

ADSP-BF538/ADSP-BF538FのCANモジュールとは、インターフェースのコントローラ部分を意味します。このモジュールのネットワーク I/Oは、1本の送信出力と1本の受信入力、ライン・トランシーバに接続されます。

CAN クロックは、プログラマブルな分周器を使ってプロセッサ・システム・クロック (SCLK) から発生するため、水晶を追加する必要はありません。

ダイナミック・パワー・マネジメント

ADSP-BF538/ADSP-BF538Fプロセッサは4つの動作モードを持っており、各々は異なる性能/消費電力特性を持っています。その他に、ダイナミック・パワー・マネジメントはプロセッサ・コア電源電圧をダイナミックに変更する制御機能を提供して、さらに消費電力を減らすことができます。各プロセッサ・ペリフェラルに対するクロックの制御によっても、消費電力を減らすことができます。各モードに対する消費電力の設定を表5にまとめます。

Full-On動作モード—最大性能

Full-OnモードではPLLがイネーブルされ、かつバイパスされないのが、最大動作周波数で動作することができます。これはパワーアップ時のデフォルト実行状態であり、最大性能が得られます。プロセッサ・コアとイネーブルされた全ペリフェラルが最大速度で動作します。

アクティブ動作モード—中程度の省電力

アクティブ・モードでは、PLLはイネーブルされていますが、バイパスされます。PLLがバイパスされているため、プロセッサ・コア・クロック (CCLK) とシステム・クロック (SCLK) は入力クロック (CLKIN) 周波数で動作します。適切に設定されたL1メモリに対して、DMAアクセスを使用することができます。

アクティブ・モードでは、PLLコントロール・レジスタ (PLL_CTL) を使って、PLLをディスエーブルすることができます。PLLをディスエーブルした場合、Full-Onモードまたはスリープ・モードに入る前にPLLを再イネーブルする必要があります。

表5 消費電力の設定

Mode/State	PLL	PLL Bypassed	Core Clock (CCLK)	System Clock (SCLK)	Core Power
Full-On	Enabled	No	Enabled	Enabled	On
Active	Enabled/Disabled	Yes	Enabled	Enabled	On
Sleep	Enabled		Disabled	Enabled	On
Deep Sleep	Disabled		Disabled	Disabled	On
Hibernate	Disabled		Disabled	Disabled	Off

スリープ動作モード—高い省電力

スリープ・モードでは、プロセッサ・コアに対するクロック (CCLK) をディスエーブルして消費電力を削減します。ただし、PLLとシステム・クロック (SCLK) は動作を維持します。一般に、外部イベントまたはRTCの動作により、プロセッサがウェイクアップします。スリープ・モードでは、SIC_IWRxレジスタでイネーブルされたウェイクアップ信号がアサートされると、プロセッサはPLLコントロール・レジスタ (PLL_CTL) 内のBYPASSビットを調べます。BYPASSがディスエーブルされている場合、プロセッサはFull-Onモードになります。BYPASSがイネーブルされている場合には、プロセッサはアクティブ・モードになります。スリープ・モード内では、L1メモリに対するシステムDMAアクセスはサポートされていません。

ディープ・スリープ動作モード—最高の省電力

ディープ・スリープ・モードでは、プロセッサ・コアに対するクロック (CCLK) と全同期ペリフェラルに対するクロック (SCLK) をディスエーブルすることにより、最高のダイナミック消費電力削減が得られます。RTCのような非同期システムは動作を続けますが、内部リソースまたは外部メモリをアクセスすることはできません。このパワーダウン・モードからは、リセット割込み (RESET) またはRTCから発生される非同期割込みによってのみ抜け出すことができます。ディープ・スリープ・モード内で、RTC非同期割込みがアサートされると、プロセッサはアクティブ・モードになります。ディープ・スリープ・モード内で、RESETがアサートされると、プロセッサのリセットの後にプロセッサはFull-onモードになります。

ハイバネート状態—最大スタティック消費電力削減

休眠状態では、プロセッサ・コアに対する電圧とクロック (CCLK)、さらに全同期ペリフェラルに対するクロック (SCLK) をディスエーブルすることにより、最高の消費電力削減が得られます。VR_CTLレジスタのFREQビットにb#00を書き込むことにより、プロセッサの内部電圧レギュレータをシャットオフすることができます。この設定では、内部電源電圧 (V_{DDINT}) を0 Vに設定して、最小の消費電力にします。内部で保存されるクリティカルな情報 (メモリ内容、レジスタ値など) は、プロセッサ状態を保持する場合には電源を切る前に不揮発性ストレージ・デバイスに書き込む必要があります。このモードでは V_{DDEXT} が供給されているため、他に注記がない限り、すべての外部ピンはスリープ・ステートになります。この機能を使うと、プロセッサに接続できる他のデバイスの電源を不要な電流なしで接続したままにすることができます。リアルタイム・クロックのウェイクアップ、CANバス・トラフィック、RESETピンのアサート、またはGPWピンを使用した外部ソースにより、内部電源レギュレータをウェイクアップさせることができます。

省電力

表6に示すように、ADSP-BF538/ADSP-BF538F プロセッサは3種類の電源ドメインをサポートしています。複数の電源ドメインを使用すると、業界標準や規則に準拠したまま、最大の柔軟性が得られます。RTC I/Oとロジックは3.3 Vの V_{DDRTC} 電源ドメインから電源を得ているため、チップの他の部分がパワーダウンしていてもRTCの機能は維持されています。RTC ロジック以外のすべての内部ロジックは、1.25 Vの V_{DDINT} 電源ドメインから電源を得ています。RTC 水晶以外のすべての I/Oは、3.3 Vの V_{DDEXT} 電源ドメインから電源を得ています。種々の電力ドメインに対するシーケンシング条件はありません。

表6 電源ドメイン

Power Domain	V _{DD} Range
RTC Crystal I/O and Logic	V_{DDRTC}
All Internal Logic Except RTC	V_{DDINT}
All I/O Except RTC	V_{DDEXT}

V_{DDRTC} はバッテリー (チップの他の部分がパワーダウンしているときRTCを動作させる場合) またはボードの V_{DDEXT} プレーンに接続する必要があります。プロセッサが休眠状態のときも V_{DDRTC} は維持し、RTC 機能をアプリケーションで使用しない場合でも維持する必要があります。

プロセッサの消費電力は、プロセッサのクロック周波数と動作電圧の二乗の関数になります。たとえば、クロック周波数を25%低下させると、ダイナミック消費電力は25%削減され、電圧を25%低下させると、ダイナミック消費電力は40%以上削減されます。さらに、これらの消費電力削減は

加算的であり、クロック周波数と電源電圧の両方を低下させると、消費電力の削減は非常に大きくなります。

プロセッサのダイナミック・パワー・マネジメント機能を使うと、プロセッサ入力電圧 (V_{DDINT}) とクロック周波数 (f_{CLK}) の両方をダイナミックに制御することができます。

消費電力の削減は、消費電力削減ファクタと%消費電力削減の計算を使ってモデル化できます。

消費電力削減ファクタは次のように計算されます。

Power Savings Factor

$$= \frac{f_{CLKRED}}{f_{CLKNOM}} \times \left(\frac{V_{DDINTRED}}{V_{DDINTNOM}} \right)^2 \times \left(\frac{t_{RED}}{t_{NOM}} \right)$$

ここで、

f_{CLKNOM} は公称コア・クロック周波数

f_{CLKRED} は削減されたコア・クロック周波数

$V_{DDINTNOM}$ は公称内部電源電圧

$V_{DDINTRED}$ は削減された内部電源電圧

t_{NOM} は f_{CLKNOM} で動作する時間

t_{RED} は f_{CLKRED} で動作する時間

消費電力削減ファクタは次のように計算されます。

$$\% \text{ Power Savings} = (1 - \text{Power Savings Factor}) \times 100\%$$

電圧レギュレーション

Blackfinプロセッサは、 V_{DDEXT} 電源から内部電圧レベル V_{DDINT} を発生する電圧レギュレータを内蔵しています。特定のモデルのレギュレータ偏差と許容 V_{DDEXT} 範囲については、動作条件を参照してください。

このレギュレータは内部ロジック電圧レベルを制御し、電圧レギュレータ・コントロール・レジスタ (VR_CTL) を使って 50 mV 単位で設定することができます。スタンバイ消費電力を削減するため、I/O電源 (V_{DDRTC} 、 V_{DDEXT}) を維持したままプロセッサ・コアの電源を切るように内部電圧レギュレータを設定することができます。ハイパネート状態では、I/O電源が維持されたままなので、外部バッファが不要になります。RTCのウェイクアップ、CANウェイクアップ、汎用ウェイクアップ、またはRESETのアサート(これらはいずれもブート・シーケンスを起動)により、電圧レギュレータをこのパワーダウン状態から起動することができます。このレギュレータはユーザ指定により、ディセーブルしてバイパスすることもできます。

電圧レギュレータ・レイアウトのガイドライン

レギュレータの外部部品の配置、ボード配線、バイパス・コンデンサはすべて、他の内蔵アナログ回路へのノイズ混入に大きな影響を与えます。VROUT1~0のパターンと電圧レギュレータの外付け部品は、ボードのレイアウトではノイズ・ソースと見なす必要があり、ボード上の敏感な回路または部品から離して配置/配線する必要があります。すべての内部およびI/O電源は、

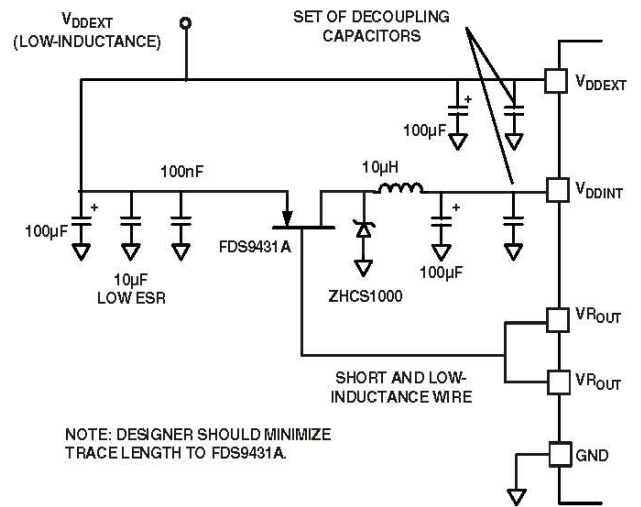


図6 電圧レギュレータ回路

ADSPBF538/ADSP-BF538Fプロセッサのできるだけ近くにバイパス・コンデンサを配置してしっかりバイパスする必要があります。

内蔵電圧レギュレータと関連ボード・デザイン・ガイドラインについては、アナログ・デバイセズ・ウェブ・サイト (www.analog.com) の「Switching Regulator Design Considerations for ADSP-BF533 Blackfin Processors (EE-228)」アプリケーション・ノートをご覧ください—“EE-228”でサイト検索をご使用ください。

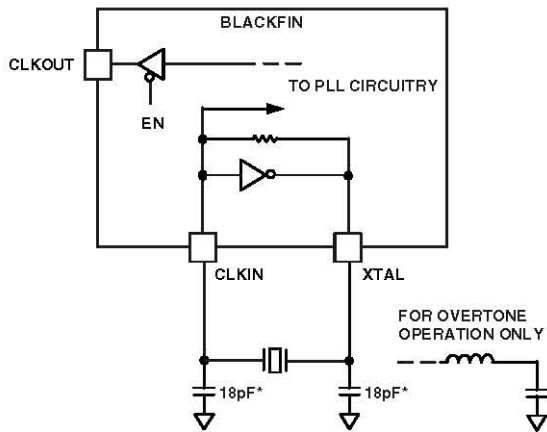
クロック信号

ADSP-BF538/ADSP-BF538Fプロセッサのクロックは、外部クリスタル・オシレータ、正弦波入力、または外部クロック発振器から出力される、バッファされ整形されたクロックにより駆動することができます。

外部クロックを使用する場合にはTTL互換信号を使い、通常動作時には仕様周波数未満での動作、停止、変更をしないでください。この信号はプロセッサのCLKINピンに接続されます。外付け水晶を使う場合は、XTALピンは解放のままにしてください。

あるいは、ADSP-BF538/ADSP-BF538Fプロセッサは発振器回路を内蔵しているため、外部水晶を使うことができます。基本周波数動作の場合、図7の回路を使用してください。並列共振で基本周波数のマイクロプロセッサ・グレードの水晶をCLKINピンとXTALピンの間に接続します。CLKINピンとXTALピンとの間の内蔵抵抗は、500 kΩ範囲です。さらに並列抵抗を追加することは推奨されません。図7に示す2個のコンデンサと直列抵抗は、正弦周波数の位相と振幅を微調整します。図7に示すコンデンサと抵抗の値はtyp値です。コンデンサ値は、水晶メーカーの推奨負荷容量とPCBレイアウトに依存します。抵抗値は、水晶メーカーが規定する駆動レベルに依存します。システム・デザインでは、許容温度範囲での複数デバイスについての慎重な調査に基づいて、カスタム化した値を確認する必要があります。

3次オーバートーン水晶は、25 MHzを超える周波数で使用することができます。図7に示すようにチューニングしたインダクタ回路を追加して、回路を3次オーバートーン水晶動作に変更します。



NOTE: VALUES MARKED WITH * MUST BE CUSTOMIZED DEPENDING ON THE CRYSTAL AND LAYOUT. PLEASE ANALYZE CAREFULLY.

図7 外部水晶接続

図8に示すように、コア・クロック (CCLK) とシステム・ペリフェラル・クロック (SCLK) は入力クロック (CLKIN) 信号から発生されます。オンチップPLLはユーザ・プログラマブルな0.5倍～64倍の倍率でCLKIN信号を逡倍することができます (VCO周波数の最小および最大規定値で制限されます)。デフォルトの倍率は10倍ですが、ソフトウェア命令シーケンスにより変更することができます。PLL_DIVレジスタに書き込みを行うだけで、周波数を即座に変更することができます。

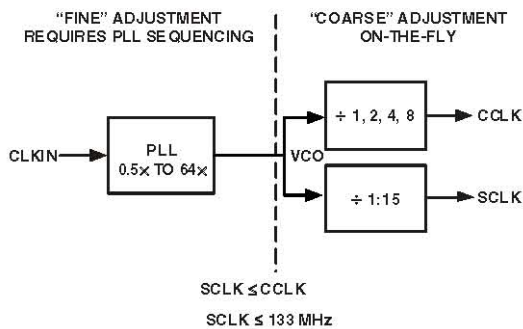


図8 周波数変更方法

すべての内蔵ペリフェラルは、システム・クロック (SCLK) によりクロック駆動されます。システム・クロック周波数は、PLL_DIVレジスタのSSEL3～0ビットを使って設定することができます。SSELフィールドに設定された値が、PLL出力 (VCO) とシステム・クロックとの間の分周比を決定します。SCLK 分周比の値は1～15です。

表7 に、代表的なシステム・クロックの分周比を示します。

表7 システム・クロック比の例

Signal Name SSEL3-0	Divider Ratio VCO/SCLK	Example Frequency Ratios (MHz)	
		VCO	SCLK
0001	1:1	100	100
0110	6:1	300	50
1010	10:1	500	50

システム・クロックの最大周波数は f_{SCLK} です。分周比は、システム・クロック周波数が最大値 f_{SCLK} を超えないように選択する必要がありますことに注意してください。SSELの値は、PLL分周比レジスタ (PLL_DIV) に該当する値を書き込むことにより、PLLロック・レイテンシなしでダイナミックに変更することができます。

SSEL値を変更すると、SCLK信号から自分のクロック信号を発生するすべてのペリフェラルに影響を与えることに注意してください。

コア・クロック (CCLK) 周波数も、PLL_DIVレジスタのCSEL1～0ビットを使ってダイナミックに変更することができます。サポートされているCCLK分周比は、1、2、4、8です (表8参照)。このプログラマブルなコア・クロック機能は、高速なコア周波数変更に便利です。

表8 コア・クロック比

Signal Name CSEL1-0	Divider Ratio VCO/CCLK	Example Frequency Ratios	
		VCO	CCLK
00	1:1	300	300
01	2:1	300	150
10	4:1	500	125
11	8:1	200	25

ブーティング・モード

ADSP-BF538/ADSP-BF538Fプロセッサは、リセット後に内部L1命令メモリを自動的にローディングする3つのメカニズムを持っています (表9)。4つ目のモードはブート・シーケンスをバイパスして、外部メモリから実行するために用意されています。

表9 ブーティング・モード

BMODE1-0	Description
00	Execute from 16-Bit External Memory (Bypass Boot ROM)
01	Boot from 8-Bit or 16-Bit Flash, or Boot from On-Chip Flash (ADSP-BF538F Only)
10	Boot from SPI Serial Master Connected to SPI0
11	Boot from SPI Serial Slave EEPROM/Flash (8-, 16-, or 24-Bit Address Range, or Atmel AT45DB041, AT45DB081, or AT45DB161 Serial Flash) Connected to SPI0

リセット設定レジスタのBMODEピンがパワーオン・リセット時とソフトウェア起動のリセット時にサンプルされて、次のモードが実行されます。

- ・ 16ビットの外部メモリからの実行—16ビット・パッキングのアドレス0x20000000から実行が開始されます。このモードでは、ブートROMがバイパスされず。すべての構成の設定値は最低速デバイスに合わせて設定されます(3サイクル・ホールド・タイム; 15サイクルR/Wアクセス・タイム; 4サイクル・セットアップ)。
- ・ 8ビットまたは16ビット外部フラッシュ・メモリからのブート—ブートROMメモリ空間に配置されている8ビットFLASHブート・ルーチンが非同期メモリ・バンク0にセットアップされます。ADSP-BF538F プロセッサの場合、FCEをAMS0に接続すると、内蔵フラッシュからブートします。すべての構成の設定値は最低速デバイスに合わせて設定されます(3サイクル・ホールド・タイム; 15サイクルR/Wアクセス・タイム; 4サイクル・セットアップ)。
- ・ SPI0に接続したSPIシリアルEEPROM/フラッシュ(8、16、または24ビット・アドレスラブル、またはAtmel社のAT45DB041、AT45DB081、AT45DB161)からのブート—SPI0はPF2出力ピンを使って1つのSPI EEPROM/フラッシュ・デバイスを選択し、読み出しコマンドを出力し、有効な8、16、24ビット、またはAtmel社のアドレスラブル・デバイスが検出されるまで連続アドレス・バイト(0x00)を出力します。さらにL1命令メモリの先頭から入力したデータの書き込みを開始します。
- ・ SPI0に接続されたSPIホスト・デバイスからのブート—BlackfinプロセッサはSPIスレーブ・モードで動作し、SPIホスト(マスター)エージェントからLDRファイルのバイトを受信するように設定されます。ブートROMがビジーのときホスト・デバイスからの送信を停止させるため、Blackfinプロセッサはホスト・ウェイト(HWAIT)と呼ばれるGPIOピンをアサートして、フラグのアサートが解除されるまでバイトをさらに送信しないようにホスト・デバイスに通知します。フラグ・ピンはユーザが選択し、この情報がLDRイメージ内のFLAGヘッダーのビット[10:5]を介してBlackfinプロセッサへ転送されます。

各ブート・モードで、外部メモリ・デバイスから10バイトのヘッダーが最初に読み込まれます。このヘッダーは、転送バイト数とメモリ・ディステーション・アドレスを指定します。どのブート・シーケンスでも、複数のメモリ・ブロックにロードすることができます。すべてのブロックをロードした後、L1命令SRAMの先頭からプログラムの実行が開始されます。

さらに、リセット設定レジスタのビット4をアプリケーション・コードから設定して、ソフトウェア・リセット時に通常のブート・シーケンスをバイパスすることもできます。このケースの場合、プロセッサはL1命令メモリの先頭に直接ジャンプします。

ブート・モードを強化するため、その他のブーティング・メカニズムを提供する2つ目のソフトウェア・ローダが用意されています。この2つ目のローダは、16ビットのフラッシュ・メモリ、ファーストFLASH、可変ボー・レート、その他のソースからのブートを可能にする機能を提供します。バイパス以外のすべてのブート・モードで、プログラムの実行は内蔵L1メモリ・アドレス0xFFA0 0000から開始されます。

命令セットの説明

Blackfinプロセッサ・ファミリーのアセンブリ言語命令セットでは、代数式構文を採用しているためコードの読み書きが容易です。命令は、柔軟かつ高密度でエンコードされ

た命令セットを提供し、コンパイル後に最小のメモリ・サイズになるように特別に最適化されています。また、この命令セットは、1つの命令で多くのプロセッサ・コア・リソースを使用可能にするフル機能のマルチファンクショナル命令を提供します。この命令セットはマイクロコントローラで使用されている多くの機能との組み合わせにより、CおよびC++ソース・コードをコンパイルする際に非常に効率の良いものになります。さらに、このアーキテクチャでは、ユーザ動作モード(アルゴリズム/アプリケーション・コード)とスーパーバイザ動作モード(O/Sカーネル、デバイス・ドライバ、デバッグ、ISR)を提供するため、コア・プロセッサ・リソースに対する複数レベルのアクセスが可能です。

プロセッサの独自のアーキテクチャを利用するアセンブリ言語は次の利点を持っています。

- ・ シームレスに統合されたDSP/CPU機能は、8ビット動作と16ビット動作に対して最適化されています。
- ・ 2個の16ビットMACまたは4個の8ビットALU+2個のロード/ストア+1サイクル当たり2回のポインタ更新をサポートする複数発行のロード/ストア改良型ハーバード・アーキテクチャ
- ・ 全レジスタ、I/O、メモリが連続な4Gバイト・メモリ空間にマップされているため、プログラミング・モデルが簡素
- ・ 任意のビットおよびビット・フィールドの操作、挿入、取り出しなどのようなマイクロコントローラ機能; 8ビット、16ビット、32ビットのデータ型に対する整数演算; ユーザ・スタック・ポインタとスーパーバイザ・スタック・ポインタの分離
- ・ 16ビットと32ビットの命令の混在(モード切り替えなし、コード分離なし)などのコード密度の向上、使用頻度の高い命令を16ビットにエンコード

開発ツール

ADSP-BF538/ADSP-BF538Fプロセッサは、アナログ・デバイセズのエミュレータとVisualDSP++[®] 開発環境を含むCROSSCORE[®]ソフトウェアおよびハードウェア開発ツールの完全なセットによりサポートされています。エミュレータハードウェアは、アナログ・デバイセズの他のプロセッサにも対応し、ADSP-BF538/ADSP-BF538Fも対応します。VisualDSP++プロジェクト・マネジメント環境は、アプリケーションの開発とデバッグを可能にします。この環境には、代数的な構文に基づいた使い易いアセンブラ、アーカイバ(ライブラリアン/ライブラリ・ビルダ)、リンカー、ローダ、サイクルに対して正確な命令レベルのシミュレータ、C/C++コンパイラ、DSP関数と数学関数を含むC/C++ランタイム・ライブラリが含まれています。これらのツールのキー・ポイントはC/C++コードの効率です。コンパイラは、C/C++コードをプロセッサ・アセンブリに効率良く変換するように開発されています。プロセッサには、コンパイルされたC/C++コードの効率を改善するアーキテクチャ上の機能があります。

VisualDSP++デバッガは多くの重要な機能を持っています。データ表示は、柔軟なプロット・パッケージにより機能強化されています。ユーザ・データのグラフィック表示により、プログラマはアルゴリズムの性能を迅速に調べることができます。アルゴリズムが複雑になる程、この機能設計者の開発スケジュールに大きな効果を持つことができ、生産性を向上させます。

[†] CROSSCOREはAnalog Devices, Inc.の登録商標です。

[‡] VisualDSP++はAnalog Devices, Inc.の登録商標です。

統計的プロファイリング機能を使うと、プログラム実行中のプロセッサを非介入的に監視できます。VisualDSP++独自のこの機能を使うと、ソフトウェア開発者はプログラムのリアルタイム特性を損なうことなく重要なコード実行の測定データを収集することができます。ソフトウェア内のボトルネックを迅速かつ効果的に特定できます。プロファイラを使うと、プログラマは性能に影響を与える領域に専念できるようになり、対策を講じることができます。

VisualDSP++デバッガを使って、C/C++プログラムとアセンブリ・プログラムをデバッグすると、プログラマは次のことが可能になります。

- ・ C/C++とアセンブリ・コードの混在の表示(インターリーブされたソースとオブジェクト情報)
- ・ ブレークポイントの挿入
- ・ レジスタ、メモリ、スタックへの条件付きブレークポイントの設定
- ・ 命令実行のトレース
- ・ プログラム実行の連続的または統計的な分析
- ・ メモリ内容のフィル、ダンプ、グラフィック表示
- ・ ソース・レベル・デバッグの実行
- ・ デバッガ・ウインドウのカスタマイズ

VisualDSP++ IDDEを使うと、ソフトウェア開発の定義と管理が可能になります。ダイアログ・ボックスとプロパティページを使うと、VisualDSP++エディタ内での色による強調表示などのすべてのBlackfin開発ツールの設定と管理ができます。これらの機能によりプログラマは次のことが可能になります。

- ・ 開発ツールによる入力の処理方法と出力の発生方法の制御
- ・ ツールのコマンドライン・スイッチとの1対1対応の維持

VisualDSP++カーネル(VDK)は、DSPプログラミングのメモリ制約とタイミング制約を解決するように特別に設計されたスケジューリングとリソース・マネジメントを内蔵しています。これらの機能を使うと、コードを効率的に開発できるようになり、新しいアプリケーション・コードを開発する際に、初歩的な部分からスタートする必要がなくなります。VDKの機能には、スレッドリジョン、クリティカルリジョン、アンスケジュールリジョン、セマフォ、イベント、デバイスフラグが含まれています。また、VDKは優先順位ベースの、プリエンプティブで協調的なタイムスライス・スケジューリング・アプローチもサポートしています。さらに、VDKはスケーラブルにデザインされています。アプリケーションがある特定の機能を使わない場合には、その機能をサポートするコードはターゲット・システムから除外されます。

VDKはライブラリであるため、開発者が使用するか否かを決めることができます。VDKはVisualDSP++開発環境に統合されていますが、標準のコマンドライン・ツールと一緒に使用することもできます。VDKを使うと、この開発環境は、多くのエラーを起こしやすいタスクについて開発者を支援し、システム・リソースの管理を支援し、種々のVDKベースのオブジェクト生成を自動化し、VDKを使用するアプリケーションのデバッグではシステム状態を表示します。

エキスパート・リンカーを使って、組込みシステムのコードとデータの配置を視覚的に操作します。カラー・コード化されたグラフィカル形式でメモリ使用率を表示し、マウスのドラッグによりコードとデータをプロセッサまたは外部メモリの異なる領域へ容易に移動することができ、ランタイム・スタックとヒープ使用率を調べることができま

す。エキスパート・リンカーは既存リンカー定義ファイル(LDF)と完全な互換性を持っているため、グラフィカル環境とテキスト環境との間で移動することができます。

アナログ・デバイセズのエミュレータでは、ADSP-BF538/ADSP-BF538FのIEEE 1149.1 JTAGテスト・アクセス・ポートを使って、エミュレーション時にターゲット・ボード・プロセッサのモニタと制御を行っています。このエミュレータではフル速度のエミュレーションが可能のため、メモリ・スタック、レジスタ・スタック、プロセッサ・スタックの検証と変更が可能です。プロセッサのJTAGインターフェースを使用すると、エミュレータがターゲット・システムのローディングまたはタイミングに影響を与えないインサーキット・エミュレーションが可能になります。

アナログ・デバイセズが提供するソフトウェア開発ツールとハードウェア開発ツールの他に、サード・パーティがBlackfinプロセッサ・ファミリーをサポートする広範囲なツールを提供しています。ハードウェア・ツールにはBlackfinプロセッサPCプラグイン・カードが含まれています。サード・パーティのソフトウェア・ツールには、DSPライブラリ、リアルタイム・オペレーティング・システム、ブロックダイアグラムデザイン・ツールなどがあります。

評価キット

アナログ・デバイセズは、アナログ・デバイセズのプロセッサ、プラットフォーム、ソフトウェア・ツールによるアプリケーションの開発またはプロトタイプについて学習するコスト/パフォーマンスの優れた方法として使う広範囲なEZ-KIT Lite[®]評価プラットフォームを提供しています。各EZ-KIT Liteには、評価ボードと一緒にC/C++コンパイラ、アセンブラ、リンカーによるVisualDSP++開発およびデバッグ環境の評価スイートが含まれています。また、サンプル・アプリケーション・プログラム、電源、USBケーブルも添付されています。ソフトウェア・ツールのすべての評価バージョンは、EZ-KIT Lite製品と組み合わせで使用するように制限されています。

EZ-KIT LiteボードのUSBコントローラは、ボードをユーザのPCのUSBポートに接続して、VisualDSP++評価スイートによりオンボード・プロセッサをインサーキットでエミュレートできるようにします。これにより、EZ-KIT Liteシステムのプログラムをダウンロード、実行、デバッグすることが可能になります。また、ユーザ固有のブート・コードを格納するオンボード・フラッシュ・デバイスのインサーキット・プログラミングが可能になるため、PCに接続しないでスタンドアロン・ユニットとしてボードを動作させることができます。

VisualDSP++のフル・バージョン(別売)をインストールすると、EZ-KIT Liteまたは任意のユーザ定義システムのソフトウェアを開発することができます。アナログ・デバイセズのJTAGエミュレータの1つをEZ-KIT Liteボードに接続すると、高速な非介入型エミュレーションが可能になります。

エミュレータ互換プロセッサ・ボードのデザイン

アナログ・デバイセズのエミュレータ・ファミリーは、すべてのシステム開発者がハードウェア・システムとソフトウェア・システムをテストし、デバッグする際に必要とするツールです。アナログ・デバイセズは、各JTAGプロセッサ上でIEEE 1149.1 JTAGテスト・アクセス・ポート(TAP)を提供しています。エミュレータはこのタップを使ってプロセッサの内部機能をアクセスするため、コードのロード、ブレークポイントの設定、変数の表示、メモリの表示、レジスタの表示が可能になります。プロセッサはデータとコマンドを送信するとき停止する必要があるが、エミュレータによる動作が完了した後に、システム・タイミングに影響を与えることなく、フル速度で動作するようにプロセッサ・システムを設定することができます。

これらのエミュレータを使うときは、ターゲット・ボードにプロセッサのJTAGポートをエミュレータへ接続するヘッダーが含まれている必要があります。

機械的レイアウト、シングル・プロセッサ接続、マルチプロセッサ・スキャン・チェーン、信号バッファリング、信号終端、エミュレータ・ポッド・ロジックなどのターゲット・ボード・デザイン問題の詳細については、アナログ・デバイセズのウェブ・サイト(www.analog.com)にある「*Analog Devices JTAG Emulation Technical Reference (EE-68)*」を参照してください—“[EE-68](#)”のサイト検索をご利用ください。エミュレータ・サポートの強化に合わせて、このドキュメントは定期的に更新されています。

関連ドキュメント

ADSP-BF538/ADSP-BF538Fプロセッサ(および関連プロセッサ)の次の出版物は、最寄りのアナログ・デバイセズまたはウェブ・サイトから注文することができます。

- ・ Getting Started with Blackfin Processors
- ・ ADSP-BF538/ADSP-BF538F Blackfin Processor Hardware Reference
- ・ ADSP-BF53x/ADSP-BF56x Blackfin Processor Programming Reference
- ・ ADSP-BF538 Blackfin Processor Anomaly List

ピン説明

表10に、ADSP-BF538/ADSP-BF538Fプロセッサのピン定義を示します。

すべてのピンはリセット時とその直後にスリー・ステートになります。ただし、メモリ・インターフェース・ピン、非同期メモリ・コントロール・ピン、同期メモリ・コントロール・ピンは除きます。これらのピンはすべてのハイ・レベルに駆動されますが、CLKOUTは例外でシステム・クロック・レートでトグルします。

$\overline{\text{BR}}$ がアクティブの場合は、メモリ・ピンもスリー・ステートになります。すべての未使用I/Oピンの入力バッファはディスエーブルされますが、表に示すようにプルアップまたはプルダウンが必要なピンは例外です。

機能の最大化およびパッケージ・サイズとピン数を削減するため、複数の機能をマルチプレクスした共用ピンもあります。ピン機能が設定可能な場合には、デフォルト状態をテキストで示し、代替機能を斜字体で表してあります。

表10 ピン説明

Pin Name	I/O	Function	Driver Type ¹
Memory Interface			
ADDR19–1	O	Address Bus for Async/Sync Access	A
DATA15–0	I/O	Data Bus for Async/Sync Access	A
$\overline{\text{ABE1–0/SDQM1–0}}$	O	Byte Enables/Data Masks for Async/Sync Access	A
$\overline{\text{BR}}$	I	Bus Request (This pin should be pulled high when not used.)	
$\overline{\text{BG}}$	O	Bus Grant	A
$\overline{\text{BGH}}$	O	Bus Grant Hang	A
Asynchronous Memory Control			
$\overline{\text{AMS3–0}}$	O	Bank Select	A
ARDY	I	Hardware Ready Control (This pin should always be pulled low when not used.)	
$\overline{\text{AOE}}$	O	Output Enable	A
$\overline{\text{ARE}}$	O	Read Enable	A
$\overline{\text{AWE}}$	O	Write Enable	A
Flash Control			
$\overline{\text{FCE}}$	I	Flash Enable (This pin is internally connected to GND on the ADSP-BF538.)	
$\overline{\text{FRESET}}$	I	Flash RESET (This pin is internally connected to GND on the ADSP-BF538.)	
Synchronous Memory Control			
$\overline{\text{SRAS}}$	O	Row Address Strobe	A
$\overline{\text{SCAS}}$	O	Column Address Strobe	A
$\overline{\text{SWE}}$	O	Write Enable	A
SCKE	O	Clock Enable	A
CLKOUT	O	Clock Output	B
SA10	O	A10 Pin	A
$\overline{\text{SMS}}$	O	Bank Select	A
Timers			
TMR0	I/O	Timer 0	C
TMR1/PPI_FS1	I/O	Timer 1/PPI Frame Sync1	C
TMR2/PPI_FS2	I/O	Timer 2/PPI Frame Sync2	C
2-Wire Interface Port		These pins are open-drain and require a pull-up resistor. See version 2.1 of the I ² C specification for proper resistor values.	
SDA0	I/O 5 V	TWI0 Serial Data	E
SCL0	I/O 5 V	TWI0 Serial Clock	E
SDA1	I/O 5 V	TWI1 Serial Data	E

表10 ピン説明(続き)

Pin Name	I/O	Function	Driver Type ¹
SCL1	I/O 5 V	TWI1 Serial Clock	E
Serial Port0			
RSCLK0	I/O	SPORT0 Receive Serial Clock	D
RFS0	I/O	SPORT0 Receive Frame Sync	C
DR0PRI	I	SPORT0 Receive Data Primary	
DR0SEC	I	SPORT0 Receive Data Secondary	
TSCLK0	I/O	SPORT0 Transmit Serial Clock	D
TFS0	I/O	SPORT0 Transmit Frame Sync	C
DT0PRI	O	SPORT0 Transmit Data Primary	C
DT0SEC	O	SPORT0 Transmit Data Secondary	C
Serial Port1			
RSCLK1	I/O	SPORT1 Receive Serial Clock	D
RFS1	I/O	SPORT1 Receive Frame Sync	C
DR1PRI	I	SPORT1 Receive Data Primary	
DR1SEC	I	SPORT1 Receive Data Secondary	
TSCLK1	I/O	SPORT1 Transmit Serial Clock	D
TFS1	I/O	SPORT1 Transmit Frame Sync	C
DT1PRI	O	SPORT1 Transmit Data Primary	C
DT1SEC	O	SPORT1 Transmit Data Secondary	C
SPI0 Port			
MOSI0	I/O	SPI0 Master Out Slave In	C
MISO0	I/O	SPI0 Master In Slave Out (This pin should always be pulled high through a 4.7 k Ω resistor if booting via the SPI port.)	C
SCK0	I/O	SPI0 Clock	D
UART0 Port			
RX0	I	UART0 Receive	
TX0	O	UART0 Transmit	C
PPI Port			
PPI3–0	I/O	PPI3–0	C
PPI_CLK/TMRCLK	I	PPI Clock/External Timer Reference	
Port C: Controller Area Network/GPIO			
CANTX/PC0	I/O 5 V	CAN Transmit/GPIO	C
CANRX/PC1	I/OD 5 V	CAN Receive/GPIO	C ²
PC[9–5] PC4	I/O I/OD 5 V	GPIOD GPIO	C C ²
Port D: SPI1/SPI2/UART1/UART2/GPIO			
MOSI1/PD0	I/O	SPI1 Master Out Slave In/GPIO	C
MISO1/PD1	I/O	SPI1 Master In Slave Out/GPIO	C
SCK1/PD2	I/O	SPI1 Clock/GPIO	D

表10 ピン説明(続き)

Pin Name	I/O	Function	Driver Type ¹
$\overline{\text{SPI1SS}}/\text{PD3}$	I/O	SPI1 Slave Select Input/ <i>GPIO</i>	D
$\overline{\text{SPI1SEL1}}/\text{PD4}$	I/O	SPI1 Slave Select Enable/ <i>GPIO</i>	D
$\text{MOSI2}/\text{PD5}$	I/O	SPI2 Master Out Slave In/ <i>GPIO</i>	C
$\text{MISO2}/\text{PD6}$	I/O	SPI2 Master In Slave Out/ <i>GPIO</i>	C
$\text{SCK2}/\text{PD7}$	I/O	SPI2 Clock/ <i>GPIO</i>	D
$\overline{\text{SPI2SS}}/\text{PD8}$	I/O	SPI2 Slave Select Input/ <i>GPIO</i>	D
$\overline{\text{SPI2SEL1}}/\text{PD9}$	I/O	SPI2 Slave Select Enable/ <i>GPIO</i>	D
$\text{RX1}/\text{PD10}$	I/O	UART1 Receive/ <i>GPIO</i>	D
$\text{TX1}/\text{PD11}$	I/O	UART1 Transmit/ <i>GPIO</i>	D
$\text{RX2}/\text{PD12}$	I/O	UART2 Receive/ <i>GPIO</i>	D
$\text{TX2}/\text{PD13}$	I/O	UART2 Transmit/ <i>GPIO</i>	D
Port E: SPORT2/SPORT3/ <i>GPIO</i>			
$\text{RSCLK2}/\text{PE0}$	I/O	SPORT2 Receive Serial Clock/ <i>GPIO</i>	D
$\text{RFS2}/\text{PE1}$	I/O	SPORT2 Receive Frame Sync/ <i>GPIO</i>	C
$\text{DR2PRI}/\text{PE2}$	I/O	SPORT2 Receive Data Primary/ <i>GPIO</i>	C
$\text{DR2SEC}/\text{PE3}$	I/O	SPORT2 Receive Data Secondary/ <i>GPIO</i>	C
$\text{TSCLK2}/\text{PE4}$	I/O	SPORT2 Transmit Serial Clock/ <i>GPIO</i>	D
$\text{TFS2}/\text{PE5}$	I/O	SPORT2 Transmit Frame Sync/ <i>GPIO</i>	C
$\text{DT2PRI}/\text{PE6}$	I/O	SPORT2 Transmit Data Primary/ <i>GPIO</i>	C
$\text{DT2SEC}/\text{PE7}$	I/O	SPORT2 Transmit Data Secondary/ <i>GPIO</i>	C
$\text{RSCLK3}/\text{PE8}$	I/O	SPORT3 Receive Serial Clock/ <i>GPIO</i>	D
$\text{RFS3}/\text{PE9}$	I/O	SPORT3 Receive Frame Sync/ <i>GPIO</i>	C
$\text{DR3PRI}/\text{PE10}$	I/O	SPORT3 Receive Data Primary/ <i>GPIO</i>	C
$\text{DR3SEC}/\text{PE11}$	I/O	SPORT3 Receive Data Secondary/ <i>GPIO</i>	C
$\text{TSCLK3}/\text{PE12}$	I/O	SPORT3 Transmit Serial Clock/ <i>GPIO</i>	D
$\text{TFS3}/\text{PE13}$	I/O	SPORT3 Transmit Frame Sync/ <i>GPIO</i>	C
$\text{DT3PRI}/\text{PE14}$	I/O	SPORT3 Transmit Data Primary/ <i>GPIO</i>	C
$\text{DT3SEC}/\text{PE15}$	I/O	SPORT3 Transmit Data Secondary/ <i>GPIO</i>	C
Port F: <i>GPIO</i> / <i>PPI</i> / <i>SPI0</i> / <i>Timers</i>			
$\text{PF0}/\overline{\text{SPI0SS}}$	I/O	<i>GPIO</i> / <i>SPI0</i> Slave Select Input	C
$\text{PF1}/\overline{\text{SPI0SEL1}}/\text{TACLK}$	I/O	<i>GPIO</i> / <i>SPI0</i> Slave Select Enable 1/ <i>Timer</i> Alternate Clock Input	C
$\text{PF2}/\overline{\text{SPI0SEL2}}$	I/O	<i>GPIO</i> / <i>SPI0</i> Slave Select Enable 2	C
$\text{PF3}/\text{PPI_FS3}/\overline{\text{SPI0SEL3}}$	I/O	<i>GPIO</i> / <i>PPI</i> Frame Sync 3/ <i>SPI0</i> Slave Select Enable 3	C
$\text{PF4}/\text{PPI15}/\overline{\text{SPI0SEL4}}$	I/O	<i>GPIO</i> / <i>PPI</i> 15/ <i>SPI0</i> Slave Select Enable 4	C
$\text{PF5}/\text{PPI14}/\overline{\text{SPI0SEL5}}$	I/O	<i>GPIO</i> / <i>PPI</i> 14/ <i>SPI0</i> Slave Select Enable 5	C

表10 ピン説明(続き)

Pin Name	I/O	Function	Driver Type ¹
PF6/PPI13/SPI0SEL6	I/O	GPIO/PPI13/SPI0 Slave Select Enable 6	C
PF7/PPI12/SPI0SEL7	I/O	GPIO/PPI12/SPI0 Slave Select Enable 7	C
PF8/PPI11	I/O	GPIO/PPI11	C
PF9/PPI10	I/O	GPIO/PPI10	C
PF10/PPI9	I/O	GPIO/PPI9	C
PF11/PPI8	I/O	GPIO/PPI8	C
PF12/PPI7	I/O	GPIO/PPI7	C
PF13/PPI6	I/O	GPIO/PPI6	C
PF14/PPI5	I/O	GPIO/PPI5	C
PF15/PPI4	I/O	GPIO/PPI4	C
Real-Time Clock			
RTXI	I	RTC Crystal Input (This pin should be pulled low when not used.)	
RTXO	O	RTC Crystal Output	
JTAG Port			
TCK	I	JTAG Clock	
TDO	O	JTAG Serial Data Out	C
TDI	I	JTAG Serial Data In	
TMS	I	JTAG Mode Select	
TRST	I	JTAG Reset (This pin should be pulled low if the JTAG port will not be used.)	
EMU	O	Emulation Output	C
Clock			
CLKIN	I	Clock/Crystal Input	
XTAL	O	Crystal Output	
Mode Controls			
RESET	I	Reset	
NMI	I	Nonmaskable Interrupt (This pin should be pulled high when not used.)	
BMODE1–0	I	Boot Mode Strap	
Voltage Regulator			
VROUT0	O	External FET Drive 0 (This pin should be left unconnected when not used.)	
VROUT1	O	External FET Drive 1 (This pin should be left unconnected when not used.)	
GPW	I 5 V	General-Purpose Regulator Wake-Up (This pin should be pulled high when not used.)	
Supplies			
V _{DDEXT}	P	I/O Power Supply	
V _{DDINT}	P	Internal Power Supply	
V _{DDRTC}	P	Real-Time Clock Power Supply (This pin should be connected to V _{DDEXT} when not used and should remain powered at all times.)	
GND	G	Ground	

¹ 図29～図39を参照してください。² このピンは入力に設定されると5 V対応に、出力に設定されるとオープン・ドレインに、それぞれなるため、出力設定された場合は、図33と図34ではVOL カークが、図46と図47では立ち下がり時間が、それぞれ適用されます。

仕様

部品仕様は予告なく変更されることがあります。

動作条件

Parameter	Conditions	Min	Nom	Max	Unit
V _{DDINT} Internal Supply Voltage	533 MHz Speed Grade Models ^{1, 2}	0.8	1.25	1.375	V
V _{DDINT} Internal Supply Voltage	400 MHz Speed Grade Models ^{1, 2}	0.8	1.2	1.32	V
V _{DDEXT} External Supply Voltage	Models with on-chip flash ²	2.7	3.3	3.6	V
V _{DDEXT} External Supply Voltage	Models without on-chip flash ²	2.25	3.0	3.6	V
V _{DDRTC} Real-Time Clock Power Supply Voltage		2.25		3.6	V
V _{IH} High Level Input Voltage ³	V _{DDEXT} = Maximum	2.0		3.6	V
V _{IH5V} High Level Input Voltage ⁴	V _{DDEXT} = Maximum	2.0		5.5	V
V _{IHCLKI} High Level Input Voltage ⁵	V _{DDEXT} = Maximum	2.2		3.6	V
V _{IL} Low Level Input Voltage ^{3, 6}	V _{DDEXT} = Minimum	−0.3		+0.6	V
V _{IL5V} Low Level Input Voltage ⁴	V _{DDEXT} = Minimum	−0.3		+0.8	V
T _J Junction Temperature	316-Ball Chip Scale Package Ball Grid Array (CSP_BGA) @ T _{AMBIENT} = −40°C to + 85°C	−40		+105	°C

¹レギュレータは0.85 V～1.2 VのレベルのV_{DDINT}を−5%～+10%の偏差で、1.25 VのV_{DDINT}を−4%～+10%の偏差で生成することができます。

² オーダー・ガイドを参照してください。

³3.3 V対応ピンは、最大3.6 VまでのV_{IH}の入力を許容します。次の双方向ピンDATA15～0、SCK2～0、MISO2～0、MOSI2～0、PF15～0、PPI3～0、SPI1SS、SPI1SEL1、PC9～5、SPI2SS、SPI2SEL1、RX2～1、TX2～1、TSCLK3～0、RSCLK3～0、TFS3～0、RFS3～0、DT2PRI、DT2SEC、DR2PRI、DR2SEC、DT3PRI、DT3SEC、DR3PRI、DR3SEC、TMR2～0は、3.3 V対応です。次の入力専用ピン RESET、RX0、TCK、TDI、TMS、TRST、ARDY、BMODE1～0、BR、DR0PRI、DR0SEC、DR1PRI、DR1SEC、NMI、PPI_CLK、RTXI1は、3.3 V対応です。

⁴5 V対応ピンは最大5.5 VまでのV_{IH}入力を許容します。次の双方向ピンSCL0、SCL1、SDA0、SDA1、CANTX、CANRX、PC4は、5 V対応です。入力専用ピンGPWは5 V対応です。

⁵パラメータ値はCLKINピンに適用。

⁶すべての入力ピンと双方向ピンに適用。

次の表に、ADSP-BF538/ADSP-BF538Fプロセッサ・クロックの電圧/周波数条件を示します。MSEL比、SSEL比、SSEL比の選択では、最大絶対定格で規定された最大コ

ア・クロック周波数(表10と表12)とシステム・クロック動作周波数(表14)を超えないように注意してください。表13にPLL動作条件を示します。

表11 コア・クロック (CCLK) 条件– 400 MHz モデル

Parameter	Internal Regulator Setting	Max	Unit
f _{CCLK} CLK Frequency (V _{DDINT} = 1.14 V Minimum)	1.20 V	400	MHz
f _{CCLK} CLK Frequency (V _{DDINT} = 1.045 V Minimum)	1.10 V	364	MHz
f _{CCLK} CLK Frequency (V _{DDINT} = 0.95 V Minimum)	1.00 V	333	MHz
f _{CCLK} CLK Frequency (V _{DDINT} = 0.85 V Minimum)	0.90 V	280	MHz
f _{CCLK} CLK Frequency (V _{DDINT} = 0.8 V Minimum)	0.85 V	250	MHz

表12 コア・クロック（CCLK）条件- 533 MHz モデル

Parameter	Internal Regulator Setting	Max	Unit
f_{CCLK} Core Clock Frequency ($V_{\text{DDINT}} = 1.2 \text{ V}$ Minimum)	1.25 V	533	MHz
f_{CCLK} Core Clock Frequency ($V_{\text{DDINT}} = 1.14 \text{ V}$ Minimum)	1.20 V	500	MHz
f_{CCLK} Core Clock Frequency ($V_{\text{DDINT}} = 1.045 \text{ V}$ Minimum)	1.10 V	444	MHz
f_{CCLK} Core Clock Frequency ($V_{\text{DDINT}} = 0.95 \text{ V}$ Minimum)	1.00 V	400	MHz
f_{CCLK} Core Clock Frequency ($V_{\text{DDINT}} = 0.85 \text{ V}$ Minimum)	0.95 V	333	MHz
f_{CCLK} Core Clock Frequency ($V_{\text{DDINT}} = 0.8 \text{ V}$ Minimum)	0.85 V	250	MHz

表13 位相ロック・ループの動作条件

Parameter	Min	Max	Unit
f_{VCO} Voltage Controlled Oscillator (VCO) Frequency	50	Max f_{CCLK}	MHz

表14 システム・クロック（SCLK）の条件

Parameter ¹	Max	Unit
f_{SCLK} CLKOUT/SCLK Frequency ($V_{\text{DDINT}} \geq 1.14 \text{ V}$)	133 ²	MHz
f_{SCLK} CLKOUT/SCLK Frequency ($V_{\text{DDINT}} < 1.14 \text{ V}$)	100	MHz

¹ $t_{\text{SCLK}} (= 1/f_{\text{SCLK}})$ は t_{CCLK} 以上である必要があります。

² $t_{\text{SCLK}} = 7.5 \text{ ns}$ を保証。表25を参照してください。

電気的特性

Parameter ¹		Test Conditions	Min	Typ	Max	Unit
V _{OH}	High Level Output Voltage ²	V _{DDEXT} = +3.0 V, I _{OH} = −0.5 mA	2.4			V
V _{OL}	Low Level Output Voltage ²	V _{DDEXT} = 3.0 V, I _{OL} = 2.0 mA		0.4		V
I _{IH}	High Level Input Current ³	V _{DDEXT} = Maximum, V _{IN} = V _{DD} Maximum		10.0		μA
I _{IHP}	High Level Input Current JTAG ⁴	V _{DDEXT} = Maximum, V _{IN} = V _{DD} Maximum		50.0		μA
I _{IL}	Low Level Input Current ³	V _{DDEXT} = Maximum, V _{IN} = 0 V		10.0		μA
I _{OZH}	Three-State Leakage Current ⁵	V _{DDEXT} = Maximum, V _{IN} = V _{DD} Maximum		10.0		μA
I _{OZL}	Three-State Leakage Current ⁵	V _{DDEXT} = Maximum, V _{IN} = 0 V		10.0		μA
C _{IN}	Input Capacitance ^{6, 7}	f _{CCLK} = 1 MHz, T _{AMBIENT} = 25°C , V _{IN} = 2.5 V	4	8		pF
I _{DDDEEPSLEEP} ⁸	V _{DDINT} Current in Deep Sleep Mode	V _{DDINT} = 1.0 V, f _{CCLK} = 0 MHz, T _J = 25°C , ASF = 0.00	7.5			mA
I _{DDSLEEP}	V _{DDINT} Current in Sleep Mode	V _{DDINT} = 0.8 V, T _J = 25°C , SCLK = 25 MHz		10		mA
I _{DD-TYP}	V _{DDINT} Current	V _{DDINT} = 1.14 V, f _{CCLK} = 400 MHz, T _J = 25°C		130		mA
I _{DD-TYP}	V _{DDINT} Current	V _{DDINT} = 1.2 V, f _{CCLK} = 500 MHz, T _J = 25°C		168		mA
I _{DD-TYP}	V _{DDINT} Current	V _{DDINT} = 1.2 V, f _{CCLK} = 533 MHz, T _J = 25°C		180		mA
I _{DDHIBERNATE} ⁸	V _{DDEXT} Current in Hibernate State	V _{DDEXT} = 3.6 V, CLKIN=0 MHz, T _J = Max, voltage regulator off (V _{DDINT} = 0 V)	50	100		μA
I _{DDRTC}	V _{DDRTC} Current	V _{DDRTC} = 3.3 V, T _J = 25°C		20		μA
I _{DDINT} ⁹	V _{DDINT} Current	f _{CCLK} > 0 MHz		Table 15 + (Table 17 × ASF)		mA
I _{DDDEEPSLEEP} ⁸	V _{DDINT} Current in Deep Sleep Mode	f _{CCLK} = 0 MHz	6	Table 15		mA

¹仕様は予告なく変更されることがあります。

²出力ピンと双方向ピンに適用。

³JTAG入力以外の入力ピンに適用。

⁴JTAG 入力ピン (TCK、TDI、TMS、 $\overline{\text{TRST}}$)に適用。

⁵スリー・ステート・ピンに適用。

⁶全信号ピンに適用。

⁷保証しますが、テストしません。

⁸スリープ、ディープ・スリープ、ハイバネート動作モードの定義については、「ADSP-BF538/538F Blackfin Processor Hardware Reference Manual for definitions」を参照してください。

⁹種々のアクティビティ・スケールリング・ファクタ (ASF)でカバーされるI_{DDINT} パワー・ベクタの一覧については表16を参照してください。

デザインを低消費電力用に最適化する詳細情報については、「*Estimating Power for the ADSP-BF538/BF539 Blackfin Processors (EE-298)*」を参照してください。このセクションで説明する内容は、EE-298に詳しく説明しています。総合消費電力には次の2つの成分があります。

1. リーク電流を含むスタティック
2. トランジスタ・スイッチング特性に起因するダイナミック

温度、電圧、動作周波数、プロセッサ動作状態などの多くの動作条件も消費電力に影響を与えます。電気的特性に、内部回路の消費電流(V_{DDINT})を示します。 $I_{DDDEEPSLEEP}$ は、電圧(V_{DDINT})と温度の関数としてスタティック消費電力を規定し(表15参照)、 I_{DDINT} は記載したテスト条件に対して、総合消費電力を規定します(ダイナミック成分は電圧(V_{DDINT})と周波数(表17)の関数として含みます)。

ダイナミック成分も、プロセッサ上でのアプリケーション・コードの実行を表す(表16)アクティビティ・スケーリング・ファクタ(ASF)の影響を受けます。

表15 スタティック電流 (mA)¹

T_J (°C)	V_{DDINT} (V)												
	0.80 V	0.85 V	0.90 V	0.95 V	1.00 V	1.05 V	1.10 V	1.15 V	1.20 V	1.25 V	1.30 V	1.32 V	1.375 V
-40	6.4	7.7	8.8	10.4	12.0	14.0	16.1	18.9	21.9	25.2	28.7	30.6	35.9
-25	9.2	10.9	12.5	14.5	16.7	19.3	22.1	25.6	29.5	33.7	38.1	40.5	47.2
0	16.8	18.9	21.5	24.4	27.7	31.7	35.8	40.5	45.8	51.6	58.2	61.0	69.8
25	32.9	37.2	41.4	46.2	51.8	57.4	64.2	72.3	80.0	89.3	98.9	103.3	116.4
40	48.4	54.8	60.5	67.1	74.7	82.9	91.6	101.5	112.4	123.2	136.2	142.0	158.7
55	71.2	78.6	86.5	95.8	104.9	115.7	127.1	139.8	153.6	168.0	183.7	191.0	211.8
70	102.3	112.2	122.1	133.5	146.1	159.2	173.9	189.8	206.7	225.5	245.6	254.1	279.6
85	140.7	153.0	167.0	182.5	198.0	216.0	234.3	254.0	276.0	299.1	324.3	334.8	366.6
100	190.6	207.1	224.6	244.0	265.6	285.7	309.0	333.7	360.0	387.8	417.3	431.1	469.3
105	210.2	228.1	245.1	265.6	285.8	309.2	334.0	360.1	385.6	417.2	448.0	461.5	501.1

¹値は保証される最大 $I_{DDDEEPSLEEP}$ 仕様です。

表16 アクティビティ・スケーリング・ファクタ

I_{DDINT} Power Vector ¹	Activity Scaling Factor (ASF) ²
$I_{DD-PEAK}$	1.30
$I_{DD-HIGH}$	1.28
I_{DD-TYP}	1.00
I_{DD-APP}	0.88
I_{DD-NOP}	0.74
$I_{DD-IDLE}$	0.48

¹パワー・ベクタ定義についてはEE-298を参照してください。

²すべてASF値は、10:1 CCLK:SCLK比を使って決定。

表17 ダイナミック電流 (mA、ASF = 1.0)¹

Frequency (MHz)	Voltage (V _{DDINT})												
	0.80 V	0.85 V	0.90 V	0.95 V	1.00 V	1.05 V	1.10 V	1.15 V	1.20 V	1.25 V	1.30 V	1.32 V	1.375 V
50	13.6	14.9	16.4	17.5	19.1	20.5	22.0	23.5	25.4	27.1	29.1	29.7	31.6
100	23.6	26.0	27.9	30.1	32.3	34.4	37.0	39.2	41.7	44.3	46.4	47.6	50.3
200	44.1	47.5	51.0	54.8	58.4	61.8	65.6	69.7	74.3	76.2	82.2	83.4	87.8
250	54.6	58.7	62.8	66.8	71.2	75.7	79.9	84.5	89.8	94.2	99.4	101.2	106.5
300	N/A	69.8	74.1	79.3	84.5	89.0	94.7	100.0	105.5	111.6	116.8	119.3	125.5
375	N/A	N/A	91.9	97.9	103.9	109.9	116.5	122.2	129.7	136.0	142.9	145.9	153.6
400	N/A	N/A	N/A	103.8	110.3	116.9	123.7	130.0	137.5	144.2	151.2	154.5	162.4
425	N/A	N/A	N/A	N/A	116.6	123.7	130.9	137.2	144.7	152.7	159.9	163.3	171.8
475	N/A	N/A	N/A	N/A	N/A	N/A	145.0	151.8	161.4	169.4	177.8	181.1	190.4
500	N/A	N/A	N/A	N/A	N/A	N/A	N/A	159.9	168.9	177.8	186.3	190.0	199.6
533	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	179.8	188.9	198.8	202.2	212.5

¹値はスタンダアロン最大仕様として保証されません。これらは、[電气的特性](#)の式に従ってスタティック電流と組み合わせる必要があります。

絶対最大定格

絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらはストレス定格のみを規定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

Parameter	Rating
Internal (Core) Supply Voltage (V_{DDINT})	– 0.3 V to +1.4 V
External (I/O) Supply Voltage (V_{DDEXT})	– 0.3 V to +3.8 V
Input Voltage ²	– 0.5 V to +3.6 V
Input Voltage ^{1, 2}	– 0.5 V to +5.5 V
Output Voltage Swing	– 0.5 V to $V_{DDEXT} + 0.5$ V
Load Capacitance	200 pF
Storage Temperature Range	– 65°C to +150°C
Junction Temperature Under bias	+125°C

¹ 1 V対応ピンは最大5.5 Vまでの V_{IH} 入力を許容します。次の双方向ピンSCL0、SCL1、SDA0、SDA1、CANTX、CANRX、PC4は、5 V対応です。入力専用ピンGPWは5 V対応です。その他のデューティ・サイクルについては表18を参照してください。

² V_{DDEXT} が仕様範囲内の場合に適用。 V_{DDEXT} が仕様の外側の場合は、範囲は $V_{DDEXT} \pm 0.2$ Vになります。

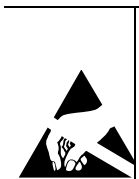
表18 入力過渡電圧の最大デューティ・サイクル¹

V_{IN} Min (V)	V_{IN} Max (V) ²	Maximum Duty Cycle
–0.50	+3.80	100%
–0.70	+4.00	40%
–0.80	+4.10	25%
–0.90	+4.20	15%
–1.00	+4.30	10%

¹ CLKIN、XTAL、VROUT1～0以外のすべて信号ピンに適用。

² 特定のデザインには、記載するオプションの1つのみを適用することができます。

ESD感受性



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

パッケージ情報

図9と表19に、Blackfinプロセッサのパッケージ表示の詳細と製品機能との対応を示します。供給中の全製品リストについては、[オーダー・ガイド](#)をご覧ください。



図9 パッケージの製品情報

表19 パッケージ表示情報

Brand Key	Field Description
Fx	On-Chip Flash Option: x = 4 or 8 (M bit)
t	Temperature Range
pp	Package Type
Z	RoHS Compliant Part
ccc	See Ordering Guide
vvvvvv.x	Assembly Lot Code
n.n	Silicon Revision
#	RoHS Compliant Designation
yyww	Date Code

タイミング仕様

クロックとリセットのタイミング

表20 と図10に、クロックとリセットの動作を示します。絶対最大定格に従い、CLKINとクロック逓倍器との組み合わせによるコア/システム・クロックは、最大動作条件を超えることはできません。

表20 クロックとリセットのタイミング

Parameter	Min	Max	Unit
Timing Requirements			
t_{CKIN} CLKIN Period ^{1, 2, 3}	20.0	100.0	ns
t_{CKINL} CLKIN Low Pulse	8.0		ns
t_{CKINH} CLKIN High Pulse	8.0		ns
t_{WRST} $\overline{RESET}$ Asserted Pulse Width Low ⁴	11 t_{CKIN}		ns

¹ PLLバイパス・モードとPLL非バイパス・モードに適用。

² PLL_CTLレジスタのDFビットがセットされている場合、最大 t_{CKIN} 周期は50 nsです。

³ CLKIN周波数を即座に変えることはできません。

⁴ パワーアップ・シーケンス完了後に適用。 $\overline{RESET}$ がアサートされ、かつ電源とCLKINが安定している場合、パワーアップ時にプロセッサの内部位相ロック・ループはCLKINで2000サイクル以上を必要としません(外部クロック・オシレータのセットアップ・タイムは除きます)。

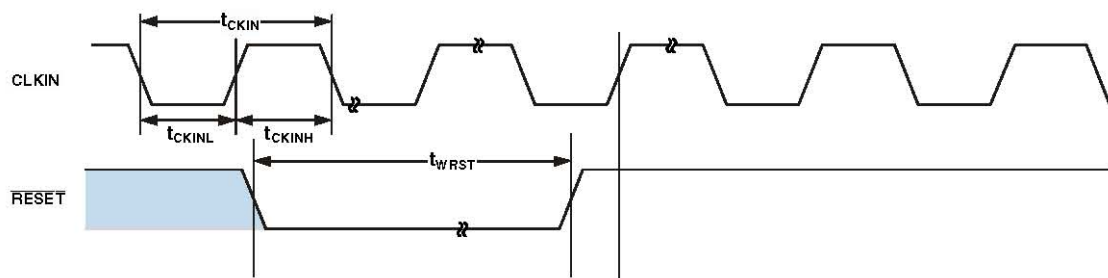


図10 クロックとリセットのタイミング

非同期メモリ読み出しサイクルのタイミング

表21 と表22、および図11 と図12 に、同期および非同期 ARDYに対する非同期メモリ読み出しサイクル動作を示します。

表21 非同期メモリ読み出しサイクル・タイミング、同期ARDY

Parameter		Min	Max	Unit
Timing Requirements				
t_{SDAT}	DATA15 – 0 Setup Before CLKOUT	2.1		ns
t_{HDAT}	DATA15 – 0 Hold After CLKOUT	0.8		ns
t_{SARDY}	ARDY Setup Before the Falling Edge of CLKOUT	4.0		ns
t_{HARDY}	ARDY Hold After the Falling Edge of CLKOUT	0.0		ns
t_{DO}	Output Delay After CLKOUT ¹		6.0	ns
t_{HO}	Output Hold After CLKOUT ¹	0.8		ns

¹出力ピンには、 $\overline{AMS3\sim0}$ 、 $\overline{ABE1\sim0}$ 、 $\overline{ADDR19\sim1}$ 、 $\overline{AOE}$ 、 $\overline{ARE}$ が含まれます。

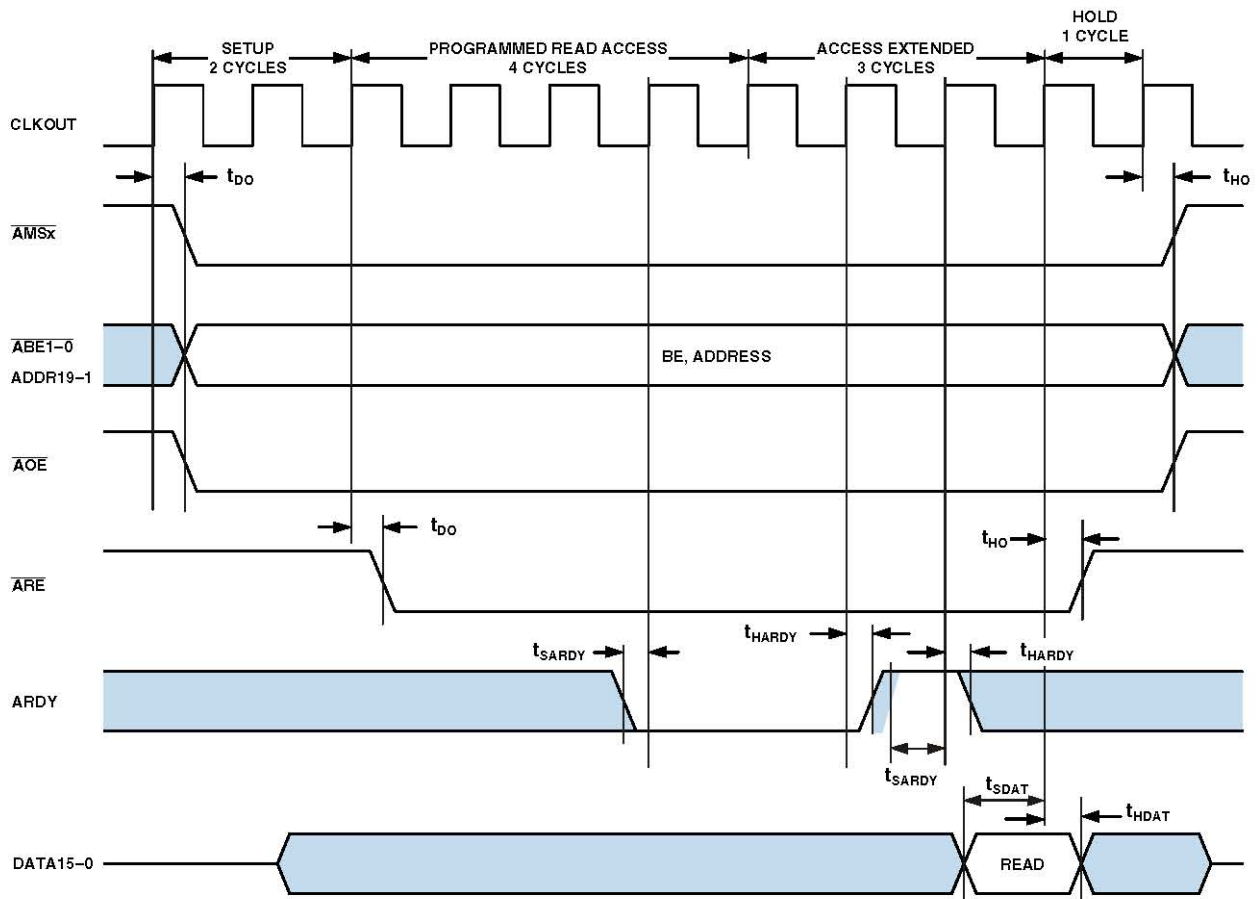


図11 非同期メモリ読み出しサイクル・タイミング、同期ARDY

表22 非同期メモリ読み出しサイクル・タイミング、非同期 ARDY

Parameter	Min	Max	Unit
Timing Requirements			
t_{SDAT} DATA15 – 0 Setup Before CLKOUT	2.1		ns
t_{HDAT} DATA15 – 0 Hold After CLKOUT	0.8		ns
t_{DANR} ARDY Negated Delay from $\overline{AMSx}$ Asserted ¹		$(S + RA - 2) \times t_{SCLK}$	ns
t_{HAA} ARDY Asserted Hold After $\overline{ARE}$ Negated	0.0		ns
t_{DO} Output Delay After CLKOUT ²		6.0	ns
t_{HO} Output Hold After CLKOUT ²	0.8		ns

¹S = 設定されたセットアップ・サイクル数、RA = 設定された読み出しアクセス・サイクル数。

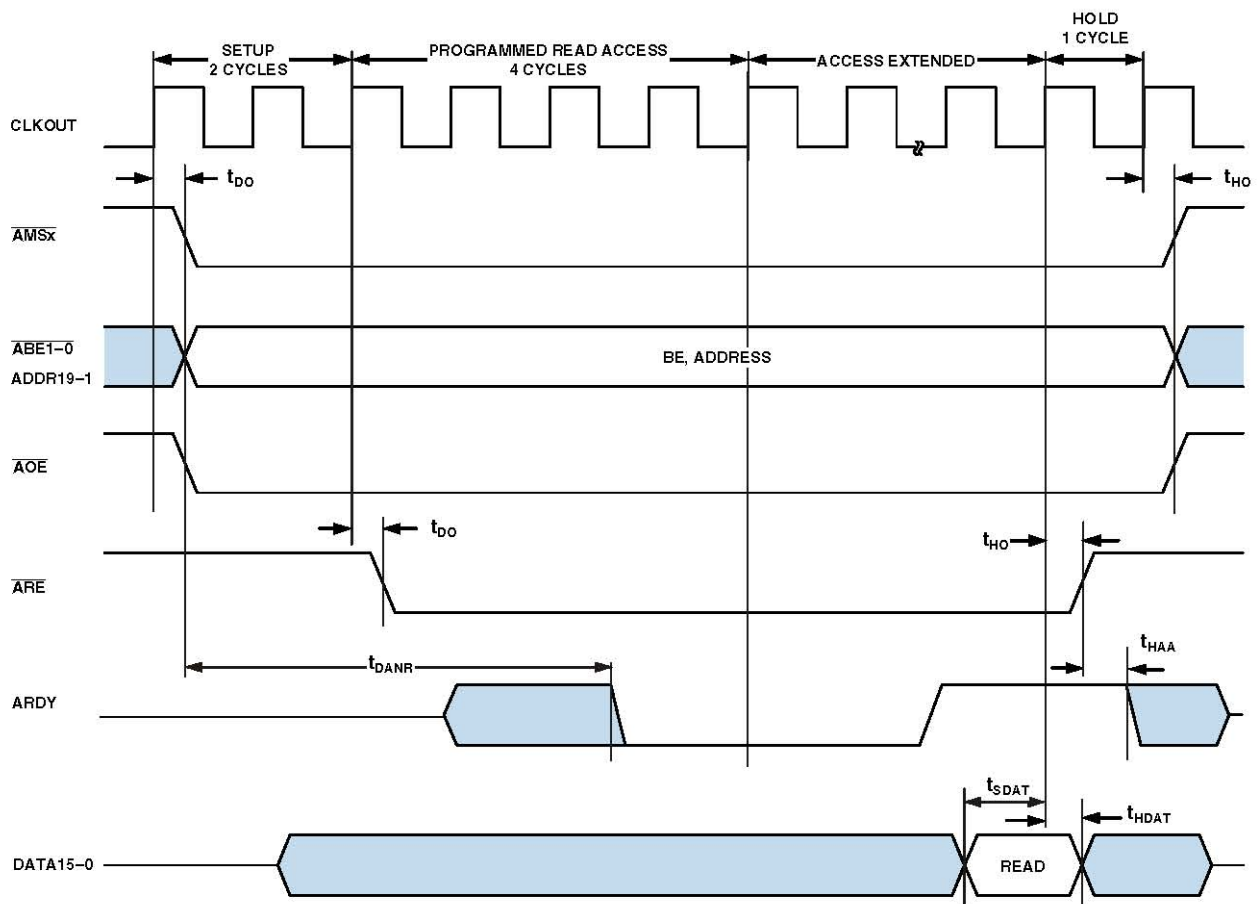
²出力ピンには、 $\overline{AMS3} \sim 0$ 、 $\overline{ABE1} \sim 0$ 、 $\overline{ADDR19} \sim 1$ 、 $\overline{AOE}$ 、 $\overline{ARE}$ が含まれます。


図12 非同期メモリ読み出しサイクル・タイミング、非同期 ARDY

非同期メモリ書き込みサイクルのタイミング

表23 と表24、および図13 と図14 に、同期および非同期 ARDY に対する非同期メモリ書き込みサイクル動作を示します。

表23 非同期メモリ書き込みサイクル・タイミング、同期ARDY

Parameter		Min	Max	Unit
Timing Requirements				
t_{SARDY}	ARDY Setup Before the Falling Edge of CLKOUT	4.0		ns
t_{HARDY}	ARDY Hold After the Falling Edge of CLKOUT	0.0		ns
Switching Characteristics				
t_{DDAT}	DATA15 – 0 Disable After CLKOUT		6.0	ns
t_{ENDAT}	DATA15 – 0 Enable After CLKOUT	1.0		ns
t_{DO}	Output Delay After CLKOUT ¹		6.0	ns
t_{HO}	Output Hold After CLKOUT ¹	0.8		ns

¹出力ピンには、 $\overline{AMS3\sim0}$ 、 $\overline{ABE1\sim0}$ 、 $ADDR19\sim1$ 、 $DATA15\sim0$ 、 $\overline{AOE}$ 、 $\overline{AWE}$ が含まれます。

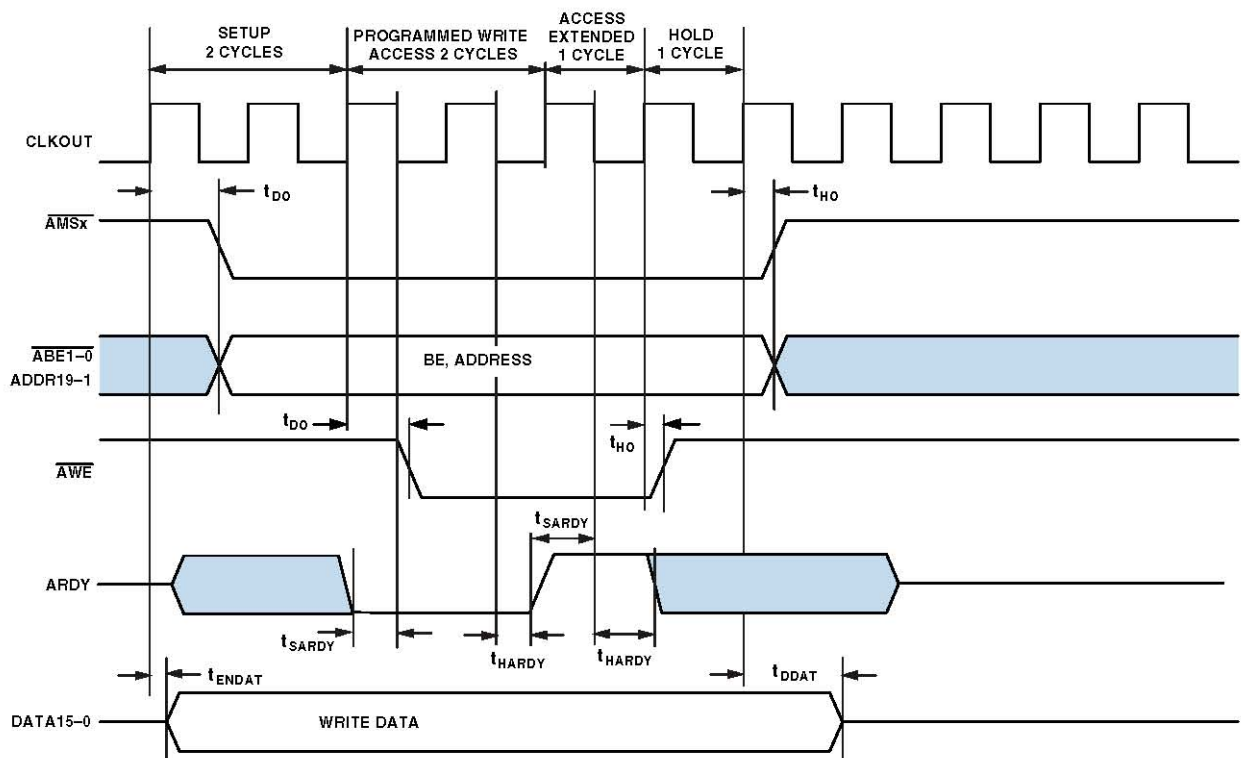


図13 非同期メモリ書き込みサイクル・タイミング、同期ARDY

表24 非同期メモリ書き込みサイクル・タイミング、非同期 ARDY

Parameter	Min	Max	Unit
Timing Requirements			
t_{DANR} ARDY Negated Delay from $\overline{AMSx}$ Asserted ¹		$(S + WA - 2) \times t_{SCLK}$	ns
t_{HAA} ARDY Asserted Hold After $\overline{ARE}$ Negated	0.0		ns
Switching Characteristics			
t_{DDAT} DATA15 – 0 Disable After CLKOUT		6.0	ns
t_{ENDAT} DATA15 – 0 Enable After CLKOUT	1.0		ns
t_{DO} Output Delay After CLKOUT ²		6.0	ns
t_{HO} Output Hold After CLKOUT ²	0.8		ns

¹S = 設定されたセットアップ・サイクル数、WA = 設定された書き込みアクセス・サイクル数。

²出力ピンには、 $\overline{AMS3\sim0}$ 、 $\overline{ABE1\sim0}$ 、 $\overline{ADDR19\sim1}$ 、 $\overline{DATA15\sim0}$ 、 $\overline{AOE}$ 、 $\overline{AWE}$ が含まれます。

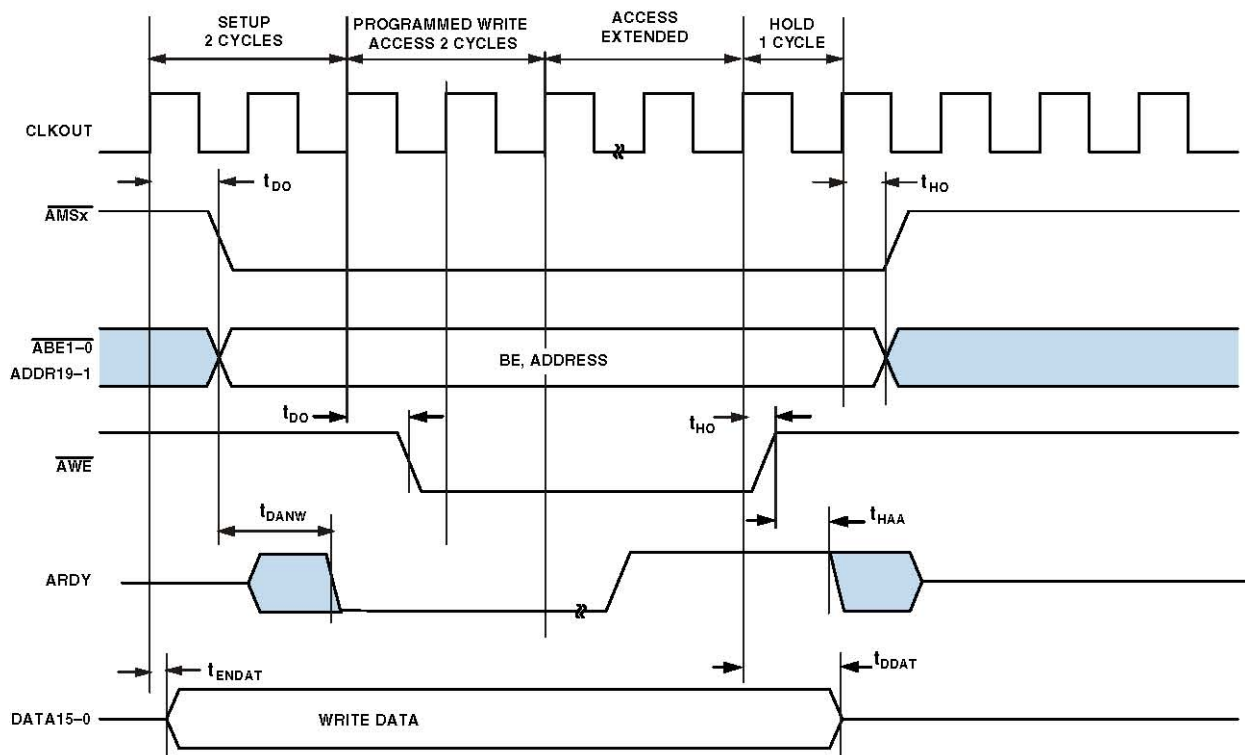


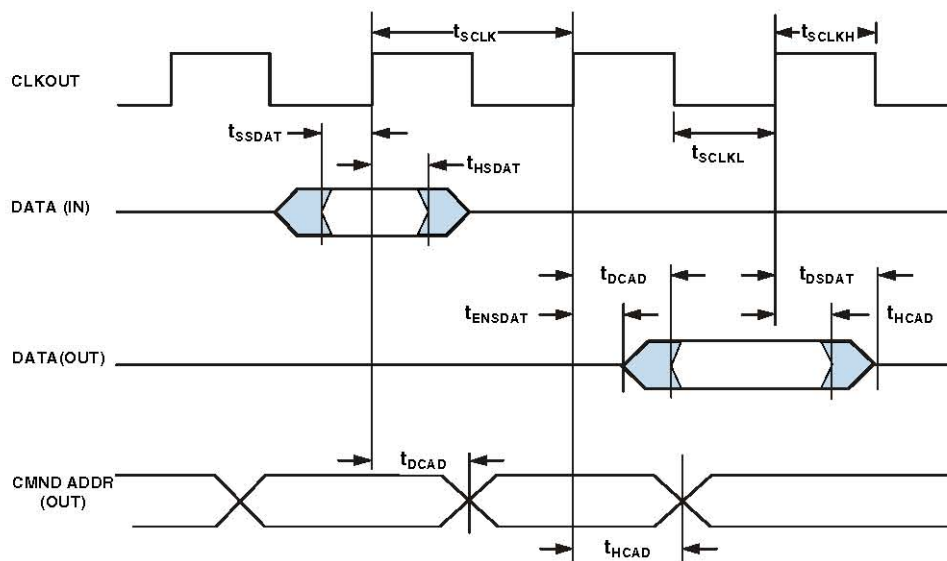
図14 非同期メモリ書き込みサイクル・タイミング、非同期 ARDY

SDRAMインターフェース・タイミング

表25 SDRAMインターフェース・タイミング

Parameter	Min	Max	Unit
Timing Requirements			
t_{SSDAT} DATA Setup Before CLKOUT	2.1		ns
t_{HSDAT} DATA Hold After CLKOUT	0.8		ns
Switching Characteristics			
t_{SCLK} CLKOUT Period	7.5		ns
t_{SCLKH} CLKOUT Width High	2.5		ns
t_{SCLKL} CLKOUT Width Low	2.5		ns
t_{DCAD} Command, ADDR, Data Delay After CLKOUT ¹		6.0	ns
t_{HCAD} Command, ADDR, Data Hold After CLKOUT ¹	0.8		ns
t_{DSDAT} Data Disable After CLKOUT		6.0	ns
t_{ENSDAT} Data Enable After CLKOUT	1.0		ns

¹コマンド・ピンには、 $\overline{SRAS}$ 、 $\overline{SCAS}$ 、 $\overline{SWE}$ 、 $\overline{SDQM}$ 、 $\overline{SMS}$ 、SA10、SCKEが含まれます。



NOTE: COMMAND = $\overline{SRAS}$, $\overline{SCAS}$, $\overline{SWE}$, $\overline{SDQM}$, $\overline{SMS}$, SA10, SCKE.

図15 SDRAMインターフェース・タイミング

外部ポート・バス要求および許可サイクルのタイミング

表26 と表27、および図16 と図17 に、同期および非同期 $\overline{\text{BR}}$ に対する外部ポート・バス要求および許可サイクルの動作を示します。

表26 外部ポート・バス要求および許可サイクルのタイミング、同期 $\overline{\text{BR}}$

Parameter	Min	Max	Unit
Timing Requirements			
t_{BS} $\overline{\text{BR}}$ Setup to Falling Edge of CLKOUT	4.6		ns
t_{BH} Falling Edge of CLKOUT to $\overline{\text{BR}}$ Deasserted Hold Time	1.0		ns
Switching Characteristics			
t_{SD} CLKOUT Low to $\overline{\text{AMSx}}$, Address, and $\overline{\text{ARE}}/\overline{\text{AWE}}$ Disable		4.5	ns
t_{SE} CLKOUT Low to $\overline{\text{AMSx}}$, Address, and $\overline{\text{ARE}}/\overline{\text{AWE}}$ Enable		4.5	ns
t_{DBG} CLKOUT High to $\overline{\text{BG}}$ High Setup		4.0	ns
t_{EBG} CLKOUT High to $\overline{\text{BG}}$ Deasserted Hold Time		4.0	ns
t_{DBH} CLKOUT High to $\overline{\text{BGH}}$ High Setup		3.6	ns
t_{EBH} CLKOUT High to $\overline{\text{BGH}}$ Deasserted Hold Time		3.6	ns

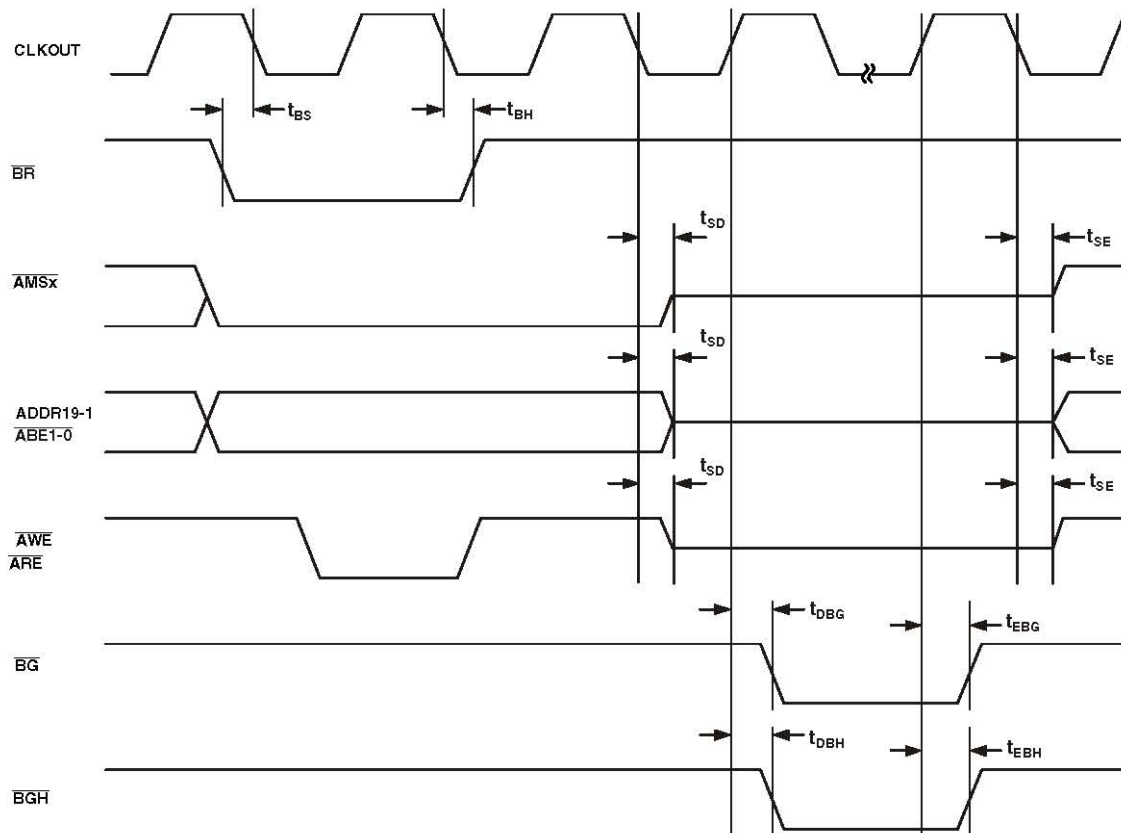
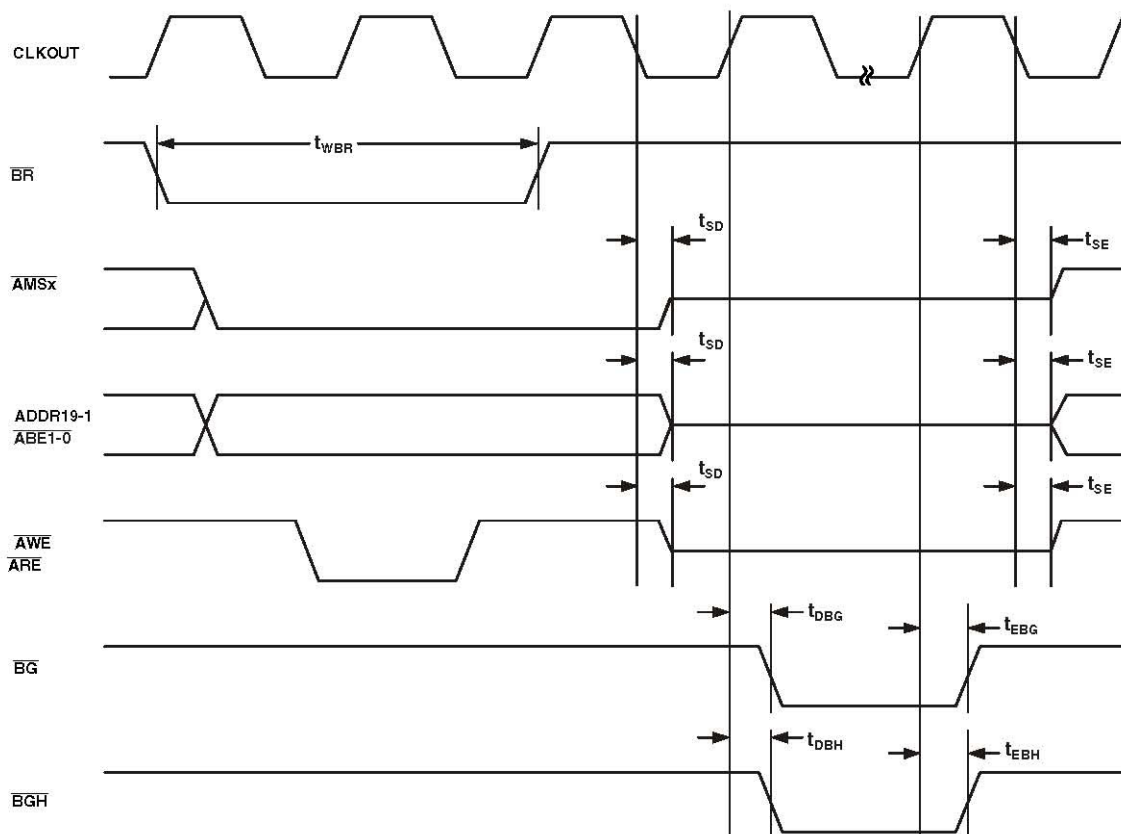


図16 外部ポート・バス要求および許可サイクル・タイミング、同期 $\overline{\text{BR}}$

表27 外部ポート・バス要求および許可サイクルのタイミング、非同期 $\overline{BR}$

Parameter	Min	Max	Unit
Timing Requirement			
t_{WBR} $\overline{BR}$ Pulse Width	$2 \times t_{SCLK}$		ns
Switching Characteristics			
t_{SD} CLKOUT Low to $\overline{AMSx}$, Address, and $\overline{ARE}/\overline{AWE}$ Disable		4.5	ns
t_{SE} CLKOUT Low to $\overline{AMSx}$, Address, and $\overline{ARE}/\overline{AWE}$ Enable		4.5	ns
t_{DBG} CLKOUT High to $\overline{BG}$ High Setup		3.6	ns
t_{EBG} CLKOUT High to $\overline{BG}$ Deasserted Hold Time		3.6	ns
t_{DBH} CLKOUT High to $\overline{BGH}$ High Setup		3.6	ns
t_{EBH} CLKOUT High to $\overline{BGH}$ Deasserted Hold Time		3.6	ns


図17 外部ポート・バス要求および許可サイクルのタイミング、非同期 $\overline{BR}$

パラレル・ペリフェラル・インターフェースのタイミング

表28、図18、図19、図20、図21に、パラレル・ペリフェラル・インターフェース動作を示します。

表28 パラレル・ペリフェラル・インターフェースのタイミング

Parameter		Min	Max	Unit
Timing Requirements				
t_{PCLKW}	PPI_CLK Width	6.0		ns
t_{PCLK}	PPI_CLK Period ¹	15.0		ns
t_{SFSPE}	External Frame Sync Setup Before PPI_CLK	5.0		ns
t_{HRSPE}	External Frame Sync Hold After PPI_CLK	1.0		ns
t_{SDRPE}	Receive Data Setup Before PPI_CLK	2.0		ns
t_{HDRPE}	Receive Data Hold After PPI_CLK	4.0		ns
Switching Characteristics—GP Output and Frame Capture Modes				
t_{DFSPE}	Internal Frame Sync Delay After PPI_CLK		10.0	ns
t_{HOFSE}	Internal Frame Sync Hold After PPI_CLK	0.0		ns
t_{DDTPE}	Transmit Data Delay After PPI_CLK		10.0	ns
t_{HDTPE}	Transmit Data Hold After PPI_CLK	0.0		ns

¹PPI_CLK周波数は $f_{CLK}/2$ を超えることはできません。

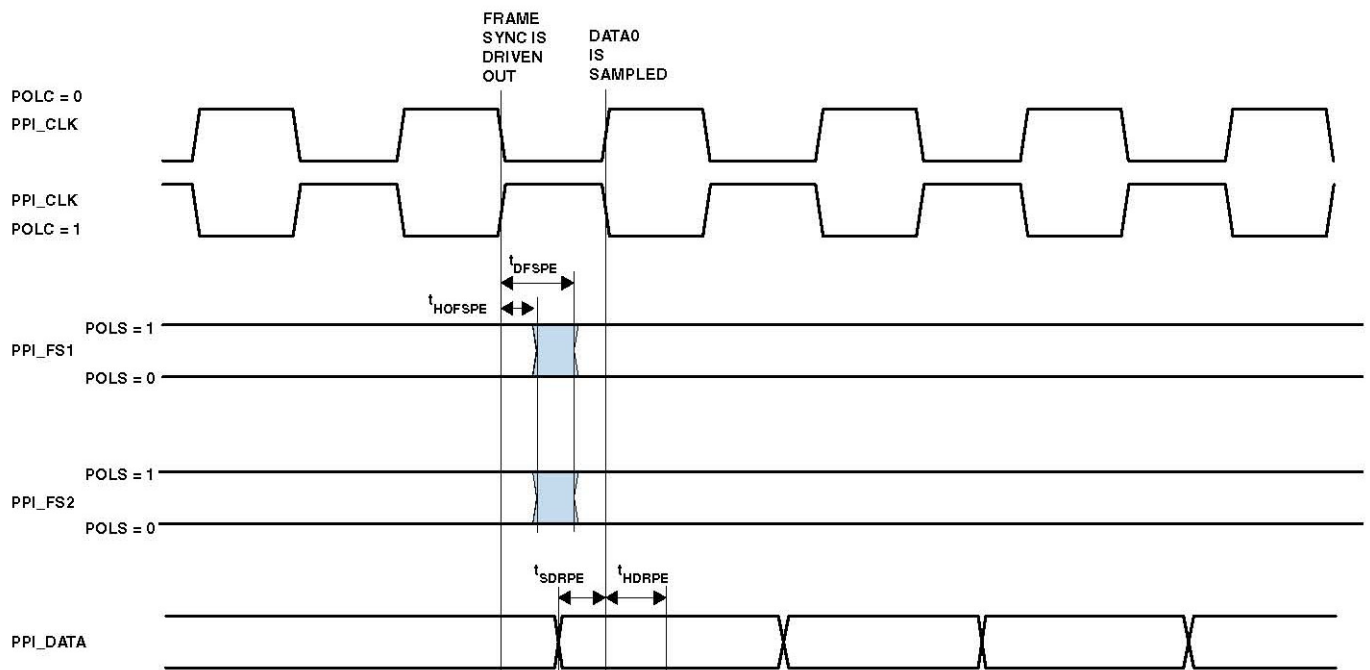


図18 PPI GP Rxモード、内部フレーム同期タイミング

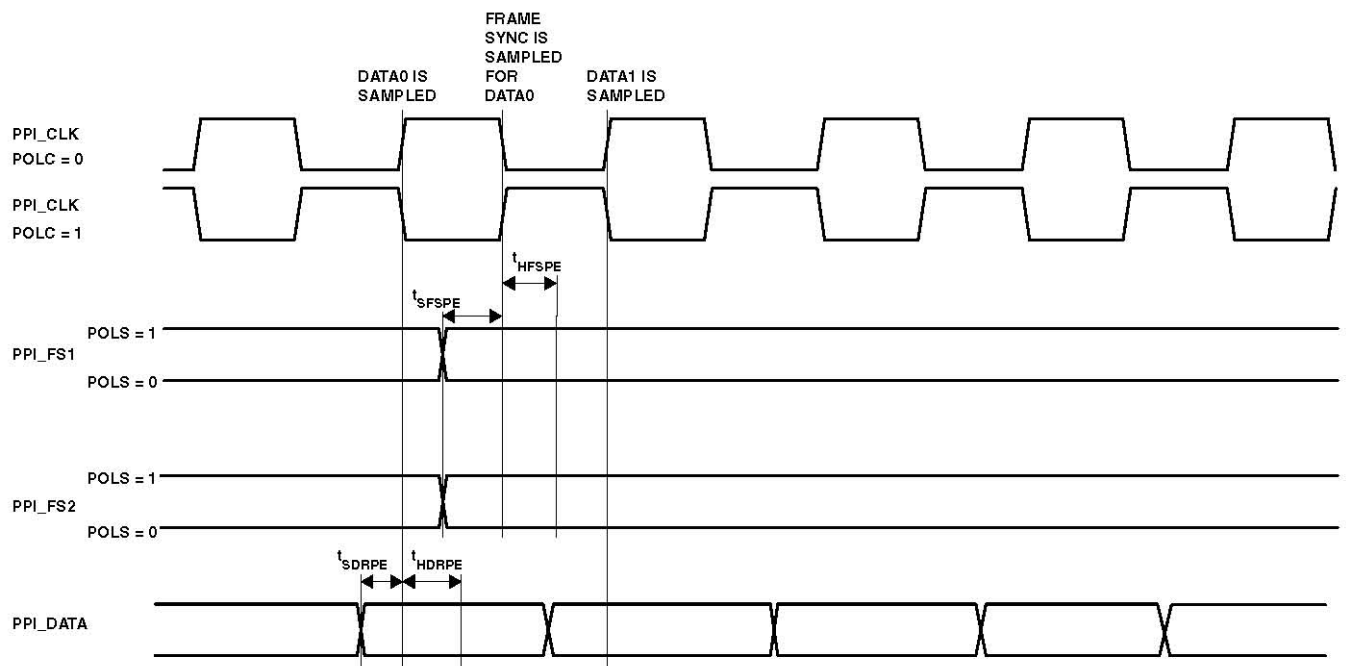


図19 PPI GP Rxモード、外部フレーム同期タイミング

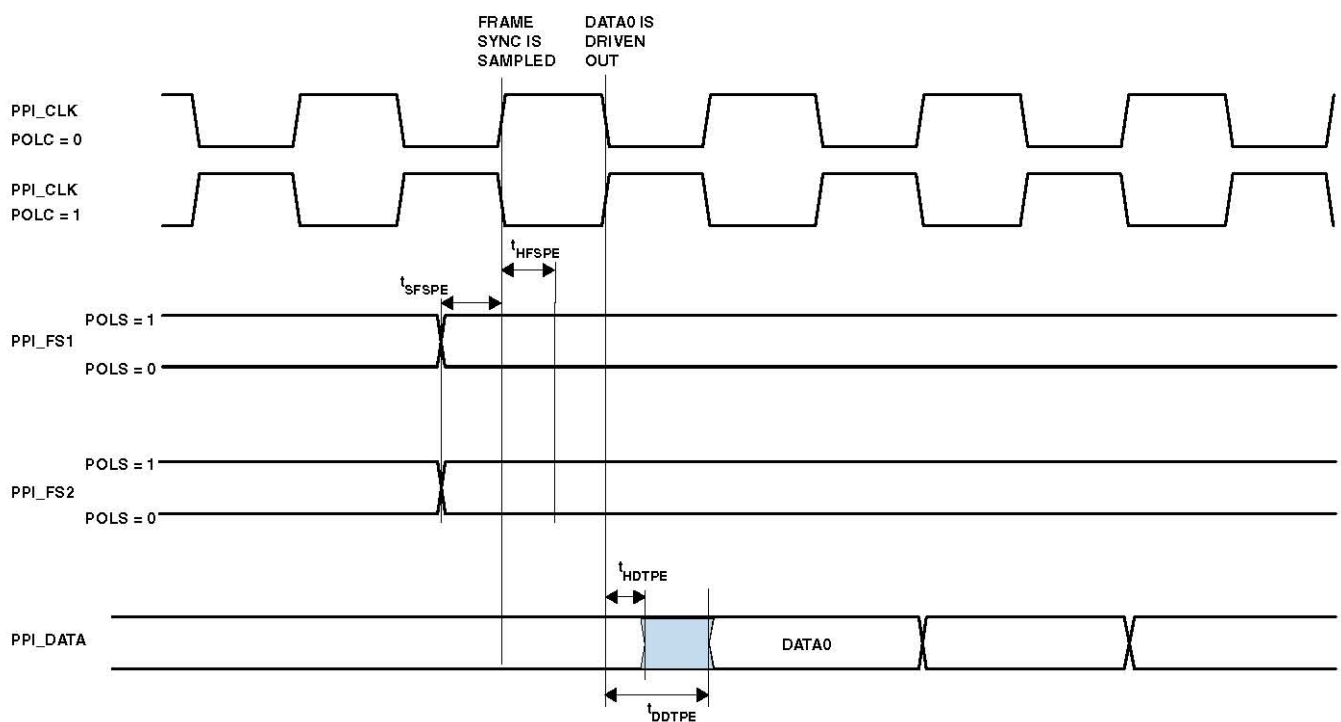


図20 PPI GP Txモード、外部フレーム同期タイミング

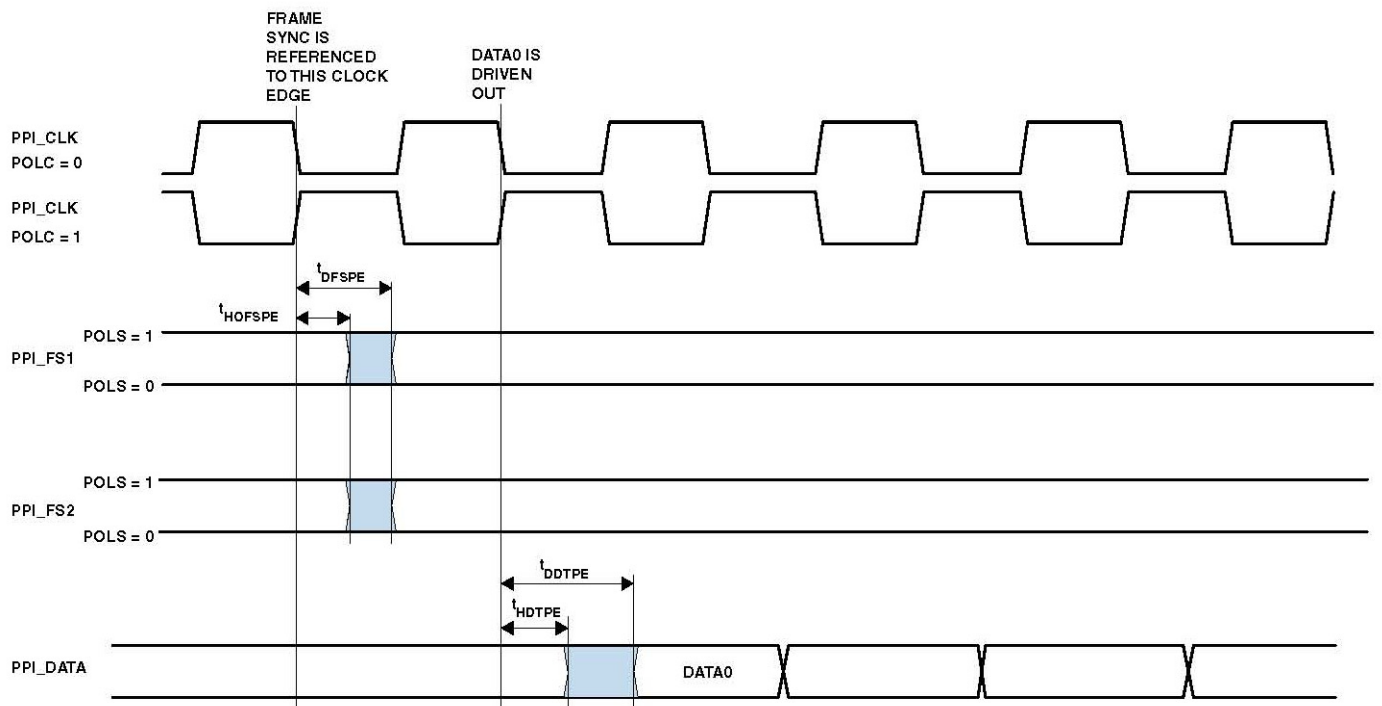


図21 PPI GP Txモード、内部フレーム同期タイミング

シリアル・ポートのタイミング

表29～表32と図22～図23に、シリアル・ポートの動作を示します。

表29 シリアル・ポート- 外部クロック

Parameter		Min	Max	Unit
Timing Requirements				
t_{SFSE}	TFSx/RFSx Setup Before TSCLKx/RSCLKx (Externally Generated TFSx/RFSx) ¹	3.0		ns
t_{HRSE}	TFSx/RFSx Hold After TSCLKx/RSCLKx (Externally Generated TFSx/RFSx) ¹	3.0		ns
t_{SDRE}	Receive Data Setup Before RSCLKx ¹	3.0		ns
t_{HDRE}	Receive Data Hold After RSCLKx ¹	3.0		ns
t_{SCLEW}	TSCLKx/RSCLKx Width	4.5		ns
t_{SCLKE}	TSCLKx/RSCLKx Period	15.0		ns
Switching Characteristics				
t_{DFSE}	TFSx/RFSx Delay After TSCLKx/RSCLKx (Internally Generated TFSx/RFSx) ²		10.0	ns
t_{HOFSE}	TFSx/RFSx Hold After TSCLKx/RSCLKx (Internally Generated TFSx/RFSx) ²	0.0		ns
t_{DDTE}	Transmit Data Delay After TSCLKx ²		10.0	ns
t_{HDTE}	Transmit Data Hold After TSCLKx ²	0.0		ns

¹ サンプル・エッジを基準とします。

² 駆動エッジを基準とします。

表30 シリアル・ポート- 内部クロック

Parameter		Min	Max	Unit
Timing Requirements				
t_{SFSI}	TFSx/RFSx Setup Before TSCLKx/RSCLKx (Externally Generated TFSx/RFSx) ¹	8.0		ns
t_{HFSI}	TFSx/RFSx Hold After TSCLKx/RSCLKx (Externally Generated TFSx/RFSx) ¹	-1.5		ns
t_{SDRI}	Receive Data Setup Before RSCLKx ¹	9.0		ns
t_{HDRI}	Receive Data Hold After RSCLKx ¹	-1.5		ns
Switching Characteristics				
t_{DFSI}	TFSx/RFSx Delay After TSCLKx/RSCLKx (Internally Generated TFSx/RFSx) ²		3.0	ns
t_{HOFSI}	TFSx/RFSx Hold After TSCLKx/RSCLKx (Internally Generated TFSx/RFSx) ²	-1.0		ns
t_{DDTI}	Transmit Data Delay After TSCLKx ²		3.0	ns
t_{HDTI}	Transmit Data Hold After TSCLKx ²	-2.0		ns
t_{SCLKIW}	TSCLKx/RSCLKx Width	4.5		ns

¹ サンプル・エッジを基準とします。

² 駆動エッジを基準とします。

表31 シリアル・ポート- イネーブルとスリーステート

Parameter		Min	Max	Unit
Switching Characteristics				
t_{DTENE}	Data Enable Delay from External TSCLKx ¹	0		ns
t_{DDTTE}	Data Disable Delay from External TSCLKx ¹		10.0	ns
t_{DTENI}	Data Enable Delay from Internal TSCLKx ¹	-2.0		ns
t_{DDTTI}	Data Disable Delay from Internal TSCLKx ¹		3.0	ns

¹ 駆動エッジを基準とします。

表32 外部レイト・フレーム同期

Parameter		Min	Max	Unit
Switching Characteristics				
$t_{DDTLFSE}$	Data Delay from Late External TFSx or External RFSx in multichannel mode, MFD = 0 ^{1, 2}		10.0	ns
$t_{DTENLFS}$	Data Enable from late FS or multichannel mode, MFD = 0 ^{1, 2}	0		ns

¹マルチチャンネル・モードでは、TFSxイネーブルとTFSxの有効は $t_{DTENLFS}$ と $t_{DDTLFSE}$ に従います。

²RSCLKx/TSCLKxへの外部RFSx/TFSxセットアップ> $t_{SCLKE}/2$ の場合、 $t_{DDTE}/1$ と $t_{DTENE}/1$ を適用。その他の場合は $t_{DDTLFSE}$ と $t_{DTENLFS}$ を適用。

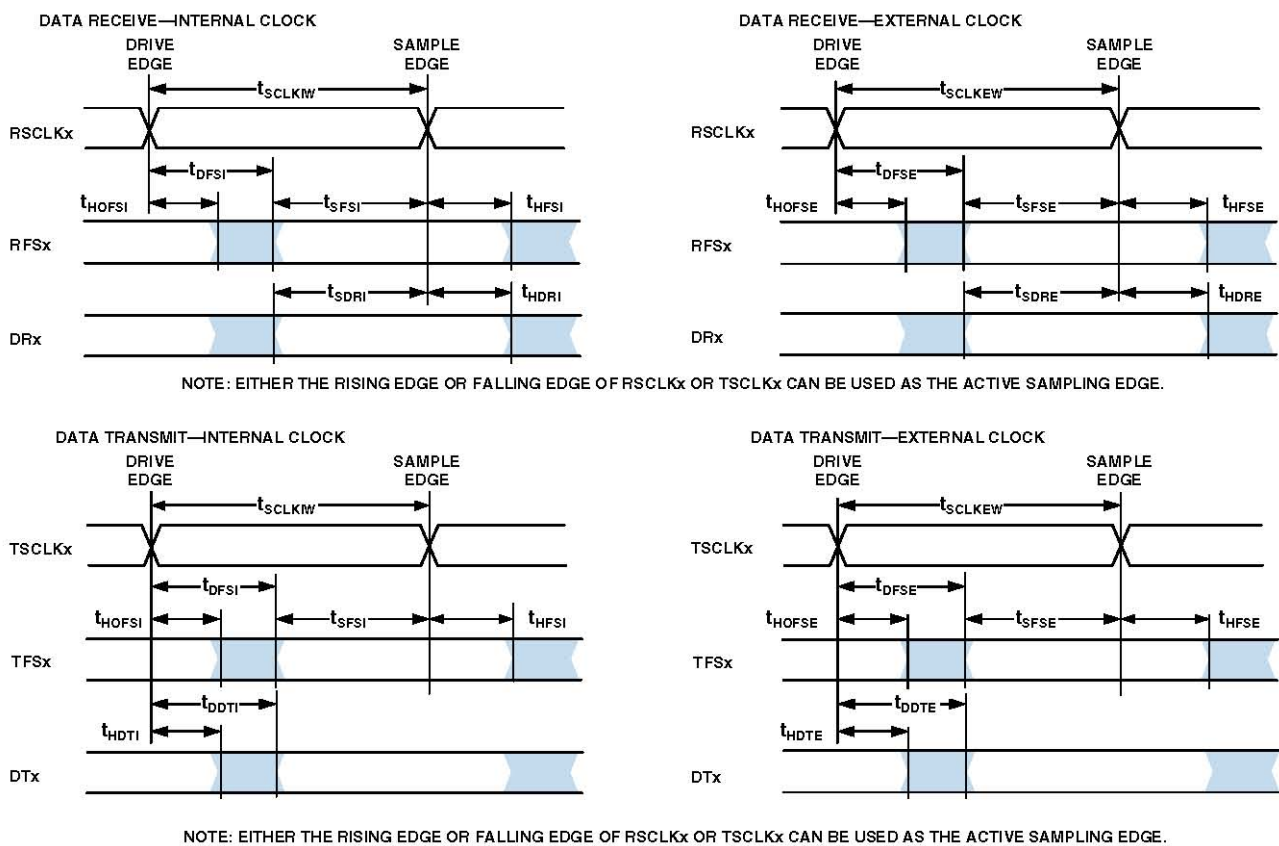
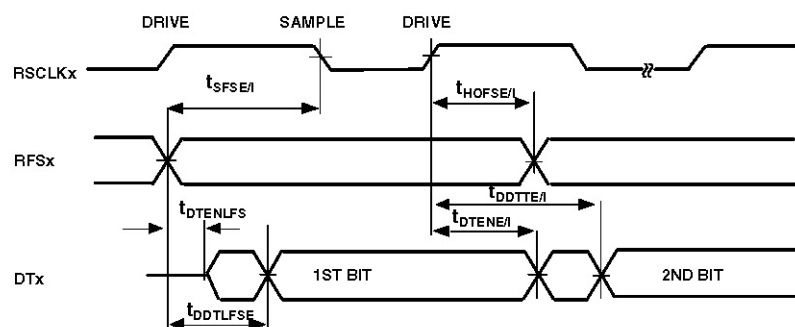


図22 シリアル・ポート

EXTERNAL RFSx IN MULTICHANNEL MODE WITH MFD = 0



LATE EXTERNAL TFSx

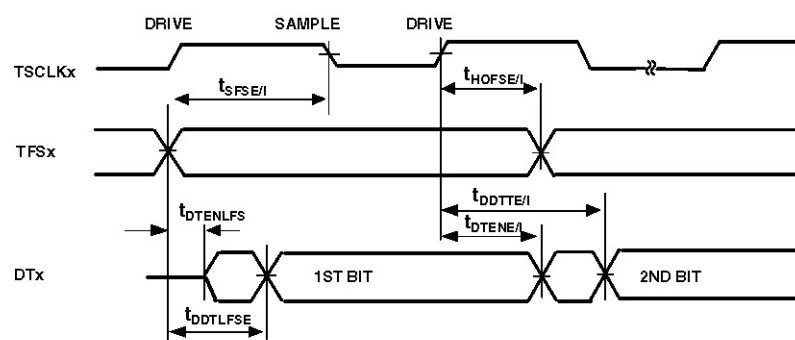


図23 外部レイト・フレーム同期

シリアル・ペリフェラル・インターフェース・ポートマスター・タイミング

表33 と図24に、SPIポートのマスター動作を示します。

表33 シリアル・ペリフェラル・インターフェース(SPI)ポートマスター・タイミング

Parameter	Min	Max	Unit
Timing Requirements			
t_{SSPIDM} Data Input Valid to SCKx Edge (Data Input Setup)	9.0		ns
t_{HSPIDM} SCKx Sampling Edge to Data Input Invalid	-1.5		ns
Switching Characteristics			
t_{SDSCSCIM} $\overline{\text{SPiXSELY}}$ Low to First SCK Edge	$2t_{\text{SCLK}}$		ns
t_{SPICHM} Serial Clock High Period	$2t_{\text{SCLK}} - 1.5$		ns
t_{SPICLM} Serial Clock Low Period	$2t_{\text{SCLK}} - 1.5$		ns
t_{SPICLK} Serial Clock Period	$4t_{\text{SCLK}}$		ns
t_{HDSM} Last SCKx Edge to $\overline{\text{SPiXSELY}}$ High	$2t_{\text{SCLK}}$		ns
t_{SPITDM} Sequential Transfer Delay	$2t_{\text{SCLK}}$		ns
t_{DDSPIDM} SCKx Edge to Data Out Valid (Data Out Delay)		5	ns
t_{HDSPIDM} SCKx Edge to Data Out Invalid (Data Out Hold)	-1.0		ns

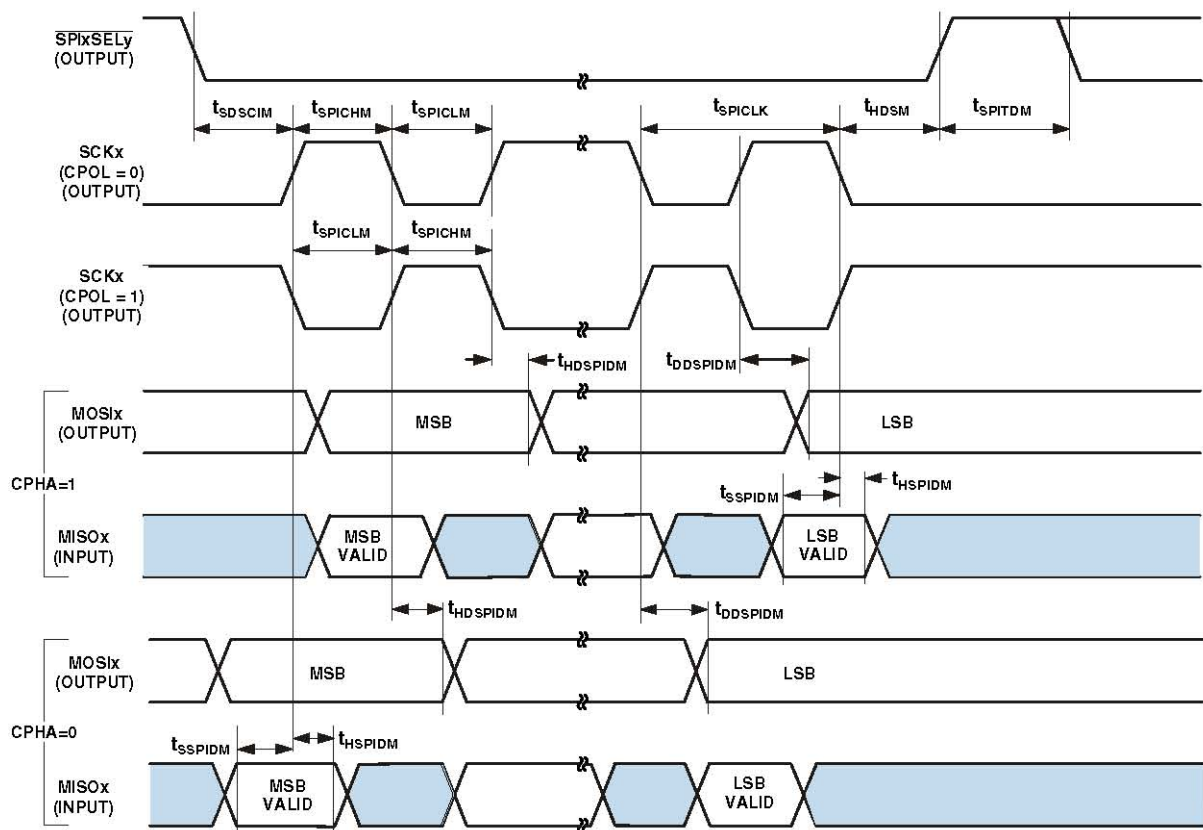


図24 シリアル Peripheral Interface (SPI) Ports- マスタ・タイミング

シリアル・ペリフェラル・インターフェース・ポートスレーブ・タイミング

表34 と図25に、SPIポートのスレーブ動作を示します。

表34 シリアル・ペリフェラル・インターフェース(SPI)ポート スレーブ・タイミング

Parameter		Min	Max	Unit
Timing Requirements				
t_{SPICHS}	Serial Clock High Period	$2t_{SCLK} - 1.5$		ns
t_{SPICLS}	Serial Clock Low Period	$2t_{SCLK} - 1.5$		ns
t_{SPICLK}	Serial Clock Period	$4t_{SCLK}$		ns
t_{HDS}	Last SCKx Edge to $\overline{SPlxSS}$ Not Asserted	$2t_{SCLK}$		ns
t_{SPITDS}	Sequential Transfer Delay	$2t_{SCLK}$		ns
t_{SDSCI}	$\overline{SPlxSS}$ Assertion to First SCKx Edge	$2t_{SCLK}$		ns
t_{SSPID}	Data Input Valid to SCKx Edge (Data Input Setup)	2.0		ns
t_{HSPID}	SCKx Sampling Edge to Data Input Invalid	2.0		ns
Switching Characteristics				
t_{DSOE}	$\overline{SPlxSS}$ Assertion to Data Out Active	0	8	ns
t_{DSDHI}	$\overline{SPlxSS}$ Deassertion to Data High impedance	0	8	ns
t_{DDSPID}	SCKx Edge to Data Out Valid (Data Out Delay)		10	ns
t_{HDSPID}	SCKx Edge to Data Out Invalid (Data Out Hold)	0		ns

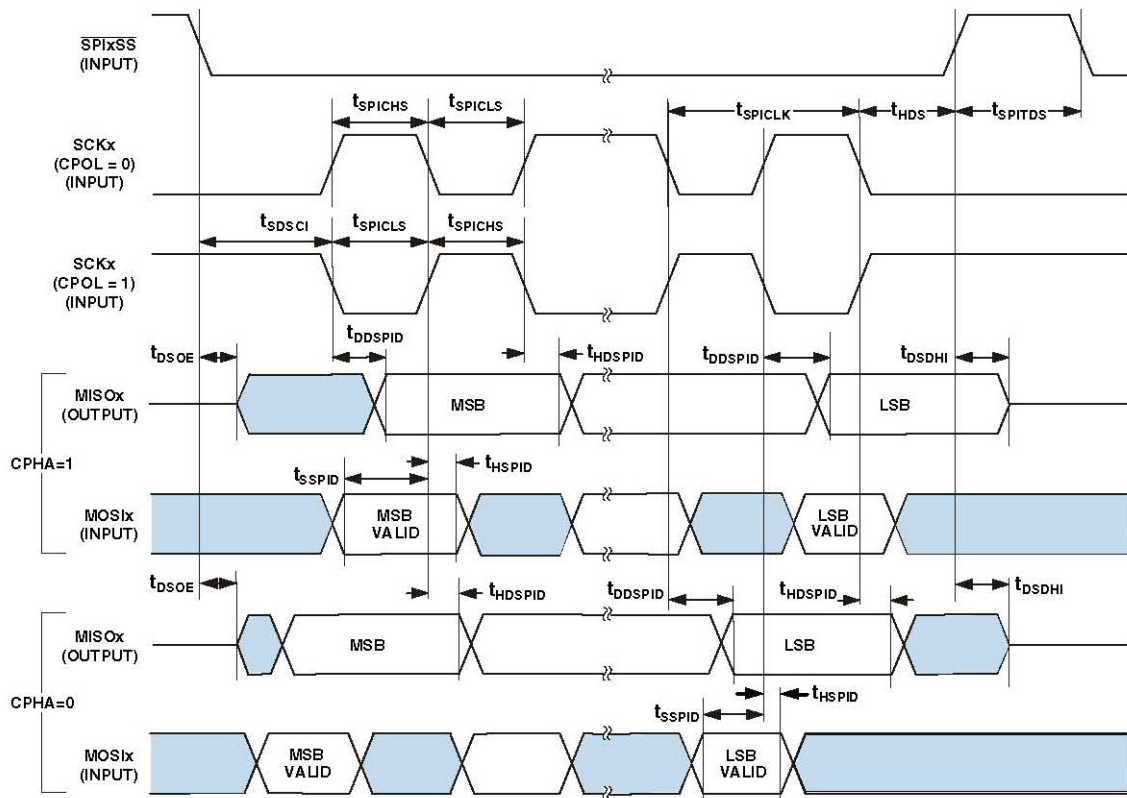


図25 シリアル・ペリフェラル・インターフェース(SPI)ポート スレーブ・タイミング

汎用ポートのタイミング

表35 と 図26に、汎用ポートの動作を示します。

表35 汎用ポートのタイミング

Parameter	Min	Max	Unit
Timing Requirement			
t_{WFI} GP Port Pin Input Pulse Width	$t_{SCLK} + 1$		ns
Switching Characteristic			
t_{GPOD} GP Port Pin Output Delay From CLKOUT Low	0	6	ns

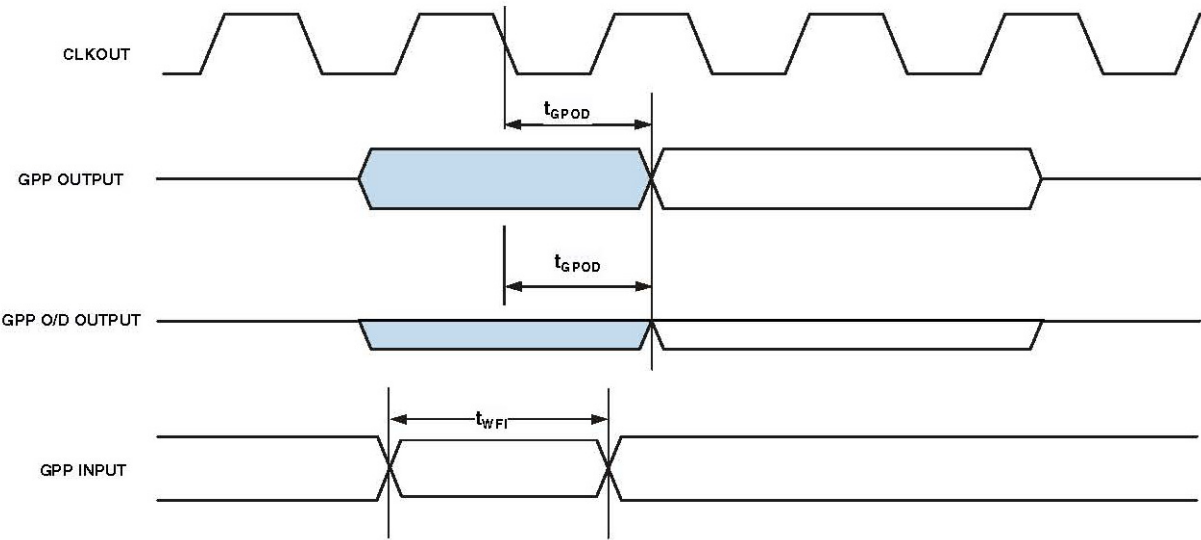


図26 汎用ポートのサイクル・タイミング

タイマ・サイクルのタイミング

表36 と図27に、タイマのタイムアウト動作を示します。入力信号は、幅キャプチャ・モードと外部クロック・モードでは非同期であるため、絶対最大入力周波数($f_{\text{SCLK}}/2$ MHz)が存在します。

表36 タイマ・サイクルのタイミング

Parameter	Min	Max	Unit
Timing Characteristics			
t_{WL} Timer Pulse Width Input Low ¹ (Measured in SCLK Cycles)	1		SCLK
t_{WH} Timer Pulse Width Input High ¹ (Measured in SCLK Cycles)	1		SCLK
Switching Characteristic			
t_{HTO} Timer Pulse Width Output (Measured in SCLK Cycles)	1	$(2^{32} - 1)$	SCLK

¹最小パルス幅は、幅キャプチャ・モードと外部クロック・モードでTMRx入力ピンに適用。PWM出力モードでは、PF1またはPPI_CLK入力ピンにも適用。

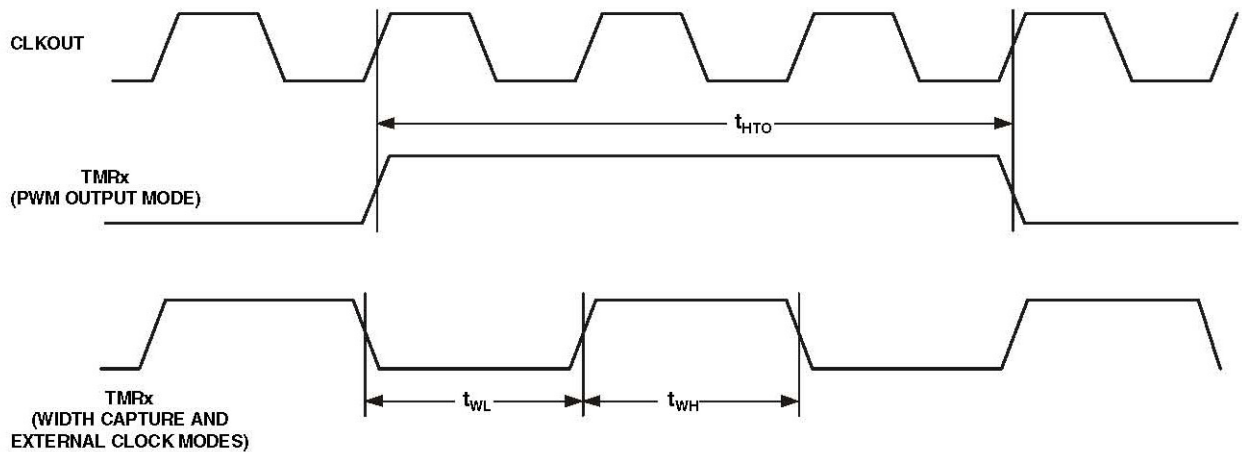


図27 タイマPWM_OUTサイクルのタイミング

JTAGテストおよびエミュレーション・ポートのタイミング

表37 と図28に、JTAG ポートの動作を示します。

表37 JTAGポートのタイミング

Parameter	Min	Max	Unit
Timing Requirements			
t_{TCK} TCK Period	20		ns
t_{STAP} TDI, TMS Setup Before TCK High	4		ns
t_{HTAP} TDI, TMS Hold After TCK High	4		ns
t_{SSYS} System Inputs Setup Before TCK High ¹	4		ns
t_{HSYS} System Inputs Hold After TCK High ¹	5		ns
t_{TRSTW} $\overline{TRST}$ Pulse Width ² (Measured in TCK Cycles)	4		TCK
Switching Characteristics			
$t_{D\bar{T}DO}$ TDO Delay from TCK Low		10	ns
t_{DSYS} System Outputs Delay After TCK Low ^{3, 4}	0	12	ns

¹システム入力 = $\overline{ARDY}$, $\overline{BMODE1\sim0}$, $\overline{BR}$, $\overline{DATA15\sim0}$, $\overline{DR0PRI}$, $\overline{DR0SEC}$, $\overline{NMI}$, $\overline{PF15\sim0}$, $\overline{PPI_CLK}$, $\overline{PPI3\sim0}$, $\overline{SCL1\sim0}$, $\overline{SDA1\sim0}$, $\overline{SCK2\sim0}$, $\overline{MISO2\sim0}$, $\overline{MOSI2\sim0}$, $\overline{SPI1SS}$, $\overline{SPI1SEL1}$, $\overline{SPI2SS}$, $\overline{SPI2SEL1}$, $\overline{RX2\sim0}$, $\overline{TX2\sim1}$, $\overline{DT2PRI}$, $\overline{DT2SEC}$, $\overline{DR2PRI}$, $\overline{DR2SEC}$, $\overline{DT3PRI}$, $\overline{DT3SEC}$, $\overline{TSCLK3\sim0}$, $\overline{DR3PRI}$, $\overline{DR3SEC}$, $\overline{RSCLK3\sim0}$, $\overline{RFS3\sim0}$, $\overline{TFS3\sim0}$, $\overline{CANTX}$, $\overline{CANRX}$, $\overline{RESET}$, $\overline{PC9\sim4}$, $\overline{GPW}$, $\overline{TMR2\sim0}$.

²50 MHz最大

³システム出力 = $\overline{AMS}$, $\overline{AOE}$, $\overline{ARE}$, $\overline{AWE}$, $\overline{ABE}$, $\overline{BG}$, $\overline{DATA15\sim0}$, $\overline{PF15\sim0}$, $\overline{PC9\sim5}$, $\overline{PPI3\sim0}$, $\overline{SPI1SS}$, $\overline{SPI1SEL1}$, $\overline{SCK2\sim0}$, $\overline{MISO2\sim0}$, $\overline{MOSI2\sim0}$, $\overline{SPI2SS}$, $\overline{SPI2SEL1}$, $\overline{RX2\sim1}$, $\overline{TX2\sim0}$, $\overline{DT2PRI}$, $\overline{DT2SEC}$, $\overline{DR2PRI}$, $\overline{DR2SEC}$, $\overline{DT3PRI}$, $\overline{DT3SEC}$, $\overline{DR3PRI}$, $\overline{DR3SEC}$, $\overline{RSCLK3\sim0}$, $\overline{RFS3\sim0}$, $\overline{TSCLK3\sim0}$, $\overline{TFS3\sim0}$, $\overline{CANTX}$, $\overline{CLKOUT}$, $\overline{SA10}$, $\overline{SCAS}$, $\overline{SCKE}$, $\overline{SMS}$, $\overline{SRAS}$, $\overline{SWE}$, $\overline{TMR2\sim0}$.

⁴システム・オープン・ドレイン出力: $\overline{CANRX}$ (PC1として設定された場合)とPC4。

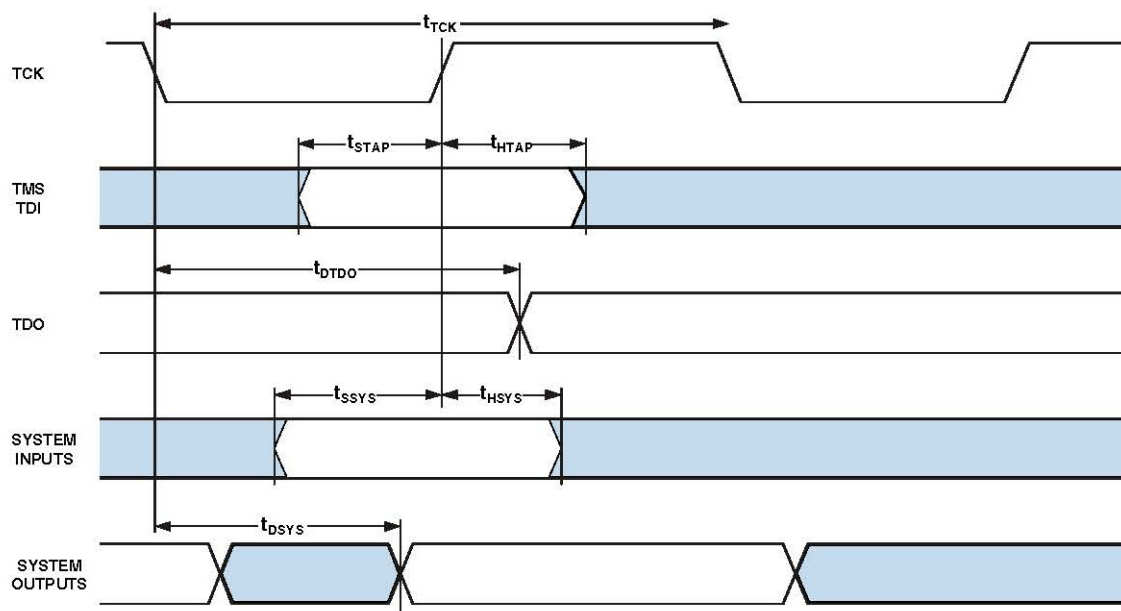


図28 JTAGポートのタイミング

出力駆動電流

図29～図36に、ADSP-BF538/ADSP-BF538Fプロセッサの出力ドライバの電流電圧特性 (typ) を示します。このカーブは、出力ドライバの電流駆動能力を出力電圧の関数として表しています。

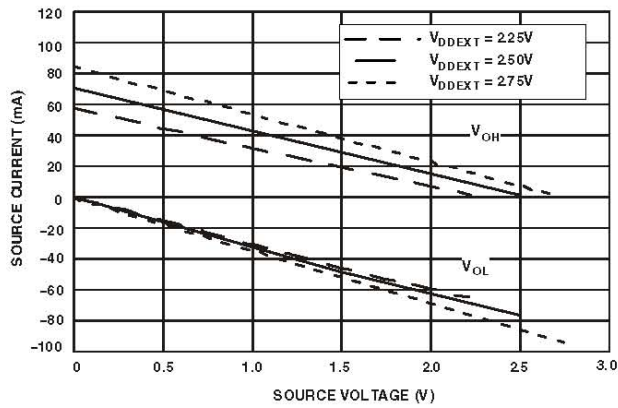


図29 駆動電流 A (低 V_{DDEXT})

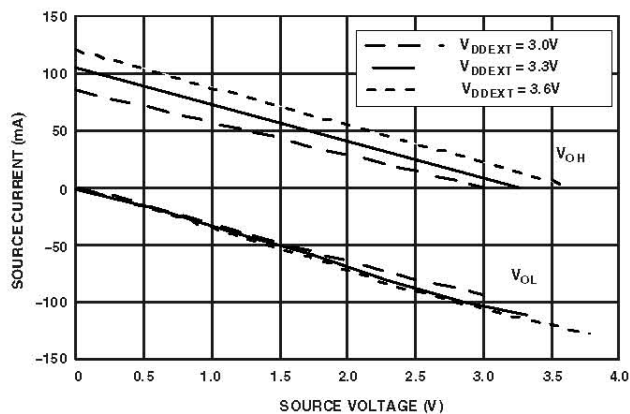


図30 駆動電流A (高 V_{DDEXT})

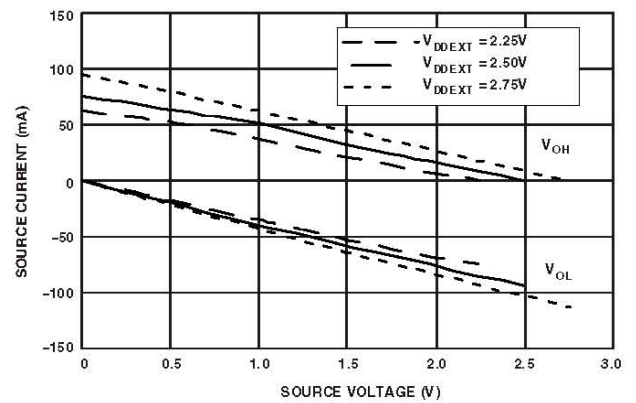


図31 駆動電流B (低 V_{DDEXT})

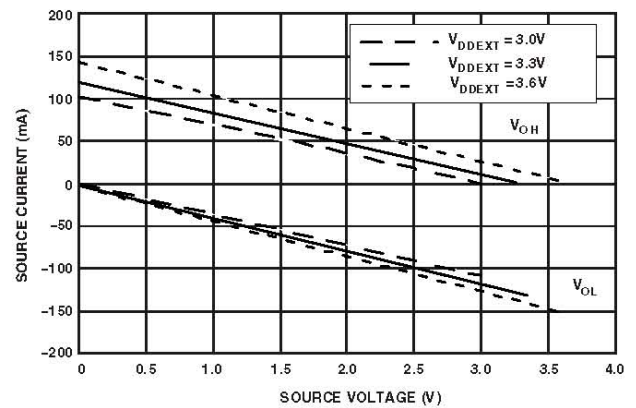


図32 駆動電流B (高 V_{DDEXT})

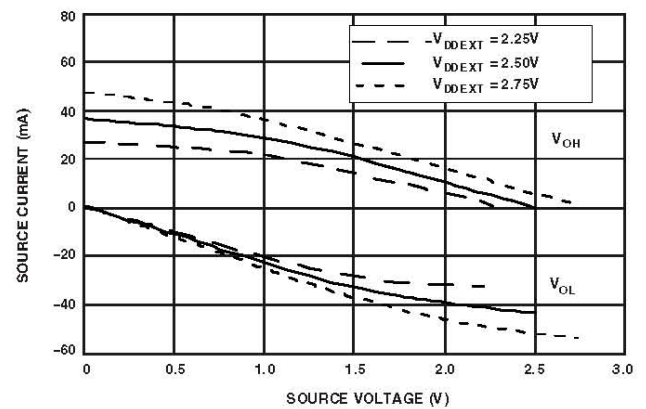


図33 駆動電流C (低 V_{DDEXT})

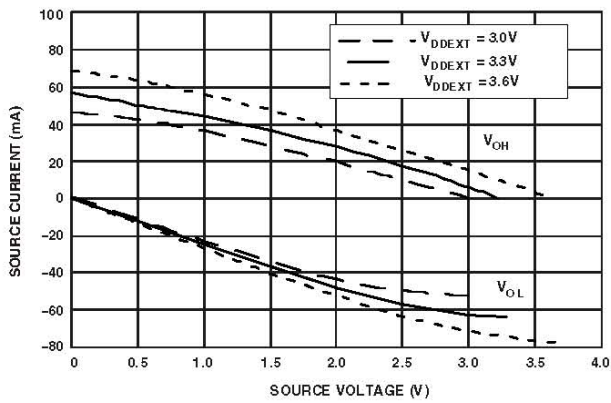


図34 駆動電流C (高 V_{DDEXT})

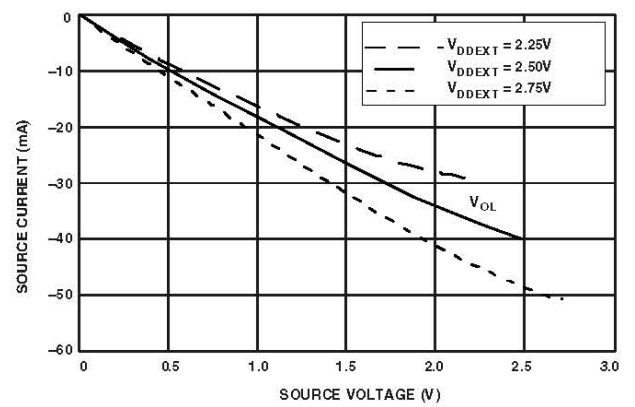


図37 駆動電流E (低 V_{DDEXT})

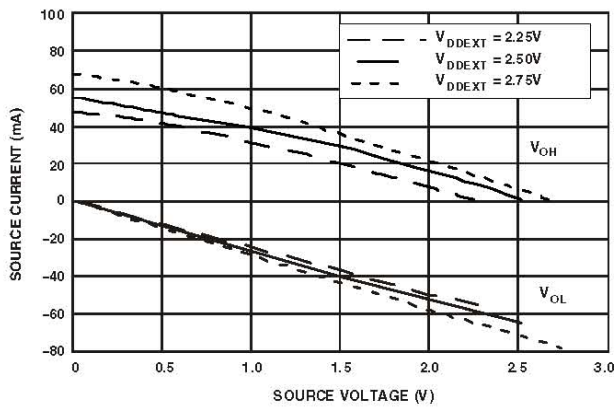


図35 駆動電流D (低 V_{DDEXT})

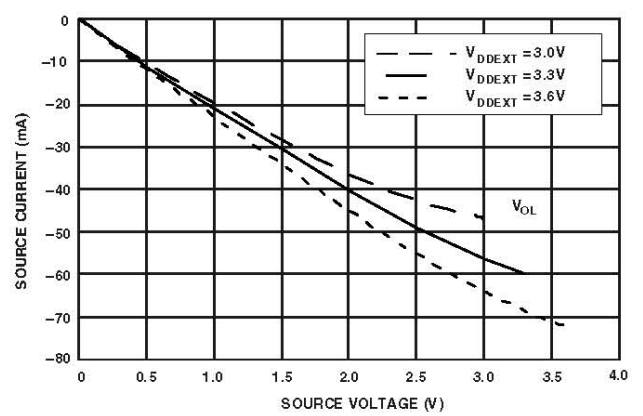


図38 駆動電流E (高 V_{DDEXT})

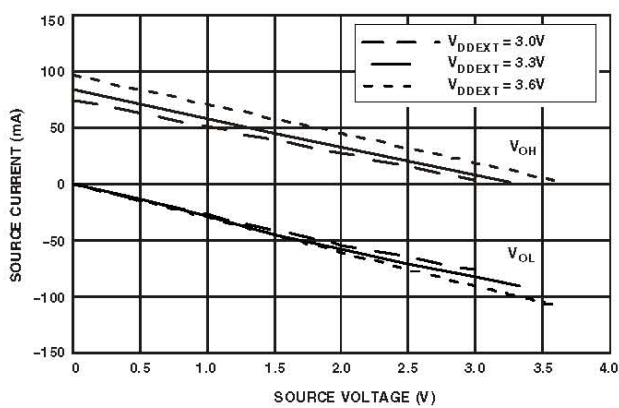


図36 駆動電流D (高 V_{DDEXT})

テスト条件

このデータシートに記載するすべてのタイミング・パラメータは、このセクションに記載する条件で測定しています。
図39に、AC測定の測定ポイントを示します(ただし出カインェーブル/ディスエーブルを除きます)。 V_{DDEXT} (公称) = 3.0 V/3.3 Vでは測定ポイント $V_{MEAS} = 1.5$ V。

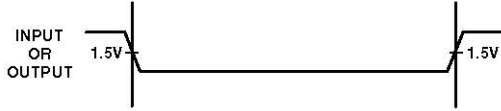


図39 AC測定のリファレンス電圧レベル
(出カインェーブル/ディスエーブル以外)

出カインェーブル時間の測定

高インピーダンス状態から駆動を開始する時点までに変化したとき、出力ピンがインェーブルされたと見なします。

出カインェーブル時間 t_{ENA} は、リファレンス信号がハイ・レベルまたはロー・レベルに到達した時点から出力が駆動を開始する時点までの間隔です(図40の右側参照)。

時間 $t_{ENA_MEASURED}$ は、リファレンス信号がスイッチした時点から出力電圧が V_{TRIP} (high) または V_{TRIP} (low) に到達する時点までの間隔です。 V_{DDEXT} (nominal) = 3.0 V/3.3 Vの場合、 V_{TRIP} (high) = 2.0 Vで、 V_{TRIP} (low) = 1.0 V。時間 t_{TRIP} は、出力が駆動を開始する時点から出力が V_{TRIP} (high) または V_{TRIP} (low) のトリップ電圧に到達する時点までの間隔です。

時間 t_{ENA} は次式で計算されます。

$$t_{ENA} = t_{ENA_MEASURED} - t_{TRIP}$$

複数のピンをインェーブルする場合は(たとえばデータ・バス)、測定値は駆動を開始する最初のピンの測定値になります。

出力ディスエーブル時間の測定

駆動を停止して高インピーダンス状態になり、出力ハイ・レベルまたはロー・レベルから減衰し始めたとき、出力ピンはディスエーブルされたと見なします。出力ディスエーブル時間 t_{DIS} は、 $t_{DIS_MEASURED}$ と t_{DECAY} との差です(図40の左側参照)。

$$t_{DIS} = t_{DIS_MEASURED} - t_{DECAY}$$

バス上の電圧が ΔV だけ減衰する時間は、容量負荷 C_L と負荷電流 I_L に依存します。この減衰時間は次式で近似できます。

$$t_{DECAY} = (C_L \Delta V) / I_L$$

時間 t_{DECAY} は、テスト負荷を C_L および I_L とし、 V_{DDEXT} (nominal) = 3.0 V/3.3 Vに対して $\Delta V = 0.5$ Vとして計算されます。

時間 $t_{DIS_MEASURED}$ は、リファレンス信号がスイッチした時点から測定された出力ハイ・レベルまたはロー・レベルから出力電圧が ΔV だけ減衰する時点までの間隔です。

システム・ホールド時間計算の例

特定のシステムでデータ出力ホールド・タイムを求めるときは、まず上の式を使って t_{DECAY} を計算します。
ADSP-BF538/ADSP-BF538Fプロセッサの出力電圧と、ホールド・タイムを必要とするデバイスの入力スレッシュホールドとの差となるように ΔV を選択します。 C_L は合計バス容量(データ・ラインあたり)で、 I_L は合計リーク電流またはスリーステート電流(データ・ラインあたり)です。ホールド・タイムは、 t_{DECAY} とタイミング仕様に規定する種々の出力ディスエーブル時間の和です(たとえば、表26に示すSDRAM書き込みサイクルの t_{DSDAT})。

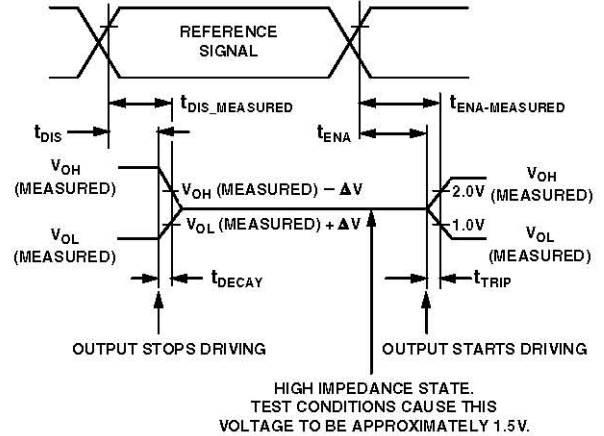


図40 出カインェーブル/ディスエーブル

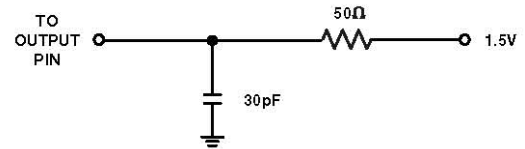


図41 AC測定の等価デバイス負荷
(すべての治具を含む)

容量負荷

出力の遅延とホールドでは、すべてのピンに標準容量負荷 30 pF を接続しています (図41 参照)。 $V_{DDEXT}(\text{nominal}) = 3.0 \text{ V}$ / 3.3 V では $V_{LOAD} = 1.5 \text{ V}$ です。図42～図51に、出力の立ち上がり時間および立ち下がり時間と容量の関係を示します。遅延仕様とホールド仕様は、これらの図から求めたファクタでデレーティングさせる必要があります。これらの図のグラフは、表示範囲の外側では直線的でないことがあります。

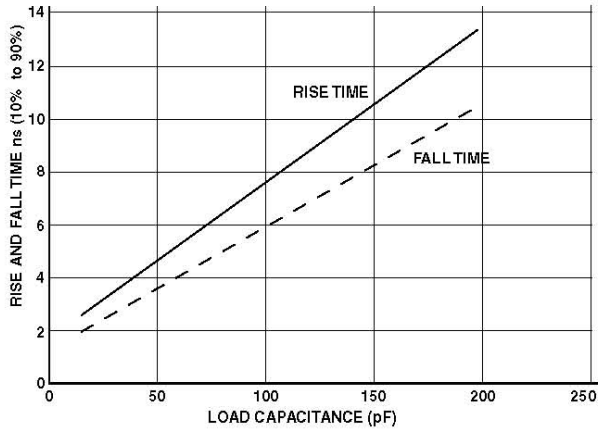


図42 出力の立ち上がりおよび立ち下がり時間 (10%から90%) 対ドライバ A の負荷容量、 $V_{DDEXT} = 2.7 \text{ V}(\text{Min})$

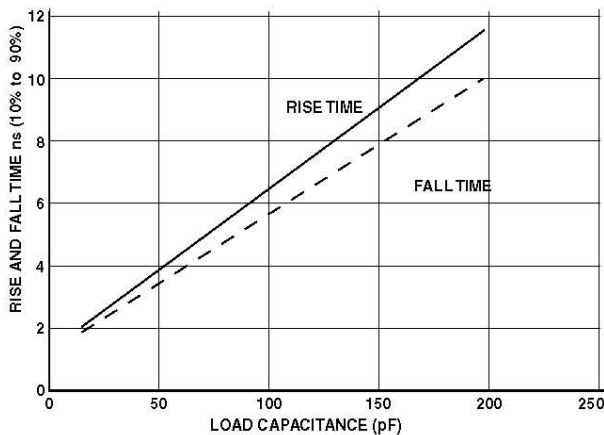


図43 出力の立ち上がりおよび立ち下がり時間 (10%から90%) 対ドライバ A の負荷容量、 $V_{DDEXT} = 3.6 \text{ V}(\text{Max})$

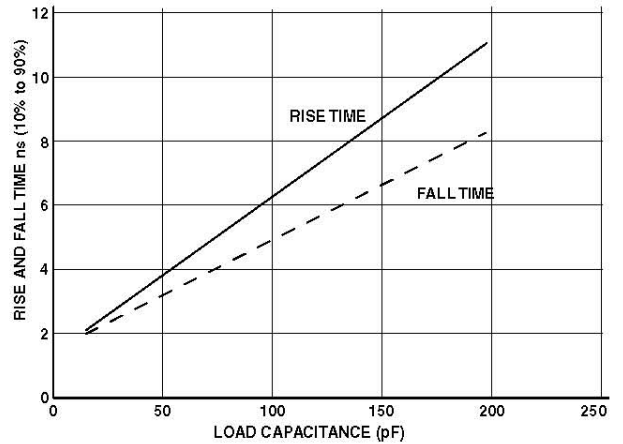


図44 出力の立ち上がりおよび立ち下がり時間 (10%から90%) 対ドライバ B の負荷容量、 $V_{DDEXT} = 2.7 \text{ V}(\text{Min})$

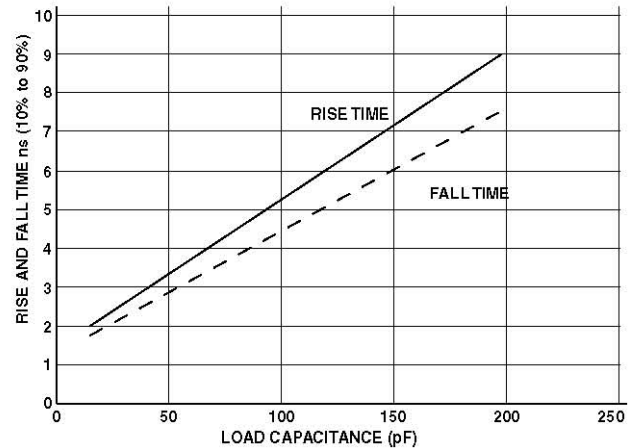


図45 出力の立ち上がりおよび立ち下がり時間 (10%から90%) 対ドライバ B の負荷容量、 $V_{DDEXT} = 3.6 \text{ V}(\text{Max})$

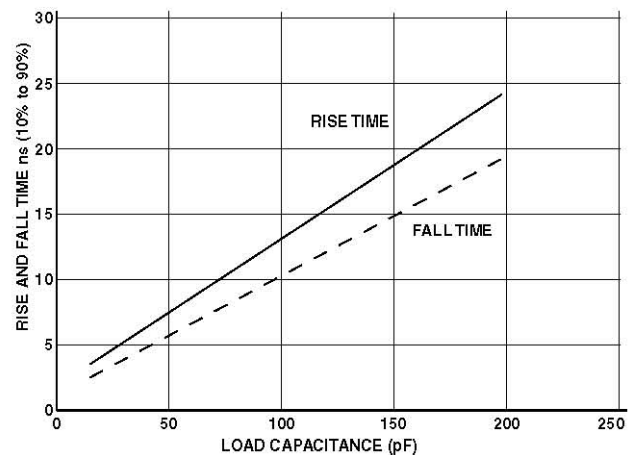


図46 出力の立ち上がりおよび立ち下がり時間 (10%から90%) 対ドライバ C の負荷容量、 $V_{DDEXT} = 2.7 \text{ V}(\text{Min})$

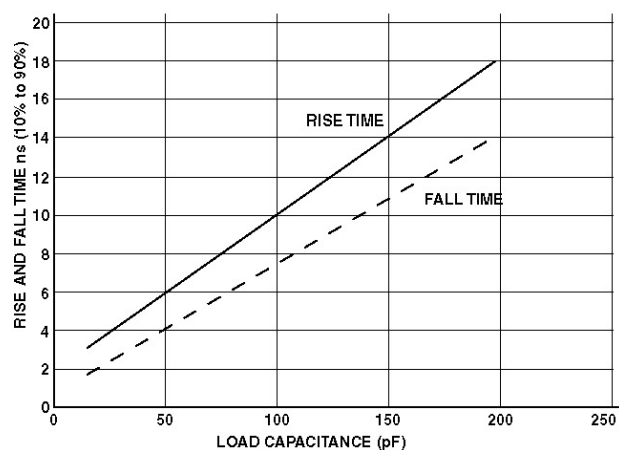


図47 出力の立ち上がりおよび立ち下がり時間
(10%から90%)対ドライバ Cの負荷容量、
 $V_{DDEXT} = 3.6 \text{ V(Max)}$

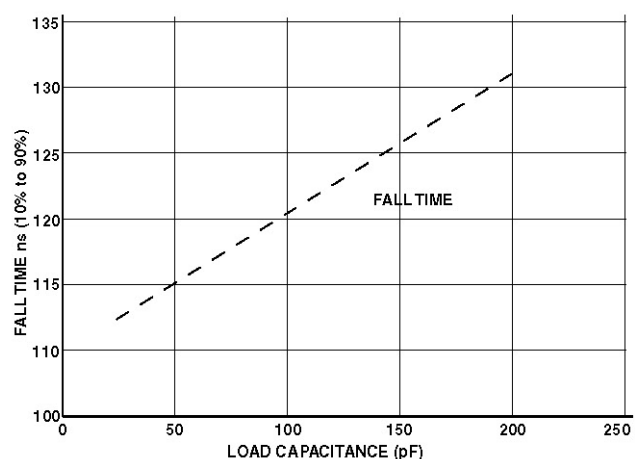


図50 出力の立ち下がり時間
(10%から90%)対ドライバ Eの負荷容量、
 $V_{DDEXT} = 2.7 \text{ V(Min)}$

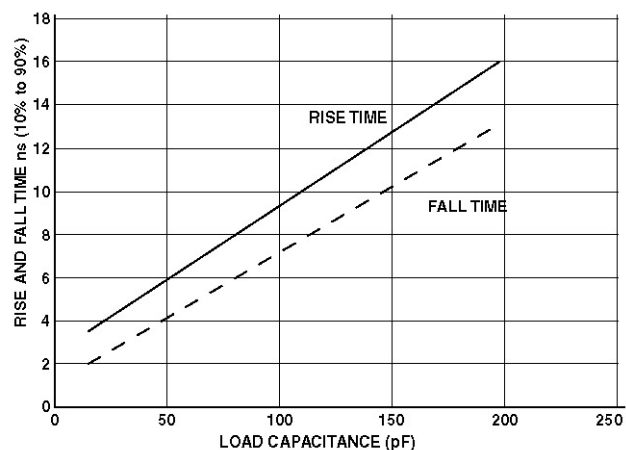


図48 出力の立ち上がりおよび立ち下がり時間
(10%から90%)対ドライバ Dの負荷容量、
 $V_{DDEXT} = 2.7 \text{ V(Min)}$

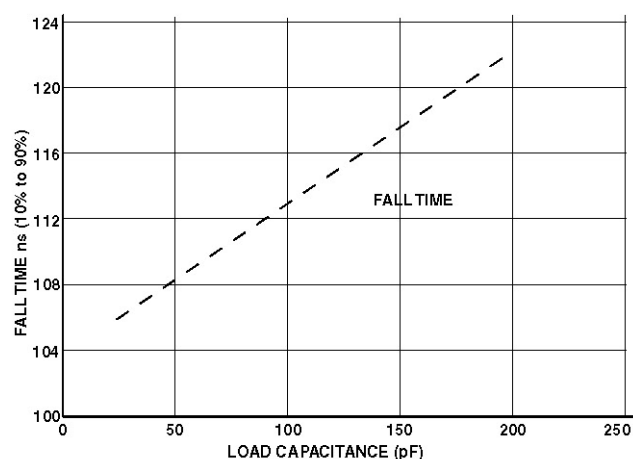


図51 出力の立ち下がり時間
(10%から90%)対ドライバ Eの負荷容量、
 $V_{DDEXT} = 3.6 \text{ V(Max)}$

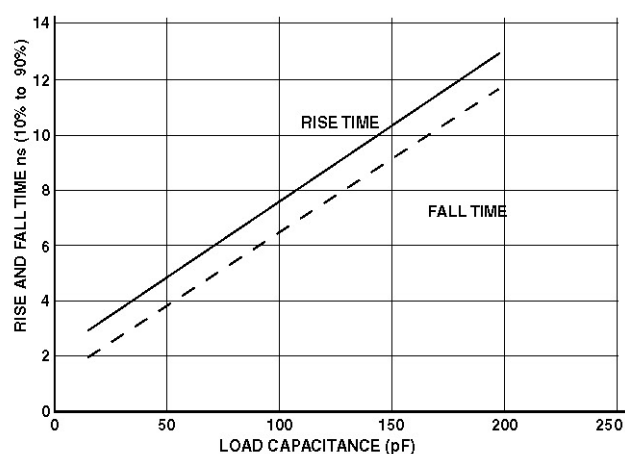


図49 出力の立ち上がりおよび立ち下がり時間
(10%から90%)対ドライバ Dの負荷容量、
 $V_{DDEXT} = 3.6 \text{ V(Max)}$

熱特性

アプリケーションPCB上でのジャンクション温度を求めるときは次式を使います。

$$T_J = T_{CASE} + (\Psi_{JT} \times P_D)$$

ここで、

T_J = ジャンクション温度 (°C)。

T_{CASE} = パッケージ上面中央で測定したケース温度 (°C)。

Ψ_{JT} = 表38または表39の値。

P_D = 消費電力 (P_D の計算方法については電氣的特性の説明を参照してください)。

θ_{JA} の値はパッケージの比較とPCBデザイン考慮のために提供しています。 θ_{JA} は次式の T_J による一次近似に使うことができます。

$$T_J = T_A + (\theta_{JA} \times P_D)$$

ここで、

T_A = 周囲温度 (°C)。

θ_{JC} の値は、外付けヒート・シンクが必要なときに、パッケージ比較とPCBデザイン考慮のために提供。

θ_{JB} の値は、パッケージ比較とPCBデザイン考慮のために提供。

表38 と表39で、空気流の測定はJEDEC規格JESD51-2とJESD51-6に準拠し、ジャンクション-ボード間測定はJESD51-8に準拠します。ジャンクション-ケース測定はMIL-STD-883 (Method 1012. 1) に準拠します。すべての測定で、2S2P JEDECテスト・ボードを使用しています。

表38 熱特性 BC316 、フラッシュなし

Parameter	Condition	Typical	Unit
θ_{JA}	0 linear m/s air flow	21.6	°C/W
θ_{JMA}	1 linear m/s air flow	18.8	°C/W
θ_{JMA}	2 linear m/s air flow	18.1	°C/W
θ_{JC}		5.36	°C/W
Ψ_{JT}	0 linear m/s air flow	0.13	°C/W
Ψ_{JT}	1 linear m/s air flow	0.25	°C/W
Ψ_{JT}	2 linear m/s air flow	0.25	°C/W

表39 熱特性 BC316、フラッシュあり

Parameter	Condition	Typical	Unit
θ_{JA}	0 linear m/s air flow	20.9	°C/W
θ_{JMA}	1 linear m/s air flow	18.1	°C/W
θ_{JMA}	2 linear m/s air flow	17.4	°C/W
θ_{JC}		5.01	°C/W
Ψ_{JT}	0 linear m/s air flow	0.12	°C/W
Ψ_{JT}	1 linear m/s air flow	0.24	°C/W
Ψ_{JT}	2 linear m/s air flow	0.24	°C/W

316ボール CSP_BGAのボール配置

表40 に、CSP_BGAのボール配置(番号順)を、表41に CSP_BGAのボール配置(信号名順)を、それぞれ示します。

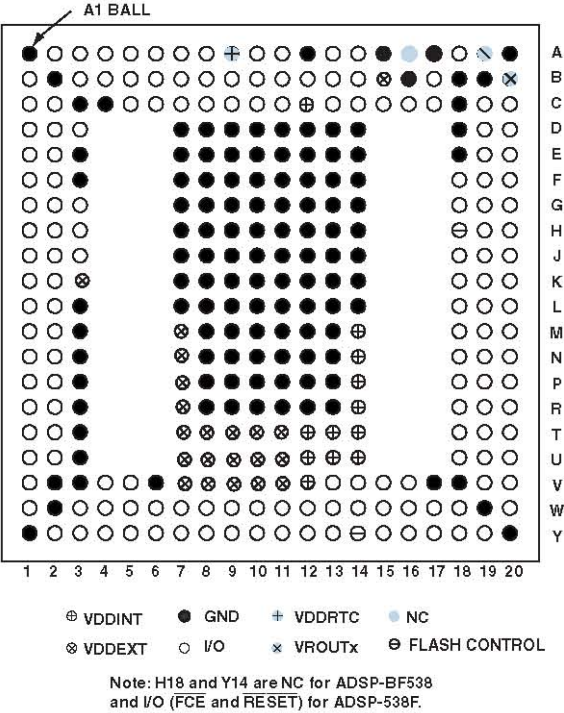


図52 316ボール CSP_BGAのボール配置
(上面図)

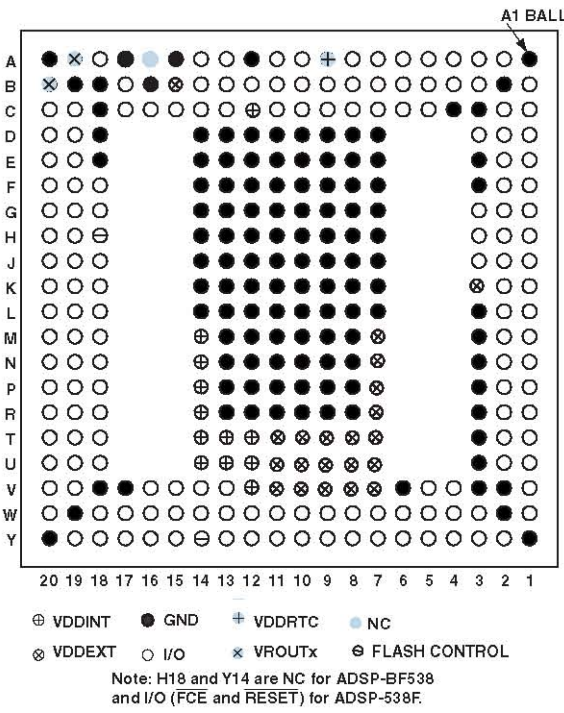


図53 316ボール CSP_BGA ボール設定
(裏面図)

表40 316ボールCSP_BGAのボール配置(ボール番号順)

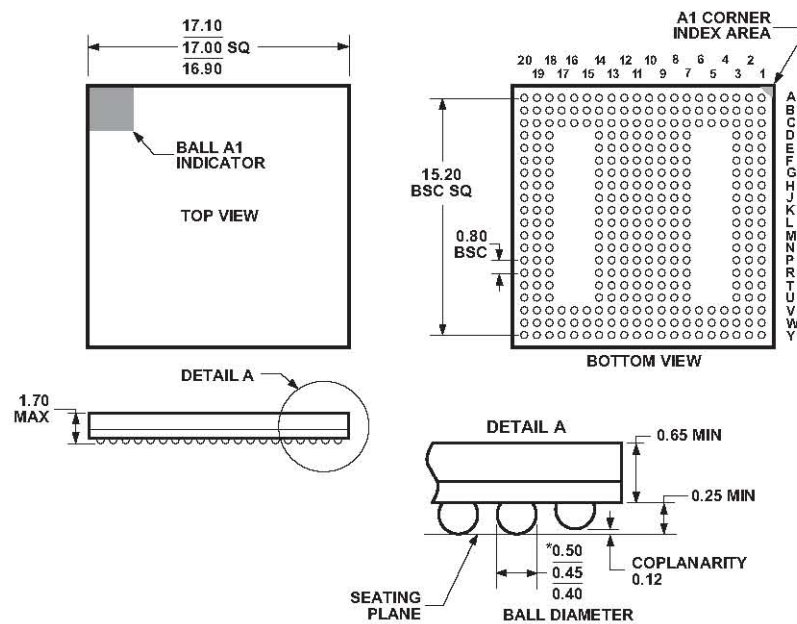
Ball No.	Signal	Ball No.	Signal	Ball No.	Signal	Ball No.	Signal	Ball No.	Signal	Ball No.	Signal	Ball No.	Signal
A1	GND	C7	SPI2SEL1	F8	GND	J12	GND	M19	ABE0	T3	GND	W1	TCK
A2	PF10	C8	SPI2SS	F9	GND	J13	GND	M20	ABE1	T7	V _{DDEX} T	W2	GND
A3	PF11	C9	MOSI2	F10	GND	J14	GND	N1	TFS0	T8	V _{DDEX} T	W3	DATA15
A4	PPI_CLK	C10	MISO2	F11	GND	J18	AMS0	N2	DR0PRI	T9	V _{DDEX} T	W4	DATA13
A5	PPI0	C11	SCK2	F12	GND	J19	AMS2	N3	GND	T10	V _{DDEX} T	W5	DATA11
A6	PPI2	C12	V _{DDINT}	F13	GND	J20	SA10	N7	V _{DDEX} T	T11	V _{DDEX} T	W6	DATA9
A7	PF15	C13	SPI1SEL1	F14	GND	K1	RFS1	N8	GND	T12	V _{DDINT}	W7	DATA7
A8	PF13	C14	MISO1	F18	DT3PRI	K2	TMR2	N9	GND	T13	V _{DDINT}	W8	DATA5
A9	V _{DDRTC}	C15	SPI1SS	F19	PC4	K3	V _{DDEX} T	N10	GND	T14	V _{DDINT}	W9	DATA3
A10	RTXO	C16	MOSI1	F20	PC8	K7	GND	N11	GND	T18	RFS3	W10	DATA1
A11	RTXI	C17	SCK1	G1	SCK0	K8	GND	N12	GND	T19	ADDR7	W11	RSCLK2
A12	GND	C18	GND	G2	MOSI0	K9	GND	N13	GND	T20	ADDR8	W12	DR2PRI
A13	CLKIN	C19	PC6	G3	DT0SEC	K10	GND	N14	V _{DDINT}	U1	TRST	W13	DT2PRI
A14	XTAL	C20	SCKE	G7	GND	K11	GND	N18	DT3SEC	U2	TMS	W14	RX2
A15	GND	D1	PF4	G8	GND	K12	GND	N19	ADDR1	U3	GND	W15	TX2
A16	NC	D2	PF5	G9	GND	K13	GND	N20	ADDR2	U7	V _{DDEX} T	W16	ADDR18
A17	GND	D3	DT1SEC	G10	GND	K14	GND	P1	TSCLK0	U8	V _{DDEX} T	W17	ADDR15
A18	GPW	D7	GND	G11	GND	K18	AMS3	P2	RFS0	U9	V _{DDEX} T	W18	ADDR13
A19	VROUT1	D8	GND	G12	GND	K19	AMS1	P3	GND	U10	V _{DDEX} T	W19	GND
A20	GND	D9	GND	G13	GND	K20	AOE	P7	V _{DDEX} T	U11	V _{DDEX} T	W20	ADDR14
B1	PF8	D10	GND	G14	GND	L1	RSCLK1	P8	GND	U12	V _{DDINT}	Y1	GND
B2	GND	D11	GND	G18	BR	L2	TMR1	P9	GND	U13	V _{DDINT}	Y2	TDO
B3	PF9	D12	GND	G19	CLKOUT	L3	GND	P10	GND	U14	V _{DDINT}	Y3	DATA14
B4	PF3	D13	GND	G20	SRAS	L7	GND	P11	GND	U18	RSCLK3	Y4	DATA12
B5	PPI1	D14	GND	H1	DT1PRI	L8	GND	P12	GND	U19	ADDR9	Y5	DATA10
B6	PPI3	D18	GND	H2	TSCLK1	L9	GND	P13	GND	U20	ADDR10	Y6	DATA8
B7	PF14	D19	PC7	H3	DR1SEC	L10	GND	P14	V _{DDINT}	V1	TDI	Y7	DATA6
B8	PF12	D20	SMS	H7	GND	L11	GND	P18	DR3SEC	V2	GND	Y8	DATA4
B9	SCL0	E1	PF1	H8	GND	L12	GND	P19	ADDR3	V3	GND	Y9	DATA2
B10	SDA0	E2	PF2	H9	GND	L13	GND	P20	ADDR4	V4	BMODE1	Y10	DATA0
B11	CANRX	E3	GND	H10	GND	L14	GND	R1	TX0	V5	BMODE0	Y11	RFS2
B12	CANTX	E7	GND	H11	GND	L18	TSCLK3	R2	RSCLK0	V6	GND	Y12	TSCLK2
B13	NMI	E8	GND	H12	GND	L19	ARE	R3	GND	V7	V _{DDEX} T	Y13	TFS2
B14	RESET	E9	GND	H13	GND	L20	AWE	R7	V _{DDEX} T	V8	V _{DDEX} T	Y14	FRESET
B15	V _{DDEX} T	E10	GND	H14	GND	M1	DT0PRI	R8	GND	V9	V _{DDEX} T	Y15	SCL1
B16	GND	E11	GND	H18	FCE	M2	TMR0	R9	GND	V10	V _{DDEX} T	Y16	SDA1
B17	PC9	E12	GND	H19	SCAS	M3	GND	R10	GND	V11	V _{DDEX} T	Y17	ADDR19
B18	GND	E13	GND	H20	SWE	M7	V _{DDEX} T	R11	GND	V12	V _{DDINT}	Y18	ADDR17
B19	GND	E14	GND	J1	TFS1	M8	GND	R12	GND	V13	DR2SEC	Y19	ADDR16
B20	VROUT0	E18	GND	J2	DR1PRI	M9	GND	R13	GND	V14	BG	Y20	GND
C1	PF6	E19	PC5	J3	DR0SEC	M10	GND	R14	V _{DDINT}	V15	BGH		
C2	PF7	E20	ARDY	J7	GND	M11	GND	R18	DR3PRI	V16	DT2SEC		
C3	GND	F1	PF0	J8	GND	M12	GND	R19	ADDR5	V17	GND		
C4	GND	F2	MISO0	J9	GND	M13	GND	R20	ADDR6	V18	GND		
C5	RX1	F3	GND	J10	GND	M14	V _{DDINT}	T1	RX0	V19	ADDR11		
C6	TX1	F7	GND	J11	GND	M18	TFS3	T2	EMU	V20	ADDR12		

表41 316ボールCSP_BGAのボール配置 (信号名順)

Signal	Ball No.	Signal	Ball No.	Signal	Ball No.	Signal	Ball No.	Signal	Ball No.	Signal	Ball No.
ABE0	M19	DATA8	Y6	GND	D14	GND	K8	GND	V2	RFS0	P2
ABE1	M20	DATA9	W6	GND	D18	GND	K9	GND	V3	RFS1	K1
ADDR1	N19	DATA10	Y5	GND	E3	GND	K10	GND	V6	RFS2	Y11
ADDR2	N20	DATA11	W5	GND	E7	GND	K11	GND	V17	RFS3	T18
ADDR3	P19	DATA12	Y4	GND	E8	GND	K12	GND	V18	RSCLK0	R2
ADDR4	P20	DATA13	W4	GND	E9	GND	K13	GND	W2	RSCLK1	L1
ADDR5	R19	DATA14	Y3	GND	F8	GND	L13	GND	W19	RSCLK2	W11
ADDR6	R20	DATA15	W3	GND	F9	GND	L14	GND	Y1	RSCLK3	U18
ADDR7	T19	DR0PRI	N2	GND	F10	GND	M3	GND	Y20	RTXI	A11
ADDR8	T20	DR0SEC	J3	GND	F11	GND	M8	GPW	A18	RTXO	A10
ADDR9	U19	DR1PRI	J2	GND	F12	GND	M9	MISO0	F2	RX0	T1
ADDR10	U20	DR1SEC	H3	GND	F13	GND	M10	MISO1	C14	RX1	C5
ADDR11	V19	DR2PRI	W12	GND	F14	GND	M11	MISO2	C10	RX2	W14
ADDR12	V20	DR2SEC	V13	GND	G7	GND	M12	MOSI0	G2	SA10	J20
ADDR13	W18	DR3PRI	R18	GND	G8	GND	M13	MOSI1	C16	SCAS	H19
ADDR14	W20	DR3SEC	P18	GND	G9	GND	N3	MOSI2	C9	SCK0	G1
ADDR15	W17	DT0PRI	M1	GND	E10	GND	K14	NC	A16	SCK1	C17
ADDR16	Y19	DT0SEC	G3	GND	E11	GND	L3	NMI	B13	SCK2	C11
ADDR17	Y18	DT1PRI	H1	GND	E12	GND	L7	PC4	F19	SCKE	C20
ADDR18	W16	DT1SEC	D3	GND	E13	GND	L8	PC5	E19	SCL0	B9
ADDR19	Y17	DT2PRI	W13	GND	E14	GND	L9	PC6	C19	SCL1	Y15
AMS0	J18	DT2SEC	V16	GND	E18	GND	L10	PC7	D19	SDA0	B10
AMS1	K19	DT3PRI	F18	GND	F3	GND	L11	PC8	F20	SDA1	Y16
AMS2	J19	DT3SEC	N18	GND	F7	GND	L12	PC9	B17	SMS	D20
AMS3	K18	EMU	T2	GND	G10	GND	N8	PF0	F1	SPI1SEL1	C13
AOE	K20	FCE	H18	GND	G11	GND	N9	PF1	E1	SPI1SS	C15
ARDY	E20	FRESET	Y14	GND	G12	GND	N10	PF2	E2	SPI2SEL1	C7
ARE	L19	GND	A1	GND	G13	GND	N11	PF3	B4	SPI2SS	C8
AWE	L20	GND	A12	GND	G14	GND	N12	PF4	D1	SRAS	G20
BG	V14	GND	A15	GND	H7	GND	N13	PF5	D2	SWE	H20
BGH	V15	GND	A17	GND	H8	GND	P3	PF6	C1	TCK	W1
BMODE0	V5	GND	A20	GND	H9	GND	P8	PF7	C2	TDI	V1
BMODE1	V4	GND	B16	GND	H10	GND	P9	PF8	B1	TDO	Y2
BR	G18	GND	B18	GND	H11	GND	P10	PF9	B3	TFS0	N1
CANRX	B11	GND	B19	GND	H12	GND	P11	PF10	A2	TFS1	J1
CANTX	B12	GND	B2	GND	H13	GND	P12	PF11	A3	TFS2	Y13
CLKIN	A13	GND	C18	GND	H14	GND	P13	PF12	B8	TFS3	M18
CLKOUT	G19	GND	C3	GND	J7	GND	R3	PF13	A8	TMR0	M2
DATA0	Y10	GND	C4	GND	J8	GND	R8	PF14	B7	TMR1	L2
DATA1	W10	GND	D7	GND	J9	GND	R9	PF15	A7	TMR2	K2
DATA2	Y9	GND	D8	GND	J10	GND	R10	PPI_CLK	A4	TMS	U2
DATA3	W9	GND	D9	GND	J11	GND	R11	PPI0	A5	TRST	U1
DATA4	Y8	GND	D10	GND	J12	GND	R12	PPI1	B5	TSCLK0	P1
DATA5	W8	GND	D11	GND	J13	GND	R13	PPI2	A6	TSCLK1	H2
DATA6	Y7	GND	D12	GND	J14	GND	T3	PPI3	B6	TSCLK2	Y12
DATA7	W7	GND	D13	GND	K7	GND	U3	RESET	B14	TSCLK3	L18

外形寸法

外形寸法はミリメートルで表示。



*COMPLIANT TO JEDEC STANDARDS MO-205-AM
WITH EXCEPTION TO BALL DIAMETER.

図54 316ボール・チップ・スケール・パッケージ・ボール・グリッド・アレイ[CSP_BGA]
(BC316)
寸法: mm

表面実装デザイン

表42 は、PCBデザイン用に示します。業界標準のデザイン勧告については、IPC-7351の「*Generic Requirements for Surface-Mount Design and Land Pattern Standard*」を参照してください。

表42 表面実装デザイン用のBGA データ

Package	Ball Attach Type	Solder Mask Opening	Ball Pad Size
316-Ball CSP_BGA (BC316)	Solder Mask Defined	0.40 mm diameter	0.50 mm diameter

オーダー・ガイド

Model ¹	Temperature Range ²	Instruction Rate (Max)	Flash Memory	Operating Voltage (Nominal)	Package Description	Package Option
ADSP-BF538BBCZ-4A	−40°C to + 85°C	400 MHz	N/A	1.2 V internal, 2.5 V or 3.3 V I/O	316-Ball CSP_BGA	BC316
ADSP-BF538BBCZ-5A	−40°C to + 85°C	533 MHz	N/A	1.25 V internal, 2.5 V or 3.3 V I/O	316-Ball CSP_BGA	BC316
ADSP-BF538BBCZ-4F4	−40°C to + 85°C	400 MHz	512K byte	1.2 V internal, 3.0 V or 3.3 V I/O	316-Ball CSP_BGA	BC316
ADSP-BF538BBCZ-4F8	−40°C to + 85°C	400 MHz	1M byte	1.2 V internal, 3.0 V or 3.3 V I/O	316-Ball CSP_BGA	BC316
ADSP-BF538BBCZ-5F4	−40°C to + 85°C	533 MHz	512K byte	1.25 V internal, 3.0 V or 3.3 V I/O	316-Ball CSP_BGA	BC316
ADSP-BF538BBCZ-5F8	−40°C to + 85°C	533 MHz	1M byte	1.25 V internal, 3.0 V or 3.3 V I/O	316-Ball CSP_BGA	BC316

¹Z = RoHS準拠製品。

²基準温度は周囲温度。