

ADSP-21367/ADSP-21368/ADSP-21369

まとめ

高性能オーディオ処理用に最適化された高性能 32 ビット /40 ビット浮動小数プロセッサ

SIMD (Single-instruction, multiple-data)演算アーキテクチャを採用

内蔵メモリ—2M ビットの内蔵 SRAM と 6M ビットのマスク・プログラマブルな内蔵 ROM

すべての他の SHARC ファミリー・メンバーとコード互換

ADSP-21367/ADSP-21368/ADSP-21369 は、400 MHz のコア命令レートで動作し、デジタル・アプリケーション・インターフェース、S/PDIF トランシーバ、シリアル・ポート、8 チャンネル非同期サンプル・レート・コンバータ、高精度クロック・ジェネレータなどのような独自のオーディオ中心のペリフェラルを内蔵しています。詳細については、[オーダー・ガイド](#)を参照してください。

専用オーディオ・コンポーネント

S/PDIF 互換のデジタル・オーディオ・レシーバ/トランスミッタ

4 つの独立した非同期サンプル・レート・コンバータ(SRC)

4 出力の 4 グループとして構成された 16 個の PWM 出力

ROM ベースのセキュリティ機能

メモリに対する JTAG アクセスを 64 ビット・キーで許可
秘密コードに対するアクセスをプログラム制御により制限する際に使用できるメモリ保護領域

ソフトウェアおよびハードウェアによる広範囲な通倍比/分周比を持つ PLL

256 ボール BGA_ED パッケージまたは 208 ピン LQFP_EP パッケージを採用

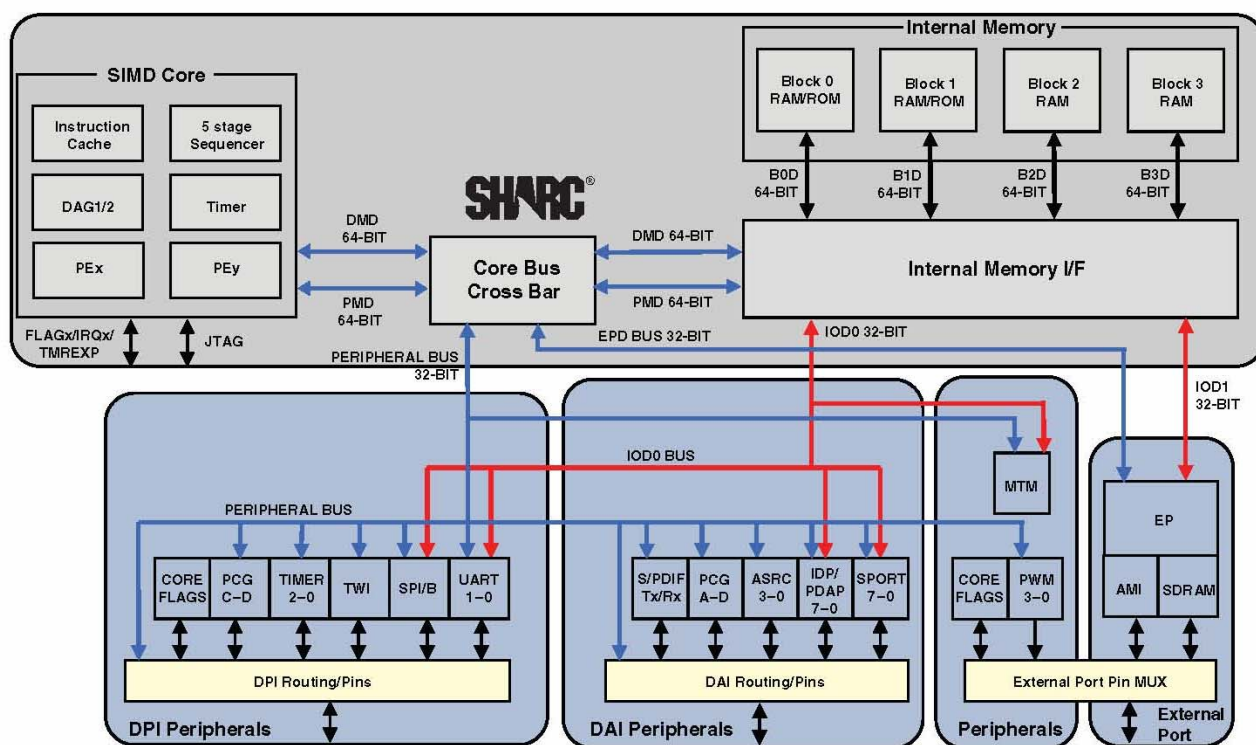


図1 機能ブロック図

SHARC と SHARC ロゴは Analog Devices, Inc. の登録商標です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2009 Analog Devices, Inc. All rights reserved.

Rev. E

目次

まとめ	1	最大消費電力	18
専用オーディオ・コンポーネント	1	絶対最大定格	18
概要	3	タイミング仕様	18
SHARCファミリー・コアのアーキテクチャ	4	出力駆動電流	48
ファミリー・ペリフェラルのアーキテクチャ	7	テスト条件	48
I/Oプロセッサの機能	10	容量負荷	48
システム・デザイン	10	熱特性	50
開発ツール	11	256 ボールBGA_EDのピン配置	51
その他の情報	12	208 ピンLQFP_EPのピン配置	54
ピン機能の説明	13	パッケージ寸法	56
仕様	16	表面実装デザイン	57
動作条件	16	車載製品	58
電気的特性	17	オーダー・ガイド	58
パッケージ情報	18		
ESDの注意	18		

改訂履歴

7/09—Rev. D to Rev. E

Corrected all outstanding document errata. Also replaced core clock references (CCLK) in the timing specifications with peripheral clock references (PCLK).

Revised Functional Block Diagram	1
Added Context Switch	5
Added Universal Registers	5
Clarified VCO operations. See	
Voltage Controlled Oscillator	18
Corrected the pins names for the DAI and DPI in	
256-Ball BGA_ED Pinout	51
208-Lead LQFP_EP Pinout	54
Added 366 MHz LQFP EPAD models for the ADSP-21367 and ADSP-21369. For additional specifications for these models, refer to the following:	
Specifications	16
Clock Input	21
SDRAM Interface Timing (166 MHz SDCLK)	28
Serial Ports	34
Ordering Guide	58

概要

ADSP-21367/ADSP-21368/ADSP-21369SHARC[®]プロセッサは、SIMD SHARC ファミリーのメンバーであり、アナログ・デバイセズのスーパー・ハーバード・アーキテクチャを採用した DSP です。これらのプロセッサは、ADSP-2126xDSP、ADSP-2116x DSP、およびSISD(Single-Instruction, Single-Data)モードの第1世代ADSP-2106x SHARC プロセッサとソース・コード互換です。これらのプロセッサは、大容量の内蔵 SRAM とマスク・プログラマブルな ROM、I/O ボトルネックを解消する複数の内部バス、画期的なデジタル・アプリケーション・インターフェース(DAI)により、高性能車載オーディオ・アプリケーション向けに最適化された 32 ビット/40 ビットの浮動小数プロセッサです。

図1機能ブロック図に示すように、これらのプロセッサは、2個の演算ユニットを採用することにより、広範囲なDSP アルゴリズムに対して従来のSHARCプロセッサに比べて性能を大幅に改善しています。ADSP-21367/ADSP-21368/ADSP-21369プロセッサは最新の高速CMOSプロセスで製造され、400 MHzで2.5 nsの命令サイクル・タイムを実現しています。これらのプロセッサはSIMD演算ハードウェアを使用して、400 MHzで2.4 GFLOPSの処理を行うことができます。

表1 に、これらのデバイスの性能ベンチマークを示します。

表1 プロセッサ・ベンチマーク(400 MHz)

Benchmark Algorithm	Speed (at 400 MHz)
1024 Point Complex FFT (Radix 4, with reversal)	23.2 μ s
FIR Filter (per tap) ¹	1.25 ns
IIR Filter (per biquad) ¹	5.0 ns
Matrix Multiply (pipelined)	
[3x3] x [3x1]	11.25 ns
[4x4] x [4x1]	20.0 ns
Divide (y/x)	8.75 ns
Inverse Square Root	13.5 ns

¹マルチチャンネルSIMDモードで2ファイルの場合

表2 ADSP-2136x ファミリーの機能¹

Feature	ADSP-21367	ADSP-21368	ADSP-21369/ ADSP-21369W
Frequency	400 MHz		
RAM	2M bits		
ROM ²	6M bits		
Audio Decoders in ROM	Yes		
Pulse-Width Modulation	Yes		
S/PDIF	Yes		
SDRAM Memory Bus Width	32/16 bits		
Serial Ports	8		
IDP	Yes		
DAI	Yes		
UART	2		
DAI and DPI	Yes		
S/PDIF Transceiver	1		
AMI Interface Bus Width	32/16/8 bits		
SPI	2		
TWI	Yes		
SRC Performance	128 dB		
Package	256 Ball-BGA, 208-Lead LQFP_EP	256 Ball-BGA	256 Ball-BGA, 208-Lead LQFP_EP

¹W = 車載グレード品。詳細については、[車載製品](#)を参照してください。
²オーディオ・デコーディング・アルゴリズムには、PCM、Dolby Digital EX、Dolby Prologic IIx、DTS 96/24、Neo:6、DTS ES、MPEG-2 AAC、MP3、バス・マネジメント、遅延、スピーカの等化、グラフィック・イコライゼーションなどの機能が含まれます。デコーダ/ポスト・プロセッサ・アルゴリズムの組み合わせサポートは、チップ・バージョンとシステム構成に応じて変わります。詳細については、www.analog.comをご覧ください。

図1に、ADSP-21367/ADSP-21368/ADSP-21369プロセッサを構成する2つのクロック・ドメインを示します。コア・クロック・ドメインには次の機能があります。

- 2 個の処理エレメント(PE_x、PE_y)。各々は ALU、乗算器、シフタ、データ・レジスタ・ファイルから構成されています。
- データ・アドレス・ジェネレータ(DAG1、DAG2)
- 命令キャッシュ付きのプログラム・シーケンサ
- PM バスと DM バス。メモリとコアとの間で各コア・プロセッサ・サイクルで 2 回の 64 ビット・データ転送をサポートすることが可能。
- 出力ピン付きの周期インターバル・タイマ×1
- 内蔵 SRAM (2M ビット)
- 内蔵マスク・プログラマブル ROM (6M ビット)
- エミュレーションとバウンダリ・スキャン用の JTAG

テスト・アクセス・ポート JTAG はユーザ・ブレーク・ポイントを使ってソフトウェア・デバッグ機能を提供するため、柔軟な例外処理が可能になります。

ADSP-21368のブロック図(図1)には、ペリフェラル・クロック・ドメイン(I/Oプロセッサとも呼びます)も示しており、次の機能があります。

- 32 ビット・データ転送用の IOD0 (ペリフェラル DMA)バスと IOD1 (外部ポート DMA)バス
- コア接続用のペリフェラル・バスと外部ポート・バス
- AMI および SDRAM コントローラ付きの外部ポート
- 4 ユニットの PWM 制御
- 1 ユニットの内部メモリ・内部メモリ間転送用 MTM
- デジタル・アプリケーション・インターフェース。これには、4 つの高精度クロック・ジェネレータ(PCG)、シリアル/パラレル接続用の入力データ・ポート(IDP)×1、S/PDIF レシーバ/トランスミッタ×1、

非同期サンプル・レート・コンバータ×4、シリアル・ポート×8、柔軟な信号ルーティング・ユニット(DAISRU)×1 が含まれます。

- デジタル・ペリフェラル・インターフェース。これにはタイマ×3、2 線式インターフェース×1、UART×2、シリアル・ペリフェラル・インターフェース(SPI)×2、高精度クロック・ジェネレータ(PCG) ×2、柔軟な信号ルーティング・ユニット(DPI SRU)×1 が含まれます

SHARCファミリー・コアのアーキテクチャ

ADSP-21367/ADSP-21368/ADSP-21369プロセッサは、ADSP-2126x、ADSP-21160、ADSP-21161、第1世代ADSP-2106x SHARCプロセッサとアセンブラ・レベルでコード互換です。ADSP-21367/ ADSP-21368/ADSP-21369プロセッサは、図2と次のセクションに示すように、ADSP-2126xプロセッサとADSP2116x SIMD SHARCプロセッサとアーキテクチャ機能を共用しています。

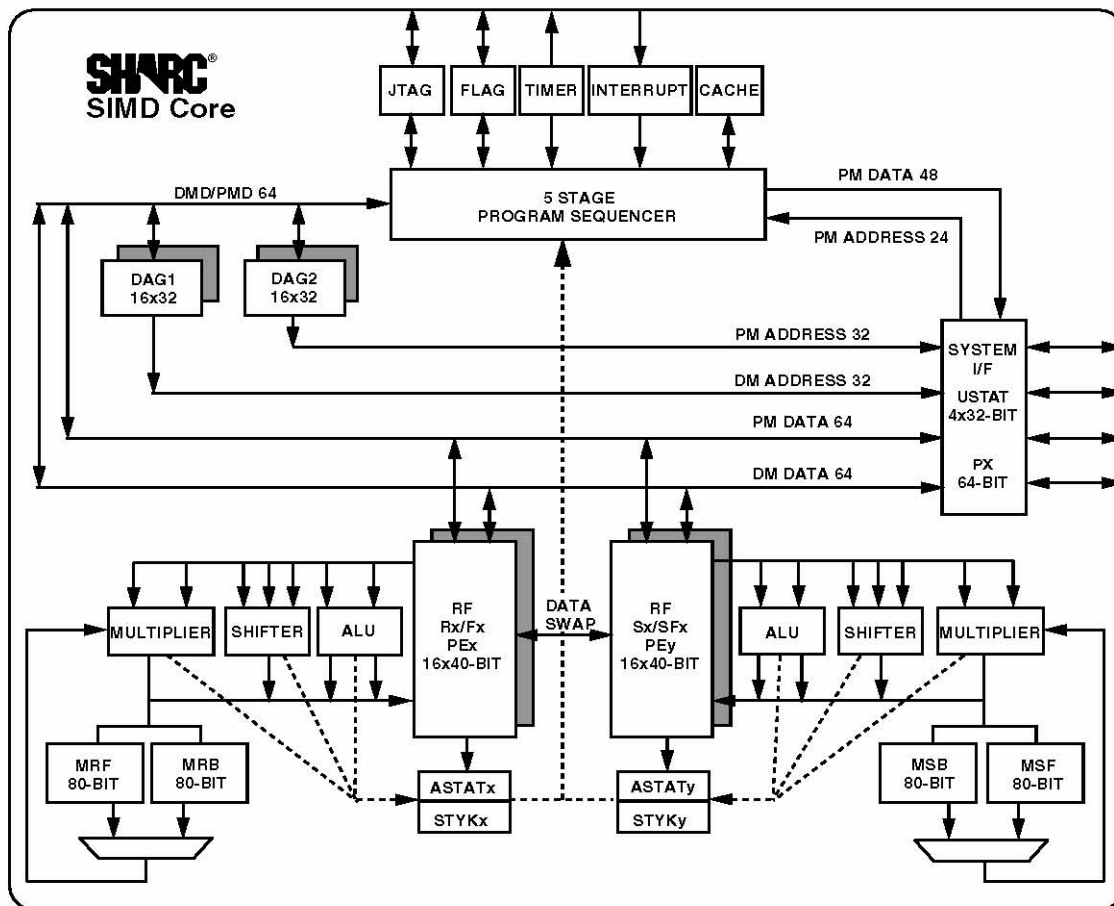


図2 SHARC コアのブロック図

SIMD演算エンジン

これらのプロセッサは、SIMD (Single-Instruction, Multiple-Data)エンジンとして動作する 2 個の演算処理エレメントを内蔵しています。これらの処理エレメントは PEX と PEY と呼ばれ、各々は、ALU、乗算器、シフタ、レジスタ・ファイルを内蔵しています。PEX は常時アクティブで、PEY は MODE1 レジスタの PEYEN モード・ビットをセットしてイネーブルすることができます。このモードがイネーブルされると、同じ命令が両処理エレメントで実行されますが、各処理エレメントは異なるデータに対して動作します。このアーキテクチャは、数学的な DSP アルゴリズムの実行に効果を発揮します。

SIMD モードが開始されると、メモリと処理エレメントとの間のデータ転送方法も変わります。SIMD モードでは、処理エレメントでの演算動作を維持するために 2 倍のデータ帯域幅が必要になります。この要求のため、SIMD モードが開始されると、メモリと処理エレメントとの間の帯域幅も 2 倍になります。SIMD モードでデータ転送に DAG を使用する場合、メモリまたはレジスタ・ファイルに対する各アクセスで 2 個のデータ値が転送されます。

独立な並列演算ユニット

各処理エレメントには、演算ユニットのセットがあります。演算ユニットは、ALU、乗算器、シフタから構成されています。これらのユニットは、すべての命令を 1 サイクルで実行します。各処理エレメント内の 3 個のユニットは、最大の演算スループットを得る並行構成になっています。1 個のマルチファンクション命令により、ALU と乗算器の並行動作が行われます。SIMD モードでは、両処理エレメントで ALU と乗算器の並行動作が発生します。これらの演算ユニットは、IEEE 32 ビット単精度浮動小数点、40 ビット拡張精度浮動小数点、32 ビット固定小数点の各データ・フォーマットをサポートしています。

データ・レジスタ・ファイル

汎用データ・レジスタ・ファイルは、各処理エレメントに内蔵されています。レジスタ・ファイルは、演算ユニットとデータ・バスとの間でデータを転送し、途中結果を保持します。これらの 10 ポート 32 レジスタからなるレジスタ・ファイル(16 個のプライマリ、16 個のセカンダリ)と ADSP-2136x の強化型ハーバード・アーキテクチャとの組み合わせにより、演算ユニットと内部メモリとの間で制約のないデータ・フローが可能になっています。PEX 内のレジスタは R0~R15 と呼ばれ、PEY 内のレジスタは S0~S15 と呼ばれます。

コンテキスト・スイッチ

多くのプロセッサ・レジスタには、割り込みサービス中に高速なコンテキスト・スイッチを可能にするために使用できるセカンダリ・レジスタがあります。レジスタ・ファイル内のデータ・レジスタ、DAG レジスタ、乗算結果・レジスタにはすべてセカンダリ・レジスタがあります。プライマリ・レジスタはリセット時にアクティブになり、セカンダリ・レジスタはモード・コントロール・レジスタのコントロール・ビットを使ってアクティブにします。

ユニバーサル・レジスタ

これらのレジスタは汎用タスクに使うことができます。USTAT (4)レジスタを使うと、コアのすべてのシステム・レジスタ(コントロール/ステータス)のビット操作(Set、Clear、Toggle、Test、XOR)を容易に行うことができます。データ・バス交換レジスタ(PX)の使用により、64 ビット

PM データ・バスと 64 ビット DM データ・バスとの間で、または 40 ビット・レジスタ・ファイルと PM データ・バスとの間で、データを渡すことが可能になっています。これらのレジスタには、データ幅の違いを処理するハードウェアが内蔵されています。

タイマ

周期ソフトウェア割り込みを発生できるコア・タイマ。コア・タイマは、タイムアウト信号として FLAG3 を使用するように設定することができます。

1サイクル命令フェッチと4個のオペランド

ADSP-21367/ADSP-21368/ADSP-21369プロセッサは、データ・メモリ(DM)バスでデータを転送し、プログラム・メモリ(PM)バスで命令とデータを転送する強化型ハーバード・アーキテクチャを採用しています(図2参照)。これらのプロセッサではプログラム・メモリ・バスとデータ・メモリ・バスを分離し、かつ命令キャッシュを内蔵しているため、プロセッサは4個のオペランド(各データ・バスから2個)と1個の命令(キャッシュから)を同時に1サイクルでフェッチすることができます。

命令キャッシュ

これらのプロセッサは、1 個の命令と 4 個のデータ値をフェッチする 3 バス動作を可能にする命令キャッシュを内蔵しています。キャッシュは選択的で、PM バス・データ・アクセスとフェッチが競合する命令だけをキャッシュします。このキャッシュにより、コアのフル速度実行(デジタル・フィルタの積和や FFT でのバタフライ処理のようなループ動作)が可能になります。

ゼロ・オーバーヘッドのハードウェア循環バッファをサポートするデータ・アドレス・ジェネレータ

ADSP-21367/ADSP-21368/ADSP-21369 には、2 個のデータ・アドレス・ジェネレータ(DAG)があります。これらの DAG は、間接アドレッシング機能とハードウェアによる循環データ・バッファの構成に使用されます。循環バッファを使うと、遅延ラインの効率の良いプログラミングとデジタル信号処理に必要なその他のデータ構造が実現できるため、広くデジタル・フィルタとフーリエ変換で使用されています。2 個の DAG には、最大 32 個の循環バッファを実現するために十分なレジスタが内蔵されています(16 個はプライマリレジスタ・セット用、16 個はセカンダリレジスタ・セット用)。DAG は、アドレス・ポインタのラップアラウンドを自動的に処理するため、オーバーヘッドを削減し、性能を向上させ、構成を簡素化します。循環バッファは、任意のメモリ・ロケーションから開始させて終了させることができます。

柔軟な命令セット

48ビットの命令ワードにより、多様な並行動作が可能になるため、簡潔なプログラミングが可能になります。例えば、ADSP-21367/ADSP-21368/ADSP-21369は、両処理エレメントで、乗算、加算、減算を条件付きで実行すると同時に、分岐や最大4個の32ビット値のメモリからのフェッチを1命令で行うことができます。

内蔵メモリ

これらのプロセッサは、2 Mビットの内部RAMと6 Mビットのマスク・プログラマブルROMを内蔵しています。各ブロックは、コード・ストレージとデータ・ストレージのさまざまな組み合わせに構成することができます(表3参照)。各メモリ・ブロックは、コア・プロセッサとI/Oプロ

セッサから独立な1サイクルのアクセスをサポートします。このメモリ・アーキテクチャと、分離した内蔵バスとの組み合わせにより、コアからの2回のデータ転送とI/Oプロセ

ッサからの1回のデータ転送が1サイクルで可能になっています。

表3 内部メモリ空間¹

IOP Registers 0x0000 0000–0x0003 FFFF			
Long Word (64 Bits)	Extended Precision Normal or Instruction Word (48 Bits)	Normal Word (32 Bits)	Short Word (16 Bits)
Block 0 ROM (Reserved) 0x0004 0000–0x0004 BFFF	Block 0 ROM (Reserved) 0x0008 0000–0x0008 FFFF	Block 0 ROM (Reserved) 0x0008 0000–0x0009 7FFF	Block 0 ROM (Reserved) 0x0010 0000–0x0012 FFFF
Reserved 0x0004 F000–0x0004 FFFF	Reserved 0x0009 4000–0x0009 FFFF	Reserved 0x0009 E000–0x0009 FFFF	Reserved 0x0013 C000–0x0013 FFFF
Block 0 SRAM 0x0004 C000–0x0004 EFFF	Block 0 SRAM 0x0009 0000–0x0009 3FFF	Block 0 SRAM 0x0009 8000–0x0009 DFFF	Block 0 SRAM 0x0013 0000–0x0013 BFFF
Block 1 ROM (Reserved) 0x0005 0000–0x0005 BFFF	Block 1 ROM (Reserved) 0x000A 0000–0x000A FFFF	Block 1 ROM (Reserved) 0x000A 0000–0x000B 7FFF	Block 1 ROM (Reserved) 0x0014 0000–0x0016 FFFF
Reserved 0x0005 F000–0x0005 FFFF	Reserved 0x000B 4000–0x000B FFFF	Reserved 0x000B E000–0x000B FFFF	Reserved 0x0017 C000–0x0017 FFFF
Block 1 SRAM 0x0005 C000–0x0005 EFFF	Block 1 SRAM 0x000B 0000–0x000B 3FFF	Block 1 SRAM 0x000B 8000–0x000B DFFF	Block 1 SRAM 0x0017 0000–0x0017 BFFF
Block 2 SRAM 0x0006 0000–0x0006 0FFF	Block 2 SRAM 0x000C 0000–0x000C 1554	Block 2 SRAM 0x000C 0000–0x000C 1FFF	Block 2 SRAM 0x0018 0000–0x0018 3FFF
Reserved 0x0006 1000–0x0006 FFFF	Reserved 0x000C 1555–0x000C 3FFF	Reserved 0x000C 2000–0x000D FFFF	Reserved 0x0018 4000–0x001B FFFF
Block 3 SRAM 0x0007 0000–0x0007 0FFF	Block 3 SRAM 0x000E 0000–0x000E 1554	Block 3 SRAM 0x000E 0000–0x000E 1FFF	Block 3 SRAM 0x001C 0000–0x001C 3FFF
Reserved 0x0007 1000–0x0007 FFFF	Reserved 0x000E 1555–0x000F FFFF	Reserved 0x000E 2000–0x000F FFFF	Reserved 0x001C 4000–0x001F FFFF

¹ADSP-21368とADSP-21369プロセッサは、カスタム定義可能なROMブロックを内蔵しています。詳細については、最寄りのADIにお尋ねください。

SRAMは、最大64kワードの32ビット・データとして、128kワードの16ビット・データとして、42kワードの48ビット命令として(もしくは40ビット・データ)、または最大2Mビットの様々なワード・サイズの組み合わせとして、構成することができます。すべてのメモリは、16ビット、32ビット、48ビット、または64ビット・ワードとしてアクセスすることができます。16ビットの浮動小数点ストレージ・フォーマットをサポートしています。これにより内部で保存できるデータ量が実質的に2倍になります。32ビット浮動小数点フォーマットと16ビット浮動小数点フォーマットとの間の変換は、1命令で実行されます。各メモリ・ブロックはコードとデータ、共に保存できますが、転送にDMバスを使って1つのブロックにデータを保存し、さらに転送にPMバスを使って別のブロックに命令とデータを保存するとき、アクセスが最も効率良くなります。

1本のバスを各メモリ・ブロック専用にしてDMバスとPMバスを使うと、2個のデータ転送の1サイクルでの実行を確実に行うことができます。この場合、命令はキャッシュ内に存在する必要があります。

内蔵メモリの帯域幅

この内部メモリ・アーキテクチャにより、プログラムは4個の内の任意のブロックへ同時に4回アクセスすることができます(競合するブロックがない場合)。DMDバスとPMDバス(2×64ビット、コアCLK)、さらにIOD0/1バス(2×32ビット、PCLK)を使って合計帯域幅が得られます。

ROMベースのセキュリティ

ADSP-21367/ADSP-21368/ADSP-21369は、ROMセキュリティ機能を持っています。この機能は、イネーブル時に内部コードの不正な読み出しを防止することにより、ユーザ・ソフトウェア・コードを保護するためのハードウェア・サポートを提供します。この機能を使うと、プロセッサは外部コードからブート・ロードしなくなり、内部ROMからのみ実行するようになります。さらに、JTAGポートからプロセッサを自由にアクセスできなくなります。代わりに、JTAGまたはテスト・アクセス・ポートからスキャン入力する必要のある独自の64ビット・キーが各ユーザに割り当てられます。デバイスは不正なキーを無視しますが、エミュレート機能と外部ブート・モードは、正しいキーがスキャンされたときのみ使用可能になります。

ファミリー・ペリフェラルのアーキテクチャ

ADSP-21367/ADSP-21368/ADSP-21369 ファミリーには、高品質オーディオ、医用画像、通信、軍用、テスト装置、3D グラフィックス、スピーチ認識、モーター制御、イメージングなどの広範囲なアプリケーションをサポートする豊富なペリフェラルが内蔵されています。

外部ポート

外部ポート・インターフェースでは、コア・アクセスと DMA アクセスによる外部メモリへのアクセスをサポートしています。外部メモリ・アドレス空間は 4 バンクに分割されています。すべてのバンクは、非同期メモリまたは同期メモリとして設定することができます。ADSP-21367/8/9 プロセッサの外部ポートは、次のモジュールで構成されています。

- ・ SRAM、FLASH、一般的な非同期 SRAM アクセス・プロトコルを満たすその他のデバイスと通信する非同期メモリ・インターフェース。バンク 0 の 14M ワードの外部メモリと、バンク 1、バンク 2、バンク 3 の 16M ワードの外部メモリをサポートする AMI。
- ・ 標準 SDRAM と外付け部品なしでインターフェースする SDRAM コントローラ。バンク 0 の 62M ワードの外部メモリと、バンク 1、バンク 2、バンク 3 の 64M ワードの外部メモリをサポートする SDC。
- ・ 内部メモリと外部メモリとの間で外部ポートを使ったコア転送と DMA 転送の調整を行う調停ロジック。
- ・ 最大 4 個の ADSP-21368 プロセッサを接続して外部バス・システムの共用を可能にする共用メモリ・インターフェース(ADSP-21368 の場合)。

SDRAMコントローラ

このSDRAMコントローラは、最大4バンクの業界標準 SDRAM デバイスまたは DIMM に対するインターフェースを提供します。このインターフェースは最大 f_{SCLK} の速度で動作します。SDRAM 規格に完全に準拠しているため、各バンクは固有のメモリ・セレクト・ライン (MS0～MS3) により、16M～128M バイトのメモリを含むように構成することができます。SDRAM 外部メモリ・アドレス空間を表 4 に示します。

プログラマブル・タイミング・パラメータセットを使って、低速のメモリ・デバイスをサポートする SDRAM バンクを設定することができます。メモリ・バンクは、最大性能、最大帯域幅の 32 ビット構成、または最小デバイス数と低システム価格の 16 ビット構成にすることができます。

SDRAM コントローラのアドレス、データ、クロック、コントロールピンは、最大 30 pF の負荷を駆動することができます。大規模なメモリ・システムの場合、SDRAM コントローラの外部バッファ・タイミングを選択して、SDRAM コントローラ・ピンの負荷が 30 pF を超えないように外部バッファを設ける必要があります。

表4 SDRAM アドレスに対する外部メモリ

Bank	Size in Words	Address Range
Bank 0	62M	0x0020 0000–0x03FF FFFF
Bank 1	64M	0x0400 0000–0x07FF FFFF
Bank 2	64M	0x0800 0000–0x0BFF FFFF
Bank 3	64M	0x0C00 0000–0x0FFF FFFF

外部メモリ

外部バス・インターフェース・ユニットは、さまざまな業界標準メモリ・デバイスに対して高性能で外付け部品の不要なインターフェースを提供します。32ビット幅のバスを使って、別々の内部メモリ・コントローラを介して同期および/または非同期メモリ・デバイスに接続することができます。一つ目は業界標準の同期 DRAM デバイスと DIMM (Dual Inline Memory Module) を接続するための SDRAM コントローラであり、二つ目は多様なメモリ・デバイスに対するインターフェースで使用する非同期メモリ・コントローラです。4本のメモリ・セレクト・ピンにより、最大4個のデバイスを使用することができるため、同期と非同期デバイス・タイプの任意の組み合わせをサポートすることができます。非SDRAM外部メモリ・アドレス空間を表5に示します。

表5 非 SDRAM アドレスに対する外部メモリ

Bank	Size in Words	Address Range
Bank 0	14M	0x0020 0000–0x00FF FFFF
Bank 1	16M	0x0400 0000–0x04FF FFFF
Bank 2	16M	0x0800 0000–0x08FF FFFF
Bank 3	16M	0x0C00 0000–0x0CFF FFFF

外部メモリの共用

ADSP-21368 プロセッサでは、他の ADSP-21368 プロセッサと共用する外部メモリに接続して構成する共用外部バス・プロセッサ・システムをサポートしています。この機能には、次のサポートが含まれます。

- ・ 共用外部バスに対する内蔵調停と送信
- ・ 固定および循環優先順位バス調停
- ・ バス・タイムアウト・ロジック
- ・ バス・ロック

複数のプロセッサで、調停ロジックを追加することなく外部バスを共用することができます。調停ロジックは、最大4個のプロセッサを接続できるように内蔵されています。バス調停はBR1～4の信号を使って行われ、バス調停の優先順位方式はRPBAピンの設定で指定されます。表8に、マルチプロセッサ・システムで使用するピンの説明を示します。

外部ポートのスループット

166 MHz クロックと 32 ビット・データ・バスに基づく外部ポートのスループットは、AMI では 221M バイト/s、SDRAM では 664M バイト/s です。

非同期メモリ・コントローラ

非同期メモリ・コントローラは、最大 4 バンクのメモリ・デバイスまたは I/O デバイスに対して設定可能なインターフェースを提供します。各バンクは異なるタイミング・パラメータを使って独立に設定可能であるため、SRAM、ROM、フラッシュ EPROM、さらに標準メモリ・コントロール・ラインを使ってインターフェースする I/O デバイスなどの多様なメモリ・デバイスに対する接続が可能です。プロセッサのアドレス空間で、バンク 0 は 14M のワード・ウインドウを、バンク 1、2、3 は 16M のワード・ウインドウをそれぞれ占有しますが、すべてを使用しない場合は、メモリ・コントローラ・ロジックを使って、これらのウインドウが連続しないようにすることができます。このバンクは、高性能または低価格かつ低消費電力用の広範囲なメモリや I/O デバイスに容易にインターフェースできるように、8 ビット幅バス、16 ビット幅バス、または 32 ビット幅バスに構成することもできます。

パルス幅変調

PWM モジュールは柔軟でプログラマブルな PWM 波形ジェネレータであり、モーターやエンジンの制御やオーディオ・パワー制御に関する種々のアプリケーションで必要とされるスイッチング・パターンを発生するように設定することができます。PWM ジェネレータは、中心揃えまたはエッジ揃えの PWM 波形を発生することができます。さらに、ペアード・モードで 2 本の出力に相補信号を発生するか、または非ペアード・モードで独立な信号を発生することができます(4 個の PWM 波形からなる 1 グループに使用可能)。

PWM モジュール全体としては、各々 4 個の PWM 出力からなるグループを 4 個持っています。このため、このモジュールは合計 16 個の PWM 出力を発生します。各 PWM グループは、4 本の PWM 出力を使って PWM 信号対を 2 対発生します。

この PWM ジェネレータは、中心揃え PWM 波形を発生する際に、シングル更新モードまたはダブル更新モードの 2 種類のモードで動作することができます。シングル更新モードでは、PWM 周期で 1 回だけデューティ・サイクル値を設定することができます。この設定により、PWM 周期の中心に関して対称な PWM パターンが得られます。ダブル更新モードでは、PWM 周期の中央で PWM レジスタの 2 回目の更新ができます。このモードでは、2 相 PWM インバータ用の高調波歪みの小さい対称 PWM パターンを発生することができます。

デジタル・アプリケーション・インターフェース(DAI)

デジタル・アプリケーション・インターフェース(DAI)は、種々のペリフェラルを任意の DSP DAI ピン(DAI_P20~1)へ接続する機能を提供します。これらの接続は、図 1 に示す信号ルーティング・ユニット(SRU1)を使ってプログラムから行います。

SRU は、ソフトウェアからの制御で、DAI が提供するペリフェラルを相互接続できるようにするマトリックス・ルーティング・ユニット(すなわちマルチプレクサのグループ)です。この機能を使った場合、大規模なセットのアルゴリズムを使うことにより、広範囲なアプリケーションに対応させたペリフェラルを、信号パスを設定できない場合に比べて遥かに容易に使用できるようになります。

DAI にはシリアル・ポート×8、S/PDIF レシーバ/トランスミッタ×1、高精度クロック・ジェネレータ(PCG)×4、8 チ

ャネルの非同期サンプル・レート・コンバータ、入力データ・ポート(IDP)×1 が内蔵されています。IDP は、プロセッサ・コアに対する追加入力パスを提供し、8 チャンネルの I²S シリアル・データとして、または 7 チャンネルおよび 1 個の 20 ビット幅同期パラレル・データ・アキュジション・ポートとして構成することができます。各データ・チャンネルには、プロセッサのシリアル・ポートから独立した固有の DMA チャンネルがあります。

詳細については、「ADSP-21368 SHARC Processor Hardware Reference」を参照してください。

シリアル・ポート

これらのプロセッサは、8 個の同期シリアル・ポート(SPORT)を内蔵しています。これらのポートは、アナログ・デバイスズの AD183x ファミリーのオーディオ・コーデック、ADC、DAC のような、多様なデジタルおよびミックスド・シグナル・ペリフェラル・デバイスに対する安価なインターフェースを提供します。シリアル・ポートは、2 本のデータ・ライン、クロック、フレーム同期から構成されています。データ・ラインは送信または受信に設定することができ、各データ・ラインには専用の DMA チャンネルがあります。

シリアル・ポートは 16 本のプログラマブルなピンと同時受信または送信ピンから構成され、8 個の全 SPORT がイネーブルされた場合にはオーディオ・データの最大 32 送信チャンネルまたは最大 32 受信チャンネルを、またはフレームあたり 128 チャンネルの 8 個の全二重 TDM ストリームを、それぞれサポートします。

シリアル・ポートは、50 Mbps の最大データ・レートで動作します。シリアル・ポート・データは、専用の DMA チャンネルを使って、内蔵メモリとの間で自動的に転送することができます。各シリアル・ポートを別のシリアル・ポートと組み合わせる動作させて、TDM をサポートすることができます。1 つの SPORT が 2 つの送信信号を提供すると同時に、他の SPORT が 2 つの受信信号を提供します。フレーム同期とクロックは共用されます。

シリアル・ポートは次の 5 種類のモードで動作します。

- ・ 標準 DSP シリアル・モード
- ・ バックド I²S モードをサポートするマルチチャンネル(TDM)モード
- ・ I²S モード
- ・ バックド I²S モード
- ・ 左詰めサンプル・ペア・モード

左詰めサンプル・ペア・モードは、各フレーム同期サイクルで 2 個のデータ・サンプルが送信/受信されるモードです(フレーム同期の上位セグメントで 1 サンプル、フレーム同期の下位セグメントで 1 サンプル)。このモードの種々の属性はプログラムから制御されます。

各シリアル・ポートは左詰めサンプル・ペア・プロトコルと I²S プロトコル(I²S は業界標準のインターフェースであり、アナログ・デバイスズ AD183x ファミリーのような、オーディオ・コーデック、ADC、DAC に広く採用されています)をサポートし、2 本のデータ・ピンを使って、シリアル・ポートあたり 4 個の左詰めサンプル・ペアまたは I²S チャンネル(2 個のステレオ・デバイスを使用)が可能です。最大 32 の I²S チャンネルが可能です。シリアル・ポートでは、リトル・エンディアンまたはビッグ・エンディアンの伝送フォーマットと、3~32 ビットのワード長が可能です。左詰めサンプル・ペア・モードと I²S モードの場合、データ・ワード長は 8~32 ビットが可能です。シリアル・ポートでは、選択可能な同期モードと送信モードを提供し、さらにオプションでチャンネルごとに μ 則または A 則の圧

伸特性が選択できます。シリアル・ポート・クロックとフレーム同期は、内部または外部で発生することができます。シリアル・ポートには、シリアル・ポートが早く着信したフレーム同期(たとえば前のワードの送信/受信中に着信するフレーム同期)を検出するフレーム同期エラー検出ロジックも内蔵されています。また、すべてのシリアル・ポートが1つの専用エラー割り込みを共用しています。

S/PDIF 互換のデジタル・オーディオ・レシーバ/トランスミッタ

S/PDIFレシーバ/トランスミッタには個別のDMAチャンネルはありません。オーディオ・データをシリアル・フォーマットで受信して、バイフェーズ符号信号に変換します。レシーバ/トランスミッタへのシリアル・データは、16、18、20、または24ビット・ワード幅の左詰め、I²S、または右詰めとして入力することができます。

S/PDIFレシーバ/トランスミッタへのシリアル・データ入力、クロック入力、フレーム同期入力は、信号ルーティング・ユニット(SRU)を介して接続されます。SPORT、外部ピン、高精度クロック・ジェネレータ(PCG)またはサンプル・レート・コンバータ(SRC)のような様々なソースから入力することができ、SRUコントロール・レジスタから制御されます。

同期/非同期サンプル・レート・コンバータ

サンプル・レート・コンバータ(SRC)には4個のSRCブロックが内蔵されており、AD1896 192 kHz ステレオ非同期サンプル・レート・コンバータで使用された同じコアが使用され、最大 128 dB の SNR を提供します。SRCブロックは、独立なステレオ・チャンネル間で、内部プロセッサ・リソースを使うことなく、同期または非同期サンプル・レート変換を行うために使用されます。4個のSRCブロックを組み合わせて動作させて、複数チャンネル・オーディオ・データを位相不一致なしで変換することもできます。また、SRC を使って、S/PDIF レシーバのようなジッタの多いクロック・ソースからのオーディオ・データをクリーンアップすることもできます。

入力データ・ポート

IDPIは、最大8個のシリアル入力チャンネル(各々にはクロック、フレーム同期、データ入力があります)を提供します。8チャンネルは深さ8のFIFOを使って、1本の32ビットに自動的にマルチプレクスされます。データは、64ビット・フレームとして常にフォーマットされ、2個の32ビット・ワードに分割されます。このシリアル・プロトコルは、I²S、左詰めサンプルペア、または右詰めモードのオーディオ・チャンネルを受信するようにデザインされています。1フレーム同期サイクルは1個の64ビット左/右対により表示されますが、データは32ビット・ワード(すなわちフレームの半分ずつ)としてFIFOへ送られます。プロセッサは、24ビットと32ビットのI²S、24ビットと32ビットの左詰め、24ビット、20ビット、18ビット、16ビットの右詰め各フォーマットをサポートしています。

高精度クロック・ジェネレータ

高精度クロック・ジェネレータ(PCG)は4個のユニットで構成され、各々はクロック入力信号から信号対(クロックとフレーム同期)を発生します。ユニットA、B、C、Dは同じ機能であり、互いに独立に動作します。各ユニットで発生される2つの信号は通常、シリアル・ビット・クロック/フレーム同期対として使用されます。

デジタル・ペリフェラル・インターフェース(DPI)

デジタル・ペリフェラル・インターフェースは、2個のシリアル・ペリフェラル・インターフェース・ポート(SPI)、2個のユニバーサル非同期レシーバ/トランスミッタ

(UART)、1個の2線式インターフェース(TWI)、12個のフラグ、3個の汎用タイマに対する接続を提供します。

シリアル・ペリフェラル(互換)インターフェース

これらのプロセッサは、2個のシリアル・ペリフェラル・インターフェース・ポート(SPI)を内蔵しています。SPIは業界標準の同期シリアル・リンクであり、これらのSPI互換ポートを使って他のSPI互換デバイスと通信することができます。SPIは2本のデータ・ピン、1本のデバイス・セレクト・ピン、1本のクロック・ピンから構成されています。全二重の同期シリアル・インターフェースであり、マスター・モードとスレーブ・モードをサポートしています。SPIポートは、最大4個の他のSPI互換デバイスとインターフェースして、マスター・デバイスまたはスレーブ・デバイスとして機能することにより、マルチマスター環境で動作することができます。

ADSP-21367/ADSP-21368/ADSP-21369 SPI互換ペリフェラルのボー・レート、クロック位相、クロック極性も設定することができます。SPI互換ポートでは、オープン・ドレイン・ドライバを使用してマルチマスター構成をサポートし、データの競合を防止します。

UART ポート

これらのプロセッサは、PC標準UARTと互換性を持つ全二重ユニバーサル非同期レシーバ/トランスミッタ(UART)ポートを内蔵しています。このUARTポートは他のペリフェラルまたはホストに対するシンプルなUARTインターフェースを提供し、全二重、DMA、シリアル・データの同期転送をサポートしています。このUARTも、9ビット・アドレスの検出を行うマルチプロセッサ通信機能を持っています。この機能により、RS-485データ・インターフェース規格に従ってマルチドロップ・ネットワークで使用することができます。このUARTポートは、5~8ビットのデータ・ビット、1ビットまたは2ビット幅のストップ・ビット、パリティ(偶数、奇数または無し)をサポートしています。UARTポートは次の2つの動作モードをサポートしています。

- PIO (プログラムド I/O)—プロセッサは I/O マップド UART レジスタに対して書き込みまたは読み出しを行うことにより、データを送信または受信します。データは送信と受信でダブル・バッファされています。
- DMA (ダイレクト・メモリ・アクセス)—DMA コントローラが送信データと受信データを転送します。この方法は、メモリに対するデータ転送に必要なとされる割り込みの回数と頻度を減らします。UART は、送信と受信に対して各 1 個の専用 DMA チャンネルを持っています。これらの DMA チャンネルはサービス・レートが相対的に低いため、大部分の DMA チャンネルより低いデフォルト優先順位を持っています。

UART ポートのボー・レート、シリアル・データ・フォーマット、エラー・コードの発生とステータス、割り込みは次のように設定することができます。

- 毎秒($f_{\text{SCLK}}/1,048,576$)~($f_{\text{SCLK}}/16$)ビットの範囲のビット・レートをサポート
- 1 フレーム当たり 7~12 ビットのデータ・フォーマットをサポート
- 送信動作と受信動作でプロセッサに対するマスク可能な割り込みを発生するように設定可能

ここで、16 ビット UART_Divisor は、DLH レジスタ(上位 8 ビット)と DLL レジスタ(下位 8 ビット)から取得します。

汎用タイマの機能との組み合わせにより、自動ボー・レート検出機能をサポートします。

ペリフェラル・タイマ

3 個の汎用タイマは、周期割り込みを発生することができ、次の 3 種類のモードで動作するように独立に設定することができます。

- ・パルス波形発生モード
- ・パルス幅カウント/キャプチャ・モード
- ・外部イベント・ウォッチドッグ・モード

各汎用タイマは 1 本の双方向ピンと 4 個のレジスタを持っています。これら 4 個のレジスタは動作モードを制御し、6 ビットのコンフィギュレーション・レジスタ、32 ビットのカウンタ・レジスタ、32 ビットの周期レジスタ、32 ビットのパルス幅レジスタからなります。1 個のコントロール/ステータス・レジスタにより、3 個の汎用タイマを独立にイネーブル/ディスエーブルすることができます。

2 線式インターフェース・ポート(TWI)

TWIは、I²Cバス・プロトコルに準拠する8ビット・データの転送に使う双方向2線式シリアル・バスです。TWIマスターは次の機能を持っています。

- ・マルチ・マスター・データ調停をサポートする複数デバイス・システムでのマスター/スレーブ同時動作
- ・デジタル・フィルタ機能と時間イベント処理
- ・7 ビットおよび 10 ビットのアドレッシング
- ・100 kbps と 400 kbps のデータ・レート
- ・低割り込みレート

I/Oプロセッサの機能

I/O プロセッサは、多くの DMA チャンネルを提供し、前述の広範囲なペリフェラルを制御します。

DMAコントローラ

プロセッサの内蔵 DMA コントローラにより、プロセッサの介入なしでデータ転送を行うことができます。DMA コントローラは独立に動作し、プロセッサ・コアからは見えないため、DMA 動作はコアのプログラム命令実行と同時に発生することができます。DMA 転送は、シリアル・ポート、SPI 互換(シリアル・ペリフェラル・インターフェース)ポート、IDP (入力データ・ポート)、パラレル・データ・アキュイジション・ポート(PDAP)、または UART と、プロセッサの内部メモリとの間で行うことができます。

ADSP-2136xプロセッサには34チャンネルのDMAがあります(表6)。

表6 DMA チャンネル

Peripheral	DMA Channels
SPORTs	16
PDAP	8
SPI	2
UART	4
External Port	2
Memory-to-Memory	2

ディレイライン DMA

ADSP-21367/ADSP-21368/ADSP-21369プロセッサは、ディレイラインDMA機能を提供します。この機能を使うと、プロセッサは外部ディレイライン・バッファ(外部メモリ、SRAMまたはSDRAM)に対してコアの介入を最小限にした読み出しと書き込みを行うことができます。

システム・デザイン

次のセクションでは、システム・デザイン・オプションと電源問題の概要を説明します。

プログラム・ブート

プロセッサの内部メモリは、システム・パワーアップ時に外部ポートに接続された8ビットEPROM、SPIマスター、SPIスレーブ、もしくは内部ブートによりブートすることができます。ブートは、ブート設定(BOOT_CFG1~0)ピンから制御されます(表7参照)。ブート・ソースの選択はマスターまたはスレーブ・デバイスとしてのSPIから制御されるか、あるいは、ROMから直ちに実行を開始することができます。

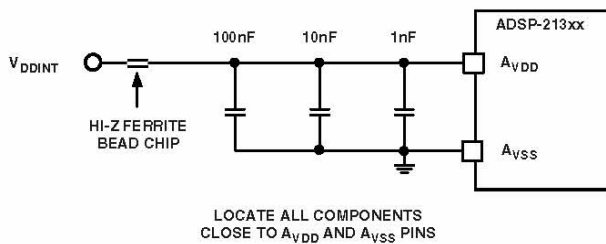
表7 ブート・モード選択

BOOT_CFG1-0	Booting Mode
00	SPI Slave Boot
01	SPI Master Boot
10	EPROM/FLASH Boot
11	Reserved

電源

プロセッサは、内部電源(V_{DDINT})、外部電源(V_{DDEXT})、アナログ電源(A_{VDD}/A_{VSS})に別々の電源接続を持っています。内部電源とアナログ電源は、400 MHzデバイスでは1.3 V条件を、333 MHzと266 MHzのデバイスでは1.2 V条件を、それぞれ満たす必要があります。外部電源は3.3 Vの条件を満たす必要があります。すべての外部電源ピンは、同じ電源に接続する必要があります。

アナログ電源ピン(A_{VDD})がプロセッサの内部クロック・ジェネレータPLLの電源になっていることに注意してください。安定なクロックを発生するためには、PCBデザインでA_{VDD} ピンに外付けフィルタ回路を使用することが推奨されます。フィルタ部品はできるだけA_{VDD}/A_{VSS} ピンの近くに配置してください。回路例を図3に示します。(推奨フェライト・チップは村田製のBLM18AG102SN1Dです)。ノイズの混入を少なくするためには、PCBでV_{DDINT}とGNDに対して電力プレーンとグラウンド・プレーンの並行対を使う必要があります。太いパターンを使用してバイパス・コンデンサをアナログ電源(A_{VDD})ピンとグラウンド(A_{VSS})ピンへ接続してください。図3に規定するA_{VDD} ピンとA_{VSS} ピンはプロセッサへの入力であり、ボードのアナログ・グラウンド・プレーンではないことに注意してください。A_{VSS} ピンはチップのデジタル・グラウンド(GND)に直接接続する必要があります。

図3 アナログ電源(A_{VDD})のフィルタ回路

ターゲット・ボードJTAGエミュレータのコネクタ

アナログ・デバイゼズのJTAGエミュレータのDSPツール製品ラインでは、ADSP-21367/ ADSP-21368/ADSP-21369 プロセッサのIEEE 1149.1 JTAGテスト・アクセス・ポートを使って、エミュレーション時にターゲット・ボード・プロセッサのモニタと制御を行っています。アナログ・デバイゼズのJTAGエミュレータのDSPツール製品ラインは、フル・プロセッサ速度でのエミュレーションを提供するため、メモリ、レジスタ、プロセッサ・スタックの検証と変更が可能です。プロセッサのJTAGインターフェースでは、エミュレータがターゲット・システムのローディングまたはタイミングに影響を与えないことを保証します。

アナログ・デバイゼズの JTAG エミュレータの SHARC DSP ツール製品ラインの動作の詳細については、該当するエミュレータ・ハードウェア・ユーザズ・ガイドを参照してください。

開発ツール

プロセッサは、アナログ・デバイゼズのエミュレータと VisualDSP++[®] 開発環境を含む CROSSCORE[®] ソフトウェアおよびハードウェア開発ツールの完全なセットによりサポートされています。アナログ・デバイゼズの他の SHARC プロセッサをサポートしている同じエミュレータ・ハードウェアも ADSP-21367/ADSP-21368/ADSP-21369 をエミュレートします。

VisualDSP++プロジェクト・マネジメント環境は、アプリケーションの開発とデバッグを可能にします。この環境には、代数的な構文に基づいた使い易いアセンブラ、アーカイバ(ライブラリアン/ライブラリ・ビルダ)、リンカー、ローダ、サイクル精度の命令レベルシミュレータ、C/C++ コンパイラ、DSP 関数と数学関数を含む C/C++ ランタイム・ライブラリが含まれています。これらのツールのキー・ポイントは C/C++ コードの効率です。コンパイラは、C/C++ コードを DSP アセンブリに効率良く変換するように開発されています。SHARC には、コンパイルされた C/C++ コードの効率を改善するアーキテクチャ機能があります。

VisualDSP++デバッガは多くの重要な機能を持っています。データ表示は、柔軟性を提供するプロットング・パッケージにより機能強化されています。ユーザ・データのグラフィック表示により、プログラマはアルゴリズムの性能を迅速に調べることができます。アルゴリズムが複雑になる程、この機能設計者の開発スケジュールや、生産性を向上させます。統計プロファイリング機能は、プログラムの実行状況を監視することが出来ます。VisualDSP++独

自のこの機能を使うと、ソフトウェア開発者はプログラムのリアルタイム特性を損なうことなく重要なコード実行の測定データを収集することができます。ソフトウェア内のボトルネックを迅速かつ効果的に特定できます。プロファイラを使うと、プログラマは性能に影響を与える領域に専念できるようになり、対策を講じることができます。VisualDSP++デバッガを使って、C/C++プログラムとアセンブリ・プログラムをデバッグすると、プログラマは次のことが可能になります。

- ・ C/C++とアセンブリ・コードの混在の表示(インターリーブされたソースとオブジェクト情報)
- ・ ブレークポイントの挿入
- ・ レジスタ、メモリ、スタックへの条件付きブレークポイントの設定
- ・ プログラム実行の連続的または統計的な分析
- ・ メモリ内容のフィル、ダンプ、図形的表示
- ・ ソース・レベル・デバッグの実行
- ・ カスタム・デバッガ・ウインドウの作成

VisualDSP++ IDDE を使うと、DSP ソフトウェア開発の定義と管理が可能になります。ダイアログ・ボックスと属性ページを使うと、VisualDSP++エディタ内での色による強調表示などのすべての SHARC 開発ツールの設定と管理ができます。これらの機能によりプログラマは次のことが可能になります。

- ・ 開発ツールによる入力の処理方法と出力の発生方法の制御
- ・ ツールのコマンドライン・スイッチとの 1 対 1 対応の維持

VisualDSP++カーネル(VDK)は、DSP プログラミングのメモリ制約とタイミング制約を解決するように特別に作成されたスケジューリングとリソース・マネジメントを内蔵しています。これらの機能を使うと、コードを効率的に開発できるようになり、新しいアプリケーション・コードを開発する際に、早くからスタートする必要がなくなります。VDK の機能には、スレッド領域、クリティカル領域、未スケジュール領域、セマフォ、イベント、デバイス・フラグが含まれています。また、VDK は優先順位ベースの、プリエンプティブで協調動作的なタイムスライス・スケジューリング・アプローチもサポートしています。さらに、VDK はスケラブルにデザインされています。アプリケーションである特定の機能を使わない場合には、その機能をサポートするコードはターゲット・システムから除外されます。

VDKはライブラリであるため、開発者が使用するかどうかを決めることができます。VDKはVisualDSP++開発環境に統合されていますが、標準のコマンドライン・ツールと一緒に使用することもできます。VDKを使うと、この開発環境は、多くのエラーを起こしやすいタスクについて開発者を支援し、システム・リソースの管理を支援し、種々の VDK ベースのオブジェクト生成を自動化し、VDK を使用するアプリケーションのデバッグではシステム状態を表示します。

Expert Linker を使って、組み込型システムのコードとデータの配置を視覚的に操作します。カラー・コード化されたグラフィカル形式でメモリ使用率を表示し、マウスのドラッグによりコードとデータをプロセッサまたは外部メモリの異なる領域へ容易に移動することができ、ランタ

イム・スタックとヒープ使用率を調べることができます。エキスパート・リンカーは既存リンカー定義ファイル(LDF)と完全な互換性を持っているため、グラフィカル環境とテキスト環境との間で移動することができます。

アナログ・デバイセズが提供するソフトウェア開発ツールとハードウェア開発ツールの他に、SHARCプロセッサ・ファミリをサポートする広範囲なツールをサード・パーティが提供しています。ハードウェア・ツールにはSHARCプロセッサPCプラグイン・カードが含まれています。サード・パーティのソフトウェア・ツールには、DSPライブラリ、リアルタイム・オペレーティング・システム、ブロック図デザイン・ツールなどがあります。

エミュレータ互換DSPボード(ターゲット)のデザイン

アナログ・デバイセズのエミュレータ・ファミリは、すべてのDSP開発者がハードウェア・システムとソフトウェア・システムをテストし、デバッグする際に必要とするツールです。アナログ・デバイセズは、各JTAG DSP上でIEEE 1149.1 JTAGテスト・アクセス・ポート(TAP)を提供しています。プロセッサのJTAGインターフェースを使用すると、エミュレータがターゲット・システムのローディングまたはタイミングに影響を与えないインサーキット・エミュレーションが可能になります。エミュレータはこのTAPを使ってプロセッサの内部機能をアクセスするため、コードのロード、ブレークポイントの設定、変数の表示、メモリの表示、レジスタの表示が可能になります。プロセッサはデータとコマンドを送信するとき停止する必要がありますが、エミュレータによる動作が完了した後に、システム・タイミングに影響を与えることなく、フル速度で動作するようにDSPシステムを設定することができます。

これらのエミュレータを使うときは、DSPのJTAGポートをエミュレータへ接続するヘッダーがターゲット・ボードに付いている必要があります。

メカニカルレイアウト、シングル・プロセッサ接続、信号バッファリング、信号終端、エミュレータ・ボッド・ロジックなどのターゲット・ボード・デザイン問題の詳細については、アナログ・デバイセズのウェブ・サイト

(www.analog.com/jp)にある「*Analog Devices JTAG Emulation Technical Reference (EE-68)*」を参照してください—「*EE-68*」の[サイト検索](#)をご使用ください。エミュレータ・サポートの強化に合わせて、このドキュメントは定期的に更新されています。

評価キット

アナログ・デバイセズは、アナログ・デバイセズのプロセッサ、プラットフォーム、ソフトウェア・ツールによるアプリケーションの開発またはプロトタイプについて学習するコスト/パフォーマンスの優れた方法として使う広範囲なEZ-KIT Lite[®]評価プラットフォームを提供しています。各EZ-KIT Liteには、評価ボードと一緒にC/C++コンパイラ、アセンブラ、リンカーによるVisualDSP++開発およびデバッグ環境の評価スイートが含まれています。また、サンプル・アプリケーション・プログラム、電源、USBケーブルも添付されています。ソフトウェア・ツールのすべての評価バージョンは、EZ-KIT Lite製品と組み合わせて使用するよう制限されています。

EZ-KIT Lite ボードのUSBコントローラは、ボードをユーザのPCのUSBポートに接続して、VisualDSP++評価スイートによりオンボード・プロセッサをインサーキットでエミュレートできるようにします。これにより、EZ-KIT Lite システムのプログラムをダウンロード、実行、デバッグすることが可能になります。また、ユーザ固有のブート・コードを格納するオンボード・フラッシュ・デバイスのインサーキット・プログラミングが可能になるため、PCに接続しないでスタンドアロン・ユニットとしてボードを動作させることができます。

VisualDSP++のフル・バージョン(別売)をインストールすると、EZ-KIT Lite または任意のユーザ定義システムのソフトウェアを開発することができます。アナログ・デバイセズのJTAGエミュレータの1つをEZ-KIT Lite ボードに接続すると、高速な非侵害型エミュレーションが可能になります。

その他の情報

このデータシートは、ADSP-21367/ADSP-21368/ADSP-21369のアーキテクチャと機能について情報を提供します。ADSP-2136xファミリ・コア・アーキテクチャと命令セットの詳細については、「ADSP-21368 SHARC Processor Hardware Reference」と「SHARC Processor Programming Reference」を参照してください。

ピン機能の説明

表8のタイプの列では、A =非同期、G =グラウンド、I = 入力、O =出力、O/T =出力スリー・ステート、P =電源、S =同期、(A/D) =アクティブ駆動、(O/D) =オープン・ドレイン、(pd) =プルダウン抵抗、(pu) =プルアップ抵抗を表しています。

ADSP-21367/ADSP-21368/ADSP-21369 SHARCプロセッサは、ピン数を削減するためピンの共用を広範囲に行っています。ピンの共用については、「ADSP-21368 SHARC Processor Hardware Reference」のSystem Designの章を参照してください。

表8 ピン説明

名前	タイプ	リセット時 / 後の状態 (ID = 00x)	説明
ADDR ₂₃₋₀	O/T (pu) ¹	Pulled high/ driven low	外部アドレス。 プロセッサは外部メモリとペリフェラルのアドレスをこれらのピンに出力します。
DATA ₃₁₋₀	I/O (pu) ¹	Pulled high/ pulled high	外部データ。 外部メモリ・インターフェース・データ(I/O)、PDAP (I)、FLAG (I/O)、PWM (O)をサポートするためにデータ・ピンを共用することができます。リセット時、すべてのデータ・ピンが EMIF モードになり、FLAG(0～3)ピンは FLAG モード(デフォルト)になります。IDP_PDAP_CTL レジスタで設定されると、IDP チャンネル 0 がパラレル入力データの外部ポート・ピンをスキャンします。
ACK	I (pu) ¹		メモリ・アクノリッジ。 外部デバイスは、ACK (ロー・レベル)のアサートを解除して、外部メモリ・アクセスにウェイト状態を追加することができます。I/O デバイス、メモリ・コントローラ、またはその他のペリフェラルは、ACK を使って、外部メモリ・アクセスの完了を遅延させることができます。
$\overline{MS}_{0-1}$	O/T (pu) ¹	Pulled high/ driven high	メモリ・セレクト・ライン 0～1。 外部メモリの対応するバンクのチップ・セレクトとして、これらのラインがアサートされます(ロー・レベル)。 $\overline{MS}_{3-0}$ ラインは、デコードされたメモリ・アドレス・ラインであり、他のアドレス・ラインと同時に変化します。外部メモリ・アクセスがないとき、 $\overline{MS}_{3-0}$ ラインは非アクティブになりますが、条件付きメモリ・アクセス命令が実行されたとき、条件の真偽によらず、アクティブになります。 $\overline{MS}_1$ ピンは、EPORT/FLASH ブート・モードで使用することができます。詳細については、ハードウェア・リファレンスを参照してください。
$\overline{RD}$	O/T (pu) ¹	Pulled high/ driven high	外部ポート読み出しイネーブル。 プロセッサが外部メモリから 1 ワード読み出すごとに、 $\overline{RD}$ がアサートされます。
$\overline{WR}$	O/T (pu) ¹	Pulled high/ driven high	外部ポート書き込みイネーブル。 プロセッサが外部メモリへ 1 ワード書き込んだときに、 $\overline{WR}$ がアサートされます。
FLAG[0]/ $\overline{IRQ0}$	I/O	FLAG[0] INPUT	FLAG0/割り込み要求 0。
FLAG[1]/ $\overline{IRQ1}$	I/O	FLAG[1] INPUT	FLAG1/割り込み要求 1。
FLAG[2]/ $\overline{IRQ2}$ / $\overline{MS}_2$	I/O with programmable pu (for MS mode)	FLAG[2] INPUT	FLAG2/割り込み要求 2/メモリ・セレクト 2。
FLAG[3]/ TMREXP/ $\overline{MS}_3$	I/O with programmable pu (for MS mode)	FLAG[3] INPUT	FLAG3/タイマ・タイムアウト/メモリ・セレクト 3。

表 8 ピン説明 (続き)

名前	タイプ	リセット時 / 後の状態 (ID = 00x)	説明
$\overline{\text{SDRAS}}$	O/T (pu) ¹	Pulled high/ driven high	SDRAM 行アドレス・ストローブ。 SDRAM の RAS ピンへ接続します。他の SDRAM コマンド・ピンと組み合わせて使い、SDRAM の動作を指定します。
$\overline{\text{SDCAS}}$	O/T (pu) ¹	Pulled high/ driven high	SDRAM 列アドレス・セレクト。 SDRAM の CAS ピンに接続します。他の SDRAM コマンド・ピンと組み合わせて使い、SDRAM の動作を指定します。
$\overline{\text{SDWE}}$	O/T (pu) ¹	Pulled high/ driven high	SDRAM 書き込みイネーブル。 SDRAM の WE または W パッファピンに接続します。
SDCKE	O/T (pu) ¹	Pulled high/ driven high	SDRAM クロック・イネーブル。 SDRAM の CKE ピンに接続します。CLK 信号をイネーブル/ディスエーブルします。詳細については、SDRAM デバイスのデータシートを参照してください。
SDA10	O/T (pu) ¹	Pulled high/ driven low	SDRAM A10 ピン。 非 SDRAM アクセスと並行して SDRAM のリフレッシュを可能にします。 このピンは、SDRAM アクセス時にのみ DSP の A10 ピンに置き換わります。
SDCLK0	O/T	High-Z/driving	SDRAM クロック出力ピン 0。 このピンのクロック・ドライバは他のすべてのクロック・ドライバと異なります。図 39 を参照してください。
SDCLK1	O/T		SDRAM クロック出力ピン 1。 追加 SDRAM クロック・イネーブル・ピン。 複数の SDRAM デバイスを使うデバイスで、クロック負荷の増加を処理して、外付けクロック・バッファを不要にします。SDCLK1 ピンまたは両 SDCLKx ピンはスリー・ステートにすることができます。このピンのクロック・ドライバは他のすべてのクロック・ドライバと異なります。図 39 を参照してください。 SDCLK1 信号は、SBGA パッケージにのみあります。SDCLK1 信号は、LQFP_EP パッケージにはありません。
DAI_P20-1	I/O with programmable pu ²	Pulled high/ pulled high	デジタル・アプリケーション・インターフェース。 これらのピンは、DAI SRU に対する物理インターフェースを提供します。DAI SRU コンフィギュレーション・レジスタにより、オーディオ中心の内蔵ペリフェラルの入力または出力(ピンとピンの出力イネーブルに接続)の組み合わせを指定します。実際のピン動作は、コンフィギュレーション・レジスタにより指定されます。DAI SRU 内のすべての入力信号または出力信号は、これらの任意のピンに接続することができます。DAI SRU は、シリアル・ポート(8)、SRC モジュール、S/PDIF モジュール、入力データ・ポート(2)、高精度クロック・ジェネレータ(4)から DAI_P20~1 ピンまでの接続を提供します。プルアップは、DAI_PIN_PULLUP を使ってディスエーブルすることができます。
DPI_P14-1	I/O with programmable pu ²	Pulled high/ pulled high	デジタル・ペリフェラル・インターフェース。 これらのピンは、DPI SRU に対する物理インターフェースを提供します。DPI SRU コンフィギュレーション・レジスタにより、内蔵ペリフェラルの入力または出力(ピンとピンの出力イネーブルに接続)の組み合わせを指定します。実際のピン動作は、これらのペリフェラルのコンフィギュレーション・レジスタにより指定されます。DPI SRU 内のすべての入力信号または出力信号は、これらの任意のピンに接続することができます。DPI SRU は、タイマ(3)、SPI(2)、UART (2)、フラグ(12)、TWI (1)、汎用 I/O (9) から DPI_P14~1 ピンまでの接続を提供します。TWI 出力はオープン・ドレイン出力であるため、I ² C データとクロックに使われるピンは、ロー・レベルに接続する必要があります。プルアップは、DPI_PIN_PULLUP を使ってディスエーブルすることができます。
TDI	I (pu)		テスト・データ入力 (JTAG)。 バウンダリ・スキャン・ロジックのシリアル・データ入力。
TDO	O/T		テスト・データ出力(JTAG)。 バウンダリ・スキャン・パスのシリアル・スキャン出力。
TMS	I (pu)		テスト・モード・セレクト(JTAG)。 テスト・ステート・マシンの制御に使用します。

表 8 ピン説明 (続き)

名前	タイプ	リセット時 / 後の状態 (ID = 00x)	説明
TCK	I		テスト・クロック(JTAG)。JTAG バウンダリ・スキンのクロックを提供します。パワーアップ後には TCK をアサート(ロー・レベル)する必要があります。あるいは、プロセッサの正常動作のためにはロー・レベルを維持する必要があります。
$\overline{\text{TRST}}$	I (pu)		テスト・リセット(JTAG)。テスト・ステート・マシンをリセットします。パワーアップ後には TRST をアサート(ロー・レベル)する必要があります。あるいは、プロセッサの正常動作のためにはロー・レベルを維持する必要があります。
$\overline{\text{EMU}}$	O/T (pu)		エミュレーション・ステータス。ADSP-21367/ADSP-21368/ADSP-21369 アナログ・デバイスズの DSP ツール製品ラインの JTAG エミュレータ・ターゲット・ボード・コネクタへ接続する専用ピン。
CLK_CFG ₁₋₀	I		コア対 CLKIN 比制御。これらのピンは、クロック周波数の起動を設定します。クロック・コンフィギュレーション・モードの説明についてはプロセッサ・ハードウェア・リファレンスを参照してください。 コアがリセットから抜け出した後いつでも、PMCTL レジスタ内の PLL 通倍器/分周器を設定して動作周波数を変更できることに注意してください。
CLKIN	I		ローカル・クロック・イン。XTALと組み合わせて使います。CLKIN はプロセッサのクロック入力です。プロセッサが内部クロック・ジェネレータまたは外部クロック源を使うように設定します。CLKINとXTALに必要な部品を接続すると、内部クロック・ジェネレータがイネーブルされます。外部クロックをCLKINに接続し、XTALを解放のままにすると、プロセッサが外部クロック発振器のような外部クロック源を使うように設定されます。CLKINは、停止、変更、または規定周波数未満で動作させることはできません。
XTAL	O		水晶発振器ピン。CLKINと組み合わせて使って外付け水晶の駆動に使います。
$\overline{\text{RESET}}$	I		プロセッサ・リセット。プロセッサを既知状態にリセットします。アサートが解除された後、PLLのロックまでにCLKINで4096 サイクルが必要です。この時間が経過後、コアはハードウェア・リセット・ベクタ・アドレスからプログラムの実行を開始します。RESET入力は、パワーアップの前にアサート(ロー・レベル)する必要があります。
$\overline{\text{RESETOUT}}$	O	Driven low/ driven high	リセット出力。すべてのデバイス・ポートを外部ヘッダー・ピンに接続
BOOT_CFG ₁₋₀	I		ブート・コンフィギュレーション・セレクト。これらのピンを使って、プロセッサのブート・モードを選択します。BOOT_CFGピンは、リセットがアサートされる前に有効である必要があります。ブート・モードの説明についてはプロセッサ・ハードウェア・リファレンスを参照してください。
$\overline{\text{BR}}_{4-1}$	I/O (pu) ¹	Pulled high/ pulled high	外部バス要求。ADSP-21368プロセッサがバス使用権を調停するときに使います。1つのプロセッサのみが自らのBR _x ライン (ID2-0 入力の値に対応)を駆動して、ほかのプロセッサをモニタします。プロセッサ数が4個より少ないシステムでは、未使用のBR _x ピンをハイ・レベルに接続しておく必要があります。プロセッサ自身のBR _x ラインは出力であるため、ハイ・レベルまたはロー・レベルに接続することはできません。
ID ₂₋₀	I (pd)		プロセッサID。ADSP-21368プロセッサが使用しているバス要求($\overline{\text{BR}}_{4-1}$)を示します。ID = 001 は BR ₁ に、ID = 010はBR ₂ に、以後同様に、それぞれ対応します。ID = 000 または001はシングル・プロセッサ・システムで使います。これらのラインはシステム設定の選択であるため、ハードウェアにより、またはリセット時にのみ変更する必要があります。ID = 101、110、111は予約済みです。
RPBA	I (pu) ¹		循環優先順位バス調停の選択。RPBAをハイ・レベルにすると、ADSP-21368 外部バス調停の循環優先順位が選択されます。RPBAをロー・レベルにすると、固定優先順位が選択されます。この信号は、システム設定の選択であるため、システム内の各プロセッサで同じ値に設定する必要があります。

¹プルアップは、常にADSP-21367とADSP-21369プロセッサでイネーブルされています。ADSP-21368プロセッサのプルアップは、ID₂₋₀ = 00xのプロセッサ上でのみイネーブルされています。

²プルアップはイネーブル/ディスエーブルできます。プルアップの値は設定できません。

仕様

動作条件

Parameter ¹	Description	400 MHz		366 MHz 350 MHz		333 MHz 266 MHz		Unit
		Min	Max	Min	Max	Min	Max	
V _{DDINT}	Internal (Core) Supply Voltage	1.25	1.35	1.235	1.365	1.14	1.26	V
A _{VDD}	Analog (PLL) Supply Voltage	1.25	1.35	1.235	1.365	1.14	1.26	V
V _{DDEXT}	External (I/O) Supply Voltage	3.13	3.47	3.13	3.47	3.13	3.47	V
V _{IH} ²	High Level Input Voltage @ V _{DDEXT} = Max	2.0	V _{DDEXT} + 0.5	2.0	V _{DDEXT} + 0.5	2.0	V _{DDEXT} + 0.5	V
V _{IL} ²	Low Level Input Voltage @ V _{DDEXT} = Min	−0.5	+0.8	−0.5	+0.8	−0.5	+0.8	V
V _{IH_CLKIN} ³	High Level Input Voltage @ V _{DDEXT} = Max	1.74	V _{DDEXT} + 0.5	1.74	V _{DDEXT} + 0.5	1.74	V _{DDEXT} + 0.5	V
V _{IL_CLKIN} ³	Low Level Input Voltage @ V _{DDEXT} = Min	−0.5	+1.1	−0.5	+1.1	−0.5	+1.1	V
T _J	Junction Temperature 208-Lead LQFP_EP @ T _{AMBIENT} 0°C to 70°C	N/A	N/A	0	110	0	110	°C
T _J	Junction Temperature 208-Lead LQFP_EP @ T _{AMBIENT} −40°C to +85°C	N/A	N/A	N/A	N/A	−40	+120	°C
T _J	Junction Temperature 256-Ball BGA_ED @ T _{AMBIENT} 0°C to 70°C	0	95	N/A	N/A	0	105	°C
T _J	Junction Temperature 256-Ball BGA_ED @ T _{AMBIENT} −40°C to +85°C	N/A	N/A	N/A	N/A	0	105	°C

¹仕様は予告なく変更されることがあります。²DATAx, ACK, RPBA, BRx, IDx, FLAGx, DAI_Px, DPI_Px, BOOT_CFGx, CLK_CFGx, RESET, TCK, TMS, TDI, TRSTの入力ピンと双方向ピンに適用されます。³入力ピンCLKINに適用。

電気的特性

Parameter	Description	Test Conditions	Min	Typ	Max	Unit
V_{OH}^1	High Level Output Voltage	@ $V_{DDEXT} = \text{Min}$, $I_{OH} = -1.0 \text{ mA}^2$	2.4			V
V_{OL}^1	Low Level Output Voltage	@ $V_{DDEXT} = \text{Min}$, $I_{OL} = 1.0 \text{ mA}^2$			0.4	V
$I_{IH}^{3, 4}$	High Level Input Current	@ $V_{DDEXT} = \text{Max}$, $V_{IN} = V_{DDEXT} \text{ Max}$			10	μA
$I_{IL}^{3, 5, 6}$	Low Level Input Current	@ $V_{DDEXT} = \text{Max}$, $V_{IN} = 0 \text{ V}$			10	μA
I_{IHPD}^5	High Level Input Current Pull-Down	@ $V_{DDEXT} = \text{Max}$, $V_{IN} = 0 \text{ V}$			250	μA
I_{ILPU}^4	Low Level Input Current Pull-Up	@ $V_{DDEXT} = \text{Max}$, $V_{IN} = 0 \text{ V}$			200	μA
$I_{OZH}^{7, 8}$	Three-State Leakage Current	@ $V_{DDEXT} = \text{Max}$, $V_{IN} = V_{DDEXT} \text{ Max}$			10	μA
$I_{OZL}^{7, 9}$	Three-State Leakage Current	@ $V_{DDEXT} = \text{Max}$, $V_{IN} = 0 \text{ V}$			10	μA
I_{OZLPU}^8	Three-State Leakage Current Pull-Up	@ $V_{DDEXT} = \text{Max}$, $V_{IN} = 0 \text{ V}$			200	μA
$I_{DD-INTYP}^{10}$	Supply Current (Internal)	$t_{CCLK} = 3.75 \text{ ns}$, $V_{DDINT} = 1.2 \text{ V}$, 25°C $t_{CCLK} = 3.00 \text{ ns}$, $V_{DDINT} = 1.2 \text{ V}$, 25°C $t_{CCLK} = 2.85 \text{ ns}$, $V_{DDINT} = 1.3 \text{ V}$, 25°C $t_{CCLK} = 2.73 \text{ ns}$, $V_{DDINT} = 1.3 \text{ V}$, 25°C $t_{CCLK} = 2.50 \text{ ns}$, $V_{DDINT} = 1.3 \text{ V}$, 25°C		700 900 1050 1080 1100		mA mA mA mA mA
A_{ID}^{11}	Supply Current (Analog)	$A_{VDD} = \text{Max}$			11	mA
$C_{IN}^{12, 13}$	Input Capacitance	$f_{IN} = 1 \text{ MHz}$, $T_{CASE} = 25^\circ\text{C}$, $V_{IN} = 1.3 \text{ V}$			4.7	pF

¹ADDRx, DATAx, $\overline{\text{RD}}$, $\overline{\text{WR}}$, $\overline{\text{MSx}}$, $\overline{\text{BRx}}$, FLAGx, DAI_Px, DPI_Px, $\overline{\text{SDRAS}}$, $\overline{\text{SDCAS}}$, $\overline{\text{SDWE}}$, SDCKE, SDA10, SDCLKx, $\overline{\text{EMU}}$, TDOの出力ピンと双方向ピンに適用。

²駆動電流能力(typ)については、出力駆動電流を参照してください。

³BOOT_CFGx, CLK_CFGx, CLKIN, RESET, TCKのプルアップが内蔵されていない入力ピンに適用。

⁴内部プルアップを持つ入力ピンACK, RPBA, TMS, TDI, $\overline{\text{TRST}}$ に適用。

⁵プルダウンが内蔵されている入力ピンIDxに適用。

⁶内部プルアップをディセーブルした入力ピンACK, RPBAに適用。

⁷内部プルアップを持たないスリー・ステート可能な入力ピンFLAGx, $\overline{\text{SDCLKx}}$, TDOに適用。

⁸内部プルアップを持つスリー・ステート可能なピンADDRx, DATAx, $\overline{\text{RD}}$, $\overline{\text{WR}}$, $\overline{\text{MSx}}$, $\overline{\text{BRx}}$, DAI_Px, DPI_Px, $\overline{\text{SDRAS}}$, $\overline{\text{SDCAS}}$, $\overline{\text{SDWE}}$, SDCKE, SDA10, $\overline{\text{EMU}}$ に適用。

⁹内部プルアップをディセーブルしたスリー・ステート可能なピンADDRx, DATAx, $\overline{\text{RD}}$, $\overline{\text{WR}}$, $\overline{\text{MSx}}$, $\overline{\text{BRx}}$, DAI_Px, DPI_Px, $\overline{\text{SDRAS}}$, $\overline{\text{SDCAS}}$, $\overline{\text{SDWE}}$, SDCKE, SDA10に適用。

¹⁰詳細については、「Estimating Power Dissipation for ADSP-21368 SHARC Processors (EE-299)」を参照。

¹¹キャラクタライズしますが、テストしません。

¹²全信号ピンに適用。

¹³保証しますが、テストしません。

パッケージ情報

図4に、ADSP-21367/ADSP-21368/ADSP-21369プロセッサのパッケージ表示の詳細を示します。製品の供給状況については、[オーダー・ガイド](#)をご覧ください。

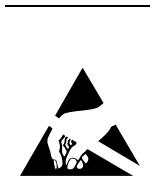


図4 代表的なパッケージ表示

表9 パッケージ表示情報

Brand Key	Field Description
t	Temperature Range
pp	Package Type
Z	RoHS Compliant Option
Cc	See Ordering Guide
vvvvvv.x	Assembly Lot Code
n.n	Silicon Revision
#	RoHS Compliant Designation
Yyww	Date Code

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

最大消費電力

最大消費電力に関する熱および消費電力情報の詳細については、「*Estimating Power Dissipation for ADSP-21368 SHARC Processors (EE-299)*」を参照してください。パッケージ熱仕様については、[熱特性](#)を参照してください。

絶対最大定格

表10に示す絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶

対最大定格状態に置くとデバイスの信頼性に影響を与えます。

表10 絶対最大定格

Parameter	Rating
Internal (Core) Supply Voltage (V_{DDINT})	-0.3 V to +1.5 V
Analog (PLL) Supply Voltage (A_{VDD})	-0.3 V to +1.5 V
External (I/O) Supply Voltage (V_{DDEXT})	-0.3 V to +4.6 V
Input Voltage	-0.5 V to +3.8 V
Output Voltage Swing	-0.5 V to $V_{DDEXT} + 0.5 V$
Load Capacitance	200 pF
Storage Temperature Range	-65°C to +150°C
Junction Temperature Under Bias	125°C

タイミング仕様

指定されたタイミング情報そのものを使用してください。他のパラメータの加算または減算によってパラメータを求めないでください。加算または減算により個々のデバイスに対して意味結果を得ることがありますが、このデータ・シートに示す値は、統計的な変動とワースト・ケースを反映しています。したがって、長い時間を得るためにパラメータを加算することは意味がありません。リファレンス電圧レベルについては、[図40](#)を参照してください。

スイッチング特性は、プロセッサが信号をどのようにに変化させるかを規定します。プロセッサの外部回路は、これらの信号特性を満たすようにデザインする必要があります。スイッチング特性は、与えられた状況でプロセッサが何を実行するかを規定します。スイッチング特性を使って、プロセッサに接続されるデバイス(例えばメモリ)のタイミング条件を満たしてください。

タイミング条件は、読み出し動作でのデータ入力のような、プロセッサ外部の回路から制御される信号に適用されます。タイミング条件は、プロセッサが他のデバイスと正しく動作することを保証します。

コア・クロック条件

プロセッサの内部クロック(CLKINの整数倍)は、内部メモリ、プロセッサ・コア、シリアル・ポートのタイミングを決めるクロック信号を提供します。リセット時に、プロセッサの内部クロック周波数と外部(CLKIN)クロック周波数との比をCLK_CFG1~0ピンを使って設定してください。

プロセッサの内部クロックは、システム入力クロック(CLKIN)より高い周波数でスイッチします。内部クロックを発生するため、プロセッサは内部位相ロック・ループ(PLL、[図5](#))を使用しています。このPLLベースのクロックは、システム・クロック(CLKIN)信号とプロセッサの内部クロックとの間のスキューを小さくします。

電圧制御発振器

アプリケーションのデザインでは、VCO周波数が表13に規定する f_{vco} を超えないようにPLL通倍比を選択する必要があります。

- 入力デバイダをイネーブルしていない場合(INDIV = 0)、CLKINとPLLMの積は表13に示す $f_{vco}(\max)$ の1/2を超えることはできません。
- 入力デバイダをイネーブルしている場合(INDIV =

1)、CLKINとPLLMの積は 表 13 に示す $f_{VCO}(\text{max})$ を超えることはできません。

VCO 周波数は次のように計算されます。

$$f_{VCO} = 2 \times PLLM \times f_{INPUT}$$

$$f_{CCLK} = (2 \times PLLM \times f_{INPUT}) \div (2 \times PLLD)$$

ここで、

f_{VCO} = VCO出力

$PLLM$ = PMCTLレジスタに設定する通倍比。リセット時に、 $PLLM$ 値はハードウェアのCLK_CFGピンを使って選択した比から求められます。

$PLLD$ = PMCTLレジスタに設定された $PLLD$ 値に基づく分周比1、2、4、または8。リセット時のこの値は1です。

f_{INPUT} = PLLへの入力周波数

f_{INPUT} = 入力分周器ディスエーブル時のCLKIN

f_{INPUT} = 入力分周器イネーブル時のCLKIN/2

CLKINと該当する比の関数であるクロック周期の定義により、表11に示す種々のクロック周期が制御されていることに注意してください。ADSP-2136xペリフェラルのすべ

てのタイミング仕様は、 t_{PCLK} との関係で決められています。各ペリフェラルのタイミング情報については、各ペリフェラルのタイミング・セクションを参照してください。

表11 クロック周期

Timing Requirements	Description
t_{CK}	CLKIN Clock Period
t_{CCLK}	Processor Core Clock Period
t_{PCLK}	Peripheral Clock Period = $2 \times t_{CCLK}$

図5に、外部発振器または水晶に対するコアとCLKINの関係を示します。灰色表示した分周器/通倍器ブロックは、ハードウェアから、またはパワー・マネジメント・コントロール・レジスタ(PMCTL)を使ってソフトウェアからクロック比を設定するところです。詳細については、プロセッサ・ハードウェア・リファレンスを参照してください。

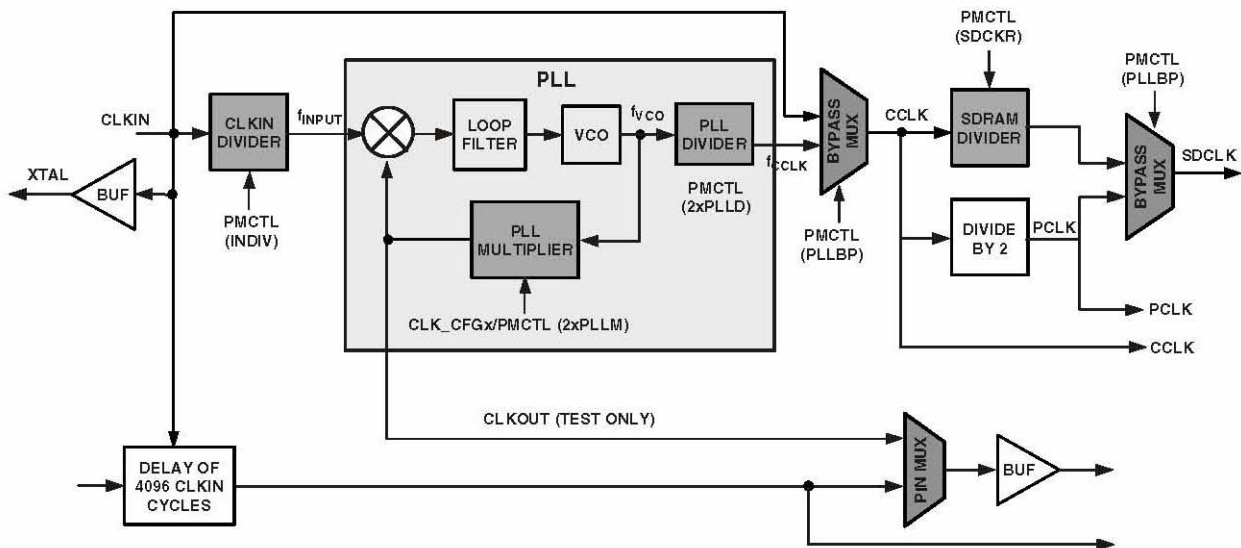


図5 コア・クロックとシステム・クロックの CLKIN に対する関係

パワーアップ・シーケンス

プロセッサ・スタートアップのタイミング条件を表12に示します。パワーアップが完了する前にRESETピンをロー・レベルに駆動すると、パワーアップ時に約200 μ Aのリーク

電流がRESETピンに観測されることに注意してください。このリーク電流は、このピンの弱い内蔵プルアップ抵抗がパワーアップ時にイネーブルされるために発生します。

表12 パワーアップ・シーケンス・タイミング条件(プロセッサ起動)

Parameter		Min	Max	Unit
Timing Requirements				
t_{RSTVDD}	RESET Low Before V_{DDINT}/V_{DDEXT} On	0		ns
$t_{IVDDEVDD}$	V_{DDINT} On Before V_{DDEXT}	-50	+200	ms
t_{CLKVDD}^1	CLKIN Valid After V_{DDINT}/V_{DDEXT} Valid	0	200	ms
t_{CLKRST}	CLKIN Valid Before RESET Deasserted	10^2		μ s
t_{PLLRST}	PLL Control Setup Before RESET Deasserted	20		μ s
Switching Characteristic				
$t_{CORERST}$	Core Reset Deasserted After RESET Deasserted	$4096t_{CK} + 2t_{CLK}^{3, 4}$		

¹有効な V_{DDINT}/V_{DDEXT} では、電源が1.2Vと3.3Vに上昇していることを仮定。電圧ランプ・レートは、電源サブシステムのデザインに応じて、数ms～数百msで変わります。

²水晶発振器のワーストケース・スタートアップ・タイミングを満たした安定なCLKIN信号を仮定。スタートアップ時間については水晶発振器メーカーのデータシートを参照。外部水晶とXTALピンおよび内部発振器回路とを組み合わせる場合、25 msの最大発振器スタートアップ時間を仮定。

³パワーアップ・シーケンス完了後に適用。後続のリセットでは、初期化を正しく行い、すべてのI/Oピンにデフォルト状態が設定されるためには、少なくとも4CLKINサイクル間RESETをロー・レベルにする必要があります。

⁴4096サイクルのカウントは表14の t_{SRST} 仕様に依存します。セットアップ時間が満たされない場合、コア・リセット時間にさらにCLKINで1サイクルが追加されて、最大4097サイクルになります。

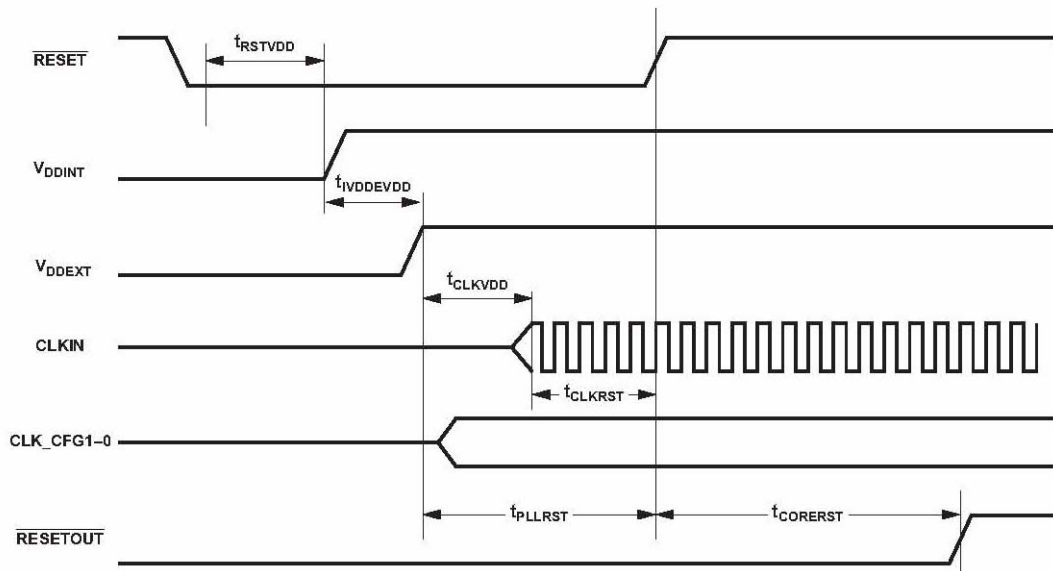


図6 パワーアップ・シーケンス

クロック入力

表13 クロック入力

Parameter		400 MHz ¹		366 MHz ²		350 MHz ³		333 MHz ⁴		266 MHz ⁵		Unit
		Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	
Timing Requirements												
t _{CK}	CLKIN Period	15 ⁶	100	16.39 ⁶	100	17.14 ⁶	100	18 ⁶	100	22.5 ⁶	100	ns
t _{CKL}	CLKIN Width Low	7.5 ¹	45	8.1 ¹	45	8.5 ¹	45	9 ¹	45	11.25 ¹	45	ns
t _{CKH}	CLKIN Width High	7.5 ¹	45	8.1 ¹	45	8.5 ¹	45	9 ¹	45	11.25 ¹	45	ns
t _{CKRF}	CLKIN Rise/Fall (0.4 V to 2.0 V)		3		3		3		3		3	ns
t _{CCLK} ⁷	CCLK Period	2.5 ⁶	10	2.73 ⁶	10	2.85 ⁶	10	3.0 ⁶	10	3.75 ⁶	10	ns
f _{VCO} ⁸	VCO Frequency	100	800	100	800	100	800	100	800	100	600	MHz
t _{CKJ} ^{9, 10}	CLKIN Jitter Tolerance	−250	+250	−250	+250	−250	+250	−250	+250	−250	+250	ps

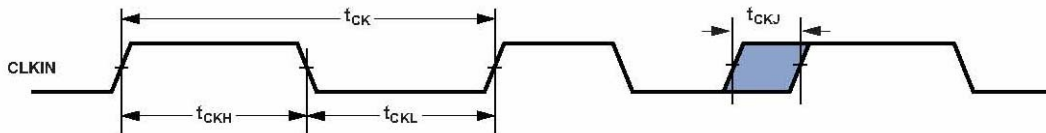
¹全400 MHzモデルに適用。 オーダー・ガイドを参照してください。²全366 MHzモデルに適用。 オーダー・ガイドを参照してください。³全350 MHzモデルに適用。 オーダー・ガイドを参照してください。⁴全333 MHzモデルに適用。 オーダー・ガイドを参照してください。⁵全266 MHzモデルに適用。 オーダー・ガイドを参照してください。⁶CLK_CFG1〜0 = 00とPMCTL内のPLLコントロール・ビットのデフォルト値に対してのみ適用。⁷PMCTLレジスタ内のPLLコントロール・ビットの変更では、コア・クロック・タイミング仕様 t_{CCLK} を満たす必要があります。⁸VCOのブロック図については、図5を参照してください。⁹実際の入力ジッタは、正確なタイミング解析のためにはAC仕様と組み合わせる必要があります。¹⁰ジッタ仕様は、最大peak-to-peak時間間隔誤差(TIE) ジッタです。

図7 クロック入力

クロック信号

プロセッサは、外部クロックまたは水晶を使用することができます。表8のCLKINピン説明を参照してください。プログラムはCLKINとXTALに必要な部品を接続することにより、内部クロック・ジェネレータを使用することができます。図3に、基本モードの水晶動作に使用する部品接続を示します。

クロック・レートは、25 MHz の水晶と PLL 通倍比 16:1 (この CCLK:CLKIN により 400 MHz のクロック速度が得られます)を使って実現されていることに注意してください。フル・コア・クロック・レートを実現するときは、プログラムから PMCTL レジスタの通倍ビットを設定する必要があります。

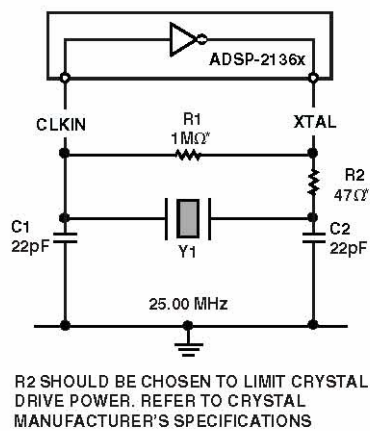


図8 400 MHz 動作(基本波モード水晶)

リセット

表14 リセット

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
t_{WRST}^1 $\overline{RESET}$ Pulse Width Low	$4t_{CK}$		ns
t_{SRST} $\overline{RESET}$ Setup Before CLKIN Low	8		ns

¹ パワーアップ・シーケンス完了後に適用。 パワーアップ時、プロセッサの内部位相ロック・ループは、 V_{DD} とCLKINが安定している場合、 $\overline{RESET}$ がロー・レベルのとき $100\mu s$ 以上を必要としません(外部クロック発振器のスタートアップ時間は含みません)。

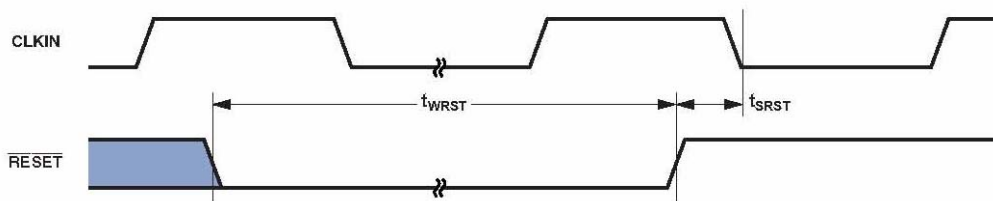


図9 リセット

割り込み

次のタイミング仕様は、FLAG0 ピン、FLAG1 ピン、FLAG2 ピンが、 $\overline{IRQ0}$ 、 $\overline{IRQ1}$ 、 $\overline{IRQ2}$ の各割り込みとして設定されたときに、これらに適用されます。

表15 割り込み

Parameter	Min	Max	Unit
<i>Timing Requirement</i>			
t_{IPW} $\overline{IRQx}$ Pulse Width	$2 \times t_{PCLK} + 2$		ns

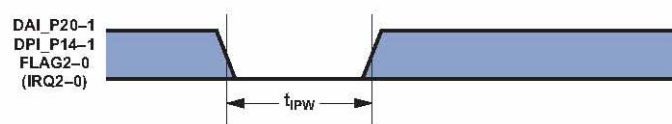


図10 割り込み

コア・タイマ

次のタイミング仕様は、FLAG3がコア・タイマ (TMREXP)として設定されたときにこれに適用されます。

表16 コア・タイマ

Parameter	Min	Max	Unit
<i>Switching Characteristic</i>			
t_{WCTIM} TMREXP Pulse Width	$4 \times t_{PCLK} - 1$		ns

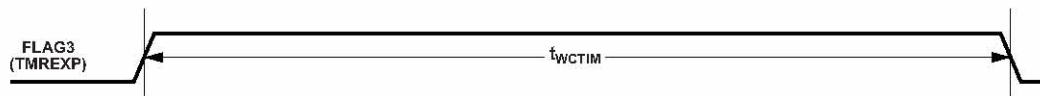


図11 コア・タイマ

タイマPWM_OUTサイクルのタイミング

次のタイミング仕様は、PWM_OUT（パルス幅変調）モードでタイマ 0、タイマ 1、タイマ 2 に適用されます。タイマ信号は、DPI SRU を経由して DPI_P14～1 ピンに接続されます。したがって、下記のタイミング仕様は、DPI_P14～1 ピンで有効です。

表17 タイマ PWM_OUT のタイミング

Parameter	Min	Max	Unit
<i>Switching Characteristic</i>			
t_{PWMO} Timer Pulse Width Output	$2 \times t_{PCLK} - 1.2$	$2 \times (2^{31} - 1) \times t_{PCLK}$	ns

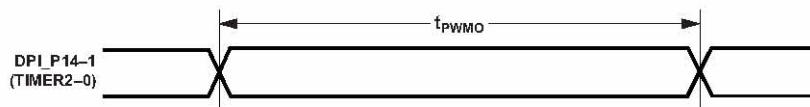


図12 タイマ PWM_OUT のタイミング

タイマWIDTH_CAPのタイミング

次の仕様は、WIDTH_CAP (パルス幅カウントとキャプチャ)モードでタイマ0、タイマ1、タイマ2に適用されます。タイマ信号は、DPI SRUを経由してDPI_P14~1ピンに接続されます。したがって、表18のタイミング仕様はDPI_P14~1ピンで有効です。

表18 タイマ幅キャプチャのタイミング

Parameter	Min	Max	Unit
<i>Switching Characteristic</i>			
t_{PWI} Timer Pulse Width	$2 \times t_{PCLK}$	$2 \times (2^{31} - 1) \times t_{PCLK}$	ns

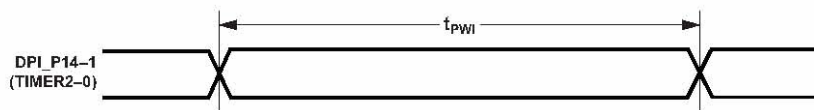


図13 タイマ幅キャプチャのタイミング

ピンーピン間の直接配線(DAIおよびDPI)

直接ピン接続の場合(たとえば、DAI_PB01_I と DAI_PB02_O の接続)。

表19 DAI/DPI ピンーピン間の配線

Parameter	Min	Max	Unit
<i>Timing Requirement</i>			
t_{DPIO} Delay DAI/DPI Pin Input Valid to DAI/DPI Output Valid	1.5	12	ns

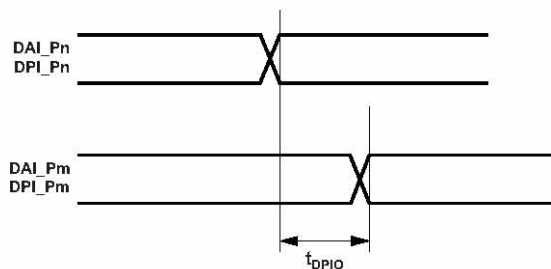


図14 DAI/DPI ピンーピン間の直接配線

高精度クロック・ジェネレータ(直接ピン配線)

このタイミングは、高精度クロック・ジェネレータ(PCG)が DAI ピン(ピン・バッファ経由)から直接入力を得て、出力を DAI ピンに直接出力するように SRU を設定した場合にのみ有効です。PCG の入力と出力が直接 DAI ピン(ピン・バッファ経由)に接続されないその他の場

合については、タイミング・データはありません。すべてのタイミング・パラメータとスイッチング特性は、外部 DAI ピン(DAI_P01~20)に適用されます。

表20 高精度クロック・ジェネレータ(直接ピン配線)

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
t_{PCGIP} Input Clock Period	$t_{PCLK} \times 4$		ns
t_{STRIG} PCG Trigger Setup Before Falling Edge of PCG Input Clock	4.5		ns
t_{HTRIG} PCG Trigger Hold After Falling Edge of PCG Input Clock	3		ns
<i>Switching Characteristics</i>			
t_{DPCGIO} PCG Output Clock and Frame Sync Active Edge Delay After PCG Input Clock	2.5	10	ns
$t_{DTRIGCLK}$ PCG Output Clock Delay After PCG Trigger	$2.5 + (2.5 \times t_{PCGIP})$	$10 + (2.5 \times t_{PCGIP})$	ns
$t_{DTRIGFS}$ PCG Frame Sync Delay After PCG Trigger	$2.5 + ((2.5 + D - PH) \times t_{PCGIP})$	$10 + ((2.5 + D - PH) \times t_{PCGIP})$	ns
t_{PCGOW}^1 Output Clock Period	$2 \times t_{PCGIP} - 1$		ns

D = FSxDIV, and PH = FSxPHASE. For more information, see the processor hardware reference, "Precision Clock Generators" chapter.

¹ ノーマル・モード

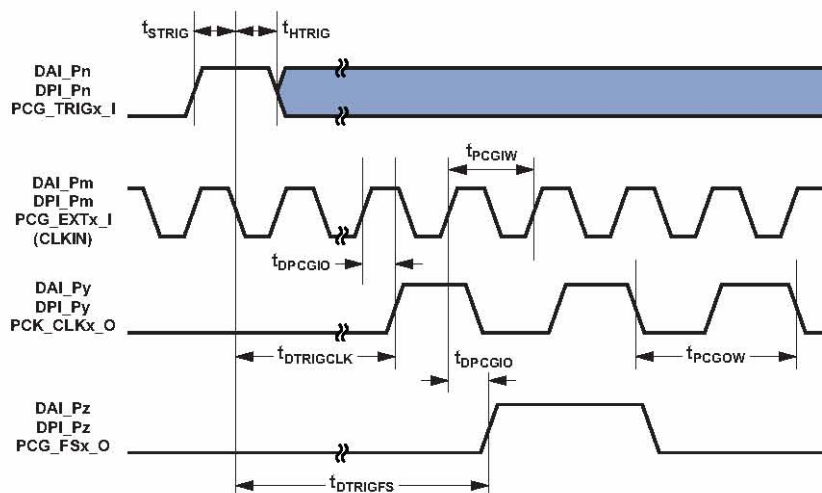


図15 高精度クロック・ジェネレータ(直接ピン配線)

フラグ

下記のタイミング仕様は、FLAG3~0ピン、DPI_P14~1ピン、シリアル・ペリフェラル・インターフェース(SPI)に適用されます。フラグ使用の詳細については、[表8](#)を参照してください。

表21 フラグ

Parameter	Min	Max	Unit
Timing Requirement			
t_{FIPW} FLAG3-0 IN Pulse Width	$2 \times t_{PCLK} + 3$		ns
Switching Characteristic			
t_{FOPW} FLAG3-0 OUT Pulse Width	$2 \times t_{PCLK} - 1.5$		ns

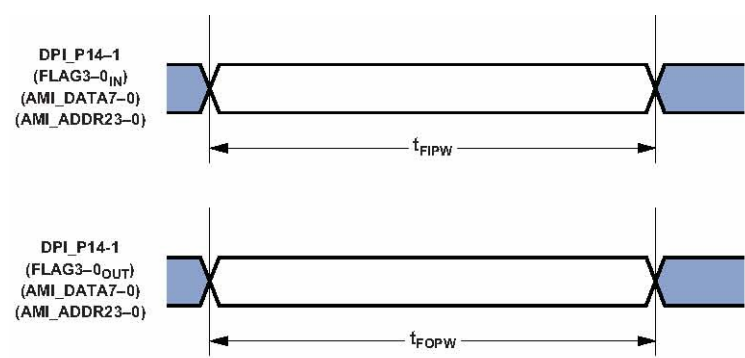


図16 フラグ

SDRAMインターフェース・タイミング(166 MHz SDCLK)

166 MHz のアクセス速度は 1 個のプロセッサの場合です。共用メモリ・システムで複数の ADSP-21368 プロセッサを接続する場合は、アクセス速度は 100 MHz です。

表22 SDRAM インターフェース・タイミング¹

		366 MHz		350 MHz		All Other Speed Grades		
Parameter		Min	Max	Min	Max	Min	Max	Unit
Timing Requirements								
t _{SSDAT}	DATA Setup Before SDCLK	500		500		500		ps
t _{HSDAT}	DATA Hold After SDCLK	1.23		1.23		1.23		ns
Switching Characteristics								
t _{SDCLK}	SDCLK Period	6.83		7.14		6.0		ns
t _{SDCLKH}	SDCLK Width High	3		3		2.6		ns
t _{SDCLKL}	SDCLK Width Low	3		3		2.6		ns
t _{DCAD}	Command, ADDR, Data Delay After SDCLK ²		4.8		4.8		4.8	ns
t _{HCAD}	Command, ADDR, Data Hold After SDCLK ²	1.2		1.2		1.2		ns
t _{DSDAT}	Data Disable After SDCLK		5.3		5.3		5.3	ns
t _{ENSDAT}	Data Enable After SDCLK	1.3		1.3		1.3		ns

¹ 350MHz、366MHz、400MHz で動作させる場合、プロセッサを $t_{SDCLK} = 2.5 \times t_{CCLK}$ モードに設定する必要があります。

² コマンド・ピンには、SDCAS、SDRAS、SDWE、MS_X、SDA10、SDCKEが含まれます。

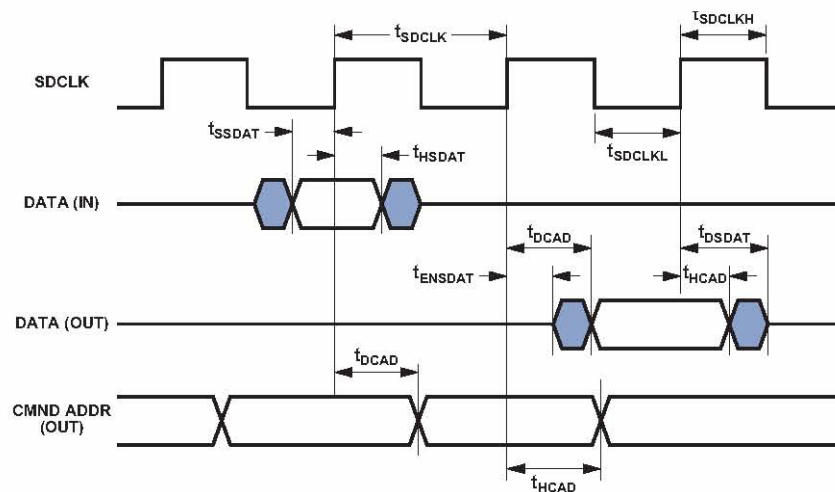


図17 SDRAM インターフェース・タイミング

SDRAMインターフェース・イネーブル/ディスエーブル・タイミング(166 MHz SDCLK)

表23 SDRAM インターフェース・イネーブル/ディスエーブル・タイミング¹

Parameter	Min	Max	Unit
<i>Switching Characteristics</i>			
t_{DSDC} Command Disable After CLKIN Rise		$2 \times t_{PCLK} + 3$	ns
t_{ENSDC} Command Enable After CLKIN Rise	4.0		ns
t_{DSDCC} SDCLK Disable After CLKIN Rise		8.5	ns
t_{ENSDCC} SDCLK Enable After CLKIN Rise	3.8		ns
t_{DSDCA} Address Disable After CLKIN Rise		9.2	ns
t_{ENSDCA} Address Enable After CLKIN Rise	$2 \times t_{PCLK} - 4$	$4 \times t_{PCLK}$	ns

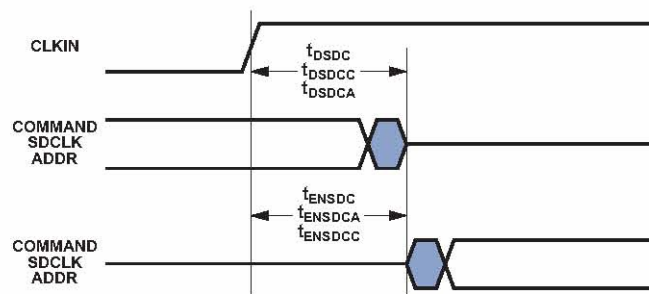
¹ $t_{PCLK} = 400$ MHz (SDCLK ratio = 1:2.5)の場合.

図18 SDRAM インターフェース・イネーブル/ディスエーブル・タイミング

メモリの読み出し

これらの仕様は、メモリに対する非同期インターフェースに使用してください。これらの仕様は、非同期アクセス・モードでプロセッサがバス・マスターとして外部メモリ空間をアクセスする場合に適用されます。ACK、DATA、 $\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ のタイミングとストロブ・タイミング・パラメータは、非同期アクセス・モードにのみ適用されることに注意してください。

表24 メモリの読み出し

Parameter	Min	Max	Unit
Timing Requirements			
t_{DAD} Address, Selects Delay to Data Valid ¹		$W + t_{\text{SDCLK}} - 5.12$	ns
t_{DRLD} $\overline{\text{RD}}$ Low to Data Valid		$W - 3.2$	ns
t_{SDS} Data Setup to $\overline{\text{RD}}$ High	2.5		ns
t_{HDRH} Data Hold from $\overline{\text{RD}}$ High ^{2, 3}	0		ns
t_{DAAK} ACK Delay from Address, Selects ^{1, 4}		$t_{\text{SDCLK}} - 9.5 + W$	ns
t_{DSAK} ACK Delay from $\overline{\text{RD}}$ Low ⁴		$W - 7.0$	ns
Switching Characteristics			
t_{DRHA} Address Selects Hold After $\overline{\text{RD}}$ High	$\text{RH} + 0.20$		ns
t_{DARL} Address Selects to $\overline{\text{RD}}$ Low ¹	$t_{\text{SDCLK}} - 3.3$		ns
t_{RW} $\overline{\text{RD}}$ Pulse Width	$W - 1.4$		ns
t_{RWR} $\overline{\text{RD}}$ High to $\overline{\text{WR}}$, $\overline{\text{RD}}$ Low	$\text{HI} + t_{\text{SDCLK}} - 0.8$		ns

$W = (\text{number of wait states specified in AMICTLx register}) \times t_{\text{SDCLK}}$

$\text{HI} = \text{RHC} + \text{IC}$ (RHC = number of read hold cycles specified in AMICTLx register) $\times t_{\text{SDCLK}}$

$\text{IC} = (\text{number of idle cycles specified in AMICTLx register}) \times t_{\text{SDCLK}}$

$\text{H} = (\text{number of hold cycles specified in AMICTLx register}) \times t_{\text{SDCLK}}$

¹MSxの立ち下がりエッジが基準。

²ACK、DATA、 $\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ のタイミングとストロブ・タイミング・パラメータは、非同期アクセス・モードにのみ適用されることに注意してください。

³データ・ホールド:非同期アクセス・モードでは t_{HDA} または t_{HDRH} を満たす必要があります。与えられた容量負荷とDC負荷に対するホールド・タイムの計算については、[テスト条件](#)を参照。

⁴ACK遅延/セットアップ: ACK (ロー・レベル)の解除では t_{DAAK} 、または t_{DSAK} を満たす必要があります。ACK (ハイ・レベル)の非同期アサーションでは、 t_{DAAK} または t_{DSAK} を満たす必要があります。

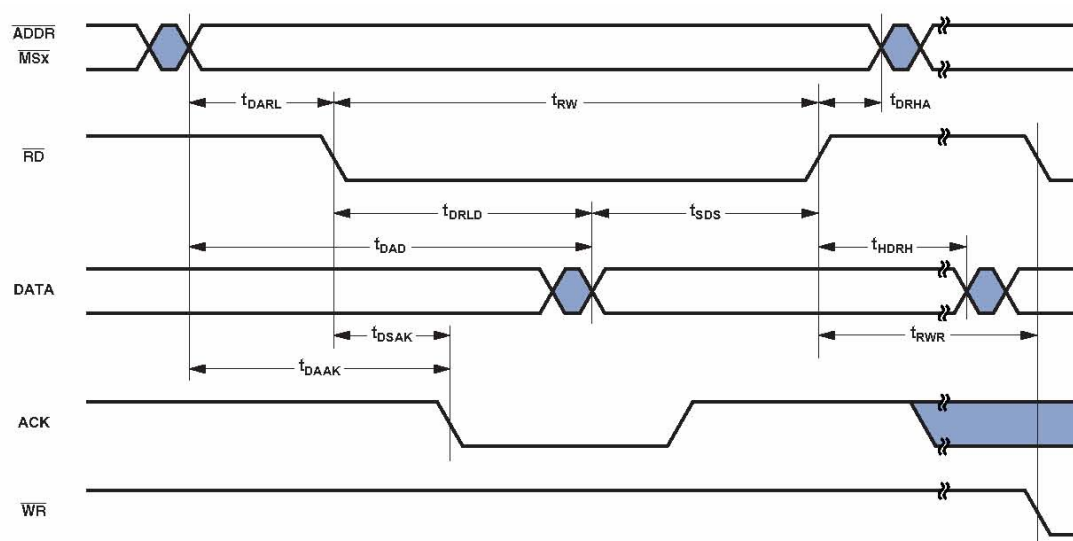


図19 メモリ読み出し

メモリの書き込み

これらの仕様は、メモリに対する非同期インターフェースに使用してください。これらの仕様は、非同期アクセス・モードでプロセッサがバス・マスターとして外部メモリ空間をアクセスする場合に適用されます。ACK、DATA、RD、

$\overline{\text{WR}}$ のタイミングとストローブ・タイミング・パラメータは、非同期アクセス・モードにのみ適用されることに注意してください。

表25 メモリの書き込み

Parameter	Min	Max	Unit
Timing Requirements			
t_{DAK} ACK Delay from Address, Selects ^{1, 2}		$t_{\text{SDCLK}} - 9.7 + W$	ns
t_{DSAK} ACK Delay from $\overline{\text{WR}}$ Low ^{1, 3}		$W - 4.9$	ns
Switching Characteristics			
t_{DAWH} Address, Selects to $\overline{\text{WR}}$ Deasserted ²	$t_{\text{SDCLK}} - 3.1 + W$		ns
t_{DAWL} Address, Selects to $\overline{\text{WR}}$ Low ²	$t_{\text{SDCLK}} - 2.7$		ns
t_{WW} $\overline{\text{WR}}$ Pulse Width	$W - 1.3$		ns
t_{DDWH} Data Setup Before $\overline{\text{WR}}$ High	$t_{\text{SDCLK}} - 3.0 + W$		ns
t_{DWHa} Address Hold After $\overline{\text{WR}}$ Deasserted	$H + 0.15$		ns
t_{DWHd} Data Hold After $\overline{\text{WR}}$ Deasserted	$H + 0.02$		ns
t_{WWR} $\overline{\text{WR}}$ High to $\overline{\text{WR}}$, $\overline{\text{RD}}$ Low	$t_{\text{SDCLK}} - 1.5 + H$		ns
t_{DDWR} Data Disable Before $\overline{\text{RD}}$ Low	$2t_{\text{SDCLK}} - 4.11$		ns
t_{WDE} $\overline{\text{WR}}$ Low to Data Enabled	$t_{\text{SDCLK}} - 3.5$		ns

$W = (\text{number of wait states specified in AMICTLx register}) \times t_{\text{SDCLK}}$.

$H = (\text{number of hold cycles specified in AMICTLx register}) \times t_{\text{SDCLK}}$.

¹ACK遅延/セットアップ: ACK (ロー・レベル)の解除では t_{DAK} 、または t_{DSAK} を満たす必要があります。ACK (ハイ・レベル)の非同期アサーションでは、 t_{DAK} または t_{DSAK} を満たす必要があります。

² MS_x の立ち下がりエッジが基準。

³ ACK、DATA、RD、WRのタイミングとストローブ・タイミング・パラメータは、非同期アクセス・モードにのみ適用されることに注意してください。

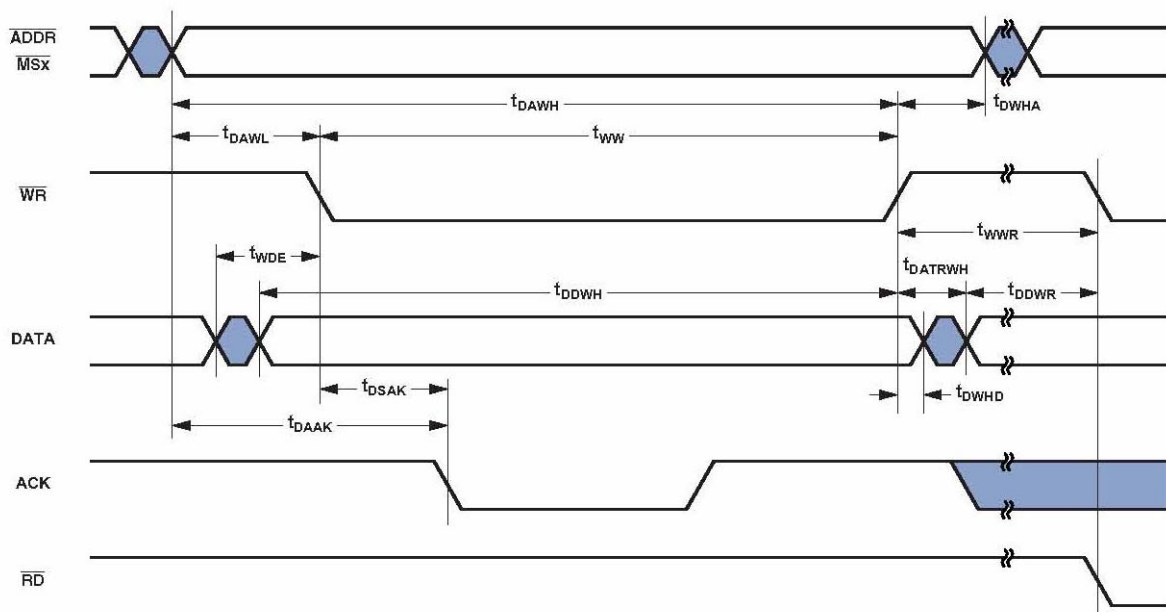


図20 メモリの書き込み

非同期メモリ・インターフェース(AMI)イネーブル/ディスエーブル

これらの仕様は、複数の ADSP-21368 プロセッサ間でバス・マスター権を渡すときに使います($\overline{\text{BRx}}$)。

表26 AMI イネーブル/ディスエーブル

Parameter		Min	Max	Unit
Switching Characteristics				
t_{ENAMIAc}	Address/Control Enable After Clock Rise	4		ns
t_{ENAMID}	Data Enable After Clock Rise	$t_{\text{SDCLK}} + 4$		ns
t_{DISAMIAc}	Address/Control Disable After Clock Rise		8.7	ns
t_{DISAMID}	Data Disable After Clock Rise		0	ns

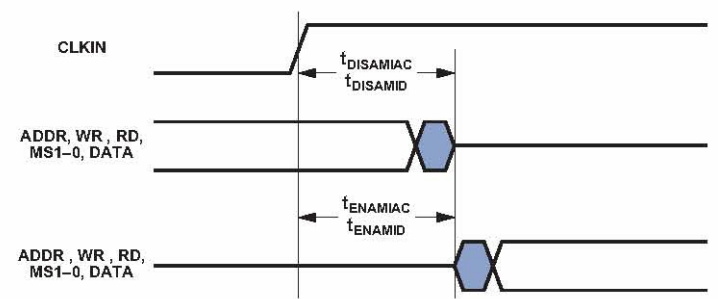


図21 AMI イネーブル/ディスエーブル

共用メモリ・バス要求

これらの仕様は、複数の ADSP-21368 プロセッサ間でバス・マスター権を渡すときに使います($\overline{\text{BRx}}$)。

表27 マルチプロセッサ・バス要求

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
t_{SBRI} $\overline{\text{BRx}}$, Setup Before CLKIN High	9		ns
t_{HBRI} $\overline{\text{BRx}}$, Hold After CLKIN High	0.5		ns
<i>Switching Characteristics</i>			
t_{DBRO} $\overline{\text{BRx}}$ Delay After CLKIN High		9	ns
t_{HBRO} $\overline{\text{BRx}}$ Hold After CLKIN High	1.0		ns

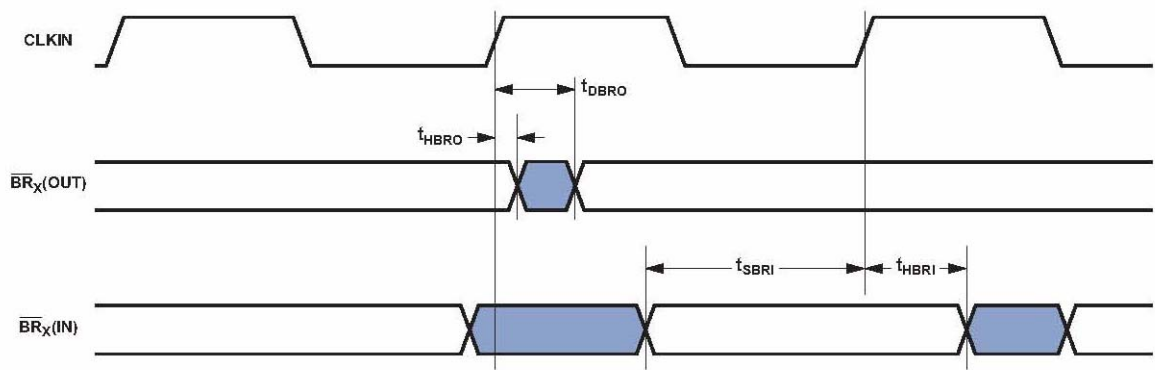


図22 共用メモリ・バス要求

シリアル・ポート

クロック速度 n で 2 個のデバイス間の通信が可能か否かを判断するときは、次の仕様を確認してください。1) フレーム同期遅延、フレーム同期のセットアップとホールド、2) データ遅延、データのセットアップとホールド、3) SCLK の幅

シリアル・ポート信号(SCLK、フレーム同期(FS)、データ・チャンネル A、データ・チャンネル B)は、SRU を使って DAI_P20~1 ピンに接続されます。したがって、下記のタイミング仕様は、DAI_P20~1 ピンで有効です。

表28 シリアル・ポート—外部クロック

Parameter		400 MHz 366 MHz 350 MHz		333 MHz		266 MHz		Unit
		Min	Max	Min	Max	Min	Max	
Timing Requirements								
t _{SFSE} ¹	FS Setup Before SCLK (Externally Generated FS in Either Transmit or Receive Mode)	2.5		2.5		2.5		ns
t _{HFSE} ¹	FS Hold After SCLK (Externally Generated FS in Either Transmit or Receive Mode)	2.5		2.5		2.5		ns
t _{SDRE} ¹	Receive Data Setup Before Receive SCLK	1.9		2.0		2.5		ns
t _{HDRE} ¹	Receive Data Hold After SCLK	2.5		2.5		2.5		ns
t _{SCLKW}	SCLK Width	(t _{PCLK} × 4) ÷ 2 – 0.5		(t _{PCLK} × 4) ÷ 2 – 0.5		(t _{PCLK} × 4) ÷ 2 – 0.5		ns
t _{SCLK}	SCLK Period	t _{PCLK} × 4		t _{PCLK} × 4		t _{PCLK} × 4		ns
Switching Characteristics								
t _{DFSE} ²	FS Delay After SCLK (Internally Generated FS in Either Transmit or Receive Mode)		10.25		10.25		10.25	ns
t _{HOFSE} ²	FS Hold After SCLK (Internally Generated FS in Either Transmit or Receive Mode)	2		2		2		ns
t _{DDTE} ²	Transmit Data Delay After Transmit SCLK		7.8		9.6		9.8	ns
t _{HDTE} ²	Transmit Data Hold After Transmit SCLK	2		2		2		ns

¹サンプル・エッジを基準とします。

²駆動エッジを基準とします。

表29 シリアル・ポート—内部クロック

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
t_{SFSI}^1 FS Setup Before SCLK (Externally Generated FS in Either Transmit or Receive Mode)	7		ns
t_{HFSI}^1 FS Hold After SCLK (Externally Generated FS in Either Transmit or Receive Mode)	2.5		ns
t_{SDRI}^1 Receive Data Setup Before SCLK	7		ns
t_{HDRI}^1 Receive Data Hold After SCLK	2.5		ns
<i>Switching Characteristics</i>			
t_{DFSI}^2 FS Delay After SCLK (Internally Generated FS in Transmit Mode)		4	ns
t_{HOFSI}^2 FS Hold After SCLK (Internally Generated FS in Transmit Mode)	-1.0		ns
t_{DFSIR}^2 FS Delay After SCLK (Internally Generated FS in Receive Mode)		9.75	ns
t_{HOFIR}^2 FS Hold After SCLK (Internally Generated FS in Receive Mode)	-1.0		ns
t_{DDTI}^2 Transmit Data Delay After SCLK		3.25	ns
t_{HDTI}^2 Transmit Data Hold After SCLK	-1.0		ns
t_{SCLKIW}^3 Transmit or Receive SCLK Width	$2 \times t_{\text{PCLK}} - 1.5$	$2 \times t_{\text{PCLK}} + 1.5$	ns

¹サンプル・エッジを基準とします。²駆動エッジを基準とします。³最小SPORT分周比レジスタ値。

表30 シリアル・ポート—イネーブルとスリーステート

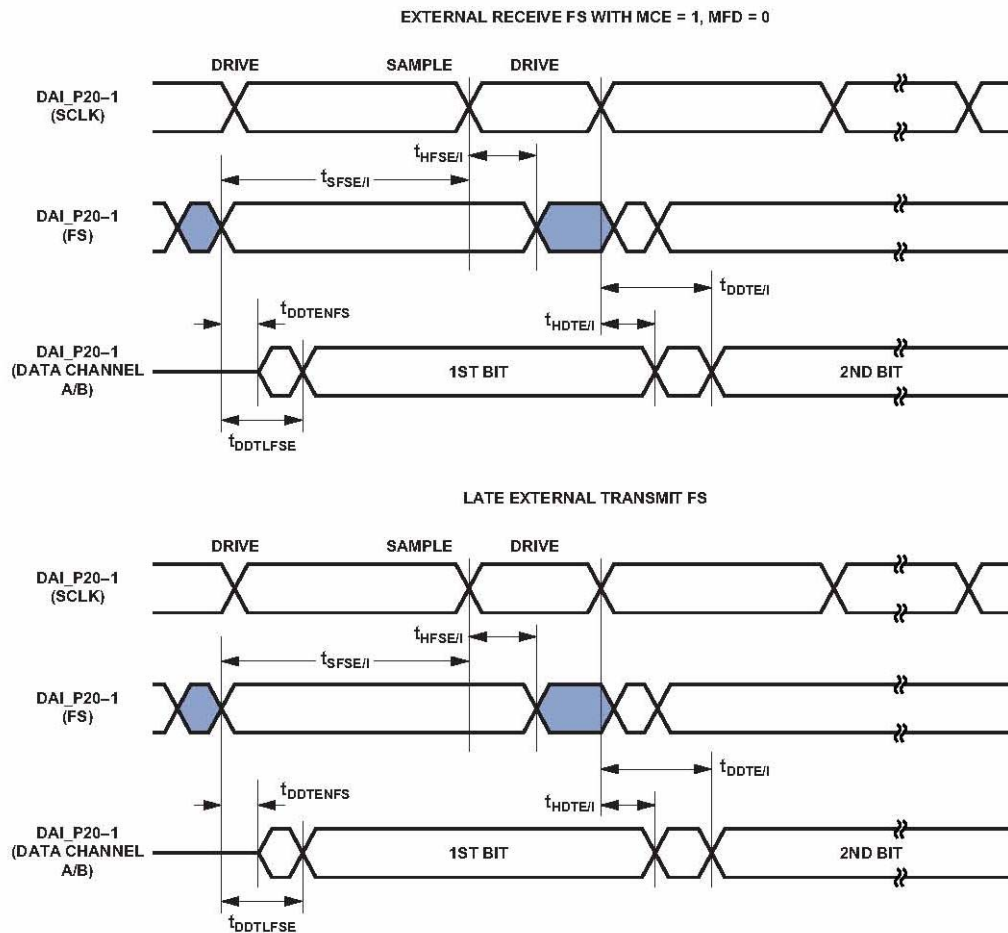
Parameter	Min	Max	Unit
<i>Switching Characteristics</i>			
t_{DDTEN}^1 Data Enable from External Transmit SCLK	2		ns
t_{DDTTE}^1 Data Disable from External Transmit SCLK		10	ns
t_{DDTIN}^1 Data Enable from Internal Transmit SCLK	-1		ns

¹駆動エッジを基準とします。

表31 シリアル・ポート—外部レイト・フレーム同期

Parameter	Min	Max	Unit
<i>Switching Characteristics</i>			
t_{DDTLFSE}^1 Data Delay from Late External Transmit FS or External Receive FS with MCE = 1, MFD = 0		7.75	ns
t_{DDTENFS}^1 Data Enable for MCE = 1, MFD = 0	0.5		ns

¹ t_{DDTLFSE} と t_{DDTENFS} パラメータは、左詰めサンプル・ペア、DSPシリアル・モード、さらにMCE = 1、MFD = 0に適用。

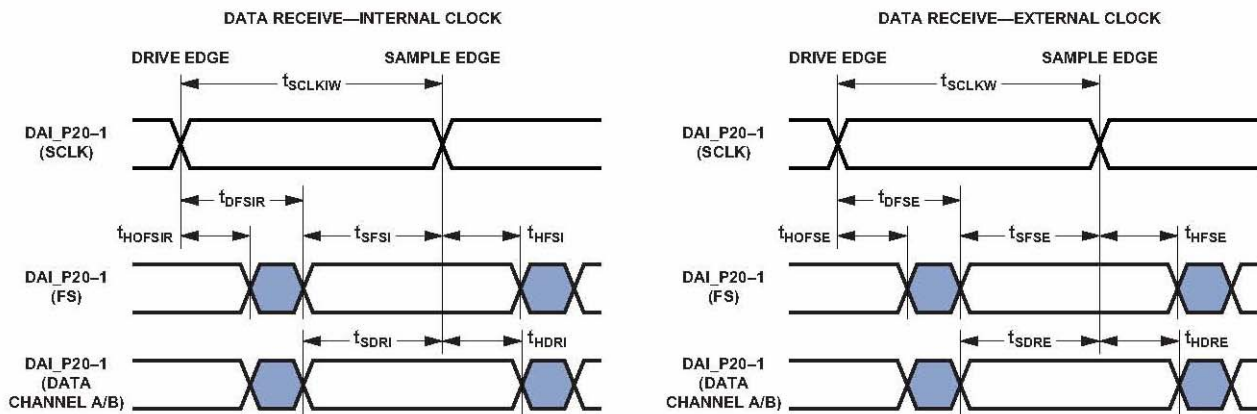


NOTES

1. SERIAL PORT SIGNALS (SCLK, FS, DATA CHANNEL A/B) ARE ROUTED TO THE DAI_P20-1 PINS USING THE SRU. THE TIMING SPECIFICATIONS PROVIDED HERE ARE VALID AT THE DAI_P20-1 PINS. THE CHARACTERIZED SPORT AC TIMINGS ARE APPLICABLE WHEN INTERNAL CLOCKS AND FRAMES ARE LOOPED BACK FROM THE PIN, NOT ROUTED DIRECTLY THROUGH THE SRU.

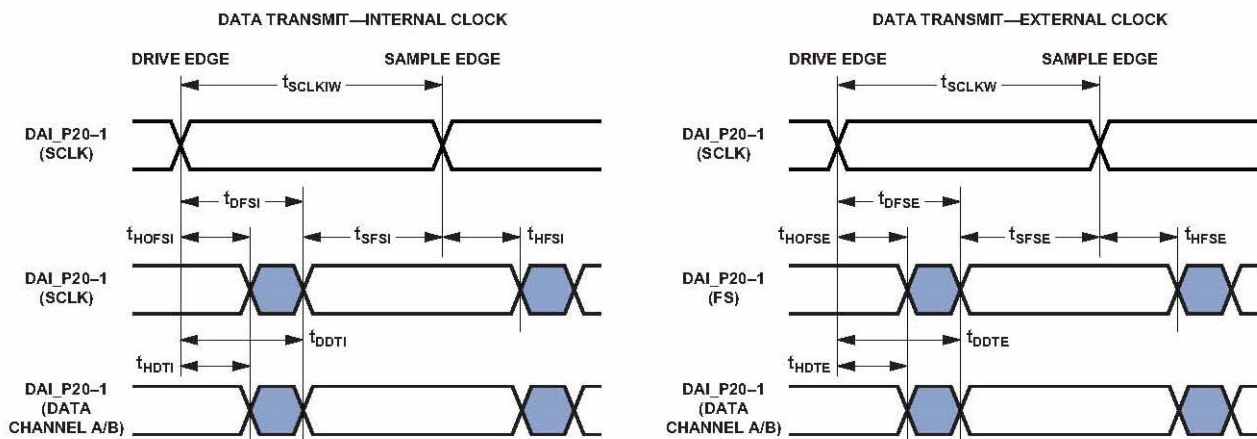
図23 外部レイト・フレーム同期¹

¹この図は左詰めサンプル・ペアモードのサポートのための変更を反映しています。



NOTES

1. EITHER THE RISING EDGE OR THE FALLING EDGE OF SCLK (EXTERNAL OR INTERNAL) CAN BE USED AS THE ACTIVE SAMPLING EDGE.



NOTES

1. EITHER THE RISING EDGE OR THE FALLING EDGE OF SCLK (EXTERNAL OR INTERNAL) CAN BE USED AS THE ACTIVE SAMPLING EDGE.

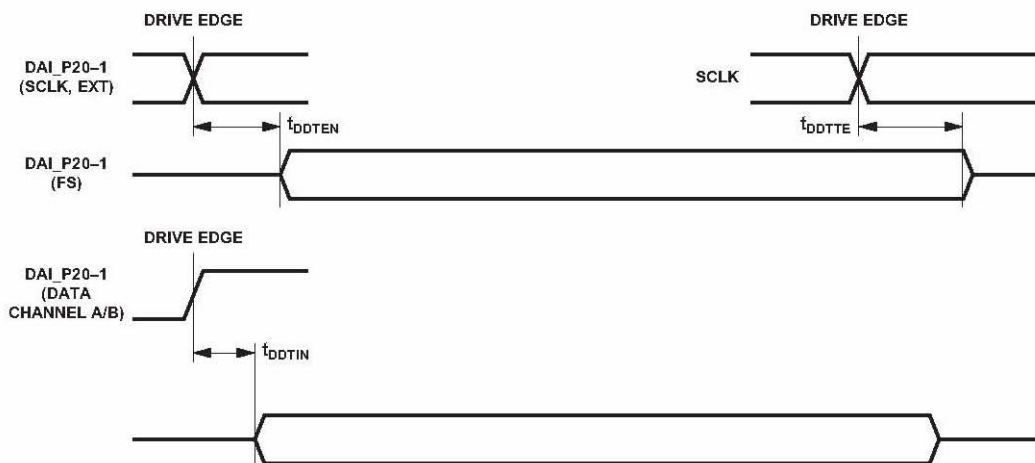


図24 シリアル・ポート

入力データ・ポート

IDPのタイミング条件を表32に示します。IDP信号(SCLK、フレーム同期(FS)、SDATA)は、SRUを使ってDAI_P20～1ピンに接続されます。したがって、下記のタイミング仕様は、DAI_P20～1ピンで有効です。

表32 IDP

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
t_{SIFS}^1 FS Setup Before SCLK Rising Edge	4		ns
t_{SIHFS}^1 FS Hold After SCLK Rising Edge	2.5		ns
t_{SISD}^1 SDATA Setup Before SCLK Rising Edge	2.5		ns
t_{SIHD}^1 SDATA Hold After SCLK Rising Edge	2.5		ns
$t_{IDPCLKW}$ Clock Width	$(t_{PCLK} \times 4) \div 2 - 1$		ns
t_{IDPCLK} Clock Period	$t_{PCLK} \times 4$		ns

¹ DATA、SCLK、FSは任意のDAIピンから入力可能。SCLKとFSは、PCGまたはSPORT経由の入力も可能。PCGの入力は、CLKINピンまたは任意のDAIピンが可能。

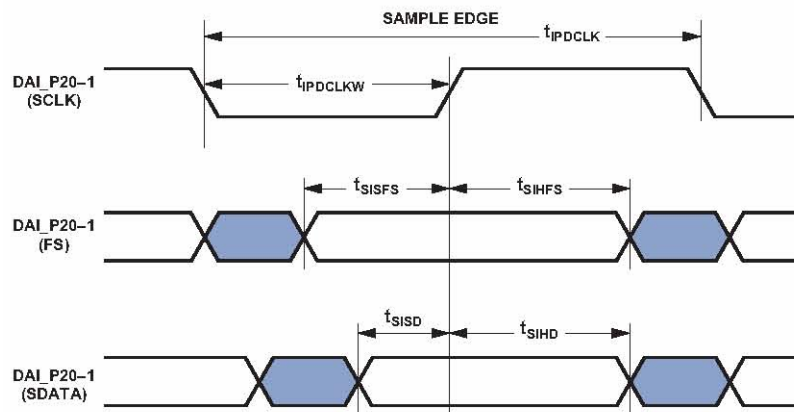


図25 IDP マスタのタイミング

パラレル・データ・アキュイジション・ポート(PDAP)

PDAPのタイミング条件を表33に示します。PDAPは、IDPのチャンネル0の平行・モード動作です。IDPの動作の詳細については、「ADSP-21368 SHARC Processor

Hardware Reference」のIDPの章を参照してください。外部PDAPデータの20ビットはDATA 31～12ピンまたはDAIピンを経由して得ることができることに注意してください。

表33 パラレル・データ・アキュイジション・ポート(PDAP)

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
$t_{SPCLKEN}^1$ PDAP_CLKEN Setup Before PDAP_CLK Sample Edge	2.5		Ns
$t_{HPCLKEN}^1$ PDAP_CLKEN Hold After PDAP_CLK Sample Edge	2.5		ns
t_{PDSD}^1 PDAP_DAT Setup Before SCLK PDAP_CLK Sample Edge	3.85		ns
t_{PDHD}^1 PDAP_DAT Hold After SCLK PDAP_CLK Sample Edge	2.5		ns
t_{PDCLKW} Clock Width	$(t_{PCLK} \times 4) \div 2 - 3$		ns
t_{PDCLK} Clock Period	$t_{PCLK} \times 4$		ns
<i>Switching Characteristics</i>			
t_{PDHLDD} Delay of PDAP Strobe After Last PDAP_CLK Capture Edge for a Word	$2 \times t_{PCLK} + 3$		ns
t_{PDSTRB} PDAP Strobe Pulse Width	$2 \times t_{PCLK} - 1$		ns

¹DATAのソース・ピンはDATA31～12ピンまたはDAIピン。 SCLKとFSのソース・ピンは、1) DATA11～10ピン、2) DAIピン。

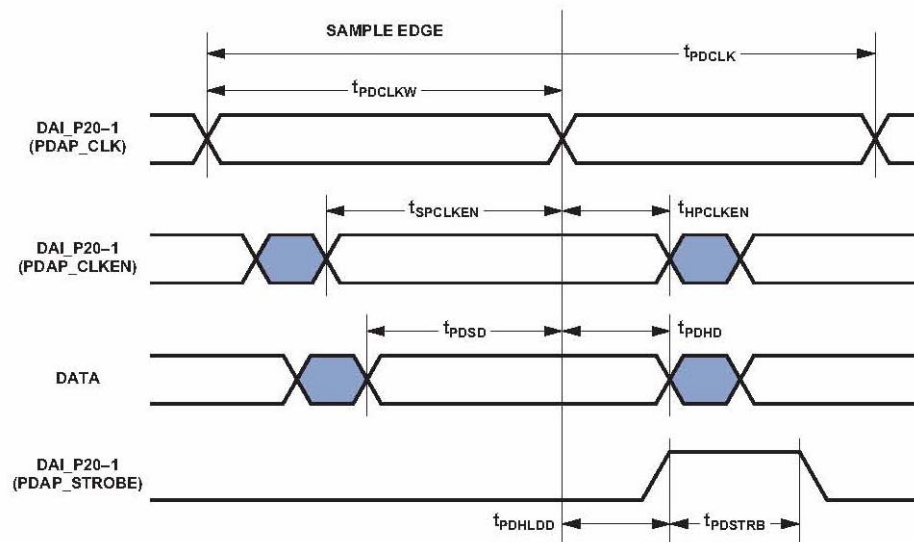


図26 PDAP のタイミング

パルス幅変調ジェネレータ

表34 PWM のタイミング

Parameter	Min	Max	Unit
<i>Switching Characteristics</i>			
t_{PWMW} PWM Output Pulse Width	$t_{PCLK} - 2$	$(2^{16} - 2) \times t_{PCLK} - 2$	ns
t_{PWMP} PWM Output Period	$2 \times t_{PCLK} - 1.5$	$(2^{16} - 1) \times t_{PCLK} - 1.5$	ns

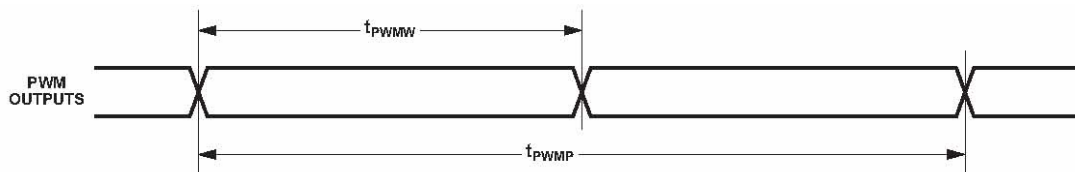


図27 PWM のタイミング

サンプル・レート・コンバーターシリアル入力ポート

SRC入力信号(SCLK、フレーム同期(FS)、SDATA)は、SRUを使ってDAI_P20～1ピンから接続されます。したがって、表35のタイミング仕様は、DAI_P20～1ピンで有効です。

表35 SRC、シリアル入力ポート

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
t_{SRCFS}^1 FS Setup Before SCLK Rising Edge	4		ns
t_{SRCHFS}^1 FS Hold After SCLK Rising Edge	5.5		ns
t_{SRCSD}^1 SDATA Setup Before SCLK Rising Edge	4		ns
t_{SRCHD}^1 SDATA Hold After SCLK Rising Edge	5.5		ns
$t_{SRCCLKW}$ Clock Width		$(t_{PCLK} \times 4) \div 2 - 1$	ns
t_{SRCCLK} Clock Period		$t_{PCLK} \times 4$	ns

¹ DATA、SCLK、FSは任意のDAIピンから入力可能。 SCLKとFSは、PCGまたはSPORT経由の入力も可能。 PCGの入力は、CLKINピンまたは任意のDAIピンが可能。

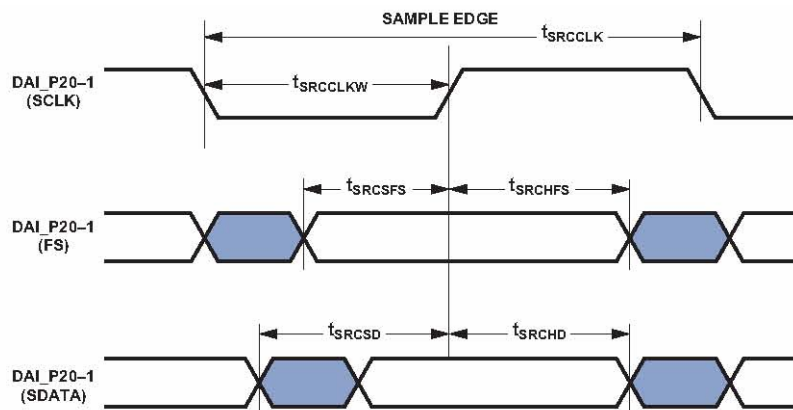


図28 SRC シリアル入力ポートのタイミング

サンプル・レート・コンバーターシリアル出力ポート

シリアル出力ポートの場合、フレーム同期は入力であるため、出力ポートの SCLK に対してセットアップ・タイムとホールド・タイムを満たす必要があります。シリアル・データ出力(SDATA)には、SCLK に対するホールド・タ

イムと遅延の仕様ががあります。SCLK の立ち上がりエッジはサンプリング・エッジであり、立ち下がりエッジは駆動エッジであることに注意してください。

表36 SRC、シリアル出力ポート

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
t_{SRCFS}^1 FS Setup Before SCLK Rising Edge	4		ns
t_{SRCHFS}^1 FS Hold After SCLK Rising Edge	5.5		ns
t_{SRCCLKW} Clock Width	$(t_{\text{PCLK}} \times 4) \div 2 - 1$		ns
t_{SRCCLK} Clock Period	$t_{\text{PCLK}} \times 4$		ns
<i>Switching Characteristics</i>			
t_{SRCTDD}^1 Transmit Data Delay After SCLK Falling Edge		9.9	ns
t_{SRCTDH}^1 Transmit Data Hold After SCLK Falling Edge	1		ns

¹ DATA、SCLK、FSは任意のDAIピンから入力可能。 SCLKとFSは、PCGまたはSPORT経由の入力も可能。 PCGの入力は、CLKINピンまたは任意のDAIピンが可能。

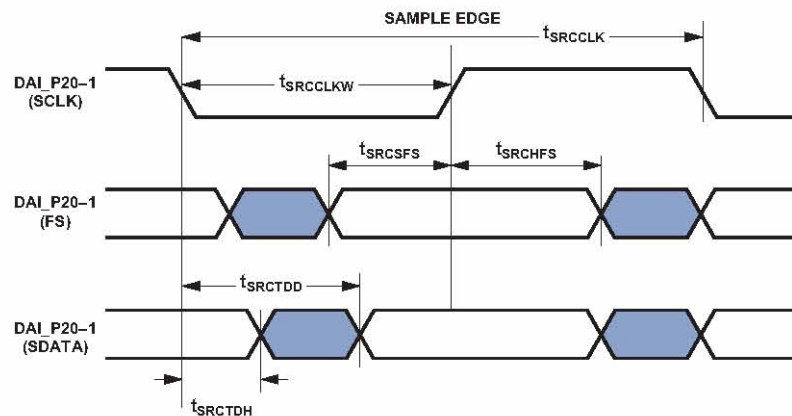


図29 SRC シリアル出力ポートのタイミング

S/PDIF トランスミッタ

S/PDIF トランスミッタへのシリアル・データ入力は、16、18、20、または24ビット・ワード幅の左詰め、I²S、または右詰めとしてフォーマットすることができます。次のセクションに、トランスミッタのタイミングを示します。

S/PDIF トランスミッターシリアル入力波形

図30に右詰めモードを示します。LRCLKは、左チャンネルに対してはハイ・レベルに、右チャンネルに対してはロー・レベルになります。データはSCLKの立ち上がりエッジで有効です。LRCLKの1周期あたりSCLKが64周期存在する場合、データのLSBが次のLRCLK変化に対して右詰めになるようにするため、MSBがLRCLKの変化から12ビット・クロック周期(20ビット出力モード)または16ビット・クロック周期(16ビット出力モード)遅延させられます。

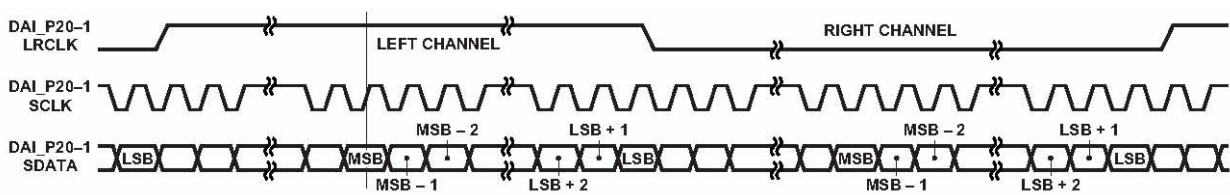


図30 右詰めモード

図31に、デフォルトのI²Sモードを示します。LRCLKは、左チャンネルに対してはロー・レベルに、右チャンネルに対してはハイ・レベルになります。データはSCLKの立ち上がりエッジで有効です。MSBはLRCLKの変化に対して左詰めですが、SCLKの1周期分遅延しています。

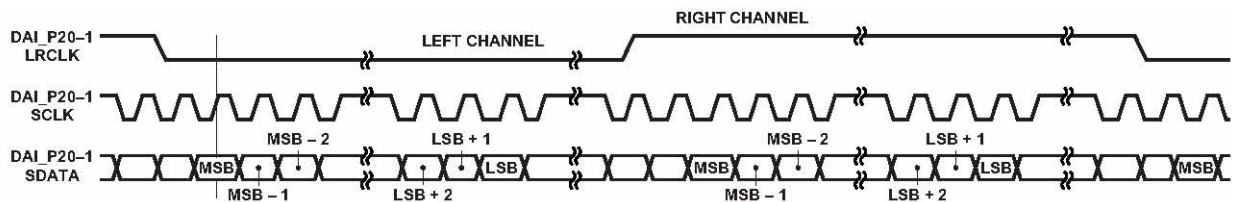


図31 I²S モード

図32に、左詰めモードを示します。LRCLKは、左チャンネルに対してはハイ・レベルに、右チャンネルに対してはロー・レベルになります。データはSCLKの立ち上がりエッジで有効です。MSBはLRCLKの変化に対して左詰め、MSBの遅延はありません。

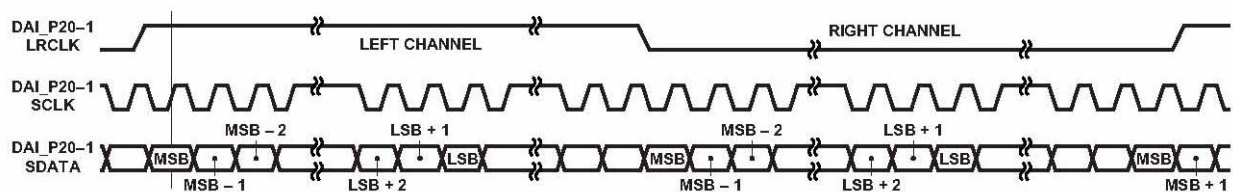


図32 左詰めモード

S/PDIF トランスミッタ入力データのタイミング

入力ポートのタイミング条件を表37に示します。入力信号(SCLK、フレーム同期(FS)、SDATA)は、SRUを使ってDAI_P20～1ピンに接続されます。したがって、下記のタイミング仕様は、DAI_P20～1ピンで有効です。

表37 S/PDIF トランスミッタ入力データのタイミング

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
t_{SIFS}^1 FS Setup Before SCLK Rising Edge	3		ns
t_{SIHF5}^1 FS Hold After SCLK Rising Edge	3		ns
t_{SISD}^1 SDATA Setup Before SCLK Rising Edge	3		ns
t_{SIHD}^1 SDATA Hold After SCLK Rising Edge	3		ns
$t_{SISCLKW}$ Clock Width	36		ns
t_{SISCLK} Clock Period	80		ns
$t_{SITXCLKW}$ Transmit Clock Width	9		ns
$t_{SITXCLK}$ Transmit Clock Period	20		ns

¹ DATA、SCLK、FSは任意のDAIピンから入力可能。SCLKとFSは、PCGまたはSPORT経由の入力も可能。PCGの入力は、CLKINピンまたは任意のDAIピンが可能。

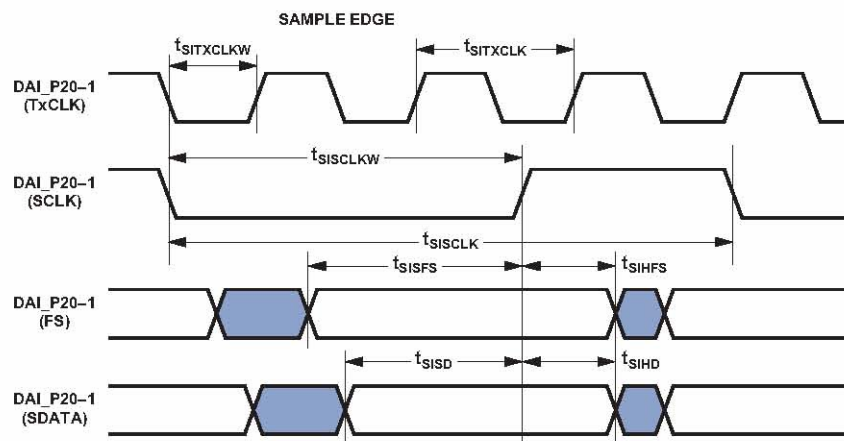


図33 S/PDIF トランスミッタ入力のタイミング

オーバーサンプリング・クロック(TxCLK)のスイッチング特性

S/PDIF トランスミッタは、オーバーサンプリング・クロックを持っています。この TxCLK 入力、パイフェーズ・クロックを発生するために分周されます。

表38 オーバーサンプリング・クロック(TxCLK)のスイッチング特性

Parameter	Min	Max	Unit
TxCLK Frequency for TxCLK = $384 \times FS$		$\text{Oversampling Ratio} \times FS \leq 1/t_{SITXCLK}$	MHz
TxCLK Frequency for TxCLK = $256 \times FS$		49.2	MHz
Frame Rate (FS)		192.0	kHz

S/PDIF レシーバ

次のセクションにタイミングを示します(S/PDIF レシーバに関係しているため)。

内部デジタル PLL モード

内部デジタル位相ロック・ループ・モードでは、内部 PLL (デジタル PLL) が $512 \times FS$ のクロックを発生します。

表39 S/PDIF レシーバ内部デジタル PLL モードのタイミング

Parameter	Min	Max	Unit
<i>Switching Characteristics</i>			
t_{DFS1} LRCLK Delay After SCLK		5	ns
t_{HOF1} LRCLK Hold After SCLK	-2		ns
t_{DDT1} Transmit Data Delay After SCLK		5	ns
t_{HDT1} Transmit Data Hold After SCLK	-2		ns
t_{SCLKW1} Transmit SCLK Width	40		ns

¹SCLK周波数 = $64 \times FS$ 、 FS = LRCLK周波数。

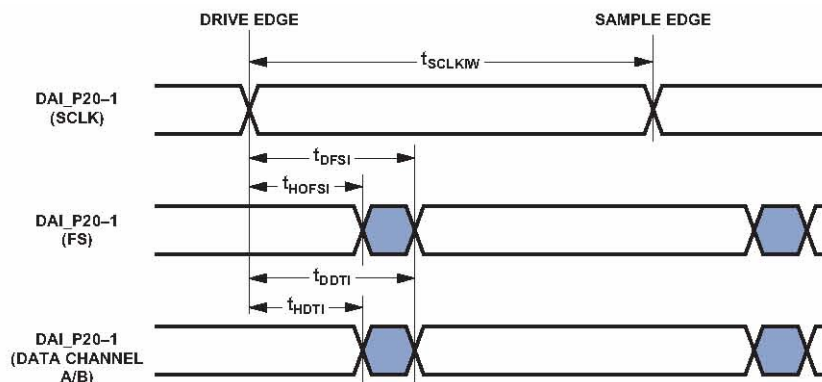


図34 S/PDIF レシーバ内部デジタル PLL モードのタイミング

SPIインターフェース—マスタ

プロセッサは2個のSPIポートを内蔵しています。プライマリには専用ピンがあり、セカンダリはDPIを介して使用します。表40と表41に示すタイミングは両方に適用されます。

表40 SPI インターフェース・プロトコル—マスタのスイッチングとタイミング仕様

Parameter		Min	Max	Unit
<i>Timing Requirements</i>				
t_{SSPIDM}	Data Input Valid to SPICLK Edge (Data Input Setup Time)	8.2		Ns
t_{HSPIDM}	SPICLK Last Sampling Edge to Data Input Not Valid	2		Ns
<i>Switching Characteristics</i>				
$t_{SPICLKM}$	Serial Clock Cycle	$8 \times t_{PCLK} - 2$		Ns
t_{SPICHM}	Serial Clock High Period	$4 \times t_{PCLK} - 2$		Ns
t_{SPICLM}	Serial Clock Low Period	$4 \times t_{PCLK} - 2$		Ns
$t_{DDSPIDM}$	SPICLK Edge to Data Out Valid (Data Out Delay Time)		2.5	Ns
$t_{HDSPIDM}$	SPICLK Edge to Data Out Not Valid (Data Out Hold Time)	$4 \times t_{PCLK} - 2$		Ns
t_{SDSCIM}	FLAG3-0IN (SPI Device Select) Low to First SPICLK Edge	$4 \times t_{PCLK} - 2$		Ns
t_{HDSM}	Last SPICLK Edge to FLAG3-0IN High	$4 \times t_{PCLK} - 2$		Ns
t_{SPITDM}	Sequential Transfer Delay	$4 \times t_{PCLK} - 1$		Ns

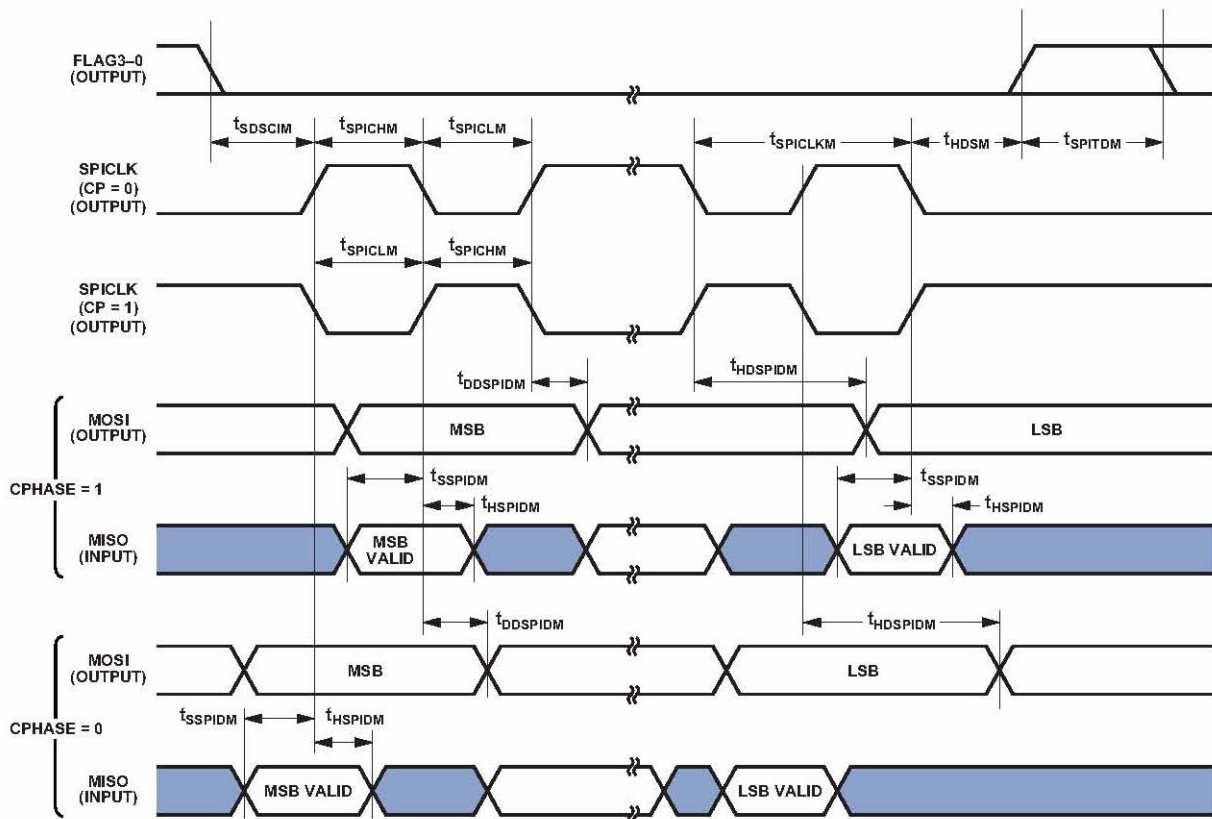


図35 SPI マスタのタイミング

SPIインターフェーススレーブ

表41 SPI インターフェース・プロトコルスレーブのスイッチングとタイミング仕様

Parameter		Min	Max	Unit
<i>Timing Requirements</i>				
t_{SPICLK}	Serial Clock Cycle	$4 \times t_{PCLK} - 2$		ns
t_{SPICHS}	Serial Clock High Period	$2 \times t_{PCLK} - 2$		ns
t_{SPICLS}	Serial Clock Low Period	$2 \times t_{PCLK} - 2$		ns
t_{SDSCO}	$\overline{SPIDS}$ Assertion to First SPICLK Edge, CPHASE = 0 or CPHASE = 1	$2 \times t_{PCLK}$		ns
t_{HDS}	Last SPICLK Edge to $\overline{SPIDS}$ Not Asserted, CPHASE = 0	$2 \times t_{PCLK}$		ns
t_{SSPIDS}	Data Input Valid to SPICLK Edge (Data Input Setup Time)	2		ns
t_{HSPIDS}	SPICLK Last Sampling Edge to Data Input Not Valid	2		ns
t_{SDPPW}	$\overline{SPIDS}$ Deassertion Pulse Width (CPHASE = 0)	$2 \times t_{PCLK}$		ns
<i>Switching Characteristics</i>				
t_{DSOE}	$\overline{SPIDS}$ Assertion to Data Out Active	0	6.8	ns
t_{DSOE}^1	$\overline{SPIDS}$ Assertion to Data Out Active (SPI2)	0	8	ns
t_{DSDHI}	$\overline{SPIDS}$ Deassertion to Data High Impedance	0	6.8	ns
t_{DSDHI}^1	$\overline{SPIDS}$ Deassertion to Data High Impedance (SPI2)	0	8.6	ns
$t_{DDSPIDS}$	SPICLK Edge to Data Out Valid (Data Out Delay Time)		9.5	ns
$t_{HDSPIDS}$	SPICLK Edge to Data Out Not Valid (Data Out Hold Time)	$2 \times t_{PCLK}$		ns
t_{DSOV}	$\overline{SPIDS}$ Assertion to Data Out Valid (CPHASE = 0)		$5 \times t_{PCLK}$	ns

¹これらのパラメータのタイミングは、SPIが信号ルーティング・ユニットを使って接続されているときに適用。詳細については、プロセッサ・ハードウェア・リファレンスの「Serial Peripheral Interface Port」の章を参照してください。

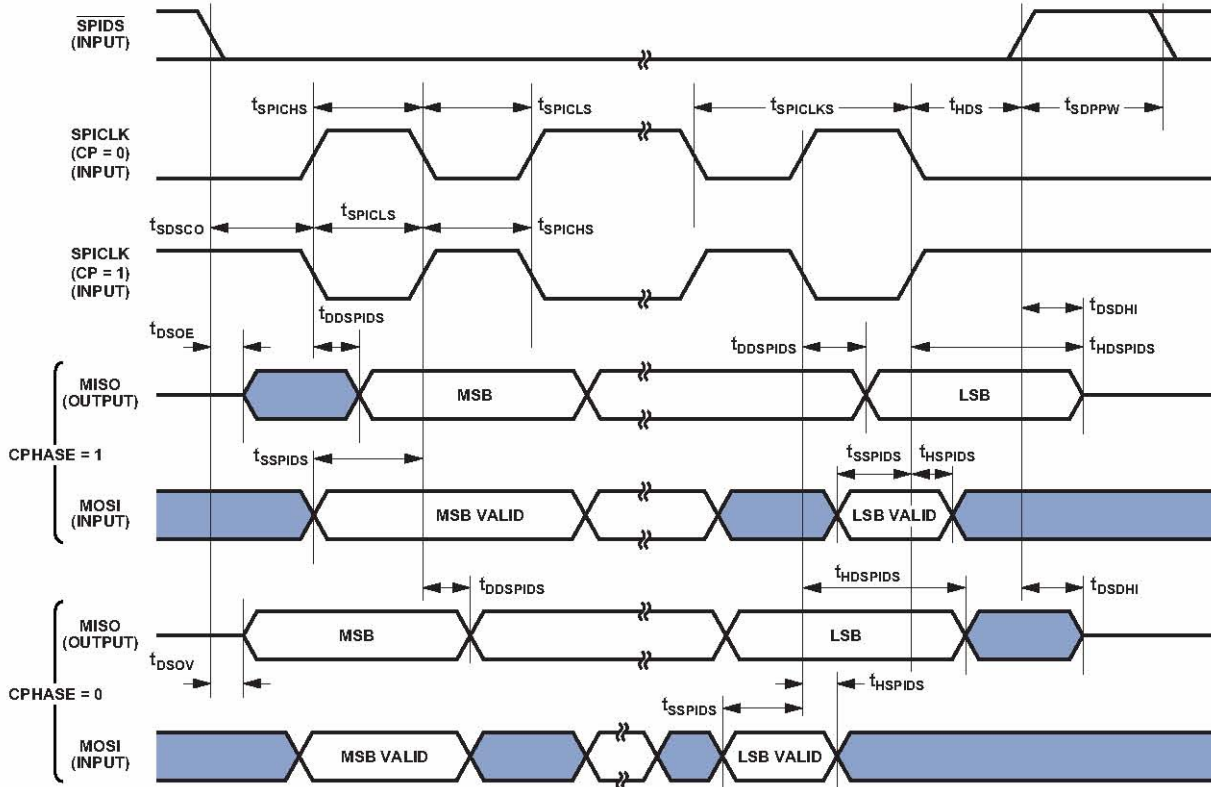


図36 SPI スレーブのタイミング

JTAGテスト・アクセス・ポートとエミュレーション

表42 JTAG テスト・アクセス・ポートとエミュレーション

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
t_{TCK} TCK Period	t_{CK}		ns
t_{STAP} TDI, TMS Setup Before TCK High	5		ns
t_{HTAP} TDI, TMS Hold After TCK High	6		ns
t_{SSYS}^1 System Inputs Setup Before TCK High	7		ns
t_{HSYS}^1 System Inputs Hold After TCK High	18		ns
t_{TRSTW} $\overline{TRST}$ Pulse Width	$4t_{CK}$		ns
<i>Switching Characteristics</i>			
t_{DTDO} TDO Delay from TCK Low		7	ns
t_{DSYS}^2 System Outputs Delay After TCK Low		$t_{CK} \div 2 + 7$	ns

¹システム入力= AD15~0、 $\overline{SPIDS}$ 、CLK_CFG1~0、 $\overline{RESET}$ 、BOOT_CFG1~0、MISO、MOSI、SPICLK、DAI_Px、FLAG3~0。

²システム出力= MISO、MOSI、SPICLK、DAI_Px、AD15~0、RD、WR、FLAG3~0、EMU。

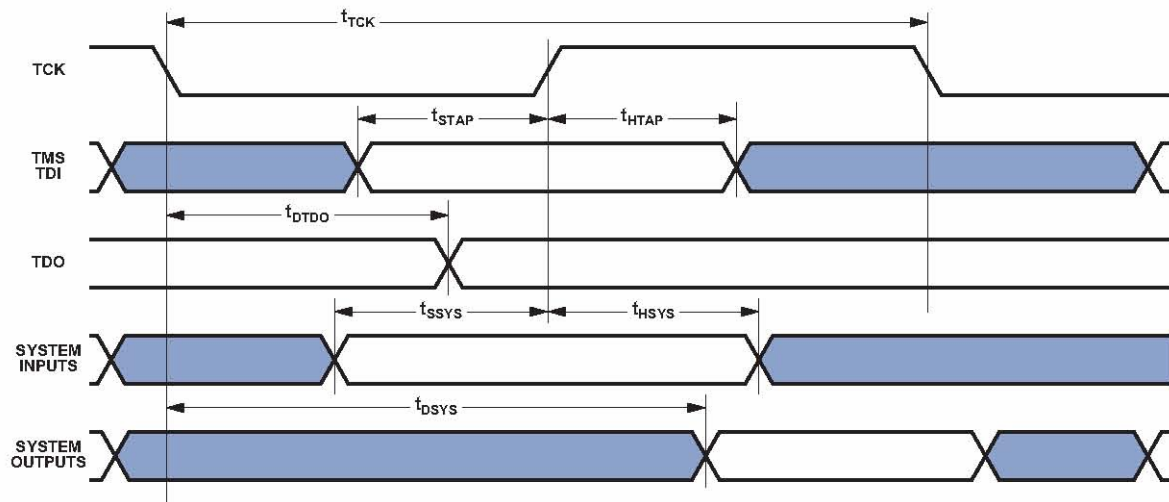


図37 IEEE 1149.1 JTAG テスト・アクセス・ポート

出力駆動電流

図38に出力ドライバのI-V特性(typ)を、図39にSDCLK出力ドライバのI-V特性(typ)を、それぞれ示します。このカーブは、出力ドライバの電流駆動能力を出力電圧の関数として表しています。

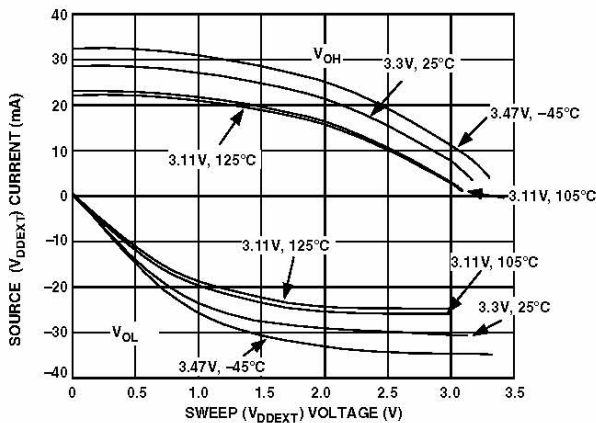


図38 ジャンクション温度での駆動(typ)

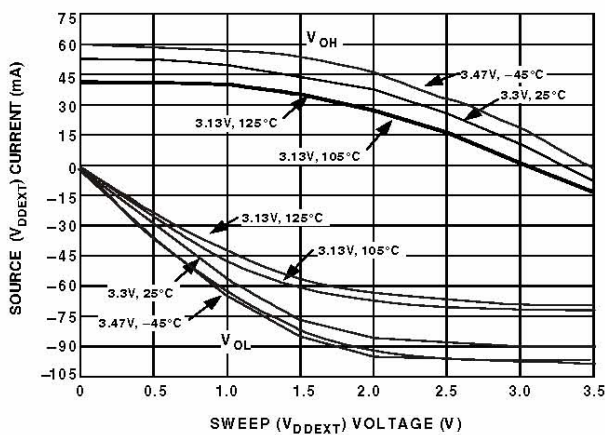


図39 ジャンクション温度での SDCLK1~0 の駆動

テスト条件

AC信号仕様(タイミング・パラメータ)を表14~表42に示します。これらには、出力ディスエーブル・タイム、出力イネーブル・タイム、容量負荷が含まれています。SHARCのタイミング仕様は、図40に示すリファレンス電圧レベルに適用されます。

タイミングは、図40に規定する1.5 Vレベルを信号が通過するときに測定します。すべての遅延(n sec)は、1つ目の信号が1.5 Vに到達したポイントと、2つ目の信号が1.5 Vに到達したポイントとの間で測定します。

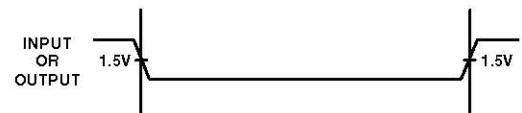
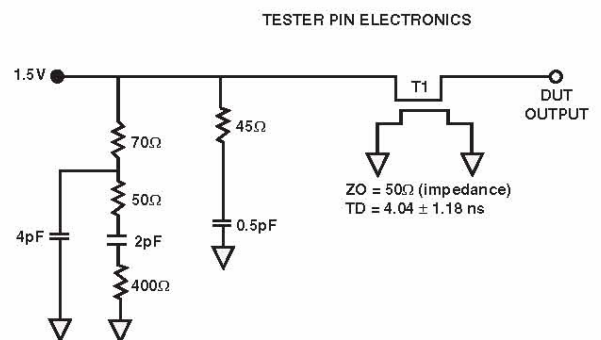


図40 AC 測定のリファレンス電圧レベル

容量負荷

出力の遅延とホールドでは、すべてのピンに平均容量負荷 6 pFを接続しています(図41参照)。図46と図47に、出力遅延とホールドが負荷容量により変化する様子を示します。図42~図47のグラフは、出力遅延(Typ)対負荷容量および出力立ち上がり時間(Typ)(20%~80%, V = Min)対負荷容量で示す範囲の外側では直線にならないことがあります。



NOTES:
THE WORST CASE TRANSMISSION LINE DELAY IS SHOWN AND CAN BE USED FOR THE OUTPUT TIMING ANALYSIS TO REFLECT THE TRANSMISSION LINE EFFECT AND MUST BE CONSIDERED. THE TRANSMISSION LINE (TD), IS FOR LOAD ONLY AND DOES NOT AFFECT THE DATA SHEET TIMING SPECIFICATIONS.

ANALOG DEVICES RECOMMENDS USING THE IBIS MODEL TIMING FOR A GIVEN SYSTEM REQUIREMENT. IF NECESSARY, A SYSTEM MAY INCORPORATE EXTERNAL DRIVERS TO COMPENSATE FOR ANY TIMING DIFFERENCES.

図41 AC 測定の等価デバイス負荷
(すべての治具を含む)

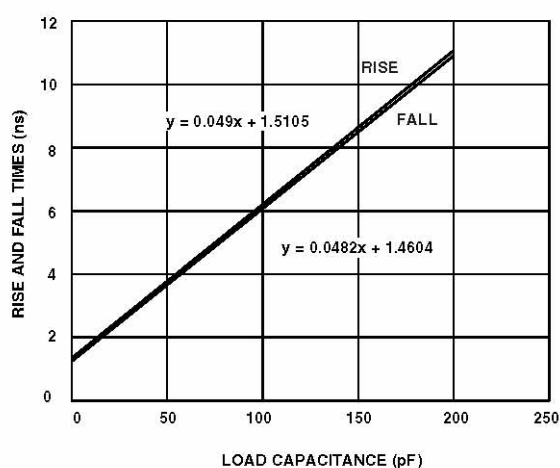


図42 出力立ち上がり/立ち下がり時間(typ)
(20~80%、 $V_{DDEXT} = \text{Min}$)

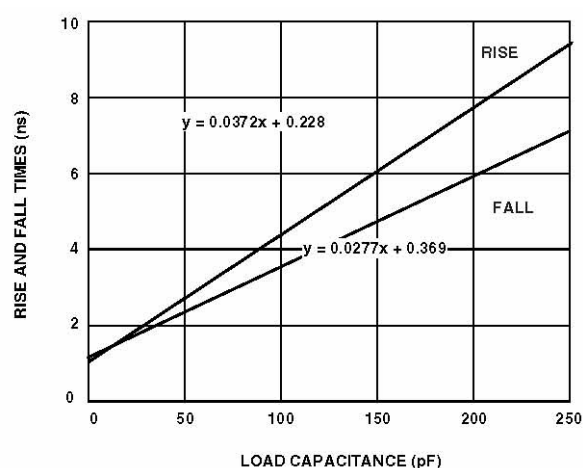


図44 SDCLK 出力立ち上がり/立ち下がり時間(typ)
(20~80%、 $V_{DDEXT} = \text{Min}$)

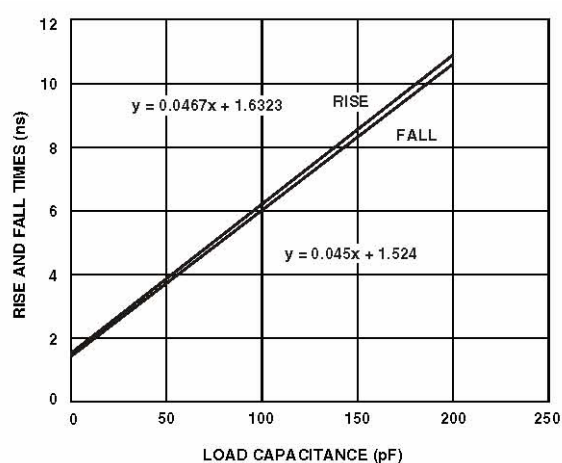


図43 出力立ち上がり/立ち下がり時間(typ)
(20~80%、 $V_{DDEXT} = \text{Max}$)

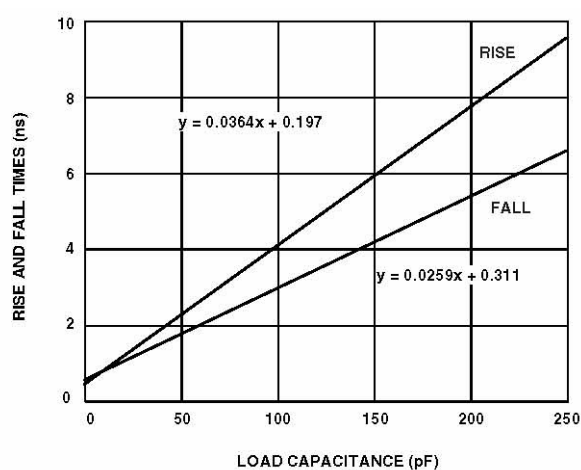


図45 SDCLK 出力立ち上がり/立ち下がり時間(typ)
(20~80%、 $V_{DDEXT} = \text{Max}$)

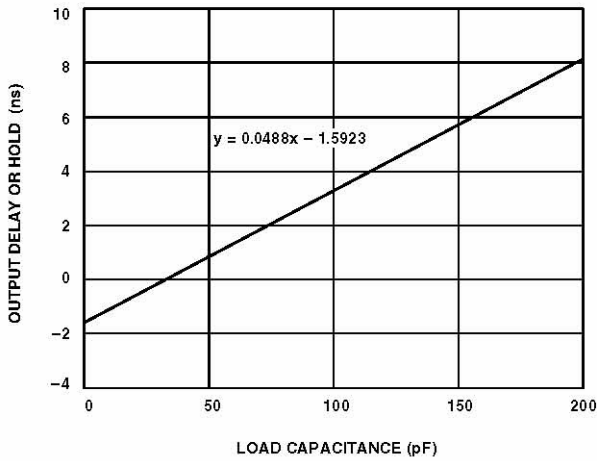


図46 出力遅延またはホールド(typ)対負荷容量(ジャンクション温度)

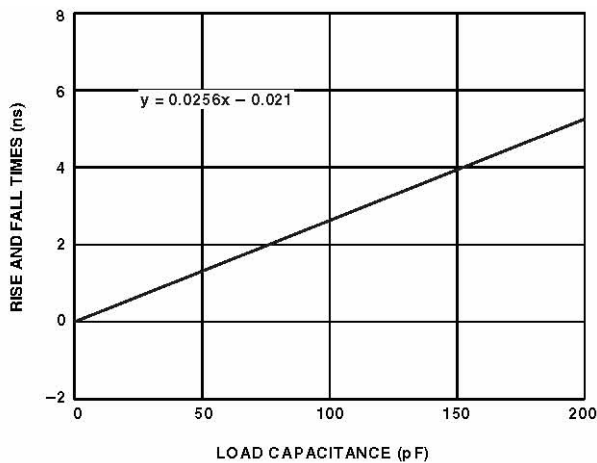


図47 SDCLK 出力遅延またはホールド(typ)対負荷容量(ジャンクション温度)

熱特性

ADSP-21367/ADSP-21368/ADSP-21369プロセッサの性能は、動作条件で規定する温度範囲で規定されています。

表43と表44の空気流の測定はJEDEC規格JESD51-2とJESD51-6に、ジャンクションーボード間の測定はJESD51-8に、それぞれ準拠しています。テスト・ボードのデザインはJEDEC規格のJESD51-9 (BGA_ED)とJESD51-8 (LQFP_EP)に準拠しています。ジャンクションーケース間の測定はMIL-STD-883に準拠しています。すべての測定では、2S2P JEDECテスト・ボードを使用しています。

LQFP-EP パッケージでは、PCB の埋め込みグラウンド・プレーンに対するサーマル・パターン・スクエアとサーマル・ビアが必要です。詳細については、JEDEC 標準

JESD51-5 を参照してください。

アプリケーション PCB 上でのデバイスのジャンクション温度を求めるときは、次式を使います。

$$T_J = T_{TOP} + (\Psi_{JT} \times P_D)$$

ここで、

T_J = ジャンクション温度(°C)

T_{TOP} = ケース温度(°C)、パッケージ上面の中央で測定

Ψ_{JT} = ジャンクションーパッケージ上面間のキャラクタライゼーション・パラメータは表43と表44のTyp値を使用

P_D = 消費電力(EEノートEE-299参照)

θ_{JA} の値はパッケージの比較とPCBデザイン考慮のために提供しています。 θ_{JA} は次式の T_J による一次近似に使うことができます。

$$T_J = T_A + (\theta_{JA} \times P_D)$$

ここで、

T_A = 周囲温度(°C)

θ_{JC} の値は、外付けヒート・シンクが必要なときに、パッケージ比較とPCBデザイン考慮のために提供されます。これは、ヒート・シンクを使用した場合にのみ適用されます。

θ_{JB} の値は、パッケージ比較とPCBデザイン考慮のために提供され、表43と表44の熱特性値は、2 Wでモデル化した値です。

表43 256 ボール BGA_ED の熱特性

Parameter	Condition	Typical	Unit
θ_{JA}	Airflow = 0 m/s	12.5	°C/W
θ_{JMA}	Airflow = 1 m/s	10.6	°C/W
θ_{JMA}	Airflow = 2 m/s	9.9	°C/W
θ_{JC}		0.7	°C/W
θ_{JB}		5.3	°C/W
Ψ_{JT}	Airflow = 0 m/s	0.3	°C/W
Ψ_{JMT}	Airflow = 1 m/s	0.3	°C/W
Ψ_{JMT}	Airflow = 2 m/s	0.3	°C/W

表44 208 ピン LQFP EPAD の熱特性
(エクスポーズドパッドを PCB にハンダ付け)

Parameter	Condition	Typical	Unit
θ_{JA}	Airflow = 0 m/s	17.1	°C/W
θ_{JMA}	Airflow = 1 m/s	14.7	°C/W
θ_{JMA}	Airflow = 2 m/s	14.0	°C/W
θ_{JC}		9.6	°C/W
Ψ_{JT}	Airflow = 0 m/s	0.23	°C/W
Ψ_{JMT}	Airflow = 1 m/s	0.39	°C/W
Ψ_{JMT}	Airflow = 2 m/s	0.45	°C/W
Ψ_{JB}	Airflow = 0 m/s	11.5	°C/W
Ψ_{JMB}	Airflow = 1 m/s	11.2	°C/W
Ψ_{JMB}	Airflow = 2 m/s	11.0	°C/W

256 ボールBGA_EDのピン配置

次の表に、ADSP-2136x のピン名とリセット時のデフォルト機能(括弧内)を示します。

表45 256 ボール BGA_ED のボール配置(ボール番号順)

Ball No.	Signal	Ball No.	Signal	Ball No.	Signal	Ball No.	Signal
A01	NC	B01	DAI_P05 (SD1A)	C01	DAI_P09 (SD2A)	D01	DAI_P10 (SD2B)
A02	TDI	B02	SDCLK1 ¹	C02	DAI_P07 (SCLK1)	D02	DAI_P06 (SD1B)
A03	TMS	B03	$\overline{\text{TRST}}$	C03	GND	D03	GND
A04	CLK_CFG0	B04	TCK	C04	V _{DDEXT}	D04	V _{DDEXT}
A05	CLK_CFG1	B05	BOOT_CFG0	C05	GND	D05	GND
A06	$\overline{\text{EMU}}$	B06	BOOT_CFG1	C06	GND	D06	V _{DDEXT}
A07	DAI_P04 (SFS0)	B07	TDO	C07	V _{DDINT}	D07	V _{DDINT}
A08	DAI_P01 (SD0A)	B08	DAI_P03 (SCLK0)	C08	GND	D08	GND
A09	DPI_P14 (TIMER1)	B09	DAI_P02 (SD0B)	C09	GND	D09	V _{DDEXT}
A10	DPI_P12 (TWI_CLK)	B10	DPI_P13 (TIMER0)	C10	V _{DDINT}	D10	V _{DDINT}
A11	DPI_P10 (UART0RX)	B11	DPI_P11 (TWI_DATA)	C11	GND	D11	GND
A12	DPI_P09 (UART0TX)	B12	DPI_P08 (SPIFLG3)	C12	GND	D12	V _{DDEXT}
A13	DPI_P07 (SPIFLG2)	B13	DPI_P05 (SPIFLG0)	C13	V _{DDINT}	D13	V _{DDINT}
A14	DPI_P06 (SPIFLG1)	B14	DPI_P04 ($\overline{\text{SPIDS}}$)	C14	GND	D14	GND
A15	DPI_P03 (SPICLK)	B15	DPI_P01 (SPIMOSI)	C15	GND	D15	V _{DDEXT}
A16	DPI_P02 (SPIMISO)	B16	$\overline{\text{RESET}}$	C16	V _{DDINT}	D16	GND
A17	$\overline{\text{RESETOUT}}$	B17	DATA30	C17	V _{DDINT}	D17	V _{DDEXT}
A18	DATA31	B18	DATA29	C18	V _{DDINT}	D18	GND
A19	NC	B19	DATA28	C19	DATA27	D19	DATA26
A20	NC	B20	NC	C20	NC/RPBA ²	D20	DATA24
E01	DAI_P11 (SD3A)	F01	DAI_P14 (SFS3)	G01	DAI_P15 (SD4A)	H01	DAI_P17 (SD5A)
E02	DAI_P08 (SFS1)	F02	DAI_P12 (SD3B)	G02	DAI_P13 (SCLK3)	H02	DAI_P16 (SD4B)
E03	V _{DDINT}	F03	GND	G03	GND	H03	V _{DDINT}
E04	V _{DDINT}	F04	GND	G04	V _{DDEXT}	H04	V _{DDINT}
E17	GND	F17	V _{DDEXT}	G17	V _{DDINT}	H17	V _{DDEXT}
E18	GND	F18	GND	G18	V _{DDINT}	H18	GND
E19	DATA25	F19	GND/ID2 ²	G19	DATA22	H19	DATA19
E20	DATA23	F20	DATA21	G20	DATA20	H20	DATA18
J01	DAI_P19 (SCLK5)	K01	FLAG0	L01	FLAG2	M01	ACK
J02	DAI_P18 (SD5B)	K02	DAI_P20 (SFS5)	L02	FLAG1	M02	FLAG3
J03	GND	K03	GND	L03	V _{DDINT}	M03	GND
J04	GND	K04	V _{DDEXT}	L04	V _{DDINT}	M04	GND
J17	GND	K17	V _{DDINT}	L17	V _{DDINT}	M17	V _{DDEXT}
J18	GND	K18	V _{DDINT}	L18	V _{DDINT}	M18	GND
J19	GND/ID1 ²	K19	GND/ID0 ²	L19	DATA15	M19	DATA12
J20	DATA17	K20	DATA16	L20	DATA14	M20	DATA13
N01	$\overline{\text{RD}}$	P01	SDA10	R01	$\overline{\text{SDWE}}$	T01	$\overline{\text{SDCKE}}$
N02	SDCLK0	P02	$\overline{\text{WR}}$	R02	$\overline{\text{SDRAS}}$	T02	$\overline{\text{SDCAS}}$
N03	GND	P03	V _{DDINT}	R03	GND	T03	GND
N04	V _{DDEXT}	P04	V _{DDINT}	R04	GND	T04	V _{DDEXT}
N17	GND	P17	V _{DDINT}	R17	V _{DDEXT}	T17	GND

表 45 256 ボール BGA_ED のボール配置(ボール番号順) (続き)

Ball No.	Signal	Ball No.	Signal	Ball No.	Signal	Ball No.	Signal
N18	GND	P18	V _{DDINT}	R18	GND	T18	GND
N19	DATA11	P19	DATA8	R19	DATA6	T19	DATA5
N20	DATA10	P20	DATA9	R20	DATA7	T20	DATA4
U01	$\overline{MS0}$	V01	ADDR22	W01	GND	Y01	GND
U02	$\overline{MS1}$	V02	ADDR23	W02	ADDR21	Y02	NC
U03	V _{DDINT}	V03	V _{DDINT}	W03	ADDR19	Y03	NC
U04	GND	V04	GND	W04	ADDR20	Y04	ADDR18
U05	V _{DDEXT}	V05	GND	W05	ADDR17	Y05	NC/ $\overline{BR1}^2$
U06	GND	V06	GND	W06	ADDR16	Y06	NC/ $\overline{BR2}^2$
U07	V _{DDEXT}	V07	GND	W07	ADDR15	Y07	XTAL
U08	V _{DDINT}	V08	V _{DDINT}	W08	ADDR14	Y08	CLKIN
U09	V _{DDEXT}	V09	GND	W09	A _{VDD}	Y09	NC
U10	GND	V10	GND	W10	A _{VSS}	Y10	NC
U11	V _{DDEXT}	V11	GND	W11	ADDR13	Y11	NC/ $\overline{BR3}^2$
U12	V _{DDINT}	V12	V _{DDINT}	W12	ADDR12	Y12	NC/ $\overline{BR4}^2$
U13	V _{DDEXT}	V13	V _{DDEXT}	W13	ADDR10	Y13	ADDR11
U14	V _{DDEXT}	V14	GND	W14	ADDR8	Y14	ADDR9
U15	V _{DDINT}	V15	V _{DDINT}	W15	ADDR5	Y15	ADDR7
U16	V _{DDEXT}	V16	GND	W16	ADDR4	Y16	ADDR6
U17	V _{DDINT}	V17	GND	W17	ADDR1	Y17	ADDR3
U18	V _{DDINT}	V18	GND	W18	ADDR2	Y18	GND
U19	DATA0	V19	DATA1	W19	ADDR0	Y19	GND
U20	DATA2	V20	DATA3	W20	NC	Y20	NC

SDCLK1信号は、SBGAパッケージにのみあります。SDCLK1信号は、LQFP_EPパッケージにはありません。
ADSP-21368モデルのみに適用。

図48にBGA_EDボール構成の底面図を、図49にBGA_EDボール構成の上面図を、それぞれ示します。

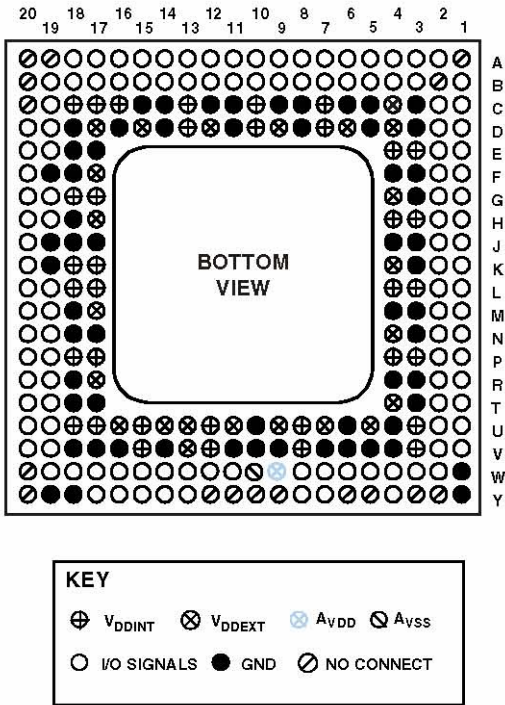


図48 256 ボール BGA_ED のボール構成(底面図)

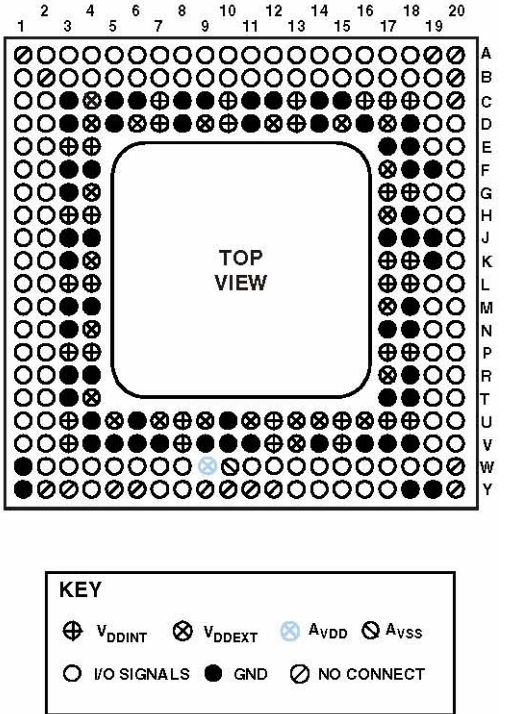


図49 256 ボール BGA_ED のボール構成(上面図)

208 ピンLQFP_EPのピン配置

次の表に、ADSP-2136x のピン名とリセット時のデフォルト機能(括弧内)を示します。

表46 208 ピン LQFP_EP ピン配置(ピン番号順)

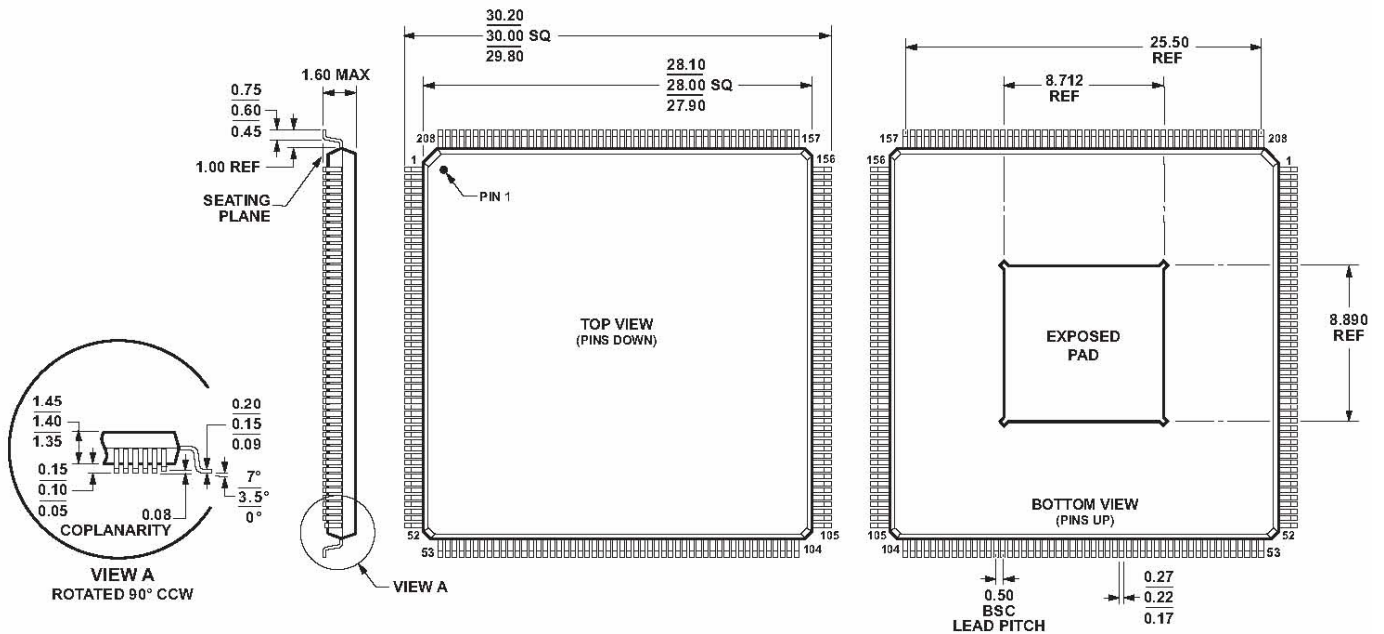
Lead No.	Signal	Lead No.	Signal	Lead No.	Signal	Lead No.	Signal	Lead No.	Signal
1	V _{DDINT}	43	V _{DDINT}	85	V _{DDEXT}	127	V _{DDINT}	169	CLK_CFG0
2	DATA28	44	DATA4	86	GND	128	GND	170	BOOT_CFG0
3	DATA27	45	DATA5	87	V _{DDINT}	129	V _{DDEXT}	171	CLK_CFG1
4	GND	46	DATA2	88	ADDR14	130	DAI_P19 (SCLK5)	172	EMU
5	V _{DDEXT}	47	DATA3	89	GND	131	DAI_P18 (SD5B)	173	BOOT_CFG1
6	DATA26	48	DATA0	90	V _{DDEXT}	132	DAI_P17 (SD5A)	174	TDO
7	DATA25	49	DATA1	91	ADDR15	133	DAI_P16 (SD4B)	175	DAI_P04 (SFS0)
8	DATA24	50	V _{DDEXT}	92	ADDR16	134	DAI_P15 (SD4A)	176	DAI_P02 (SD0B)
9	DATA23	51	GND	93	ADDR17	135	DAI_P14 (SFS3)	177	DAI_P03 (SCLK0)
10	GND	52	V _{DDINT}	94	ADDR18	136	DAI_P13 (SCLK3)	178	DAI_P01 (SD0A)
11	V _{DDINT}	53	V _{DDINT}	95	GND	137	DAI_P12 (SD3B)	179	V _{DDEXT}
12	DATA22	54	GND	96	V _{DDEXT}	138	V _{DDINT}	180	GND
13	DATA21	55	V _{DDEXT}	97	ADDR19	139	V _{DDEXT}	181	V _{DDINT}
14	DATA20	56	ADDR0	98	ADDR20	140	GND	182	GND
15	V _{DDEXT}	57	ADDR2	99	ADDR21	141	V _{DDINT}	183	DPI_P14 (TIMER1)
16	GND	58	ADDR1	100	ADDR23	142	GND	184	DPI_P13 (TIMER0)
17	DATA19	59	ADDR4	101	ADDR22	143	DAI_P11 (SD3A)	185	DPI_P12 (TWI_CLK)
18	DATA18	60	ADDR3	102	MS1	144	DAI_P10 (SD2B)	186	DPI_P11 (TWI_DATA)
19	V _{DDINT}	61	ADDR5	103	MS0	145	DAI_P08 (SFS1)	187	DPI_P10 (UART0RX)
20	GND	62	GND	104	V _{DDINT}	146	DAI_P09 (SD2A)	188	DPI_P09 (UART0TX)
21	DATA17	63	V _{DDINT}	105	V _{DDINT}	147	DAI_P06 (SD1B)	189	DPI_P08 (SPIFLG3)
22	V _{DDINT}	64	GND	106	GND	148	DAI_P07 (SCLK1)	190	DPI_P07 (SPIFLG2)
23	GND	65	V _{DDEXT}	107	V _{DDEXT}	149	DAI_P05 (SD1A)	191	V _{DDEXT}
24	V _{DDINT}	66	ADDR6	108	SDCAS	150	V _{DDEXT}	192	GND
25	GND	67	ADDR7	109	SDRAS	151	GND	193	V _{DDINT}
26	DATA16	68	ADDR8	110	SDCKE	152	V _{DDINT}	194	GND
27	DATA15	69	ADDR9	111	SDWE	153	GND	195	DPI_P06 (SPIFLG1)
28	DATA14	70	ADDR10	112	WR	154	V _{DDINT}	196	DPI_P05 (SPIFLG0)
29	DATA13	71	GND	113	SDA10	155	GND	197	DPI_P04 (SPIDS)
30	DATA12	72	V _{DDINT}	114	GND	156	V _{DDINT}	198	DPI_P03 (SPICLK)
31	V _{DDEXT}	73	GND	115	V _{DDEXT}	157	V _{DDINT}	199	DPI_P01 (SPIMOSI)
32	GND	74	V _{DDEXT}	116	SDCLK0	158	V _{DDINT}	200	DPI_P02 (SPIMISO)
33	V _{DDINT}	75	ADDR11	117	GND	159	GND	201	RESETOUT

表 46 208 ピン LQFP_EP ピン配置(ピン番号順) (続き)

Lead No.	Signal	Lead No.	Signal	Lead No.	Signal	Lead No.	Signal
34	GND	76	ADDR12	118	V _{DDINT}	160	V _{DDINT}
35	DATA11	77	ADDR13	119	$\overline{\text{RD}}$	161	V _{DDINT}
36	DATA10	78	GND	120	ACK	162	V _{DDINT}
37	DATA9	79	V _{DDINT}	121	FLAG3	163	TDI
38	DATA8	80	A _{VSS}	122	FLAG2	164	$\overline{\text{TRST}}$
39	DATA7	81	A _{VDD}	123	FLAG1	165	TCK
40	DATA6	82	GND	124	FLAG0	166	GND
41	V _{DDEXT}	83	CLKIN	125	DAI_P20 (SF55)	167	V _{DDINT}
42	GND	84	XTAL	126	GND	168	TMS

パッケージ寸法

ADSP-21367/ADSP-21368/ADSP-21369 プロセッサは、256 ボールの RoHS 準拠パッケージと有鉛 BGA_ED パッケージ、および 208 ピン RoHS 準拠 LQFP_EP パッケージを採用しています。



COMPLIANT TO JEDEC STANDARDS MS-026-BJB-HD

NOTE:
THE EXPOSED PAD IS REQUIRED TO BE ELECTRICALLY AND THERMALLY CONNECTED TO VSS.
THIS SHOULD BE IMPLEMENTED BY SOLDERING THE EXPOSED PAD TO A VSS PCB LAND THAT IS THE SAME SIZE AS THE EXPOSED PAD. THE VSS PCB LAND SHOULD BE ROBUSTLY CONNECTED TO THE VSS PLANE IN THE PCB WITH AN ARRAY OF THERMAL VIAS FOR BEST PERFORMANCE.

図50 208 ピン・ロー・プロファイル・クワッド・フラット・パッケージ、エクスPOSEドパッド[LQFP_EP] (SW-208-1)
寸法: mm

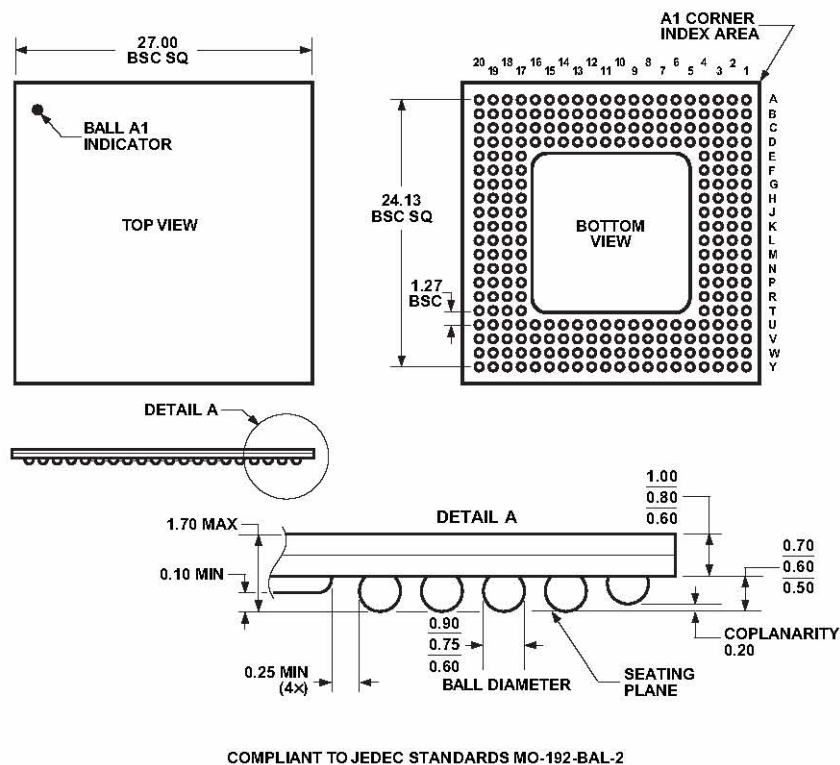


図51 256 ボール・ボール・グリッド・アレイ、熱強化型[BGA_ED]
(BP-256)
寸法: mm

表面実装デザイン

表47は、PCBデザイン用に示します。業界標準のデザイン勧告については、IPC-7351の「*Generic Requirements for Surface-Mount Design and Land Pattern Standard*」を参照してください。

表47 表面実装デザイン用の BGA_ED データ

Package	Ball Attach Type	Solder Mask Opening	Ball Pad Size
256-Lead Ball Grid Array BGA_ED (BP-256)	Solder Mask Defined (SMD)	0.63 mm	0.73 mm

車載製品

専用の製造工程で製造された、車載アプリケーション用のADSP-21369モデルも提供しています。この特別モデルの仕様は、一般的なリリース・モデルと異なることがあるので注意してください。

表48に示す車載グレード製品は、車載アプリケーション用に提供しています。特定製品の注文情報については、最寄りのADIまたはADIの認定代理店にお尋ねください。すべての車載製品はRoHS準拠製品です。

表48 車載製品

Model	Temperature Range ¹	Instruction Rate	On-Chip SRAM	ROM	Package Description	Package Option
AD21369WBSWZ1xx	−40°C to +85°C	266 MHz	2M bit	6M bit	208-Lead LQFP_EP	SW-208-1

¹基準温度は周囲温度。

オーダー・ガイド

Model	Temperature Range ¹	Instruction Rate	On-Chip SRAM	ROM	Package Description	Package Option
ADSP-21367KBP-2A ²	0°C to +70°C	333 MHz	2M bit	6M bit	256-Ball BGA_ED	BP-256
ADSP-21367KBPZ-2A ^{2, 3}	0°C to +70°C	333 MHz	2M bit	6M bit	256-Ball BGA_ED	BP-256
ADSP-21367BBP-2A ²	−40°C to +85°C	333 MHz	2M bit	6M bit	256-Ball BGA_ED	BP-256
ADSP-21367BBPZ-2A ^{2, 3}	−40°C to +85°C	333 MHz	2M bit	6M bit	256-Ball BGA_ED	BP-256
ADSP-21367KBPZ-3A ^{2, 3}	0°C to +70°C	400 MHz	2M bit	6M bit	256-Ball BGA_ED	BP-256
ADSP-21367KSWZ-1A ^{2, 3}	0°C to +70°C	266 MHz	2M bit	6M bit	208-Lead LQFP_EP	SW-208-1
ADSP-21367KSWZ-2A ^{2, 3}	0°C to +70°C	333 MHz	2M bit	6M bit	208-Lead LQFP_EP	SW-208-1
ADSP-21367KSWZ-4A ^{2, 3}	0°C to +70°C	350 MHz	2M bit	6M bit	208-Lead LQFP_EP	SW-208-1
ADSP-21367KSWZ-5A ^{2, 3}	0°C to +70°C	366 MHz	2M bit	6M bit	208-Lead LQFP_EP	SW-208-1
ADSP-21367BSWZ-1A ^{2, 3}	−40°C to +85°C	266 MHz	2M bit	6M bit	208-Lead LQFP_EP	SW-208-1
ADSP-21368KBP-2A	0°C to +70°C	333 MHz	2M bit	6M bit	256-Ball BGA_ED	BP-256
ADSP-21368KBPZ-2A ³	0°C to +70°C	333 MHz	2M bit	6M bit	256-Ball BGA_ED	BP-256
ADSP-21368BBP-2A	−40°C to +85°C	333 MHz	2M bit	6M bit	256-Ball BGA_ED	BP-256
ADSP-21368BBPZ-2A ³	−40°C to +85°C	333 MHz	2M bit	6M bit	256-Ball BGA_ED	BP-256
ADSP-21368KBPZ-3A ³	0°C to +70°C	400 MHz	2M bit	6M bit	256-Ball BGA_ED	BP-256
ADSP-21369KBP-2A	0°C to +70°C	333 MHz	2M bit	6M bit	256-Ball BGA_ED	BP-256
ADSP-21369KBPZ-2A ³	0°C to +70°C	333 MHz	2M bit	6M bit	256-Ball BGA_ED	BP-256
ADSP-21369BBP-2A	−40°C to +85°C	333 MHz	2M bit	6M bit	256-Ball BGA_ED	BP-256
ADSP-21369BBPZ-2A ²	−40°C to +85°C	333 MHz	2M bit	6M bit	256-Ball BGA_ED	BP-256
ADSP-21369KBPZ-3A ³	0°C to +70°C	400 MHz	2M bit	6M bit	256-Ball BGA_ED	BP-256
ADSP-21369KSWZ-1A ³	0°C to +70°C	266 MHz	2M bit	6M bit	208-Lead LQFP_EP	SW-208-1
ADSP-21369KSWZ-2A ³	0°C to +70°C	333 MHz	2M bit	6M bit	208-Lead LQFP_EP	SW-208-1
ADSP-21369KSWZ-4A ³	0°C to +70°C	350 MHz	2M bit	6M bit	208-Lead LQFP_EP	SW-208-1
ADSP-21369KSWZ-5A ³	0°C to +70°C	366 MHz	2M bit	6M bit	208-Lead LQFP_EP	SW-208-1
ADSP-21369BSWZ-1A ³	−40°C to +85°C	266 MHz	2M bit	6M bit	208-Lead LQFP_EP	SW-208-1
ADSP-21369BSWZ-2A ³	−40°C to +85°C	333 MHz	2M bit	6M bit	208-Lead LQFP_EP	SW-208-1

¹基準温度は周囲温度。

²チップセットのデバイスとして販売され、必要なソフトウェアとバンドルされている広範囲なオーディオ・アルゴリズムの組み合わせで使用可能。すべてのリストについては、当社のウェブサイトwww.analog.com/SHARCをご覧ください。

³Z = RoHS準拠製品。