

ADSP-21362/ADSP-21363/ADSP-21364/ADSP-21365/ADSP-21366

まとめ

高性能オーディオ処理用に最適化された高性能 32 ビット/40 ビット浮動小数点プロセッサ

SIMD (Single-instruction, multiple-data) 演算アーキテクチャを採用

内蔵メモリ—3M ビットの内蔵 SRAM

すべての他の SHARC ファミリー・メンバーとコード互換

ADSP-2136x プロセッサは 333 MHz のコア命令レートで動作し、デジタル・アプリケーション・インターフェース、S/PDIF トランシーバ、DTCP (Digital Transmission Content Protection Protocol)、シリアル・ポート、高精度クロック・ジェネレータなどの独自のオーディオ中心のペリフェラルを内蔵しています。詳細については、[オーダー・ガイド](#)を参照してください。

専用オーディオ・コンポーネント

S/PDIF 互換のデジタル・オーディオ・レシーバ/トランスミッタ

8 チャンネルの非同期サンプル・レート・コンバータ (SRC)

4 出力の 4 グループとして構成された 16 個の PWM 出力

ROM ベースのセキュリティ機能

メモリに対する JTAG アクセスを 64 ビット・キーで許可

秘密コードに対するアクセスをプログラム制御により制限する際に使用できるメモリ保護領域

ソフトウェアおよびハードウェアによる広範囲な通倍比/分周比を持つ PLL

136 ボール BGA パッケージまたは 144 ピン LQFP_EP パッケージを採用

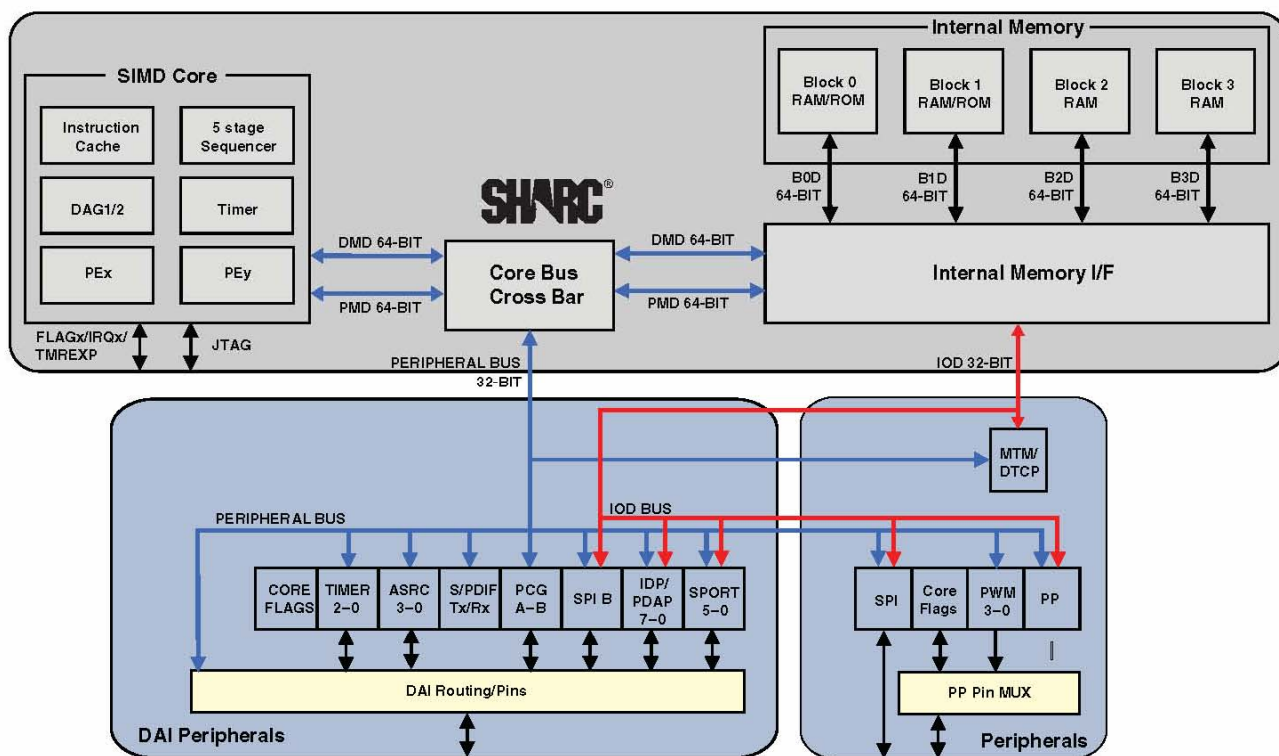


図1 機能ブロック図

SHARC と SHARC ロゴは Analog Devices, Inc. の登録商標です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。

※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©2009 Analog Devices, Inc. All rights reserved.

Rev. E

目次

まとめ	1	ESDの注意	15
改訂履歴	2	最大消費電力	15
概要	3	絶対最大定格	15
SHARCファミリー・コアのアーキテクチャ	4	タイミング仕様	15
ファミリー・ペリフェラルのアーキテクチャ	6	出力駆動電流	42
I/Oプロセッサの機能	8	テスト条件	42
システム・デザイン	8	容量負荷	42
開発ツール	9	熱特性	43
その他の情報	10	144 ピンLQFPのピン配置	44
ピン機能の説明	11	136 ボールBGAのピン配置	45
仕様	14	パッケージ寸法	48
動作条件	14	表面実装デザイン	49
電気的特性	14	車載製品	50
パッケージ情報	15	オーダー・ガイド	51

改訂履歴

10/09—Rev. D to Rev. E

Corrected all outstanding document errata. Also replaced core clock references (CCLK) in the timing specifications with peripheral clock references (PCLK).

For this revision the following sections have been removed.

For information see the *ADSP-2136x SHARC Processor Hardware Reference*: “Address Data Pins as Flags”, “Address/Data Modes”, Core Instruction Rate to CLKIN Ratio Modes.”

Revised Figure 1, Functional Block Diagram	1
Added Table 2, ADSP-2136x Family Features	3
Added Figure 2, SHARC Core Block Diagram	4
Added Context switch	5
Added Universal Registers	5
Added Timer	5
Added On-Chip Memory Bandwidth	5
Added Memory-to-Memory (MTM)	8
Added Input Data Port (IDP)	8
Added Precision Clock Generator (PCG)	8
Added boot settings to Program Booting	8
Clarified VCO operations. See Voltage Controlled Oscillator	15
Corrected fVCO Min specification. See Clock Input	18
Revised Parallel Data Acquisition Port (PDAP)	32
Revised SRC, Serial Input Port	33
Revised SRC, Serial Output Port	34

ADSP-21362/ADSP-21363/ADSP-21364/ADSP-21365/ADSP-21366

概要

ADSP-2136x SHARC®プロセッサは、SIMD SHARC ファミリーのメンバーであり、アナログ・デバイセズのスーパー・ハーバード・アーキテクチャを採用した DSP です。このプロセッサは、ADSP-2126x DSP、ADSP-2116x DSP、および SISD(Single-Instruction, Single-Data)モードの第1世代 ADSP-2106x SHARC プロセッサとソース・コード互換です。ADSP-2136x プロセッサは、大容量の内蔵 SRAM と ROM、I/O ボトルネックを解消する複数の内部バス、画期的なデジタル・オーディオ・インターフェース(DAI)により、高性能車載オーディオ・アプリケーション向けに最適化された 32 ビット/40 ビットの浮動小数点プロセッサです。

機能ブロック図(図1)に示すように、このADSP-2136xは、2個の演算ユニットを採用することにより、広範囲なDSP アルゴリズムに対して従来のSHARCプロセッサに比べて性能を大幅に改善しています。ADSP-2136xプロセッサは最新の高速CMOSプロセスで製造され、333 MHzで 3.0 ns の命令サイクル・タイムを実現しています。ADSP-2136x はSIMD演算ハードウェアを使用して、333 MHzで 2 G FLOPSの処理を行うことができます。

表1 に、これらのデバイスの性能ベンチマークを示します。表2 に、各製品の機能を示します。

表1 ベンチマーク(333 MHz)

Benchmark Algorithm	Speed (at 333 MHz)
1024 Point Complex FFT (Radix 4, with reversal)	27.9 μ s
FIR Filter (per tap) ¹	1.5 ns
IIR Filter (per biquad) ¹	6.0 ns
Matrix Multiply (pipelined) [3x3] x [3x1] [4x4] x [4x1]	13.5 ns 23.9 ns
Divide (y/x)	10.5 ns
Inverse Square Root	16.3 ns

¹マルチチャンネル SIMD モードでは2つのファイルを想定

表2 ADSP-2136xファミリーの機能

Feature	ADSP-21362	ADSP-21363	ADSP-21364	ADSP-21365	ADSP-21366
RAM	3M bit	3M bit	3M bit	3M bit	3M bit
ROM	4M bit	4M bit	4M bit	4M bit	4M bit
Audio Decoders in ROM ¹	No	No	No	Yes	Yes
Pulse-Width Modulation	Yes	Yes	Yes	Yes	Yes

表2 ADSP-2136xファミリーの機能(続き)

Feature	ADSP-21362	ADSP-21363	ADSP-21364	ADSP-21365	ADSP-21366
S/PDIF	Yes	No	Yes	Yes	Yes
DTCP ²	Yes	No	No	Yes	No
SRC Performance	128 dB	No SRC	140 dB	128 dB	128 dB

¹オーディオ・デコーディング・アルゴリズムには、PCM、Dolby Digital EX、Dolby Prologic IIx、DTS 96/24、Neo:6、DTS ES、MPEG-2 AAC、MP3、バス・マネジメント、遅延、スピーカの等化、グラフィック・イコライゼーションなどの機能が含まれます。デコーダ/ポスト・プロセッサ・アルゴリズムの組み合わせサポートは、チップ・バージョンとシステム構成に応じて変わります。詳細については、www.analog.com/jpをご覧ください。

²ADSP-21362/ADSP-21365プロセッサは、Digital Transmission Content Protection プロトコル(独自セキュリティ・プロトコル)を提供します。詳細については、最寄りのADIにお尋ねください。

図1に、ADSP-2136xプロセッサを構成する2つのクロック・ドメインを示します。コア・クロック・ドメインには次の機能があります。

- ・2個の処理エレメント。各々はALU、乗算器、シフタ、データ・レジスタ・ファイルから構成されています。
- ・データ・アドレス・ジェネレータ(DAG1、DAG2)
- ・命令キャッシュ付きのプログラム・シーケンサ
- ・PMバスとDMバス。メモリとコアとの間で各コア・プロセッサ・サイクル毎に4回の32ビット・データ転送をサポートすることが可能。
- ・出力ピン付きの周期インターバル・タイマ×1
- ・内蔵SRAM(3Mビット)
- ・内蔵マスク・プログラマブルROM(4Mビット)
- ・エミュレーションとバウンダリ・スキャン用のJTAGテスト・アクセス・ポート。JTAGはユーザ・ブレイク・ポイントを使ってソフトウェア・デバッグ機能を提供するため、柔軟な例外処理が可能になります。

図1には、次のアーキテクチャ機能も示してあります。

- ・ペリフェラルに対して32ビットDMAを処理するI/Oプロセッサ
- ・全二重シリアル・ポート×6
- ・SPI 互換インターフェース・ポート×2—プライマリ(専用ピン)とセカンダリ(DAIピン)
- ・外部メモリ・ペリフェラルへのインターフェースをサポートする8ビットまたは16ビットのパラレル・ポート
- ・デジタル・オーディオ・インターフェース。これには、高精度クロック・ジェネレータ(PCG)×2、入力データ・ポート(IDP)×1、S/PDIF レシーバ/トランスミッタ×1、8チャンネル非同期サンプル・レート・コンバータ×1、DTCP 暗号器、シリアル・ポート×6、シリアル・インターフェース×8、20ビット・パラレル入力ポート×1、割り込み×10、フラグ出力×6、フラグ入力×6、タイマ×

3、柔軟な信号ルーティング・ユニット(SRU)×1 が含まれます。

SHARCファミリー・コアのアーキテクチャ

ADSP-2136xは、ADSP-2126x、ADSP-21160、ADSP-21161、第1世代ADSP-2106x SHARCの各プロセッサとアセンブラ・レベルでコード互換です。図2と次のセクションに示すように、ADSP-2136xはADSP-2126xプロセッサおよびADSP2116x SIMD SHARCプロセッサとアーキテクチャ機能を共用しています。

SIMD演算エンジン

このプロセッサは、SIMD (Single-Instruction, Multiple-Data) エンジンとして動作する2個の演算処理エレメントを内蔵しています。これらの処理エレメントはPEXとPEYと呼ばれ、各々は、ALU、乗算器、シフタ、レジスタ・ファイルを内蔵しています。PEXは常時アクティブで、PEYはMODE1レジスタのPEYENモード・ビットをセットしてイネーブルすることができます。このモードがイネーブルされると、同じ命令が両処理エレメントで実行されますが、各処理エレメントは異なるデータに対して動作します。

このアーキテクチャは、数学的な信号処理アルゴリズムの実行に効果を発揮します。

SIMDモードが開始されると、メモリと処理エレメントとの間のデータ転送方法も変わります。SIMDモードでは、処理エレメントでの演算動作を維持するために2倍のデータ帯域幅が必要になります。この要求のため、SIMDモードが開始されると、メモリと処理エレメントとの間の帯域幅も2倍になります。SIMDモードでデータ転送にDAGを使用する場合、メモリまたはレジスタ・ファイルに対する各アクセスで2個のデータ値が転送されます。

独立な並列演算ユニット

各処理エレメントには、演算ユニットのセットがあります。演算ユニットは、ALU、乗算器、シフタから構成されています。これらのユニットは、すべての命令を1サイクルで実行します。各処理エレメント内の3個のユニットは、最大の演算スループットを得る並行構成になっています。1個のマルチファンクション命令により、ALUと乗算器の並行動作が行われます。SIMDモードでは、両処理エレメントでALUと乗算器の並行動作が発生します。これらの演算ユニットは、IEEE 32ビット単精度浮動小数点、40ビット拡張精度浮動小数点、32ビット固定小数点の各データ・フォーマットをサポートしています。

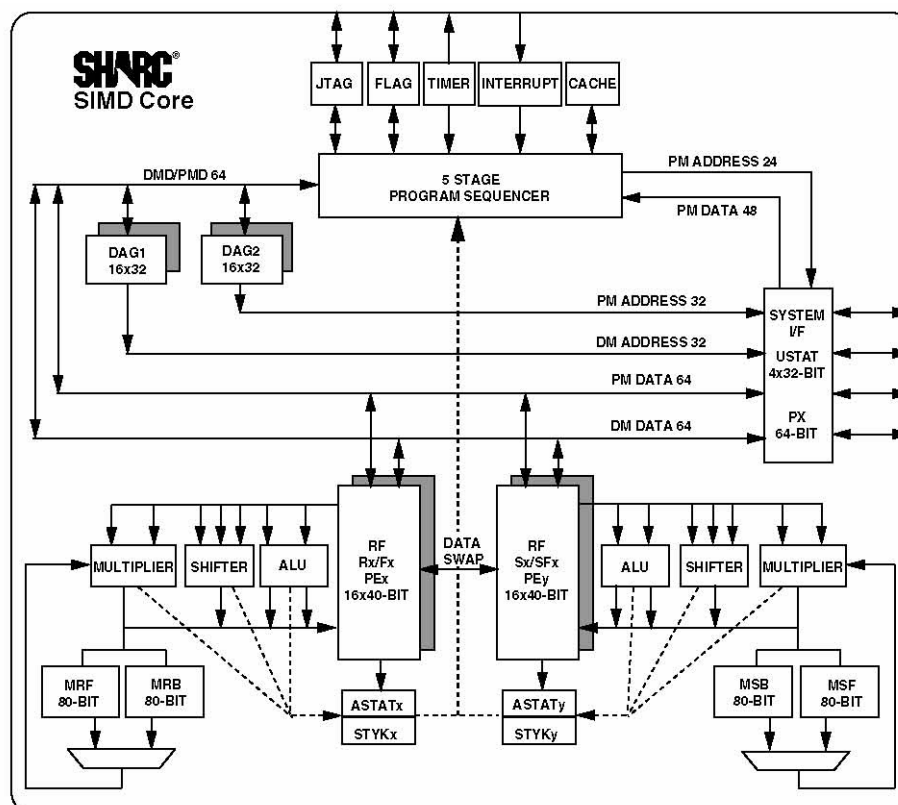


図2 SHARCコアのブロック図

データ・レジスタ・ファイル

汎用データ・レジスタ・ファイルは、各処理エレメントに内蔵されています。レジスタ・ファイルは、演算ユニットとデータ・バスとの間でデータを転送し、途中結果を保持します。これらの 10 ポート 32 レジスタからなるレジスタ・ファイル(16 個のプライマリ、16 個のセカンダリ)と ADSP2136x の強化型ハーバード・アーキテクチャとの組み合わせにより、演算ユニットと内部メモリとの間で制約のないデータ・フローが可能になっています。PEX 内のレジスタは R0～R15 と呼ばれ、PEY 内のレジスタは S0～S15 と呼ばれます。

コンテキスト・スイッチ

多くのプロセッサ・レジスタには、割り込みサービス中に高速なコンテキスト・スイッチを可能にするために使用できるセカンダリ・レジスタがあります。レジスタ・ファイル内のデータ・レジスタ、DAG レジスタ、乗算・レジスタにはすべてセカンダリ・レジスタがあります。プライマリ・レジスタはリセット時にアクティブになり、セカンダリ・レジスタはモード・コントロール・レジスタのコントロール・ビットを使ってアクティブにします。

ユニバーサル・レジスタ

これらのレジスタは汎用タスクに使うことができます。USTAT (4) レジスタを使うと、コアのすべてのシステム・レジスタ(コントロール/ステータス)のビット操作(Set、Clear、Toggle、Test、XOR)を容易に行うことができます。

データ・バス交換レジスタ(PX)の使用により、64 ビット PM データ・バスと 64 ビット DM データ・バスとの間で、または 40 ビット・レジスタ・ファイルと PM データ・バスとの間で、データを渡すことが可能になっています。これらのレジスタには、データ幅の違いを処理するハードウェアが内蔵されています。

タイマ

周期ソフトウェア割り込みを発生できるコア・タイマ。コア・タイマは、タイムアウト信号として FLAG3 を使用するように設定することができます。

1 サイクル命令フェッチと 4 個のオペランド

このプロセッサは、データ・メモリ(DM)バスでデータを転送し、プログラム・メモリ(PM)バスで命令とデータを転送する強化型ハーバード・アーキテクチャを採用しています(図 2 参照)。このプロセッサではプログラム・メモリ・バスとデータ・メモリ・バスを分離し、かつ命令キャッシュを内蔵しているため、プロセッサは 4 個のオペランド(各データ・バスから 2 個)と 1 個の命令(キャッシュから)を同時に 1 サイクルでフェッチすることができます。

命令キャッシュ

このプロセッサは、1 個の命令と 4 個のデータ値をフェッチする 3 バス動作を可能にする命令キャッシュを内蔵しています。キャッシュは選択的で、PM バス・データ・アクセスとフェッチが競合する命令だけをキャッシュします。このキャッシュにより、コアのフル速度実行(デジタル・フィルタの積和や FFT でのバタフライ処理のようなループ動作)が可能になります。

ゼロ・オーバーヘッドのハードウェア循環バッファをサポートするデータ・アドレス・ジェネレータ

このプロセッサの 2 個のデータ・アドレス・ジェネレータ(DAG)は、間接アドレッシング機能とハードウェアによる循環データ・バッファの構成に使用されます。循環バッファを使うと、遅延ラインの効率の良いプログラミングとデジ

タル信号処理に必要なその他のデータ構造が実現できるため、広くデジタル・フィルタとフーリエ変換で使用されています。2 個の DAG には、最大 32 個の循環バッファを実現するために十分なレジスタが内蔵されています(16 個はプライマリ・レジスタ・セット用、16 個はセカンダリ・レジスタ・セット用)。DAG は、アドレス・ポインタのラップアラウンドを自動的に処理するため、オーバーヘッドを削減し、性能を向上させ、構成を簡素化します。循環バッファは、任意のメモリ・ロケーションから開始させて終了させることができます。

柔軟な命令セット

48 ビットの命令ワードにより、多様な並行動作が可能になるため、簡潔なプログラミングが可能になります。例えば、このプロセッサは、両処理エレメントで、乗算、加算、減算を条件付きで実行すると同時に、分岐や最大 4 個の 32 ビット値のメモリからのフェッチを 1 命令で行うことができます。

内蔵メモリ

このプロセッサは、3 Mビットの SRAM と 4 Mビットの ROM を内蔵しています。各ブロックは、コード・ストレージとデータ・ストレージのさまざまな組み合わせに構成することができます(表 3 参照)。各メモリ・ブロックは、コア・プロセッサと I/O プロセッサから独立な 1 サイクルのアクセスをサポートします。このメモリ・アーキテクチャと、分離した内蔵バスとの組み合わせにより、コアからの 2 回のデータ転送と I/O プロセッサからの 1 回のデータ転送が 1 サイクルで可能になっています。

SRAM は、最大 96k ワードの 32 ビット・データとして、192k ワードの 16 ビット・データとして、64k ワードの 48 ビット命令として(もしくは 40 ビット・データ)、または最大 3M ビットの様々なワード・サイズの組み合わせとして、構成することができます。すべてのメモリは、16 ビット、32 ビット、48 ビット、または 64 ビット・ワードとしてアクセスすることができます。16 ビットの浮動小数点ストレージ・フォーマットをサポートしています。これにより内部で保存できるデータ量が実質的に 2 倍になります。32 ビット浮動小数点フォーマットと 16 ビット浮動小数点フォーマットとの間の変換は、1 命令で実行されます。各メモリ・ブロックはコードとデータの組み合わせを保存できますが、転送に DM バスを使って 1 つのブロックにデータを保存し、さらに転送に PM バスを使って別のブロックに命令とデータを保存するとき、アクセスが最も効率良くなります。1 本のバスを各メモリ・ブロック専用にして DM バスと PM バスを使うと、2 個のデータ転送の 1 サイクルでの実行を確実に行うことができます。この場合、命令はキャッシュ内に存在する必要があります。

内蔵メモリの帯域幅

この内部メモリ・アーキテクチャにより、4 個の内の任意のブロックへ同時に 3 回アクセスすることができます(競合するブロックがない場合)。DMD バスと PMD バス(2×64 ビット、コア CLK)、さらに IOD バス(32 ビット、PCLK)を使って合計帯域幅が得られます。

ROMベースのセキュリティ

このプロセッサは、ROM セキュリティ機能を持っています。この機能は、イネーブル時に内部コードの不正な読み出しを防止することにより、ユーザ・ソフトウェア・コードを保護するためのハードウェア・サポートを提供します。この機能を使うと、プロセッサは外部コードからブート・ロードしなくなり、内部 ROM からのみ実行するようになります。

ADSP-21362/ADSP-21363/ADSP-21364/ADSP-21365/ADSP-21366

表3 ADSP-2136x内部メモリ空間

IOP Registers 0x0000 0000–0003 FFFF			
Long Word (64 Bits)	Extended Precision Normal or Instruction Word (48 Bits)	Normal Word (32 Bits)	Short Word (16 Bits)
Block 0 ROM 0x0004 0000–0x0004 7FFF	Block 0 ROM 0x0008 0000–0x0008 AAA9	Block 0 ROM 0x0008 0000–0x0008 FFFF	Block 0 ROM 0x0010 0000–0x0011 FFFF
Reserved 0x0004 8000–0x0004 BFFF		Reserved 0x0009 0000–0x0009 7FFF	Reserved 0x0012 0000–0x0012 FFFF
Block 0 SRAM 0x0004 C000–0x0004 FFFF	Block 0 SRAM 0x0009 0000–0x0009 5554	Block 0 SRAM 0x0009 8000–0x0009 FFFF	Block 0 SRAM 0x0013 0000–0x0013 FFFF
Block 1 ROM 0x0005 0000–0x0005 7FFF	Block 1 ROM 0x000A 0000–0x000A AAA9	Block 1 ROM 0x000A 0000–0x000A FFFF	Block 1 ROM 0x0014 0000–0x0015 FFFF
Reserved 0x0005 8000–0x0005 BFFF		Reserved 0x000B 0000–0x000B 7FFF	Reserved 0x0016 0000–0x0016 FFFF
Block 1 SRAM 0x0005 C000–0x0005 FFFF	Block 1 SRAM 0x000B 0000–0x000B 5554	Block 1 SRAM 0x000B 8000–0x000B FFFF	Block 1 SRAM 0x0017 0000–0x0017 FFFF
Block 2 SRAM 0x0006 0000–0x0006 1FFF	Block 2 SRAM 0x000C 0000–0x000C 2AA9	Block 2 SRAM 0x000C 0000–0x000C 3FFF	Block 2 SRAM 0x0018 0000–0x0018 7FFF
Reserved 0x0006 2000–0x0006 FFFF		Reserved 0x000C 4000–0x000D FFFF	Reserved 0x0018 8000–0x001B FFFF
Block 3 SRAM 0x0007 0000–0x0007 1FFF	Block 3 SRAM 0x000E 0000–0x000E 2AA9	Block 3 SRAM 0x000E 0000–0x000E 3FFF	Block 3 SRAM 0x001C 0000–0x001C 7FFF
Reserved 0x0007 2000–0x0007 FFFF		Reserved 0x000E 4000–0x000F FFFF	Reserved 0x001C 8000–0x001F FFFF
			Reserved 0x0020 0000–0xFFFF FFFF

さらに、JTAG ポートからプロセッサを自由にアクセスできなくなります。代わりに、JTAG またはテスト・アクセス・ポートからスキャン入力する必要のある独自の 64 ビット・キーが各ユーザに割り当てられます。デバイスは不正なキーを無視します。エミュレート機能と外部ブート・モードは、正しいキーがスキャンされたときにのみ使用可能になります。

ファミリー・ペリフェラルのアーキテクチャ

ADSP-2136x ファミリーには、高品質オーディオ、医用画像、通信、軍用、テスト装置、3D グラフィックス、スピーチ認識、モニタ制御、イメージングなどの広範囲なアプリケーションをサポートする豊富なペリフェラルが内蔵されています。

パラレル・ポート

パラレル・ポートは、SRAM とペリフェラル・デバイスへのインターフェースを提供します。アドレス・ピンとデータ・ピン(AD15~0)をマルチプレクスして、最大 24 ビットのアドレスにより 8 ビット・デバイスを、または最大

16 ビットのアドレスにより 16 ビット・デバイスをアクセスすることができます。8 ビットまたは 16 ビットの両モードで、最大データ転送レートは 55 Mbps です。

DMA 転送は、内部メモリを対象とするデータの移動に使われます。コアに対するアクセスも、パラレル・ポート・レジスタ・リード/ライト機能を使って行うことができます。RD、WR、ALE (アドレス・ラッチ・イネーブル)ピンは、パラレル・ポートのコントロール・ピンです。

シリアル・ペリフェラル(互換)インターフェース

これらのプロセッサは、2 個のシリアル・ペリフェラル・インターフェース・ポート(SPI)を内蔵しています。SPI は業界標準の同期シリアル・リンクであり、この SPI 互換ポートを使って他の SPI 互換デバイスと交信することができます。SPI は 2 本のデータ・ピン、1 本のデバイス・セレクト・ピン、1 本のクロック・ピンから構成されています。全二重の同期シリアル・インターフェースであり、マスター・モードとスレーブ・モードをサポートし、41.67 MHz の最大ボーレートで動作することができます。

SPI ポートは、最大 4 個の他の SPI 互換デバイスとインターフェースして、マスター・デバイスまたはスレーブ・デバイスとして機能することにより、マルチマスター環境で動作することができます。ADSP-2136x の SPI 互換ペリフェラルのボー・レート、クロック位相、クロック極性も設定することができます。SPI 互換ポートでは、オープン・ドレイン・ドライバを使用してマルチマスター構成をサポートし、データの競合を防止します。

パルス幅変調

PWM モジュールは柔軟でプログラマブルな PWM 波形ジェネレータであり、モーターやエンジンの制御やオーディオ・パワー制御に係る種々のアプリケーションに必要とされるスイッチング・パターンを発生するように設定することができます。PWM ジェネレータは、中心揃えまたはエッジ揃えの PWM 波形を発生することができます。さらに、ペアード・モードで 2 本の出力に相補信号を発生するか、または非ペアード・モードで独立な信号を発生することができます(4 個の PWM 波形からなる 1 グループに使用可能)。

PWM モジュール全体としては、各々 4 個の PWM 出力からなるグループを 4 個持っています。このため、このモジュールは合計 16 個の PWM 出力を発生します。各 PWM グループは、4 本の PWM 出力を使って PWM 信号対を 2 対発生します。

この PWM ジェネレータは、中心揃え PWM 波形を発生する際に、シングル更新モードまたはダブル更新モードの 2 種類のモードで動作することができます。シングル更新モードでは、PWM 周期で 1 回だけデューティ・サイクル値を設定することができます。この設定により、PWM 周期の中心に関して対称な PWM パターンが得られます。ダブル更新モードでは、PWM 周期の中央で PWM レジスタの 2 回目の更新ができます。このモードでは、3 相 PWM インバータ用の高調波歪みの小さい対称 PWM パターンを発生することができます。

デジタル・オーディオ・インターフェース(DAI)

デジタル・オーディオ・インターフェース(DAI)は、DSP の任意の DAI ピン(DAI_P20~1)へ種々のペリフェラルを接続する機能を提供します。これらの接続は、図 1 に示す信号ルーティング・ユニット(SRU)を使ってプログラムから行います。

SRU は、ソフトウェアからの制御で、DAI が提供するペリフェラルを相互接続できるようにするマトリックス・ルーティング・ユニット(すなわちマルチプレクサのグループ)です。この機能を使った場合、大規模なセットのアルゴリズムを使うことにより、広範囲なアプリケーションに対して DAI に対応させたペリフェラルを、信号パスを設定できない場合に比べて遥かに容易に使用できるようになります。

DAI には、シリアル・ポート×6、S/PDIF レシーバ/トランスミッタ×1、DTCP 暗号器、高精度クロック・ジェネレータ(PCG)×2、8 チャンネルの非同期サンプル・レート・コンバータ×1、入力データ・ポート(IDP)×1、SPI ポート×1、フラグ出力×6、フラグ入力×6、タイマ×3 が含まれます。IDP は、ADSP-2136x コアに対する追加入力バスを提供し、8 チャンネルの I²S シリアル・データとして、または 7 チャンネルおよび 1 個の 20 ビット幅同期パラレル・データ・アキュジション・ポートとして構成することができます。各データ・チャンネルには、プロセッサのシリアル・ポートから独立した固有の DMA チャンネルがあります。

DAI の使い方の詳細については、「ADSP-2136x SHARC Processor Hardware Reference」を参照してください。

シリアル・ポート

このプロセッサは、6 個の同期シリアル・ポートを内蔵しています。これらのポートは、アナログ・デバイセズの AD183x ファミリーのオーディオ・コーデック、ADC、DAC のような、多様なデジタルおよびミックスド・シグナル・ペリフェラル・デバイスに対する安価なインターフェースを提供します。シリアル・ポートは、2 本のデータ・ライン、クロック、フレーム同期から構成されています。データ・ラインは送信または受信に設定することができ、各データ・ラインには専用の DMA チャンネルがあります。

シリアル・ポートは 12 本のプログラマブルなピンと同時に受信または送信ピンから構成され、6 個の全 SPORT がイネーブルされた場合にはオーディオ・データの最大 24 送信チャンネルまたは最大 24 受信チャンネルを、またはフレームあたり 128 チャンネルの 6 個の全二重 TDM ストリームを、それぞれサポートします。

シリアル・ポートは、41.67 Mbps の最大データ・レートで動作します。シリアル・ポート・データは、専用の DMA チャンネルを使って、内蔵メモリとの間で自動的に転送することができます。各シリアル・ポートを別のシリアル・ポートと組み合わせ動作させて、TDM をサポートすることができます。1 つの SPORT が 2 つの送信信号を提供すると同時に、他の SPORT が 2 つの受信信号を提供します。フレーム同期とクロックは共用されます。

シリアル・ポートは次の 4 種類のモードで動作します。

- ・標準 DSP シリアル・モード
- ・マルチチャンネル(TDM)モード
- ・I²S モード
- ・左詰めサンプル・ペア・モード

左詰めサンプル・ペア・モードは、各フレーム同期サイクルで 2 個のデータ・サンプルが送信/受信されるモードです(フレーム同期の上位セグメントで 1 サンプル、フレーム同期の下位セグメントで 1 サンプル)。このモードの種々の属性はプログラムから制御されます。

各シリアル・ポートは左詰めサンプル・ペア・プロトコルと I²S プロトコル(I²S は業界標準のインターフェースであり、アナログ・デバイセズ AD183x ファミリーのような、オーディオ・コーデック、ADC、DAC に広く採用されています)をサポートし、2 本のデータ・ピンを使って、シリアル・ポートあたり 4 個の左詰めサンプル・ペアまたは I²S チャンネル(2 個のステレオ・デバイスを活用)が可能です。最大 24 の I²S チャンネルが可能です。シリアル・ポートでは、リトル・エンディアンまたはビッグ・エンディアンの伝送フォーマットと、3~32 ビットのワード長が可能です。左詰めサンプル・ペア・モードと I²S モードの場合、データ・ワード長は 8~32 ビットが可能です。シリアル・ポートでは、選択可能な同期モードと送信モードを提供し、さらにオプションでチャンネルごとに μ 則または A 則の圧伸特性が選択できます。シリアル・ポート・クロックとフレーム同期は、内部または外部で発生することができます。

S/PDIF 互換のデジタル・オーディオ・レシーバ/トランスミッタ

S/PDIF トランスミッタには個別の DMA チャンネルはありません。オーディオ・データをシリアル・フォーマットで受信して、バイフェーズ符号信号に変換します。トランスミッタへのシリアル・データ入力は、16、18、20、また

は 24 ビット・ワード幅の左詰め、I²S、または右詰めとして設定することができます。

S/PDIF トランスミッタへのシリアル・データ入力、クロック入力、フレーム同期入力は、信号ルーティング・ユニット(SRU)を介して接続されます。SPORT、外部ピン、高精度クロック・ジェネレータ(PCG)またはサンプル・レート・コンバータ(SRC)のような様々なソースから入力することができ、SRU コントロール・レジスタから制御されます。

デジタル伝送コンテンツ保護(DTCP)

DTCP仕様は、IEEE 1394 規格のような高性能デジタル・バスを伝送中にオーディオ・エンタテインメント・コンテンツが違法コピー、妨害、改竄されるのを防止する暗号プロトコルを規定しています。別の認定済みコピー保護システム(例えばDVDコンテンツ・スクランブリング・システム)を使ってソース・デバイスへ配信される正当なエンタテインメント・コンテンツのみが、このコピー保護システムの保護対象になります。この機能は、ADSP-21362 と ADSP-21365 プロセッサでのみサポートされています。これらの製品に対してはDTLAを経由したライセンスが必要です。詳細については、<http://www.dtcp.com/>をご覧ください。

メモリーメモリ間(MTM)

DTCP モジュールを使用しない場合は、メモリーメモリ間 DMA モジュールにより、標準 DMA の内部メモリ・コピーが可能になります。

同期/非同期サンプル・レート・コンバータ(SRC)

サンプル・レート・コンバータ(SRC)には 4 個の SRC ブロックが内蔵されており、AD1896 192 kHz ステレオ非同期サンプル・レート・コンバータで使用された同じコアが使用され、最大 140 dB の SNR を提供します。SRC ブロックは、独立なステレオ・チャンネル間で、内部プロセッサ・リソースを使うことなく、同期または非同期サンプル・レート変換を行うために使用されます。4 個の SRC ブロックを組み合わせることで動作させて、複数チャンネル・オーディオ・データを位相不一致なしに変換することもできます。また、SRC を使って、S/PDIF レシーバのようなジッタの多いクロック・ソースからのオーディオ・データをクリーンアップすることもできます。

S/PDIF と SRC は、ADSP-21363 モデルでは使用できません。

入力データ・ポート(IDP)

IDP は、最大 8 個のシリアル入力チャンネル(各々にはクロック、フレーム同期、データ入力があります)を提供します。8 チャンネルは深さ 8 の FIFO を使って、1 本の 32 ビットに自動的にマルチプレクスされます。データは、64 ビット・フレームとして常にフォーマットされ、2 個の 32 ビット・ワードに分割されます。このシリアル・プロトコルは、I²S、左詰めサンプル・ペア、または右詰めモードのオーディオ・チャンネルを受信するようにデザインされています。1 フレーム同期サイクルは 1 個の 64 ビット左/右対により表示されますが、データは 32 ビット・ワード(すなわちフレームの半分ずつ)として FIFO へ送られます。プロセッサは、24 ビットと 32 ビットの I²S、24 ビットと 32 ビットの左詰め、24 ビット、20 ビット、18 ビット、16 ビットの右詰めの各フォーマットをサポートしています。

高精度クロック・ジェネレータ(PCG)

高精度クロック・ジェネレータ(PCG)は 2 個のユニットで構成され、各々はクロック入力信号から信号対(クロックとフレーム同期)を発生します。ユニット A、B は同じ機能であり、互いに独立に動作します。各ユニットで発生さ

れる 2 つの信号は通常、シリアル・ビット・クロック/フレーム同期対として使用されます。

ペリフェラル・タイマ

3 個の汎用タイマは、周期割り込みを発生することができ、次の 3 種類のモードで動作するように独立に設定することができます。

- ・パルス波形発生モード
- ・パルス幅カウンタ/キャプチャ・モード
- ・外部イベント・ウォッチドッグ・モード

各汎用タイマは 1 本の双方向ピンと 4 個のレジスタを持っています。これら 4 個のレジスタは動作モードを制御し、6 ビットのコンフィギュレーション・レジスタ、32 ビットのカウント・レジスタ、32 ビットの周期レジスタ、32 ビットのパルス幅レジスタからなります。1 個のコントローラ/ステータス・レジスタにより、3 個の汎用タイマを独立にイネーブル/ディスエーブルすることができます。

I/O プロセッサの機能

このプロセッサの I/O は、多くの DMA チャンネルを提供し、前述の広範囲なペリフェラルを制御します。

DMA コントローラ

プロセッサの内蔵 DMA コントローラにより、プロセッサの介入なしでデータ転送を行うことができます。DMA コントローラは独立に動作し、プロセッサ・コアからは見えないため、DMA 動作はコアのプログラム命令実行と同時に発生することができます。DMA 転送は、シリアル・ポート、SPI 互換(シリアル・ペリフェラル・インターフェース)ポート、IDP (入力データ・ポート)、パラレル・データ・アキュジション・ポート(PDAP)、またはパラレル・ポート(PP)と、プロセッサの内部メモリとの間で行うことができます。表 4 を参照してください。

表 4 DMA チャンネル

Peripheral	ADSP-2136x
SPORT	12
PDAP	8
SPI	2
MTM/DTCP	2
PP	1
Total DMA Channels	25

システム・デザイン

次のセクションでは、システム・デザイン・オプションと電源問題の概要を説明します。

プログラム・ブート

プロセッサの内部メモリは、システム・パワーアップ時に外部ポートに接続された 8 ビット EPROM、SPI マスター、SPI スレーブ、もしくは内部ブートによりブートすることができます。ブートは、ブート設定(BOOT_CFG1~0)ピンから制御されます(表 5 参照)。ブート・ソースの選択はマスターまたはスレーブ・デバイスとしての SPI から制御されるか、あるいは、ROM から直ちに実行を開始することができます。

表 5 ブート・モード選択

BOOT_CFG1-0	Booting Mode
00	SPI Slave Boot
01	SPI Master Boot
10	Parallel Port Boot via EPROM
11	Reserved

位相ロック・ループ

このプロセッサは、内蔵位相ロック・ループ(PLL)を使って、コアの内部クロックを発生します。パワーアップ時、CLK_CFG1~0 ピンを使って 32:1、16:1、6:1 の比を選択します。ブート後は、ソフトウェアから多くの比を選択できます。

この比は、ソフトウェアから設定可能な 1~64 の値と、ソフトウェアから設定可能な分周値 1、2、4、8 から設定されます。

電源

プロセッサは、内部電源(V_{DDINT})、外部電源(V_{DDEXT})、アナログ電源(A_{VDD}/A_{VSS})に別々の電源接続を持っています。内部電源とアナログ電源は、K、Bグレード・モデルでは 1.2 V 条件を、Yモデルでは 1.0 V 条件を、それぞれ満たす必要があります(この製品の温度範囲については、[動作条件](#)、[パッケージ情報](#)、[オーダー・ガイド](#)を参照してください)。外部電源は 3.3 V の条件を満たす必要があります。すべての外部電源ピンは、同じ電源に接続する必要があります。

アナログ電源ピン(A_{VDD})がプロセッサの内部クロック・ジェネレータPLLの電源になっていることに注意してください。安定なクロックを発生するためには、PCBデザインで A_{VDD} ピンに外付けフィルタ回路を使用することが推奨されます。フィルタ部品はできるだけ A_{VDD}/A_{VSS} ピンの近くに配置してください。回路例を [図 3](#) に示します。(推奨フェライト・チップは村田製のBLM18AG102SN1Dです)。ノイズの混入を少なくするためには、PCBで V_{DDINT} とGNDに対して電力プレーンとグラウンド・プレーンの並行対を使う必要があります。太いパターンを使用してバイパス・コンデンサをアナログ電力(A_{VDD})ピンとグラウンド(A_{VSS})ピンへ接続してください。[図 3](#)に規定する A_{VDD} ピンと A_{VSS} ピンはプロセッサへの入力であり、ボードのアナログ・グラウンド・プレーンではないことに注意してください。 A_{VSS} ピンはチップのデジタル・グラウンド(GND)に直接接続する必要があります。

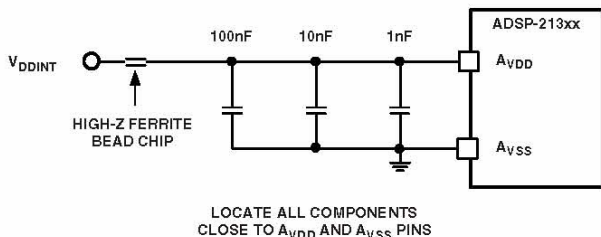


図3 アナログ電源(A_{VDD})のフィルタ回路

ターゲット・ボードJTAGエミュレータのコネクタ

アナログ・デバイセズの JTAG エミュレータの DSP ツール製品ラインでは、プロセッサの IEEE 1149.1 JTAG テスト・アクセス・ポートを使って、エミュレーション時にターゲット・ボード・プロセッサのモニタと制御を行っています。アナログ・デバイセズの JTAG エミュレータの DSP ツール製品ラインは、フル・プロセッサ速度でのエミュレーションを提供するため、メモリ、レジスタ、プロセッサ・スタックの検証と変更が可能です。プロセッサの JTAG インターフェースでは、エミュレータがターゲット・システムのローディングまたはタイミングに影響を与えないことを保証します。

アナログ・デバイセズの JTAG エミュレータの SHARC DSP ツール製品ラインの動作の詳細については、該当するエミュレータ・ハードウェア・ユーザーズ・ガイドを参照してください。

開発ツール

このプロセッサは、アナログ・デバイセズのエミュレータと VisualDSP++[†]開発環境を含む CROSSCORE[‡]ソフトウェアおよびハードウェア開発ツールの完全なセットによりサポートされています。アナログ・デバイセズの他の SHARC プロセッサをサポートしている同じエミュレータ・ハードウェアも ADSP-2136x をエミュレートします。

VisualDSP++プロジェクト・マネジメント環境は、アプリケーションの開発とデバッグを可能にします。この環境には、代数的な構文に基づいた使い易いアセンブラ、アーカイバ(ライブラリアン/ライブラリ・ビルダ)、リンカー、ローダ、サイクルに対して正確な命令レベルのシミュレータ、C/C++コンパイラ、DSP 関数と数学関数を含む C/C++ランタイム・ライブラリが含まれています。これらのツールのキー・ポイントは C/C++コードの効率です。コンパイラは、C/C++コードを DSP アセンブリに効率良く変換するように開発されています。SHARC には、コンパイルされた C/C++コードの効率を改善するアーキテクチャ機能があります。

VisualDSP++デバッガは多くの重要な機能を持っています。データ表示は、柔軟性を提供するプロット・パッケージにより機能強化されています。ユーザ・データのグラフィック表示により、プログラマはアルゴリズムの性能を迅速に調べることができます。アルゴリズムが複雑になる程、この機能設計者の開発スケジュールに大きな効果を持つことができ、生産性を向上させます。統計プロファイリング機能は、プログラムの実行状況を監視することができます。VisualDSP++独自のこの機能を使うと、ソフトウェア開発者はプログラムのリアルタイム特性を損なうことなく重要なコード実行の測定データを収集することができます。ソフトウェア内のボトルネックを迅速かつ効果的に特定できます。プロファイラを使うと、プログラマは性能に影響を与える領域に専念できるようになり、対策を講じることができます。

VisualDSP++デバッガを使って、C/C++プログラムとアセンブリ・プログラムをデバッグすると、プログラマは次のことが可能になります。

- ・C/C++とアセンブリ・コードの混在の表示(インターリーブされたソースとオブジェクト情報)
- ・ブレークポイントの挿入
- ・レジスタ、メモリ、スタックへの条件付きブレークポイントの設定
- ・プログラム実行の連続的または統計的な分析
- ・メモリ内容のフィル、ダンプ、図形的表示
- ・ソース・レベル・デバッグの実行
- ・カスタム・デバッガ・ウインドウの作成

VisualDSP++ IDDE を使うと、DSP ソフトウェア開発の定義と管理が可能になります。ダイアログ・ボックスと属性ページを使うと、VisualDSP++エディタ内での色による強

[†]VisualDSP++は Analog Devices, Inc.の登録商標です。

[‡]CROSSCORE は Analog Devices, Inc.の登録商標です。

調表示などのすべての SHARC 開発ツールの設定と管理ができます。これらの機能によりプログラマは次のことが可能になります。

- ・開発ツールによる入力処理方法と出力の発生方法の制御
- ・ツールのコマンドライン・スイッチとの 1 対 1 対応の維持

VisualDSP++カーネル(VDK)は、DSP プログラミングのメモリ制約とタイミング制約を解決するように特別に作成されたスケジューリングとリソース・マネジメントを内蔵しています。これらの機能を使うと、コードを効率的に開発できるようになり、新しいアプリケーション・コードを開発する際に、早くからスタートする必要がなくなります。VDK の機能には、スレッド領域、クリティカル領域、未スケジュール領域、セマフォ、イベント、デバイス・フラグが含まれています。また、VDK は優先順位ベースの、プリエンティブで協調動作的なタイムスライス・スケジューリング・アプローチもサポートしています。さらに、VDK はスケラブルにデザインされています。アプリケーションである特定の機能を使わない場合には、その機能をサポートするコードはターゲット・システムから除外されます。

VDK はライブラリであるため、開発者が使用するかどうかを決めることができます。VDK は VisualDSP++開発環境に統合されていますが、標準のコマンドライン・ツールと一緒に使用することもできます。VDK を使うと、この開発環境は、多くのエラーを起こしやすいタスクについて開発者を支援し、システム・リソースの管理を支援し、種々の VDK ベースのオブジェクト生成を自動化し、VDK を使用するアプリケーションのデバッグではシステム状態を表示します。

エキスパート・リンカーを使って、組み込型システムのコードとデータの配置を視覚的に操作します。カラー・コード化されたグラフィカル形式でメモリ使用率を表示し、マウスのドラッグによりコードとデータをプロセッサまたは外部メモリの異なる領域へ容易に移動することができ、ランタイム・スタックとヒープ使用率を調べることができます。エキスパート・リンカーは既存リンカー定義ファイル(LDF)と完全な互換性を持っているため、グラフィカル環境とテキスト環境との間で移動することができます。

アナログ・デバイセズが提供するソフトウェア開発ツールとハードウェア開発ツールの他に、サード・パーティが SHARC プロセッサ・ファミリをサポートする広範囲なツールを提供しています。ハードウェア・ツールには SHARC プロセッサ PC プラグイン・カードが含まれています。サード・パーティのソフトウェア・ツールには、DSP ライブラリ、リアルタイム・オペレーティング・システム、ブロック図デザイン・ツールなどがあります。

エミュレータ互換DSPボード(ターゲット)のデザイン

アナログ・デバイセズのエミュレータ・ファミリは、すべての DSP 開発者がハードウェア・システムとソフトウェア・システムをテストし、デバッグする際に必要とするツールです。アナログ・デバイセズは、各 JTAG プロセッサ上で IEEE 1149.1 JTAG テスト・アクセス・ポート(TAP)を提供しています。プロセッサの JTAG インターフェースを使用すると、エミュレータがターゲット・システムのローディングまたはタイミングに影響を与えないインサートキット・エミュレーションが可能になります。エミュレータはこの TAP を使ってプロセッサの内部機能をアクセスするため、コードのロード、ブレークポイントの設定、変数の表示、メモリの表示、レジスタの表示が可能になります。

プロセッサはデータとコマンドを送信するとき停止する必要がありますが、エミュレータによる動作が完了した後に、システム・タイミングに影響を与えることなく、フル速度で動作するように DSP システムを設定することができます。

これらのエミュレータを使うときは、DSP の JTAG ポートをエミュレータへ接続するヘッダーがターゲット・ボードに付いている必要があります。

メカニカルレイアウト、シングル・プロセッサ接続、マルチプロセッサ・スキャン・チェーン、信号バッファリング、信号終端、エミュレータ・ボード・ロジックなどのターゲット・ボード・デザイン問題の詳細については、アナログ・デバイセズのウェブ・サイト(www.analog.com/jp)にある「Analog Devices JTAG Emulation Technical Reference (EE-68)」を参照してください。"EE-68"のサイト検索をご使用ください。エミュレータ・サポートの強化に合わせて、このドキュメントは定期的に更新されています。

評価キット

アナログ・デバイセズは、アナログ・デバイセズのプロセッサ、プラットフォーム、ソフトウェア・ツールによるアプリケーションの開発またはプロトタイプについて学習するコスト/パフォーマンスの優れた方法として使う広範囲な EZ-KIT Lite[®]評価プラットフォームを提供しています。各 EZ-KIT Lite プラットフォームには、評価ボードと一緒に C/C++コンパイラ、アセンブラ、リンカーによる VisualDSP++開発およびデバッグ環境の評価スイートが含まれています。また、サンプル・アプリケーション・プログラム、電源、USB ケーブルも添付されています。ソフトウェア・ツールのすべての評価バージョンは、EZ-KIT Lite 製品と組み合わせて使用するよう制限されています。

EZ-KIT Lite ボードの USB コントローラは、ボードをユーザの PC の USB ポートに接続して、VisualDSP++評価スイートによりオンボード・プロセッサをインサートキットでエミュレートできるようにします。これにより、EZ-KIT Lite システムのプログラムをダウンロード、実行、デバッグすることが可能になります。また、ユーザ固有のブート・コードを格納するオンボード・フラッシュ・デバイスのインサートキット・プログラミングが可能になるため、PC に接続しないでスタンドアロン・ユニットとしてボードを動作させることができます。

VisualDSP++のフル・バージョン(別売)をインストールすると、EZ-KIT Lite または任意のユーザ定義システムのソフトウェアを開発することができます。アナログ・デバイセズの JTAG エミュレータの 1 つを EZ-KIT Lite ボードに接続すると、高速な非侵害型エミュレーションが可能になります。

その他の情報

このデータシートは、プロセッサのアーキテクチャと機能について概要を提供します。ADSP2136x ファミリー・コア・アーキテクチャと命令セットの詳細については、「ADSP-2136x SHARC Processor Hardware Reference」と「ADSP-2136x SHARC Processor Programming Reference」を参照してください。

[†]EZ-KIT Lite は Analog Devices, Inc. の登録商標です。

ピン機能の説明

次にプロセッサのピン定義を示します。同期(S)と表示された入力、CLKIN (TMSとTDIの場合はTCK)を基準とするタイミング条件を満たす必要があります。非同期(A)と表示された入力、CLKIN ($\overline{\text{TRST}}$ の場合はTCK)に対して非同期的にアサートすることができます。未使用入力はV_{DDEXT}またはGNDに接続してください。

ただし、DAI_Px、SPICLK、MISO、MOSI、 $\overline{\text{EMU}}$ 、TMS、 $\overline{\text{TRST}}$ 、TDI、AD15～0 は除きます(注:これらのピンにはプルアップ抵抗があります)。

表6のタイプの列では、A =非同期、G =グラウンド、I =入力、O =出力、P =電源、S =同期、(A/D) =アクティブ駆動、(O/D) =オープン・ドレイン、T =スリー・ステート、(pd) =プルダウン抵抗、(pu) =プルアップ抵抗を表しています。

表6 ピン説明

ピン	タイプ	リセット時とリセット後の状態	機能
AD15~0	I/O/T (pu)	スリー・ステート、プルアップをイネーブル	パラレル・ポート・アドレス/データ。 ADSP-2136x パラレル・ポートとそれに対応する DMA ユニットのマルチプレクスされたピンに接続されたペリフェラルに対して、アドレスとデータを出力します。マルチプレクス状態は ALE ピンで指定されます。パラレル・ポートは、8 ビットまたは 16 ビット・モードで動作することができます。各 AD ピンには 22.5 k Ω の内部プルアップ抵抗が付いています。AD ピンの動作の詳細については、「 <i>ADSP-2136x SHARC Processor Hardware Reference</i> 」をご覧ください。 8 ビット・モードの場合: ALE は上位 16 外部アドレス・ビット(ADDR23～8)で変化があるごとに自動的にアサートされます。ALE は外部ラッチと組み合わせ、ADDR23～8 の値を保持するために使われます。 I/O 動作とピン・マルチプレクス機能の詳細については、「 <i>ADSP-2136x SHARC Processor Hardware Reference</i> 」を参照してください。
$\overline{\text{RD}}$	O (pu)	スリー・ステート、ハイに駆動 ¹	パラレル・ポート読み出しイネーブル。 $\overline{\text{RD}}$ は、プロセッサが 8 ビットまたは 16 ビット・データを外部メモリ・デバイスから読み出すごとにアサートされます。AD15～0 がフラグの場合、このピンはアサートされないままになります。 $\overline{\text{RD}}$ には 22.5 k Ω の内部プルアップ抵抗が付いています。
$\overline{\text{WR}}$	O (pu)	スリー・ステート、ハイに駆動 ¹	パラレル・ポート書き込みイネーブル。 $\overline{\text{WR}}$ は、プロセッサが 8 ビットまたは 16 ビット・データを外部メモリ・デバイスへ書き込むごとにアサートされます。AD15～0 がフラグの場合、このピンはアサートされないままになります。 $\overline{\text{WR}}$ には 22.5 k Ω の内部プルアップ抵抗が付いています。
ALE	O (pd)	スリー・ステート、ローに駆動 ¹	パラレル・ポート・アドレス・ラッチ・イネーブル。 ALE は、プロセッサが新しいアドレスをパラレル・ポート・アドレス・ピンに出力するごとにアサートされます。リセットでは、ALE はアクティブ・ハイです。ただし、ソフトウェアからアクティブ・ローに設定することができます。AD15～0 がフラグの場合、このピンはアサートされないままになります。ALE には 20 k Ω の内部プルダウン抵抗が付いています。
FLAG[0]/ $\overline{\text{IRQ0}}$ /SPIFLG[0]	I/O	FLAG[0] 入力	FLAG0/割り込み要求 0/SPI0 スレーブ・セレクト。
FLAG[1]/ $\overline{\text{IRQ1}}$ /SPIFLG[1]	I/O	FLAG[1]入力	FLAG1/割り込み要求 1/SPI1 スレーブ・セレクト。
FLAG[2]/ $\overline{\text{IRQ2}}$ /SPIFLG[2]	I/O	FLAG[2] 入力	FLAG2/割り込み要求 2/SPI2 スレーブ・セレクト。
FLAG[3]/TMREXP/SPIFLG[3]	I/O	FLAG[3]入力	FLAG3/タイマ・タイムアウト/SPI3 スレーブ・セレクト。
DAI_P20~1	I/O/T (pu)	スリー・ステート、プログラマブルなプルアップ付き	デジタル・オーディオ・インターフェース・ピン。 これらのピンは、SRU に対する物理インターフェースを提供します。SRU コンフィギュレーション・レジスタにより、内蔵ペリフェラルの入力または出力(ピンとピンの出力イネーブルに接続)の組み合わせを指定します。実際のピン動作は、これらのペリフェラルのコンフィギュレーション・レジスタにより指定されます。SRU 内のすべての入力信号または出力信号は、これらの任意のピンに接続することができます。SRU は、シリアル・ポート、入力データ・ポート、高精度クロック・ジェネレータ、タイマ、サンプル・レート・コンバータ、SPI から DAI_P20～1 ピンまでの接続を提供します。これらのピンには、22.5 k Ω のプルアップ抵抗が内蔵されており、リセット時にイネーブルされます。これらのプルアップは、DAI_PIN_PULLUP レジスタを使ってディスエーブルすることができます。

ADSP-21362/ADSP-21363/ADSP-21364/ADSP-21365/ADSP-21366

表6 ピン説明(続き)

ピン	タイプ	リセット時とリセット後の状態	機能
SPICLK	I/O (pu)	スリー・ステート、プルアップをイネーブル、SPI マスター・ブート・モードではハイに駆動	シリアル・ペリフェラル・インターフェース・クロック信号。 マスターから駆動されるこの信号は、データ転送レートを制御します。マスターは、さまざまなボー・レートでデータを送信できます。SPICLK の 1 サイクルで各ビットが送信されます。SPICLK は、転送されるワード長に等しいデータ転送中だけアクティブになるゲート・クロックです。スレーブ・デバイスは、スレーブ・セレクト入力为非アクティブ(ハイ・レベル)の場合シリアル・クロックを無視します。SPICLK を使って、MISO ラインと MOSI ラインへ駆動するデータのシフト出力とシフト入力を行います。データは常に一方のクロック・エッジでシフト出力され、クロックの他方のエッジでサンプルされます。データに対するクロック極性とクロック位相は SPICTL コントロール・レジスタで設定可能で、転送フォーマットも指定されます。SPICLK には 22.5 kΩ の内部プルアップ抵抗が付いています。
SPIDS	I	入力専用	シリアル・ペリフェラル・インターフェース・スレーブ・デバイス・セレクト。 プロセッサを SPI スレーブ・デバイスとして選択する際に使用するアクティブ・ローの信号。この入力信号はチップ・セレクトのように動作し、マスター・デバイスからスレーブ・デバイスへ出力されます。複数マスター・モードでは、プロセッサの SPIDS 信号をスレーブ・デバイスから駆動して、その他のデバイスもマスター・デバイスになるようなエラーが発生したことをプロセッサ(SPI マスター)へ通知することができます。デバイスがマスター・モードのときロー・レベルにアサートされると、複数マスター・エラーが発生したと見なします。フラグ・ピンを使用する複数スレーブ構成のシングル・マスターの場合、このピンはマスター・デバイス上で V_{DDEXT} に接続、あるいはプルアップする必要があります。プロセッサ・プロセッサ間 SPI 交信の場合、任意のマスター・プロセッサのフラグ・ピンを使って、SPI スレーブ・デバイス上の SPIDS 信号を駆動することができます。
MOSI	I/O (O/D) (pu)	スリー・ステート、プルアップをイネーブル、SPI マスター・ブート・モードではローに駆動	SPI マスタ出力スレーブ入力。 ADSP-2136x をマスターに設定した場合、MOSI ピンはデータ送信(出力)ピンになり、出力データを送信します。プロセッサがスレーブに設定された場合は、MOSI ピンはデータ受信(入力)ピンになり、入力データを受信します。SPI 相互接続では、データがマスターの MOSI 出力ピンからシフト出力され、スレーブの MOSI 入力でシフト入力されます。MOSI には 22.5 kΩ の内部プルアップ抵抗が付いています。
MISO	I/O (O/D) (pu)	スリー・ステート、プルアップをイネーブル	SPI マスタ入力スレーブ出力。 ADSP-2136x がマスターに設定された場合は、MISO ピンはデータ受信(入力)ピンになり、入力データを受信します。プロセッサがスレーブに設定された場合は、MISO ピンはデータ送信(出力)ピンになり、出力データを送信します。SPI 相互接続では、データがスレーブの MISO 出力ピンからシフト出力され、マスターの MISO 入力でシフト入力されます。MISO には 22.5 kΩ の内部プルアップ抵抗が付いています。SPICTL レジスタの OPD ビットをセットすると、MISO を O/D に設定することができます。 注: 同時には 1 個のスレーブだけがデータを送信することができます。複数の SPI スレーブに対してブロードキャスト送信をイネーブルするときは、SPICTL レジスタのビット 5 (DMISO)をセット(=1)して、プロセッサの MISO ピンをデイスエーブルすることができます。
BOOT_CFG1-0	I	入力専用	ブート・コンフィギュレーション・セレクト。 このピンを使って、プロセッサのブート・モードを選択します。BOOT_CFG ピンは、リセットがアサートされる前に有効である必要があります。ブート・モードの説明については「ADSP-2136x SHARC Processor Hardware Reference」を参照してください。
CLKIN	I	入力専用	ローカル・クロック・イン。 XTAL と組み合わせて使います。CLKIN は、ADSP-2136x のクロック入力です。ADSP-2136x が内部クロック・ジェネレータまたは外部クロック源を使うように設定します。CLKIN と XTAL に必要な部品を接続すると、内部クロック・ジェネレータがイネーブルされます。外部クロックを CLKIN に接続し、XTAL を解放のままにすると、プロセッサが外部クロック発振器のような外部クロック源を使うように設定されます。CLK_CFG1 ~0 ピンの設定に応じて、コア・クロックは、PLL 出力またはこのクロック入力から駆動されます。CLKIN は、停止、変更、または規定周波数未満で動作させることはできません。

ADSP-21362/ADSP-21363/ADSP-21364/ADSP-21365/ADSP-21366

表6 ピン説明(続き)

ピン	タイプ	リセット時とリセット後の状態	機能
XTAL	O	出力専用 ²	水晶発振器ピン。CLKIN と組み合わせて使って外付け水晶の駆動に使用します。
CLK_CFG1-0	I	入力専用	コア対 CLKIN 比制御。これらのピンは、クロック周波数の起動を設定します。クロック設定モードの説明については「ADSP-2136x SHARC Processor Hardware Reference」を参照してください。コアがリセットから抜け出した後いつでも、PMCTL レジスタ内の PLL 通倍器/分周器を設定して動作周波数を変更できることに注意してください。
$\overline{\text{RESETOUT}}$	O	出力専用	リセット出力。すべてのコア・リセット信号を外部デバイスに出力。
$\overline{\text{RESET}}$	I/A	入力専用	プロセッサ・リセット。ADSP-2136x を既知状態にリセットします。アサートが解除された後、PLL のロックまでに 4096 CLKIN サイクルが必要です。この時間が経過後、コアはハードウェア・リセット・ベクタ・アドレスからプログラムの実行を開始します。 $\overline{\text{RESET}}$ 入力は、パワーアップの前にアサート(ロー・レベル)する必要があります。
TCK	I	入力専用 ³	テスト・クロック(JTAG)。JTAG バウンダリ・スキャンのクロックを提供します。パワーアップ後には TCK をアサート(ロー・レベル)する必要があります。あるいは、プロセッサの正常動作のためにはロー・レベルを維持する必要があります。
TMS	I/S (pu)	スリー・ステート、プルアップをイネーブル	テスト・モード・セレクト(JTAG)。テスト・ステート・マシンの制御に使用します。TMS には 22.5 k Ω の内部プルアップ抵抗が付いています。
TDI	I/S (pu)	スリー・ステート、プルアップをイネーブル	テスト・データ入力(JTAG)。バウンダリ・スキャン・ロジックのシリアル・データを提供します。TDI には 22.5 k Ω の内部プルアップ抵抗が付いています。
TDO	O	スリー・ステート ⁴	テスト・データ出力(JTAG)。バウンダリ・スキャン・パスのシリアル・スキャン出力。
$\overline{\text{TRST}}$	I/A (pu)	スリー・ステート、プルアップをイネーブル	テスト・リセット(JTAG)。テスト・ステート・マシンをリセットします。パワーアップ後には $\overline{\text{TRST}}$ をアサート(ロー・レベル)する必要があります。あるいは、ADSP-2136x の正常動作のためにはロー・レベルを維持する必要があります。 $\overline{\text{TRST}}$ には 22.5 k Ω の内部プルアップ抵抗が付いています。
$\overline{\text{EMU}}$	O (O/D) (pu)	スリー・ステート、プルアップをイネーブル	エミュレーション・ステータス。プロセッサのエミュレータ・ターゲット・ボード・コネクタへ接続する専用ピン。 $\overline{\text{EMU}}$ には 22.5 k Ω の内部プルアップ抵抗が付いています。
V_{DDINT}	P		コア電源。K、B グレード・モデルでは公称+1.2 V DC。Y グレード・モデルでは 1.0 V DC。プロセッサのコア電源を供給(13 本のピン)。
V_{DDEXT}	P		I/O 電源。公称+3.3 V DC (6 本のピン)。
A_{VDD}	P		アナログ電源。K、B グレード・モデルでは公称+1.2 V DC。Y グレード・モデルでは 1.0 V DC。プロセッサの内部PLL電源(クロック・ジェネレータ)を供給。このピンの仕様は、追加で要求されるフィルタ回路を除いて、 V_{DDINT} と同じです。詳細については、 電源 を参照してください。
A_{VSS}	G		アナログ電源のリターン。
GND	G		電源リターン(54 本のピン)。

¹ $\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{ALE}}$ は、 $\overline{\text{RESET}}$ がアクティブのときにのみスリー・ステート(非駆動)になります。

² 出力専用はスリー・ステート・ドライバで、出力パスが常にイネーブルされています。

³ 入力専用はスリー・ステート・ドライバで、出力パスとプルアップがディスエーブルされています。

⁴ スリー・ステートは、プルアップをディスエーブルしたスリー・ステート・ドライバです。

ADSP-21362/ADSP-21363/ADSP-21364/ADSP-21365/ADSP-21366

仕様

仕様は予告なく変更されることがあります。

動作条件

Parameter	Description	K Grade		B Grade		Y Grade		Unit
		Min	Max	Min	Max	Min	Max	
V _{DDINT}	Internal (Core) Supply Voltage	1.14	1.26	1.14	1.26	0.95	1.05	V
A _{VDD}	Analog (PLL) Supply Voltage	1.14	1.26	1.14	1.26	0.95	1.05	V
V _{DDEXT}	External (I/O) Supply Voltage	3.13	3.47	3.13	3.47	3.13	3.47	V
V _{IH} ¹	High Level Input Voltage @ V _{DDEXT} = Max	2.0	V _{DDEXT} + 0.5	2.0	V _{DDEXT} + 0.5	2.0	V _{DDEXT} + 0.5	V
V _{IL} ¹	Low Level Input Voltage @ V _{DDEXT} = Min	-0.5	+0.8	-0.5	+0.8	-0.5	+0.8	V
V _{IH_CLKIN} ²	High Level Input Voltage @ V _{DDEXT} = Max	1.74	V _{DDEXT} + 0.5	1.74	V _{DDEXT} + 0.5	1.74	V _{DDEXT} + 0.5	V
V _{IL_CLKIN}	Low Level Input Voltage @ V _{DDEXT} = Min	-0.5	+1.19	-0.5	+1.19	-0.5	+1.19	V
T _J ^{3, 4}	Junction Temperature 136-Ball CSP_BGA	0	+110	-40	+125	-40	+125	°C
T _J ^{3, 4}	Junction Temperature 144-Lead LQFP_EP	0	+110	-40	+125	-40	+125	°C

¹AD15~0、FLAG3~0、DAI_Px、SPICLK、MOSI、MISO、 $\overline{\text{SPIDS}}$ 、BOOT_CFGx、CLK_CFGx、 $\overline{\text{RESET}}$ 、TCK、TMS、TDI、 $\overline{\text{TRST}}$ の入力ピンと双方向ピンに適用されます。

²入力ピン CLKIN に適用。

³熱仕様については、[熱特性](#)を参照してください。

⁴詳細については、「Estimating Power for the ADSP-21362 SHARC Processors (EE-277)」を参照。

電気的特性

Parameter	Description	Test Conditions	Min	Max	Unit
V _{OH} ¹	High Level Output Voltage	@ V _{DDEXT} = Min, I _{OH} = -1.0 mA ²	2.4		V
V _{OL} ¹	Low Level Output Voltage	@ V _{DDEXT} = Min, I _{OL} = 1.0 mA ²		0.4	V
I _{IH} ^{3, 4}	High Level Input Current	@ V _{DDEXT} = Max, V _{IN} = V _{DDEXT} Max		10	μA
I _{IL} ³	Low Level Input Current	@ V _{DDEXT} = Max, V _{IN} = 0 V		10	μA
I _{ILPU} ⁵	Low Level Input Current Pull-Up	@ V _{DDEXT} = Max, V _{IN} = 0 V		200	μA
I _{OZH} ^{5, 6}	Three-State Leakage Current	@ V _{DDEXT} = Max, V _{IN} = V _{DDEXT} Max		10	μA
I _{OZL} ⁵	Three-State Leakage Current	@ V _{DDEXT} = Max, V _{IN} = 0 V		10	μA
I _{OZLPU} ⁶	Three-State Leakage Current Pull-Up	@ V _{DDEXT} = Max, V _{IN} = 0 V		200	μA
I _{DD-INTYP} ^{7, 8}	Supply Current (Internal)	t _{CCLK} = Min, V _{DDINT} = Nom		800	mA
I _{A_{VDD}} ⁹	Supply Current (Analog)	A _{VDD} = Max		10	mA
C _{IN} ^{10, 11}	Input Capacitance	f _{IN} = 1 MHz, T _{CASE} = 25°C, V _{IN} = 1.2 V		4.7	pF

¹AD15~0、 $\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 、ALE、FLAG3~0、DAI_Px、SPICLK、MOSI、MISO、 $\overline{\text{EMU}}$ 、TDO、XTAL の出力ピンと双方向ピンに適用されます。

²駆動電流能力(typ)については、[出力駆動電流](#)を参照してください。

³SPIDS、BOOT_CFGx、CLK_CFGx、TCK、 $\overline{\text{RESET}}$ 、CLKIN の入力ピンに適用。

⁴22.5 kΩ の内部プルアップを持つ入力ピンTRST、TMS、TDI に適用。

⁵スリー・ステート・ピン FLAG3~0 に適用。

⁶22.5 kΩ のプルアップを持つスリー・ステート・ピン AD15~0、DAI_Px、SPICLK、 $\overline{\text{EMU}}$ 、 $\overline{\text{MISO}}$ 、 $\overline{\text{MOSI}}$ に適用。

⁷内部電流データ(typ)は公称動作条件を反映。

⁸詳細については、「Estimating Power for the ADSP-21362 SHARC Processors (EE-277)」を参照。

⁹キャラクターライズしますが、テストしません。

¹⁰全信号ピンに適用。

¹¹保証しますが、テストしません。

ADSP-21362/ADSP-21363/ADSP-21364/ADSP-21365/ADSP-21366

パッケージ情報

図4に、ADSP-2136xプロセッサのパッケージ表示の詳細を示します。製品の供給状況については、[オーダー・ガイド](#)をご覧ください。



図4 代表的なパッケージ表示

表7 パッケージ表示情報

Brand Key	Field Description
t	Temperature Range
pp	Package Type
Z	RoHS Compliant Designation
cc	See Ordering Guide
vvvvvv.x	Assembly Lot Code
n.n	Silicon Revision
#	RoHS Compliant Designation
yywww	Date Code

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

最大消費電力

最大消費電力に関する熱および消費電力情報の詳細については、「*Estimating Power for the ADSP-21362 SHARC Processors (EE-277)*」を参照してください。パッケージ熱仕様については、[熱特性](#)を参照してください。

絶対最大定格

表 8 に示す絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

表8 絶対最大定格

Parameter	Rating
Internal (Core) Supply Voltage (V_{DDINT})	-0.3 V to +1.5 V
Analog (PLL) Supply Voltage (A_{VDD})	-0.3 V to +1.5 V
External (I/O) Supply Voltage (V_{DDEXT})	-0.3 V to +4.6 V
Input Voltage	-0.5 V to +3.8 V
Output Voltage Swing	-0.5 V to $V_{DDEXT} + 0.5$ V
Load Capacitance	200 pF
Storage Temperature Range	-65°C to +150°C
Junction Temperature Under Bias	125°C

タイミング仕様

指定されたタイミング情報そのものを使用してください。他のパラメータの加算または減算によってパラメータを求めないでください。加算または減算により個々のデバイスに対して意味結果を得ることができませんが、このデータ・シートに示す値は、統計的な変動とワースト・ケースを反映しています。したがって、長い時間を得るためにパラメータを加算することは意味がありません。リファレンス電圧レベルについては、[図 38](#)を参照してください。

スイッチング特性は、プロセッサが信号をどのようにに変化させるかを規定します。プロセッサの外部回路は、これらの信号特性を満たすようにデザインする必要があります。スイッチング特性は、与えられた状況でプロセッサが何を実行するかを規定します。スイッチング特性を使って、プロセッサに接続されるデバイス(例えばメモリ)のタイミング条件を満たしてください。

タイミング条件は、読み出し動作でのデータ入力のような、プロセッサ外部の回路から制御される信号に適用されます。タイミング条件は、プロセッサが他のデバイスと正しく動作することを保証します。

コア・クロック条件

プロセッサの内部クロック(CLKIN の整数倍)は、内部メモリ、プロセッサ・コア、シリアル・ポートのタイミングを決めるクロック信号を提供します。リセット時に、プロセッサの内部クロック周波数と外部(CLKIN)クロック周波数との比を CLK_CFG1~0 ピン使って設定してください。

プロセッサの内部クロックは、システム入力クロック(CLKIN)より高い周波数でスイッチします。内部クロックを発生するため、プロセッサは内部位相ロック・ループ(PLL、[図 5](#))を使用しています。このPLLベースのクロックは、システム・クロック(CLKIN)信号とプロセッサの内部クロックとの間のスキューを小さくします。

電圧制御発振器

アプリケーションのデザインでは、VCO周波数が [表 11](#) に規定する f_{vco} を超えないようにPLL通倍比を選択する必要があります。

- 入力デバイダをイネーブルしていない場合(INDIV = 0)、CLKINとPLLMの積は [表 11](#) に示す $f_{vco}(\max)$ の 1/2 を超えることはできません。
- 入力デバイダをイネーブルしている場合(INDIV = 1)、CLKINとPLLMの積は [表 11](#) に示す $f_{vco}(\max)$ を超えることはできません。

VCO 周波数は次のように計算されます。

$$f_{VCO} = 2 \times PLLM \times f_{INPUT}$$

$$f_{CLK} = (2 \times PLLM \times f_{INPUT}) \div (2 \times PLLN)$$

ここで、

f_{VCO} = VCO 出力

$PLLM$ = PMCTL レジスタに設定する通倍比。リセット時に、 $PLLM$ 値はハードウェアの CLK_CFG ピンを使って選択した比から求められます。

$PLLN$ = PMCTL レジスタに設定された PLLD 値に基づく分周比 1、2、4、または 8 リセット時のこの値は 1 です。

f_{INPUT} = PLL への入力周波数

f_{INPUT} = 入力分周器ディスエーブル時の CLKIN

f_{INPUT} = 入力分周器イネーブル時の CLKIN/2

CLKIN と該当する比の関数であるクロック周期の定義により、表 9 に示す種々のクロック周期が制御されていることに注意してください。ADSP-2136x ペリフェラルのすべてのタイミング仕様は、 t_{CLK} との関係で決められています。各ペリフェラルのタイミング情報については、各ペリフェラルのタイミング・セクションを参照してください。

表9 クロック周期

Timing Requirements	Description
t_{CK}	CLKIN Clock Period
t_{CLK}	Processor Core Clock Period
t_{PCLK}	Peripheral Clock Period = $2 \times t_{CLK}$

図 5 に、外部発振器または水晶に対するコアと CLKIN の関係を示します。灰色表示した分周器/通倍器ブロックは、ハードウェアから、またはパワー・マネジメント・コントロール・レジスタ (PMCTL) を使ってソフトウェアからクロック比を設定するところです。詳細については、「ADSP-2136x SHARC Processor Hardware Reference」を参照してください。

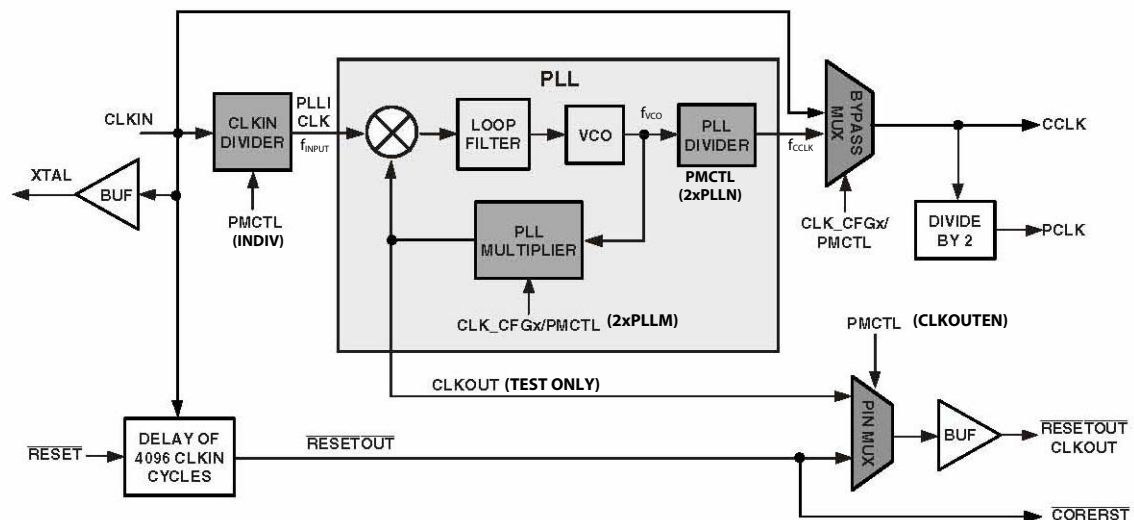


図5 コア・クロックとシステム・クロックのCLKINに対する関係

パワーアップ・シーケンス

プロセッサ・スタートアップのタイミング条件を [表 10](#) に示します。パワーアップ時に、約 200 μA のリーク電流が RESET ピンに流れることに注意してください。このリーク電流は、このピンの弱い内蔵プルアップ抵抗がパワーアップ時にイネーブルされるために発生します。

表10 パワーアップ・シーケンス・タイミング条件(プロセッサ起動)

Parameter		Min	Max	Unit
Timing Requirements				
t_{RSTVDD}	$\overline{\text{RESET}}$ Low Before $V_{\text{DDINT}}/V_{\text{DDEXT}}$ On	0		ns
t_{IVDDEVDD}	V_{DDINT} On Before V_{DDEXT}	-50	+200	ms
t_{CLKVDD}^1	CLKIN Valid After $V_{\text{DDINT}}/V_{\text{DDEXT}}$ Valid	0	200	ms
t_{CLKRST}	CLKIN Valid Before $\overline{\text{RESET}}$ Deasserted	10^2		μs
t_{PLLRST}	PLL Control Setup Before $\overline{\text{RESET}}$ Deasserted	20		μs
Switching Characteristic				
t_{CORERST}	Core Reset Deasserted After $\overline{\text{RESET}}$ Deasserted	$4096t_{\text{CK}} + 2t_{\text{CCLK}}^3, 4$		

¹有効な $V_{\text{DDINT}}/V_{\text{DDEXT}}$ では、電源が 1.2V と 3.3V に上昇していることを仮定。電圧ランブ・レートは、電源サブシステムのデザインに応じて、数 ms～数百 ms で変わります。

²水晶発振器のワーストケース・スタートアップ・タイミングを満たした安定な CLKIN 信号を仮定。スタートアップ時間については水晶発振器メーカーのデータシートを参照。外部水晶と XTAL ピンおよび内部発振器回路とを組み合わせる場合、25 ms の最大発振器スタートアップ時間を仮定。

³パワーアップ・シーケンス完了後に適用。後続のリセットでは、初期化を正しく行い、すべての I/O ピンにデフォルト状態が設定されるためには、少なくとも 4CLKIN サイクル間 RESET をロー・レベルにする必要があります。

⁴4096 サイクルのカウントは [表 12](#) の t_{RST} 仕様に依存します。セットアップ時間が満たされない場合、コア・リセット時間にさらに CLKIN で 1 サイクルが追加されて、最大 4097 サイクルになります。

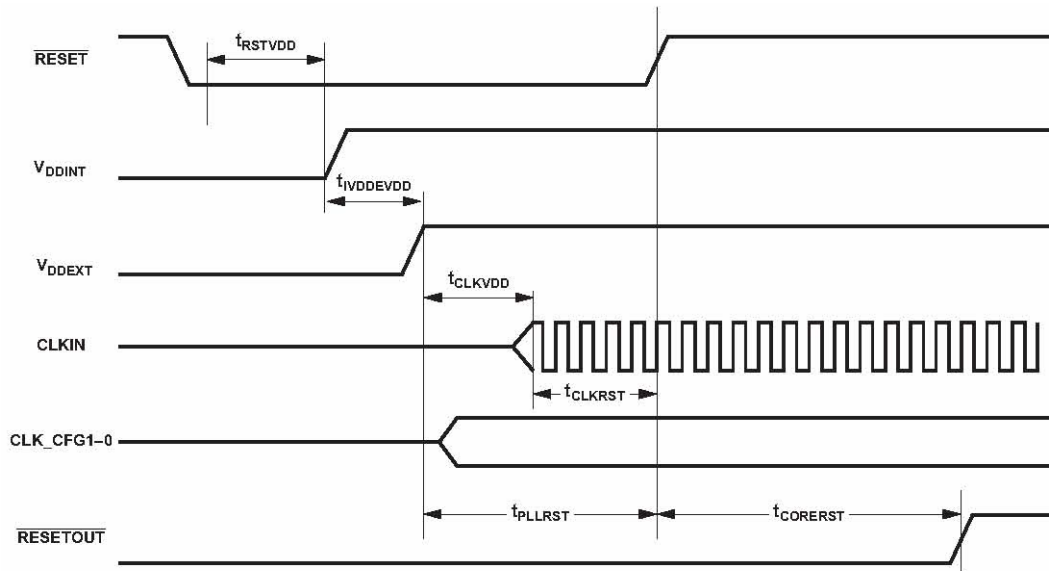


図6 パワーアップ・シーケンス

クロック入力

表11 クロック入力

Parameter		200 MHz ¹		333 MHz ²		Unit
		Min	Max	Min	Max	
Timing Requirements						
t _{CK}	CLKIN Period	30 ³	100	18 ¹	100	ns
t _{CKL}	CLKIN Width Low	12.5 ¹		7.5 ¹		ns
t _{CKH}	CLKIN Width High	12.5 ¹		7.5 ¹		ns
t _{CKRF}	CLKIN Rise/Fall (0.4 V to 2.0 V)		3		3	ns
t _{CCLK} ⁴	CCLK Period	5.0 ¹	10	3.0 ¹	10	ns
f _{VCO} ⁵	VCO Frequency	200	600	200	800	MHz
t _{CKJ} ^{6,7}	CLKIN Jitter Tolerance	−250	+250	−250	+250	ps

¹全 200 MHz モデルに適用。 [オーダー・ガイド](#)を参照してください。

²全 333 MHz モデルに適用。 [オーダー・ガイド](#)を参照してください。

³CLK_CFG1~0=00 と PMCTL 内の PLL コントロール・ビットのデフォルト値に対してのみ適用。

⁴PMCTL レジスタ内の PLL コントロール・ビットの変更では、コア・クロック・タイミング仕様 t_{CCLK} を満たす必要があります。

⁵VCO のブロック図については、[図 5](#)を参照してください。

⁶実際の入力ジッタは、正確なタイミング解析のためには AC 仕様と組み合わせる必要があります。

⁷ジッタ仕様は、最大 peak-to-peak 時間間隔誤差(TIE) ジッタです。

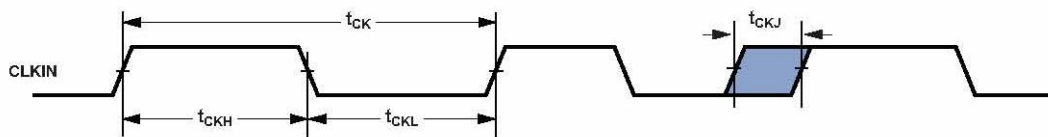


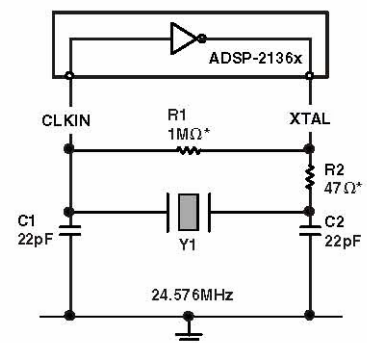
図7 クロック入力

クロック信号

プロセッサは、外部クロックまたは水晶を使用することができます。 [表6](#)のCLKINピン説明を参照してください。

CLKINとXTALに必要な部品を接続すると、内部クロック・ジェネレータを使用することができます。 [図8](#) に、並列モードの基本周波数で動作する水晶に使用する部品接続を示します。

クロック・レートは、16.67 MHz の水晶と PLL 通倍比 16:1 (この CCLK:CLKIN により 266.72 MHz のクロック速度が得られます)を使って実現されていることに注意してください。フル・コア・クロック・レートを実現するときは、プログラムから PMCTL レジスタの通倍ビットを設定する必要があります。



R2 SHOULD BE CHOSEN TO LIMIT CRYSTAL DRIVE POWER. REFER TO CRYSTAL MANUFACTURER'S SPECIFICATIONS.

*TYPICAL VALUES

図8 333 MHz動作(基本波モード水晶)

ADSP-21362/ADSP-21363/ADSP-21364/ADSP-21365/ADSP-21366

リセット

表12 リセット

Parameter	Min	Unit
<i>Timing Requirements</i>		
t_{WRST}^1 $\overline{RESET}$ Pulse Width Low	$4t_{CK}$	ns
t_{SRST} $\overline{RESET}$ Setup Before CLKIN Low	8	ns

¹ パワーアップ・シーケンス完了後に適用。 パワーアップ時、プロセッサの内部位相ロック・ループは、 V_{DD} と CLKIN が安定している場合、 $\overline{RESET}$ がロー・レベルのとき 100 μs 以上を必要としません(外部クロック発振器のスタートアップ時間は含みません)。

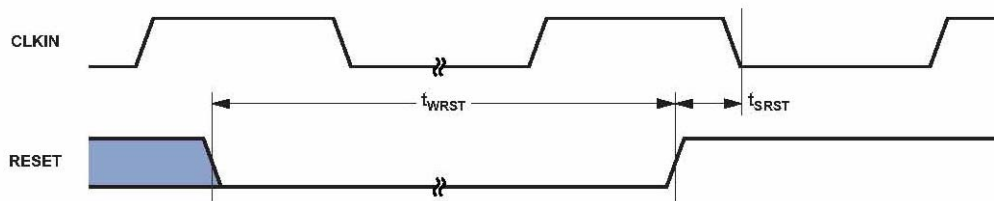


図9 リセット

割り込み

次のタイミング仕様は、FLAG0 ピン、FLAG1 ピン、FLAG2 ピンが、IRQ0、IRQ1、IRQ2の各割り込みとして設定されたときに、これらに適用されます。

表13 割り込み

Parameter	Min	Unit
<i>Timing Requirement</i>		
t_{IPW} $\overline{IRQx}$ Pulse Width	$2 \times t_{PCLK} + 2$	ns

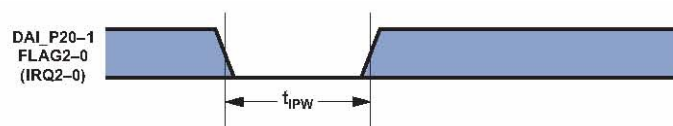


図10 割り込み

コア・タイマ

次のタイミング仕様は、FLAG3がコア・タイマ(TMREXPピン)として設定されたときにこれに適用されます。

表14 コア・タイマ

Parameter	Min	Unit
<i>Switching Characteristic</i>		
t_{WCTIM} TMREXP Pulse Width	$2 \times t_{PCLK} - 1$	ns

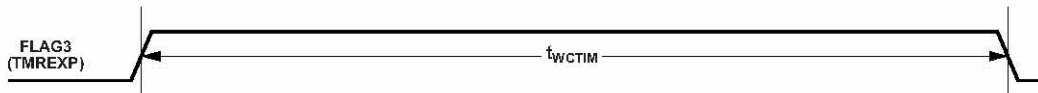


図11 コア・タイマ

タイマPWM_OUTサイクルのタイミング

次のタイミング仕様は、PWM_OUT (パルス幅変調)モードでタイマ 0、タイマ 1、タイマ 2 に適用されます。タイマ信号は、SRU を経由して DPI_P20~1 ピンに接続されます。したがって、下記のタイミング仕様は、DAI_P20~1 ピンで有効です。

表15 タイマPWM_OUTのタイミング

Parameter	Min	Max	Unit
<i>Switching Characteristic</i>			
t_{PWMO} Timer Pulse Width Output	$2 t_{PCLK} - 1$	$2(2^{31} - 1) t_{PCLK}$	ns

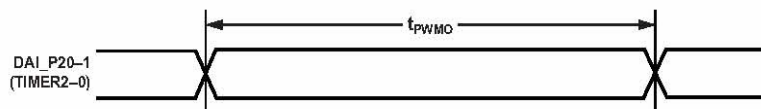


図12 タイマPWM_OUTのタイミング

タイマWIDTH_CAPのタイミング

次のタイミング仕様は、WIDTH_CAP (パルス幅カウントとキャプチャ)モードでタイマ 0、タイマ 1、タイマ 2 に適用されます。タイマ信号は、SRU を経由して DPI_P20～1 ピンに接続されます。したがって、下記のタイミング仕様は、DAI_P20～1 ピンで有効です。

表16 タイマ幅キャプチャのタイミング

Parameter	Min	Max	Unit
<i>Timing Requirement</i>			
t_{PWI} Timer Pulse Width	$2 t_{PCLK}$	$2(2^{31}-1) t_{PCLK}$	ns

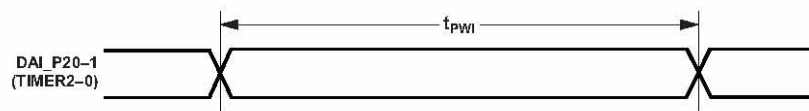


図13 タイマ幅キャプチャのタイミング

DAIピンーピン間の直接配線

直接ピン接続の場合(たとえば、DAI_PB01_I と DAI_PB02_O の接続)。

表17 DAIピンーピン間の直接配線

Parameter	Min	Max	Unit
<i>Timing Requirement</i>			
t_{DPID} Delay DAI Pin Input Valid to DAI Output Valid	1.5	10	ns

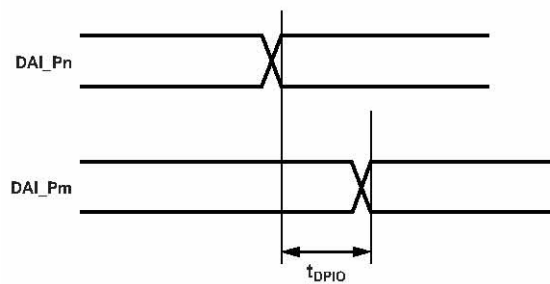


図14 DAIピンーピン間の直接配線

高精度クロック・ジェネレータ(直接ピン配線)

このタイミングは、高精度クロック・ジェネレータ(PCG)が DAI ピン(ピン・バッファ経由)から直接入力を得て、出力を DAI ピンに直接出力するように SRU を設定した場合にのみ有効です。PCG の入力と出力が直接 DAI ピン(ピン・バッファ経由)に接続されないその他の場合については、タイミング・データはありません。すべてのタイミング・パラメータとスイッチング特性は、外部 DAI ピン(DAI_P01~DAI_P20)に適用されます。

ン・バッファ経由)に接続されないその他の場合については、タイミング・データはありません。すべてのタイミング・パラメータとスイッチング特性は、外部 DAI ピン(DAI_P01~DAI_P20)に適用されます。

表18 高精度クロック・ジェネレータ(直接ピン配線)

Parameter		K and B Grade		Y Grade	Unit
		Min	Max	Max	
Timing Requirements					
t _{PCGIP}	Input Clock Period	t _{PCLK} × 4			ns
t _{STRIG}	PCG Trigger Setup Before Falling Edge of PCG Input Clock	4.5			ns
t _{HTRIG}	PCG Trigger Hold After Falling Edge of PCG Input Clock	3			ns
Switching Characteristics					
t _{DPCGIO}	PCG Output Clock and Frame Sync Active Edge Delay After PCG Input Clock	2.5	10	10	ns
t _{DTRIGCLK}	PCG Output Clock Delay After PCG Trigger	2.5 + (2.5 × t _{PCGIP})	10 + (2.5 × t _{PCGIP})	12 + (2.5 × t _{PCGIP})	ns
t _{DTRIGFS}	PCG Frame Sync Delay After PCG Trigger	2.5 + ((2.5 + D – PH) × t _{PCGIP})	10 + ((2.5 + D – PH) × t _{PCGIP})	12 + ((2.5 + D – PH) × t _{PCGIP})	ns
t _{PCGOP} ¹	Output Clock Period	2 × t _{PCGIP} – 1			ns

D = FSxDIV, PH = FSxPHASE. 詳細については、「ADSP-2136x SHARC Processor Hardware Reference」の Precision Clock Generators の章を参照してください。

¹ ノーマル・モードでは、 $t_{PCGOP}(\min) = 2 \times t_{PCGIP}$

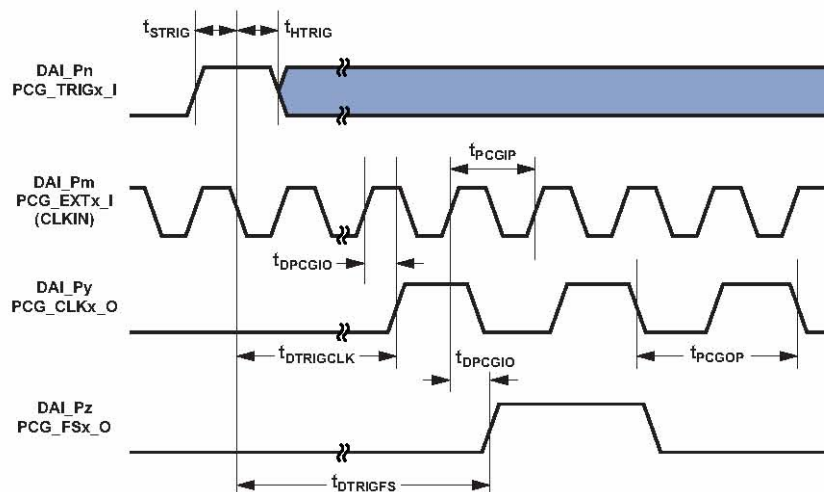


図15 高精度クロック・ジェネレータ(直接ピン配線)

フラグ

下記のタイミング仕様は、FLAG3～0ピン、DAI_P20～1ピン、パラレル・ポート、シリアル・ペリフェラル・インターフェース(SPI)に適用されます。フラグ使用の詳細については、表6を参照してください。

表19 フラグ

Parameter	Min	Unit
Timing Requirement		
t_{FIPW} FLAG3-0 IN Pulse Width	$2 \times t_{PCLK} + 3$	ns
Switching Characteristic		
t_{FOPW} FLAG3-0 OUT Pulse Width	$2 \times t_{PCLK} - 1$	ns

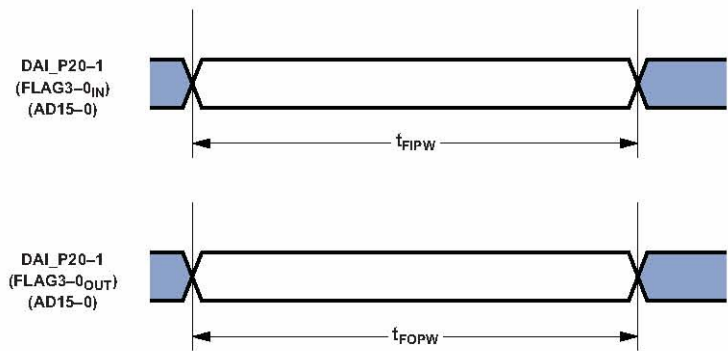


図16 フラグ

ADSP-21362/ADSP-21363/ADSP-21364/ADSP-21365/ADSP-21366

メモリ読み出し—パラレル・ポート

プロセッサが外部メモリ空間をアクセスする際は、メモリ (およびメモリ・マップド・ペリフェラル) に対するこの非同期インターフェースの仕様を使ってください。

表20 8ビット・メモリ読み出しサイクル

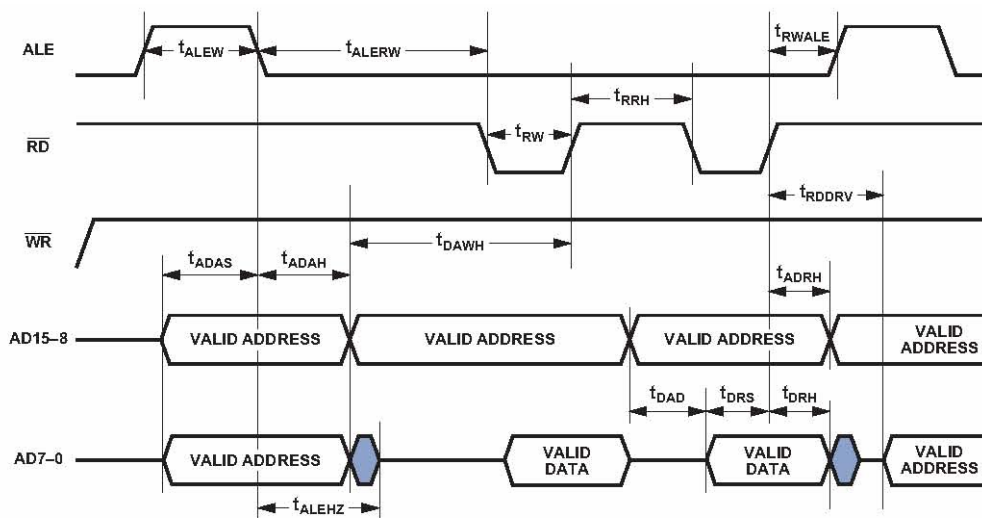
Parameter		K and B Grade		Y Grade		Unit
		Min	Max	Min	Max	
Timing Requirements						
t _{DRS}	AD7–0 Data Setup Before $\overline{RD}$ High	3.3		4.5		ns
t _{DRH}	AD7–0 Data Hold After $\overline{RD}$ High	0		0		ns
t _{DAD}	AD15–8 Address to AD7–0 Data Valid		D + t _{PCLK} – 5.0		D + t _{PCLK} – 5.0	ns
Switching Characteristics						
t _{ALEW}	ALE Pulse Width	2 × t _{PCLK} – 2.0		2 × t _{PCLK} – 2.0		ns
t _{ADAS} ¹	AD15–0 Address Setup Before ALE Deasserted	t _{PCLK} – 2.5		t _{PCLK} – 2.5		ns
t _{RRH}	Delay Between $\overline{RD}$ Rising Edge to Next Falling Edge	H + t _{PCLK} – 1.4		H + t _{PCLK} – 1.4		ns
t _{ALERW}	ALE Deasserted to Read Asserted	2 × t _{PCLK} – 3.8		2 × t _{PCLK} – 3.8		ns
t _{RWALE}	Read Deasserted to ALE Asserted	F + H + 0.5		F + H + 0.5		ns
t _{ADAH} ¹	AD15–0 Address Hold After ALE Deasserted	t _{PCLK} – 2.3		t _{PCLK} – 2.3		ns
t _{ALEHZ} ¹	ALE Deasserted to AD7–0 Address in High-Z	t _{PCLK}	t _{PCLK} + 3.0	t _{PCLK}	t _{PCLK} + 3.8	ns
t _{RW}	$\overline{RD}$ Pulse Width	D – 2.0		D – 2.0		ns
t _{RDDR}	AD7–0 ALE Address Drive After Read High	F + H + t _{PCLK} – 2.3		F + H + t _{PCLK} – 2.3		ns
t _{ADRH}	AD15–8 Address Hold After $\overline{RD}$ High	H		H		ns
t _{DAWH}	AD15–8 Address to $\overline{RD}$ High	D + t _{PCLK} – 4.0		D + t _{PCLK} – 4.0		ns

$D = (\text{PPCTL レジスタのPPDURビット}(5 \sim 1) \text{で設定された値}) \times t_{PCLK}$

$H = t_{PCLK}$ (ホールド・サイクルが指定された場合に適用、その他の場合は $H = 0$)

$F = 7 \times t_{PCLK}$ (FLASH_MODEがセットされている場合に適用、その他の場合は $F = 0$)

¹リセットでは、ALE はアクティブ・ハイ・サイクルですが、ソフトウェアからアクティブ・ローに設定することができます。



NOTES

1. MEMORY READS ALWAYS OCCUR IN GROUPS OF FOUR BETWEEN ALE CYCLES. THIS FIGURE ONLY SHOWS TWO MEMORY READS IN ORDER TO PROVIDE THE NECESSARY TIMING INFORMATION.

図17 8ビット・メモリの読み出しサイクル・タイミング

ADSP-21362/ADSP-21363/ADSP-21364/ADSP-21365/ADSP-21366

表21 16ビット・メモリの読み出しサイクル

Parameter		K and B Grade		Y Grade		Unit
		Min	Max	Min	Max	
Timing Requirements						
t _{DRS}	AD15–0 Data Setup Before $\overline{RD}$ High	3.3		4.5		ns
t _{DRH}	AD15–0 Data Hold After $\overline{RD}$ High	0		0		ns
Switching Characteristics						
t _{ALEW}	ALE Pulse Width	2 × t _{PCLK} – 2.0		2 × t _{PCLK} – 2.0		ns
t _{ADAS} ¹	AD15–0 Address Setup Before ALE Deasserted	t _{PCLK} – 2.5		t _{PCLK} – 2.5		ns
t _{ALERW}	ALE Deasserted to Read Asserted	2 × t _{PCLK} – 3.8		2 × t _{PCLK} – 3.8		ns
t _{RRH} ²	Delay Between $\overline{RD}$ Rising Edge to Next Falling Edge	H + t _{PCLK} – 1.4		H + t _{PCLK} – 1.4		ns
t _{RWALE}	Read Deasserted to ALE Asserted	F + H + 0.5		F + H + 0.5		ns
T _{RDDR}	ALE Address Drive After Read High	F + H + t _{PCLK} – 2.3		F + H + t _{PCLK} – 2.3		ns
t _{ADAH} ¹	AD15–0 Address Hold After ALE Deasserted	t _{PCLK} – 2.3		t _{PCLK} – 2.3		ns
t _{ALEHZ1}	ALE Deasserted to Address/Data15–0 in High-Z	t _{PCLK}	t _{PCLK} + 3.0	t _{PCLK}	t _{PCLK} + 3.8	ns
t _{RW}	$\overline{RD}$ Pulse Width	D – 2.0		D – 2.0		ns

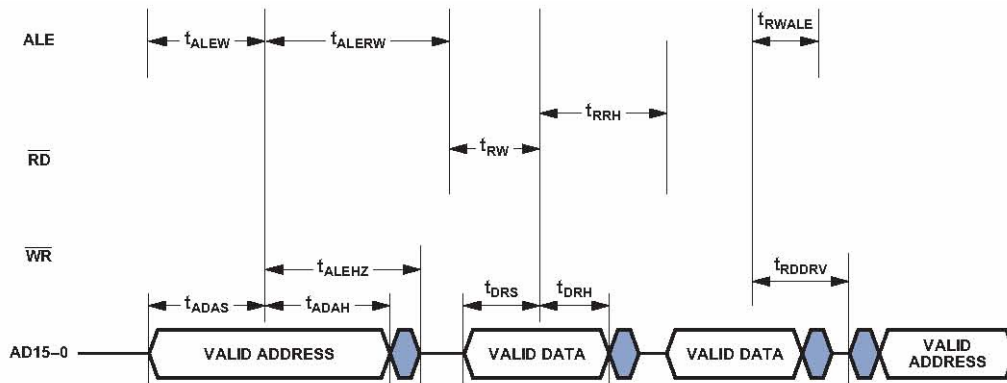
$D = (\text{PPCTLレジスタのPPDURビット(5~1)で設定された値}) \times t_{PCLK}$

$H = t_{PCLK}$ (ホールド・サイクルが指定された場合に適用、その他の場合は $H = 0$)

$F = 7 \times t_{PCLK}$ (FLASH_MODEがセットされている場合に適用、その他の場合は $F = 0$)

¹リセットでは、ALEはアクティブ・ハイ・サイクルですが、ソフトウェアからアクティブ・ローに設定することができます。

²このパラメータは、EMPP=0モードでのみ使用できます。



NOTES

1. FOR 16-BIT MEMORY READS, WHEN EMPP ≥ 0, ONLY ONE $\overline{RD}$ PULSE OCCURS BETWEEN ALE CYCLES. WHEN EMPP = 0, MULTIPLE $\overline{RD}$ PULSES OCCUR BETWEEN ALE CYCLES. FOR COMPLETE INFORMATION, SEE THE ADSP-2136x SHARC PROCESSOR HARDWARE REFERENCE.

図18 16ビット・メモリの読み出しサイクル・タイミング

ADSP-21362/ADSP-21363/ADSP-21364/ADSP-21365/ADSP-21366

メモリ書き込み—パラレル・ポート

プロセッサが外部メモリ空間をアクセスする際は、メモリ(およびメモリ・マップド・ペリフェラル)に対するこの非同期インターフェースの仕様を使ってください。

表22 8ビット・メモリ書き込みサイクル

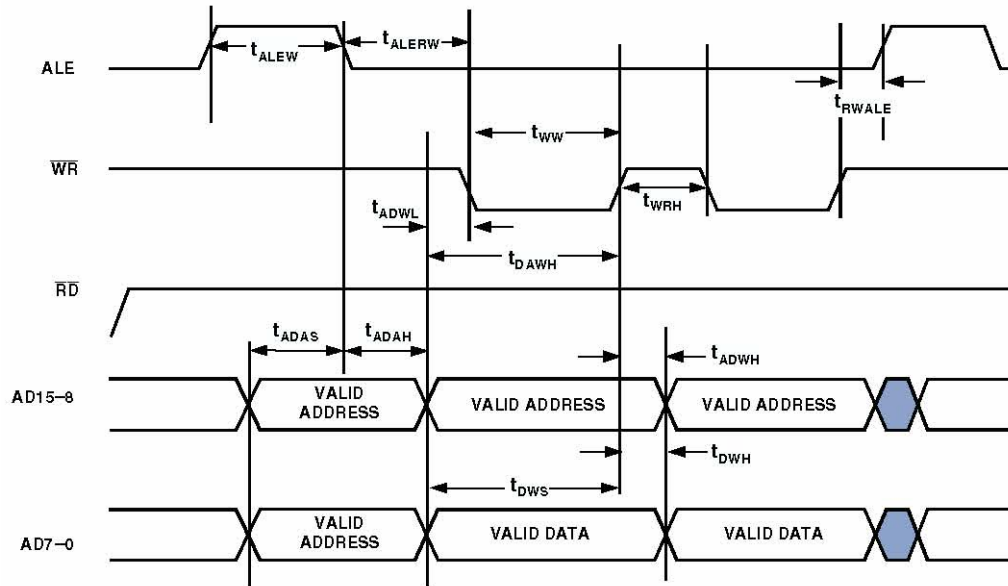
Parameter		K and B Grade	Y Grade	Unit
		Min	Min	
Switching Characteristics				
t _{ALEW}	ALE Pulse Width	2 × t _{PCLK} – 2.0	2 × t _{PCLK} – 2.0	ns
t _{ADAS} ¹	AD15–0 Address Setup Before ALE Deasserted	t _{PCLK} – 2.8	t _{PCLK} – 2.8	ns
t _{ALERW}	ALE Deasserted to Write Asserted	2 × t _{PCLK} – 3.8	2 × t _{PCLK} – 3.8	ns
t _{RWALE}	Write Deasserted to ALE Asserted	H + 0.5	H + 0.5	ns
t _{WRH}	Delay Between $\overline{WR}$ Rising Edge to Next $\overline{WR}$ Falling Edge	F + H + t _{PCLK} – 2.3	F + H + t _{PCLK} – 2.3	ns
t _{ADAH} ¹	AD15–0 Address Hold After ALE Deasserted	t _{PCLK} – 0.5	t _{PCLK} – 0.5	ns
t _{WW}	$\overline{WR}$ Pulse Width	D – F – 2.0	D – F – 2.0	ns
t _{ADWL}	AD15–8 Address to $\overline{WR}$ Low	t _{PCLK} – 2.8	t _{PCLK} – 3.5	ns
t _{ADWH}	AD15–8 Address Hold After $\overline{WR}$ High	H	H	ns
t _{DWS}	AD7–0 Data Setup Before $\overline{WR}$ High	D – F + t _{PCLK} – 4.0	D – F + t _{PCLK} – 4.0	ns
t _{DWH}	AD7–0 Data Hold After $\overline{WR}$ High	H	H	ns
t _{DAWH}	AD15–8 Address to $\overline{WR}$ High	D – F + t _{PCLK} – 4.0	D – F + t _{PCLK} – 4.0	ns

$D = (\text{PPCTLレジスタのPPDURビット(5~1)で設定された値}) \times t_{PCLK}$

$H = t_{PCLK}$ (ホールド・サイクルが指定された場合に適用、その他の場合は $H = 0$)

$F = 7 \times t_{PCLK}$ (FLASH_MODEがセットされている場合に適用、その他の場合は $F = 0$)。FLASH_MODEがセットされている場合は、 $D \geq 9 \times t_{PCLK_0}$

¹リセットでは、ALE はアクティブ・ハイ・サイクルですが、ソフトウェアからアクティブ・ローに設定することができます。



NOTE: MEMORY WRITES ALWAYS OCCUR IN GROUPS OF FOUR BETWEEN ALE CYCLES. THIS FIGURE ONLY SHOWS TWO MEMORY WRITES IN ORDER TO PROVIDE THE NECESSARY TIMING INFORMATION.

図19 8ビット・メモリの書き込みサイクル・タイミング

ADSP-21362/ADSP-21363/ADSP-21364/ADSP-21365/ADSP-21366

表23 16ビット・メモリ書き込みサイクル

Parameter		K and B Grade	Y Grade	Unit
		Min	Min	
Switching Characteristics				
t _{ALEW}	ALE Pulse Width	2 × t _{PCLK} – 2.0	2 × t _{PCLK} – 2.0	ns
t _{ADAS} ¹	AD15–0 Address Setup Before ALE Deasserted	t _{PCLK} – 2.5	t _{PCLK} – 2.5	ns
t _{ALERW}	ALE Deasserted to Write Asserted	2 × t _{PCLK} – 3.8	2 × t _{PCLK} – 3.8	ns
t _{RWALE}	Write Deasserted to ALE Asserted	H + 0.5	H + 0.5	ns
t _{WRH} ²	Delay Between $\overline{WR}$ Rising Edge to Next $\overline{WR}$ Falling Edge	F + H + t _{PCLK} – 2.3	F + H + t _{PCLK} – 2.3	ns
t _{ADAH} ¹	AD15–0 Address Hold After ALE Deasserted	t _{PCLK} – 2.3	t _{PCLK} – 2.3	ns
t _{WW}	$\overline{WR}$ Pulse Width	D – F – 2.0	D – F – 2.0	ns
t _{DWS}	AD15–0 Data Setup Before $\overline{WR}$ High	D – F + t _{PCLK} – 4.0	D – F + t _{PCLK} – 4.0	ns
t _{DWH}	AD15–0 Data Hold After $\overline{WR}$ High	H	H	ns

$D = (\text{PPCTLレジスタのPPDURビット(5~1)で設定された値}) \times t_{PCLK}$

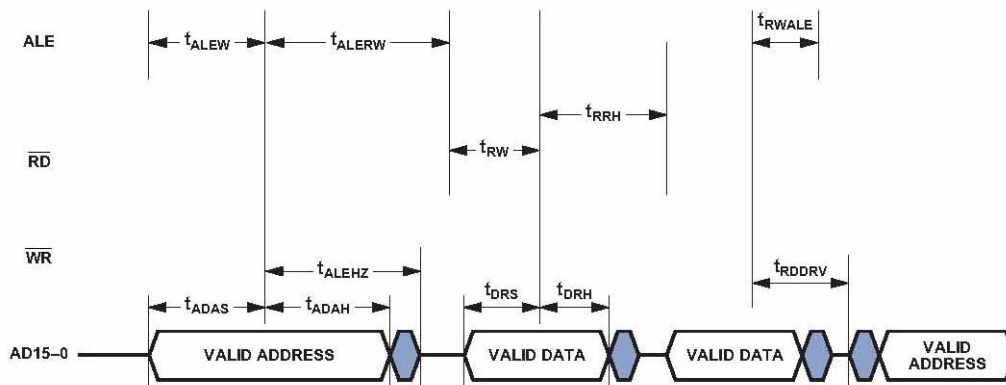
$H = t_{PCLK}$ (ホールド・サイクルが指定された場合に適用、その他の場合は $H = 0$)

$F = 7 \times t_{PCLK}$ (FLASH_MODEがセットされている場合に適用、その他の場合は $F = 0$)。FLASH_MODEがセットされている場合は、 $D \geq 9 \times t_{PCLK_0}$ 。

$t_{PCLK} = (\text{ペリフェラル}) \text{ クロック周期} = 2 \times t_{CCLK}$

¹リセットでは、ALEはアクティブ・ハイ・サイクルですが、ソフトウェアからアクティブ・ローに設定することができます。

²このパラメータは、EMPP = 0 モードでのみ使用できます。



NOTES

1. FOR 16-BIT MEMORY READS, WHEN EMPP = 0, ONLY ONE $\overline{RD}$ PULSE OCCURS BETWEEN ALE CYCLES. WHEN EMPP = 0, MULTIPLE $\overline{RD}$ PULSES OCCUR BETWEEN ALE CYCLES. FOR COMPLETE INFORMATION, SEE THE ADSP-2136x SHARC PROCESSOR HARDWARE REFERENCE.

図20 16ビット・メモリの書き込みサイクル・タイミング

ADSP-21362/ADSP-21363/ADSP-21364/ADSP-21365/ADSP-21366

シリアル・ポート

クロック速度 n で 2 個のデバイス間の通信が可能か否かを判断するときは、次の仕様を確認してください。1) フレーム同期 (FS) 遅延、フレーム同期のセットアップとホールド、2) データ遅延、データのセットアップとホールド、3) シリアル・クロック (SCLK) の幅。

シリアル・ポート信号は SRU を経由して DAI_P20~1 ピンに接続されます。したがって、下記のタイミング仕様は、DAI_P20~1 ピンで有効です。

表24 シリアル・ポートー 外部クロック

Parameter	K and B Grade		Y Grade	Unit
	Min	Max	Max	
Timing Requirements				
t _{SFSE} ¹ Frame Sync Setup Before SCLK (Externally Generated Frame Sync in Either Transmit or Receive Mode)	2.5			ns
t _{HFSE} ¹ Frame Sync Hold After SCLK (Externally Generated Frame Sync in Either Transmit or Receive Mode)	2.5			ns
t _{SDRE} ¹ Receive Data Setup Before Receive SCLK	2.5			ns
t _{HDRE} ¹ Receive Data Hold After SCLK	2.5			ns
t _{SCLKW} SCLK Width	(t _{PCLK} × 4) ÷ 2 – 0.5			ns
t _{SCLK} SCLK Period	t _{PCLK} × 4			ns
Switching Characteristics				
t _{DFSE} ² Frame Sync Delay After SCLK (Internally Generated Frame Sync in Either Transmit or Receive Mode)		9.5	11	ns
t _{HOFSE} ² Frame Sync Hold After SCLK (Internally Generated Frame Sync in Either Transmit or Receive Mode)	2			ns
t _{DDTE} ² Transmit Data Delay After Transmit SCLK		9.5	11	ns
t _{HDTE} ² Transmit Data Hold After Transmit SCLK	2			ns

¹ サンプル・エッジを基準とします。

² 駆動エッジを基準とします。

表25 シリアル・ポートー 内部クロック

Parameter		K and B Grade		Y Grade	
		Min	Max	Max	Unit
Timing Requirements					
t _{SFSI} ¹	Frame Sync Setup Before SCLK (Externally Generated Frame Sync in Either Transmit or Receive Mode)	7			ns
t _{HFSI} ¹	Frame Sync Hold After SCLK (Externally Generated Frame Sync in Either Transmit or Receive Mode)	2.5			ns
t _{SDRI} ¹	Receive Data Setup Before SCLK	7			ns
t _{HDRI} ¹	Receive Data Hold After SCLK	2.5			ns
Switching Characteristics					
t _{DFSI} ²	Frame Sync Delay After SCLK (Internally Generated Frame Sync in Transmit Mode)		3	3.5	ns
t _{HOFSI} ²	Frame Sync Hold After SCLK (Internally Generated Frame Sync in Transmit Mode)	−1.0			ns
t _{DFSIR} ²	Frame Sync Delay After SCLK (Internally Generated Frame Sync in Receive Mode)		8	9.5	ns
t _{HOF SIR} ²	Frame Sync Hold After SCLK (Internally Generated Frame Sync in Receive Mode)	−1.0			ns
t _{DDTI} ²	Transmit Data Delay After SCLK		3	4.0	ns
t _{HDTI} ²	Transmit Data Hold After SCLK	−1.0			ns
t _{SCLKIW}	Transmit or Receive SCLK Width	0.5t _{PCLK} − 2	0.5t _{PCLK} + 2	0.5t _{PCLK} + 2	ns

¹ サンプル・エッジを基準とします。

² 駆動エッジを基準とします。

ADSP-21362/ADSP-21363/ADSP-21364/ADSP-21365/ADSP-21366

表26 シリアル・ポートー イネーブルとスリーステート

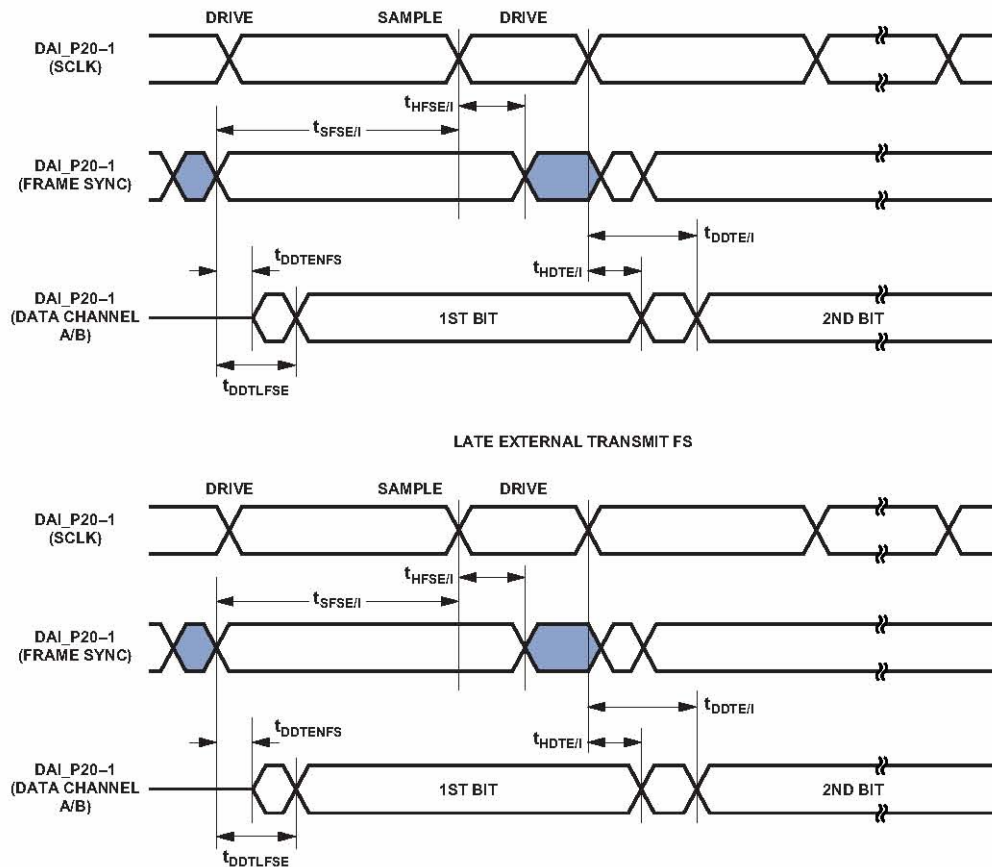
		K and B Grade		Y Grade	
Parameter		Min	Max	Max	Unit
Switching Characteristics					
t _{DDTEN} ¹	Data Enable from External Transmit SCLK	2			ns
t _{DDTTE} ¹	Data Disable from External Transmit SCLK		7	8.5	ns
t _{DDTIN} ¹	Data Enable from Internal Transmit SCLK	−1			ns

¹駆動エッジを基準とします。

表27 シリアル・ポートー 外部レイト・フレーム同期

Parameter	K and B Grade		Y Grade	Unit
	Min	Max	Max	
Switching Characteristics				
t _{DDTLFSE} ¹	Data Delay from Late External Transmit Frame Sync or External Receive FS with MCE = 1, MFD = 0	9	10.5	ns
t _{DDTENFS} ¹	Data Enable for MCE = 1, MFD = 0	0.5		ns

$t_{DDTLFSE}$ と $t_{DDTENFS}$ パラメータは、左詰めサンプル・ペア、DSP シリアル・モード、さらに MCE = 1、MFD = 0 に適用。

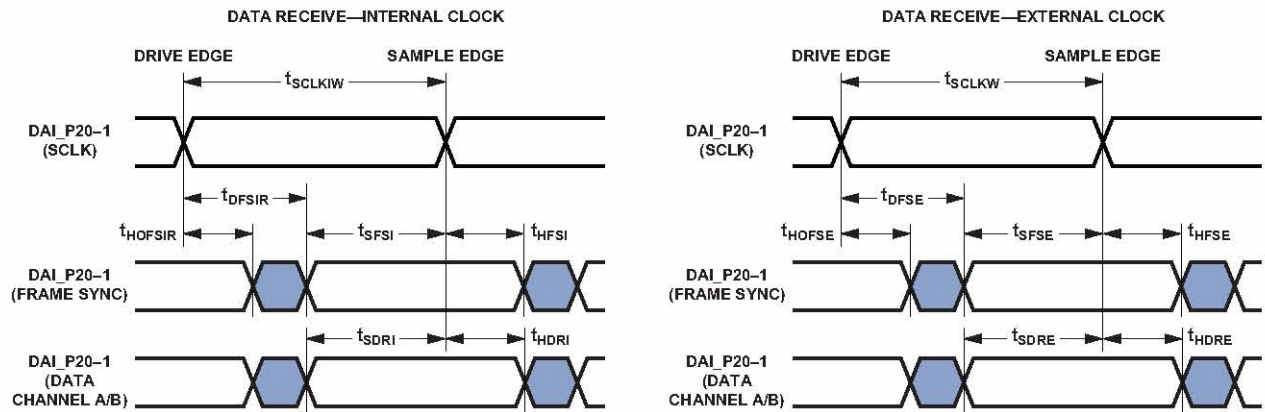


NOTES

- SERIAL PORT SIGNALS (SCLK, FS, DATA CHANNEL A/B) ARE ROUTED TO THE DAI_P20-1 PINS USING THE SRU. THE TIMING SPECIFICATIONS PROVIDED HERE ARE VALID AT THE DAI_P20-1 PINS. THE CHARACTERIZED SPORT AC TIMINGS ARE APPLICABLE WHEN INTERNAL CLOCKS AND FRAMES ARE LOOPED BACK FROM THE PIN, NOT ROUTED DIRECTLY THROUGH THE SRU.

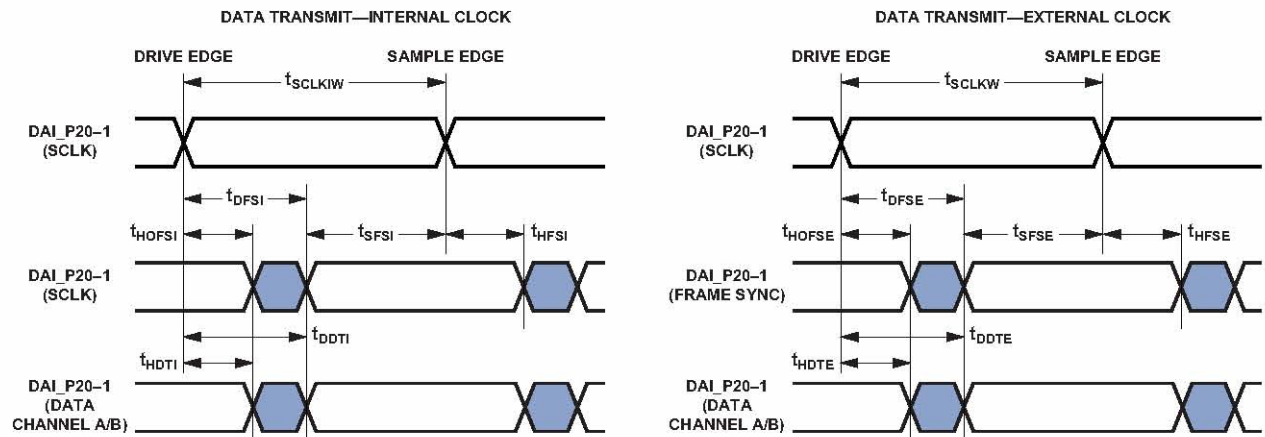
図21 外部レイト・フレーム同期¹

¹ この図は左詰めサンプル・ペア・モードをサポートするために行われた変更を反映しています。



NOTES

1. EITHER THE RISING EDGE OR THE FALLING EDGE OF SCLK (EXTERNAL OR INTERNAL) CAN BE USED AS THE ACTIVE SAMPLING EDGE.



NOTES

1. EITHER THE RISING EDGE OR THE FALLING EDGE OF SCLK (EXTERNAL OR INTERNAL) CAN BE USED AS THE ACTIVE SAMPLING EDGE.

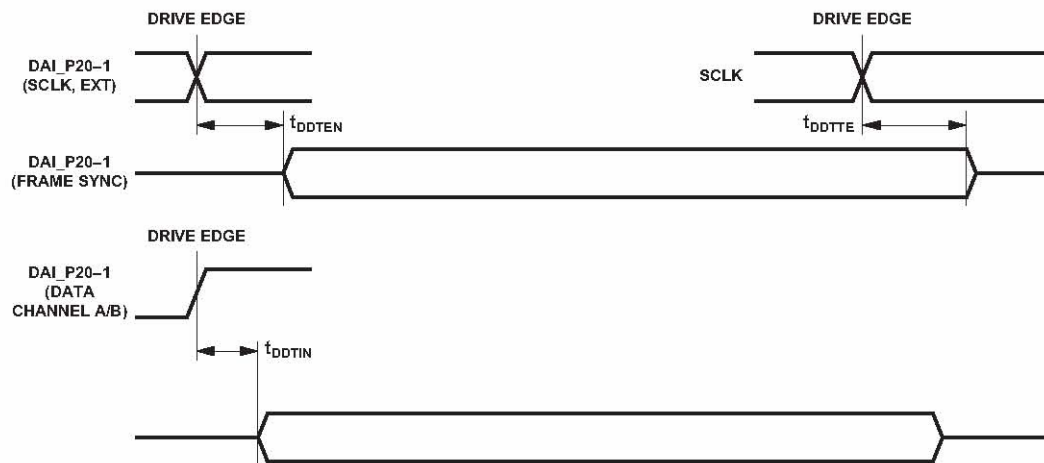


図22 シリアル・ポート

ADSP-21362/ADSP-21363/ADSP-21364/ADSP-21365/ADSP-21366

入力データ・ポート(IDP)

IDPのタイミング条件を表28に示します。IDP信号は、SRUを經由してDPI_P20～1ピンに接続されます。したがって、下記のタイミング仕様は、DAI_P20～1ピンで有効です。

表28 IDP

Parameter		Min	Unit
<i>Timing Requirements</i>			
t_{SISFS}^1	Frame Sync Setup Before Clock Rising Edge	3	ns
t_{SIHFS}^1	Frame Sync Hold After Clock Rising Edge	3	ns
t_{SISD}^1	Data Setup Before Clock Rising Edge	3	ns
t_{SIHD}^1	Data Hold After Clock Rising Edge	3	ns
$t_{IDPCLKW}$	Clock Width	$(t_{PCLK} \times 4) \div 2 - 1$	ns
t_{IDPCLK}	Clock Period	$t_{PCLK} \times 4$	ns

¹ データ、クロック、フレーム同期信号は任意の DAI ピンから入力可能。クロックとフレーム同期は、PCG または SPORT 経由の入力も可能。PCG の入力は、CLKIN ピンまたは任意の DAI ピンが可能。

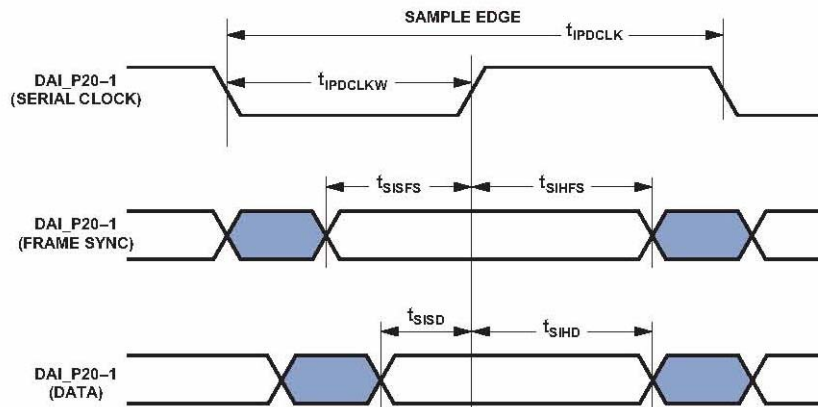


図23 IDPマスタのタイミング

パラレル・データ・アキュイジション・ポート(PDAP)

PDAPのタイミング条件を表29に示します。PDAPは、IDPのチャンネル0の平行・モード動作です。IDPの動作の詳細については、「*ADSP-2136x SHARC Processor Hardware Reference*」のIDPの章を参照してください。

20 ビットの外部 PDAP データの上位 16 ビットは平行・ポート AD15~0 ピンまたは DAI_P20~5 ピンを経由

して得ることができることに注意してください。残りの 4 ビットは、DAI_P4~1 を経由してのみ得られます。下記タイミングは、DAI_P20~1 ピンまたは AD15~0 ピンで有効です。

表29 パラレル・データ・アキュイジション・ポート(PDAP)

Parameter		Min	Unit
<i>Timing Requirements</i>			
$t_{SPCLKEN}^1$	PDAP_CLKEN Setup Before PDAP_CLK Sample Edge	2.5	ns
$t_{HPCLKEN}^1$	PDAP_CLKEN Hold After PDAP_CLK Sample Edge	2.5	ns
t_{PDSD}^1	PDAP_DAT Setup Before SCLK PDAP_CLK Sample Edge	3.0	ns
t_{PDHD}^1	PDAP_DAT Hold After SCLK PDAP_CLK Sample Edge	2.5	ns
t_{PDCLKW}	Clock Width	$(t_{PCLK} \times 4) \div 2 - 3$	ns
t_{PDCLK}	Clock Period	$t_{PCLK} \times 4$	ns
<i>Switching Characteristics</i>			
t_{PDHLDD}	Delay of PDAP Strobe After Last PDAP_CLK Capture Edge for a Word	$2 \times t_{PCLK} - 1$	ns
t_{PDSTRB}	PDAP Strobe Pulse Width	$2 \times t_{PCLK} - 1.5$	ns

¹DATA のソース・ピンは AD15~0 と DAI_P4~1、または DAI ピン。 シリアル・クロックとフレーム同期のソース・ピンは DAI ピン。

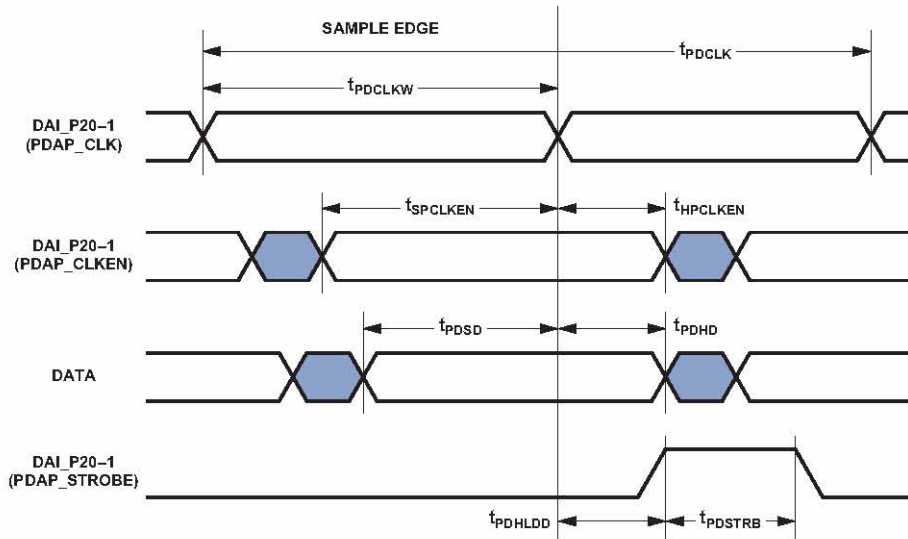


図24 PDAPのタイミング

パルス幅変調ジェネレータ

表30 PWMのタイミング

Parameter	Min	Max	Unit
<i>Switching Characteristics</i>			
t_{PWMW} PWM Output Pulse Width	$t_{PCLK} - 2$	$(2^{16} - 2) \times t_{PCLK} - 2$	ns
t_{PWMP} PWM Output Period	$2 \times t_{PCLK} - 1.5$	$(2^{16} - 1) \times t_{PCLK}$	ns

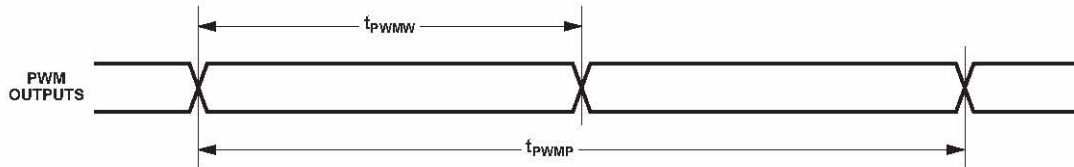


図25 PWMのタイミング

サンプル・レート・コンバーターシリアル入力ポート

SRC入力信号は、SRUを經由してDAI_P20~1ピンから接続されます。したがって、表31のタイミング仕様は、DAI_P20~1ピンで有効です。この機能は、ADSP-21363モデルでは使用できません。

表31 SRC、シリアル入力ポート

Parameter	Min	Unit
<i>Timing Requirements</i>		
t_{SRCFS}^1 Frame Sync Setup Before Serial Clock Rising Edge	3	ns
t_{SRCHFS}^1 Frame Sync Hold After Serial Clock Rising Edge	3	ns
t_{SRCSD}^1 SDATA Setup Before Serial Clock Rising Edge	3	ns
t_{SRCHD}^1 SDATA Hold After Serial Clock Rising Edge	3	ns
$t_{SRCCLKW}$ Clock Width	36	ns
t_{SRCCLK} Clock Period	80	ns

¹ データ、シリアル・クロック、フレーム同期信号は任意の DAI ピンから入力可能。シリアル・クロックとフレーム同期信号は、PCG または SPORT 経由の入力も可能。PCG の入力、CLKIN ピンまたは任意の DAI ピンが可能。

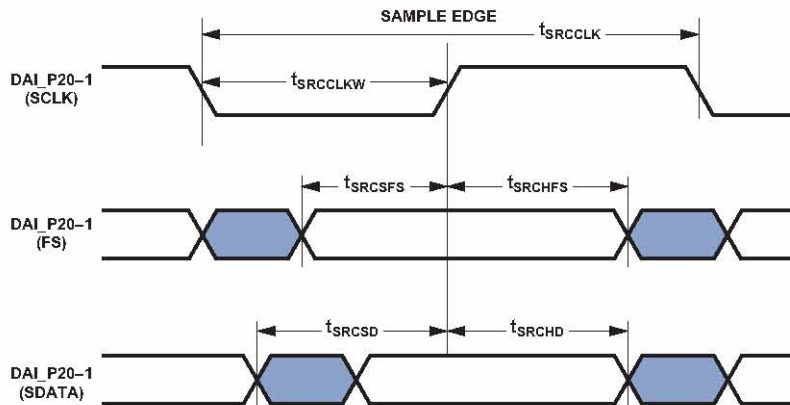


図26 SRCシリアル入力ポートのタイミング

ADSP-21362/ADSP-21363/ADSP-21364/ADSP-21365/ADSP-21366

サンプル・レート・コンバーターシリアル出力ポート

シリアル出力ポートの場合、フレーム同期は入力であるため、出力ポートのシリアル・クロックに対してセットアップ・タイムとホールド・タイムを満たす必要があります。

シリアル・データ出力には、シリアル・クロックに対するホールド・タイムと遅延の仕様ががあります。シリアル・クロックの立ち上がりエッジはサンプリング・エッジであり、立ち下がりエッジは駆動エッジであることに注意してください。

表32 SRC、シリアル出力ポート

Parameter		K and B Grade		Y Grade	Unit
		Min	Max	Max	
Timing Requirements					
t _{SRCFS} ¹	Frame Sync Setup Before Serial Clock Rising Edge	3			ns
t _{SRCHFS} ¹	Frame Sync Hold After Serial Clock Rising Edge	3			ns
Switching Characteristics					
t _{SRCTDD} ¹	Transmit Data Delay After Serial Clock Falling Edge		10.5	12.5	ns
t _{SRCTDH} ¹	Transmit Data Hold After Serial Clock Falling Edge	2			ns

¹ データ、シリアル・クロック、フレーム同期信号は任意の DAI ピンから入力可能。シリアル・クロックとフレーム同期は、PCG または SPORT 経由の入力も可能。PCG の入力、CLKIN ピンまたは任意の DAI ピンが可能。

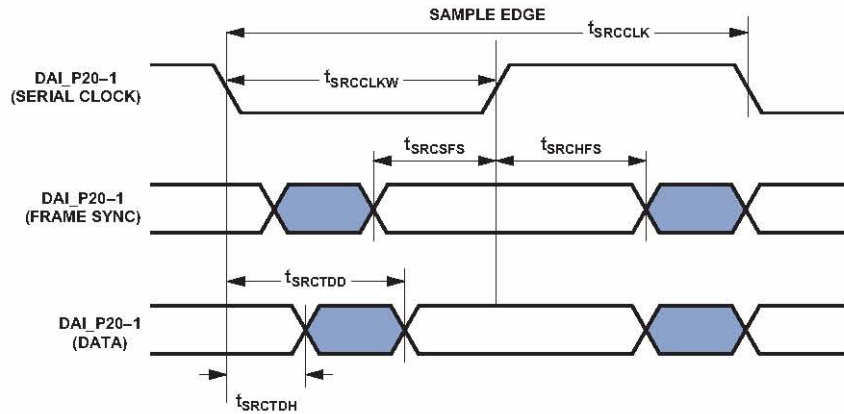


図27 SRCシリアル出力ポートのタイミング

S/PDIF トランスミッタ

S/PDIF トランスミッタへのシリアル・データ入力は、16、18、20、または 24 ビット・ワード幅の右詰め、I²S、または左詰めとしてフォーマットすることができます。次のセクションに、トランスミッタのタイミングを示します。この機能は、ADSP-21363 モデルでは使用できません。

S/PDIF トランスミッターシリアル入力波形

図28 に右詰めモードを示します。LRCLKは、左チャンネルに対してはハイ・レベルに、右チャンネルに対してはロー・レベルになります。データはシリアル・クロックの立ち上がりエッジで有効です。LRCLKの1周期あたりシリアル・クロックが64周期存在する場合、データのLSBが次のLRCLK変化に対して右詰めになるようにするため、MSBがLRCLKの変化から12ビット・クロック期間(20ビット出力

力モード)または16ビット・クロック期間(16ビット出力モード)遅延させられます。

図29 に、デフォルトのI²Sモードを示します。LRCLKは、左チャンネルに対してはロー・レベルに、右チャンネルに対してはハイ・レベルになります。データはシリアル・クロックの立ち上がりエッジで有効です。MSBはLRCLKの変化に対して左詰めですが、シリアル・クロックの1クロック分遅延しています。

図30 に、左詰めモードを示します。LRCLKは、左チャンネルに対してはハイ・レベルに、右チャンネルに対してはロー・レベルになります。データはシリアル・クロックの立ち上がりエッジで有効です。MSBはLRCLKの変化に対して左詰め、MSBの遅延はありません。

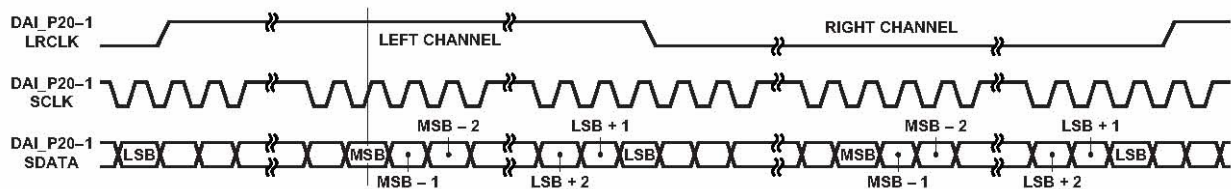


図28 右詰めモード

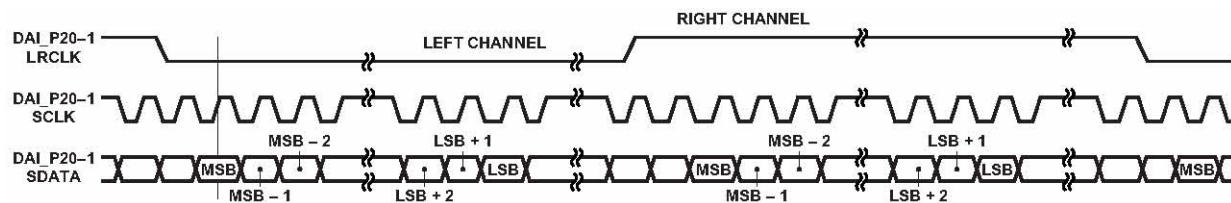


図29 I²Sモード

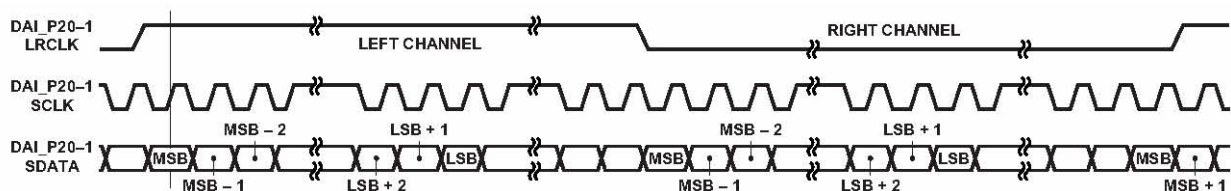


図30 左詰めモード

S/PDIFトランスミッタ入力データのタイミング

入力ポートのタイミング条件を表33に示します。入力信号は、SRUを経由してDAI_P20～1ピンに接続されます。したがって、下記のタイミング仕様は、DAI_P20～1ピンで有効です。

表33 S/PDIFトランスミッタ入力データのタイミング

Parameter		K and B Grade	Y Grade	Unit
		Min	Min	
Timing Requirements				
t _{SIFS} ¹	Frame Sync Setup Before Serial Clock Rising Edge	3	3	ns
t _{SIHFS} ¹	Frame Sync Hold After Serial Clock Rising Edge	3	3	ns
t _{SISD} ¹	Data Setup Before Serial Clock Rising Edge	3	3	ns
t _{SIHD} ¹	Data Hold After Serial Clock Rising Edge	3	3	ns
t _{SISCLKW}	Clock Width	36	36	ns
t _{SISCLK}	Clock Period	80	80	ns
t _{SITXCLKW}	Transmit Clock Width	9	9.5	ns
t _{SITXCLK}	Transmit Clock Period	20	20	ns

¹ データ、シリアル・クロック、フレーム同期信号は任意の DAI ピンから入力可能。シリアル・クロックとフレーム同期信号は、PCG または SPORT 経由の入力も可能。PCG の入力は、CLKIN ピンまたは任意の DAI ピンが可能。

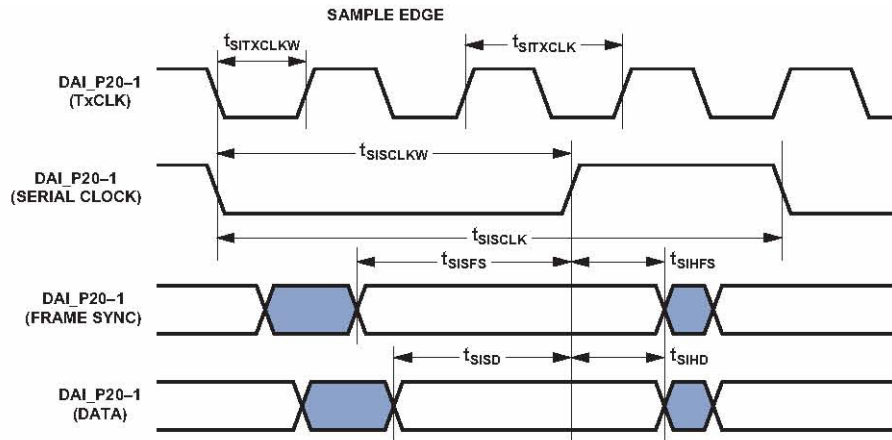


図31 S/PDIFトランスミッタ入力のタイミング

オーバーサンプリング・クロック(TXCLK)のスイッチング特性

S/PDIF トランスミッタは、オーバーサンプリング・クロックを持っています。この TXCLK 入力は、バイフェーズ・クロックを発生するために分周されます。

表34 オーバーサンプリング・クロック(TXCLK)のスイッチング特性

Parameter	Max	Unit
TXCLK Frequency for TXCLK = 384 × FS	$\text{Oversampling Ratio} \times \text{FS} \leq 1/t_{SITXCLK}$	MHz
TXCLK Frequency for TXCLK = 256 × FS	49.2	MHz
Frame Rate (FS)	192.0	kHz

S/PDIF レシーバ

次のセクションは、S/PDIF レシーバに関連するタイミングを示します。この機能は、ADSP-21363 プロセッサでは使用できません。

内部デジタルPLLモード

内部デジタル位相ロック・ループ・モードでは、内部 PLL (デジタル PLL) が $512 \times FS$ のクロックを発生します。

表35 S/PDIF レシーバ出力タイミング(内部デジタルPLLモード)

Parameter	Min	Max	Unit
<i>Switching Characteristics</i>			
t_{DFS1} LRCLK Delay After Serial Clock		5	ns
t_{HOF1} LRCLK Hold After Serial Clock	-2		ns
t_{DDT1} Transmit Data Delay After Serial Clock		5	ns
t_{HDT1} Transmit Data Hold After Serial Clock	-2		ns
t_{SCLKIW}^1 Transmit Serial Clock Width	38		ns

¹シリアル・クロック周波数 = $64 \times$ フレーム同期、ここで、フレーム同期 = LRCLK 周波数。

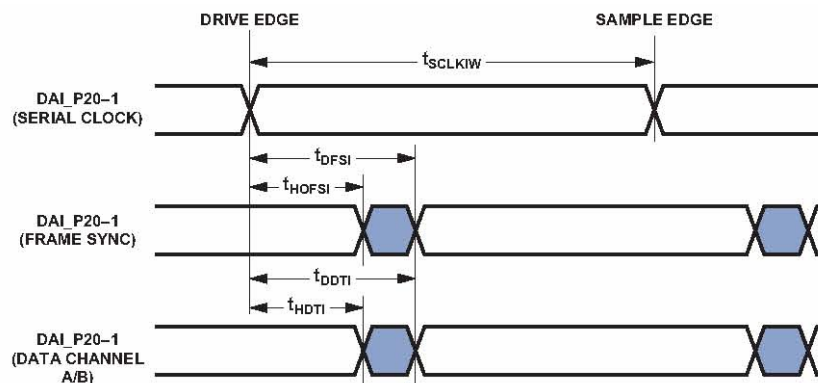


図32 S/PDIF レシーバ内部デジタルPLLモードのタイミング

ADSP-21362/ADSP-21363/ADSP-21364/ADSP-21365/ADSP-21366

SPIインターフェーススレーブ

表37 SPIインターフェース・プロトコル スレーブのスイッチングとタイミング仕様

Parameter		K and B Grade		Y Grade	Unit
		Min	Max	Max	
Timing Requirements					
t _{SPICLK}	Serial Clock Cycle	4 × t _{PCLK} – 2			ns
t _{SPICHS}	Serial Clock High Period	2 × t _{PCLK} – 2			ns
t _{SPICLS}	Serial Clock Low Period	2 × t _{PCLK} – 2			ns
t _{SDSCO}	SPIDS Assertion to First SPICLK Edge	2 × t _{PCLK}			ns
	CPHASE = 0	2 × t _{PCLK}			ns
	CPHASE = 1				
t _{HDS}	Last SPICLK Edge to SPIDS Not Asserted, CPHASE = 0	2 × t _{PCLK}			ns
t _{SSPIDS}	Data Input Valid to SPICLK Edge (Data Input Setup Time)	2			ns
t _{HSPIDS}	SPICLK Last Sampling Edge to Data Input Not Valid	2			ns
t _{SDPPW}	SPIDS Deassertion Pulse Width (CPHASE = 0)	2 × t _{PCLK}			ns
Switching Characteristics					
t _{DSOE}	SPIDS Assertion to Data Out Active	0	5	5	ns
t _{DSOE} ¹	SPIDS Assertion to Data Out Active (SPI2)	0	8	9	ns
t _{DSDHI}	SPIDS Deassertion to Data High Impedance	0	5	5.5	ns
t _{DSDHI} ¹	SPIDS Deassertion to Data High Impedance (SPI2)	0	8.6	10	ns
t _{DDSPIDS}	SPICLK Edge to Data Out Valid (Data Out Delay Time)		9.5	11.0	ns
t _{HDSPIDS}	SPICLK Edge to Data Out Not Valid (Data Out Hold Time)	2 × t _{PCLK}			ns
t _{DSOV}	SPIDS Assertion to Data Out Valid (CPHASE = 0)		5 × t _{PCLK}	5 × t _{PCLK}	ns

¹これらのパラメータのタイミングは、SPI が信号ルーティング・ユニットを使って接続されているときに適用。詳細については、「ADSP-2136x SHARC Processor Hardware Reference」の Serial Peripheral Interface Port の章を参照してください。

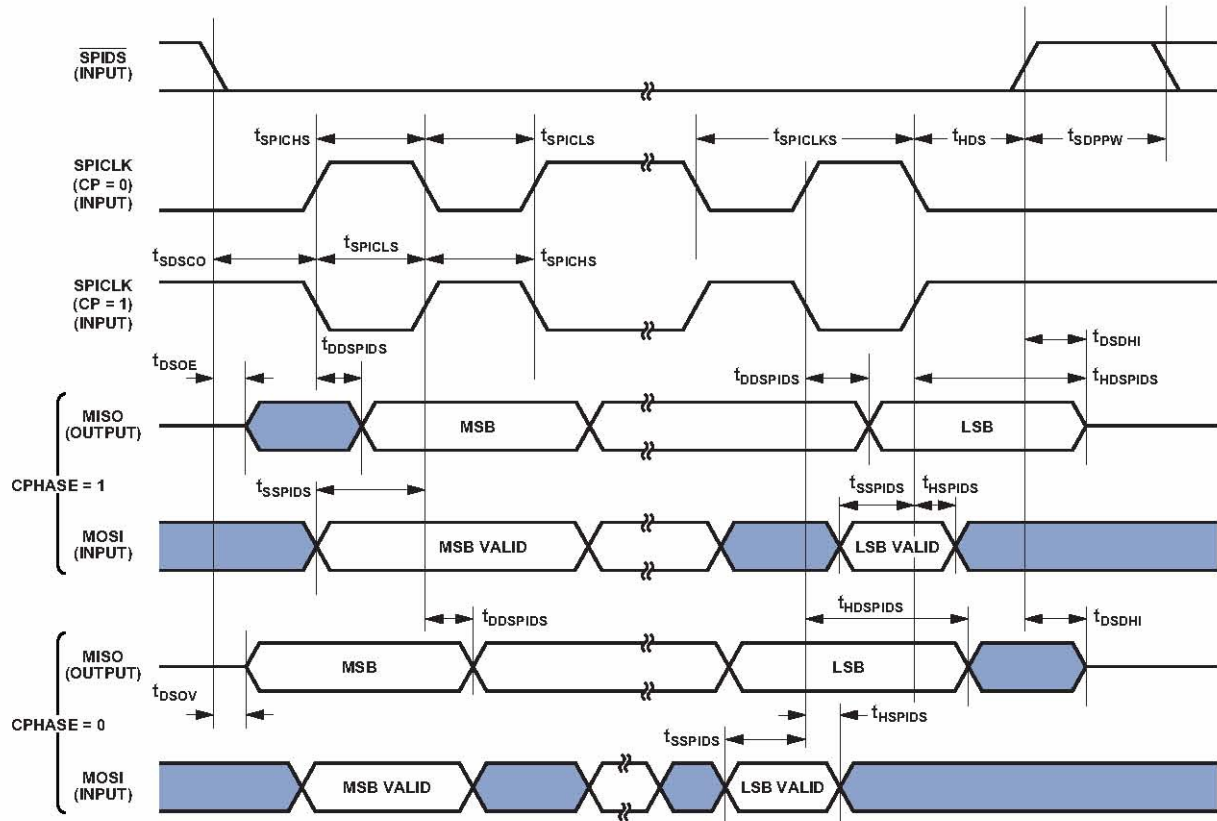


図34 SPIスレーブのタイミング

ADSP-21362/ADSP-21363/ADSP-21364/ADSP-21365/ADSP-21366

JTAGテスト・アクセス・ポートとエミュレーション

表38 JTAGテスト・アクセス・ポートとエミュレーション

Parameter	Min	Max	Unit
<i>Timing Requirements</i>			
t_{TCK} TCK Period	t_{CK}		ns
t_{STAP} TDI, TMS Setup Before TCK High	5		ns
t_{HTAP} TDI, TMS Hold After TCK High	6		ns
t_{SSYS}^1 System Inputs Setup Before TCK High	7		ns
t_{HSYS}^1 System Inputs Hold After TCK High	18		ns
t_{TRSTW} $\overline{TRST}$ Pulse Width	$4t_{CK}$		ns
<i>Switching Characteristics</i>			
t_{DTDO} TDO Delay from TCK Low		7	ns
t_{DSYS}^2 System Outputs Delay After TCK Low		$t_{CK} \div 2 + 7$	ns

¹システム入力= ADDR15~0、 $\overline{SPIDS}$ 、CLK_CFG1~0、 $\overline{RESET}$ 、BOOT_CFG1~0、MISO、 $\overline{MOSI}$ 、SPICLK、DAI_Px、FLAG3~0。

²システム出力= MISO、MOSI、SPICLK、DAI_Px、ADDR15~0、RD、WR、FLAG3~0、EMU、ALE。

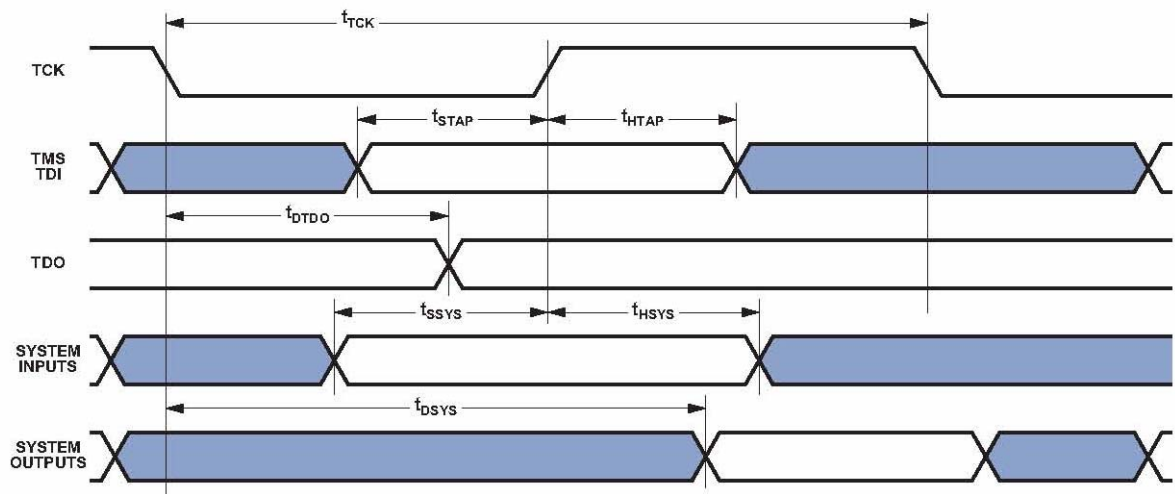


図35 IEEE 1149.1 JTAGテスト・アクセス・ポート

出力駆動電流

図36 に、プロセッサの出力ドライバの電流電圧特性(typ)を示します。このカーブは、出力ドライバの電流駆動能力を出力電圧の関数として表しています。

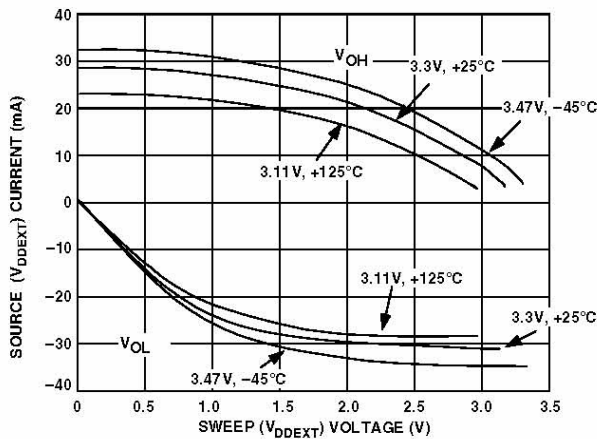


図36 ADSP-2136xの駆動特性(typ)

テスト条件

AC信号仕様(タイミング・パラメータ)を表12～表38に示します。これらには、出力ディスエーブル・タイム、出力イネーブル・タイム、容量負荷が含まれています。SHARCのタイミング仕様は、図37に示すリファレンス電圧レベルに適用されます。

タイミングは、図38に規定する1.5Vレベルを信号が通過するときに測定します。すべての遅延(n sec)は、1つ目の信号が1.5Vに到達したポイントと、2つ目の信号が1.5Vに到達したポイントとの間で測定します。

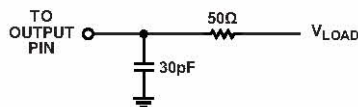


図37 AC測定の等価デバイス負荷(すべての治具を含む)

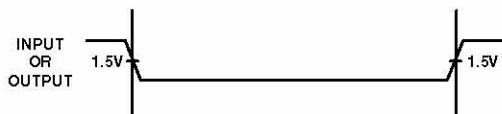


図38 AC測定のリファレンス電圧レベル

容量負荷

出力の遅延とホールドでは、すべてのピンに標準容量負荷30 pFを接続しています(図37参照)。図41に、出力遅延とホールドが負荷容量により変化する様子を示します。図39、図40、図41のグラフは、出力遅延(Typ)対負荷容量および出力立ち上がり時間(Typ)(20%~80%、V = Min)対負荷容量で示す範囲の外側では直線にならないことがあります。

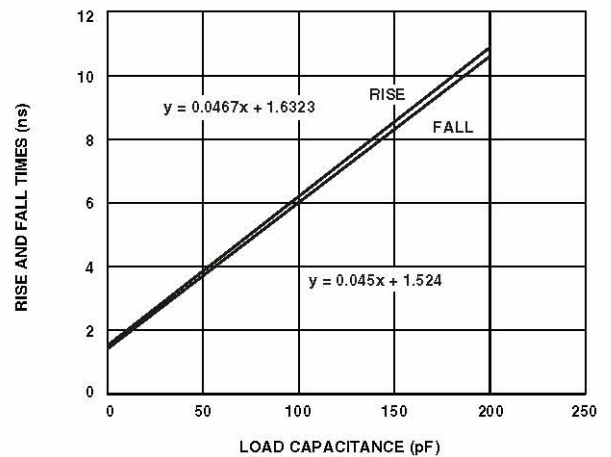


図39 出力立ち上がり/立ち下がり時間(typ)
(20~80%、V_{DDEXT} = Max)

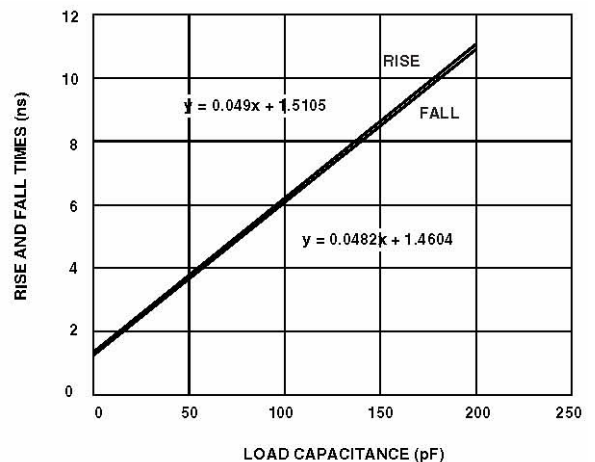


図40 出力立ち上がり/立ち下がり時間(typ)
(20~80%、V_{DDEXT} = Min)

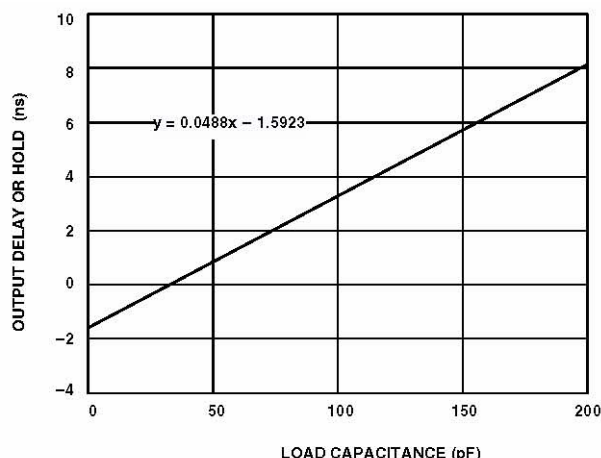


図41 出力遅延またはホールド(typ)対負荷容量
(周囲温度)

熱特性

プロセッサの性能は、[動作条件](#)で規定する温度範囲で規定されています。

表39～表41の空気流の測定はJEDEC規格JESD51-2とJESD51-6に、ジャンクションーボード間の測定はJESD51-8に、それぞれ準拠しています。テスト・ボードのデザインはJEDEC規格のJESD51-9 (BGA)とJESD51-5 (LQFP_EP)に準拠しています。ジャンクションーケース間の測定はMIL-STD-883に準拠しています。すべての測定では、2S2P JEDECテスト・ボードを使用しています。

BGA パッケージを採用する工業用アプリケーションでは、PCB内の埋め込みグラウンド・プレーンに対するサーマル・ビアが必要です。PCBのサーマル・ホール・ランドとサーマル・ビア・デザインについては、JEDEC規格JESD51-9を参照してください。

LQFP_EP パッケージを採用する工業用アプリケーションでは、PCB内の埋め込みグラウンド・プレーンに対するサーマル・パターン・スクエアとサーマル・ビアが必要です。詳細については、JEDEC標準JESD51-5を参照してください。

アプリケーション PCB 上でのデバイスのジャンクション温度を求めるときは、次式を使います。

$$T_J = T_T + (\Psi_{JT} \times P_D)$$

ここで、

T_J = ジャンクション温度 °C

T_T = ケース温度 (°C)、パッケージ上面の中央で測定

Ψ_{JT} = ジャンクションーパッケージ上面間のキャラクタライゼーション・パラメータは表39～表41のTyp値を使用。

P_D = 消費電力。詳細については、「*Estimating Power for the ADSP-21362 SHARC Processors (EE-277)*」を参照。

θ_{JA} の値は、パッケージ比較と PCB デザイン考慮のために提供されます。

θ_{JC} の値は、エクスポーズド・パッドが必要なときに、パッケージ比較と PCB デザイン考慮のために提供され、表39～表41に示す温度特性値はモデル化した値であることに注意してください。

表39 BGAの熱特性(PCBにサーマル・ビアなし)

Parameter	Condition	Typical	Unit
θ_{JA}	Airflow = 0 m/s	25.40	°C/W
θ_{JMA}	Airflow = 1 m/s	21.90	°C/W
θ_{JMA}	Airflow = 2 m/s	20.90	°C/W
θ_{JC}		5.07	°C/W
Ψ_{JT}	Airflow = 0 m/s	0.140	°C/W
Ψ_{JMT}	Airflow = 1 m/s	0.330	°C/W
Ψ_{JMT}	Airflow = 2 m/s	0.410	°C/W

表40 BGAの熱特性(PCBにサーマル・ビアあり)

Parameter	Condition	Typical	Unit
θ_{JA}	Airflow = 0 m/s	23.40	°C/W
θ_{JMA}	Airflow = 1 m/s	20.00	°C/W
θ_{JMA}	Airflow = 2 m/s	19.20	°C/W
θ_{JC}		5.00	°C/W
Ψ_{JT}	Airflow = 0 m/s	0.130	°C/W
Ψ_{JMT}	Airflow = 1 m/s	0.300	°C/W
Ψ_{JMT}	Airflow = 2 m/s	0.360	°C/W

表41 LQFP_EPの熱特性(エクスポーズド・パッドをPCBにハンダ付け)

Parameter	Condition	Typical	Unit
θ_{JA}	Airflow = 0 m/s	16.80	°C/W
θ_{JMA}	Airflow = 1 m/s	14.20	°C/W
θ_{JMA}	Airflow = 2 m/s	13.50	°C/W
θ_{JC}		7.25	°C/W
Ψ_{JT}	Airflow = 0 m/s	0.51	°C/W
Ψ_{JMT}	Airflow = 1 m/s	0.72	°C/W
Ψ_{JMT}	Airflow = 2 m/s	0.80	°C/W

144ピンLQFPのピン配置

次の表に、プロセッサのピン名とリセット時のデフォルト機能(括弧内)を示します。

表42 LQFPのピン配置

Pin Name	Pin No.	Pin Name	Pin No.	Pin Name	Pin No.	Pin Name	Pin No.
V _{DDINT}	1	V _{DDINT}	37	V _{DDEXT}	73	GND	109
CLK_CFG0	2	GND	38	GND	74	V _{DDINT}	110
CLK_CFG1	3	$\overline{\text{RD}}$	39	V _{DDINT}	75	GND	111
BOOT_CFG0	4	ALE	40	GND	76	V _{DDINT}	112
BOOT_CFG1	5	AD15	41	DAI_P10 (SD2B)	77	GND	113
GND	6	AD14	42	DAI_P11 (SD3A)	78	V _{DDINT}	114
V _{DDEXT}	7	AD13	43	DAI_P12 (SD3B)	79	GND	115
GND	8	GND	44	DAI_P13 (SCLK3)	80	V _{DDEXT}	116
V _{DDINT}	9	V _{DDEXT}	45	DAI_P14 (SFS3)	81	GND	117
GND	10	AD12	46	DAI_P15 (SD4A)	82	V _{DDINT}	118
V _{DDINT}	11	V _{DDINT}	47	V _{DDINT}	83	GND	119
GND	12	GND	48	GND	84	V _{DDINT}	120
V _{DDINT}	13	AD11	49	GND	85	$\overline{\text{RESET}}$	121
GND	14	AD10	50	DAI_P16 (SD4B)	86	$\overline{\text{SPIDS}}$	122
FLAG0	15	AD9	51	DAI_P17 (SD5A)	87	GND	123
FLAG1	16	AD8	52	DAI_P18 (SD5B)	88	V _{DDINT}	124
AD7	17	DAI_P1 (SD0A)	53	DAI_P19 (SCLK5)	89	SPICLK	125
GND	18	V _{DDINT}	54	V _{DDINT}	90	MISO	126
V _{DDINT}	19	GND	55	GND	91	MOSI	127
GND	20	DAI_P2 (SD0B)	56	GND	92	GND	128
V _{DDEXT}	21	DAI_P3 (SCLK0)	57	V _{DDEXT}	93	V _{DDINT}	129
GND	22	GND	58	DAI_P20 (SFS5)	94	V _{DDEXT}	130
V _{DDINT}	23	V _{DDEXT}	59	GND	95	A _{VDD}	131
AD6	24	V _{DDINT}	60	V _{DDINT}	96	A _{VSS}	132
AD5	25	GND	61	FLAG2	97	GND	133
AD4	26	DAI_P4 (SFS0)	62	FLAG3	98	$\overline{\text{RESETOUT}}$	134
V _{DDINT}	27	DAI_P5 (SD1A)	63	V _{DDINT}	99	$\overline{\text{EMU}}$	135
GND	28	DAI_P6 (SD1B)	64	GND	100	TDO	136
AD3	29	DAI_P7 (SCLK1)	65	V _{DDINT}	101	TDI	137
AD2	30	V _{DDINT}	66	GND	102	$\overline{\text{TRST}}$	138
V _{DDEXT}	31	GND	67	V _{DDINT}	103	TCK	139
GND	32	V _{DDINT}	68	GND	104	TMS	140
AD1	33	GND	69	V _{DDINT}	105	GND	141
AD0	34	DAI_P8 (SFS1)	70	GND	106	CLKIN	142
$\overline{\text{WR}}$	35	DAI_P9 (SD2A)	71	V _{DDINT}	107	XTAL	143
V _{DDINT}	36	V _{DDINT}	72	V _{DDINT}	108	V _{DDEXT}	144

ADSP-21362/ADSP-21363/ADSP-21364/ADSP-21365/ADSP-21366

136ボールBGAのピン配置

次の表に、プロセッサのボール名とリセット時のデフォルト機能(括弧内)を示します。

表43 BGAのピン配置

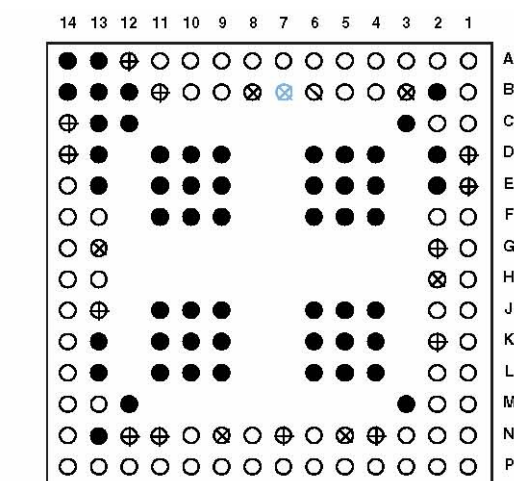
Ball Name	Ball No.	Ball Name	Ball No.	Ball Name	Ball No.	Ball Name	Ball No.
CLK_CFG0	A01	CLK_CFG1	B01	BOOT_CFG1	C01	V _{DDINT}	D01
XTAL	A02	GND	B02	BOOT_CFG0	C02	GND	D02
TMS	A03	V _{DDEXT}	B03	GND	C03	GND	D04
TCK	A04	CLKIN	B04	GND	C12	GND	D05
TDI	A05	$\overline{\text{TRST}}$	B05	GND	C13	GND	D06
$\overline{\text{RESETOUT}}$	A06	A _{VSS}	B06	V _{DDINT}	C14	GND	D09
TDO	A07	A _{VDD}	B07			GND	D10
EMU	A08	V _{DDEXT}	B08			GND	D11
MOSI	A09	SPICLK	B09			GND	D13
MISO	A10	$\overline{\text{RESET}}$	B10			V _{DDINT}	D14
SPIDS	A11	V _{DDINT}	B11				
V _{DDINT}	A12	GND	B12				
GND	A13	GND	B13				
GND	A14	GND	B14				
V _{DDINT}	E01	FLAG1	F01	AD7	G01	AD6	H01
GND	E02	FLAG0	F02	V _{DDINT}	G02	V _{DDEXT}	H02
GND	E04	GND	F04	V _{DDEXT}	G13	DAI_P18 (SD5B)	H13
GND	E05	GND	F05	DAI_P19 (SCLK5)	G14	DAI_P17 (SD5A)	H14
GND	E06	GND	F06				
GND	E09	GND	F09				
GND	E10	GND	F10				
GND	E11	GND	F11				
GND	E13	FLAG2	F13				
FLAG3	E14	DAI_P20 (SF55)	F14				

ADSP-21362/ADSP-21363/ADSP-21364/ADSP-21365/ADSP-21366

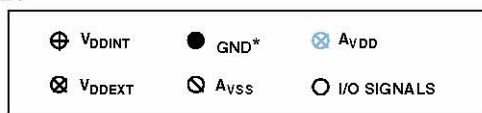
表43 BGAのピン配置(続き)

Ball Name	Ball No.	Ball Name	Ball No.	Ball Name	Ball No.	Ball Name	Ball No.
AD5	J01	AD3	K01	AD2	L01	AD0	M01
AD4	J02	V _{DDINT}	K02	AD1	L02	$\overline{\text{WR}}$	M02
GND	J04	GND	K04	GND	L04	GND	M03
GND	J05	GND	K05	GND	L05	GND	M12
GND	J06	GND	K06	GND	L06	DAI_P12 (SD3B)	M13
GND	J09	GND	K09	GND	L09	DAI_P13 (SCLK3)	M14
GND	J10	GND	K10	GND	L10		
GND	J11	GND	K11	GND	L11		
V _{DDINT}	J13	GND	K13	GND	L13		
DAI_P16 (SD4B)	J14	DAI_P15 (SD4A)	K14	DAI_P14 (SFS3)	L14		
AD15	N01	AD14	P01				
ALE	N02	AD13	P02				
$\overline{\text{RD}}$	N03	AD12	P03				
V _{DDINT}	N04	AD11	P04				
V _{DDEXT}	N05	AD10	P05				
AD8	N06	AD9	P06				
V _{DDINT}	N07	DAI_P1 (SD0A)	P07				
DAI_P2 (SD0B)	N08	DAI_P3 (SCLK0)	P08				
V _{DDEXT}	N09	DAI_P5 (SD1A)	P09				
DAI_P4 (SFS0)	N10	DAI_P6 (SD1B)	P10				
V _{DDINT}	N11	DAI_P7 (SCLK1)	P11				
V _{DDINT}	N12	DAI_P8 (SFS1)	P12				
GND	N13	DAI_P9 (SD2A)	P13				
DAI_P10 (SD2B)	N14	DAI_P11 (SD3A)	P14				

ADSP-21362/ADSP-21363/ADSP-21364/ADSP-21365/ADSP-21366

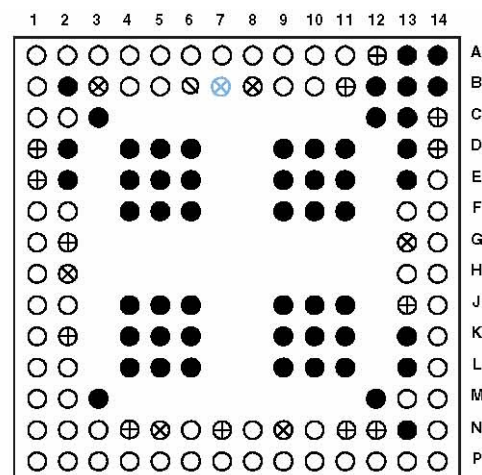


KEY

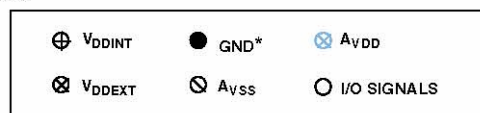


*USE THE CENTER BLOCK OF GROUND PINS TO PROVIDE THERMAL PATHWAYS TO YOUR PRINTED CIRCUIT BOARD'S GROUND PLANE.

図42 BGAのピン配置(裏面図、一覧)



KEY



*USE THE CENTER BLOCK OF GROUND PINS TO PROVIDE THERMAL PATHWAYS TO YOUR PRINTED CIRCUIT BOARD'S GROUND PLANE.

図43 BGAのピン配置(上面図、一覧)

パッケージ寸法

このプロセッサは 136 ボール BGA パッケージまたは 144
ピン・エクスポーズド・パッド(LQFP_EP)パッケージを採用
しています。

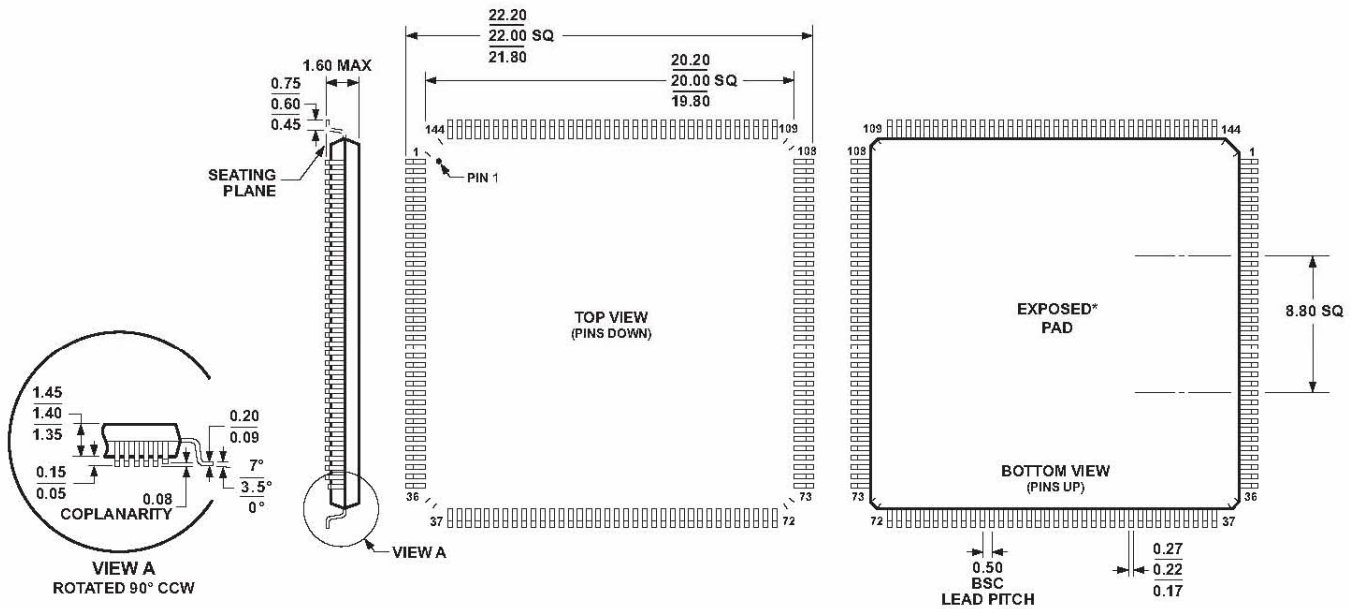


図44 144ピン・ロー・プロファイル・クワッド・フラット・パッケージ、エクスポーズド・パッド[LQFP_EP]
(SW-144-1)
寸法: mm

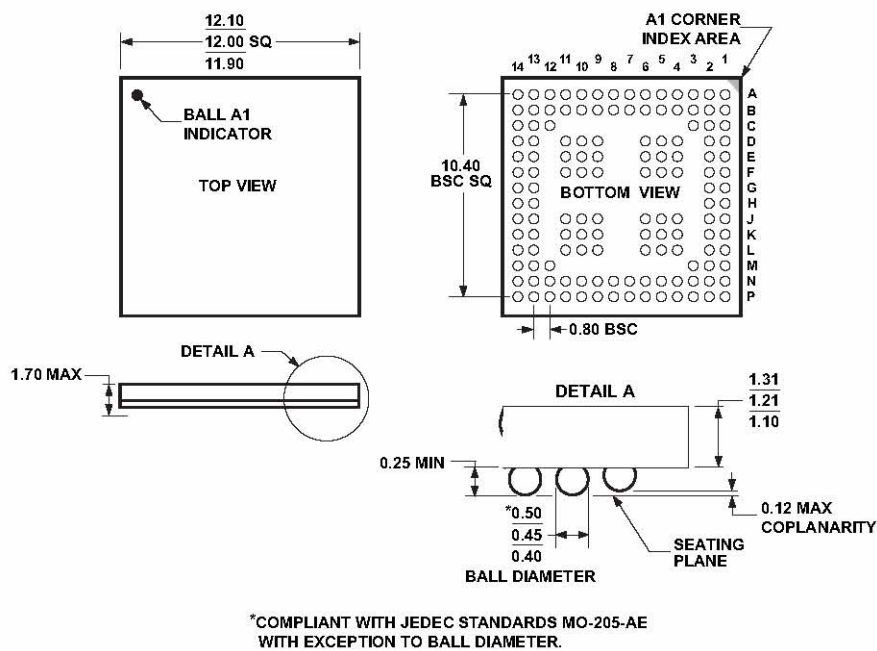


図45 136ボール・チップ・スケール・パッケージ・ボール・グリッド・アレイ [CSP_BGA]
(BC-136)
寸法: mm

表面実装デザイン

表44は、PCBデザイン用に示します。業界標準のデザイン
勧告については、IPC-7351の「*Generic Requirements for
Surface-Mount Design and Land Pattern Standard*」を参照して
ください。

表44 表面実装デザイン用のBGAデータ

Package	Ball Attach Type	Solder Mask Opening	Ball Pad Size
136-Ball CSP_BGA (BC-136)	Solder Mask Defined	0.40 mm diameter	0.53 mm diameter

ADSP-21362/ADSP-21363/ADSP-21364/ADSP-21365/ADSP-21366

車載製品

専用の製造工程で製造された、車載アプリケーション用の ADSP-2136x モデルも提供しています。この特別モデルの仕様は、一般的なリリース・モデルと異なることがあるので注意してください。

表45に示す車載グレード製品は、車載アプリケーション用に提供しています。特定製品の注文情報については、最寄りのADIまたはADIの認定代理店にお尋ねください。すべての車載製品はRoHS準拠製品です。

表45 車載製品

Model	Temperature Range ¹	Instruction Rate	On-Chip SRAM	ROM	Package Description	Package Option
AD21362WBSWZ104	–40°C to 85°C	333 MHz	3M Bit	4M Bit	136-Ball CSP_BGA	BC-136
AD21362WYSWZ204	–40°C to 105°C	200 MHz	3M Bit	4M Bit	144-Lead LQFP_EP	SW-144-1
AD21363WBSWZ105	–40°C to 85°C	333 MHz	3M Bit	4M Bit	136-Ball CSP_BGA	BC-136
AD21363WYSWZ205	–40°C to 105°C	200 MHz	3M Bit	4M Bit	144-Lead LQFP_EP	SW-144-1
AD21364WBSWZ105	–40°C to 85°C	333 MHz	3M Bit	4M Bit	136-Ball CSP_BGA	BC-136
AD21364WYSWZ205	–40°C to 105°C	200 MHz	3M Bit	4M Bit	144-Lead LQFP_EP	SW-144-1
AD21365WBSWZ104A	–40°C to 85°C	333 MHz	3M Bit	4M Bit	136-Ball CSP_BGA	BC-136
AD21365WYSWZ204A	–40°C to 105°C	200 MHz	3M Bit	4M Bit	144-Lead LQFP_EP	SW-144-1
AD21366WBSWZ105A	–40°C to 85°C	333 MHz	3M Bit	4M Bit	136-Ball CSP_BGA	BC-136
AD21366WYSWZ205A	–40°C to 105°C	200 MHz	3M Bit	4M Bit	144-Lead LQFP_EP	SW-144-1

¹基準温度は周囲温度。

ADSP-21362/ADSP-21363/ADSP-21364/ADSP-21365/ADSP-21366

オーダー・ガイド

Model	Temperature Range ¹	Instruction Rate	On-Chip SRAM	ROM	Package Description	Package Option
ADSP-21362BBCZ-1AA ^{2, 3}	−40°C to +85°C	333 MHz	3M Bit	4M Bit	136-Ball CSP_BGA	BC-136
ADSP-21362BSWZ-1AA ^{2, 3}	−40°C to +85°C	333 MHz	3M Bit	4M Bit	144-Lead LQFP_EP	SW-144-1
ADSP-21362YSWZ-2AA ^{2, 3}	−40°C to +105°C	200 MHz	3M Bit	4M Bit	144-Lead LQFP_EP	SW-144-1
ADSP-21363KBC-1AA	0°C to +70°C	333 MHz	3M Bit	4M Bit	136-Ball CSP_BGA	BC-136
ADSP-21363KBCZ-1AA ³	0°C to +70°C	333 MHz	3M Bit	4M Bit	136-Ball CSP_BGA	BC-136
ADSP-21363KSWZ-1AA ³	0°C to +70°C	333 MHz	3M Bit	4M Bit	144-Lead LQFP_EP	SW-144-1
ADSP-21363BBC-1AA	−40°C to +85°C	333 MHz	3M Bit	4M Bit	136-Ball CSP_BGA	BC-136
ADSP-21363BBCZ-1AA ³	−40°C to +85°C	333 MHz	3M Bit	4M Bit	136-Ball CSP_BGA	BC-136
ADSP-21363BSWZ-1AA ³	−40°C to +85°C	333 MHz	3M Bit	4M Bit	144-Lead LQFP_EP	SW-144-1
ADSP-21363YSWZ-2AA ^{3, 5}	−40°C to +105°C	200 MHz	3M Bit	4M Bit	144-Lead LQFP_EP	SW-144-1
ADSP-21364KBC-1AA	0°C to +70°C	333 MHz	3M Bit	4M Bit	136-Ball CSP_BGA	BC-136
ADSP-21364KBCZ-1AA ³	0°C to +70°C	333 MHz	3M Bit	4M Bit	136-Ball CSP_BGA	BC-136
ADSP-21364KSWZ-1AA ³	0°C to +70°C	333 MHz	3M Bit	4M Bit	144-Lead LQFP_EP	SW-144-1
ADSP-21364BBC-1AA	−40°C to +85°C	333 MHz	3M Bit	4M Bit	136-Ball CSP_BGA	BC-136
ADSP-21364BBCZ-1AA ³	−40°C to +85°C	333 MHz	3M Bit	4M Bit	136-Ball CSP_BGA	BC-136
ADSP-21364BSWZ-1AA ³	−40°C to +85°C	333 MHz	3M Bit	4M Bit	144-Lead LQFP_EP	SW-144-1
ADSP-21364YSWZ-2AA ³	−40°C to +105°C	200 MHz	3M Bit	4M Bit	144-Lead LQFP_EP	SW-144-1
ADSP-21365BBCZ-1AA ^{2, 3, 4, 5}	−40°C to +85°C	333 MHz	3M Bit	4M Bit	136-Ball CSP_BGA	BC-136
ADSP-21365BSWZ-1AA ^{2, 3, 4, 5}	−40°C to +85°C	333 MHz	3M Bit	4M Bit	144-Lead LQFP_EP	SW-144-1
ADSP-21365YSWZ-2AA ^{2, 3, 4, 5}	−40°C to +105°C	200 MHz	3M Bit	4M Bit	144-Lead LQFP_EP	SW-144-1
ADSP-21365YSWZ-2CA ^{2, 3, 4, 5}	−40°C to +105°C	200 MHz	3M Bit	4M Bit	144-Lead LQFP_EP	SW-144-1
ADSP-21366KBC-1AA ^{4, 5}	0°C to +70°C	333 MHz	3M Bit	4M Bit	136-Ball CSP_BGA	BC-136
ADSP-21366KBCZ-1AA ^{3, 4, 5}	0°C to +70°C	333 MHz	3M Bit	4M Bit	136-Ball CSP_BGA	BC-136
ADSP-21366KSWZ-1AA ^{3, 4, 5}	0°C to +70°C	333 MHz	3M Bit	4M Bit	144-Lead LQFP_EP	SW-144-1
ADSP-21366BBC-1AA ^{4, 5}	−40°C to +85°C	333 MHz	3M Bit	4M Bit	136-Ball CSP_BGA	BC-136
ADSP-21366BBCZ-1AA ^{3, 4, 5}	−40°C to +85°C	333 MHz	3M Bit	4M Bit	136-Ball CSP_BGA	BC-136
ADSP-21366BSWZ-1AA ^{3, 4, 5}	−40°C to +85°C	333 MHz	3M Bit	4M Bit	144-Lead LQFP_EP	SW-144-1
ADSP-21366YSWZ-2AA ^{3, 4, 5}	−40°C to +105°C	200 MHz	3M Bit	4M Bit	144-Lead LQFP_EP	SW-144-1

¹基準温度は周囲温度。

²これらの製品に対しては DTLA からライセンスが必要です。

³Z = RoHS 準拠製品。

⁴チップセットの一部として販売され、必要なソフトウェアとバンドルされている広範囲なオーディオ・アルゴリズムの組み合わせで使用可能。すべてのリストについては、当社のウェブサイト <http://www.analog.com/jp/embedded-processing-dsp/share/processors/index.html> をご覧ください。

⁵これらの製品に対しては Dolby Laboratories, Inc., と Digital Theater Systems (DTS)からのライセンスが必要です。