



-300 mA、超低ノイズ、高 PSRR 低ドロップアウト・リニア電圧レギュレータ

データシート

ADP7183

特長

入力電圧範囲: -2.0 V ~ -5.5 V
最大出力電流: -300 mA
固定出力電圧のオプション: -0.5 V ~ -4.5 V
 $V_{IN} \sim 0.5$ V に調整可能な出力
低ノイズ出力: 4 μ V rms、100 Hz ~ 100 kHz
ノイズ・スペクトル密度: 10 kHz ~ 1 MHz で 20 nV/ $\sqrt{\text{Hz}}$
-300 mA の負荷での電源変動除去比 (PSRR)
10 kHz で 75 dB (代表値)
100 kHz で 62 dB (代表値)
1 MHz で 40 dB (代表値)
低ドロップアウト電圧: $I_{OUT} = -300$ mA で -130 mV (代表値)
初期出力電圧の精度 (V_{OUT}): $I_{OUT} = -10$ mA で ± 0.5 %
ライン、負荷、温度に対する出力電圧精度: ± 2.6 %
動作電源電流 (I_{GND}) 無負荷で -0.6 mA (代表値)
低シャットダウン電流: $V_{IN} = -5.5$ V で -2 μ A (代表値)
4.7 μ F の小型セラミック入出力コンデンサで安定
正または負のイネーブル・ロジック
電流制限と熱過負荷保護
8 ピン、2 mm $\times$ 2 mm の LFCSP パッケージ
ADIsimPOWER 設計ツールによるサポート

アプリケーション

ノイズに敏感なアプリケーションのレギュレーション。A/D コンバータ (ADC)、D/A コンバータ (DAC)、高精度アンプ。
通信およびインフラストラクチャ
医療機器、健康機器
工業用機器、計装機器

概要

ADP7183 は、-2.0 V ~ -5.5 V で動作し、最大 -300 mA の電流を出力する CMOS (相補型金属酸化半導体)、LDO (低ドロップアウト) リニア電圧レギュレータです。この LDO 電圧レギュレータは、-0.5 V ~ -4.5 V で動作する高性能アナログ回路やミックスド・シグナル回路を調整するのに最適です。ADP7183 は、当社独自の最新アーキテクチャを採用して高い PSRR と低ノイズを実現しています。4.7 μ F の小型セラミック出力コンデンサで、優れたライン過渡応答と負荷過渡応答を実現しています。

ADP7183 には、15 の固定出力電圧オプションがあります。以下の電圧の製品を標準在庫品として提供しています。-0.5 V、-1.0 V、-1.2 V、-1.5 V、-1.8 V、-2.0 V、-2.5 V、-3.0 V、-3.3 V

代表的なアプリケーション回路

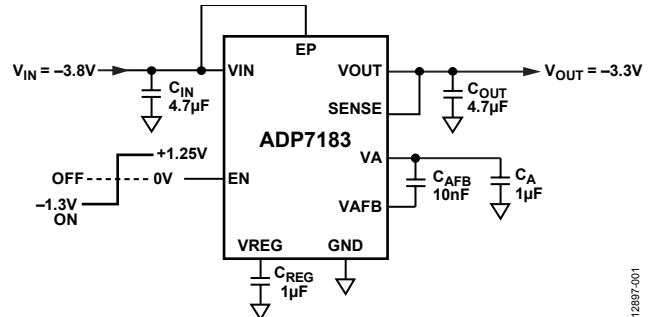


図 1. 固定出力電圧 $V_{OUT} = -3.3$ V の ADP7183

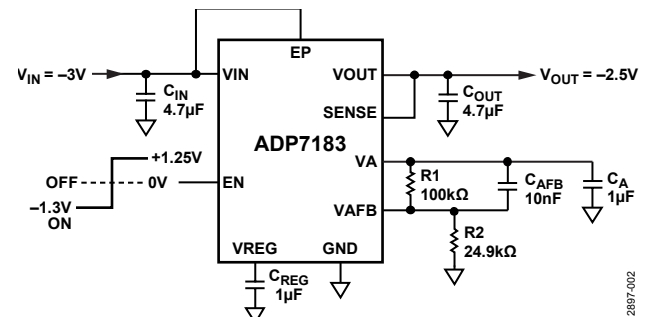


図 2. 可変出力電圧 $V_{OUT} = -2.5$ V の ADP7183

特別注文により、-0.8 V、-0.9 V、-1.3 V、-2.8 V、-4.2 V、-4.5 V の電圧の製品も提供しています。-0.5 V ~ $-V_{IN} + 0.5$ V の範囲の出力が可能な外付け抵抗分圧器の付いた可変バージョンもご利用いただけます。

イネーブルロジック機能により、正または負のロジック・レベルに接続でき、最大限の柔軟性を発揮できます。

ADP7183 レギュレータの出力ノイズは、出力電圧に関係なく 4 μ V rms です。ADP7183 は 8 ピン 2 mm $\times$ 2 mm の LFCSP パッケージを採用しているため、非常に小型のソリューションが実現します。また、フットプリントが小さく、低プロファイルのパッケージで -300 mA までの出力電流を必要とするアプリケーションに対して優れた熱性能も提供します。

アナログ・デバイセス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2016 Analog Devices, Inc. All rights reserved.

アナログ・デバイセス株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長.....	1	動作原理.....	13
アプリケーション.....	1	可変モードの動作.....	13
代表的なアプリケーション回路.....	1	イネーブル・ピンの動作.....	13
概要.....	1	スタートアップ時間.....	14
改訂履歴.....	2	アプリケーション情報.....	15
仕様.....	3	ADIsimPower 設計ツール.....	15
入力コンデンサと出力コンデンサの推奨仕様.....	4	コンデンサの選択.....	15
絶対最大定格.....	5	低電圧ロックアウト (UVLO)	16
熱データ.....	5	電流制限および熱過負荷保護.....	16
熱抵抗.....	5	熱に関する考慮事項.....	17
ESD に関する注意.....	5	基板レイアウトに関する考慮事項.....	18
ピン配置およびピン機能の説明.....	6	外形寸法.....	19
代表的な性能特性.....	7	オーダー・ガイド.....	19

改訂履歴

10/2016—Revision 0: Initial Version

仕様

特に指定がない限り、 $V_{IN} = (V_{OUT} - 0.5 \text{ V})$ または -2 V のいずれか大きい方、 $EN = V_{IN}$ 、 $I_{OUT} = -10 \text{ mA}$ 、 $C_{IN} = C_{OUT} = 4.7 \mu\text{F}$ 、 $C_{AFB} = 10 \text{ nF}$ 、 $C_A = C_{REG} = 1 \mu\text{F}$ 、代表値は $T_A = 25 \text{ }^\circ\text{C}$ 、最大値/最小値は $T_J = -40 \text{ }^\circ\text{C} \sim +125 \text{ }^\circ\text{C}$ 。

表 1.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT VOLTAGE RANGE	V_{IN}		-2.0		-5.5	V
OPERATING SUPPLY CURRENT	I_{GND}	$I_{OUT} = 0 \mu\text{A}$		-0.6	-0.90	mA
		$I_{OUT} = -300 \text{ mA}$		-4.0	-7.0	mA
SHUTDOWN CURRENT	I_{GND-SD}	$EN = GND$, $V_{IN} = -5.5 \text{ V}$		-2	-7	μA
OUTPUT NOISE ¹	OUT_{NOISE}	10 Hz to 100 kHz, $C_{AFB} = 1 \text{ nF}$		7		$\mu\text{V rms}$
		10 Hz to 100 kHz, $C_{AFB} = 10 \text{ nF}$		5		$\mu\text{V rms}$
		100 Hz to 100 kHz, $C_{AFB} = 1 \text{ nF}$		6		$\mu\text{V rms}$
		100 Hz to 100 kHz, $C_{AFB} = 10 \text{ nF}$		4		$\mu\text{V rms}$
NOISE SPECTRAL DENSITY ¹	OUT_{NSD}	100 Hz, $C_{AFB} = 1 \text{ nF}$		300		$\text{nV}/\sqrt{\text{Hz}}$
		100 Hz, $C_{AFB} = 10 \text{ nF}$		100		$\text{nV}/\sqrt{\text{Hz}}$
		10 kHz to 1 MHz, $C_{AFB} = 1 \text{ nF}$ to $1 \mu\text{F}$		20		$\text{nV}/\sqrt{\text{Hz}}$
POWER SUPPLY REJECTION RATIO ¹	PSRR	$I_{OUT} = -300 \text{ mA}$, $V_{OUT} = -3.3 \text{ V}$, $V_{IN} = -3.8 \text{ V}$				
		At 1 kHz		85		dB
		At 10 kHz		75		dB
		At 100 kHz		62		dB
OUTPUT VOLTAGE Output Voltage Accuracy	V_{OUT}	$I_{OUT} = -10 \text{ mA}$	-0.5		-4.5	V
		$-1 \text{ mA} < I_{OUT} < -300 \text{ mA}$,	-0.5		+0.5	%
		$V_{IN} = (V_{OUT} - 0.5 \text{ V})$ to -5.5 V	-2.6		+2.6	%
OUTPUT VOLTAGE REFERENCE FEEDBACK V_{AFB} Accuracy	V_{AFB}	Adjustable model voltage reference	-0.487	-0.5	-0.513	V
		Adjustable model, $V_{IN} = -2 \text{ V}$, $I_{OUT} = -10 \text{ mA}$	-2.6		+2.6	%
REGULATION Line Load ²	$\Delta V_{OUT}/\Delta V_{IN}$ $\Delta V_{OUT}/\Delta I_{OUT}$	$V_{IN} = (V_{OUT} - 0.5 \text{ V})$ to -5.5 V	-0.1		+0.3	%/V
		$I_{OUT} = -1 \text{ mA}$ to -300 mA		0.8	2.6	%/A
INPUT BIAS CURRENT SENSE V_{AFB}	$SENSE_{I-BIAS}$ $V_{AFB-BIAS}$	$-1 \text{ mA} < I_{OUT} < -300 \text{ mA}$, $V_{IN} = (V_{OUT} - 0.5 \text{ V})$ to -5.5 V		-10		nA
		$-1 \text{ mA} < I_{OUT} < -300 \text{ mA}$, $V_{IN} = (V_{OUT} - 0.5 \text{ V})$ to -5.5 V		-10		nA
DROPOUT VOLTAGE ³	$V_{DROPOUT}$	$I_{OUT} = -100 \text{ mA}$	-40		-65	mV
		$I_{OUT} = -300 \text{ mA}$	-130		-220	mV
PULL-DOWN RESISTANCE Output Voltage Regulated Input Supply Voltage Low Noise Reference Voltage	$V_{OUT-PULL}$	$V_{EN} = 0 \text{ V}$ $V_{OUT} = -1 \text{ V}$		280		Ω
	$V_{REG-PULL}$	$V_{REG} = -1 \text{ V}$		1.3		k Ω
	V_{A-PULL}	$V_A = -1 \text{ V}$		50		Ω
START-UP TIME ⁴	$t_{START-UP}$	$V_{OUT} = -4.5 \text{ V}$, $C_{AFB} = 1 \text{ nF}$, $C_A = 1 \mu\text{F}$		15		ms
		$V_{OUT} = -4.5 \text{ V}$, $C_{AFB} = 10 \text{ nF}$, $C_A = 1 \mu\text{F}$		55		ms
		$V_{OUT} = -1.2 \text{ V}$, $C_{AFB} = 1 \text{ nF}$, $C_A = 1 \mu\text{F}$		4		ms
		$V_{OUT} = -1.2 \text{ V}$, $C_{AFB} = 10 \text{ nF}$, $C_A = 1 \mu\text{F}$		10		ms
		$V_{OUT} = -0.5 \text{ V}$, no C_{AFB} , $C_A = 1 \mu\text{F}$		1.5		ms
CURRENT-LIMIT THRESHOLD ⁵	I_{LIMIT}		-400	-600	-800	mA
THERMAL SHUTDOWN Threshold Hysteresis	TS_{SD}	T_J rising		150		$^\circ\text{C}$
	TS_{SD-HYS}			15		$^\circ\text{C}$

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
UNDERVOLTAGE LOCKOUT THRESHOLDS						
Input Voltage						
Rising	UVLO _{RISE}				-1.77	V
Falling	UVLO _{FALL}		-1.58			V
Hysteresis	UVLO _{HYS}			90		mV
EN INPUT (NEGATIVE)		-2 V ≤ V _{IN} ≤ -5.5 V				
Logic High	V _{EN-NEG-HIGH}	V _{OUT} = off to on	-1.3	-1.16		V
Logic Low	V _{EN-NEG_LOW}	V _{OUT} = on to off		-0.96	-0.88	V
Hysteresis	EN _{HYS-NEG}			191		mV
Leakage Current	I _{EN-LKG}	EN = V _{IN} or GND		-0.25		μA
EN INPUT (POSITIVE)		-2 V ≤ V _{IN} ≤ -5.5 V				
Logic High	V _{EN-POS-HIGH}	V _{OUT} = off to on		0.96	1.25	V
Logic Low	V _{EN-POS-LOW}	V _{OUT} = on to off	0.5	0.89		V
Leakage Current	I _{EN-LKG}	V _{EN} = 5 V, V _{IN} = -5.5 V		4.0	6.0	μA

¹ 特性評価で確認されていますが、出荷テストの対象外です。

² -1 mA と -300 mA の負荷を使用したエンドポイント計算に基づいています。

³ ドロップアウト電圧は、入力電圧を公称出力電圧に設定したときの入力電圧と出力電圧間の電圧差として定義されます。ドロップアウト電圧は、-2 V を下回る出力電圧に対してのみ適用されます。

⁴ スタートアップ時間は、EN の立上がりエッジから V_{OUT} が公称値の 90 % になるまでの時間として定義されます。

⁵ 電流制限の閾値は、出力電圧が規定代表値の 90 % に低下する電流値として定義されます。例えば、-3.0 V の出力電圧の電流制限閾値は、出力電圧が -3.0 V の 90 % (-2.7 V) に低下する電流値として定義されます。

入力コンデンサと出力コンデンサの推奨仕様

表 2.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
CAPACITANCE		T _A = -40°C to +125°C				
Minimum C _{IN} and C _{OUT} Capacitance ¹	C _{IN} , C _{OUT}		3.3	4.7		μF
Minimum C _A and C _{REG} Capacitance ²	C _A , C _{REG}		0.7	1		μF
Minimum C _{AFB} Capacitance ³	C _{AFB}		0.7	10		nF
Capacitor Equivalent Series Resistance (ESR)	R _{ESR}				0.1	Ω

¹ 最小入力容量と最小出力容量は、動作条件の全範囲にわたり 3.3 μF より大きい必要があります。X7R タイプと X5R タイプのコンデンサの使用を推奨します。Y5V コンデンサと Z5U コンデンサは、すべての低ドロップアウト・レギュレータには推奨できません。

² C_A と C_{REG} の最小容量は、動作条件の全範囲で 0.7 μF より大きい必要があります。X7R タイプと X5R タイプのコンデンサの使用を推奨します。Y5V コンデンサと Z5U コンデンサは、すべての低ドロップアウト・レギュレータには推奨できません。

³ C_{AFB} の最小容量は、動作条件の全範囲にわたり 0.7 μF より大きい必要があります。X7R タイプと X5R タイプのコンデンサの使用を推奨します。Y5V コンデンサと Z5U コンデンサは、すべての低ドロップアウト・レギュレータには推奨できません。

絶対最大定格

表 3.

Parameter	Rating
VIN to GND	+0.3 V to −6 V
VOOUT to GND	+0.3 V to −VIN
EN to GND	+5.0 V to −6 V
VA to GND	+0.3 V to −6 V
VAFB to GND	+0.3 V to −6 V
VREG to GND	+0.3 V to −2.16 V
SENSE to GND	+0.3 V to −6 V
Storage Temperature Range	−65°C to +150°C
Operating Junction Temperature Range	−40°C to +125°C
Soldering Conditions	JEDEC J-STD-020

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この仕様規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。製品を長時間にわたり絶対最大定格状態に置くと、製品の信頼性に影響を与えることがあります。

熱データ

絶対最大定格は、組み合わせてではなく個別に適用されます。ジャンクション温度を超えると、ADP7183 が損傷を受けることがあります。周囲温度を監視しても、T_J が仕様規定の温度内とは限らない場合があります。消費電力が大きく、熱抵抗が高いアプリケーションでは、最大周囲温度を下げる必要があります。

中程度の消費電力で、プリント回路基板（PCB）の熱抵抗が低いアプリケーションでは、ジャンクション温度が規定値内にある限り、最大周囲温度がこの最大値を超えてもかまいません。デバイスのジャンクション温度（T_J）は、周囲温度（T_A）、デバイスの消費電力（P_D）、パッケージのジャンクション-周囲間の熱抵抗（θ_{JA}）に依存します。

ジャンクション温度（T_J）は、次式を使って周囲温度（T_A）と消費電力（P_D）から計算します。

T_J = T_A + (P_D × θ_JA)

パッケージのジャンクション-周囲間の熱抵抗（θ_{JA}）は、4層ボードを使ったモデリングと計算に基づいています。ジャンクション-周囲間の熱抵抗は、アプリケーションとボード・レイアウトに強く依存します。最大消費電力が大きいアプリケーションでは、ボードの熱設計に注意が必要です。θ_{JA} 値は、PCB 材料、レイアウト、環境条件に依存して変化します。θ_{JA} の仕様規定値は、4層の4インチ×3インチ回路基板に基づいています。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

表 4. 熱抵抗

Package Type	θJA	θJC	Unit
CP-8-27 ¹	68.8	10.0	°C/W

¹ 熱抵抗のシミュレーション値は、4つのサーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD51 を参照

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないうまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

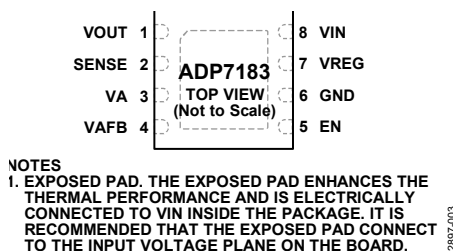


図 3. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1	VOUT	レギュレーションされた出力電圧。4.7 μ F 以上のコンデンサで VOUT ピンを GND ピンへバイパスします。
2	SENSE	検出入力。このピンは VOUT ピンに接続します。
3	VA	低ノイズ・リファレンス電圧。ノイズを減らすため、GND との間に 1 μ F のコンデンサを接続します。グラウンドとの間に負荷を接続しないでください。
4	VAFB	出力電圧リファレンスのフィードバック（調整モード）ノイズを減らすため、VAFB ピンと VA ピンの間に 1 nF ～ 1 μ F のコンデンサを接続します。セットアップ時間は、容量の機能によって増加します。VA ピンと VAFB ピンの間に外付け抵抗分圧器を接続し、調整モードで出力電圧を設定します。
5	EN	イネーブル。グラウンドを +1.25 V 上回る電圧、または -1.3 V 下回る電圧で EN を駆動してレギュレータを有効にするか、EN をグラウンドまで駆動してレギュレータをオフにします。自動スタートアップの場合は、EN を VIN に接続します。
6	GND	グラウンド。
7	VREG	安定化された LDO アンプの入力電源。1 μ F 以上のコンデンサで VREG を GND へバイパスします。グラウンドとの間に負荷を接続しないでください。
8	VIN EP	レギュレータの入力電源。VIN と GND の間に 4.7 μ F 以上のコンデンサを接続してバイパスします。 露出パッド。露出パッドは熱性能を強化し、パッケージ内部で VIN に電気的に接続されています。露出パッドは、ボードの入力電圧プレーンに接続することが推奨されます。

代表的な性能特性

特に指定のない限り、 $V_{IN} = -3.8\text{ V}$ 、 $V_{OUT} = -3.3\text{ V}$ 、 $I_{OUT} = -10\text{ mA}$ 、 $C_{IN} = C_{OUT} = 4.7\text{ }\mu\text{F}$ 、 $C_{AFB} = 10\text{ nF}$ 、 $C_A = C_{REG} = 1\text{ }\mu\text{F}$ 、 $T_A = 25\text{ }^\circ\text{C}$ 。

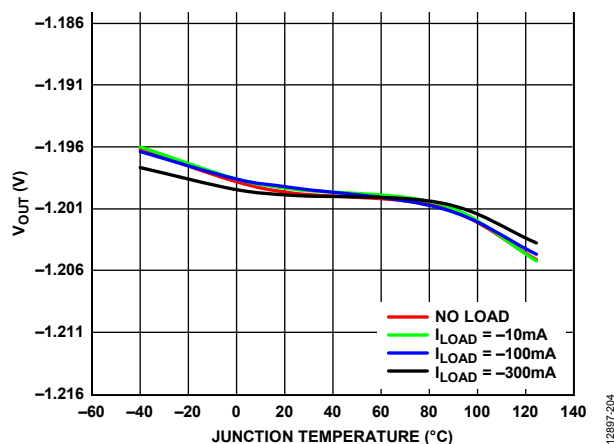


図 4. 出力電圧 (V_{OUT}) のジャンクション温度特性、 $V_{OUT} = -1.2\text{ V}$

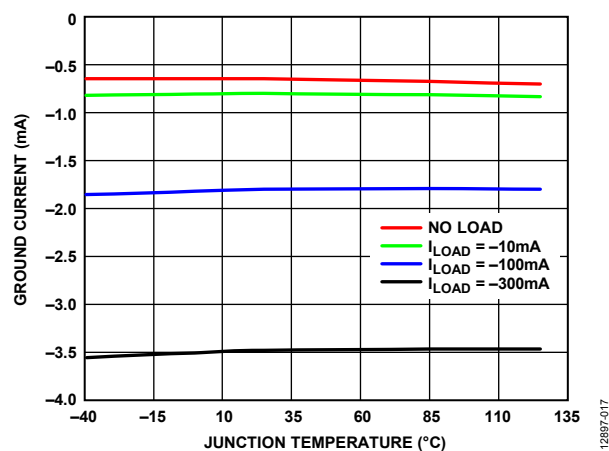


図 7. グラウンド電流のジャンクション温度特性 (T_J)、 $V_{OUT} = -1.2\text{ V}$

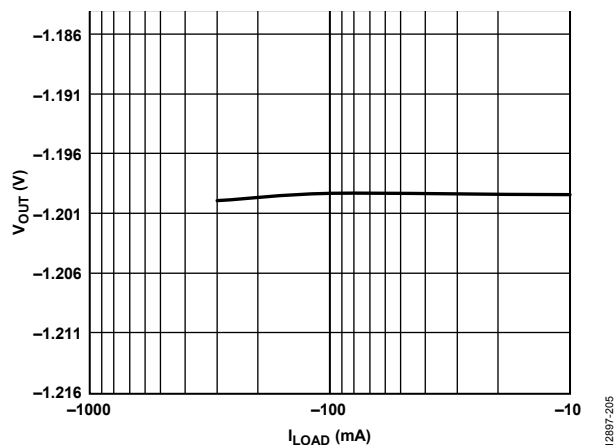


図 5. 出力電圧 (V_{OUT}) と負荷電流 (I_{LOAD}) の関係、 $V_{OUT} = -1.2\text{ V}$

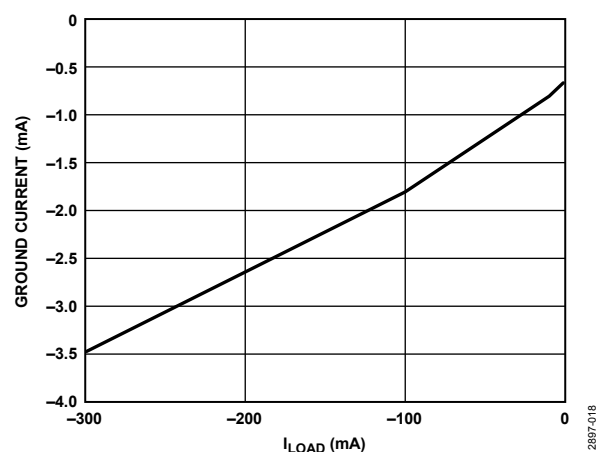


図 8. グラウンド電流と負荷電流 (I_{LOAD}) の関係、 $V_{OUT} = -1.2\text{ V}$

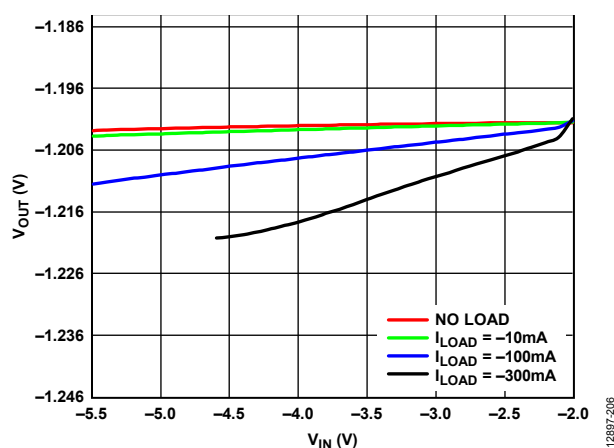


図 6. 出力電圧 (V_{OUT}) と入力電圧 (V_{IN}) の関係、 $V_{OUT} = -1.2\text{ V}$

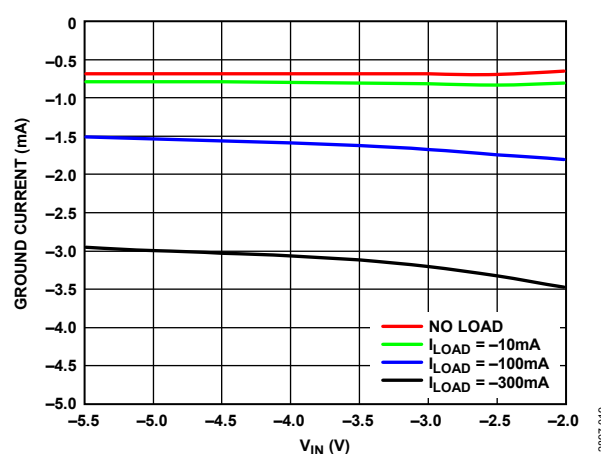


図 9. 入力電圧 (V_{IN}) とグラウンド電流の関係、 $V_{OUT} = -1.2\text{ V}$

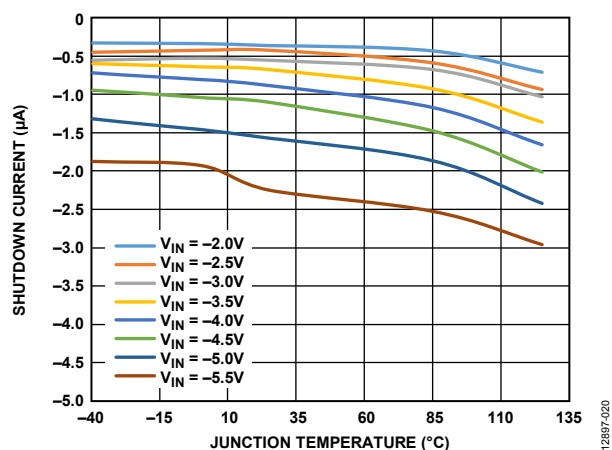


図 10. 各種入力電圧でのジャンクション温度とシャットダウン電流の関係、V_{OUT} = -1.2 V

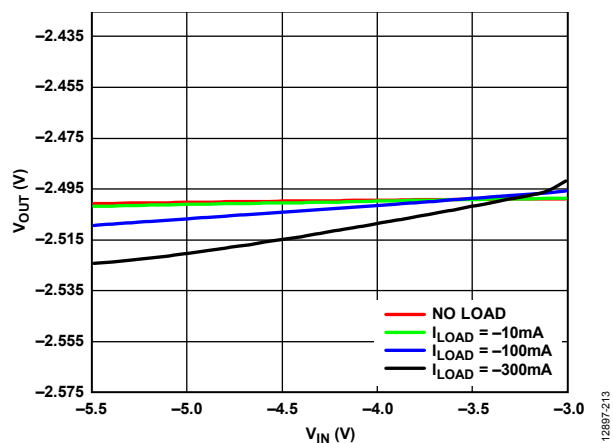


図 13. 出力電圧 (V_{OUT}) と入力電圧 (V_{IN}) の関係、V_{OUT} = -2.5 V

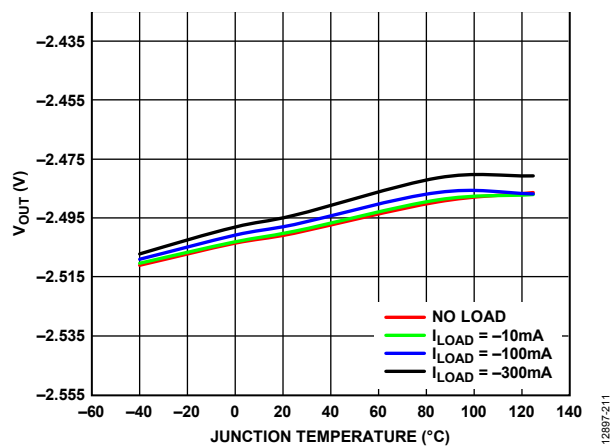


図 11. 出力電圧 (V_{OUT}) のジャンクション温度特性 (T_J)、V_{OUT} = -2.5 V

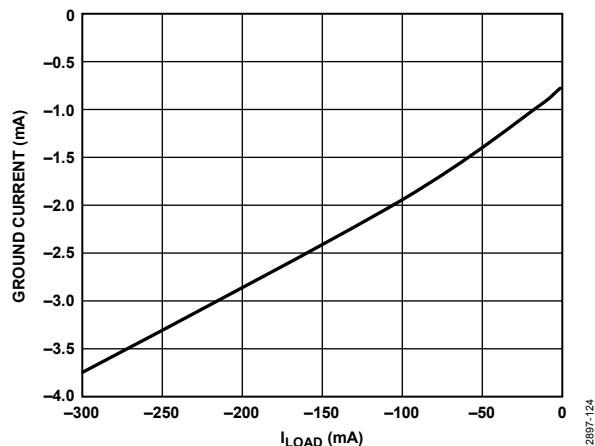


図 14. グラウンド電流と負荷電流 (I_{LOAD}) の関係、V_{OUT} = -2.5 V

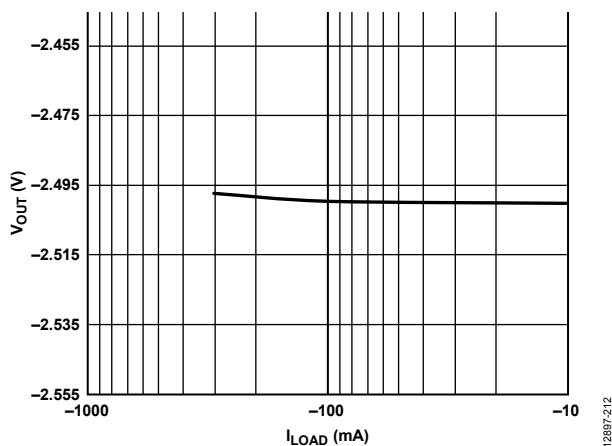


図 12. 出力電圧 (V_{OUT}) と負荷電流 (I_{LOAD}) の関係、V_{OUT} = -2.5 V

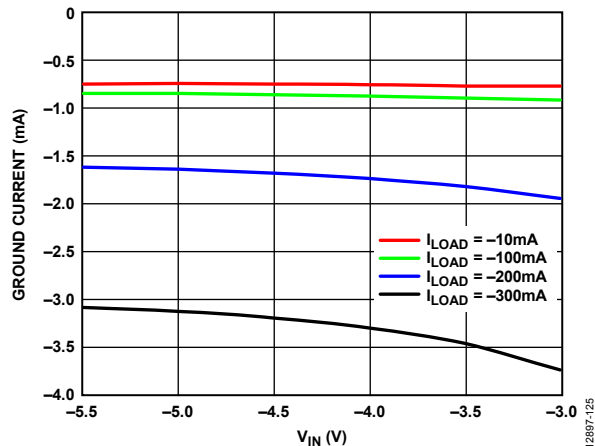


図 15. 入力電圧 (V_{IN}) とグラウンド電流の関係、V_{OUT} = -2.5 V

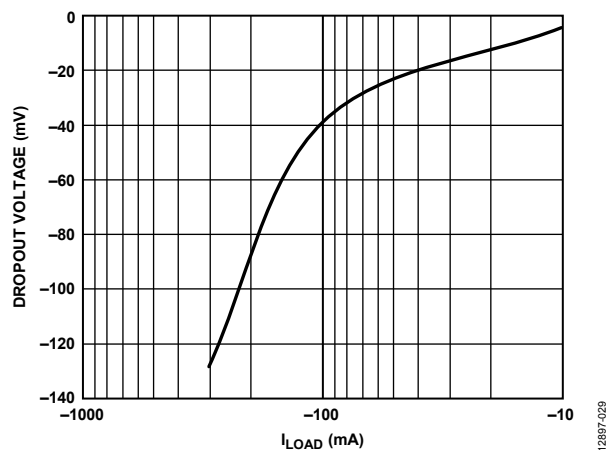


図 16. ドロップアウト電圧 (I_{LOAD}) と負荷電流 (I_{LOAD}) の関係、 $V_{OUT} = -2.5 V$

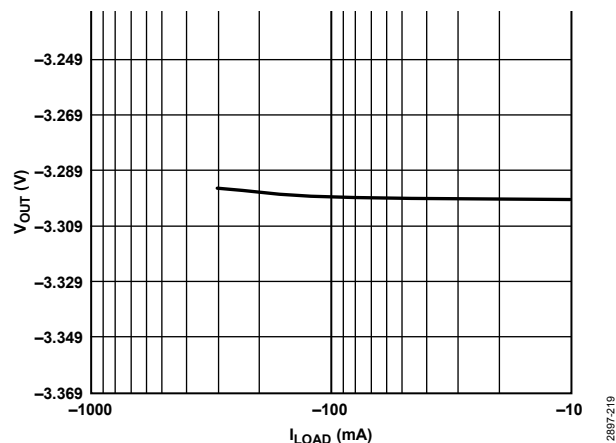


図 19. 出力電圧 (V_{OUT}) と負荷電流 (I_{LOAD}) の関係、 $V_{OUT} = -3.3 V$

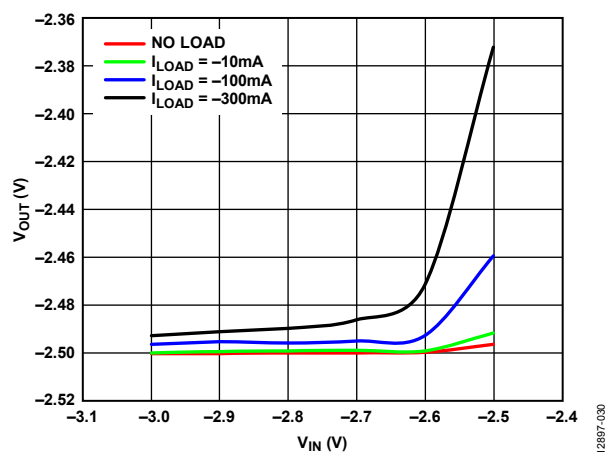


図 17. ドロップアウト時の様々な負荷での出力電圧 (V_{OUT}) と入力電圧 (V_{IN}) の関係、 $V_{OUT} = -2.5 V$

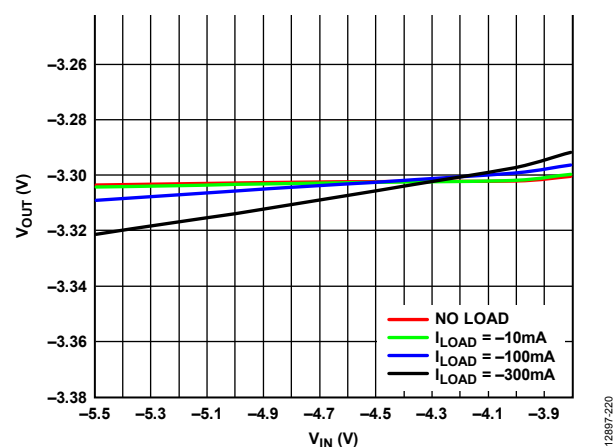


図 20. 出力電圧 (V_{OUT}) と入力電圧 (V_{IN}) の関係、 $V_{OUT} = -3.3 V$

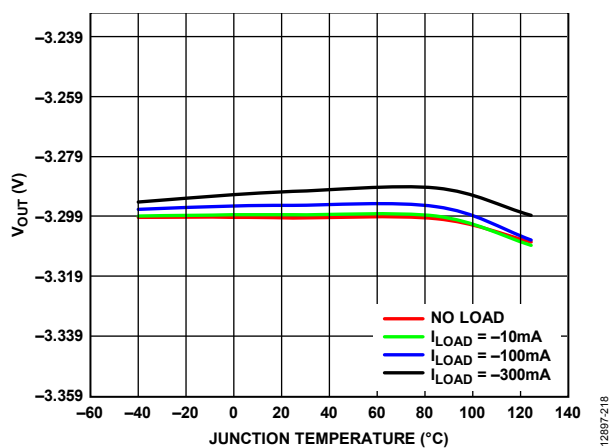


図 18. 出力電圧 (V_{OUT}) のジャンクション温度特性 (T_J)、 $V_{OUT} = -3.3 V$

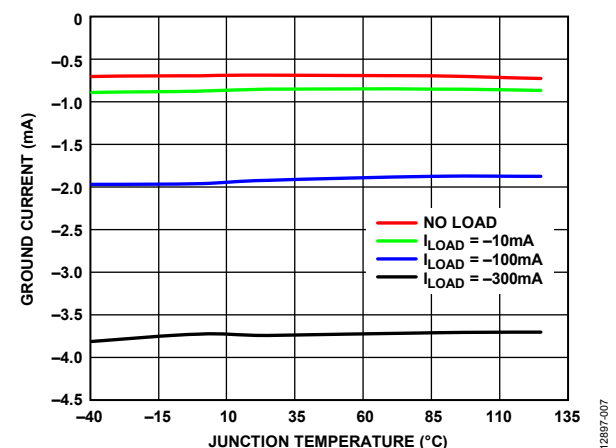


図 21. グラウンド電流のジャンクション温度特性 (T_J)、 $V_{OUT} = -3.3 V$

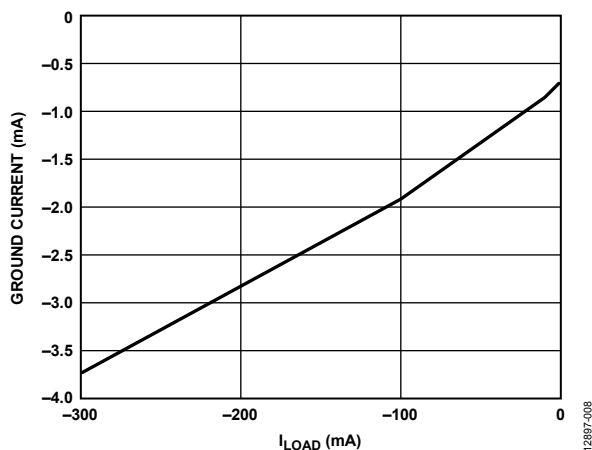


図 22. グラウンド電流と負荷電流 (I_{LOAD}) の関係、 $V_{OUT} = -3.3$ V

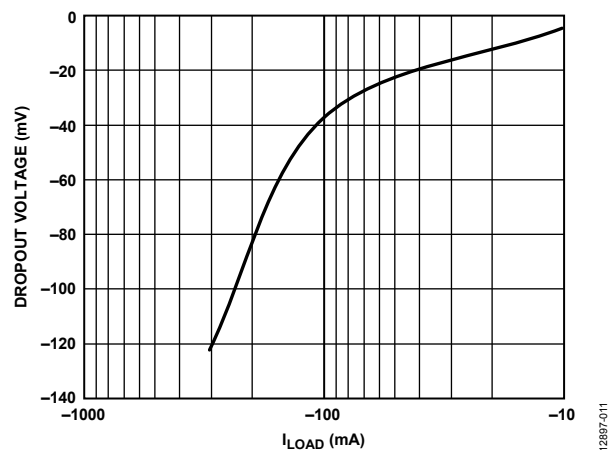


図 25. ドロップアウト電圧 (I_{LOAD}) と負荷電流 (I_{LOAD}) の関係、 $V_{OUT} = -3.3$ V

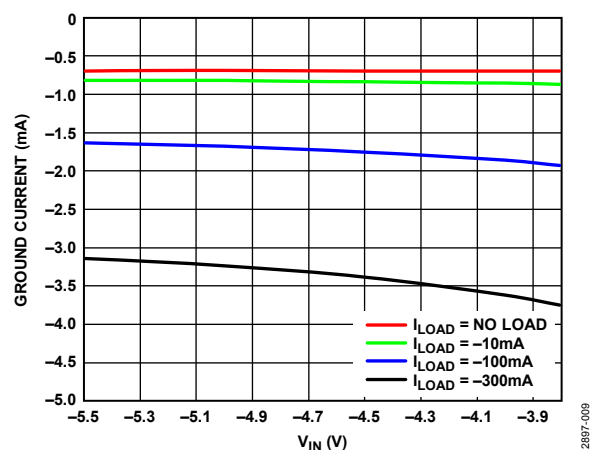


図 23. 入力電圧 (V_{IN}) とグラウンド電流の関係、 $V_{OUT} = -3.3$ V

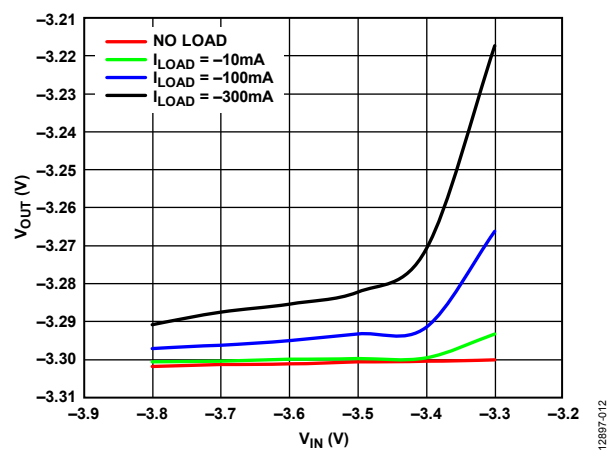


図 26. ドロップアウト時の様々な負荷での出力電圧 (V_{OUT}) と入力電圧 (V_{IN}) の関係、 $V_{OUT} = -3.3$ V

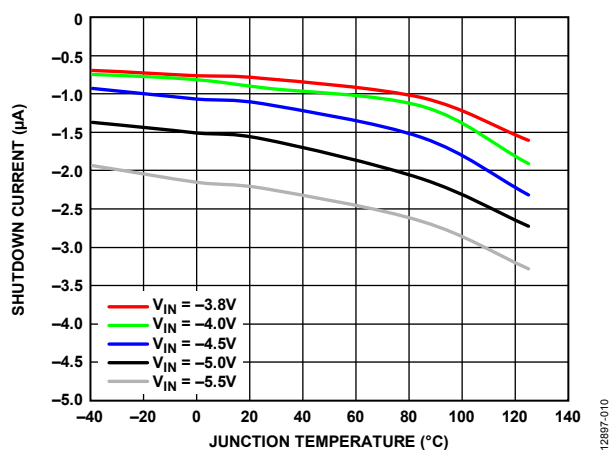


図 24. 各種入力電圧でのジャンクション温度 (T_J) とシャットダウン電流の関係、 $V_{OUT} = -3.3$ V

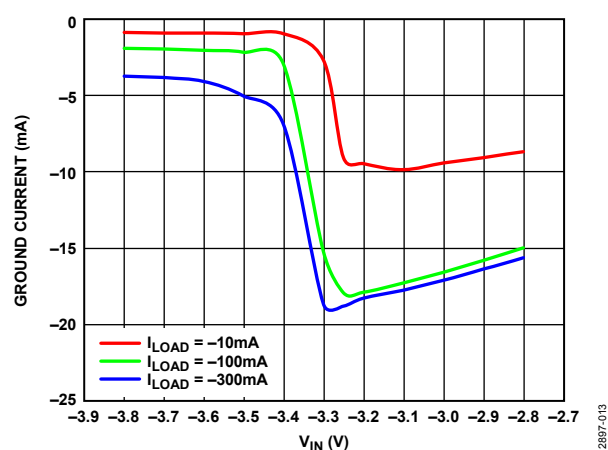


図 27. 様々な負荷でのグラウンド電流と入力電圧 (V_{IN}) の関係、 $V_{OUT} = -3.3$ V

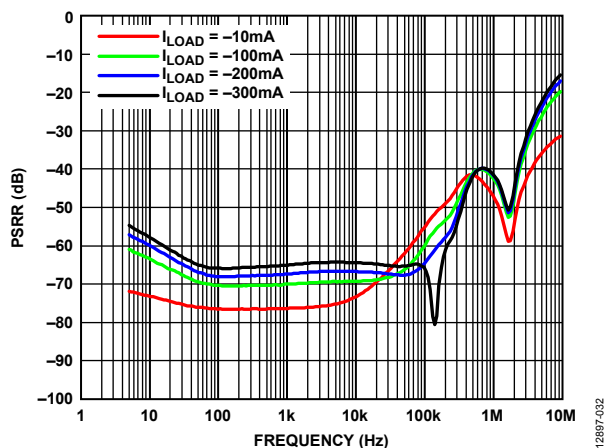


図 28. 様々な負荷での電源変動除去比 (PSRR) の周波数特性、 $V_{OUT} = -1.2\text{ V}$ 、 $V_{IN} = -2\text{ V}$

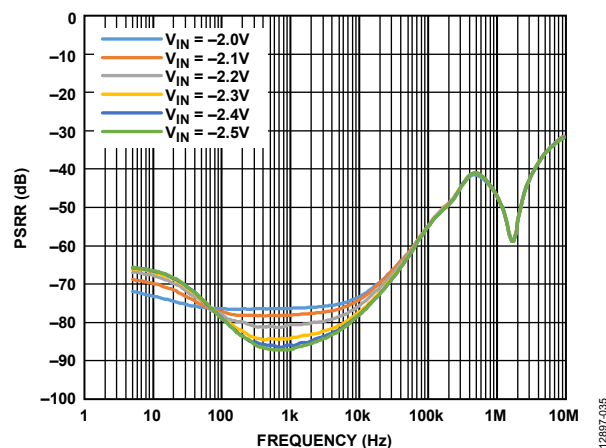


図 31. 各種入力電圧での電源電圧変動除去比 (PSRR) の周波数特性、 $V_{OUT} = -1.2\text{ V}$ 、 $I_{LOAD} = -300\text{ mA}$

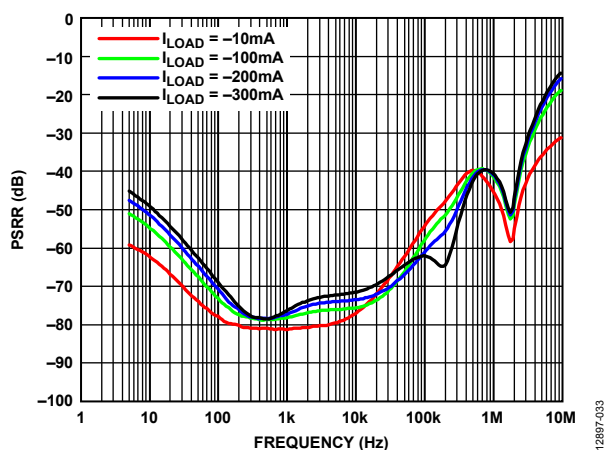


図 29. 様々な負荷での電源変動除去比 (PSRR) の周波数特性、 $V_{OUT} = -2.5\text{ V}$ 、 $V_{IN} = -3\text{ V}$

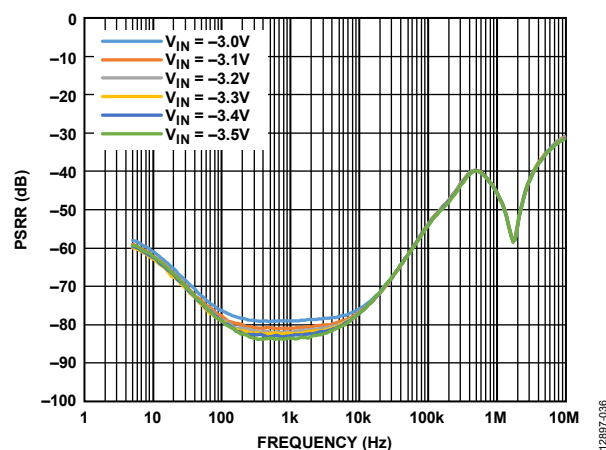


図 32. 各種入力電圧での電源電圧変動除去比 (PSRR) の周波数特性、 $V_{OUT} = -2.5\text{ V}$ 、 $I_{LOAD} = -300\text{ mA}$

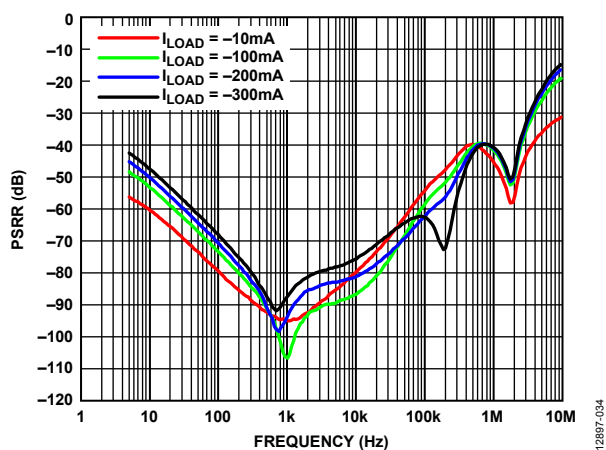


図 30. 様々な負荷での電源変動除去比 (PSRR) の周波数特性、 $V_{OUT} = -3.3\text{ V}$ 、 $V_{IN} = -3.8\text{ V}$

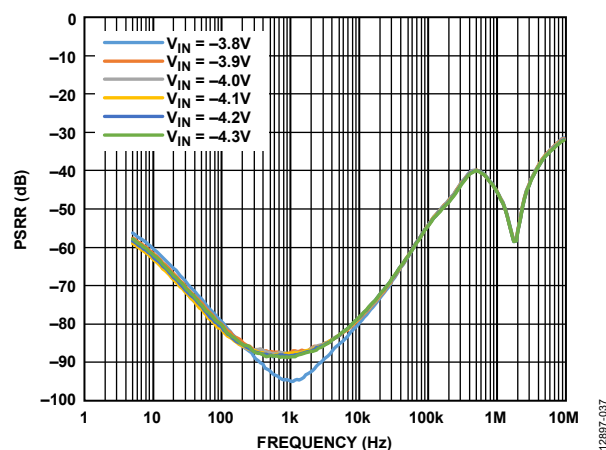


図 33. 各種入力電圧での電源電圧変動除去比 (PSRR) の周波数特性、 $V_{OUT} = -3.3\text{ V}$ 、 $I_{LOAD} = -300\text{ mA}$

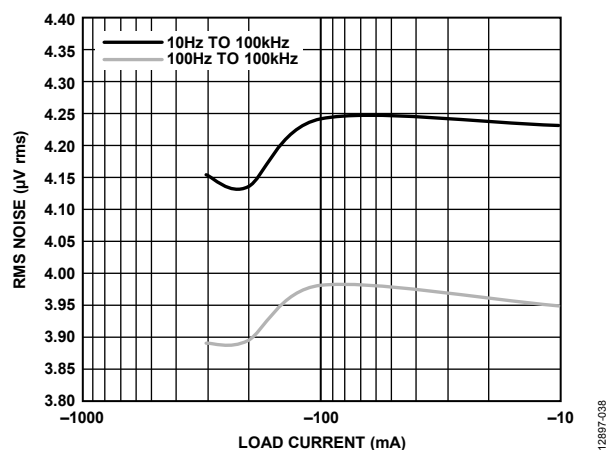


図 34. 各周波数での RMS ノイズと負荷電流 (I_{LOAD}) の関係

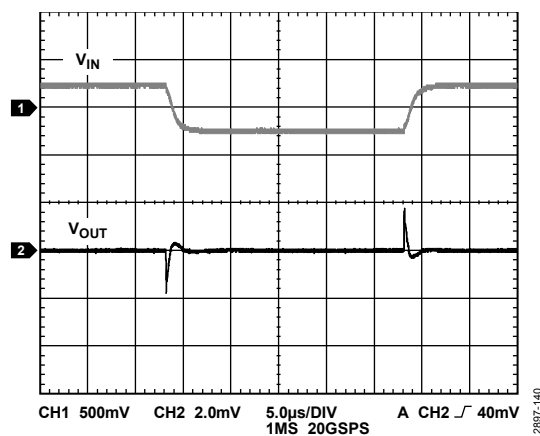


図 37. ライン過渡応答、500 mV ステップ、 $V_{OUT} = -3.3$ V、 $I_{LOAD} = -300$ mA

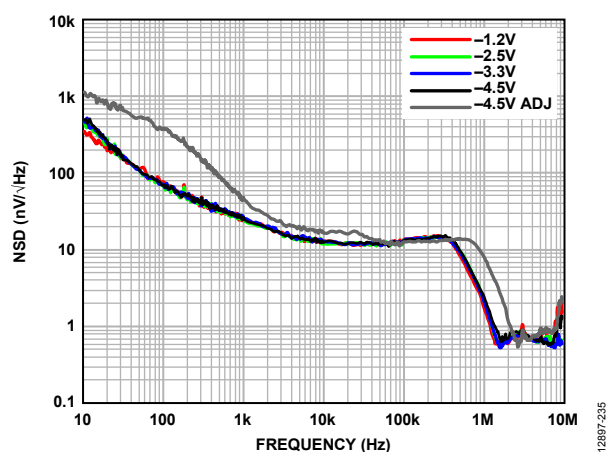


図 35. 各出力電圧でのノイズ・スペクトル密度 (NSD) の周波数特性

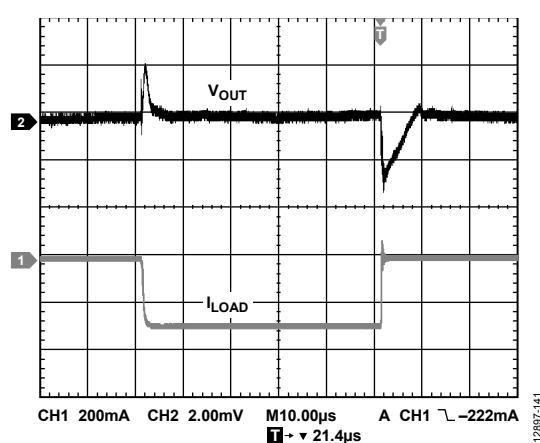


図 38. 負荷過渡応答、 $V_{OUT} = -1.2$ V、 $I_{LOAD} = -10$ mA ~ -300 mA

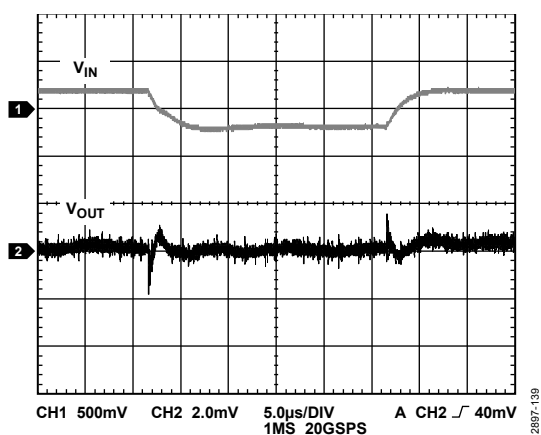


図 36. ライン過渡応答、500 mV ステップ、 $V_{OUT} = -1.2$ V、 $I_{LOAD} = -300$ mA

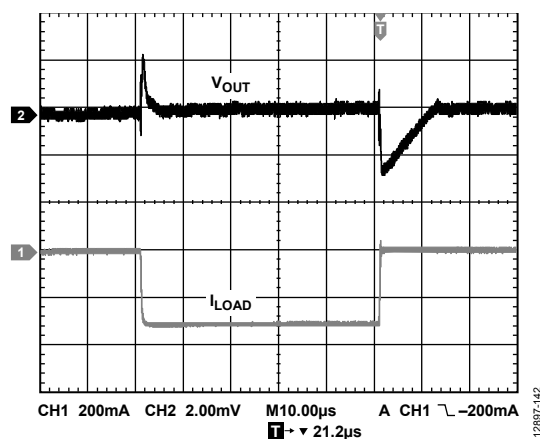


図 39. 負荷過渡応答、 $V_{OUT} = -2.5$ V、 $I_{LOAD} = -10$ mA ~ -300 mA

動作原理

ADP7183 は、-2.0 V ~ -5.5 V で動作し、最大 -300 mA の電流を出力する自己消費電流 LDO リニア電圧レギュレータです。総合積分ノイズは、出力電圧に関係なく 4 $\mu\text{V rms}$ で、高性能のノイズに敏感なアプリケーションに最適です。シャットダウン電流の消費量は -7 μA (最大) です。

ADP7183 は 4.7 μF のセラミック・コンデンサを使用するように最適化されているため、過渡性能が優れています。ADP7183 は、当社独自の最新アーキテクチャを採用して、周波数が高い動作でも、超低ノイズと高い電源変動除去比を実現します。図 40 に ADP7183 の固定出力電圧の内部ブロック図を示し、図 41 に ADP7183 の調整可能な出力電圧内部ブロック図を示します。

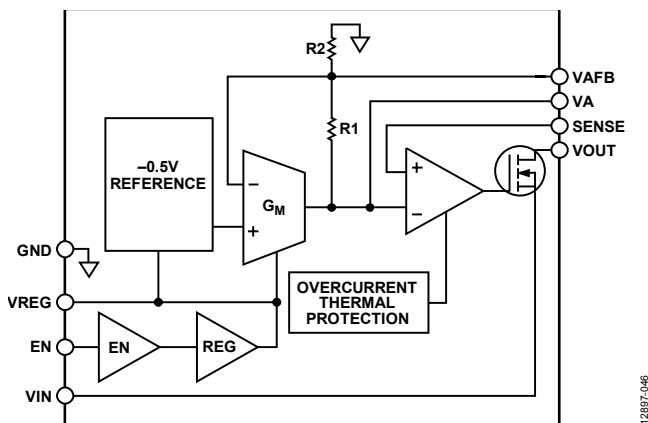


図 40. 固定出力電圧の内部ブロック図

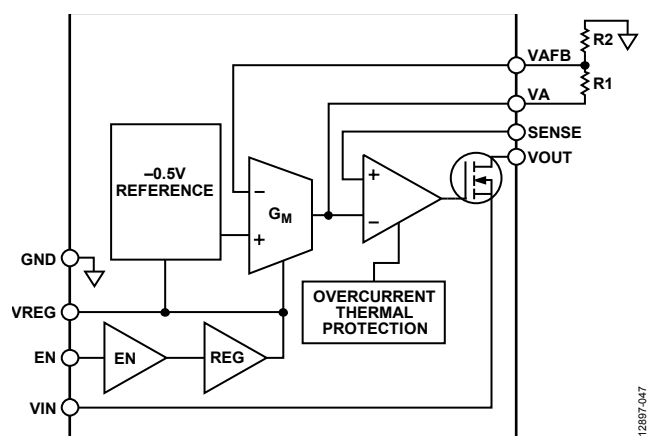


図 41. 調整可能な出力電圧の内部ブロック図

ADP7183 は、レギュレータ・ブロック、リファレンス・ブロック、G_M アンプ、フィードバック分圧器、LDO レギュレータ、N チャネル MOSFET パス・トランジスタで構成されます。レギュレータ・ブロックは、後段にある内部ブロックに電源電圧を供給する -1.8 V の内部電圧レール (V_{REG}) を生成します。G_M アンプは、LDO レギュレータへのリファレンスとして使用するリファレンス電圧 (V_A) を生成します。

固定オプションモデルでは、V_A 電圧が V_{OUT} オプションに応じて、抵抗分圧器の比率によって生成されます。可変モデルでは、V_A ピンと VAFB ピンに外付けで接続される R1 と R2 の抵抗器で V_A 電圧が生成されます。LDO レギュレータのリファレンス電圧は、目的の V_{OUT} に従ってすでに調整されています。このため、LDO レギュレータはバッファ構成で接続され、ノイズ性能が向上します。負荷に引き込む電流が高い場合、LDO レギュレータが NMOS デバイスのゲート電圧を GND に向けて高くすることで、大量の電流を流します。負荷に引き込む電流が低い場合、LDO レギュレータが NMOS デバイスのゲート電圧を -V_{IN} に向けて低くすることで、大量の電流を流します。

可変モードの動作

ADP7183 の可変モード・バージョンでは、外付けの分圧器を使用して、-0.5 V ~ -4.5 V に設定できます。出力電圧は次式で計算します。

$$V_{OUT} = -0.5 \text{ V} \times (1 + R1/R2) \quad (1)$$

図 42 に、R1 = 280 k Ω 、R2 = 49.9 k Ω で出力電圧を -3.3 V に設定した例を示します。

PSRR の性能を最大限に発揮するため、R2 を 10 k Ω にする必要があります。

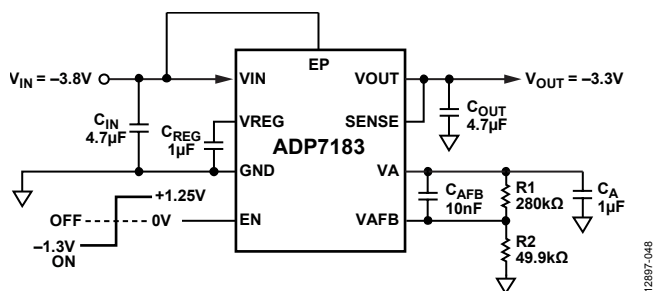


図 42. 調整可能な出力電圧の設定

イネーブル・ピンの動作

ADP7183 では、EN ピンを使って、通常動作状態で VOUT ピンをイネーブル/ディスエーブルします。GND を基準にして EN が +1.25 V を上回る場合、または -1.3 V を下回る場合、VOUT がオンになります。EN が 0 V の場合、VOUT はオフになります (図 43 を参照)。自動スタートアップの場合は、EN を VIN に接続します。

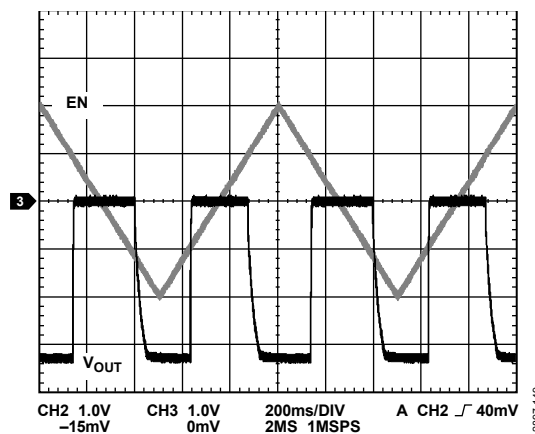


図 43. 代表的な EN ピンの動作

スタートアップ時間

出力が有効な場合、ADP7183 は、内部ソフト・スタートを使用して突入電流を制限します。-1.2 V 出力でのスタートアップ時間は、EN のアクティブ閾値を超過してから出力が最終値の 90 % に達するまでの約 12 ms です（図 44 を参照）。図 44 と図 45 に示すように、スタートアップ時間は、出力電圧のオプションと C_{AFB} コンデンサの値によって決定されます。

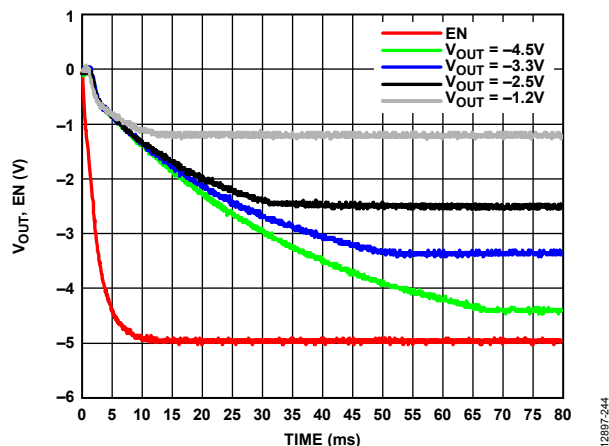


図 44. さまざまな出力電圧でのスタートアップ時間、
 $C_{AFB} = 10 \text{ nF}$ 、 $C_A = 1 \mu\text{F}$

スタートアップ時間の合計は、 τ_1 および τ_2 式で表現される C_A と C_{AFB} の値で決定されます（式 1 と式 2 を参照）。スタートアップ中、内部回路 G_{M_START} がオンになり、 C_A が最終値の 90 % まで充電されるようにします。最初の定数 τ_1 は、 C_A によって次のように計算されます。

$$\tau_1 \approx C_A \times ((R1 + R2) // Z_{OUT}) \quad (2)$$

この時間中、クイック・スタートアップ時間が短くなるよう、 Z_{OUT} を約 1 k Ω に抑え、 τ_1 を 1 ms 程度に保ちます。

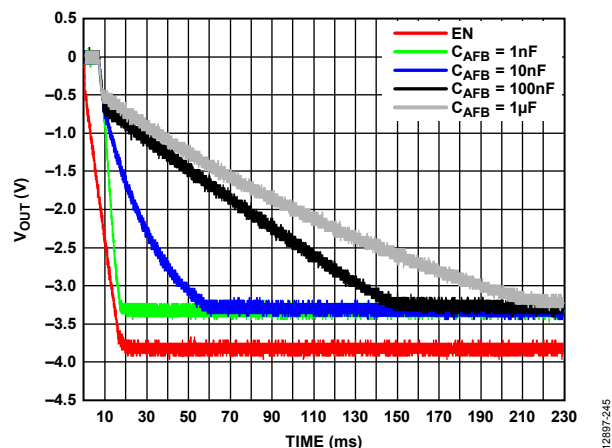


図 45. さまざまな C_{AFB} コンデンサ値でのスタートアップ時間、 $C_A = 1 \mu\text{F}$

2 番目の定数 τ_2 は、主に C_{AFB} によって決定されます。図 45 に、 C_{AFB} 値がスタートアップ時間に与える影響を示します。 τ_2 は次の式で計算します。

$$\tau_2 \approx C_{AFB} \times R1 \quad (3)$$

$R1$ 値のスケールと V_{OUT} オプションの関係。表 6 に、固定出力電圧のオプションによって決定される $R1$ 値を示します。 $R2$ は 500 k Ω で一定です。例えば、 $V_{OUT} = -3.3 \text{ V}$ では、 $R1$ が 2.8 M Ω と等しくなります。 τ_2 を最低限に抑えるため、 C_{AFB} を適切なナノファラッド範囲に設定することが推奨されます。ADP7183 の代表的なセットアップは、 $C_{AFB} = 10 \text{ nF}$ 、つまり $\tau_2 = 28 \text{ ms}$ です。合計時間定数 τ_{TOTAL} は、 τ_1 と τ_2 の合計になります。 $2.2 \times \tau_{TOTAL}$ では、 V_A が最終値の約 90 % に等しくなります。そのため、 $V_{OUT} = -3.3 \text{ V}$ では、出力電圧が 63.8 ms 後に最終値の約 90 % になります。

表 6. 固定出力オプションの $R1$ 値と $R2$ 値

Output Voltage (V)	$R1 (\Omega)$	$R2 (\text{k}\Omega)$
-1.2	700 k	500
-2.5	2 M	500
-3.3	2.8 M	500
-4.5	4 M	500

τ_1 と τ_2 のみが計算され、 G_M と Z_{OUT} が動的に変化することは考慮しません。 $C_{AFB} < 10 \text{ nF}$ の推奨セットアップでは、セットアップ時間の約 90 % を正確に見積もることができるので、セトリング・タイムの 100 % を簡単に実現できます。 $C_{AFB} \gg 10 \text{ nF}$ のセットアップでは、この式を適用できません。ただし、セトリング・タイムの約 100 % を実現するために必要な時間を計算する場合は、この式を使用できます。

アプリケーション情報

ADISIMPOWER 設計ツール

ADIsimPower™ 設計ツールは、ADP7183 をサポートします。ADIsimPower は、特定の設計目標に合わせて最適化された電源デザインを生成するツールのコレクションです。このツールを使用すると、わずか数分間で必要な回路図と部品表をすべて作成し、性能を計算することができます。ADIsimPower を使用すれば、IC と実際の外付け部品の動作条件や制限事項を考慮しながら、コスト、面積、効率、部品数などの面でデザインを最適化することができます。詳細と ADIsimPower デザイン・ツールの入手方法については、www.analog.com/ADIsimPower をご覧ください。

コンデンサの選択

出力コンデンサ

ADP7183 は、省スペースの小型セラミック・コンデンサで動作しますが、ESR 値に注意すれば、汎用のコンデンサでも動作します。出力コンデンサの ESR は、LDO レギュレータ制御ループの安定性に影響を与えます。ADP7183 を安定させるには、ESR が 0.05Ω 以下で容量が $4.7 \mu\text{F}$ のコンデンサの使用を推奨します。出力容量は、負荷電流の変化に対する過渡応答にも影響を与えます。値の大きな出力容量を使用すると、負荷電流が大幅に変化する場合に ADP7183 の過渡応答が向上します。 $4.7 \mu\text{F}$ の出力容量に対する過渡応答を図 46 に示します。

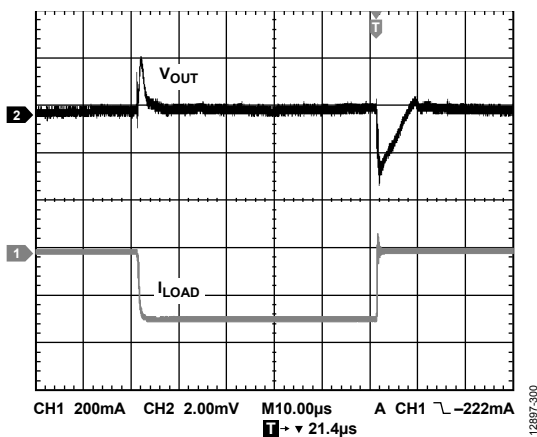


図 46. 出力過渡応答、 $C_{\text{OUT}} = 4.7 \mu\text{F}$ 、 $V_{\text{OUT}} = -1.2 \text{ V}$

入力バイパス・コンデンサ

VIN ピンと GND の間に $4.7 \mu\text{F}$ のコンデンサを接続すると、特に入力パターンが長い場合またはソース・インピーダンスが高い場合、PCB レイアウトに対する回路の感受性を抑えることができます。出力コンデンサで $4.7 \mu\text{F}$ を超える値が必要な場合は、入力容量を増やします。

C_A および C_{AFB} コンデンサ

LDO 誤差アンプのゲインを 1 に保ち、リファレンス電圧と出力電圧を同じ値に設定することで、ADP7183 の出力ノイズが非常に低くなります。このアーキテクチャでは、 G_M アンプによって駆動される抵抗によって、選択した出力電圧に対するリファレンス電圧が調整されます。 G_M アンプが安定するように、主要極を生成し、すべての条件で G_M を安定させる C_A コンデンサが必要です。 C_A は、PSRR を向上させる LDO エラー・アンプの入力への減衰コンデンサとして機能します。ただし、LDO 出力ノイズは、出力電圧の関数であるアンプのゲイン G_M に比例します。 G_M アンプによって発生する出力電圧ノイズを最低限に抑えるには、VA ピンと VAFB ピンの間に C_{AFB} コンデンサを接続し、 G_M アンプの AC ゲインが 1 になるように調整します。

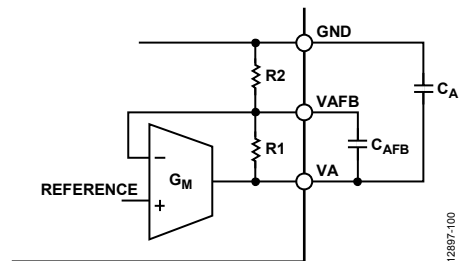


図 47. C_A と C_{AFB} の G_M アンプへの接続

入力コンデンサと出力コンデンサの特性

最小容量と最大 ESR の条件を満たす限り、任意の高品質セラミック・コンデンサを ADP7183 に使うことができます。セラミック・コンデンサには、さまざまな誘電体を使用されているので、温度や印加電圧に対する動作が異なります。必要な温度範囲と DC バイアス条件に対して最小容量を確保するため、適切な誘電体を使用したコンデンサを選ぶ必要があります。定格電圧が $6.3 \text{ V} \sim 10 \text{ V}$ で、X5R または X7R の誘電体を推奨します。温度と DC バイアスが不十分なので、Y5V および Z5U の誘電体は推奨しません。

0805 ケース、4.7 μF 、10 V の X5R コンデンサについて、バイアス電圧と容量変化の関係を図 48 に示します。コンデンサのサイズと定格電圧は、電圧の安全性に強く影響を与えます。一般に、コンデンサのパッケージが大きいほど、または定格電圧が大きいほど、優れた安定性を示します。X5R 誘電体の温度による変動は、 $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ の温度範囲で約 $\pm 15\%$ であり、パッケージのサイズや電圧定格に依存しません。

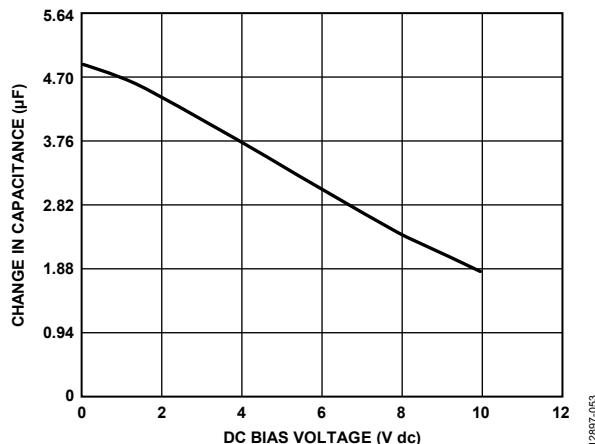


図 48. 容量と DC バイアス電圧変化の関係

温度、部品許容誤差、電圧に対するコンデンサの変動を考慮したワーストケースの容量を求めるには、式 4 を使用します。

$$C_{EFF} = C_{OUT} \times (1 - \text{Tempco}) \times (1 - \text{TOL}) \quad (4)$$

ここで

C_{EFF} は、動作電圧での実効容量、

C_{OUT} は、出力容量、

TEMPCO は、ワーストケースのコンデンサ温度係数、

TOL は、ワーストケースの部品許容誤差です。

この例では、X5R 誘電体の $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ でのワーストケースの温度係数 (tempco) が 15% であると仮定しています。コンデンサの許容誤差 (TOL) は 10% で、静電容量は 1.0 V で $C_{OUT} = 4.7\mu\text{F}$ であると仮定しています。

これらの値を式 4 に代入すると、

$$C_{EFF} = 4.7\mu\text{F} \times (1 - 0.15) \times (1 - 0.1) = 3.6\mu\text{F}$$

したがって、この例で選択したコンデンサは、指定された出力電圧で、温度と許容誤差に対する LDO レギュレータの最小容量条件を満たします。

ADP7183 の性能を確保するには、DC バイアス、温度、許容誤差がコンデンサの動作に与える影響をアプリケーションごとに評価することが重要です。

低電圧ロックアウト (UVLO)

UVLO 回路は、電源のブラウンアウトからシステムを保護します。 V_{IN} の入力電圧が -1.58 V の最低 UVLO 立下り閾値を上回ると、LDO 出力はシャットダウンします。LDO は、 V_{IN} に対する電圧が -1.77 V の最大 UVLO 立上がり閾値を下回ると、再び有効になります。UVLO 回路内の 90 mV の代表的なヒステリシスによって、 V_{IN} のノイズが原因となるデバイスの発振を防ぎます。

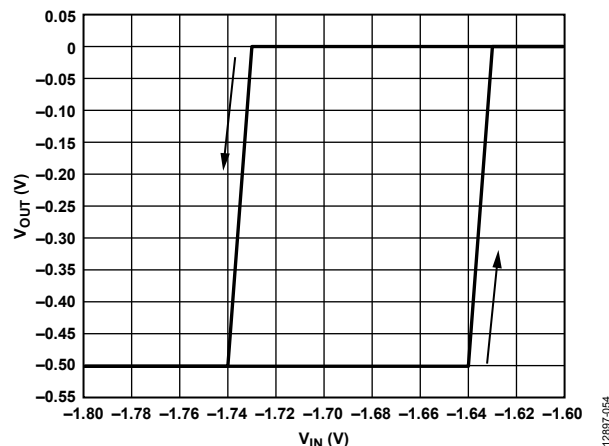


図 49. 代表的な UVLO 動作、 $V_{OUT} = -0.5\text{ V}$

電流制限および熱過負荷保護

ADP7183 は、電流制限回路と熱過負荷保護回路により、過大な消費電力による損傷から保護されています。出力負荷が -600 mA (代表値) に達すると、電流制限に達するように設計されています。出力負荷が -600 mA を超えると、出力電圧を下げた一定の電流制限値が維持されます。

また、ジャンクション温度を 150°C (代表値) の閾値に制限する熱過負荷保護機能も備えています。過酷な状態 (高周囲温度や高消費電力) で、ジャンクション温度が 150°C を超えると、出力がオフになり、出力電流がゼロまで減少します。ジャンクション温度が 135°C (代表値) を下回ると、出力が再びオンになり、出力電流は公称値に戻ります。

V_{OUT} から GND へのハード短絡が発生する場合を検討します。まず、ADP7183 が電流制限値に達するため、わずか -600 mA の電流が短絡に流れます。自己発熱量が非常に大きくなってジャンクション温度が 150°C を超えると、サーマル・シャットダウン機能が作動して、出力がオフになり、出力電流が 0 mA まで減少します。ジャンクション温度が下がり、 135°C を下回ると、出力がオンになって短絡回路に -600 mA の電流が流れて、ジャンクション温度が再び 150°C を超えます。 135°C と 150°C の間で発生する熱発振により、 -600 mA と 0 mA の間で電流発振が発生します。出力が短絡状態にある限り、この発振は継続します。電流制限機能と熱過負荷保護機能は、偶発的な過負荷状態からデバイスを保護します。信頼性の高い動作を実現するには、ジャンクション温度が 125°C を超えないようにデバイスの消費電力を外部で制限します。

熱に関する考慮事項

入力-出力間の電圧差が小さいアプリケーションでは、ADP7183の発熱量は大きくありません。ただし、周囲温度が高く、入力電圧が高いアプリケーションでは、パッケージの発熱量が大きくなって、チップのジャンクション温度が最大ジャンクション温度 125 °C を超えることがあります。

ジャンクション温度が 150 °C を超えると、コンバータはサーマル・シャットダウンに移行します。永続的な損傷を防ぐため、ジャンクション温度が 135 °C を下回った後でコンバータが回復します。そのため、すべての条件において信頼性の高い性能を確保するため、アプリケーションの熱分析が重要になります。チップのジャンクション温度は、式 5 に示すように、周囲温度と電力消費によるパッケージの温度上昇の和になります。

信頼性の高い動作を確保するため、ADP7183 のジャンクション温度が 125 °C を超えてはいけません。ジャンクション温度を 125 °C 未満に抑えるには、ジャンクション温度の変化に影響を与えるパラメータを知っておく必要があります。これらのパラメータには、周囲温度、パワー・デバイスの消費電力、ジャンクション-周囲間の熱抵抗 (θ_{JA}) があります。 θ_{JA} 値は、パッケージの材料と VIN ピンを PCB にハンダ付けする際に使用する銅の量に依存します。

PCB の各種銅サイズに対する 8 ピン LFCSP パッケージの θ_{JA} 値 (代表値) を表 7 に示します。

表 7. 8 ピン LFCSP の θ_{JA} の代表値

Copper Size (mm ²)	θ_{JA} (°C/W)
25	146.6
100	105.4
500	75.38
1000	65.16
6400	53.5

ADP7183 のジャンクション温度は次のように計算します。

$$T_J = T_A + (P_D \times \theta_{JA}) \quad (5)$$

ここで

T_A は周囲温度。

P_D はチップの消費電力量で、次式で与えられます。

$$P_D = ((V_{IN} - V_{OUT}) \times I_{LOAD}) + (V_{IN} \times I_{GND}) \quad (6)$$

ここで

V_{IN} と V_{OUT} はそれぞれ入力電圧と出力電圧、

I_{LOAD} は負荷電流、

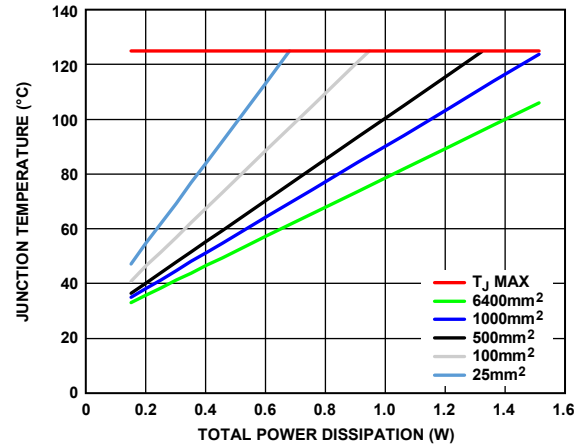
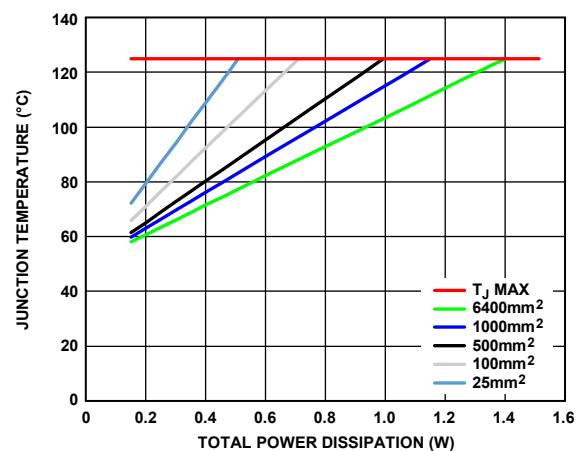
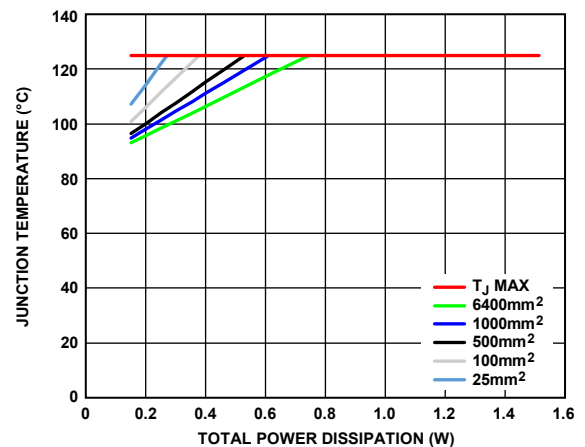
I_{GND} はグラウンド電流。

グラウンド電流による消費電力は小さいため、無視できます。このため、ジャンクション温度を求める式は、次のように簡単になります。

$$T_J = T_A + ((V_{IN} - V_{OUT}) \times I_{LOAD}) \times \theta_{JA} \quad (7)$$

式 7 に示すように、与えられた周囲温度、入力と出力間の電圧差、および連続負荷電流に対して、ジャンクション温度が 125 °C を超えないようにするため、PCB に対する最小銅サイズの要件が存在します。

様々な周囲温度、消費電力、PCB の銅面積に対するジャンクション温度の計算結果を図 50 ~ 図 52 に示します。

図 50. ジャンクション温度と総合消費電力の関係、 $T_A = 25\text{ }^{\circ}\text{C}$ 図 51. ジャンクション温度と総合消費電力の関係、 $T_A = 50\text{ }^{\circ}\text{C}$ 図 52. ジャンクション温度と総合消費電力の関係、 $T_A = 85\text{ }^{\circ}\text{C}$

基板レイアウトに関する考慮事項

入力コンデンサ (C_{IN}) は VIN ピンと GND ピンのできるだけ近くに配置します。出力コンデンサ (C_{OUT}) は VOUT ピンと GND ピンのできるだけ近くに配置します。バイパス・コンデンサ (C_A と C_{REG}) を対応するピン (VA と VREG) および GND の近くに配置します。0805 または 0603 サイズのコンデンサと抵抗を使うと、面積が制限されているボード上で最小のフットプリント・ソリューションを実現できます。露出パッドは VIN に接続します。

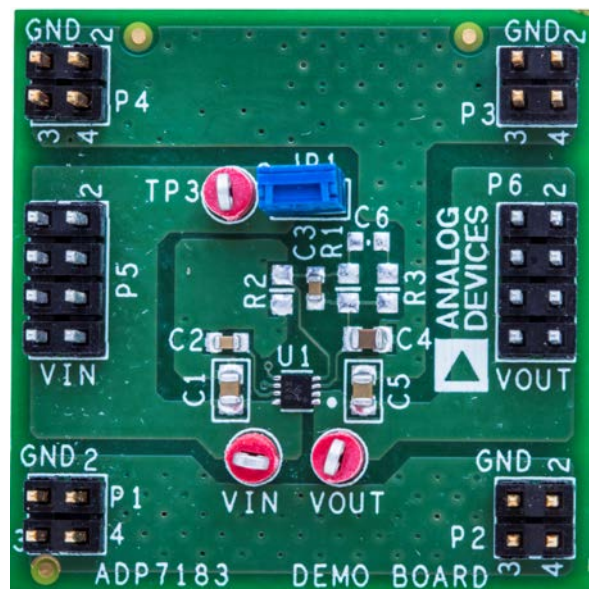


図 53. 評価用ボード

12897-059

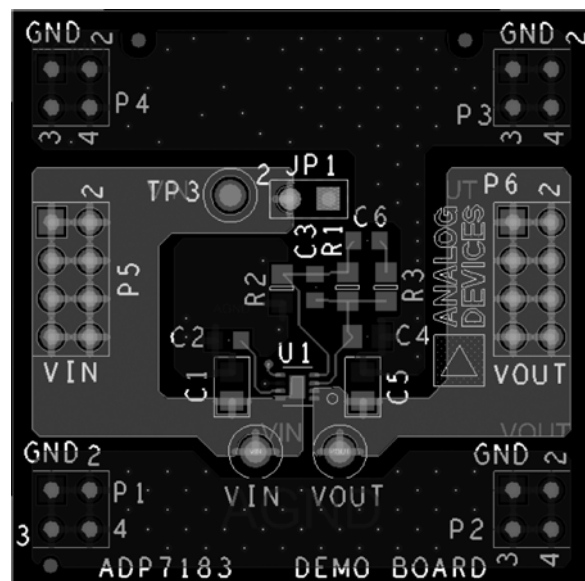


図 54. 代表値なボード・レイアウト、上面

12897-060

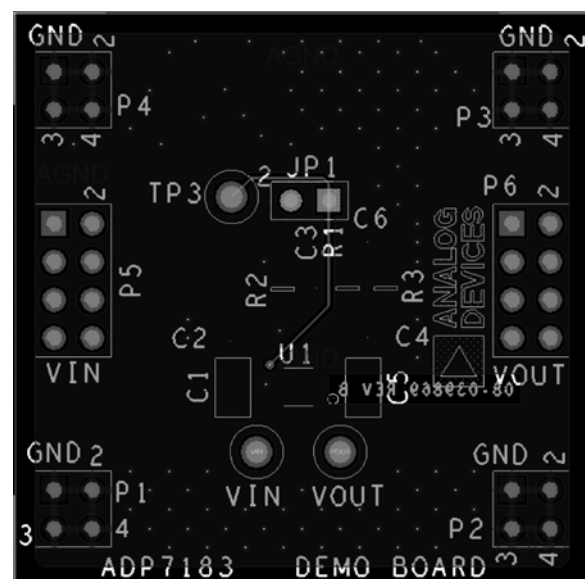


図 55. 代表値なボード・レイアウト、底面

12897-061

外形寸法

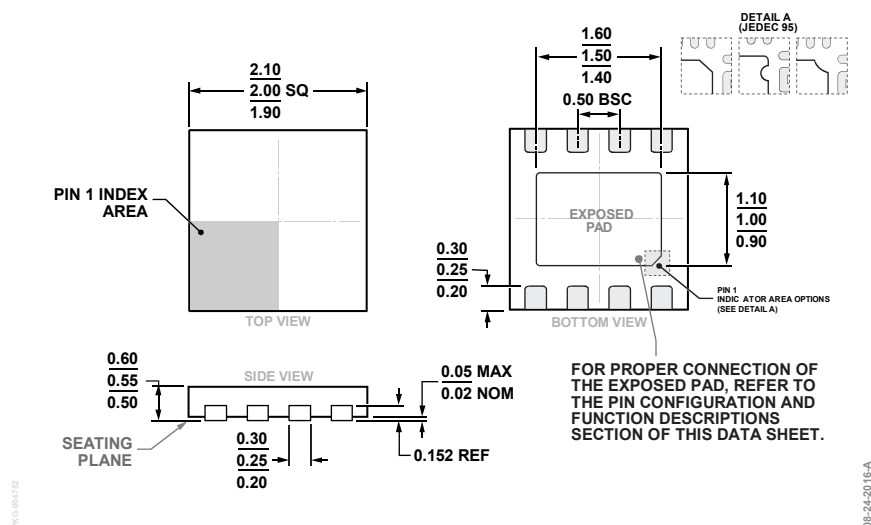


図 56.8 ピン・リードフレーム・チップスケール・パッケージ [LFCSP]
 2 mm × 2 mm ボディ、0.55 mm パッケージ高
 (CP-8-27)
 寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Output Voltage (V) ²	Package Description	Package Option	Branding
ADP7183ACPZN0.5-R7	-40°C to +125°C	-0.5	8-Lead LFCSP	CP-8-27	LS9
ADP7183ACPZN1.0-R7	-40°C to +125°C	-1.0	8-Lead LFCSP	CP-8-27	LSA
ADP7183ACPZN1.2-R7	-40°C to +125°C	-1.2	8-Lead LFCSP	CP-8-27	LSB
ADP7183ACPZN1.5-R7	-40°C to +125°C	-1.5	8-Lead LFCSP	CP-8-27	LSC
ADP7183ACPZN1.8-R7	-40°C to +125°C	-1.8	8-Lead LFCSP	CP-8-27	LSD
ADP7183ACPZN2.0-R7	-40°C to +125°C	-2.0	8-Lead LFCSP	CP-8-27	LSS
ADP7183ACPZN2.5-R7	-40°C to +125°C	-2.5	8-Lead LFCSP	CP-8-27	LSE
ADP7183ACPZN3.0-R7	-40°C to +125°C	-3.0	8-Lead LFCSP	CP-8-27	LSF
ADP7183ACPZN3.3-R7	-40°C to +125°C	-3.3	8-Lead LFCSP	CP-8-27	LTM
ADP7183ACPZN-R7	-40°C to +125°C	Adjustable	8-Lead LFCSP	CP-8-27	LTN
ADP7183-3.3-EVALZ		-3.3	Evaluation Board for the Fixed Voltage Option		
ADP7183-ADJ-EVALZ		-2.5	Evaluation Board for the Adjustable Voltage Option		

¹ Z = RoHS 準拠製品

² その他の電圧オプションについては、最寄りのアナログ・デバイセス販売代理店にお問い合わせください。