

**特長**

- FIFO で 16 個のイベントを記録可能
- 設定可能な 19 種類の I/O によって以下の機能を実現
  - 最大 11×8 のキーパッド・マトリクスでのデコーディングに対応
  - キー・プレス/リリース割込み
  - キーパッドのロック/アンロック
  - GPIO 機能
  - 割込みレベルを選択できる GPI
  - 100kΩ/300kΩ プルアップ
  - 300kΩ プルダウン
  - プッシュプルまたはオープン・ドレイン付きの GPO
  - プログラム可能な 2 個のロジック・ブロック
  - PWM ジェネレータ
    - 内部 PWM 生成
    - 内部 PWM と論理積をとる外部 PWM
  - クロック・デバイダ
  - リセット・ジェネレータ
- 最大 1 Mbps の Fast-mode Plus (Fm+) 対応の I<sup>2</sup>C インターフェース
- オープン・ドレイン割込み出力
- 24 ピン LFCSP

**アプリケーション**

QWERTY タイプの大型キーパッドと I/O 拡張機能を必要とするモバイル機器

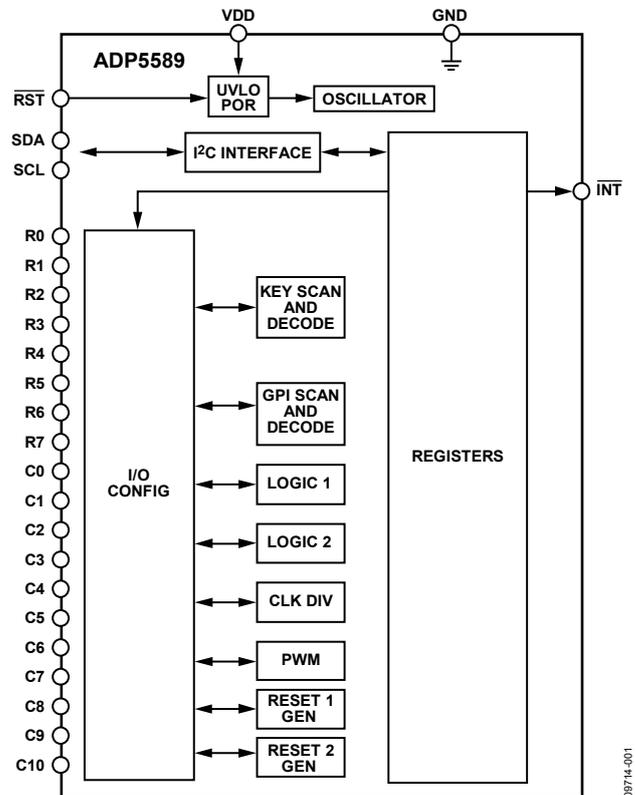
**機能ブロック図**


図 1.

**概要**

ADP5589 は、大型キーパッド・マトリクスと拡張用 I/O ラインを必要とする QWERTY タイプ電話機向けの I/O ポート・エキスパンダとキーパッド・マトリクス・デコーダです。I/O エクスパンダ IC は、メイン・プロセッサで限られた数の GPIO しか利用できない場合のソリューションとしてモバイル・プラットフォームに使用します。

ADP5589 は、すべてのキー・スキャンとデコーディングを処理し、新しいキー・イベントの発生を割込みラインによってメ

イン・プロセッサに知らせます。ADP5589 は、最大 16 イベントを格納できる FIFO を備えています。プロセッサは、I<sup>2</sup>C 互換インターフェースによりイベントの読み出しができます。

ADP5589 によってメイン・プロセッサはキーパッドの監視を行う必要がなくなるため、消費電力が低減し、プロセッサの帯域幅を拡張して他の機能を実行することが可能になります。

## 目次

特長.....	1	キー・スキャン制御.....	9
アプリケーション.....	1	GPI入力.....	14
機能ブロック図.....	1	GPO出力.....	14
概要.....	1	ロジック・ブロック.....	15
改訂履歴.....	2	PWMブロック.....	17
仕様.....	3	クロック・デバイダ・ブロック.....	17
絶対最大定格.....	5	リセット・ブロック.....	17
熱抵抗.....	5	割込み.....	17
ESDに関する注意.....	5	レジスタのインターフェース.....	18
ピン配置と機能の説明.....	6	レジスタ・マップ.....	20
デバイスのクイックガイド.....	7	レジスタの詳細な説明.....	22
デバイス・イネーブル.....	8	アプリケーション図.....	44
デバイスの概要.....	8	外形寸法.....	45
デバイスの詳細.....	9	オーダー・ガイド.....	45
イベントFIFO.....	9		

## 改訂履歴

3/11—Revision Sp0: Initial Version

## 仕様

特に指定のない限り、VDD = 1.8~3.3 V、T<sub>A</sub> = -40~+85°C<sup>1</sup>

表 1.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
<b>SUPPLY VOLTAGE</b>						
VDD Input Voltage Range	VDD		1.65		3.6	V
Undervoltage Lockout Threshold	UVLO <sub>VDD</sub>	UVLO active, VDD falling UVLO inactive, VDD rising	1.2	1.3 1.4		V
<b>SUPPLY CURRENT</b>						
Standby Current	I <sub>STNBY</sub>	VDD = 1.65 V VDD = 3.3 V		1 1	4 10	μA
Operating Current (1 Key Press)	I <sub>SCAN</sub> = 10 ms	CORE_FREQ = 50 kHz, scan active, 300 kΩ pull-up, VDD = 1.65 V		30	40	μA
	I <sub>SCAN</sub> = 10 ms	CORE_FREQ = 50 kHz, scan active, 100 kΩ pull-up, VDD = 1.65 V		35	45	μA
	I <sub>SCAN</sub> = 10 ms	CORE_FREQ = 50 kHz, scan active, 300 kΩ pull-up, VDD = 3.3 V		75	85	μA
	I <sub>SCAN</sub> = 10 ms	CORE_FREQ = 50 kHz, scan active, 100 kΩ pull-up, VDD = 3.3 V		80	90	μA
<b>PULL-UP, PULL-DOWN RESISTANCE</b>						
Pull-Up Option 1			50	100	150	kΩ
Pull-Up Option 2			150	300	450	kΩ
Pull-Down			150	300	450	kΩ
<b>INPUT LOGIC LEVEL (RST, SCL, SDA, R0, R1, R2, R3, R4, R5, R6, R7, C0, C1, C2, C3, C4, C5, C6, C7, C8, C9, C10)</b>						
Logic Low Input Voltage	V <sub>IL</sub>				0.3 VDD	V
Logic High Input Voltage	V <sub>IH</sub>		0.7 VDD			V
Input Leakage Current (Per Pin)	V <sub>I-Leak</sub>			0.1	1	μA
<b>PUSH-PULL OUTPUT LOGIC LEVEL (R0, R1, R2, R3, R4, R5, R6, R7, C0, C1, C2, C3, C4, C5, C6, C7, C8, C9, C10)</b>						
Logic Low Output Voltage <sup>2</sup>	V <sub>OL</sub>	Sink current = 10 mA			0.4	V
Logic Low Output Voltage <sup>3</sup>	V <sub>OL</sub>	Sink current = 10 mA			0.5	V
Logic High Output Voltage	V <sub>OH</sub>	Source current = 5 mA	0.7 VDD			V
Logic High Leakage Current (Per Pin)	V <sub>OH-Leak</sub>			0.1	1	μA
<b>OPEN-DRAIN OUTPUT LOGIC LEVEL (INT, SDA)</b>						
Logic Low Output Voltage (INT)	V <sub>OL</sub>	I <sub>SINK</sub> = 10 mA			0.4	V
Logic Low Output Voltage (SDA)	V <sub>OL</sub>	I <sub>SINK</sub> = 20 mA			0.4	V
Logic High Leakage Current (Per Pin)	V <sub>OH-Leak</sub>			0.1	1	μA
Logic Propagation Delay				125	200	ns
FF1 Hold Time <sup>4</sup>				0		ns
FF1 Setup Time <sup>4</sup>				175		ns
FF2 Hold Time <sup>4</sup>				0		ns
FF2 Setup Time <sup>4</sup>				175		ns
GPIO Debounce <sup>4</sup>					70	μs
Internal Oscillator Frequency <sup>5</sup>	OSC <sub>FREQ</sub>		900	1000	1100	kHz
<b>I<sup>2</sup>C TIMING SPECIFICATIONS</b>						
Delay from UVLO/Reset Inactive to I <sup>2</sup> C Access					60	μs
SCL Clock Frequency	f <sub>SCL</sub>		0		1000	kHz
SCL High Time	t <sub>HIGH</sub>		0.26			μs
SCL Low Time	t <sub>LOW</sub>		0.5			μs
Data Setup Time	t <sub>SU, DAT</sub>		50			ns
Data Hold Time	t <sub>HD, DAT</sub>		0			μs
Setup Time for Repeated Start	t <sub>SU, STA</sub>		0.26			μs

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
Hold Time for Start/Repeated Start	$t_{HD; STA}$		0.26			$\mu s$
Bus Free Time for Stop and Start Condition	$t_{BUF}$		0.5			$\mu s$
Setup Time for Stop Condition	$t_{SU; STO}$		0.26			$\mu s$
Data Valid Time	$t_{VD; DAT}$				0.45	$\mu s$
Data Valid Acknowledge	$t_{VD; ACK}$				0.45	$\mu s$
Rise Time for SCL and SDA	$t_R$				120	ns
Fall Time for SCL and SDA	$t_F$				120	ns
Pulse Width of Suppressed Spike	$t_{SP}$		0		50	ns
Capacitive Load for Each Bus Line	$C_B^6$				550	pF

<sup>1</sup> 極限温度でのすべての限界値は、標準の統計的品質管理 (SQC) を使用した相関によって保証されています。typ値は $T_A = 25^\circ C$ 、 $V_{DD} = 1.8 V$ での値です。

<sup>2</sup> 最大5個のGPIOが同時に有効になります。

<sup>3</sup> すべてのGPIOが同時に有効になります。

<sup>4</sup> 設計により保証されています。

<sup>5</sup> すべてのタイマはベース発振器を基準とし、同じ $\pm 10\%$ の精度を持ちます。

<sup>6</sup>  $C_B$ は、1本のバス・ラインの合計容量です (単位: pF)。

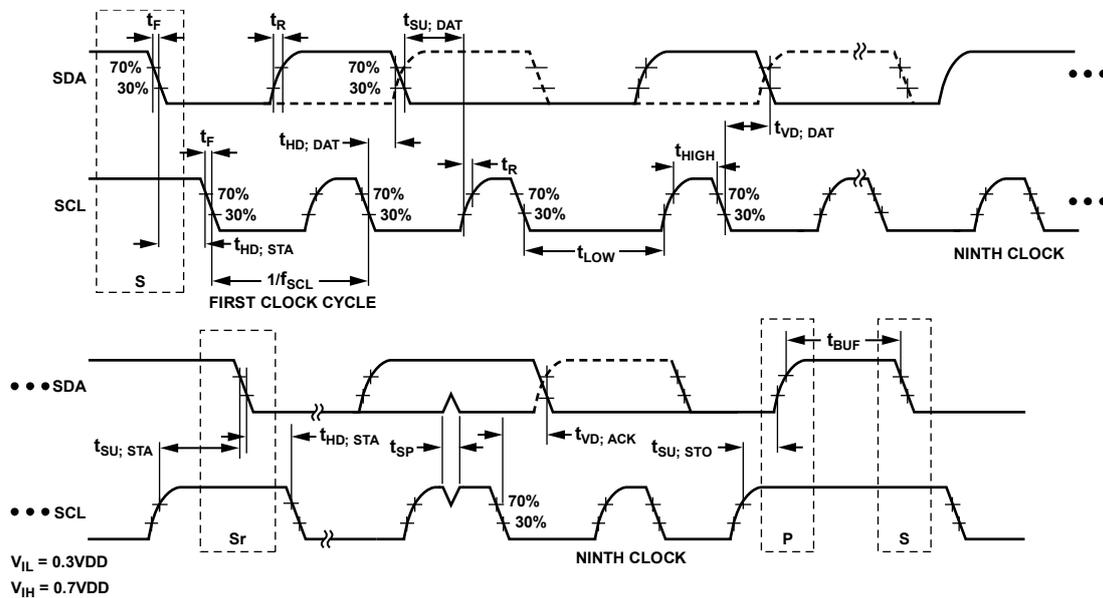


図 2. I<sup>2</sup>Cインターフェースのタイミング図

08714-002

## 絶対最大定格

表 2.

Parameter	Rating
VDD to Ground	-0.3 V to 4 V
SCL, SDA, RST, INT, R0, R1, R2, R3, R4, R5, R6, R7, C0, C1, C2, C3, C4, C5, C6, C7, C8, C9, C10 to Ground	-0.3 V to (VDD + 0.3 V)
Operating Ambient Temperature Range	-40°C to +85°C <sup>1</sup>
Operating Junction Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Soldering Conditions	JEDEC J-STD-020

<sup>1</sup> 消費電力が大きいかつ熱抵抗が高いアプリケーションでは、最大周囲温度を下げる必要があります。最大周囲温度 ( $T_{A(MAX)}$ ) は、最大動作ジャンクション温度 ( $T_{J(MAXOP)} = 125^{\circ}\text{C}$ )、デバイスの最大消費電力 ( $P_{D(MAX)}$ )、アプリケーションに含まれる製品/パッケージのジャンクション-周囲間熱抵抗 ( $\theta_{JA}$ ) に依存し、次の式が成立します。 $T_{A(MAX)} = T_{J(MAXOP)} - (\theta_{JA} \times P_{D(MAX)})$ 。

絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

絶対最大定格は、これらの値の組み合わせではなく個別に適用されます。特に指定のない限り、ほかのすべての電圧はグラウンドを基準とします。

## 熱抵抗

$\theta_{JA}$  は最悪時の条件、すなわち表面実装パッケージでデバイスを回路ボードにハンダ付けした状態で規定されています。

表 3.

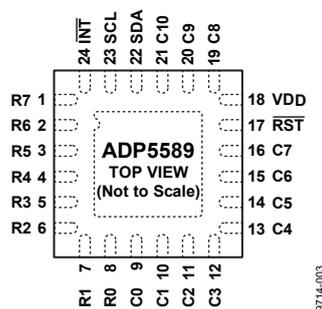
Thermal Resistance	$\theta_{JA}$	Unit
24-Lead LFCSP	43.83	C/W
Maximum Power Dissipation	120	mW

## ESDに関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないうまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

## ピン配置と機能の説明



NOTES  
1. THE EXPOSED PAD MUST BE CONNECTED TO GROUND.

図 3. ピン配置

表 4. ピン機能の説明

ピン番号	記号	説明
1	R7	GPIO8。キーパッドに使用した場合、このピンは行 7 として機能します。
2	R6	GPIO7。キーパッドに使用した場合、このピンは行 6 として機能します。
3	R5	GPIO6。キーパッドに使用した場合、このピンは行 5 として機能します。
4	R4	GPIO5 (GPIO 代替機能: RESET1)。キーパッドに使用した場合、このピンは行 4 として機能します。
5	R3	GPIO4 (GPIO 代替機能: LC1、PWM_OUT、または CLK_OUT)。キーパッドに使用した場合、このピンは行 3 として機能します。
6	R2	GPIO3 (GPIO 代替機能: LB1)。キーパッドに使用した場合、このピンは行 2 として機能します。
7	R1	GPIO2 (GPIO 代替機能: LA1)。キーパッドに使用した場合、このピンは行 1 として機能します。
8	R0	GPIO1 (GPIO 代替機能: LY1)。キーパッドに使用した場合、このピンは行 0 として機能します。
9	C0	GPIO9。キーパッドに使用した場合、このピンは列 0 として機能します。
10	C1	GPIO10。キーパッドに使用した場合、このピンは列 1 として機能します。
11	C2	GPIO11。キーパッドに使用した場合、このピンは列 2 として機能します。
12	C3	GPIO12。キーパッドに使用した場合、このピンは列 3 として機能します。
13	C4	GPIO13 (GPIO 代替機能: RESET2)。キーパッドに使用した場合、このピンは列 4 として機能します。
14	C5	GPIO14。キーパッドに使用した場合、このピンは列 5 として機能します。
15	C6	GPIO15 (GPIO 代替機能: LC2、PWM_IN、または CLK_IN)。キーパッドに使用した場合、このピンは列 6 として機能します。
16	C7	GPIO16 (GPIO 代替機能: LB2)。キーパッドに使用した場合、このピンは列 7 として機能します。
17	RST	リセット信号入力。
18	VDD	電源電圧入力。
19	C8	GPIO17 (GPIO 代替機能: LA2)。キーパッドに使用した場合、このピンは列 8 として機能します。
20	C9	GPIO18 (GPIO 代替機能: LY2)。キーパッドに使用した場合、このピンは列 9 として機能します。
21	C10	GPIO19。キーパッドに使用した場合、このピンは列 10 として機能します。
22	SDA	I <sup>2</sup> C データ入力/出力。
23	SCL	I <sup>2</sup> C クロック入力。
24	INT	オープン・ドレイン 割込み出力。
	EP	エクスポーズド・パッド。エクスポーズド・パッドはグラウンドに接続する必要があります。

# デバイスのクイックガイド

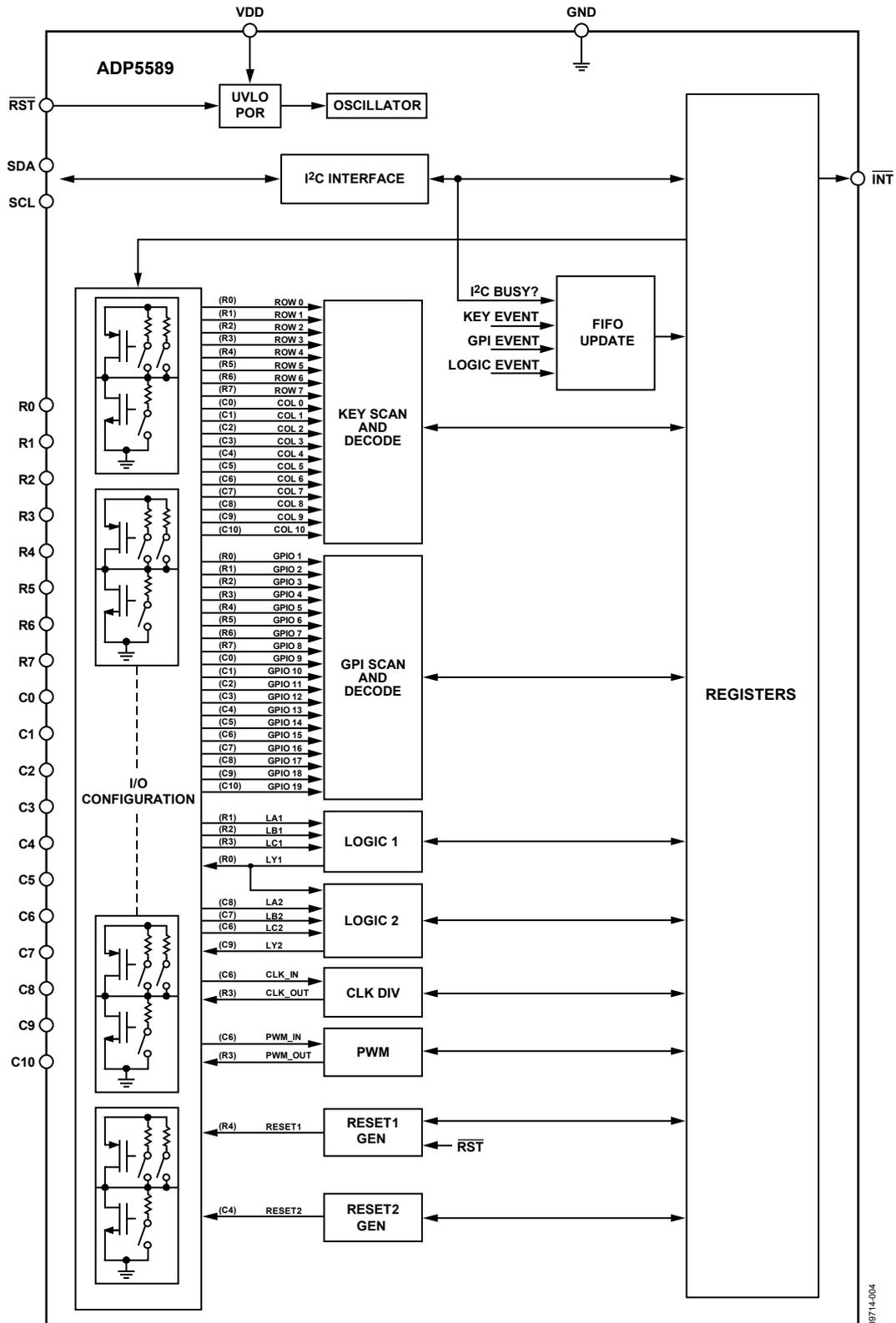


図 4. 内部ブロック図

09714-004

## デバイス・イネーブル

VDDに十分な電圧を印加し、 $\overline{\text{RST}}$ ピンをロジック・ハイ・レベルで駆動すると、ADP5589はスタンバイ・モードになり、すべての設定がデフォルト状態になります。ユーザは、I<sup>2</sup>Cインターフェースを使用してデバイスを設定できます。 $\overline{\text{RST}}$ ピンをローレベルに駆動すると、ADP5589はリセット状態になり、すべての設定がデフォルト状態に戻ります。 $\overline{\text{RST}}$ ピンはデバウンス・フィルタを備えています。

## デバイスの概要

ADP5589にはマルチ設定可能な19本のI/Oピンがあり、これらのピンを個別に設定することによって、以下に示すさまざまな機能を実行できます。

- キーパッド・マトリックスのデコーディング (最大8行×11列のマトリックス)
- 汎用I/O拡張機能 (最大19のI/O)
- 内部PWM生成
- 内部PWMと論理積をとる外部PWM
- 外部入力ソースのクロック分割
- 2個のロジックを内部で組み合わせ可能 (最大3つの入力、1つの出力)
- 2個のリセット・ジェネレータ

19本のI/Oピンは、すべて図5に示す入出力構造を備えています。

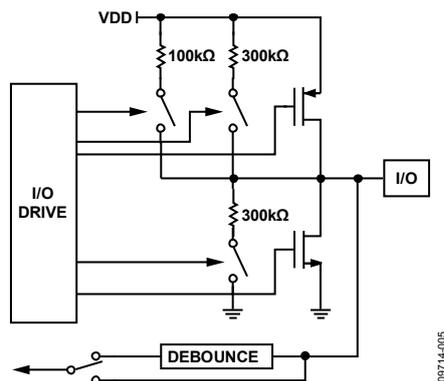


図5. I/O構造

各I/Oは、100 kΩ/300 kΩ抵抗によるプルアップまたは300 kΩ抵抗によるプルダウンが可能です。ロジック出力ドライブのために、各I/Oにはプッシュプル・タイプの出力用の5 mAのPMOSソースと10 mAのNMOSシンクがあります。オープンドレイン出力の場合、5 mAのPMOSソースはイネーブルしません。ロジック入力アプリケーションでは、各I/Oを直接またはデバウンス・フィルタを介してサンプリングできます。

図5に示すI/O構造によって、すべてのGPI機能とGPO機能が可能になり、PWM機能やクロック分周機能も実現できます。キー・マトリックスのスキャンとデコードの場合、スキャン回路は100 kΩ/300 kΩの抵抗を使用してキーパッドの行ピンのプルアップし、10 mAのNMOSシンクを使用してキーパッドの列ピンを接地します (キー・デコーディングの詳細については、「キー・スキャン制御」を参照)。

デバイスを設定するには、I<sup>2</sup>Cインターフェースを使用して内部レジスタを設定します。デバイス状態のフィードバックと保留中の割り込みは、 $\overline{\text{INT}}$ ピンから外部プロセッサに伝えることができます。

ADP5589は、3つのヒューズ・オプションを提供します。表5は、モデル番号とそれぞれのオプションをまとめたものです。その他のヒューズ・オプションも、ご要望に応じて提供することができます。

表5. 提供オプション

Model	Description
ADP5589ACPZ-00-R7	All GPIOs pulled up (default option)
ADP5589ACPZ-01-R7	Reset pass-through; no pulls on special function pins <sup>1,2</sup>
ADP5589ACPZ-02-R7	Pull-down on special function pins <sup>1</sup>

<sup>1</sup> 特殊機能ピンは、R0 (行0)、R3 (行3)、R4 (行4)、C4 (列4)、C6 (列6)、C9 (列9) です。

<sup>2</sup> リセット・パススルーは、発振器のイネーブル後、RESET1出力 (R4) がリセット入力ピン ( $\overline{\text{RST}}$ ) のロジック・レベルに従うことを意味します。

## デバイスの詳細

### イベントFIFO

ADP5589は、最大16個のイベントを記録できるイベントFIFOを備えています。デフォルトでは、FIFOは主にキー・イベント（キー・プレスとキー・リリース）を記録します。また、汎用入力（GPI）とロジック動作を設定して、FIFOに関するイベント情報を生成することもできます。イベント・カウント・レジスタ（EC[4:0]、アドレス0x02）は、FIFOと連係して任意の時点で読み出すFIFOのレベルを指示します。

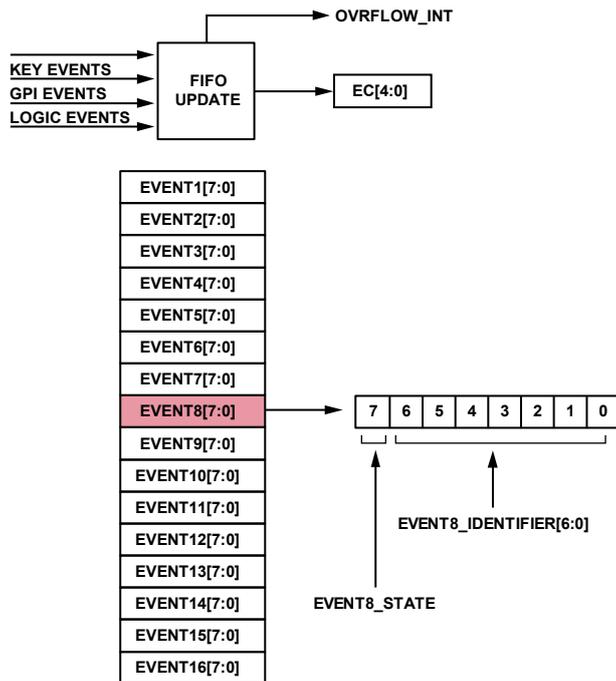


図 6. Eventx[7:0]ビットの内容

16個のイベントFIFOは、8ビット・レジスタで構成されています。各レジスタで、ビット[6:0]がイベント識別子を保持し、ビット7がイベント状態を保持します。7ビットで127種類のイベントを特定できます。イベントのデコードについては、表 11を参照してください。

FIFOにイベントがあるとき、ユーザは、まずイベント・カウント・レジスタ（EC[4:0]）を読み出して、読み出す必要があるイベントの数を決めます。イベントの読出しは、FIFOの上からしかできません。1つのイベントが読み出されると、FIFO内の残りのすべてのイベントの位置が1つずつ上がり、EC[4:0]のカウントがデクリメントします。

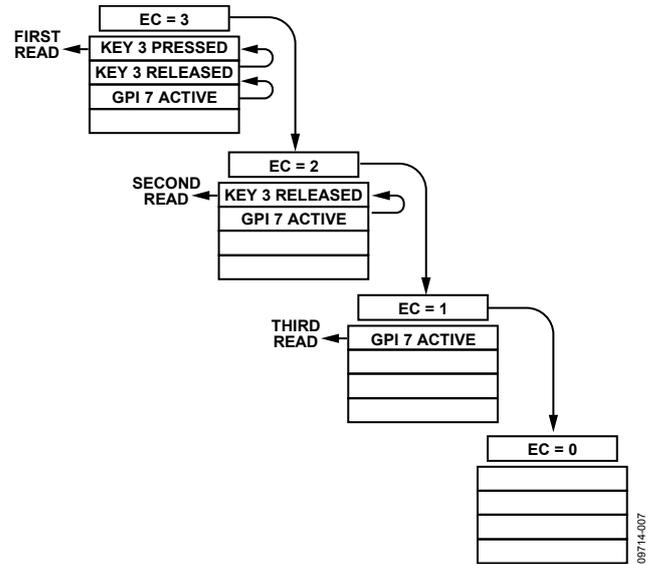


図 7. FIFO 動作

FIFOレジスタのすべてのI<sup>2</sup>Cアドレス（0x03～0x12）は、FIFOの上端（EVENT1[7:0]の位置）を指示します。ユーザによるFIFO読出しの位置がどこであっても、データは必ず一番上から取られます。これによって、イベントの読出しが発生の順番どおりになるため、FIFOシステムの整合性を保つことができます。

前述のように、ADP5589に搭載されている機能を設定して、FIFOに関するイベントを生成することができます。FIFOへのアップデートは、FIFOアップデート制御ブロックが管理します。I<sup>2</sup>CトランザクションがいずれかのFIFOアドレス位置にアクセスしている場合、I<sup>2</sup>Cトランザクションが完了するまでアップデートが一時停止します。

外部プロセッサがFIFOを読み出してクリアしないうちに16を超えるイベントが生成されると、FIFOのオーバーフローが発生することがあります。

オーバーフロー状態が発生すると、割込みが生成され、16を超えるイベントが発生したことをプロセッサに通知します。

### キー・スキャン制御

#### 概要

19本のI/Oピンを設定して、最大88個のスイッチ（11×8マトリクス）までキーボード・マトリクスをデコードすることができます。マトリクスをこれより小さく設定することもできますが、その場合は未使用の行/列ピンをほかのI/O機能に使用することができます。

R0～R7のI/Oピンは、キーボード・マトリクスの行を構成します。C0～C10のI/Oピンは、キーボード・マトリクスの列を構成します。行に使用するピンは、内部の300 kΩ（または100 kΩ）抵抗を介してプルアップされます。列に使用するピンは、内部のNMOS電流シンクによってローレベルに駆動されます。

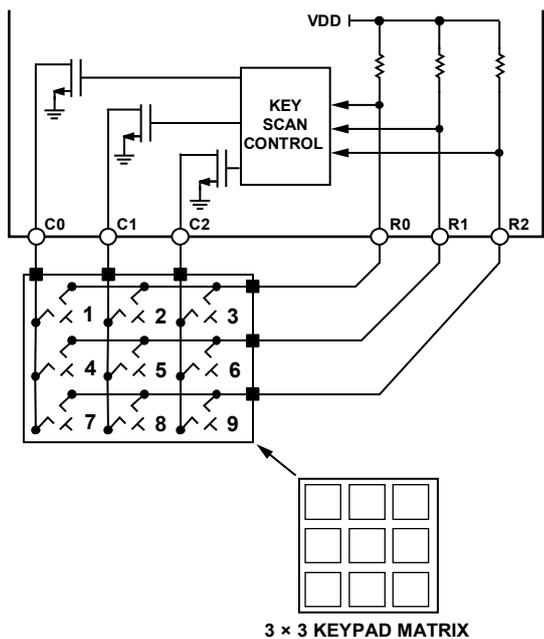


図 8. キー・スキャン・ブロックの簡略図

図 8は、3x3の小さい9スイッチ・キーパッド・マトリクスに接続した3本の行ピンと3本の列ピンを使用するキー・スキャン・ブロックの簡略図です。キー・スキャナがアイドル状態のとき、行ピンはハイレベルになり、列ピンはローレベルに駆動されます。キー・スキャナは、行ピンがローレベルであるかどうかを調べることによって動作します。マトリクスのスイッチ6がプレスされると、R1はC2に接続します。キー・スキャン回路は、1本の行ピンがローレベルになったことを感知し、キー・スキャン・サイクルを開始します。キー・スキャンでは、すべての列ピンを

ハイレベルに駆動してから、それぞれを順にローレベルに駆動し、行ピンがローレベルになっているか感知します。すべての行/列ペアがスキャンされます。したがって、複数のキーがプレスされても正しく検出されます。グリッチや短時間のプレスが有効なキー・プレスと見なされないように、キー・スキャナは、2スキャン・サイクルの間キーがプレスされることを要求します。各スキャン・サイクルの間にキー・スキャナの待ち時間があります。したがって、キーのプレスが登録されるには、少なくともこの待ち時間の間キーがプレスされたままになっている必要があります。キーが連続的にプレスされたままになっている場合、キー・スキャナはスキャンしてから待機、スキャンしてから待機という動作を続けます。

スイッチ6がリリースされると、R1とC2の間の接続が切れ、R1はハイレベルにプルアップされます。キー・スキャナは、2スキャン・サイクルの間キーがリリースされていることを要求します。キーのリリースは必ずしもキー・スキャナと同期しないため、キーのリリースが登録されるには、最大で2回の待機/スキャンのサイクルが必要になることがあります。キーのリリースが登録され、ほかのキーもプレスされていないと、キー・スキャナはアイドル・モードに戻ります。

以下の説明では、キーのプレスまたはリリースの状態をロジック信号で図示します。ロジック・ハイ・レベルはプレス状態を示し、ロジック・ローはリリース状態を示します(図9を参照)。

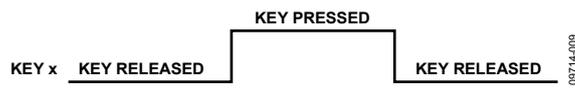


図 9. ロジック・ロー：リリース、ロジック・ハイ：プレス

図 10は、キー・スキャン・ブロックとそれに関連するすべての制御信号とステータス信号の詳細です。すべての行ピンと列ピンを使用するとき、88個の一意キーのマトリクスをスキャンすることができます。

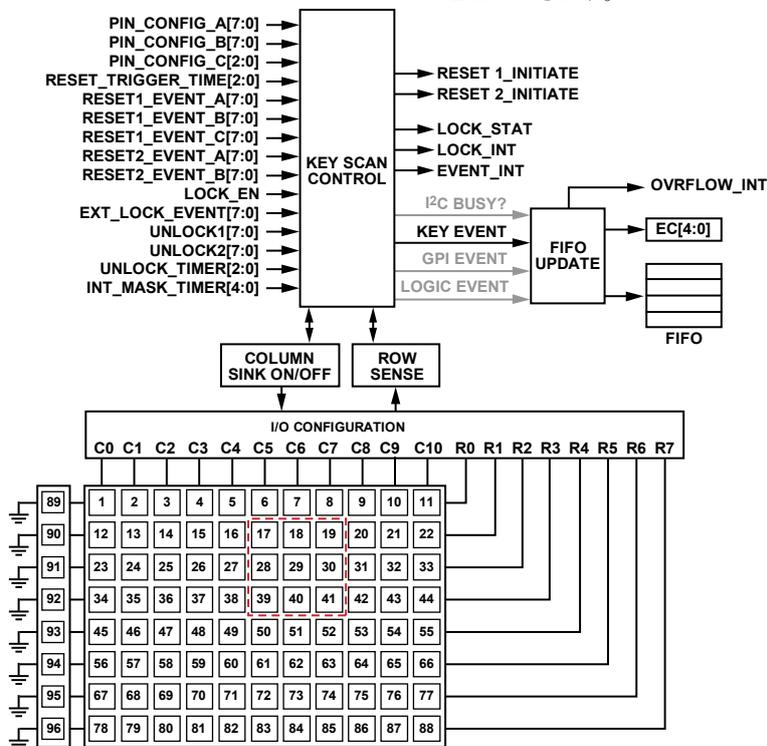


図 10. キー・スキャン・ブロックの詳細図

PIN\_CONFIG\_A[7:0] (0x49)、PIN\_CONFIG\_B[7:0] (0x4A)、PIN\_CONFIG\_C[2:0] (0x4B) の各レジスタは、I/O をキーボード・デコーディング用に設定するときを使用します。各キー・スイッチ上の番号ラベルは、そのスイッチがプレスされた場合に記録されるイベント識別子を示します。すべての行/列ピンを設定すると、FIFO で 88 個のキー識別子のすべてを確認することができます。たとえば、C5、C6、C7 の列ピンと R1、R2、R3 の行ピンを使用して、3×3 の小さいマトリクスを設定すれば、FIFO で確認できるのは 9 つのイベント識別子 (17、18、19、28、29、30、39、40、41) だけになります。

ADP5589 は、デフォルトでキーのプレスとリリースをFIFOに記録します。図 11 に、1 つのキーがプレスされてリリースされたときにどうなるかを示します。最初は、キー・スキャナはアイドル状態です。キー 32 がプレスされると、スキャナは、設定されたすべての行/列ペアのスキャンを開始します。スキャン待ち時間の後、スキャナは、設定されたすべての行/列ペアを再びスキャンし、キー 32 がプレスされたままであることを検出し、EVENT\_INT 割込みを設定します。イベント・カウンタ (EC[4:0]) は 1 にインクリメントし、FIFO の EVENT1[7:0] は 32 に設定されたイベント識別子によって更新され、Event1\_State ビットは 1 に設定され、プレスを示します。

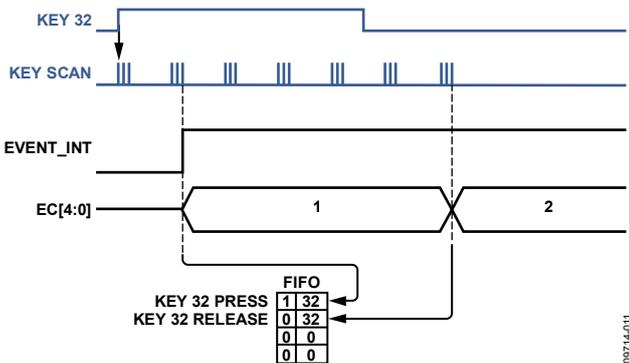


図 11. プレスとリリースのイベント

キーがプレスされたままの状態の間、キー・スキャナはスキャン/待機のサイクルを続行します。2 つの連続したスキャン・サイクルの間、キーがリリースされていることをスキャナが検出すると、イベント・カウンタ EC[4:0] が 2 にインクリメントされ、FIFO の EVENT2[7:0] が 32 に設定されたイベント識別子によって更新されます。Event2\_State ビットは 0 に設定され、リリースを示します。ほかのキーがプレスされていないので、キー・スキャナはアイドル・モードに戻ります。

EVENT\_INT 割込みは、プレスとリリースの両方のキー・イベントによってトリガすることができます。図 12 に示すように、キー 32 がプレスされた場合、EVENT\_INT がアサートされ、EC[4:0] が更新され、FIFO が更新されます。キーがまだプレスされている間は、FIFO の読み出しが可能です。これによって、イベント・カウンタが 0 にデクリメントし、EVENT\_INT がクリアされます。キーが最終的にリリースされると、EVENT\_INT がアサートされ、イベント・カウンタがインクリメントされ、FIFO はリリース・イベント情報によって更新されます。

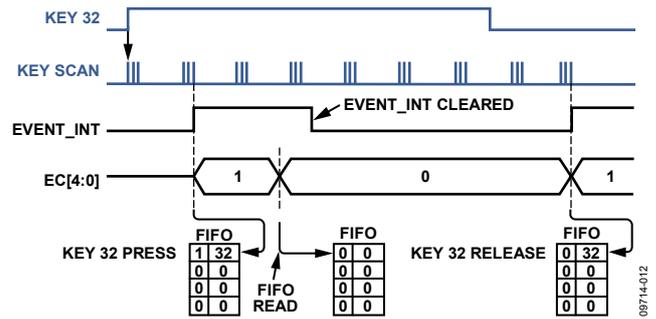


図 12. EVENT\_INT 割込みのアサート

### ゴースト

ゴーストが発生するのは、複数の行または列で 3 つ以上のキーが同時にプレスされたときです。この現象は、複数のキーがプレスされたときに予想外の行と列の間でショートが発生することによって生じます (図 13 を参照)。キーボード・マトリクス上で直角を形成するキーの組み合わせによってゴーストが生じる傾向があります。よくあるソリューションとしては、一緒にプレスされる可能性が最も高いキーを考慮してキーボード・マトリクスのレイアウトを選択することです。1 つの行または 1 つの列で複数のキーがプレスされても、ゴーストが発生することはありません。キーをずらして同じ列にならないようにすることによって、ゴーストを回避することもできます。よく行われている方法は、一緒にプレスされる可能性のあるキーを同じ行に置くことです。一緒にプレスされる可能性のあるキーとしては、ナビゲーション・キーとセレクト、またはナビゲーション・キーとスペース・キー (たとえば、CTRL + ALT + DEL) などがあります。

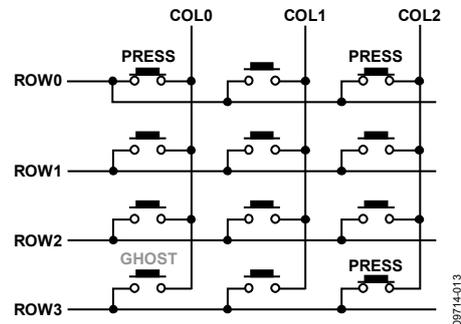


図 13. ゴースト

## FIFOのロック／アンロック

ADP5589 にはロック・モードがあり、アンロック・イベントが検出されるまで、イベントによる FIFO または イベント・カウンタの更新、あるいは EVENT\_INT 割込みの生成ができなくなります。

ロック機能をイネーブルにするには、LOCK\_EN (0x37[0]) ビットをセットするか、あるいはユーザ・プログラマブルなキーまたは GPI イベント (EXT\_LOCK\_EVENT[7:0]、アドレス 0x35 で設定) を使用します。LOCK\_EN ビットによってロック機能がイネーブルになると、LOCK\_STAT (0x02[5]) ビットがセットされます。外部イベントによってロック機能がイネーブルにされると、LOCK\_STAT ビットがセットされ、LOCK\_INT 割込みが生成されます。

アンロック・イベントは、UNLOCK1[7:0] (0x33) レジスタと UNLOCK2[7:0] (0x34) レジスタによって設定されます。ビット [6:0] は偶数を構成します。ビット 7 は、アクティブ／非アクティブ・イベントを判定します (表 59 と表 60 を参照)。アンロック・イベントを 1 つしか使用しないことにした場合は、UNLOCK1[7:0] レジスタだけを設定してください。アンロック・イベントは、キー・プレス・イベント (イベント 1～イベント 88) とすることができます。キーパッドがロックされている場合、キー・リリース・イベントは無視されるため、アンロック・イベントに使用しないでください。FIFO アップデートを生成するように設定された GPI も、アンロック・イベント (イベント 97～イベント 115、アクティブまたは非アクティブ) に使用することができます。UNLOCKx レジスタに値 127 (イベント 127) が設定されている場合、許容されるどのイベント (キーまたは GPI) もアンロック・イベントになることを意味します。たとえば、UNLOCK1[6:0] に 17 が設定され、UNLOCK2[6:0] に 127 が設定された場合、アンロック・シーケンスは、キー 17 のプレスの後、ほかの何らかの許容イベントが続く形になります。

最初のアンロック・イベントが検出されると、部分的なアンロックが発生します。最初のアンロック・イベントの次のイベントが 2 番目のアンロック・イベントではない場合、再び完全なロック状態に入ります。最初のアンロック・イベントの次のイベントが 2 番目のアンロック・イベントである場合、LOCK\_STAT がクリアされ、LOCK\_INT 割込みが生成されます。ユーザは、どの段階でも LOCK\_EN をクリアできます。これによって LOCK\_STAT ビットはクリアされますが、LOCK\_INT 割込みは生成されません。

完全なアンロック状態になると、FIFO と イベント・カウンタのアップデートが再開します。なお、キー・プレスを 2 番目のアンロック・イベントに使用した場合、そのキーのリリースは、アンロック動作が完了した後に FIFO 上に記録されます。

ADP5589 には、アンロック・タイマである UNLOCK\_TIMER[2:0] (0x36[2:0]) があります。アンロック・タイマがイネーブルされると、最初のアンロック・イベントの発生後カウントを開始します。2 番目のアンロック・イベントは、アンロック・タイマが満了する前に発生する必要があります。アンロック・タイマが満了した後は、最初のアンロック・イベントが再び発生しないとアンロック・プロセスが再開しません。図 14 は、アンロック・プロセスの簡単な状態図です。

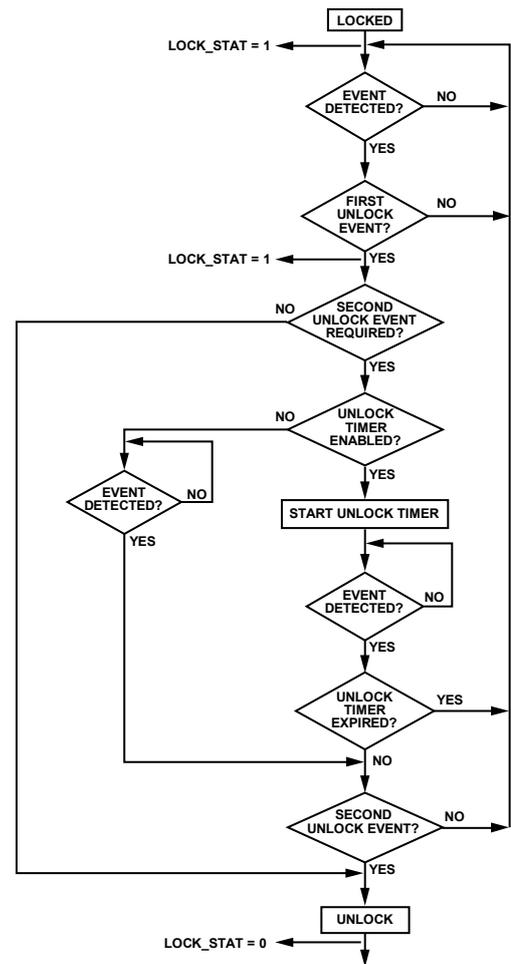
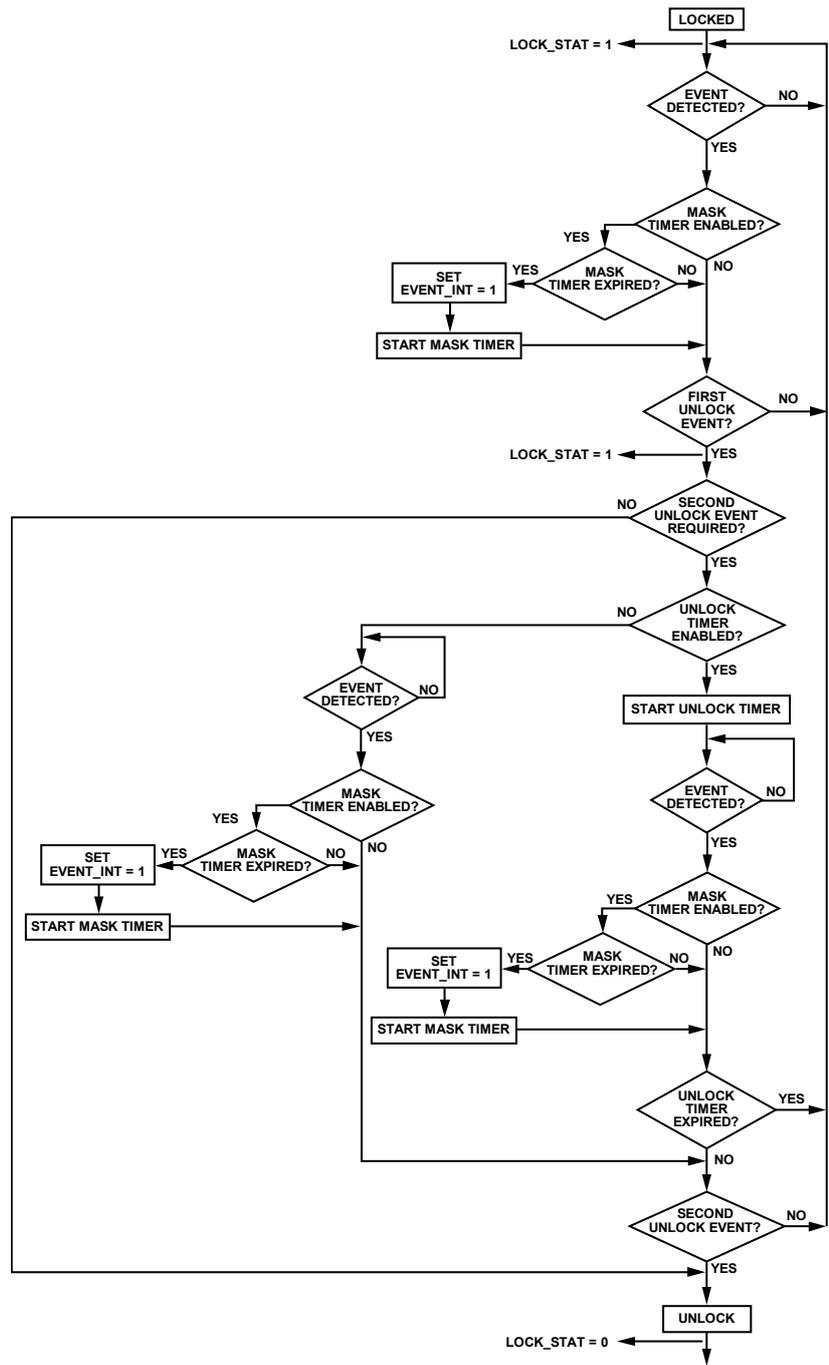


図 14. アンロック・プロセスの状態図

ロック・モードがイネーブルされると、アンロック・イベントが発生するまで EVENT\_INT 割込みを生成できません。

ADP5589 には、割込みマスク・タイマである INT\_MASK\_TIMER[4:0] (0x36[7:3]) があります。このタイマとロック・モードがイネーブルされると、任意のキーがプレスされた場合、または任意の GPI (FIFO を更新するように設定) がアクティブである場合に、1 つの EVENT\_INT が生成されます。EVENT\_INT が生成されると、マスク・タイマはカウントを開始します。マスク・タイマが満了し、新しいキーがプレスされるか任意の GPI (FIFO を更新するように設定) がアクティブになるまで、新しい EVENT\_INT 割込みは生成されません。ただし、アンロック・イベントが発生すると、通常の動作を再開します。

1 つの EVENT\_INT 割込みを許容することによって、プロセッサに通知して画面をターンオンさせてユーザにアンロック・メッセージを表示させることができます。ほかのキー・プレスを無効にしておけば、アンロック・イベントが発生するまでプロセッサに不要な割込みが入ることがありません。図 15 は、割込みマスク・タイマがイネーブルされたときのアンロック・シーケンスです。



08714-015

図 15. アンロック・シーケンス

## キーパッド拡張機能

図 10に示すように、各行がスイッチによって直接グラウンドに接続されている場合、キーパッドを拡張することができます。R0 とグラウンドの間に置かれたスイッチがプレスされた場合、行全体が接地されます。キー・スキャナはスキャンングを完了すると、通常はキー1~キー11 がプレスされていることを検出します。ただし、この特殊な状態はADP5589 がデコードし、キー・イベント 89 を割り当てます。最大 8 つのキー・イベント割当てが可能であり、キーパッドのサイズは最大 96 まで拡張できます。拡張キーの 1 つがプレスされた場合、その行にあるキーはどれも検出できなくなります。グラウンド・キーのアクティブ化によって、その行を共有するほかのすべてのキーが検出されなくなります。

## GPI入力

19 本のI/Oラインは、それぞれ汎用ロジック入力ラインとして設定できます。図 16に、GPIスキャン&検出ブロックとそれに関連するすべての制御信号とステータス信号の詳細を示します。

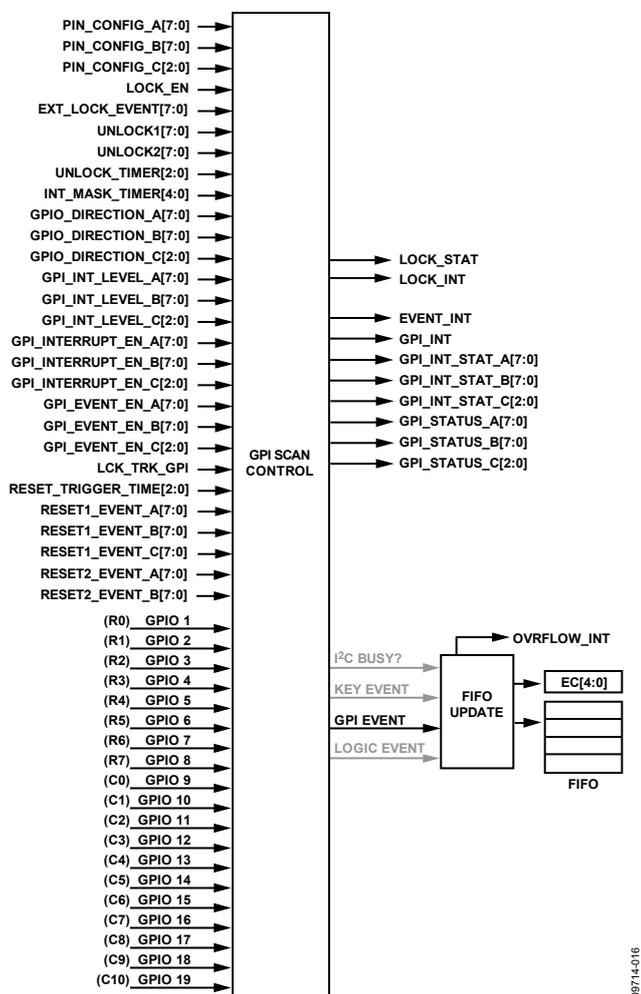


図 16. GPI スキャン&検出ブロック

各GPIの電流入力状態は、GPI\_STATUS\_xレジスタを使用して読み出すことができます。各GPIは、GPI\_INTERRUPT\_EN\_xレジスタによって割り込みを生成するように設定できます。割り込みステータスは、GPI\_INT\_STAT\_xレジスタに格納されます。GPI割り込みは、GPI\_INT\_LEVEL\_xレジスタによって、ハイレベルまたはローレベルの入力によってトリガされるように設定できます。いずれかのGPI割り込みがトリガされると、マスタGPI\_INT割り込みもトリガされます。図 17に、シングルGPIと、対応するステータス・ビットおよび割り込みステータス・ビットへの影響を示します。

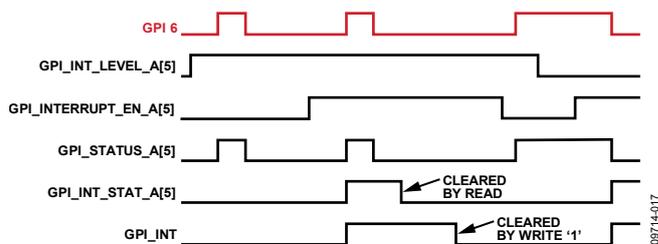


図 17. シングル GPI

GPIは、GPI\_EVENT\_EN\_xレジスタによってFIFOイベントを生成するように設定できます。このモードのGPIは、GPI\_INT割り込みを生成せず、EVENT\_INT割り込みを生成します。図 18は、アクティブ（アクティブ・ハイ）および非アクティブになるいくつかのGPIラインと、FIFOおよびイベント・カウントに対するその影響を示します。

GPI スキャナは、レベル遷移を検出するまでアイドル状態です。GPI スキャナは、GPI 入力をスキャンし、それに応じて更新を行います。その後、直ちにアイドル状態に戻り、キー・スキャナのようにスキャンや待機をしません。このため、GPI スキャナは、50µs (typ) の入力デバウンスの後、狭いパルスを検出できます。

GPI (FIFO更新用に設定) は、UNLOCKxレジスタによってキーパッド・アンロック・イベントとして使用できます（「FIFOのロック/アンロック」を参照）。LCK\_TRK\_GPIビットを使用すれば、キーパッドがロックされているときにGPI (FIFO更新用に設定) をトラッキングすることができます。

## GPO出力

19 本のI/Oラインは、それぞれ汎用出力（GPO）ラインとして設定できます。図 5はI/O構造の詳細を示します。GPOの設定と使い方については、「レジスタの詳細な説明」を参照してください。

### ロジック・ブロック

ADP5589 I/O ラインの一部は、共通ロジック関数を実装するための入出力に使用できます。

R1, R2, R3 I/O ピンはロジック・ブロック 1 の入力として、R0 I/O ピンは出力として使用できます。

C8, C7, C6 I/O ピンはロジック・ブロック 2 の入力として、C9 I/O ピンは出力として使用できます。ロジック・ブロック 1 の出力をカスケード接続して、ロジック・ブロック 2 の代替入力とすることもできます (LA2 の代わりに LY1 が使用されます)。

ロジック・ブロックからの出力は、割込みの生成に設定することができます。また、FIFO に関するイベントの生成にも設定できます。LCK\_TRK\_LOGIC (0x4D[4]) ビットを使用すれば、キーパッドがロックされているときにロジック・イベント (FIFO 更新用に設定) のトラッキングが可能になります。

図 20 と図 21 は、各ロジック・ブロックの内部構造の詳細です。実装可能なロジック関数も示されています。

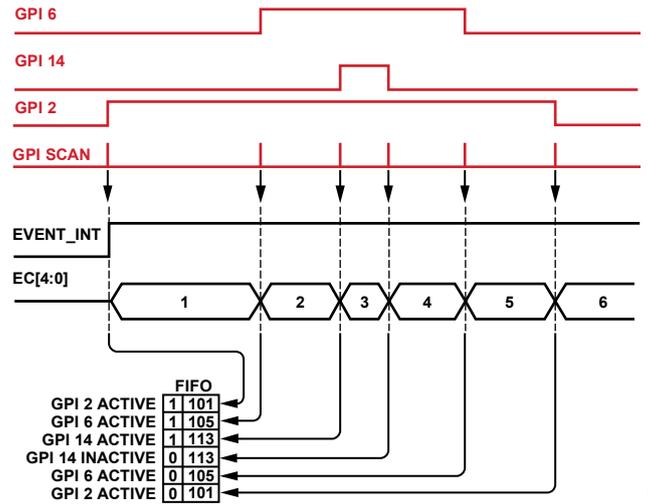


図 18. ロジック・ブロックの概要

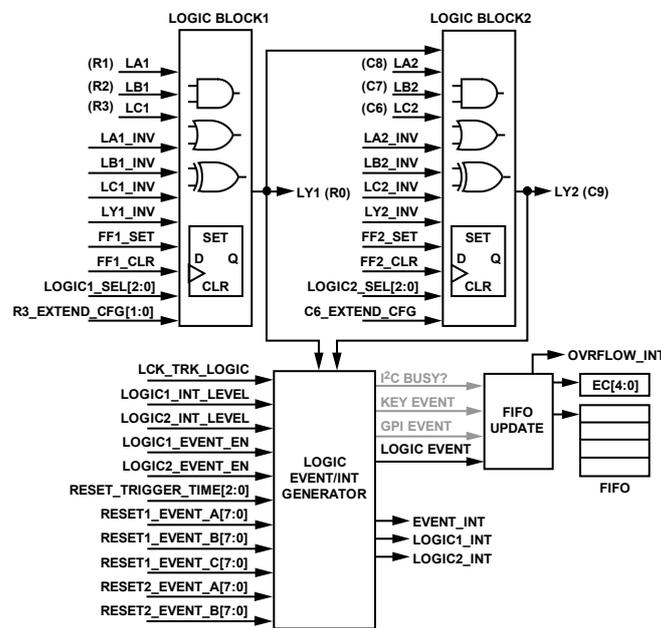
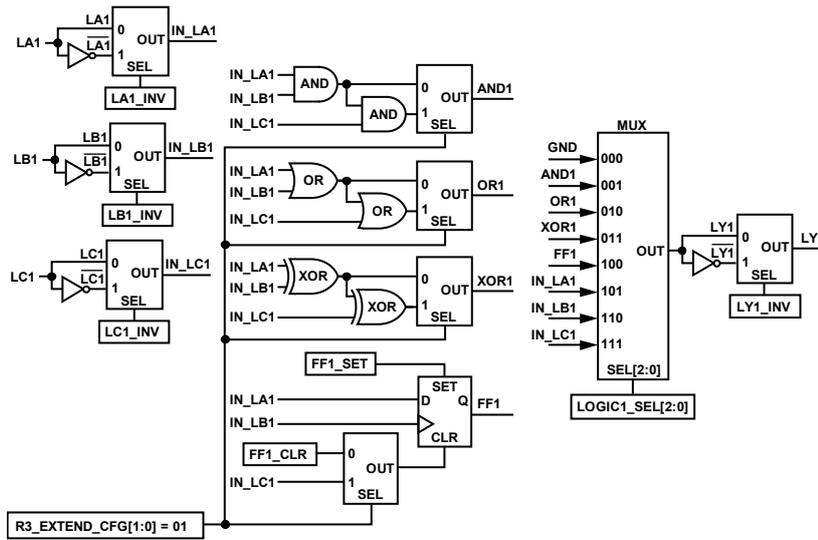
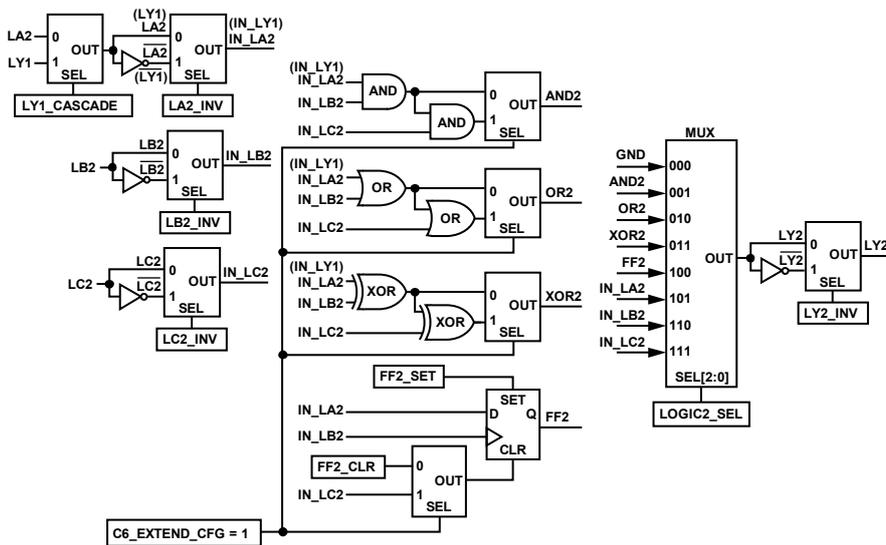


図 19. 複数の GPI ライン



09714-020

図 20. ロジック・ブロック 1



09714-021

図 21. ロジック・ブロック 2

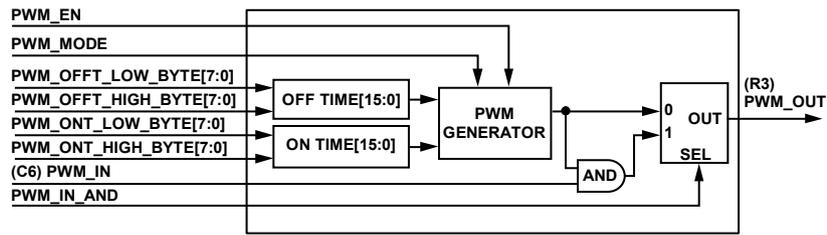


図 22. PWM ブロック図

### PWMブロック

ADP5589 にはPWMジェネレータがあり、出力がI/OピンR3 に送り出されるように設定できます。PWMのオン/オフ時間は、4つの8ビット・レジスタによって設定されます。新しい設定値は、最終バイトであるPWM\_ONT\_HIGH\_BYTE (0x41) が書き込まれるまではラッチされません (図 22を参照)。

また、内部生成された PWM 信号と I/O ピン C6 から入力された外部信号との論理積をとることもできます。

### クロック・デバイダ・ブロック

ADP5589 は、I/O ピン C6 から入力された外部ソースの周波数を分周するクロック・デバイダ・ブロックを備えています。デバイダの出力は、I/O ピン R3 に送り出されます。

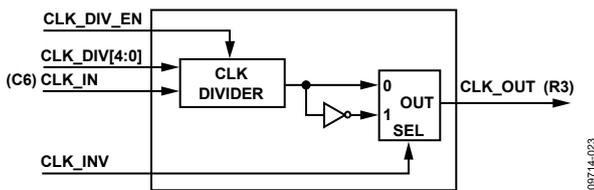


図 23. クロック・デバイダ・ブロック

### リセット・ブロック

ADP5589 は、特定のイベントが同時に検出された場合にリセット条件を生成できる 2つのリセット・ブロックを備えています。RESET1 には、最大3つのリセット・トリガ・イベントを設定できます。RESET2 には、最大2つのリセット・トリガ・イベントを設定できます。イベント・スキャン制御ブロックが、RESET\_TRIGGER\_TIME[2:0] (0x3D[4:2]) の期間中、これらのイベントの存在を監視します。イベントが存在する場合、リセット・ジェネレータ・ブロックにリセット開始信号が送信されます。生成されるリセット信号のパルス幅はプログラマブルです。

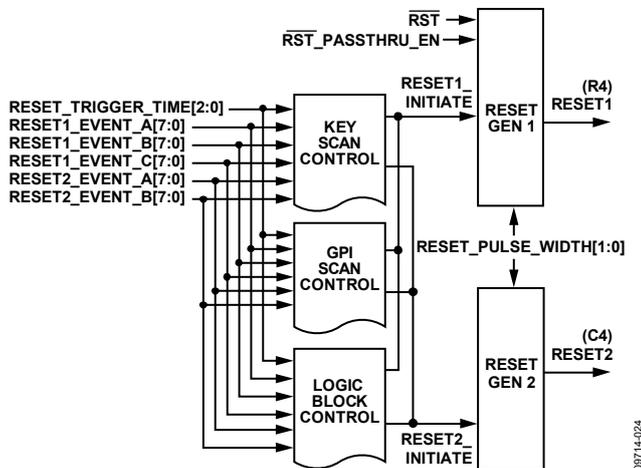


図 24. リセット・ブロック

RESET1 信号は、I/OピンR4 を使用して出力します。パススルー・モードを使用すれば、メインRSTピンをR4 ピンに出力することもできます。

RESET2 信号は、I/O ピン C4 を使用して出力します。

リセット生成信号は、システム・プロセッサが動かなくなり、システムが入力イベントにตอบสนองしないときに役に立ちます。ユーザは、リセット・イベントの組み合わせの1つをプレスして、システム全体のリセットを開始できます。これによって、システムからバッテリーを取り除いてハード・リセットを実行しなければならないことが少なくなります。

間違ったトリガを防ぐため、直接のトリガ時間 (表 69を参照) を使用しないほうがよいでしょう。

### 割込み

いずれかの内部割込みソースがアクティブである場合、INTピンをローレベルにアサートすることができます。

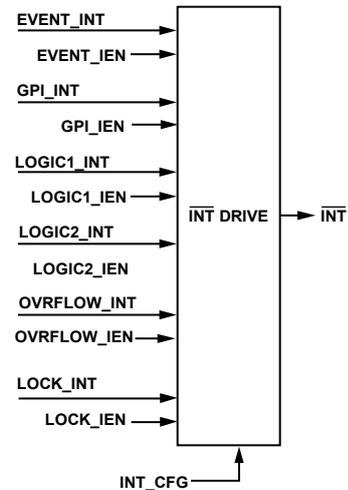


図 25. INTをローレベルにアサート

## レジスタのインターフェース

ADP5589 のレジスタは、 $I^2C$  互換シリアル・インターフェースからアクセスします。このインターフェースは、最大 1 MHz のクロック周波数に対応できます。ユーザが FIFO または キー・イベント・カウンタ (KEC) にアクセスしているときは、FIFO/KEC の更新が一時停止します。クロック周波数がかなり低いと、イベントをタイマーに記録できないことがあります。 $I^2C$  の読書きには  $I^2C$  の数サイクルが必要であるため、FIFO または KEC の更新は割込みがアサートされてから最大 23  $\mu s$  後に行うことができます。この遅延がユーザに問題にならないようにしてください。

図 26 に、内部レジスタを設定する代表的な書き込みシーケンスを示します。このサイクルはスタート条件で開始し、その後 7 ビットのデバイス・アドレス (0x34) が続き、さらに書き込みサイクル用に  $R/\bar{W}$  ビットが 0 に設定されます。ADP5589 は、データラインをローレベルにして、アドレス・バイトをアクノリッジします。データを書き込むレジスタのアドレスが次に送信されます。ADP5589 は、データラインをローレベルにして、レジスタのポインタ・バイトをアクノリッジします。書き込むデータバイトが次に送信されます。ADP5589 は、データラインをローレベルにして、データバイトをアクノリッジします。このシーケンスは、ストップ条件で完了します。

図 27 は、内部レジスタを設定するための代表的な複数バイト書き込みシーケンスです。このサイクルはスタート条件で開始し、その後 7 ビットのデバイス・アドレス (0x34) が続き、さらに書き込みサイクル用に  $R/\bar{W}$  ビットが 0 に設定されます。ADP5589 は、

データラインをローレベルにして、アドレス・バイトをアクノリッジします。データを書き込むレジスタのアドレスが次に送信されます。ADP5589 は、データラインをローレベルにして、レジスタのポインタ・バイトをアクノリッジします。書き込むデータバイトが次に送信されます。ADP5589 は、データラインをローレベルにして、データバイトをアクノリッジします。次のデータバイトを書き込むためにポインタ・アドレスがインクリメントし、N データバイトまで行きます。ADP5589 は、各バイト後にデータラインをローレベルにします。このシーケンスは、ストップ条件で完了します。

図 28 は、内部レジスタを読み出すための代表的なバイト読出しシーケンスです。このサイクルはスタート条件で開始し、その後 7 ビットのデバイス・アドレス (0x34) が続き、さらに書き込みサイクル用に  $R/\bar{W}$  ビットが 0 に設定されます。ADP5589 は、データラインをローレベルにして、アドレス・バイトをアクノリッジします。データを読み出すレジスタのアドレスが次に送信されます。ADP5589 は、データラインをローレベルにして、レジスタのポインタ・バイトをアクノリッジします。スタート条件が繰り返され、その後 7 ビットのデバイス・アドレス (0x34) が続き、さらに読出しサイクル用に  $R/\bar{W}$  ビットが 1 に設定されます。ADP5589 は、データラインをローレベルにして、アドレス・バイトをアクノリッジします。その後、8 ビット・データが読み出されます。ホストはデータラインをハイレベルにし (ノー・アクノレッジ)、ストップ条件でこのシーケンスが完了します。



図 26.  $I^2C$  シングル・バイト書き込みシーケンス

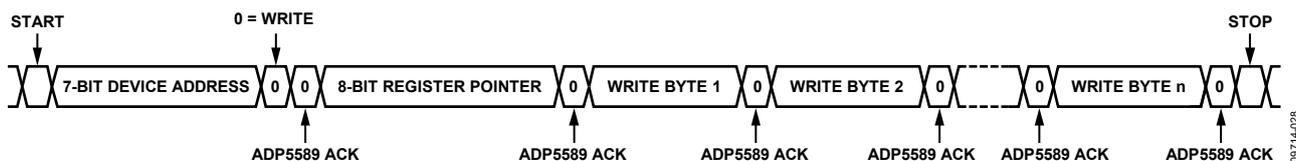


図 27.  $I^2C$  複数バイト書き込みシーケンス

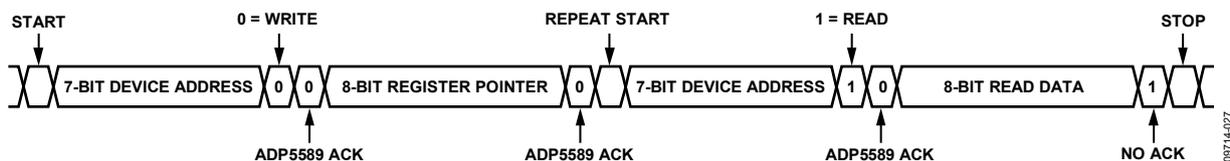


図 28.  $I^2C$  シングル・バイト読出しシーケンス

図 29は、内部レジスタを読み出すための代表的な複数バイト読出しシーケンスです。このサイクルはスタート条件で開始し、その後7ビットのデバイス・アドレス (0x34) が続き、さらに書込みサイクル用に $\overline{R/\overline{W}}$ ビットが 0 に設定されます。ADP5589 は、データラインをローレベルにして、アドレス・バイトをアクリッジします。データを読み出すレジスタのアドレスが次に送信されます。ADP5589 は、データラインをローレベルにして、レジスタのポインタ・バイトをアクリッジします。スタート条件が繰り返され、その後7ビットのデバイス・アドレス (0x34) が

続き、さらに読出しサイクル用に $\overline{R/\overline{W}}$ ビットが 1 に設定されます。ADP5589 は、データラインをローレベルにして、アドレス・バイトをアクリッジします。その後、8ビット・データが読み出されます。さらにその後、次のデータバイトを読み出すためにアドレス・ポインタがインクリメントし、ホストは各バイトでデータラインをローレベルにし続け (マスタ・アクリッジ)、Nデータバイトまで行きます。ホストは、最後のバイトが読み出された後データラインをハイレベルにし (ノー・アクリッジ)、ストップ条件でこのシーケンスが完了します。

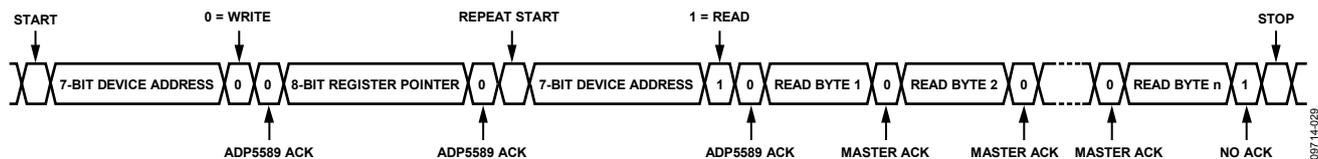


図 29. I<sup>2</sup>C複数バイト読出しシーケンス

## レジスタ・マップ

表 6.

Reg Add	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x00	R	MAN_ID				REV_ID			
0x01	R/W			LOGIC2_INT	LOGIC1_INT	LOCK_INT	OVRFLOW_INT	GPI_INT	EVENT_INT
0x02	R	LOGIC2_STAT	LOGIC1_STAT	LOCK_STAT	EC[4:0]				
0x03	R	Event1_State	EVENT1_IDENTIFIER[6:0]						
0x04	R	Event2_State	EVENT2_IDENTIFIER[6:0]						
0x05	R	Event3_State	EVENT3_IDENTIFIER[6:0]						
0x06	R	Event4_State	EVENT4_IDENTIFIER[6:0]						
0x07	R	Event5_State	EVENT5_IDENTIFIER[6:0]						
0x08	R	Event6_State	EVENT6_IDENTIFIER[6:0]						
0x09	R	Event7_State	EVENT7_IDENTIFIER[6:0]						
0x0A	R	Event8_State	EVENT8_IDENTIFIER[6:0]						
0x0B	R	Event9_State	EVENT9_IDENTIFIER[6:0]						
0x0C	R	Event10_State	EVENT10_IDENTIFIER[6:0]						
0x0D	R	Event11_State	EVENT11_IDENTIFIER[6:0]						
0x0E	R	Event12_State	EVENT12_IDENTIFIER[6:0]						
0x0F	R	Event13_State	EVENT13_IDENTIFIER[6:0]						
0x10	R	Event14_State	EVENT14_IDENTIFIER[6:0]						
0x11	R	Event15_State	EVENT15_IDENTIFIER[6:0]						
0x12	R	Event16_State	EVENT16_IDENTIFIER[6:0]						
0x13	R	GPI_INT_STAT_A[7:0]							
0x14	R	GPI_INT_STAT_B[7:0]							
0x15	R					GPI_INT_STAT_C[2:0]			
0x16	R	GPI_STATUS_A[7:0]							
0x17	R	GPI_STATUS_B[7:0]							
0x18	R					GPI_STATUS_C[2:0]			
0x19	R/W	RPULL_CONFIG_A[7:0]							
0x1A	R/W	RPULL_CONFIG_B[7:0]							
0x1B	R/W	RPULL_CONFIG_C[7:0]							
0x1C	R/W	RPULL_CONFIG_D[7:0]							
0x1D	R/W	RPULL_CONFIG_E[5:0]							
0x1E	R/W	GPI_INT_LEVEL_A[7:0]							
0x1F	R/W	GPI_INT_LEVEL_B[7:0]							
0x20	R/W					GPI_INT_LEVEL_C[2:0]			
0x21	R/W	GPI_EVENT_EN_A[7:0]							
0x22	R/W	GPI_EVENT_EN_B[7:0]							
0x23	R/W					GPI_EVENT_EN_C[2:0]			
0x24	R/W	GPI_INTERRUPT_EN_A[7:0]							
0x25	R/W	GPI_INTERRUPT_EN_B[7:0]							
0x26	R/W					GPI_INTERRUPT_EN_C[2:0]			
0x27	R/W	DEBOUNCE_DIS_A[7:0]							
0x28	R/W	DEBOUNCE_DIS_B[7:0]							
0x29	R/W					DEBOUNCE_DIS_C[2:0]			
0x2A	R/W	GPO_DATA_OUT_A[7:0]							
0x2B	R/W	GPO_DATA_OUT_B[7:0]							
0x2C	R/W					GPO_DATA_OUT_C[2:0]			
0x2D	R/W	GPO_OUT_MODE_A[7:0]							
0x2E	R/W	GPO_OUT_MODE_B[7:0]							
0x2F	R/W					GPO_OUT_MODE_C[2:0]			
0x30	R/W	GPIO_DIRECTION_A[7:0]							
0x31	R/W	GPIO_DIRECTION_B[7:0]							
0x32	R/W					GPIO_DIRECTION_C[2:0]			
0x33	R/W	UNLOCK1_STATE	UNLOCK1[6:0]						
0x34	R/W	UNLOCK2_STATE	UNLOCK2[6:0]						
0x35	R/W	EXT_LOCK_STATE	EXT_LOCK_EVENT[6:0]						

Reg Add	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
0x36	R/W	INT_MASK_TIMER[4:0]				UNLOCK_TIMER[2:0]				
0x37	R/W								LOCK_EN	
0x38	R/W	RESET1_EVENT_A Level	RESET1_EVENT_A[6:0]							
0x39	R/W	RESET2_EVENT_B Level	RESET1_EVENT_B[6:0]							
0x3A	R/W	RESET1_EVENT_B Level	RESET1_EVENT_C[6:0]							
0x3B	R/W	RESET1_EVENT_B Level	RESET2_EVENT_A[6:0]							
0x3C	R/W	RESET1_EVENT_B Level	RESET2_EVENT_B[6:0]							
0x3D	R/W	RESET2_POL	RESET1_POL	RST_PASSTHRU_EN	RESET_TRIGGER_TIME[2:0]			RESET_PULSE_WIDTH[1:0]		
0x3E	R/W	PWM_OFFT_LOW_BYTE[7:0]								
0x3F	R/W	PWM_OFFT_HIGH_BYTE[7:0]								
0x40	R/W	PWM_ONT_LOW_BYTE[7:0]								
0x41	R/W	PWM_ONT_HIGH_BYTE[7:0]								
0x42	R/W						PWM_IN_AND	PWM_MODE	PWM_EN	
0x43	R/W		CLK_INV	CLK_DIV[4:0]				CLK_DIV_EN		
0x44	R/W		LY1_INV	LC1_INV	LB1_INV	LA1_INV	LOGIC1_SEL[2:0]			
0x45	R/W	LY1_CASCADE	LY2_INV	LC2_INV	LB2_INV	LA2_INV	LOGIC2_SEL[2:0]			
0x46	R/W					FF2_SET	FF2_CLR	FF1_SET	FF1_CLR	
0x47	R/W			LY2_DBNC_DIS	LOGIC2_EVENT_EN	LOGIC2_INT_LEVEL	LY1_DBNC_DIS	LOGIC1_EVENT_EN	LOGIC1_INT_LEVEL	
0x48	R/W								KEY_POLL_TIME[1:0]	
0x49	R/W	PIN_CONFIG_A[7:0]								
0x4A	R/W	PIN_CONFIG_B[7:0]								
0x4B	R/W						PIN_CONFIG_C[2:0]			
0x4C	R/W	PULL_SELECT	C4_EXTEND_CFG	R4_EXTEND_CFG	C6_EXTEND_CFG	R3_EXTEND_CFG[1:0]		C9_EXTEND_CFG	R0_EXTEND_CFG	
0x4D	R/W	OSC_EN	CORE_FREQ[1:0]		LCK_TRK_LOGIC	LCK_TRK_GPI		INT_CFG	RST_CFG	
0x4E	R/W			LOGIC2_IEN	LOGIC1_IEN	LOCK_IEN	OVRFLOW_IEN	GPI_IEN	EVENT_IEN	

## レジスタの詳細な説明

表 7. レジスタ 0x00、ID

Bit	Name	R/W	Description
3~0	REV_ID	R	リビジョン ID。
7~4	MAN_ID	R	メーカーID、デフォルト = 0001。

表 8. レジスタ 0x01、INT\_STATUS

Bit	Name	R/W	Description
0	EVENT_INT	R/W	0 = 割込みなし。 1 = キー・イベント（プレス/リリース）、GPI イベント（GPI は FIFO 更新に設定）、またはロジック 1/ロジック 2 イベント（FIFO 更新に設定）による割込み。このビットをクリアするには、1 を書き込みます。
1	GPI_INT	R/W	0 = 割込みなし。 1 = 一般的な GPI 条件による割込み。 このビットは、FIFO とイベント・カウントの更新に設定された GPI ではセットされません。 このビットをクリアするには、1 を書き込みます。 このビットは、すべての GPI_x_INT ビットがクリアされるまでクリアすることはできません。
2	OVRFLOW_INT	R/W	0 = 割込みなし。 1 = オーバーフロー条件による割込み。 このビットをクリアするには、1 を書き込みます。
3	LOCK_INT	R/W	0 = 割込みなし。 1 = ロック/アンロック条件による割込み。 ユーザは、LOCK_STAT (0x02[5]) を読み出すことによって、LOCK_INT がロックまたはアンロックのいずれのイベントによるかを判定できます。 LOCK_STAT = 1 の場合、LOCK_INT はロック・イベントによるものです。 LOCK_STAT = 0 の場合、LOCK_INT はアンロック・イベントによるものです。 このビットをクリアするには、1 を書き込みます。 ロック・モードがソフトウェア・ビット LOCK_EN (0x37[0]) によりイネーブルされた場合、プロセッサはロック・モードがイネーブルされたばかりであるとわかるため、LOCK_INT は生成されません。 ロック・モードがソフトウェア・ビット LOCK_EN を介して（ロック中に）ディスエーブルにされた場合、プロセッサはロック・モードがディスエーブルされたばかりであるとわかるため、LOCK_INT は生成されません。
4	LOGIC1_INT	R/W	0 = 割込みなし。 1 = 一般的なロジック 1 条件による割込み。 このビットをクリアするには、1 を書き込みます。
5	LOGIC2_INT	R/W	0 = 割込みなし。 1 = 一般的なロジック 2 条件による割込み。 このビットをクリアするには、1 を書き込みます。
7~6			未使用。

表 9. レジスタ 0x02、STATUS

Bit	Name	R/W	Description
4~0	EC[4:0]	R	イベント・カウント値。FIFO に現在格納されているイベント数を示します。
5	LOCK_STAT	R	0 = アンロック。 1 = ロック。
6	LOGIC1_STAT	R	0 = ロジック・ブロック 1 (LY1) からの出力はローレベルです。 1 = ロジック・ブロック 1 (LY1) からの出力はハイレベルです。
7	LOGIC2_STAT	R	0 = ロジック・ブロック 2 (LY2) からの出力はローレベルです。 1 = ロジック・ブロック 2 (LY2) からの出力はハイレベルです。

表 10. レジスタ 0x03、EVENT1[7:0]、FIFO\_1

Bit	Name	R/W	Description
6~0	EVENT1_IDENTIFIER[6:0]	R	各 FIFO 位置の下位 7 ビットに含まれるイベント識別子をデコードすれば、記録されたイベントを明らかにすることができます。 表 11 に、各イベント番号、イベント番号の意味、関連する I/O ビンを示します。 ビット 7 はイベント 1 の状態です。
7	Event1_State		このビットは、EVENT1_IDENTIFIER[6:0] に記録されたイベントの状態を示します。 キー・イベント（イベント 1 ~ イベント 96）の場合： 1 = キーがプレスされています。 0 = キーがリリースされています。 GPI および ロジック・イベント（イベント 97 ~ イベント 117）の場合： 1 = GPI/ロジックはアクティブです。 0 = GPI/ロジックは非アクティブです。 アクティブ/非アクティブ状態はプログラマブルです。

表 11. イベント・デコーディング

Event No.	Meaning						
0	No event	32	Key 32 (R2, C9)	64	Key 64 (R5, C8)	96	Key 96 (R7, GND)
1	Key 1 (R0, C0)	33	Key 33 (R2, C10)	65	Key 65 (R5, C9)	97	GPI 1 (R0)
2	Key 2 (R0, C1)	34	Key 34 (R3, C0)	66	Key 66 (R5, C10)	98	GPI 2 (R1)
3	Key 3 (R0, C2)	35	Key 35 (R3, C1)	67	Key 67 (R6, C0)	99	GPI 3 (R2)
4	Key 4 (R0, C3)	36	Key 36 (R3, C2)	68	Key 68 (R6, C1)	100	GPI 4 (R3)
5	Key 5 (R0, C4)	37	Key 37 (R3, C3)	69	Key 69 (R6, C2)	101	GPI 5 (R4)
6	Key 6 (R0, C5)	38	Key 38 (R3, C4)	70	Key 70 (R6, C3)	102	GPI 6 (R5)
7	Key 7 (R0, C6)	39	Key 39 (R3, C5)	71	Key 71 (R6, C4)	103	GPI 7 (R6)
8	Key 8 (R0, C7)	40	Key 40 (R3, C6)	72	Key 72 (R6, C5)	104	GPI 8 (R7)
9	Key 9 (R0, C8)	41	Key 41 (R3, C7)	73	Key 73 (R6, C6)	105	GPI 9 (C0)
10	Key 10 (R0, C9)	42	Key 42 (R3, C8)	74	Key 74 (R6, C7)	106	GPI 10 (C1)
11	Key 11 (R0, C10)	43	Key 43 (R3, C9)	75	Key 75 (R6, C8)	107	GPI 11 (C2)
12	Key 12 (R1, C0)	44	Key 44 (R3, C10)	76	Key 76 (R6, C9)	108	GPI 12 (C3)
13	Key 13 (R1, C1)	45	Key 45 (R4, C0)	77	Key 77 (R6, C10)	109	GPI 13 (C4)
14	Key 14 (R1, C2)	46	Key 46 (R4, C1)	78	Key 78 (R7, C0)	110	GPI 14 (C5)
15	Key 15 (R1, C3)	47	Key 47 (R4, C2)	79	Key 79 (R7, C1)	111	GPI 15 (C6)
16	Key 16 (R1, C4)	48	Key 48 (R4, C3)	80	Key 80 (R7, C2)	112	GPI 16 (C7)
17	Key 17 (R1, C5)	49	Key 49 (R4, C4)	81	Key 81 (R7, C3)	113	GPI 17 (C8)
18	Key 18 (R1, C6)	50	Key 50 (R4, C5)	82	Key 82 (R7, C4)	114	GPI 18 (C9)
19	Key 19 (R1, C7)	51	Key 51 (R4, C6)	83	Key 83 (R7, C5)	115	GPI 19 (C10)
20	Key 20 (R1, C8)	52	Key 52 (R4, C7)	84	Key 84 (R7, C6)	116	Logic 1
21	Key 21 (R1, C9)	53	Key 53 (R4, C8)	85	Key 85 (R7, C7)	117	Logic 2
22	Key 22 (R1, C10)	54	Key 54 (R4, C9)	86	Key 86 (R7, C8)	118	Unused
23	Key 23 (R2, C0)	55	Key 55 (R4, C10)	87	Key 87 (R7, C9)	119	Unused
24	Key 24 (R2, C1)	56	Key 56 (R5, C0)	88	Key 88 (R7, C10)	120	Unused
25	Key 25 (R2, C2)	57	Key 57 (R5, C1)	89	Key 89 (R0, GND)	121	Unused
26	Key 26 (R2, C3)	58	Key 58 (R5, C2)	90	Key 90 (R1, GND)	122	Unused
27	Key 27 (R2, C4)	59	Key 59 (R5, C3)	91	Key 91 (R2, GND)	123	Unused
28	Key 28 (R2, C5)	60	Key 60 (R5, C4)	92	Key 92 (R3, GND)	124	Unused
29	Key 29 (R2, C6)	61	Key 61 (R5, C5)	93	Key 93 (R4, GND)	125	Unused
30	Key 30 (R2, C7)	62	Key 62 (R5, C6)	94	Key 94 (R5, GND)	126	Unused
31	Key 31 (R2, C8)	63	Key 63 (R5, C7)	95	Key 95 (R6, GND)	127	Wildcard for unlock

表 12. レジスタ 0x04、EVENT2[7:0]、FIFO\_2

Bit	Name	R/W	Description
6~0	EVENT2_IDENTIFIER[6:0]	R	表 10 を参照。
7	Event2_State	R	表 10 を参照。

表 13. レジスタ 0x05、EVENT3[7:0]、FIFO\_3

Bit	Name	R/W	Description
6~0	EVENT3_IDENTIFIER[6:0]	R	表 10を参照。
7	Event3_State	R	表 10を参照。

表 14. レジスタ 0x06、EVENT4[7:0]、FIFO\_4

Bit	Name	R/W	Description
6~0	EVENT4_IDENTIFIER[6:0]	R	表 10を参照。
7	Event4_State	R	表 10を参照。

表 15. レジスタ 0x07、EVENT5[7:0]、FIFO\_5

Bit	Name	R/W	Description
6~0	EVENT5_IDENTIFIER[6:0]	R	表 10を参照。
7	Event5_State	R	表 10を参照。

表 16. レジスタ 0x08、EVENT6[7:0]、FIFO\_6

Bit	Name	R/W	Description
6~0	EVENT6_IDENTIFIER[6:0]	R	表 10を参照。
7	Event6_State	R	表 10を参照。

表 17. レジスタ 0x09、EVENT7[7:0]、FIFO\_7

Bit	Name	R/W	Description
6~0	EVENT7_IDENTIFIER[6:0]	R	表 10を参照。
7	Event7_State	R	表 10を参照。

表 18. レジスタ 0x0A、EVENT8[7:0]、FIFO\_8

Bit	Name	R/W	Description
6~0	EVENT8_IDENTIFIER[6:0]	R	表 10を参照。
7	Event8_State	R	表 10を参照。

表 19. レジスタ 0x0B、EVENT9[7:0]、FIFO\_9

Bit	Name	R/W	Description
6~0	EVENT9_IDENTIFIER[6:0]	R	表 10を参照。
7	Event9_State	R	表 10を参照。

表 20. レジスタ 0x0C、EVENT10[7:0]、FIFO\_10

Bit	Name	R/W	Description
6~0	EVENT10_IDENTIFIER[6:0]	R	表 10を参照。
7	Event10_State	R	表 10を参照。

表 21. レジスタ 0x0D、EVENT11[7:0]、FIFO\_11

Bit	Name	R/W	Description
6~0	EVENT11_IDENTIFIER[6:0]	R	表 10を参照。
7	Event11_State	R	表 10を参照。

表 22. レジスタ 0x0E、EVENT12[7:0]、FIFO\_12

Bit	Name	R/W	Description
6~0	EVENT12_IDENTIFIER[6:0]	R	表 10を参照。
7	Event12_State	R	表 10を参照。

表 23. レジスタ 0x0F、EVENT13[7:0]、FIFO\_13

Bit	Name	R/W	Description
6~0	EVENT13_IDENTIFIER[6:0]	R	表 10を参照。
7	Event13_State	R	表 10を参照。

表 24. レジスタ 0x10、EVENT14[7:0]、FIFO\_14

Bit	Name	R/W	Description
6~0	EVENT14_IDENTIFIER[6:0]	R	表 10を参照。
7	Event14_State	R	表 10を参照。

表 25. レジスタ 0x11、EVENT15[7:0]、FIFO\_15

Bit	Name	R/W	Description
6~0	EVENT15_IDENTIFIER[6:0]	R	表 10を参照。
7	Event15_State	R	表 10を参照。

表 26. レジスタ 0x12、EVENT16[7:0]、FIFO\_16

Bit	Name	R/W	Description
6~0	EVENT16_IDENTIFIER[6:0]	R	表 10を参照。
7	Event16_State	R	表 10を参照。

表 27. レジスタ 0x13、GPI\_INT\_STAT\_A

Bit	Name	R/W	Description
0	GPI_1_INT	R	0 = 割込みなし。 1 = GPI_1 (R0 ピン) による割込み。読出し時にクリア。
1	GPI_2_INT	R	0 = 割込みなし。 1 = GPI_2 (R1 ピン) による割込み。読出し時にクリア。
2	GPI_3_INT	R	0 = 割込みなし。 1 = GPI_3 (R2 ピン) による割込み。読出し時にクリア。
3	GPI_4_INT	R	0 = 割込みなし。 1 = GPI_4 (R3 ピン) による割込み。読出し時にクリア。
4	GPI_5_INT	R	0 = 割込みなし。 1 = GPI_5 (R4 ピン) による割込み。読出し時にクリア。
5	GPI_6_INT	R	0 = 割込みなし。 1 = GPI_6 (R5 ピン) による割込み。読出し時にクリア。
6	GPI_7_INT	R	0 = 割込みなし。 1 = GPI_7 (R6 ピン) による割込み。読出し時にクリア。
7	GPI_8_INT	R	0 = 割込みなし。 1 = GPI_8 (R7 ピン) による割込み。読出し時にクリア。

表 28. レジスタ 0x14、GPI\_INT\_STAT\_B

Bit	Name	R/W	Description
0	GPI_9_INT	R	0 = 割込みなし。 1 = GPI_9 (C0 ピン) による割込み。読出し時にクリア。
1	GPI_10_INT	R	0 = 割込みなし。 1 = GPI_10 (C1 ピン) による割込み。読出し時にクリア。
2	GPI_11_INT	R	0 = 割込みなし。 1 = GPI_11 (C2 ピン) による割込み。読出し時にクリア。
3	GPI_12_INT	R	0 = 割込みなし。 1 = GPI_12 (C3 ピン) による割込み。読出し時にクリア。
4	GPI_13_INT	R	0 = 割込みなし。 1 = GPI_13 (C4 ピン) による割込み。読出し時にクリア。
5	GPI_14_INT	R	0 = 割込みなし。 1 = GPI_14 (C5 ピン) による割込み。読出し時にクリア。
6	GPI_15_INT	R	0 = 割込みなし。 1 = GPI_15 (C6 ピン) による割込み。読出し時にクリア。
7	GPI_16_INT	R	0 = 割込みなし。 1 = GPI_16 (C7 ピン) による割込み。読出し時にクリア。

表 29. レジスタ 0x15、GPI\_INT\_STAT\_C

Bit	Name	R/W	Description
0	GPI_17_INT	R	0 = 割込みなし。 1 = GPI_17 (C8 ピン) による割込み。読出し時にクリア。
1	GPI_18_INT	R	0 = 割込みなし。 1 = GPI_18 (C9 ピン) による割込み。読出し時にクリア。
2	GPI_19_INT	R	0 = 割込みなし。 1 = GPI_19 (C10 ピン) による割込み。読出し時にクリア。
7~3			未使用。

表 30. レジスタ 0x16、GPI\_STATUS\_A

Bit	Name	R/W	Description
0	GPI_1_STAT	R	0 = GPI_1 (R0 ピン) はローレベルです。 1 = GPI_1 (R0 ピン) はハイレベルです。
1	GPI_2_STAT	R	0 = GPI_2 (R1 ピン) はローレベルです。 1 = GPI_2 (R1 ピン) はハイレベルです。
2	GPI_3_STAT	R	0 = GPI_3 (R2 ピン) はローレベルです。 1 = GPI_3 (R2 ピン) はハイレベルです。
3	GPI_4_STAT	R	0 = GPI_4 (R3 ピン) はローレベルです。 1 = GPI_4 (R3 ピン) はハイレベルです。
4	GPI_5_STAT	R	0 = GPI_5 (R4 ピン) はローレベルです。 1 = GPI_5 (R4 ピン) はハイレベルです。
5	GPI_6_STAT	R	0 = GPI_6 (R5 ピン) はローレベルです。 1 = GPI_6 (R5 ピン) はハイレベルです。
6	GPI_7_STAT	R	0 = GPI_7 (R6 ピン) はローレベルです。 1 = GPI_7 (R6 ピン) はハイレベルです。
7	GPI_8_STAT	R	0 = GPI_8 (R7 ピン) はローレベルです。 1 = GPI_8 (R7 ピン) はハイレベルです。

表 31. レジスタ 0x17、GPI\_STATUS\_B

Bit	Name	R/W	Description
0	GPI_9_STAT	R	0 = GPI_9 (C0 ピン) はローレベルです。 1 = GPI_9 (C0 ピン) はハイレベルです。
1	GPI_10_STAT	R	0 = GPI_10 (C1 ピン) はローレベルです。 1 = GPI_10 (C1 ピン) はハイレベルです。
2	GPI_11_STAT	R	0 = GPI_11 (C2 ピン) はローレベルです。 1 = GPI_11 (C2 ピン) はハイレベルです。
3	GPI_12_STAT	R	0 = GPI_12 (C3 ピン) はローレベルです。 1 = GPI_12 (C3 ピン) はハイレベルです。
4	GPI_13_STAT	R	0 = GPI_13 (C4 ピン) はローレベルです。 1 = GPI_13 (C4 ピン) はハイレベルです。
5	GPI_14_STAT	R	0 = GPI_14 (C5 ピン) はローレベルです。 1 = GPI_14 (C5 ピン) はハイレベルです。
6	GPI_15_STAT	R	0 = GPI_15 (C6 ピン) はローレベルです。 1 = GPI_15 (C6 ピン) はハイレベルです。
7	GPI_16_STAT	R	0 = GPI_16 (C7 ピン) はローレベルです。 1 = GPI_16 (C7 ピン) はハイレベルです。

表 32. レジスタ 0x18、GPI\_STATUS\_C

Bit	Name	R/W	Description
0	GPI_17_STAT	R	0 = GPI_17 (C8 ピン) はローレベルです。 1 = GPI_17 (C8 ピン) はハイレベルです。
1	GPI_18_STAT	R	0 = GPI_18 (C9 ピン) はローレベルです。 1 = GPI_18 (C9 ピン) はハイレベルです。
2	GPI_19_STAT	R	0 = GPI_19 (C10 ピン) はローレベルです。 1 = GPI_19 (C10 ピン) はハイレベルです。
7~3			未使用。

表 33. レジスタ 0x19、RPULL\_CONFIG\_A

Bit	Name	R/W	Description
1~0	R0_PULL_CFG	R/W	00 = 300 kΩ プルアップをイネーブル。 01 = 300 kΩ プルダウンをイネーブル。 10 = 100 kΩ プルアップをイネーブル。 11 = すべてのプルアップ/プルダウン抵抗をディスエーブル。
3~2	R1_PULL_CFG	R/W	00 = 300 kΩ プルアップをイネーブル。 01 = 300 kΩ プルダウンをイネーブル。 10 = 100 kΩ プルアップをイネーブル。 11 = すべてのプルアップ/プルダウン抵抗をディスエーブル。
5~4	R2_PULL_CFG	R/W	00 = 300 kΩ プルアップをイネーブル。 01 = 300 kΩ プルダウンをイネーブル。 10 = 100 kΩ プルアップをイネーブル。 11 = すべてのプルアップ/プルダウン抵抗をディスエーブル。
7~6	R3_PULL_CFG	R/W	00 = 300 kΩ プルアップをイネーブル。 01 = 300 kΩ プルダウンをイネーブル。 10 = 100 kΩ プルアップをイネーブル。 11 = すべてのプルアップ/プルダウン抵抗をディスエーブル。

表 34. レジスタ 0x1A、RPULL\_CONFIG\_B

Bit	Name	R/W	Description
1~0	R4_PULL_CFG	R/W	00 = 300 kΩ プルアップをイネーブル。 01 = 300 kΩ プルダウンをイネーブル。 10 = 100 kΩ プルアップをイネーブル。 11 = すべてのプルアップ/プルダウン抵抗をディスエーブル。
3~2	R5_PULL_CFG	R/W	00 = 300 kΩ プルアップをイネーブル。 01 = 300 kΩ プルダウンをイネーブル。 10 = 100 kΩ プルアップをイネーブル。 11 = すべてのプルアップ/プルダウン抵抗をディスエーブル。
5~4	R6_PULL_CFG	R/W	00 = 300 kΩ プルアップをイネーブル。 01 = 300 kΩ プルダウンをイネーブル。 10 = 100 kΩ プルアップをイネーブル。 11 = すべてのプルアップ/プルダウン抵抗をディスエーブル。
7~6	R7_PULL_CFG	R/W	00 = 300 kΩ プルアップをイネーブル。 01 = 300 kΩ プルダウンをイネーブル。 10 = 100 kΩ プルアップをイネーブル。 11 = すべてのプルアップ/プルダウン抵抗をディスエーブル。

表 35. レジスタ 0x1B、RPULL\_CONFIG\_C

Bit	Name	R/W	Description
1~0	C0_PULL_CFG	R/W	00 = 300 kΩ プルアップをイネーブル。 01 = 300 kΩ プルダウンをイネーブル。 10 = 100 kΩ プルアップをイネーブル。 11 = すべてのプルアップ/プルダウン抵抗をディスエーブル。
3~2	C1_PULL_CFG	R/W	00 = 300 kΩ プルアップをイネーブル。 01 = 300 kΩ プルダウンをイネーブル。 10 = 100 kΩ プルアップをイネーブル。 11 = すべてのプルアップ/プルダウン抵抗をディスエーブル。
5~4	C2_PULL_CFG	R/W	00 = 300 kΩ プルアップをイネーブル。 01 = 300 kΩ プルダウンをイネーブル。 10 = 100 kΩ プルアップをイネーブル。 11 = すべてのプルアップ/プルダウン抵抗をディスエーブル。
7~6	C3_PULL_CFG	R/W	00 = 300 kΩ プルアップをイネーブル。 01 = 300 kΩ プルダウンをイネーブル。 10 = 100 kΩ プルアップをイネーブル。 11 = すべてのプルアップ/プルダウン抵抗をディスエーブル。

表 36. レジスタ 0x1C、RPULL\_CONFIG\_D

Bit	Name	R/W	Description
1~0	C4_PULL_CFG	R/W	00 = 300 kΩ プルアップをイネーブル。 01 = 300 kΩ プルダウンをイネーブル。 10 = 100 kΩ プルアップをイネーブル。 11 = すべてのプルアップ/プルダウン抵抗をディスエーブル。
3~2	C5_PULL_CFG	R/W	00 = 300 kΩ プルアップをイネーブル。 01 = 300 kΩ プルダウンをイネーブル。 10 = 100 kΩ プルアップをイネーブル。 11 = すべてのプルアップ/プルダウン抵抗をディスエーブル。
5~4	C6_PULL_CFG	R/W	00 = 300 kΩ プルアップをイネーブル。 01 = 300 kΩ プルダウンをイネーブル。 10 = 100 kΩ プルアップをイネーブル。 11 = すべてのプルアップ/プルダウン抵抗をディスエーブル。
7~6	C7_PULL_CFG	R/W	00 = 300 kΩ プルアップをイネーブル。 01 = 300 kΩ プルダウンをイネーブル。 10 = 100 kΩ プルアップをイネーブル。 11 = すべてのプルアップ/プルダウン抵抗をディスエーブル。

表 37. レジスタ 0x1D、RPULL\_CONFIG\_E

Bit	Name	R/W	Description
1~0	C8_PULL_CFG	R/W	00 = 300 kΩ プルアップをイネーブル。 01 = 300 kΩ プルダウンをイネーブル。 10 = 100 kΩ プルアップをイネーブル。 11 = すべてのプルアップ/プルダウン抵抗をディスエーブル。
3~2	C9_PULL_CFG	R/W	00 = 300 kΩ プルアップをイネーブル。 01 = 300 kΩ プルダウンをイネーブル。 10 = 100 kΩ プルアップをイネーブル。 11 = すべてのプルアップ/プルダウン抵抗をディスエーブル。
5~4	C10_PULL_CFG	R/W	00 = 300 kΩ プルアップをイネーブル。 01 = 300 kΩ プルダウンをイネーブル。 10 = 100 kΩ プルアップをイネーブル。 11 = すべてのプルアップ/プルダウン抵抗をディスエーブル。
7~6			未使用。

表 38. レジスタ 0x1E、GPI\_INT\_LEVEL\_A

Bit	Name	R/W	Description
0	GPI_1_INT_LEVEL	R/W	0 = GPI_1 割込みはアクティブ・ローです (GPI_1_INT は R0 がローレベルになるたびに設定されます)。 1 = GPI_1 割込みはアクティブ・ハイです (GPI_1_INT は R0 がハイレベルになるたびに設定されます)。
1	GPI_2_INT_LEVEL	R/W	0 = GPI_2 割込みはアクティブ・ローです。 1 = GPI_2 割込みはアクティブ・ハイです。
2	GPI_3_INT_LEVEL	R/W	0 = GPI_3 割込みはアクティブ・ローです。 1 = GPI_3 割込みはアクティブ・ハイです。
3	GPI_4_INT_LEVEL	R/W	0 = GPI_4 割込みはアクティブ・ローです。 1 = GPI_4 割込みはアクティブ・ハイです。
4	GPI_5_INT_LEVEL	R/W	0 = GPI_5 割込みはアクティブ・ローです。 1 = GPI_5 割込みはアクティブ・ハイです。
5	GPI_6_INT_LEVEL	R/W	0 = GPI_6 割込みはアクティブ・ローです。 1 = GPI_6 割込みはアクティブ・ハイです。
6	GPI_7_INT_LEVEL	R/W	0 = GPI_7 割込みはアクティブ・ローです。 1 = GPI_7 割込みはアクティブ・ハイです。
7	GPI_8_INT_LEVEL	R/W	0 = GPI_8 割込みはアクティブ・ローです。 1 = GPI_8 割込みはアクティブ・ハイです。

表 39. レジスタ 0x1F、GPI\_INT\_LEVEL\_B

Bit	Name	R/W	Description
0	GPI_9_INT_LEVEL	R/W	0 = GPI_9 割込みはアクティブ・ローです。 1 = GPI_9 割込みはアクティブ・ハイです。
1	GPI_10_INT_LEVEL	R/W	0 = GPI_10 割込みはアクティブ・ローです。 1 = GPI_10 割込みはアクティブ・ハイです。
2	GPI_11_INT_LEVEL	R/W	0 = GPI_11 割込みはアクティブ・ローです。 1 = GPI_11 割込みはアクティブ・ハイです。
3	GPI_12_INT_LEVEL	R/W	0 = GPI_12 割込みはアクティブ・ローです。 1 = GPI_12 割込みはアクティブ・ハイです。
4	GPI_13_INT_LEVEL	R/W	0 = GPI_13 割込みはアクティブ・ローです。 1 = GPI_13 割込みはアクティブ・ハイです。
5	GPI_14_INT_LEVEL	R/W	0 = GPI_14 割込みはアクティブ・ローです。 1 = GPI_14 割込みはアクティブ・ハイです。
6	GPI_15_INT_LEVEL	R/W	0 = GPI_15 割込みはアクティブ・ローです。 1 = GPI_15 割込みはアクティブ・ハイです。
7	GPI_16_INT_LEVEL	R/W	0 = GPI_16 割込みはアクティブ・ローです。 1 = GPI_16 割込みはアクティブ・ハイです。

表 40. レジスタ 0x20、GPI\_INT\_LEVEL\_C

Bit	Name	R/W	Description
0	GPI_17_INT_LEVEL	R/W	0 = GPI_17 割込みはアクティブ・ローです。 1 = GPI_17 割込みはアクティブ・ハイです。
1	GPI_18_INT_LEVEL	R/W	0 = GPI_18 割込みはアクティブ・ローです。 1 = GPI_18 割込みはアクティブ・ハイです。
2	GPI_19_INT_LEVEL	R/W	0 = GPI_19 割込みはアクティブ・ローです。 1 = GPI_19 割込みはアクティブ・ハイです。
7~3			未使用。

表 41. レジスタ 0x21、GPI\_EVENT\_EN\_A

Bit	Name	R/W	Description
0	GPI_1_EVENT_EN	R/W	0 = GPI イベントをディスエーブルします。 1 = GPI 1 アクティビティは FIFO のイベントを生成できます。 このモードの GPI は、FIFO イベントと見なされ、アンロックに使用できます。 このモードの GPI アクティビティは、EVENT_INT 割込みを発生させます。 このモードの GPI は、GPI_INT 割込みを生成しません。
1	GPI_2_EVENT_EN	R/W	0 = GPI イベントをディスエーブルします。 1 = GPI 2 アクティビティは FIFO のイベントを生成できます。
2	GPI_3_EVENT_EN	R/W	0 = GPI イベントをディスエーブルします。 1 = GPI 3 アクティビティは FIFO のイベントを生成できます。
3	GPI_4_EVENT_EN	R/W	0 = GPI イベントをディスエーブルします。 1 = GPI 4 アクティビティは FIFO のイベントを生成できます。
4	GPI_5_EVENT_EN	R/W	0 = GPI イベントをディスエーブルします。 1 = GPI 5 アクティビティは FIFO のイベントを生成できます。
5	GPI_6_EVENT_EN	R/W	0 = GPI イベントをディスエーブルします。 1 = GPI 6 アクティビティは FIFO のイベントを生成できます。
6	GPI_7_EVENT_EN	R/W	0 = GPI イベントをディスエーブルします。 1 = GPI 7 アクティビティは FIFO のイベントを生成できます。
7	GPI_8_EVENT_EN	R/W	0 = GPI イベントをディスエーブルします。 1 = GPI 8 アクティビティは FIFO のイベントを生成できます。

表 42. レジスタ 0x22、GPI\_EVENT\_EN\_B

Bit	Name	R/W	Description
0	GPI_9_EVENT_EN	R/W	0 = GPI イベントをディスエーブルします。 1 = GPI 9 アクティビティは FIFO のイベントを生成できます。
1	GPI_10_EVENT_EN	R/W	0 = GPI イベントをディスエーブルします。 1 = GPI 10 アクティビティは FIFO のイベントを生成できます。
2	GPI_11_EVENT_EN	R/W	0 = GPI イベントをディスエーブルします。 1 = GPI 11 アクティビティは FIFO のイベントを生成できます。
3	GPI_12_EVENT_EN	R/W	0 = GPI イベントをディスエーブルします。 1 = GPI 12 アクティビティは FIFO のイベントを生成できます。
4	GPI_13_EVENT_EN	R/W	0 = GPI イベントをディスエーブルします。 1 = GPI 13 アクティビティは FIFO のイベントを生成できます。
5	GPI_14_EVENT_EN	R/W	0 = GPI イベントをディスエーブルします。 1 = GPI 14 アクティビティは FIFO のイベントを生成できます。
6	GPI_15_EVENT_EN	R/W	0 = GPI イベントをディスエーブルします。 1 = GPI 15 アクティビティは FIFO のイベントを生成できます。
7	GPI_16_EVENT_EN	R/W	0 = GPI イベントをディスエーブルします。 1 = GPI 16 アクティビティは FIFO のイベントを生成できます。

表 43. レジスタ 0x23、GPI\_EVENT\_EN\_C

Bit	Name	R/W	Description
0	GPI_17_EVENT_EN	R/W	0 = GPI イベントをディスエーブルします。 1 = GPI 17 アクティビティは FIFO のイベントを生成できます。
1	GPI_18_EVENT_EN	R/W	0 = GPI イベントをディスエーブルします。 1 = GPI 18 アクティビティは FIFO のイベントを生成できます。
2	GPI_19_EVENT_EN	R/W	0 = GPI イベントをディスエーブルします。 1 = GPI 19 アクティビティは FIFO のイベントを生成できます。
7~3			未使用。

表 44. レジスタ 0x24、GPI\_INTERRUPT\_EN\_A

Bit	Name	R/W	Description
0	GPI_1_INT_EN	R/W	0 = GPI_1_INT はディスエーブルです。 1 = GPI_1_INT はイネーブルです。GPI_1_INT が設定され、GPI 割込み条件が成立する場合、GPI_INT ビット (レジスタ 0x01、ビット 1) をアサートします。
1	GPI_2_INT_EN	R/W	0 = GPI_2_INT はディスエーブルです。 1 = GPI_2_INT はイネーブルです。GPI_2_INT が設定され、GPI 割込み条件が成立する場合、GPI_INT ビット (レジスタ 0x01、ビット 1) をアサートします。
2	GPI_3_INT_EN	R/W	0 = GPI_3_INT はディスエーブルです。 1 = GPI_3_INT はイネーブルです。GPI_3_INT が設定され、GPI 割込み条件が成立する場合、GPI_INT ビット (レジスタ 0x01、ビット 1) をアサートします。
3	GPI_4_INT_EN	R/W	0 = GPI_4_INT はディスエーブルです。 1 = GPI_4_INT はイネーブルです。GPI_4_INT が設定され、GPI 割込み条件が成立する場合、GPI_INT ビット (レジスタ 0x01、ビット 1) をアサートします。
4	GPI_5_INT_EN	R/W	0 = GPI_5_INT はディスエーブルです。 1 = GPI_5_INT はイネーブルです。GPI_5_INT が設定され、GPI 割込み条件が成立する場合、GPI_INT ビット (レジスタ 0x01、ビット 1) をアサートします。
5	GPI_6_INT_EN	R/W	0 = GPI_6_INT はディスエーブルです。 1 = GPI_6_INT はイネーブルです。GPI_6_INT が設定され、GPI 割込み条件が成立する場合、GPI_INT ビット (レジスタ 0x01、ビット 1) をアサートします。
6	GPI_7_INT_EN	R/W	0 = GPI_7_INT はディスエーブルです。 1 = GPI_7_INT はイネーブルです。GPI_7_INT が設定され、GPI 割込み条件が成立する場合、GPI_INT ビット (レジスタ 0x01、ビット 1) をアサートします。
7	GPI_8_INT_EN	R/W	0 = GPI_8_INT はディスエーブルです。 1 = GPI_8_INT はイネーブルです。GPI_8_INT が設定され、GPI 割込み条件が成立する場合、GPI_INT ビット (レジスタ 0x01、ビット 1) をアサートします。

表 45. レジスタ 0x25、GPI\_INTERRUPT\_EN\_B

Bit	Name	R/W	Description
0	GPI_9_INT_EN	R/W	0 = GPI_9_INT はディスエーブルです。 1 = GPI_9_INT はイネーブルです。GPI_9_INT が設定され、GPI 割込み条件が成立する場合、GPI_INT ビット (レジスタ 0x01、ビット 1) をアサートします。
1	GPI_10_INT_EN	R/W	0 = GPI_10_INT はディスエーブルです。 1 = GPI_10_INT はイネーブルです。GPI_10_INT が設定され、GPI 割込み条件が成立する場合、GPI_INT ビット (レジスタ 0x01、ビット 1) をアサートします。
2	GPI_11_INT_EN	R/W	0 = GPI_11_INT はディスエーブルです。 1 = GPI_11_INT はイネーブルです。GPI_11_INT が設定され、GPI 割込み条件が成立する場合、GPI_INT ビット (レジスタ 0x01、ビット 1) をアサートします。
3	GPI_12_INT_EN	R/W	0 = GPI_12_INT はディスエーブルです。 1 = GPI_12_INT はイネーブルです。GPI_12_INT が設定され、GPI 割込み条件が成立する場合、GPI_INT ビット (レジスタ 0x01、ビット 1) をアサートします。
4	GPI_13_INT_EN	R/W	0 = GPI_13_INT はディスエーブルです。 1 = GPI_13_INT はイネーブルです。GPI_13_INT が設定され、GPI 割込み条件が成立する場合、GPI_INT ビット (レジスタ 0x01、ビット 1) をアサートします。
5	GPI_14_INT_EN	R/W	0 = GPI_14_INT はディスエーブルです。 1 = GPI_14_INT はイネーブルです。GPI_14_INT が設定され、GPI 割込み条件が成立する場合、GPI_INT ビット (レジスタ 0x01、ビット 1) をアサートします。
6	GPI_15_INT_EN	R/W	0 = GPI_15_INT はディスエーブルです。 1 = GPI_15_INT はイネーブルです。GPI_15_INT が設定され、GPI 割込み条件が成立する場合、GPI_INT ビット (レジスタ 0x01、ビット 1) をアサートします。
7	GPI_16_INT_EN	R/W	0 = GPI_16_INT はディスエーブルです。 1 = GPI_16_INT はイネーブルです。GPI_16_INT が設定され、GPI 割込み条件が成立する場合、GPI_INT ビット (レジスタ 0x01、ビット 1) をアサートします。

表 46. レジスタ 0x26、GPI\_INTERRUPT\_EN\_C

Bit	Name	R/W	Description
0	GPI_17_INT_EN	R/W	0 = GPI_17_INT はディスエーブルです。 1 = GPI_17_INT はイネーブルです。GPI_17_INT が設定され、GPI 割込み条件が成立する場合、GPI_INT ビット (レジスタ 0x01、ビット 1) をアサートします。
1	GPI_18_INT_EN	R/W	0 = GPI_18_INT はディスエーブルです。 1 = GPI_18_INT はイネーブルです。GPI_18_INT が設定され、GPI 割込み条件が成立する場合、GPI_INT ビット (レジスタ 0x01、ビット 1) をアサートします。
2	GPI_19_INT_EN	R/W	0 = GPI_19_INT はディスエーブルです。 1 = GPI_19_INT はイネーブルです。GPI_19_INT が設定され、GPI 割込み条件が成立する場合、GPI_INT ビット (レジスタ 0x01、ビット 1) をアサートします。
7~3			未使用。

表 47. レジスタ 0x27、DEBOUNCE\_DIS\_A

Bit	Name	R/W	Description
0	GPI_1_DEB_DIS	R/W	0 = GPI 1 でデバウンスはイネーブルです。 1 = GPI 1 でデバウンスはディスエーブルです。
1	GPI_2_DEB_DIS	R/W	0 = GPI 2 でデバウンスはイネーブルです。 1 = GPI 2 でデバウンスはディスエーブルです。
2	GPI_3_DEB_DIS	R/W	0 = GPI 3 でデバウンスはイネーブルです。 1 = GPI 3 でデバウンスはディスエーブルです。
3	GPI_4_DEB_DIS	R/W	0 = GPI 4 でデバウンスはイネーブルです。 1 = GPI 4 でデバウンスはディスエーブルです。
4	GPI_5_DEB_DIS	R/W	0 = GPI 5 でデバウンスはイネーブルです。 1 = GPI 5 でデバウンスはディスエーブルです。
5	GPI_6_DEB_DIS	R/W	0 = GPI 6 でデバウンスはイネーブルです。 1 = GPI 6 でデバウンスはディスエーブルです。
6	GPI_7_DEB_DIS	R/W	0 = GPI 7 でデバウンスはイネーブルです。 1 = GPI 7 でデバウンスはディスエーブルです。
7	GPI_8_DEB_DIS	R/W	0 = GPI 8 でデバウンスはイネーブルです。 1 = GPI 8 でデバウンスはディスエーブルです。

表 48. レジスタ 0x28、DEBOUNCE\_DIS\_B

Bit	Name	R/W	Description
0	GPI_9_DEB_DIS	R/W	0 = GPI 9 でデバウンスはイネーブルです。 1 = GPI 9 でデバウンスはディスエーブルです。
1	GPI_10_DEB_DIS	R/W	0 = GPI 10 でデバウンスはイネーブルです。 1 = GPI 10 でデバウンスはディスエーブルです。
2	GPI_11_DEB_DIS	R/W	0 = GPI 11 でデバウンスはイネーブルです。 1 = GPI 11 でデバウンスはディスエーブルです。
3	GPI_12_DEB_DIS	R/W	0 = GPI 12 でデバウンスはイネーブルです。 1 = GPI 12 でデバウンスはディスエーブルです。
4	GPI_13_DEB_DIS	R/W	0 = GPI 13 でデバウンスはイネーブルです。 1 = GPI 13 でデバウンスはディスエーブルです。
5	GPI_14_DEB_DIS	R/W	0 = GPI 14 でデバウンスはイネーブルです。 1 = GPI 14 でデバウンスはディスエーブルです。
6	GPI_15_DEB_DIS	R/W	0 = GPI 15 でデバウンスはイネーブルです。 1 = GPI 15 でデバウンスはディスエーブルです。
7	GPI_16_DEB_DIS	R/W	0 = GPI 16 でデバウンスはイネーブルです。 1 = GPI 16 でデバウンスはディスエーブルです。

表 49. レジスタ 0x29、DEBOUNCE\_DIS\_C

Bit	Name	R/W	Description
0	GPI_17_DEB_DIS	R/W	0 = GPI 17 でデバウンスはイネーブルです。 1 = GPI 17 でデバウンスはディスエーブルです。
1	GPI_18_DEB_DIS	R/W	0 = GPI 18 でデバウンスはイネーブルです。 1 = GPI 18 でデバウンスはディスエーブルです。
2	GPI_19_DEB_DIS	R/W	0 = GPI 19 でデバウンスはイネーブルです。 1 = GPI 19 でデバウンスはディスエーブルです。
7~3			未使用。

表 50. レジスタ 0x2A、GPO\_DATA\_OUT\_A

Bit	Name	R/W	Description
0	GPO_1_DATA	R/W	0 = ローレベル。 1 = ハイレベル。
1	GPO_2_DATA	R/W	0 = ローレベル。 1 = ハイレベル。
2	GPO_3_DATA	R/W	0 = ローレベル。 1 = ハイレベル。
3	GPO_4_DATA	R/W	0 = ローレベル。 1 = ハイレベル。
4	GPO_5_DATA	R/W	0 = ローレベル。 1 = ハイレベル。
5	GPO_6_DATA	R/W	0 = ローレベル。 1 = ハイレベル。
6	GPO_7_DATA	R/W	0 = ローレベル。 1 = ハイレベル。
7	GPO_8_DATA	R/W	0 = ローレベル。 1 = ハイレベル。

表 51. レジスタ 0x2B、GPO\_DATA\_OUT\_B

Bit	Name	R/W	Description
0	GPO_9_DATA	R/W	0 = ローレベル。 1 = ハイレベル。
1	GPO_10_DATA	R/W	0 = ローレベル。 1 = ハイレベル。
2	GPO_11_DATA	R/W	0 = ローレベル。 1 = ハイレベル。
3	GPO_12_DATA	R/W	0 = ローレベル。 1 = ハイレベル。
4	GPO_13_DATA	R/W	0 = ローレベル。 1 = ハイレベル。
5	GPO_14_DATA	R/W	0 = ローレベル。 1 = ハイレベル。
6	GPO_15_DATA	R/W	0 = ローレベル。 1 = ハイレベル。
7	GPO_16_DATA	R/W	0 = ローレベル。 1 = ハイレベル。

表 52. レジスタ 0x2C、GPO\_DATA\_OUT\_C

Bit	Name	R/W	Description
0	GPO_17_DATA	R/W	0 = ローレベル。 1 = ハイレベル。
1	GPO_18_DATA	R/W	0 = ローレベル。 1 = ハイレベル。
2	GPO_19_DATA	R/W	0 = ローレベル。 1 = ハイレベル。
7~3			未使用。

表 53. レジスタ 0x2D、GPO\_OUT\_MODE\_A

Bit	Name	R/W	Description
0	GPO_1_DIR	R/W	0 = プッシュ/プル。 1 = オープン・ドレイン。
1	GPO_2_DIR	R/W	0 = プッシュ/プル。 1 = オープン・ドレイン。
2	GPO_3_DIR	R/W	0 = プッシュ/プル。 1 = オープン・ドレイン。
3	GPO_4_DIR	R/W	0 = プッシュ/プル。 1 = オープン・ドレイン。
4	GPO_5_DIR	R/W	0 = プッシュ/プル。 1 = オープン・ドレイン。
5	GPO_6_DIR	R/W	0 = プッシュ/プル。 1 = オープン・ドレイン。
6	GPO_7_DIR	R/W	0 = プッシュ/プル。 1 = オープン・ドレイン。
7	GPO_8_DIR	R/W	0 = プッシュ/プル。 1 = オープン・ドレイン。

表 54. レジスタ 0x2E、GPO\_OUT\_MODE\_B

Bit	Name	R/W	Description
0	GPO_9_DIR	R/W	0 = プッシュ/プル。 1 = オープン・ドレイン。
1	GPO_10_DIR	R/W	0 = プッシュ/プル。 1 = オープン・ドレイン。
2	GPO_11_DIR	R/W	0 = プッシュ/プル。 1 = オープン・ドレイン。
3	GPO_12_DIR	R/W	0 = プッシュ/プル。 1 = オープン・ドレイン。
4	GPO_13_DIR	R/W	0 = プッシュ/プル。 1 = オープン・ドレイン。
5	GPO_14_DIR	R/W	0 = プッシュ/プル。 1 = オープン・ドレイン。
6	GPO_15_DIR	R/W	0 = プッシュ/プル。 1 = オープン・ドレイン。
7	GPO_16_DIR	R/W	0 = プッシュ/プル。 1 = オープン・ドレイン。

表 55. レジスタ 0x2F、GPO\_OUT\_MODE\_C

Bit	Name	R/W	Description
0	GPO_17_DIR	R/W	0 = プッシュ/プル。 1 = オープン・ドレイン。
1	GPO_18_DIR	R/W	0 = プッシュ/プル。 1 = オープン・ドレイン。
2	GPO_19_DIR	R/W	0 = プッシュ/プル。 1 = オープン・ドレイン。
7~3			未使用。

表 56. レジスタ 0x30、GPIO\_DIRECTION\_A

Bit	Name	R/W	Description
0	GPIO_1_DIR	R/W	0 = GPIO 1 は入力です。 1 = GPIO 1 は出力です。
1	GPIO_2_DIR	R/W	0 = GPIO 2 は入力です。 1 = GPIO 2 は出力です。
2	GPIO_3_DIR	R/W	0 = GPIO 3 は入力です。 1 = GPIO 3 は出力です。
3	GPIO_4_DIR	R/W	0 = GPIO 4 は入力です。 1 = GPIO 4 は出力です。
4	GPIO_5_DIR	R/W	0 = GPIO 5 は入力です。 1 = GPIO 5 は出力です。
5	GPIO_6_DIR	R/W	0 = GPIO 6 は入力です。 1 = GPIO 6 は出力です。
6	GPIO_7_DIR	R/W	0 = GPIO 7 は入力です。 1 = GPIO 7 は出力です。
7	GPIO_8_DIR	R/W	0 = GPIO 8 は入力です。 1 = GPIO 8 は出力です。

表 57. レジスタ 0x31、GPIO\_DIRECTION\_B

Bit	Name	R/W	Description
0	GPIO_9_DIR	R/W	0 = GPIO 9 は入力です。 1 = GPIO 9 は出力です。
1	GPIO_10_DIR	R/W	0 = GPIO 10 は入力です。 1 = GPIO 10 は出力です。
2	GPIO_11_DIR	R/W	0 = GPIO 11 は入力です。 1 = GPIO 11 は出力です。
3	GPIO_12_DIR	R/W	0 = GPIO 12 は入力です。 1 = GPIO 12 は出力です。
4	GPIO_13_DIR	R/W	0 = GPIO 13 は入力です。 1 = GPIO 13 は出力です。
5	GPIO_14_DIR	R/W	0 = GPIO 14 は入力です。 1 = GPIO 14 は出力です。
6	GPIO_15_DIR	R/W	0 = GPIO 15 は入力です。 1 = GPIO 15 は出力です。
7	GPIO_16_DIR	R/W	0 = GPIO 16 は入力です。 1 = GPIO 16 は出力です。

表 58. レジスタ 0x32、GPIO\_DIRECTION\_C

Bit	Name	R/W	Description
0	GPIO_17_DIR	R/W	0 = GPIO 17 は入力です。 1 = GPIO 17 は出力です。
1	GPIO_18_DIR	R/W	0 = GPIO 18 は入力です。 1 = GPIO 18 は出力です。
2	GPIO_19_DIR	R/W	0 = GPIO 19 は入力です。 1 = GPIO 19 は出力です。
7~3			未使用。

表 59. レジスタ 0x33、UNLOCK1[7:0]

Bit	Name	R/W	Description
6~0	UNLOCK1[6:0]	R/W	LOCK_EN が設定された後、キーパッドをアンロックするために検出しなければならない最初のイベントを定義します。
7	UNLOCK1_STATE	R/W	最初のアンロック・イベントの状態を定義します。 キー・イベントの場合： 0 = 該当せず（リリースはアンロックに使用しません）。 1 = プレスがアンロック・イベントに使用されます。 FIFO 更新に設定された GPI とロジック出力の場合： 0 = リセット条件として非アクティブ・イベントを使用。 1 = リセット条件としてアクティブ・イベントを使用。

表 60. レジスタ 0x34、UNLOCK2[7:0]

Bit	Name	R/W	Description
6~0	UNLOCK2[6:0]	R/W	LOCK_EN が設定された後、キーパッドをアンロックするために検出しなければならない 2 番目のイベントを定義します。
7	UNLOCK2_STATE	R/W	2 番目のアンロック・イベントの状態を定義します。 キー・イベントの場合： 0 = 該当せず（リリースはアンロックに使用しません）。 1 = プレスがアンロック・イベントに使用されます。 FIFO 更新に設定された GPI とロジック出力の場合： 0 = リセット条件として非アクティブ・イベントを使用。 1 = リセット条件としてアクティブ・イベントを使用。

表 61. レジスタ 0x35、EXT\_LOCK\_EVENT[7:0]

Bit	Name	R/W	Description
6~0	EXT_LOCK_EVENT[6:0]	R/W	キーパッドをロックできるイベントを定義します。 このイベントが検出されると、LOCK_INT が設定されます。
7	EXT_LOCK_STATE	R/W	ロック・イベントの状態を定義します。 キー・イベントの場合： 0 = 該当せず（リリースはアンロックに使用しません）。 1 = プレスがアンロック・イベントに使用されます。 FIFO 更新に設定された GPI とロジック出力の場合： 0 = リセット条件として非アクティブ・イベントを使用。 1 = リセット条件としてアクティブ・イベントを使用。

表 62. レジスタ 0x36、UNLOCK\_TIMERS

Bit	Name	R/W	Description
2~0	UNLOCK_TIMER[2:0]	R/W	最初のアンロック・イベントが発生した後、2番目のアンロック・イベントが発生しなければならない時間を定義します。この時間内に2番目のアンロック・イベントが発生しない（または他のイベントが発生する）と、キーパッドはフル・ロック・モードに戻ります。 000 = デイスエーブル。 001 = 1 秒。 010 = 2 秒。 011 = 3 秒。 100 = 4 秒。 101 = 5 秒。 110 = 6 秒。 111 = 7 秒。
7~3	INT_MASK_TIMER[4:0]	R/W	キーパッドがロックされ、このタイマが設定された場合、どのキー・イベント（または FIFO 更新に設定された GPI/ロジック・イベント）でも EVENT_INT 割込みを生成できます。その後このタイマはカウントを開始し、タイマが満了する（またはアンロック・イベントが2つとも発生する）までその後のイベントで割込みは発生しません。 00000 = デイスエーブル。 00001 = 1 秒。 00010 = 2 秒。 11110 = 30 秒。 11111 = 31 秒。

表 63. レジスタ 0x37、LOCK\_CFG

Bit	Name	R/W	Description
0	LOCK_EN	R/W	ロック機能をイネーブルにします。
7~1			未使用。

表 64. レジスタ 0x38、RESET1\_EVENT\_A[7:0]

Bit	Name	R/W	Description
6~0	RESET1_EVENT_A[6:0]	R/W	RESET1 信号の生成に使用できるイベントを定義します。 RESET1 信号の生成には、RESET1_EVENT_A[6:0]、RESET1_EVENT_B[6:0]、RESET1_EVENT_C[6:0]を用いて最大3つのイベントを定義できます。 いずれかのレジスタが0である場合、そのレジスタはリセット生成に使用されません。 リセットをトリガするには、すべてのリセット・イベントを同時に検出する必要があります。
7	RESET1_EVENT_A Level	R/W	最初のリセット・イベントのレベルを定義します。 キー・イベントの場合： 0 = 該当せず（リリースはリセット生成に使用しません）。 1 = プレスがリセット・イベントに使用されます。 FIFO 更新に設定された GPI とロジック出力の場合： 0 = リセット条件として非アクティブ・イベントを使用。 1 = リセット条件としてアクティブ・イベントを使用。

表 65. レジスタ 0x39、RESET1\_EVENT\_B[7:0]

Bit	Name	R/W	Description
6~0	RESET1_EVENT_B[6:0]	R/W	RESET1 信号の生成に使用できるイベントを定義します。
7	RESET1_EVENT_B Level	R/W	2番目のリセット・イベントのレベルを定義します。

表 66. レジスタ 0x3A、RESET1\_EVENT\_C[7:0]

Bit	Name	R/W	Description
6~0	RESET1_EVENT_C[6:0]	R/W	RESET1 信号の生成に使用できるイベントを定義します。
7	RESET1_EVENT_C Level	R/W	3番目のリセット・イベントのレベルを定義します。

表 67. レジスタ 0x3B、RESET2\_EVENT\_A[7:0]

Bit	Name	R/W	Description
6~0	RESET2_EVENT_A[6:0]	R/W	RESET2 信号の生成に使用できるイベントを定義します。 RESET2 信号の生成には、RESET2_EVENT_A[6:0]と RESET2_EVENT_B[6:0]を用いて最大 2 つのイベントを定義できます。 いずれかのレジスタが 0 である場合、そのレジスタはリセット生成に使用されません。リセットをトリガするには、すべてのリセット・イベントを同時に検出する必要があります。
7	RESET2_EVENT_A Level	R/W	最初のリセット・イベントのレベルを定義します。 キー・イベントの場合： 0 = 該当せず（リリースはリセット生成に使用しません）。 1 = プレスがリセット・イベントに使用されます。 FIFO 更新に設定された GPI とロジック出力の場合： 0 = リセット条件として非アクティブ・イベントを使用。 1 = リセット条件としてアクティブ・イベントを使用。

表 68. レジスタ 0x3C、RESET2\_EVENT\_B[7:0]

Bit	Name	R/W	Description
6~0	RESET2_EVENT_B[6:0]	R/W	RESET2 信号の生成に使用できるイベントを定義します。
7	RESET2_EVENT_B Level	R/W	2 番目のリセット・イベントのレベルを定義します。

表 69. レジスタ 0x3D、RESET\_CFG

Bit	Name	R/W	Description
1~0	RESET_PULSE_WIDTH[1:0]	R/W	リセット信号のパルス幅を定義します。 RESET1 と RESET2 に共通のパラメータ。 00 = 500 $\mu$ s。 01 = 1 ms。 10 = 2 ms。 11 = 10 ms。
4~2	RESET_TRIGGER_TIME[2:0]	R/W	リセット信号が生成されるまでリセット・イベントがアクティブでなければならない時間を定義します。 すべてのイベントは、同じ時間だけ同時にアクティブでなければなりません。RESET1 と RESET2 に共通のパラメータ。 000 = 即時。 001 = 1.0 秒。 010 = 1.5 秒。 011 = 2.0 秒。 100 = 2.5 秒。 101 = 3.0 秒。 110 = 3.5 秒。 111 = 4.0 秒。
5	RST_PASSTHRU_EN	R/W	RSTピンでRESET1 信号をオーバーライド（論理和演算）できます。 RESET2 には該当しない機能。
6	RESET1_POL	R/W	RESET1 の極性を設定します。 0 = RESET1 はアクティブ・ローです。 1 = RESET1 はアクティブ・ハイです。
7	RESET2_POL	R/W	RESET2 の極性を設定します。 0 = RESET2 はアクティブ・ローです。 1 = RESET2 はアクティブ・ハイです。

表 70. レジスタ 0x3E、PWM\_OFFT\_LOW

Bit	Name	R/W	Description
7~0	PWM_OFFT_LOW_BYTE[7:0]	R/W	PWM オフ時間の下位 8 ビット。

表 71. レジスタ 0x3F、PWM\_OFFT\_HIGH

Bit	Name	R/W	Description
7~0	PWM_OFFT_HIGH_BYTE[7:0]	R/W	PWM オフ時間の上位 8 ビット。

表 72. レジスタ 0x40、PWM\_ONT\_LOW

Bit	Name	R/W	Description
7~0	PWM_ONT_LOW_BYTE[7:0]	R/W	PWM オン時間の下位 8 ビット。

表 73. レジスタ 0x41、PWM\_ONT\_HIGH

Bit	Name	R/W	Description
7~0	PWM_ONT_HIGH_BYTE[7:0]	R/W	PWM オン時間の上位 8 ビット。なお、更新された PWM 時間は、このバイトが書き込まれるまでラッチされません。PWM カウント時間は、内部発振器を基準とします。最速の発振器設定は 500 kHz です (2 $\mu$ s のインクリメント)。したがって、最大のオン/オフ時間は次のようになります。 $2 \mu\text{s} \times 2^{16} = 131 \text{ ms}$ これによって、250 kHz から 3.8 Hz までの PWM 周波数が得られます。

表 74. レジスタ 0x42、PWM\_CFG

Bit	Name	R/W	Description
0	PWM_EN	R/W	PWM ジェネレータをイネーブルします。
1	PWM_MODE	R/W	PWM モードを定義します。 0 = 連続。 1 = ワンショット。 ワンショットが実行された場合、PWM_EN ビットは自動的にクリアされます。 2 番目のワンショットを実行する必要がある場合、ユーザは再び PWM_EN を設定しなければなりません。
2	PWM_IN_AND	R/W	内部生成された PWM 信号と外部から入力された PWM 信号の論理積をとります。
7~3			未使用。

表 75. レジスタ 0x43、CLOCK\_DIV\_CFG

Bit	Name	R/W	Description
0	CLK_DIV_EN	R/W	外部から入力されたクロック信号を分周するために、クロック・デバイダ回路をイネーブルします。
5~1	CLK_DIV[4:0]	R/W	外部から入力されたクロックの分周率を定義します。 00000 = 1 分周 (パススルー)。 00001 = 2 分周。 00010 = 3 分周。 00011 = 4 分周。 11111 = 32 分周。
6	CLK_INV	R/W	分周されたクロック信号を反転します。
7			未使用。

表 76. レジスタ 0x44、LOGIC\_1\_CFG

Bit	Name	R/W	Description
2~0	LOGIC1_SEL[2:0]	R/W	ロジック・ブロック 1 用のデジタル・マルチプレクサを設定します。 000 = オフ/ディスエーブル。 001 = AND1。 010 = OR1。 011 = XOR1。 100 = FF1。 101 = IN_LA1。 110 = IN_LB1。 111 = IN_LC1。
3	LA1_INV	R/W	0 = LA1 入力は反転されずにロジック・ブロック 1 に入ります。 1 = 入力 LA1 を反転してからロジック・ブロック 1 に入ります。
4	LB1_INV	R/W	0 = LB1 入力は反転されずにロジック・ブロック 1 に入ります。 1 = 入力 LB1 を反転してからロジック・ブロック 1 に入ります。
5	LC1_INV	R/W	0 = LC1 入力は反転されずにロジック・ブロック 1 に入ります。 1 = 入力 LC1 を反転してからロジック・ブロック 1 に入ります。
6	LY1_INV	R/W	0 = LY1 出力は反転されずにロジック・ブロック 1 に入ります。 1 = ロジック・ブロック 1 からの出力 LY1 を反転します。
7			未使用。

表 77. レジスタ 0x45、LOGIC\_2\_CFG

Bit	Name	R/W	Description
2~0	LOGIC2_SEL[2:0]	R/W	ロジック・ブロック 2用のデジタル・マルチプレクサを設定します。 000 = オフ/ディスエーブル。 001 = AND2。 010 = OR2。 011 = XOR2。 100 = FF2。 101 = IN_LA2。 110 = IN_LB2。 111 = IN_LC2。
3	LA2_INV	R/W	0 = LA2 入力は反転されずにロジック・ブロック 2に入ります。 1 = 入力 LA2 を反転してからロジック・ブロック 2に入れます。
4	LB2_INV	R/W	0 = LB2 入力は反転されずにロジック・ブロック 2に入ります。 1 = 入力 LB2 を反転してからロジック・ブロック 2に入れます。
5	LC2_INV	R/W	0 = LC2 入力は反転されずにロジック・ブロック 2に入ります。 1 = 入力 LC2 を反転してからロジック・ブロック 2に入れます。
6	LY2_INV	R/W	0 = LY2 入力は反転されずにロジック・ブロック 2に入ります。 1 = ロジック・ブロック 2からの出力 LY2を反転します。
7	LY1_CASCADE	R/W	0 = ロジック・ブロック 2に入力 LA2を使用します。 1 = ロジック・ブロック 2の入力として、LA2の代わりにロジック・ブロック 1からの出力 LY1を使用します。

表 78. レジスタ 0x46、LOGIC\_FF\_CFG

Bit	Name	R/W	Description
0	FF1_CLR	R/W	0 = ロジック・ブロック 1で FF1 はクリアされません。 1 = ロジック・ブロック 1で FF1 をクリアします。
1	FF1_SET	R/W	0 = ロジック・ブロック 1で FF1 は設定されません。 1 = ロジック・ブロック 1で FF1 を設定します。
2	FF2_CLR	R/W	0 = ロジック・ブロック 2で FF2 はクリアされません。 1 = ロジック・ブロック 2で FF2 をクリアします。
3	FF2_SET	R/W	0 = ロジック・ブロック 2で FF2 は設定されません。 1 = ロジック・ブロック 2で FF2 を設定します。
7~4		R/W	未使用。

表 79. レジスタ 0x47、LOGIC\_INT\_EVENT\_EN

Bit	Name	R/W	Description
0	LOGIC1_INT_LEVEL	R/W	割込みを生成する LY1 のロジック・レベルを設定します。 0 = LY1 はアクティブ・ローです。 1 = LY1 はアクティブ・ハイです。
1	LOGIC1_EVENT_EN	R/W	0 = LY1 は割込みを生成できません。 1 = LY1 アクティビティによって FIFO のイベントを生成できます。
2	LY1_DBNC_DIS	R/W	0 = ロジック・ブロック 1の出力はデバウンスされてからイベント/割込みブロックに入ります。 1 = ロジック・ブロック 1の出力はデバウンスされずにイベント/割込みブロックに入ります。グリッチによって早まって割込みが生成されることがあるため、使用には注意が必要です。
3	LOGIC2_INT_LEVEL	R/W	割込みを生成する LY2 のロジック・レベルを設定します。 0 = LY2 はアクティブ・ローです。 1 = LY2 はアクティブ・ハイです。
4	LOGIC2_EVENT_EN	R/W	0 = LY2 は割込みを生成できません。 1 = LY2 アクティビティによって FIFO のイベントを生成できます。
5	LY2_DBNC_DIS	R/W	0 = ロジック・ブロック 2の出力はデバウンスされてからイベント/割込みブロックに入ります。 1 = ロジック・ブロック 2の出力はデバウンスされずにイベント/割込みブロックに入ります。グリッチによって早まって割込みが生成されることがあるため、使用には注意が必要です。
7~6		R/W	未使用。

表 80. レジスタ 0x48、POLL\_PTIME\_CFG

Bit	Name	R/W	Description
1~0	KEY_POLL_TIME[1:0]	R/W	連続したスキャン・サイクル間の時間を設定します。 00 = 10 ms。 01 = 20 ms。 10 = 30 ms。 11 = 40 ms。
7~2			未使用。

表 81. レジスタ 0x49、PIN\_CONFIG\_A

Bit	Name	R/W	Description
0	R0_CONFIG	R/W	0 = GPIO 1 (代替設定LY1については、表 84のR0_EXTEND_CFGを参照)。 1 = 行 0。
1	R1_CONFIG	R/W	0 = GPIO 2。 1 = 行 1。
2	R2_CONFIG	R/W	0 = GPIO 3。 1 = 行 2。
3	R3_CONFIG	R/W	0 = GPIO 4 (代替設定LC1/PWM_OUT/CLK_OUTについては、表 84のR3_EXTEND_CFG[1:0]を参照)。 1 = 行 3。
4	R4_CONFIG	R/W	0 = GPIO 5 (代替設定RESET1については、表 84のR4_EXTEND_CFGを参照)。 1 = 行 4。
5	R5_CONFIG	R/W	0 = GPIO 6。 1 = 行 5。
6	R6_CONFIG	R/W	0 = GPIO 7。 1 = 行 6。
7	R7_CONFIG	R/W	0 = GPIO 8。 1 = 行 7。

表 82. レジスタ 0x4A、PIN\_CONFIG\_B

Bit	Name	R/W	Description
0	C0_CONFIG	R/W	0 = GPIO 9。 1 = 列 0。
1	C1_CONFIG	R/W	0 = GPIO 10。 1 = 列 1。
2	C2_CONFIG	R/W	0 = GPIO 11。 1 = 列 2。
3	C3_CONFIG	R/W	0 = GPIO 12。 1 = 列 3。
4	C4_CONFIG	R/W	0 = GPIO 13 (代替設定RESET2については、表 84のC4_EXTEND_CFG参照)。 1 = 列 4。
5	C5_CONFIG	R/W	0 = GPIO 14。 1 = 列 5。
6	C6_CONFIG	R/W	0 = GPIO 15 (代替設定LC2については、表 84のC6_EXTEND_CFGを参照)。 1 = 列 6。
7	C7_CONFIG	R/W	0 = GPIO 16。 1 = 列 7。

表 83. レジスタ 0x4B、PIN\_CONFIG\_C

Bit	Name	R/W	Description
0	C8_CONFIG	R/W	0 = GPIO 17。 1 = 列 8。
1	C9_CONFIG	R/W	0 = GPIO 18 (代替設定LY2 については、表 84のC9_EXTEND_CFGを参照)。 1 = 列 9。
2	C10_CONFIG	R/W	0 = GPIO 19。 1 = 列 10。
7~3			未使用。

表 84. レジスタ 0x4C、PIN\_CONFIG\_D

Bit	Name	R/W	Description
0	R0_EXTEND_CFG	R/W	0 = R0 は GPIO 1 の設定のままです。 1 = R0 はロジック・ブロック 1 からの LY1 出力に設定し直されました。
1	C9_EXTEND_CFG	R/W	0 = C9 は GPIO 18 の設定のままです。 1 = C9 はロジック・ブロック 2 からの LY2 出力に設定し直されました。
3~2	R3_EXTEND_CFG[1:0]	R/W	00 = R3 は GPIO4 の設定のままです。 01 = R3 はロジック・ブロック 1 用の LC1 入力に設定し直されました。 10 = R3 は PWM およびクロック・デバイダ・ブロックからの PWM_OUT/CLK_OUT 出力に設定し直されました。 11 = 未使用。
4	C6_EXTEND_CFG	R/W	0 = C6 は GPIO 15 の設定のままです。 1 = C6 はロジック・ブロック 2 用の LC2 入力に設定し直されました。
5	R4_EXTEND_CFG	R/W	0 = R4 は GPIO 5 の設定のままです。 1 = R4 は RESET1 出力に設定し直されました。
6	C4_EXTEND_CFG	R/W	0 = C4 は GPIO13 の設定のままです。 1 = C4 は RESET2 出力に設定し直されました。
7	PULL_SELECT	R/W	0 = キー・スキャン時の行プルアップに 300 kΩ を使用。 1 = キー・スキャン時の行プルアップに 100 kΩ を使用。

表 85. レジスタ 0x4D、GENERAL\_CFG

Bit	Name	R/W	Description
0	RST_CFG	R/W	RSTピンに対するADP5589の応答を設定します。 0 = RSTがロー・レベルの場合、ADP5589 はリセットされます。 1 = RSTがロー・レベルの場合、ADP5589 はリセットされません。
1	INT_CFG	R/W	割込みのペンディング中にユーザがクリアしようとした場合のINTピンの動作を設定します。 0 = 割込みがペンディング中の場合、INTピンはアサートされたままです。 1 = 割込みがペンディング中の場合、INTピンは 50 μs間アサート解除されてから、再アサートされます。
2			未使用。
3	LCK_TRK_GPI	R/W	0 = キーパッドがロックされている場合、FIFO 上で GPI (FIFO 更新に設定) のトラッキングができます。 1 = トラッキングしません。
4	LCK_TRK_LOGIC	R/W	0 = キーパッドがロックされている場合、FIFO 上でロジック出力 (FIFO 更新に設定) のトラッキングができます。 1 = トラッキングしません。
6~5	CORE_FREQ[1:0]	R/W	ベースの 1 MHz 発振器からデジタル・コアに供給される入力クロック周波数を設定します。周波数を抑えると、IDD が低下します。ただし、キーと GPI のスキャン時間は増加します。 00 = 50 kHz。 01 = 100 kHz。 10 = 200 kHz。 11 = 500 kHz。
7	OSC_EN	R/W	0 = 内部 1 MHz 発振器をディスエーブルします。 1 = 内部 1 MHz 発振器をイネーブルします。

表 86. レジスタ 0x4E、INT\_EN

Bit	Name	R/W	Description
0	EVENT_IEN	R/W	0 = イベント割込みはディスエーブルです。 1 = EVENT_INTが設定されている場合、 $\overline{\text{INT}}$ ピンをアサートします。
1	GPI_IEN	R/W	0 = GPI 割込みはディスエーブルです。 1 = GPI_INTが設定されている場合、 $\overline{\text{INT}}$ ピンをアサートします。
2	OVRFLOW_IEN	R/W	0 = オーバーフロー割込みはディスエーブルです。 1 = OVRFLOW_INTが設定されている場合、 $\overline{\text{INT}}$ ピンをアサートします。
3	LOCK_IEN	R/W	0 = ロック割込みはディスエーブルです。 1 = LOCK_INTが設定されている場合、 $\overline{\text{INT}}$ ピンをアサートします。
4	LOGIC1_IEN	R/W	0 = ロジック 1 割込みはディスエーブルです。 1 = LOGIC1_INTが設定されている場合、 $\overline{\text{INT}}$ ピンをアサートします。
5	LOGIC2_IEN	R/W	0 = ロジック 2 割込みはディスエーブルです。 1 = LOGIC2_INTが設定されている場合、 $\overline{\text{INT}}$ ピンをアサートします。
7~6			未使用。

アプリケーション図

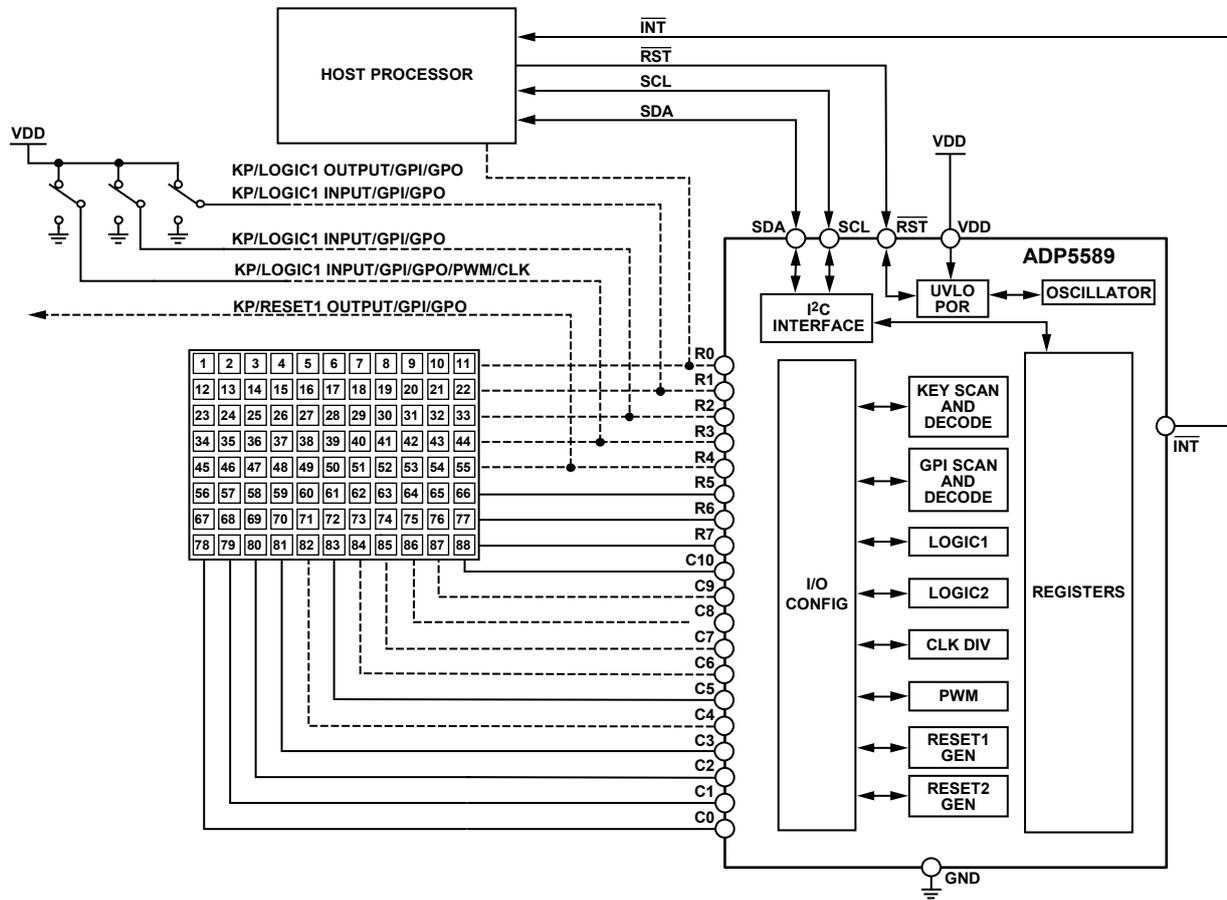
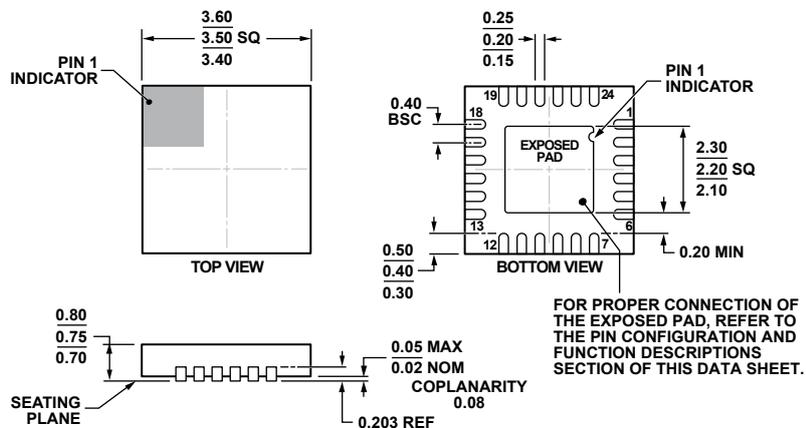


図 30. 代表的な構成

09714-030

### 外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WFFE.

図 31. 24 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP\_WQ]  
 3.5 mm×3.5 mm ボディ、極薄クワッド  
 (CP-24-11)  
 寸法単位：mm

### オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option
ADP5589ACPZ-00-R7	-40°C to +85°C	24-Lead Lead Frame Chip Scale Package[LFCSP_WQ]	CP-24-11
ADP5589ACPZ-01-R7	-40°C to +85°C	24-Lead Lead Frame Chip Scale Package[LFCSP_WQ]	CP-24-11
ADP5589ACPZ-02-R7	-40°C to +85°C	24-Lead Lead Frame Chip Scale Package[LFCSP_WQ]	CP-24-11

<sup>1</sup> Z = RoHS 準拠製品。