



回路ブレーカ・アプリケーション用 パワー・マネージメントIC

データシート

ADP2450

特長

昇圧シャント・コントローラ

可変出力電圧範囲：4.5V～36V

内蔵昇圧シャント・ドライバ

プログラマブルな電力検出閾値

降圧レギュレータ

入力電圧範囲：4.5V～36V

連続出力電流：500 mA

最低 0.6V まで調整可能な出力電圧

固定出力オプション：3.3V および 5V

1.2 MHz 固定スイッチング周波数

電圧モニタリングおよびオープンドレイン・リセット出力

4 つのプログラマブル・ゲイン・アンプ

低消費電力

プログラマブルなゲインと出力 DC コモン電圧

漏洩電流および接地故障電流検出用の低オフセット・オペアンプ

プログラマブルなトリップ閾値付きアナログ・トリップ回路

アクチュエータ・ドライバ出力

代表的なアプリケーション回路

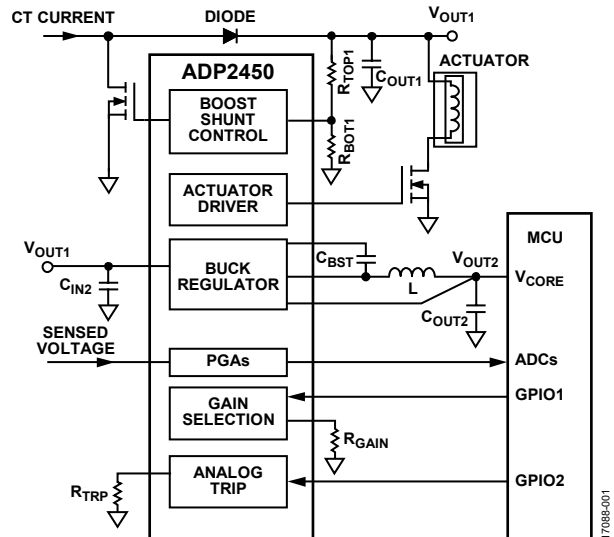


図 1.

アプリケーション

低電圧回路ブレーカ

カレント・トランス (CT) 電源

概要

ADP2450 は、電力検出が可能な 1 つの昇圧シャント・コントローラ、1 つの高効率降圧レギュレータ、4 つの低オフセット、低消費電力プログラマブル・ゲイン・アンプ (PGA)、1 つの低オフセット・オペアンプ、1 つの高速アナログ・トリップ回路、1 つのアクチュエータ・ドライバを内蔵しています。ADP2450 は、配線用遮断器 (MCCB) などの低電圧回路ブレーカと CT 電源アプリケーションを対象としています。出力電圧は 36V まで昇圧可能で、電力の一時的な中断を防ぐ電力検出回路を内蔵しています。電力検出閾値は抵抗を使ってプログラム可能です。降圧レギュレータは、4.5V～36V の広い入力電圧範囲で動作し、出力電圧を最小 0.6V まで調整可能です。降圧レギュレータは最大 500mA までの出力電流を供給できます。降圧レギュレータはパルス幅変調 (PWM) モードで 1.2MHz の固定スイッチング周波数で動作し、低出力リップル電圧をシステムに供給します。

降圧レギュレータの出力電圧は、監視回路によってモニタされます。出力電圧が監視閾値を下回ると、リセット信号がローになります。これを使ってマイクロプロセッサをリセットできます。この監視回路により、システムの信頼性が向上します。ADP2450 は、4 つの低オフセット、低消費電力アンプを内蔵しています。ADP2450 は、プログラマブル・ゲイン機能により、幅広い電流入力範囲にわたって高精度の計測機能を提供します。ADP2450 には、漏洩電流検出用の低オフセット・オペアンプが内蔵されています。また ADP2450 は、高速なトリップ応答によってシステムの信頼性を高めるアナログ・トリップ回路を内蔵しています。その他の保護機能には、降圧過電流保護 (OCP)、システム・サーマル・シャットダウン (TSD) などがあります。ADP2450 は、-40°C～+125°C のジャンクション温度範囲で動作し、32 ピン LFCSP パッケージを採用しています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本誌記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2018 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社／〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所／〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所／〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	昇圧シャント・コントローラ用の外付け MOSFET	25
アプリケーション	1	昇圧シャント・ダイオードの選択	25
代表的なアプリケーション回路	1	降圧レギュレータの入力コンデンサ	25
概要	1	インダクタの選択	26
改訂履歴	2	降圧レギュレータの出力コンデンサ	26
機能ブロック図	3	出力電圧の設定	26
仕様	4	アクチュエータの外付け MOSFET	27
昇圧シャント・コントローラと電力検出の仕様	4	設計例	28
降圧レギュレータ仕様	5	昇圧シャントの出力電圧の設定	28
プログラマブル・ゲイン・アンプとアナログ・トリップの仕様	6	昇圧シャントの出力コンデンサの設定	28
オペアンプの仕様	7	昇圧シャントの MOSFET の設定	28
絶対最大定格	8	降圧シャントのダイオードの設定	28
熱抵抗	8	降圧レギュレータの出力電圧の設定	28
ESD に関する注意	8	インダクタの設定	28
ピン配置およびピン機能の説明	9	降圧レギュレータの出力コンデンサの設定	28
代表的な性能特性	11	VPTH の抵抗分圧器の設定	29
動作原理	21	ダミー負荷抵抗の設定	29
昇圧シャント・コントローラ	21	PGA のゲインの設定	29
電力検出	21	検出抵抗の設定	29
内部レギュレータ	21	アナログ・トリップ閾値の設定	29
降圧レギュレータ	22	アクチュエータの MOSFET の設定	29
ブートストラップ回路	22	推奨回路基板レイアウト	31
電力モニタおよびリセット	22	グラウンド・プレーン	31
プログラマブル・ゲイン・アンプ	22	スイッチ・ノード	31
オペアンプ	23	帰還経路	31
アナログ・トリップ保護	23	電源パターン	31
アクチュエータ・ドライバ	23	信号経路	31
サーマル・シャットダウン	23	ゲート・ドライバ経路	31
アプリケーション情報	24	代表的なアプリケーション回路	33
昇圧シャント・コントローラの出力コンデンサ	24	出荷時にプログラム可能なオプション	35
ブリッジ整流器	24	外形寸法	36
検出抵抗の選択	24	オーダー・ガイド	36

改訂履歴

9/2018–Revision 0: 初版

機能ブロック図

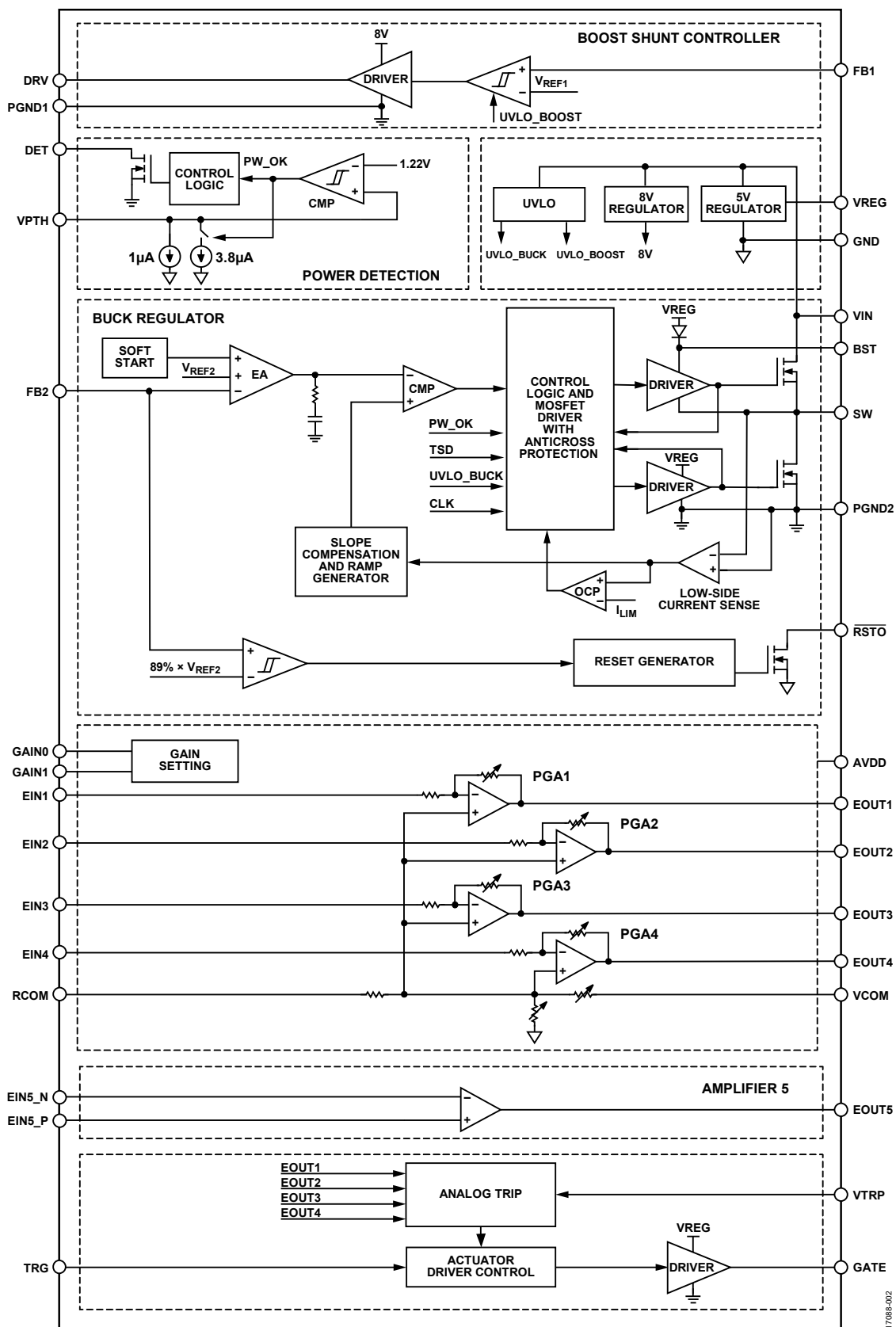


図 2.機能ブロック図

仕様

昇圧シャント・コントローラと電力検出の仕様

特に指定のない限り、 $V_{IN} = 12V$ 、 $T_J = -40^{\circ}C \sim +125^{\circ}C$ （最小仕様および最大仕様）、 $T_A = 25^{\circ}C$ （代表仕様）。

表 1.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
POWER INPUT						
Input Voltage Range	V_{IN}	VIN pin	4.5		36	V
Quiescent Current ¹	I_{Q_VIN}	$V_{IN} = 12V$, FB1 = GND, FB2 = 0.65 V, no switching		1.35		mA
Undervoltage Lockout Threshold (UVLO) ²						
VIN Rising				2.5	2.7	V
VIN Falling			2.2	2.4		V
FEEDBACK (FB1)						
FB1 Regulation Voltage	V_{FB1}	Falling	1.182	1.2	1.218	V
FB1 Hysteresis				19		mV
FB1 Bias Current	I_{FB1}			0.01	0.1	μA
Hysteresis Comparator Response Time				100		ns
BOOST SHUNT DRIVER (DRV)						
Rising Time ³		$C_{DRV} = 2.2\text{ nF}$, from 0.8 V to 7.2 V		80		ns
Falling Time ³		$C_{DRV} = 2.2\text{ nF}$, from 7.2 V to 0.8 V		35		ns
Sourcing Resistor				4		Ω
Sinking Resistor				2		Ω
Peak Source Current ⁴				1		A
Sink Source Current ⁴				1		A
DRV Output High Voltage	V_{DRV_H}		7.6	8	8.4	V
INTERNAL REGULATOR (VREG)						
VREG Voltage	V_{VREG}	$I_{VREG} = 5\text{ mA}$	4.7	5	5.3	V
Dropout Voltage		$I_{VREG} = 5\text{ mA}$		27		mV
Regulator Current Limit				200		mA
POWER DETECTION						
VPTH Rising Threshold	V_{PTH_R}	VPTH voltage < 1.09 V VPTH voltage > 1.22 V	1.05	1.22	1.25	V
VPTH Falling Threshold	V_{PTH_F}			1.09		V
VPTH Source Current				4.8		μA
				1		μA
Power Detection Deglitch Time				10		μs
DET Output Low Voltage		$I_{DET} = 20\text{ mA}$		0.3	0.5	V
Maximum Sink Current on DET	I_{DET_MAX}			100		mA
ACTUATOR DRIVER (TRG AND GATE)						
Input High Voltage		TRG pin	1.2			V
Input Low Voltage		TRG pin			0.4	V
Deglitch Time		TRG pin		30		μs
GATE Maximum Source Current		GATE pin		85		mA
GATE Driver Output Voltage		GATE pin		5		V
THERMAL						
Thermal Shutdown Threshold ⁴				150		$^{\circ}C$
Thermal Shutdown Hysteresis ⁴				15		$^{\circ}C$

¹ この電流は VIN ピンから計測されます。

² この UVLO 閾値は昇圧制御ブロック専用です。

³ ベンチ測定の結果。

⁴ これらの仕様については出荷テストを行っていませんが、設計により確保されています。

降圧レギュレータ仕様

特に指定のない限り、 $V_{IN} = 12V$ 、 $T_J = -40^{\circ}C \sim +125^{\circ}C$ （最小仕様および最大仕様）、 $T_A = 25^{\circ}C$ （代表仕様）。

表 2.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
POWER INPUT		VIN pin				
Undervoltage Lockout Threshold ¹						
VIN Rising				4.2	4.4	V
VIN Falling			3.5	3.65		V
FEEDBACK (FB2)						
FB2 Regulation Voltage	V_{FB2}	Adjustable output version	0.591	0.6	0.609	V
Fixed Output Accuracy		Fixed output version	-1.5		+1.5	%
FB2 Bias Current	I_{FB2}	Adjustable output version		0.01	0.1	μA
		Fixed output version		4.3	5	μA
SWITCH NODE						
High-Side On Resistance ²	$R_{DS(on)_H}$	$I_{SW_SOURCE} = 0.5 A$		700	1070	m Ω
Low-Side On Resistance ²	$R_{DS(on)_L}$	$I_{SW_SINK} = 0.5 A$		380	540	m Ω
SW Leakage Current	I_{SW_LK}	SW = PGND2 or SW = V_{IN}		0.1		μA
Minimum On Time	t_{ON_MIN}			42		ns
Minimum Off Time	t_{OFF_MIN}			150		ns
BST						
Bootstrap Voltage	V_{BOOT}		4.7	5	5.3	V
CURRENT LIMIT						
Valley Current Limit			0.7	0.8	0.98	A
Low-Side Sink Current Limit				0.2		A
PWM SWITCHING FREQUENCY	f_{SW}		1.0	1.2	1.4	MHz
SOFT START TIME	t_{SS}	Fixed output version		400		μs
		Adjustable output version		1.6		ms
RESET ($\overline{RSTO}$)						
Reset Rising Threshold Voltage		Refer to V_{FB2}	85	89	94	%
Reset Threshold Hysteresis				1.5		%
Reset Rising Delay	$t_{RST_DELAY_R}$	Option 1, default	0.42	0.5	0.56	ms
		Option 2	0.85	1	1.12	ms
		Option 3	1.72	2	2.3	ms
		Option 4	4.2	5	5.6	ms
Reset Falling Delay	$t_{RST_DELAY_F}$			10		μs
$\overline{RSTO}$ Output Low Voltage		$I_{RSTO} = 3 mA$		40	100	mV
$\overline{RSTO}$ Leakage Current		$V_{RSTO} = 5 V$		0.01	0.3	μA

¹この UVLO 閾値は降圧制御ブロック専用です。

²ピン相互間の測定値。

プログラマブル・ゲイン・アンプとアナログ・トリップの仕様

特に指定のない限り、 $V_{IN} = 12V$ 、 $V_{AVDD} = 5V$ 、 $T_J = -40^{\circ}C \sim +125^{\circ}C$ （最小仕様および最大仕様）、 $T_A = 25^{\circ}C$ （代表仕様）。

表 3.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
POWER INPUT						
Input Voltage Range	V_{AVDD}	AVDD pin	2.7		5.5	V
Quiescent Current	I_{Q_AVDD}			575		μA
Undervoltage Lockout Threshold						
AVDD Rising				2.6	2.7	V
AVDD Falling			2.4	2.5		V
INPUT CHARACTERISTICS						
Input Voltage Range		$V_{VCOM} = GND$	-6.6		0	V
		$V_{VCOM} = V_{AVDD}$	-3.3		+3.3	V
Input Offset	V_{OS_PGA}	$T_J = 25^{\circ}C$, trimmed at gain = 1			0.5	mV
Input Offset Temperature Drift		Gain < 4		5.5	17	$\mu V/^{\circ}C$
		Gain ≥ 4		3.5	9.5	$\mu V/^{\circ}C$
Input Capacitance ¹	C_{IN_PGA}			2		pF
Input Impedance	R_{IN_PGA}			1		M Ω
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH_PGA}	$I_{OH_PGA} = -250 \mu A$	$V_{AVDD} - 0.3 V$	$V_{AVDD} - 0.1 V$		V
Output Voltage Low	V_{OL_PGA}	$I_{OL_PGA} = 250 \mu A$		25	40	mV
Short-Circuit Current	$I_{SC_H_PGA}$	Short to AVDD		17		mA
	$I_{SC_L_PGA}$	Short to GND		10		mA
Close-Loop Output Impedance ²	Z_{OUT_PGA}	f = 100 Hz, gain = 1		18		Ω
DYNAMIC PERFORMANCE						
Slew Rate ²	SR_{PGA}	$R_{L_PGA} = 10 k\Omega$, $C_{L_PGA} = 35 pF$, gain = 1		1.7		V/ μs
Gain Bandwidth Product ¹	GBP_{PGA}	$R_{L_PGA} = 10 k\Omega$, $C_{L_PGA} = 35 pF$		1		MHz
Phase Margin ¹	Φ_{M_PGA}	$R_{L_PGA} = 10 k\Omega$, $C_{L_PGA} = 35 pF$		60		Degrees
NOISE PERFORMANCE						
Input Voltage Noise Density ²	e_{ni_PGA}	f = 1 kHz, gain = 1		180		nV/ $\sqrt{Hz}$
Input Voltage Noise ²	$e_{n_PGA p-p}$	f = 0.1 Hz to 10 Hz, gain = 1		34		$\mu V p-p$
GAIN PROGRAM (GAIN0, GAIN1)						
Input High Voltage		For GAIN0 pin	1.2			V
Input Low Voltage		For GAIN0 pin			0.4	V
Voltage on GAIN1			0.792	0.8	0.808	V
Gain Error		$T_J = 25^{\circ}C$			0.5	%
Gain Drift		Gain < 4		7	12	ppm/ $^{\circ}C$
		Gain ≥ 4		4	8	ppm/ $^{\circ}C$
ANALOG TRIP						
Analogue Trip Disable Voltage Threshold	V_{TRIP_DIS}					
Rising				4.75		V
Falling				4.65		V
VTRP Current	I_{TRIP}		9.5	10	10.4	μA
Analogue Trip Deglitch Time	t_{TRIP}	Option 1 (default)	178	200	223	μs
		Option 2	310	350	387	μs
		Option 3	440	500	552	μs
		Option 4	660	750	826	μs
		Option 5	0.88	1	1.1	ms
		Option 6	1.75	2	2.2	ms
		Option 7	2.6	3	3.3	ms
		Option 8	3.5	4	4.4	ms

¹これらの仕様については出荷テストを行っていませんが、設計により確保されています。

²ベンチ測定の結果。

オペアンプの仕様

特に指定のない限り、 $V_{IN} = 12V$ 、 $V_{AVDD} = 5V$ 、 $T_J = -40^{\circ}C \sim +125^{\circ}C$ （最小仕様および最大仕様）、 $T_A = 25^{\circ}C$ （代表仕様）。

表 4.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Input Voltage Range	V _{OS_EA}	T _J = 25°C	0		V _{AVDD}	V
Input Offset				20	840	μV
Input Offset Temperature Drift				5.5	19	μV/°C
Input Bias Current ¹				1	1000	pA
Input Capacitance ¹	C _{IN_EA}			2		pF
OUTPUT CHARACTERISTICS						
Output Voltage High	V _{OH_EA}	I _{OH_EA} = -250 μA	V _{AVDD} - 0.3 V	V _{AVDD} - 0.1 V		V
Output Voltage Low	V _{OL_EA}	I _{OL_EA} = +250 μA		15	35	mV
Short-Circuit Current	I _{SC_H_EA}	Short to AVDD		30		mA
	I _{SC_L_EA}	Short to GND		15		mA
DYNAMIC PERFORMANCE ²						
Slew Rate	SR _{EA}	R _{L_EA} = 10 kΩ, C _{L_EA} = 35 pF		0.5		V/μs
Gain Bandwidth Product	GBP _{EA}	R _{L_EA} = 10 kΩ, C _{L_EA} = 35 pF		1.6		MHz
Phase Margin	Φ _{M_EA}	R _{L_EA} = 10 kΩ, C _{L_EA} = 35 pF		56		Degrees
NOISE PERFORMANCE ²						
Input Voltage Noise Density	e _{ni_EA}	f = 1 kHz		240		nV/√Hz
Input Voltage Noise	e _{n_EA p-p}	f = 0.1 Hz to 10 Hz		46		μV p-p

¹これらの仕様については出荷テストを行っていませんが、設計により確保されています。

²ベンチ測定の結果。

絶対最大定格

表 5.

Parameter	Rating
VIN, SW, DET, VPTH	−0.3 V to +40 V
AVDD	−0.3 V to +6 V
BST	V _{SW} + 6 V
DRV	−0.3 V to +12 V
EIN1, EIN2, EIN3, EIN4	−8 V to +8 V
EIN5_P, EIN5_N	−8 V to +8 V
EOUT1, EOUT2, EOUT3, EOUT4, EOUT5, VCOM, RCOM	−0.3 V to V _{AVDD}
VREG, FB1, FB2, VTRP, RSTO, TRG, GATE, GAIN0, GAIN1	−0.3 V to +6 V
PGNDx to GND	−0.3 V to +0.3 V
Operating Temperature Range (Junction)	−40°C to +125°C
Storage Temperature Range	−65°C to +150°C
Soldering Conditions	JEDEC J-STD-020
Electrostatic Discharge (ESD)	
Human Body Mode	4000 V (for EIN1, EIN2, EIN3, EIN4, EIN5_P, and EIN5_N pins), 2000 V (for the rest of pins)
Charged Device Mode	500 V

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCBの熱設計には細心の注意が必要です。 θ_{JA} は、1 立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲温度の間の熱抵抗です。 θ_{JC} は、ジャンクションからケースへの熱抵抗です。

表 6.熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
CP-32-7 ¹	32.7	1.4	°C/W

¹ θ_{JA} は、サーマル・ビアの形成された JEDEC 規格の 4 層基板を自然対流下で使用し、露出パッドを PCB にハンダ付けした状態で測定しています。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

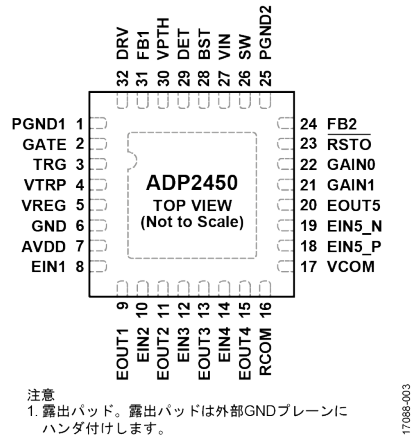


図 3.32 ピン LFCSP パッケージのピン配置（上面図）

表 7. ピン機能の説明

ピン番号	記号	説明
1	PGND1	昇圧シャント・ドライバおよびアクチュエータ・ドライバのグラウンド
2	GATE	アクチュエータ・ドライバ。このピンは、SCR、FET、またはトランジスタを駆動します。
3	TRG	アクチュエータ・トリガ信号。この信号は MCU から供給されます。
4	VTRP	アナログ・トリップ・ハイ閾値設定。このピンとグラウンドの間に抵抗を接続して、アナログ・トリップ・ハイの閾値を設定します。
5	VREG	5V 内部レギュレータの出力。IC 制御回路の電力はこの電圧から供給されます。VREG と GND の間に 1 μ F のセラミック・コンデンサを接続します。
6	GND	アナログ・グラウンド。このピンはグラウンド・プレーンに接続します。
7	AVDD	アンプ・ブロックの電源
8	EIN1	プログラマブル・ゲイン・アンプ 1 の入力
9	EOUT1	プログラマブル・ゲイン・アンプ 1 の出力
10	EIN2	プログラマブル・ゲイン・アンプ 2 の入力
11	EOUT2	プログラマブル・ゲイン・アンプ 2 の出力
12	EIN3	プログラマブル・ゲイン・アンプ 3 の入力
13	EOUT3	プログラマブル・ゲイン・アンプ 3 の出力
14	EIN4	プログラマブル・ゲイン・アンプ 4 の入力
15	EOUT4	プログラマブル・ゲイン・アンプ 4 の出力
16	RCOM	プログラマブル・ゲイン・アンプ 1～アンプ 4 の外部抵抗補償
17	VCOM	プログラマブル・ゲイン・アンプの出力コモン電圧の設定。このピンは外部リファレンス電圧に接続されます。
18	EIN5_P	アンプ 5 の正の入力
19	EIN5_N	アンプ 5 の負の入力
20	EOUT5	アンプ 5 の出力
21	GAIN1	プログラマブル・ゲイン・アンプ 1～アンプ 4 のゲイン設定。このピンと GAIN0 を組み合わせてアンプのゲインを設定します。
22	GAIN0	プログラマブル・ゲイン・アンプ 1～アンプ 4 のゲイン設定。このピンと GAIN1 を組み合わせてアンプのゲインを設定します。
23	RSTO	リセット出力（オープンドレイン）。このピンは抵抗で 5.5V 未満の電圧にプルアップ接続します。
24	FB2	降圧レギュレータ用の帰還電圧検出入力。調整可能バージョンでは、このピンは降圧出力電圧 V_{OUT2} からの抵抗分圧器に接続します。固定出力バージョンでは、このピンは V_{OUT2} に直接接続します。
25	PGND2	降圧レギュレータ用の電源グラウンド
26	SW	降圧レギュレータ用のスイッチ・ノード
27	VIN	降圧レギュレータおよび内部 VREG の電力入力。この電圧は電力検出回路によってモニタされます。このピンと PGND2 の間にバイパス・コンデンサを接続します。
28	BST	降圧レギュレータのゲート・ドライブ用の電源レール。SW と BST の間に 0.1 μ F のコンデンサを接続します。
29	DET	電力検出出力

ピン番号	記号	説明
30	VPTH	電力検出電圧閾値の設定。このピンとグラウンドの間に抵抗を接続して、電力定格検出電圧の閾値を設定します。
31	FB1	昇圧シャント用の帰還電圧検出入力。このピンは V_{OUT1} からの抵抗分圧器に接続します。
32	DRV	昇圧シャント・ドライバ
33	EP	露出パッド。露出パッドは外部 GND プレーンにハンダ付けします。

代表的な性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ 、 $V_{AVDD} = 5\text{V}$ 、 $V_{VCOM} = V_{RCOM} = 0\text{V}$ 。

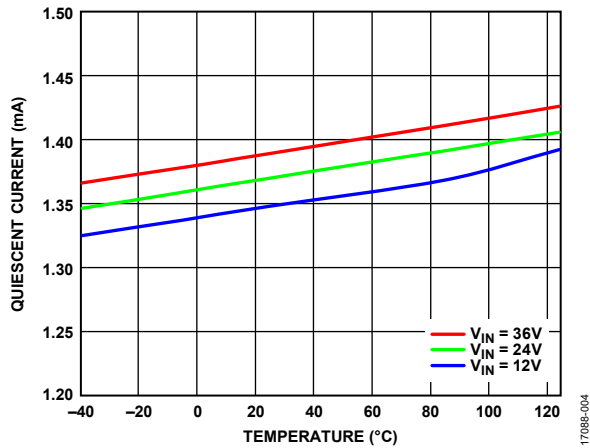


図 4. 静止電流と温度の関係

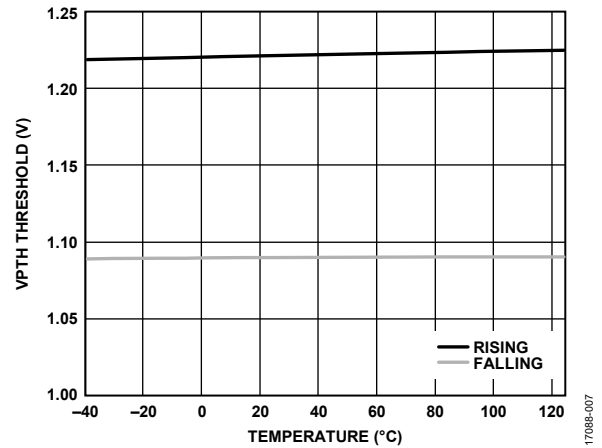


図 7. VPTH 閾値と温度の関係

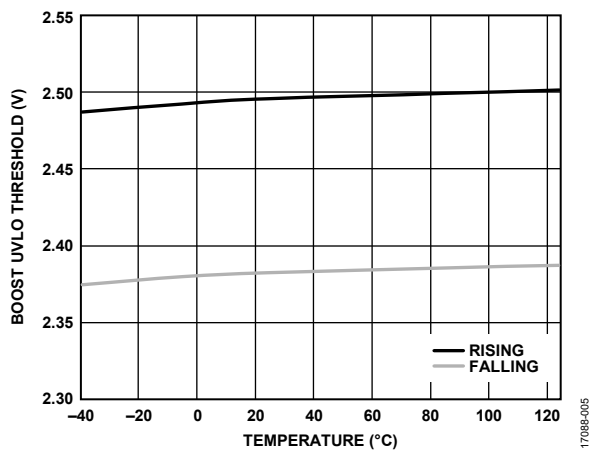


図 5. 昇圧コントローラの VIN UVLO 閾値と温度の関係

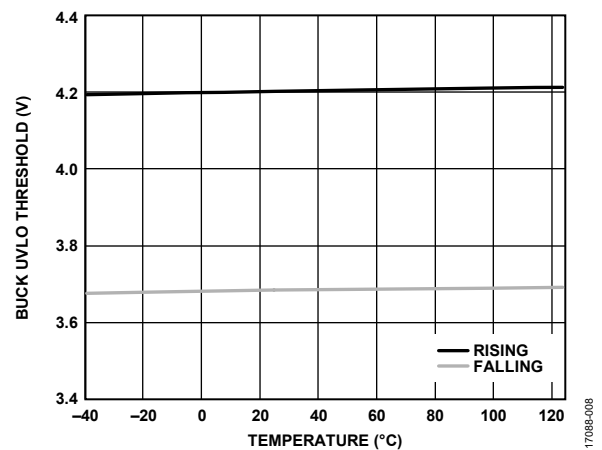


図 8. 降圧レギュレータの VIN UVLO 閾値と温度の関係

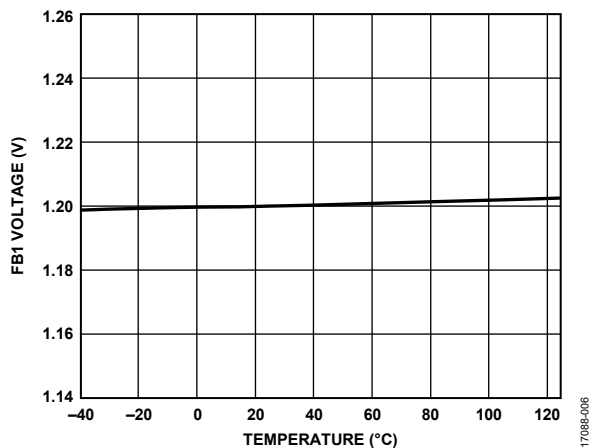


図 6. FB1 の電圧と温度の関係

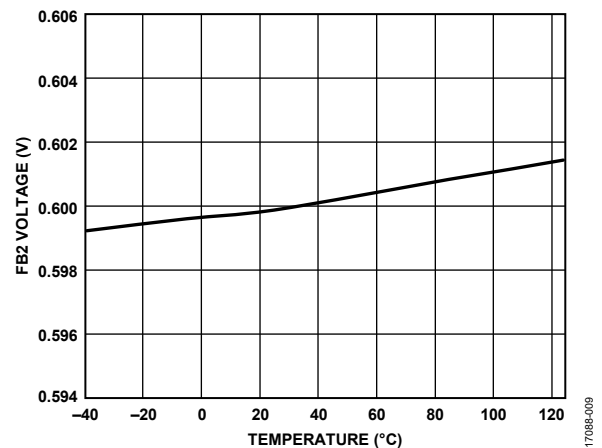


図 9. FB2 の電圧と温度の関係

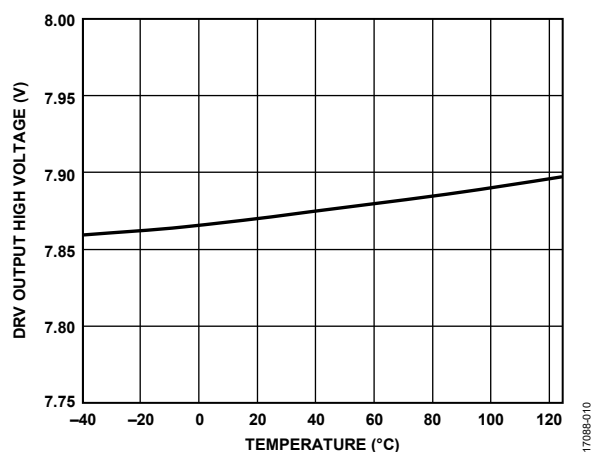


図 10.DRV 出力ハイ電圧と温度の関係

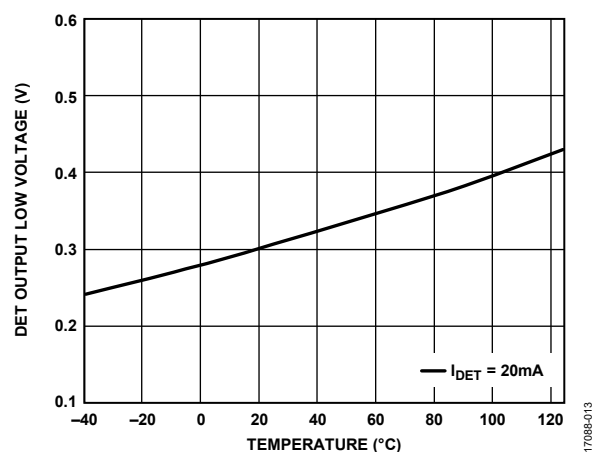


図 13.DET の出力ロー電圧と温度の関係

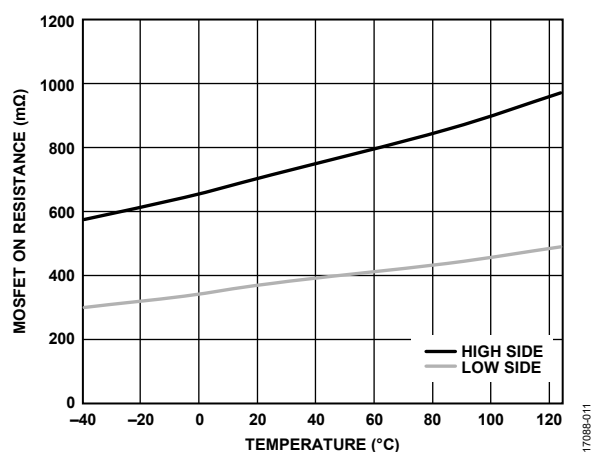


図 11.MOSFET のオン抵抗と温度の関係

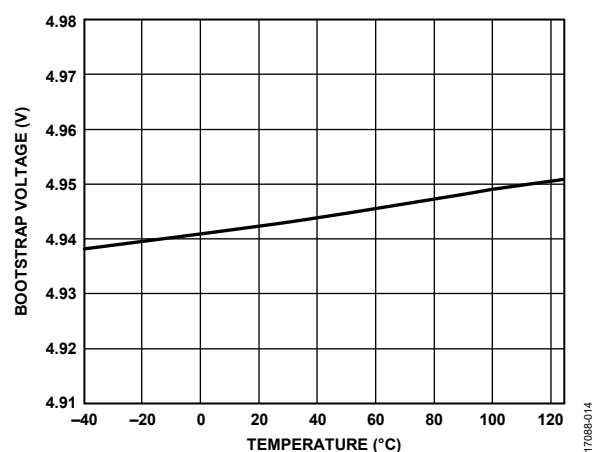


図 14.ブートストラップ電圧と温度の関係

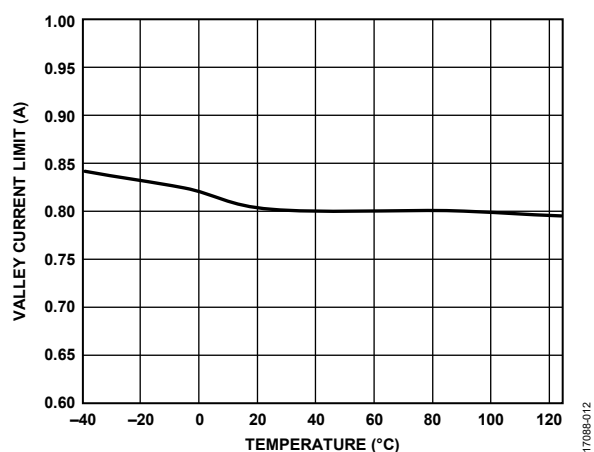


図 12.谷電流の制限閾値と温度の関係

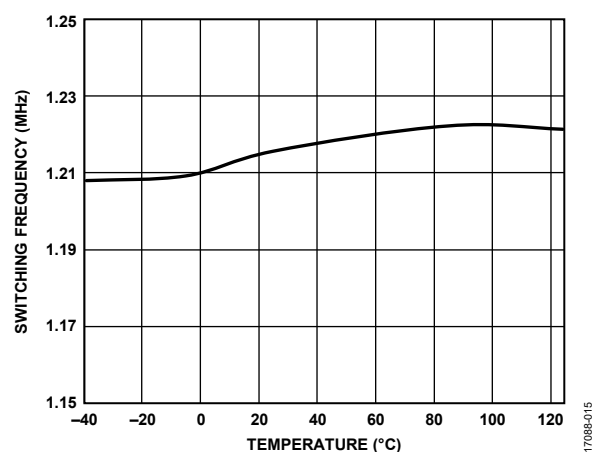


図 15.スイッチング周波数と温度の関係

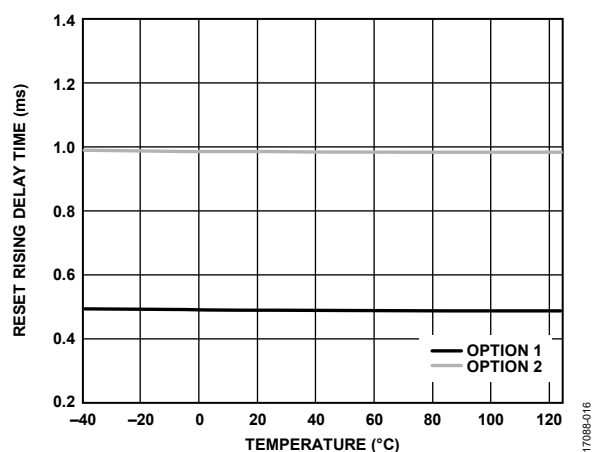


図 16. リセット立上がり遅延時間
(オプション 1、オプション 2) と温度の関係

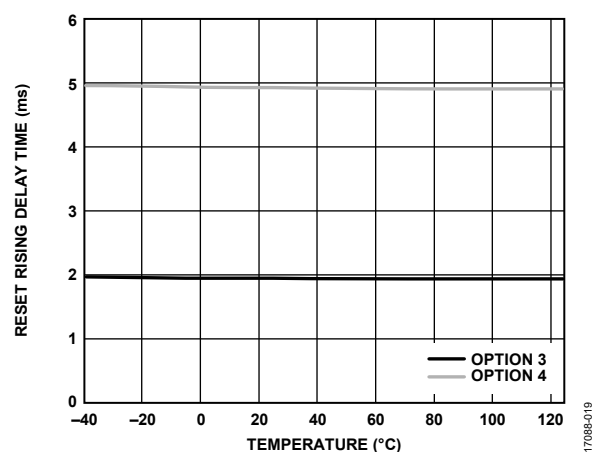


図 19. リセット立上がり遅延時間
(オプション 3、オプション 4) と温度の関係

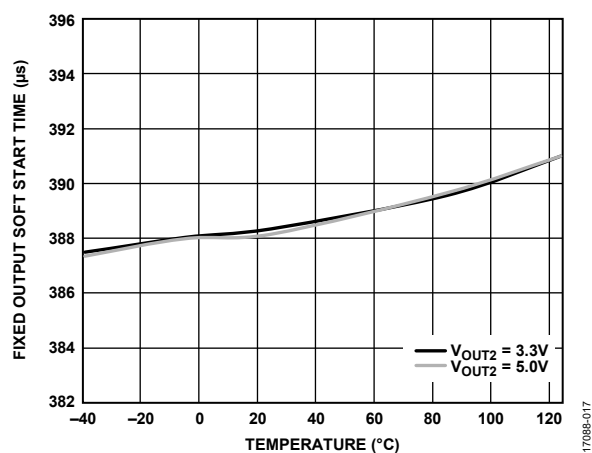


図 17. ソフト・スタート時間（固定出力バージョン）と
温度の関係

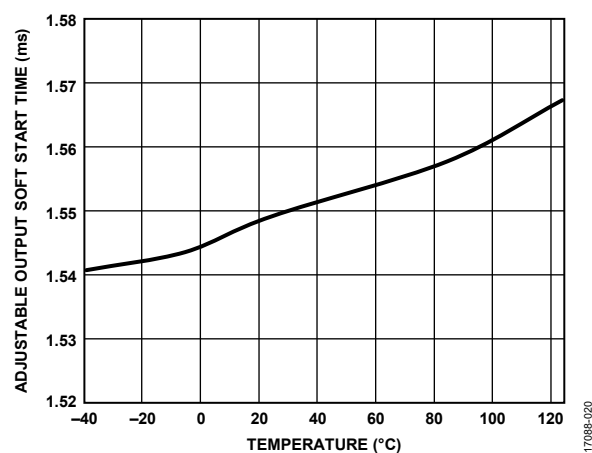


図 20. ソフト・スタート時間（調整可能出力バージョン）と
温度の関係

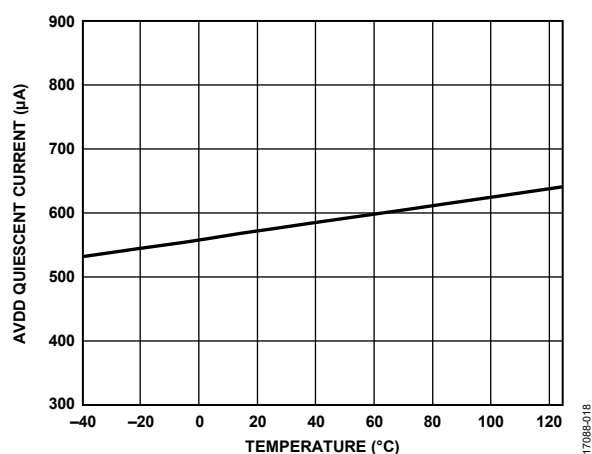


図 18. AVDD 静止電流と温度の関係

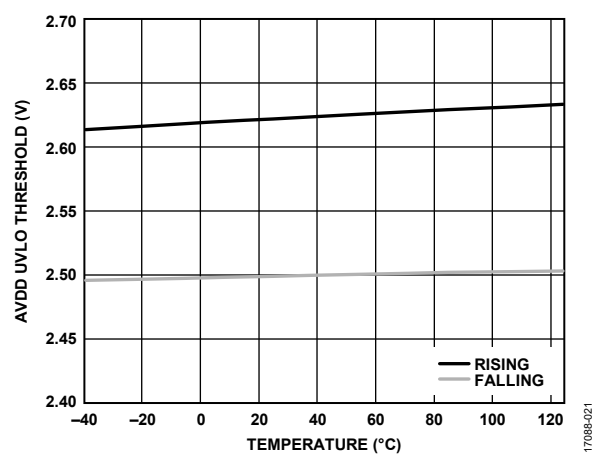


図 21. AVDD UVLO 閾値と温度の関係

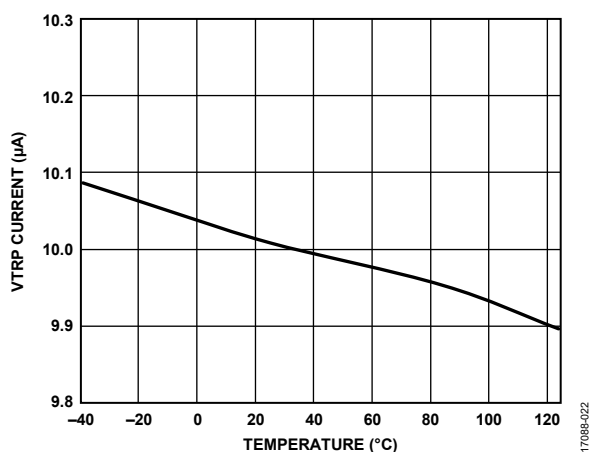


図 22. アナログ・トリップ・ピン (VTRP) 電流と温度の関係

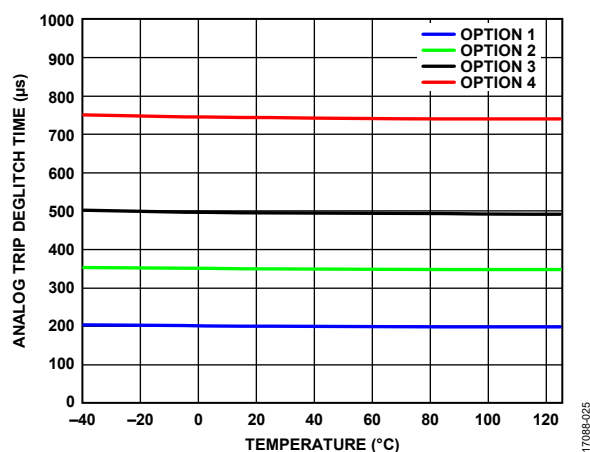


図 25. アナログ・トリップ・デグリッチ時間と温度の関係 (オプション 1~オプション 4)

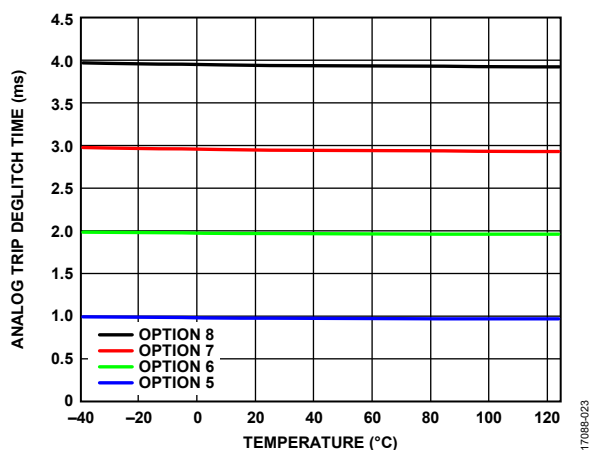


図 23. アナログ・トリップ・デグリッチ時間と温度の関係 (オプション 5~オプション 8)

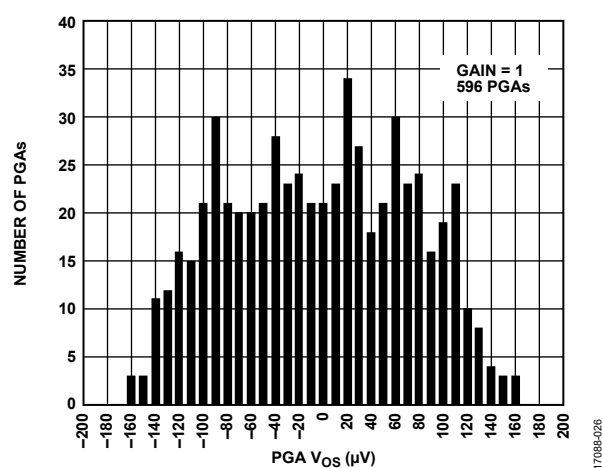


図 26. PGA の入力オフセット電圧の分布

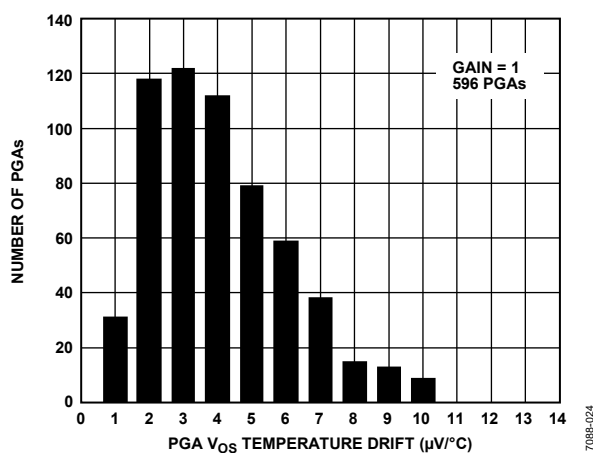


図 24. PGA の入力オフセット電圧ドリフトの分布、ゲイン = 1

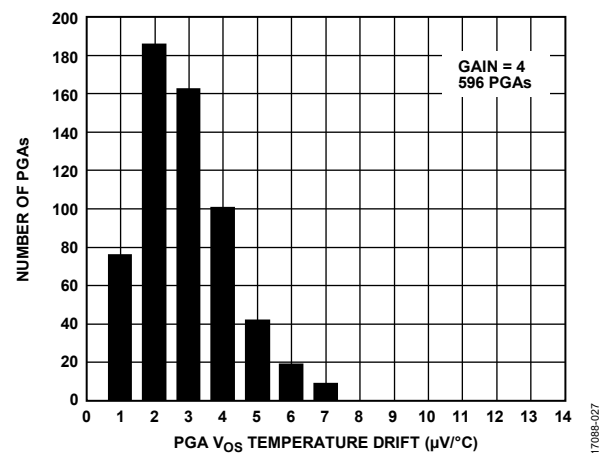


図 27. PGA の入力オフセット電圧ドリフトの分布、ゲイン = 4

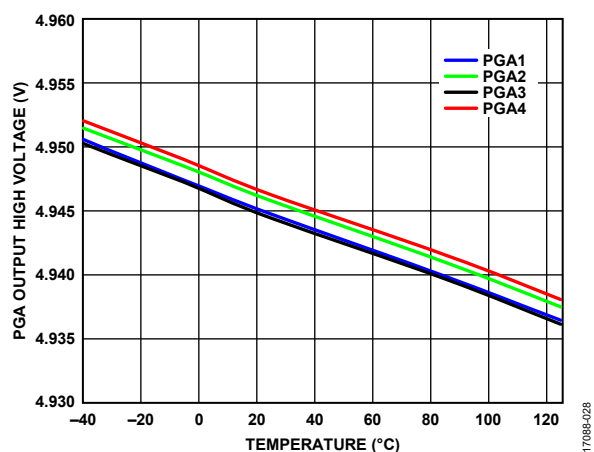


図 28.PGA の出力ハイ電圧と温度の関係

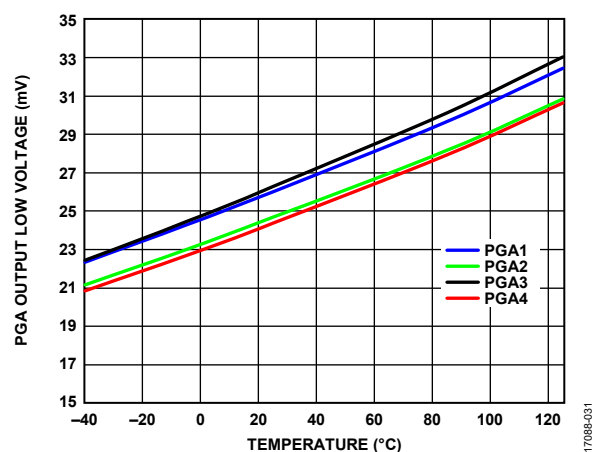


図 31.PGA の出力ロー電圧と温度の関係

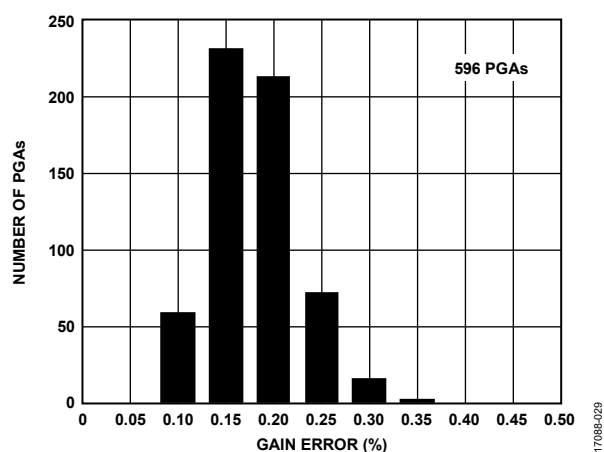


図 29.PGA のゲイン誤差の分布

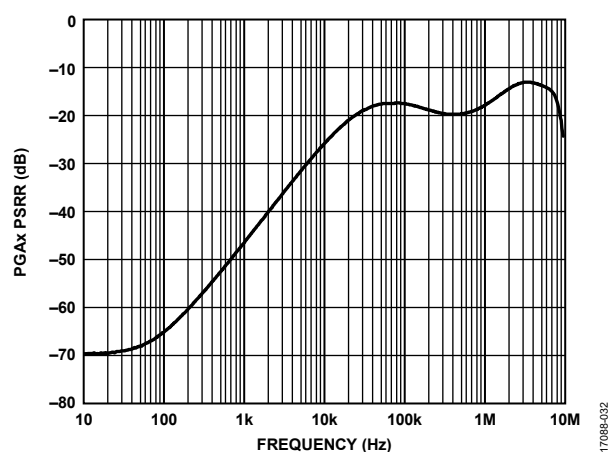


図 32.PGAx PSRR と周波数の関係

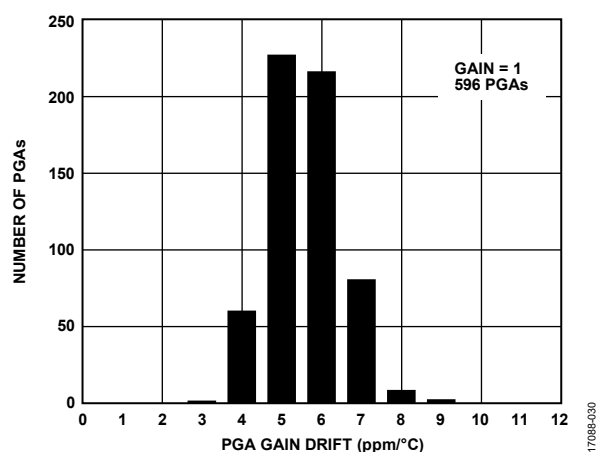


図 30.PGA のゲイン・ドリフトの分布、ゲイン = 1

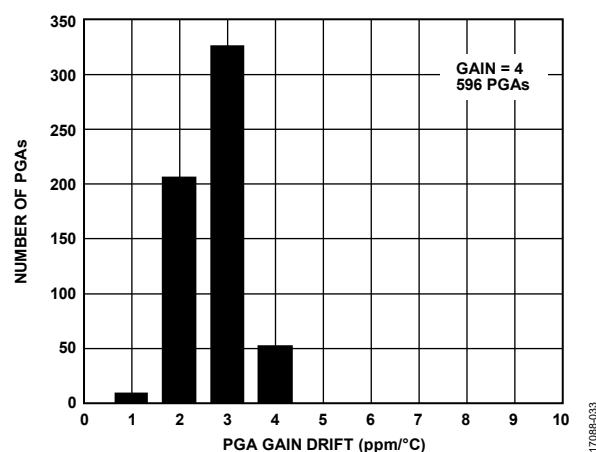


図 33.PGA のゲイン・ドリフトの分布、ゲイン = 4

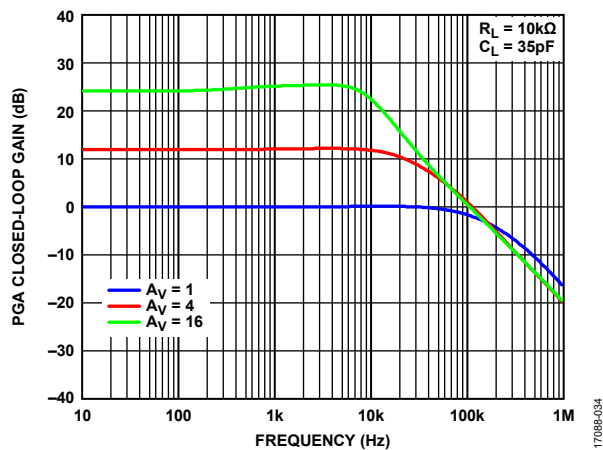


図 34. PGA のクローズドループ・ゲインと周波数の関係

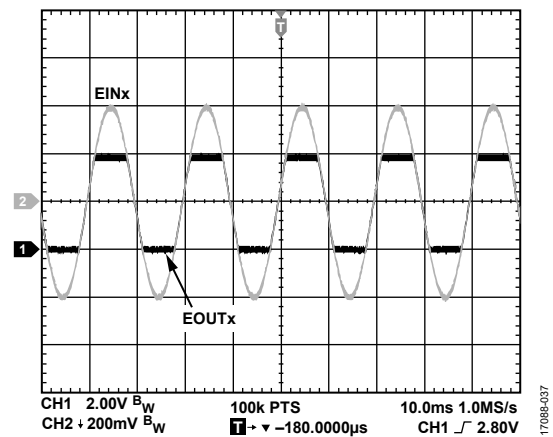


図 37. PGA の位相反転なし、 $V_{VCOM} = V_{AVDD} = 4V$ 、 $A_V = -10$

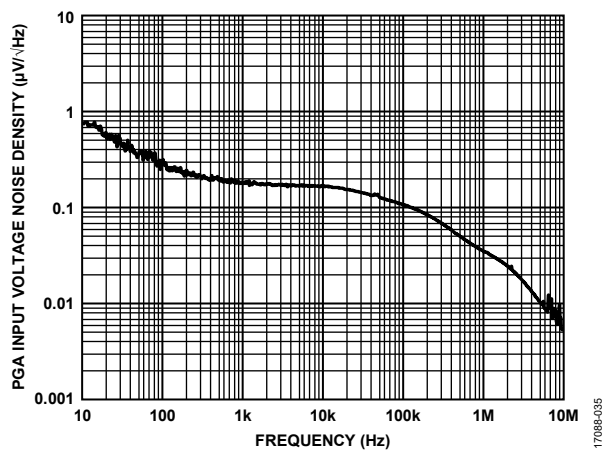


図 35. PGA の入力電圧ノイズ密度と周波数の関係

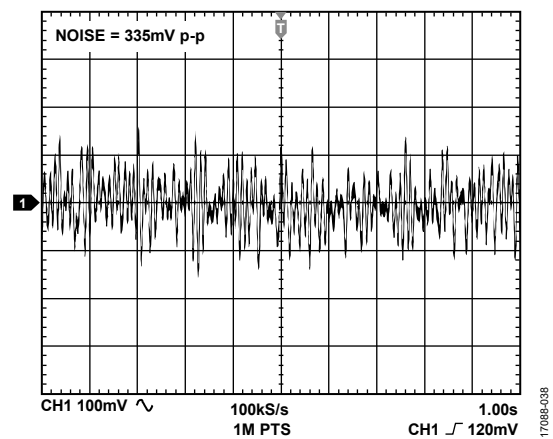


図 38. PGA の 0.1Hz~10Hz のノイズ、振幅 = 10,000×

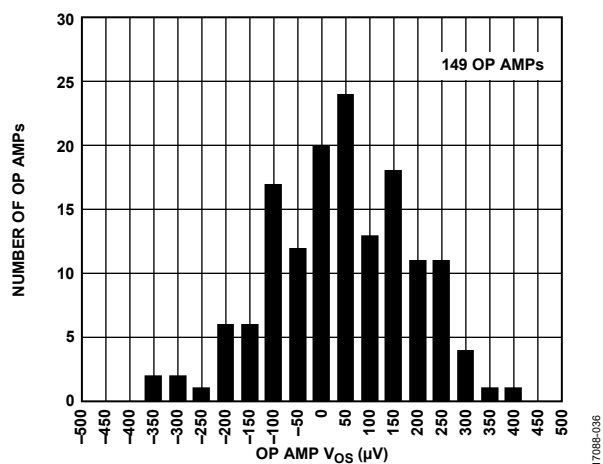


図 36. オペアンプの入力オフセット電圧分布

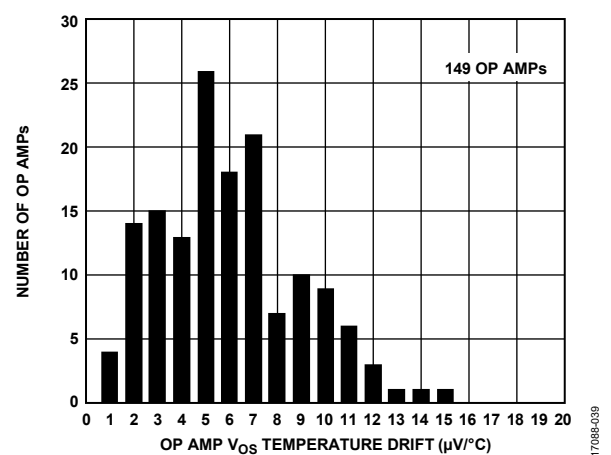


図 39. オペアンプの入力オフセット電圧温度ドリフトの分布

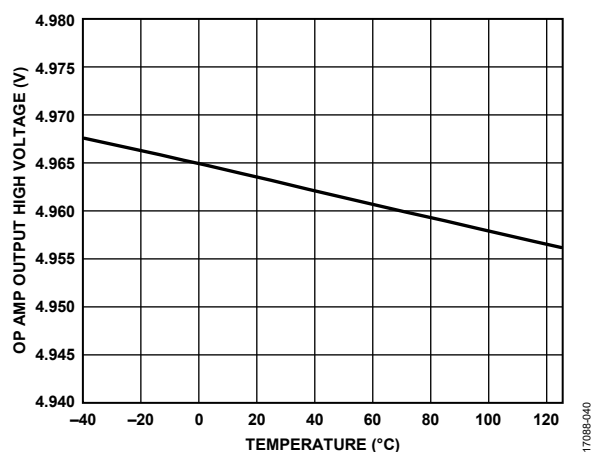


図 40. オペアンプの出力ハイ電圧と温度の関係

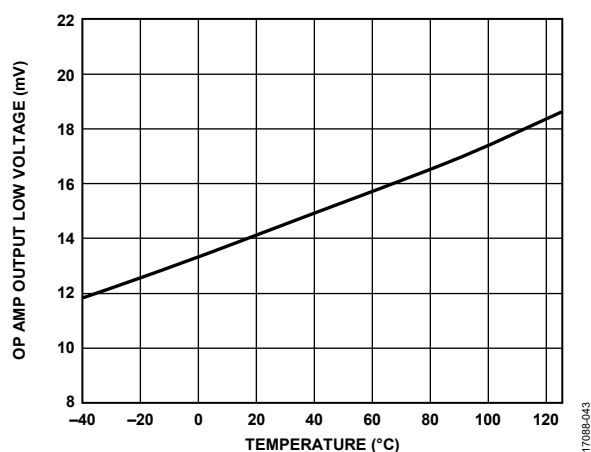


図 43. オペアンプの出力ロー電圧と温度の関係

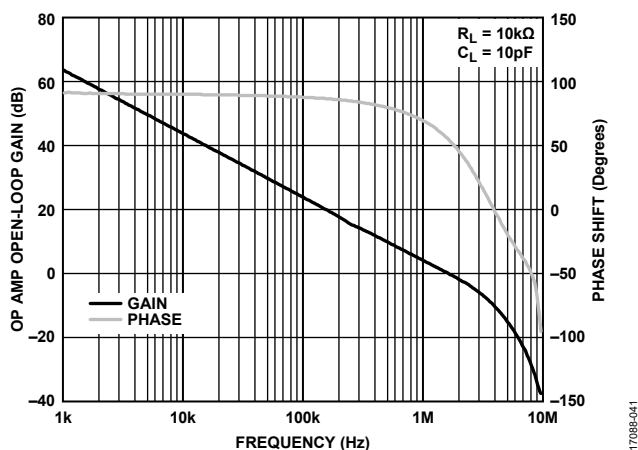


図 41. オペアンプのオープンループ・ゲインおよび位相シフトと周波数の関係

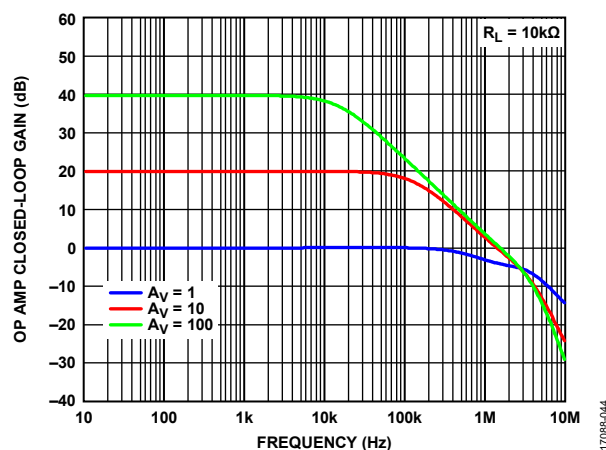


図 44. オペアンプのクロードループ・ゲインと周波数の関係

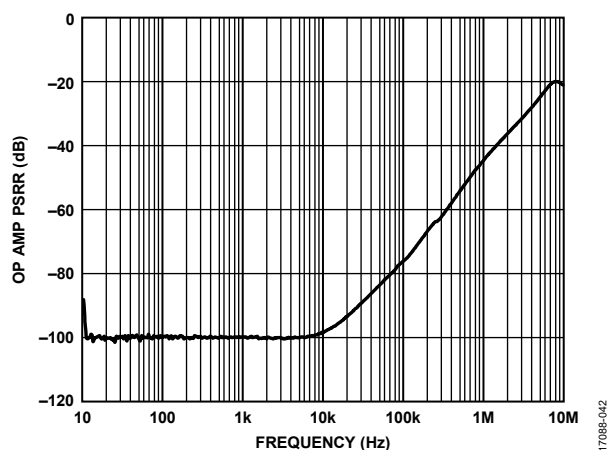


図 42. オペアンプの PSRR と周波数の関係

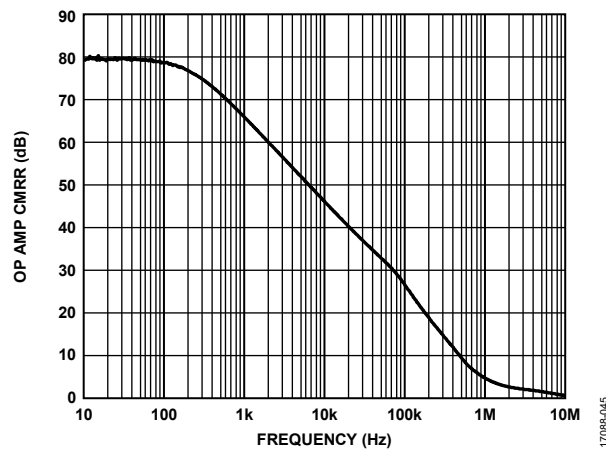


図 45. オペアンプの CMRR と周波数の関係

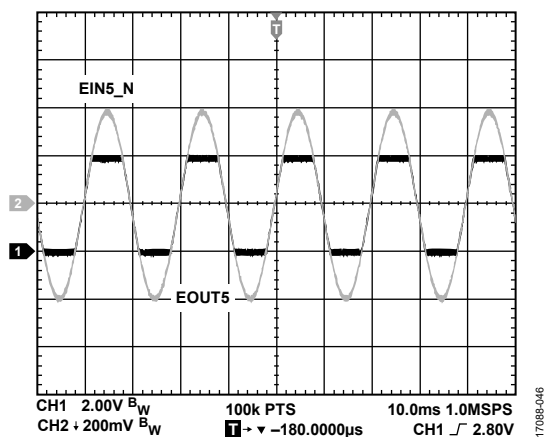


図 46. オペアンプの位相反転なし、 $V_{AVDD} = 4V$ 、 $A_v = -10$

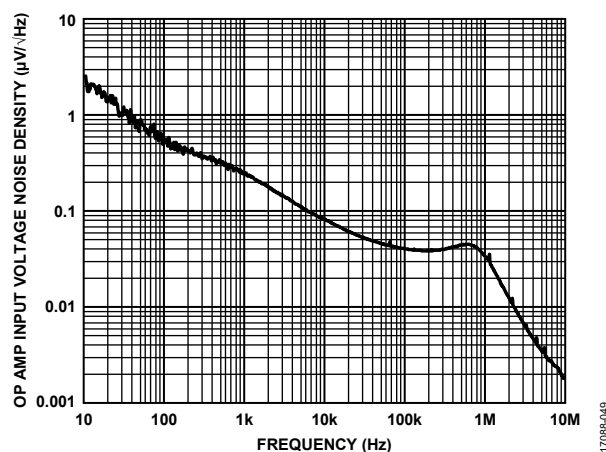


図 49. オペアンプの入力電圧ノイズ密度と周波数の関係

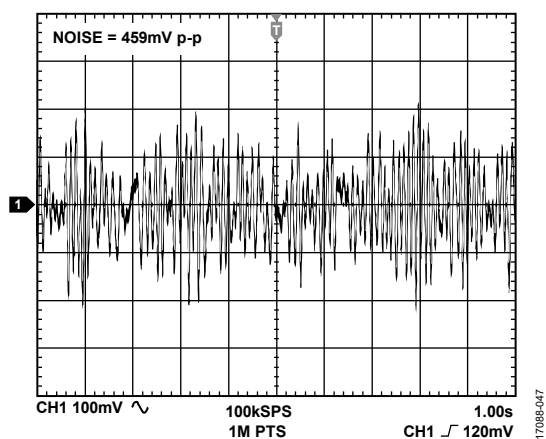


図 47. オペアンプの 0.1Hz~10Hz のノイズ、振幅 = 10,000×

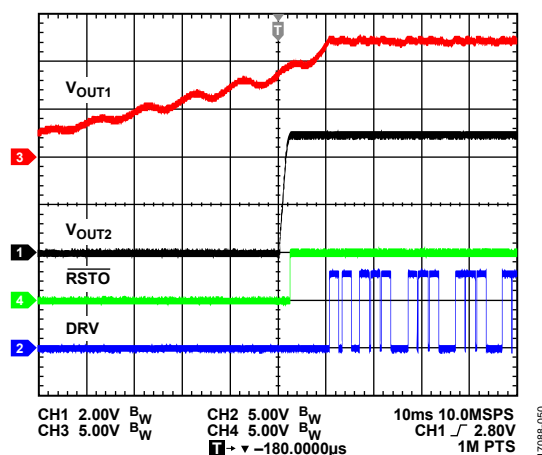


図 50. AC 電流源による起動、 $V_{COM} = GND$

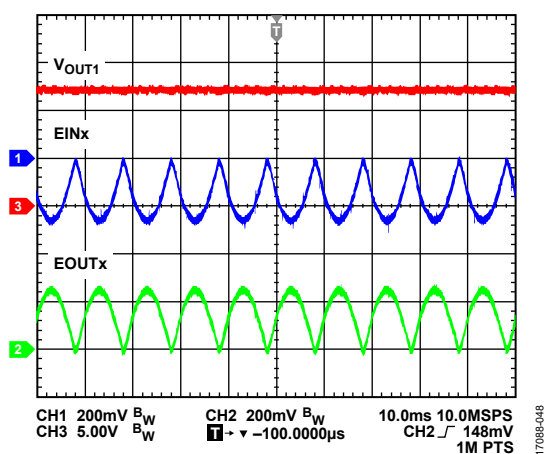


図 48. PGA の動作波形、ゲイン = 1

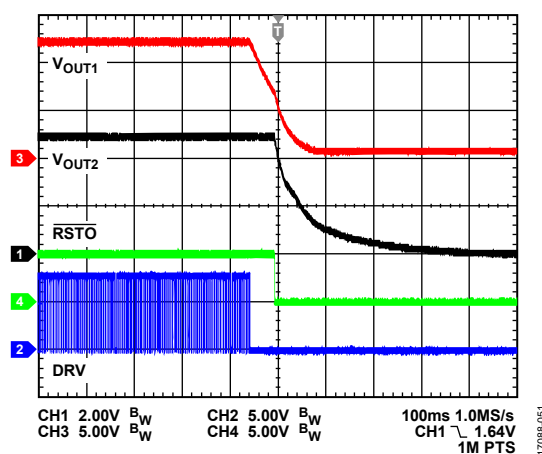


図 51. システム・シャットダウン波形

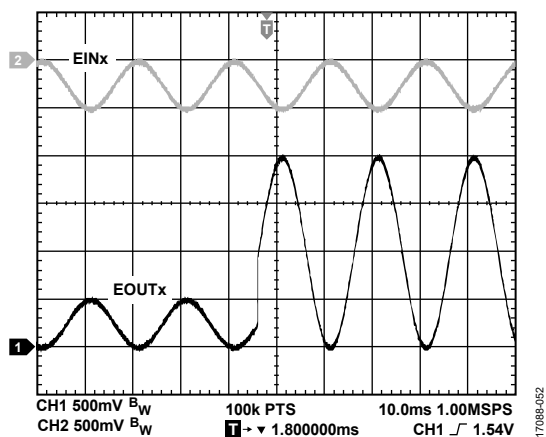


図 52.PGA のゲイン切り替え
(ゲイン = 1 からゲイン = 4 へ)

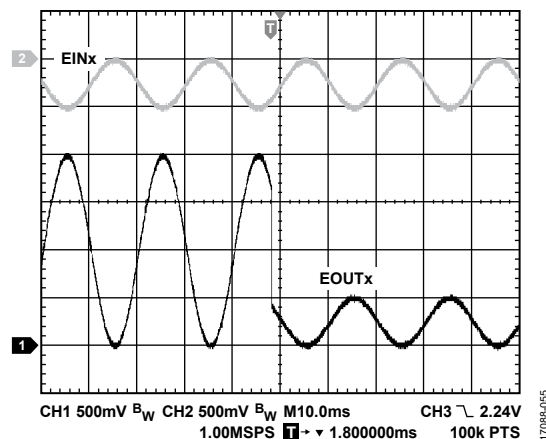


図 55.PGA のゲイン切り替え
(ゲイン = 4 からゲイン = 1 へ)

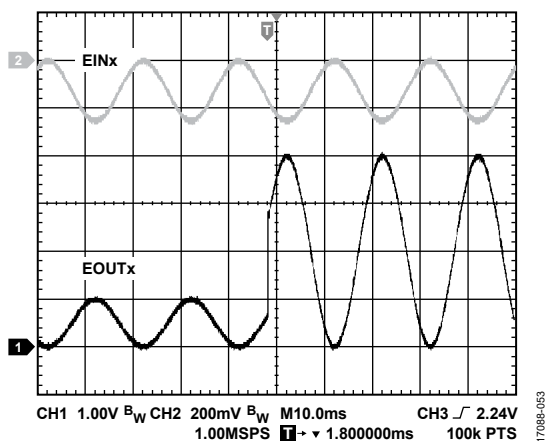


図 53.PGA のゲイン切り替え
(ゲイン = 4 からゲイン = 16 へ)

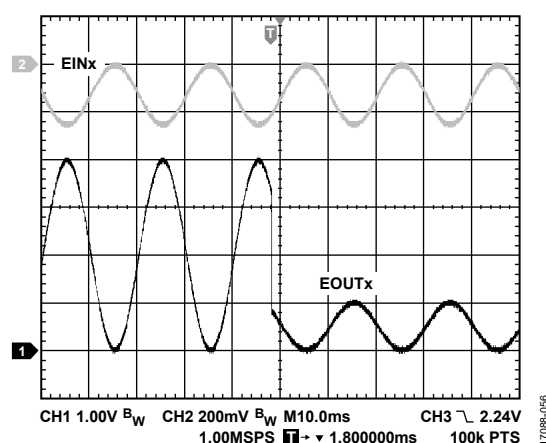


図 56.PGA のゲイン切り替え
(ゲイン = 16 からゲイン = 4 へ)

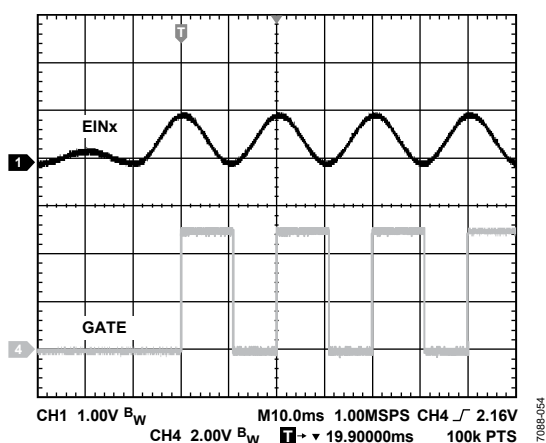


図 54.トリガされたアナログ・トリップ閾値、
VCOM = RCOM = 0V

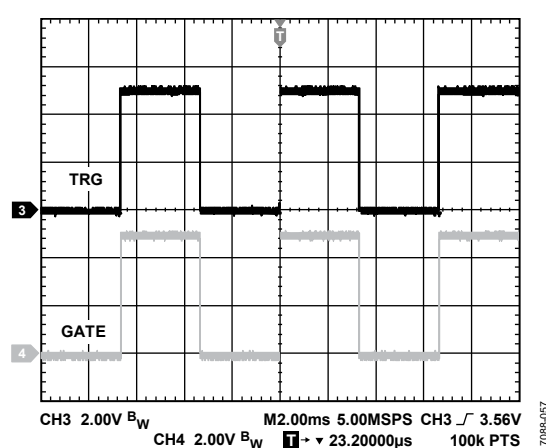


図 57.TRG トリガ・アナログ・トリップ機能

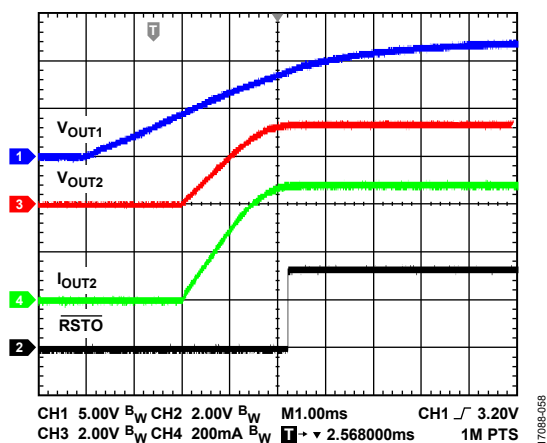


図 58.最大負荷状態での降圧レギュレータのソフト・スタート
($V_{OUT2} = 3.3V$ 、調整可能バージョン)

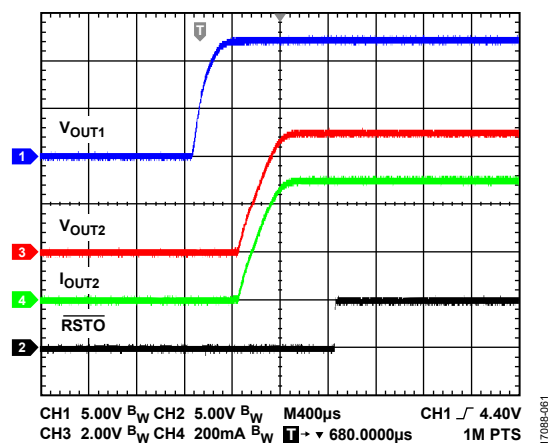


図 61.最大負荷状態での降圧レギュレータのソフト・スタート
($V_{OUT2} = 5V$ 、固定バージョン)

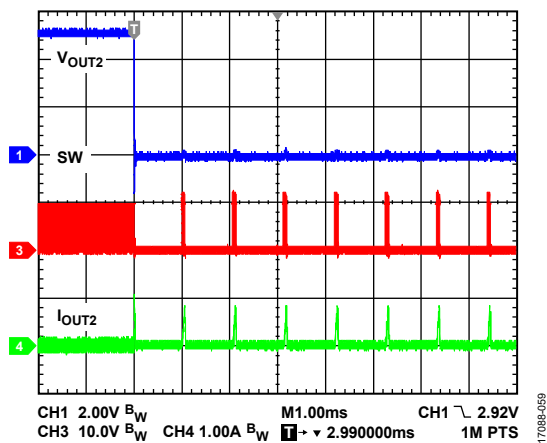


図 59.トリガされた降圧レギュレータの OCP

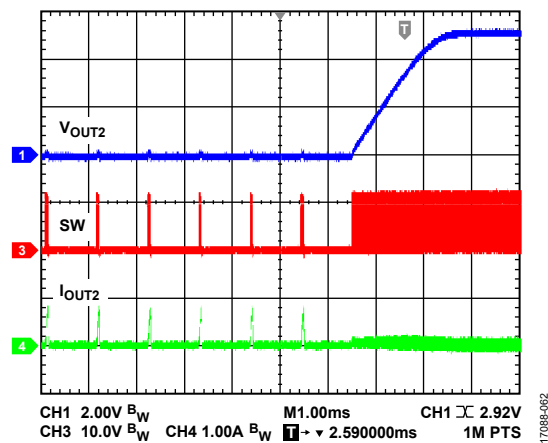


図 62.降圧レギュレータの OCP からの回復

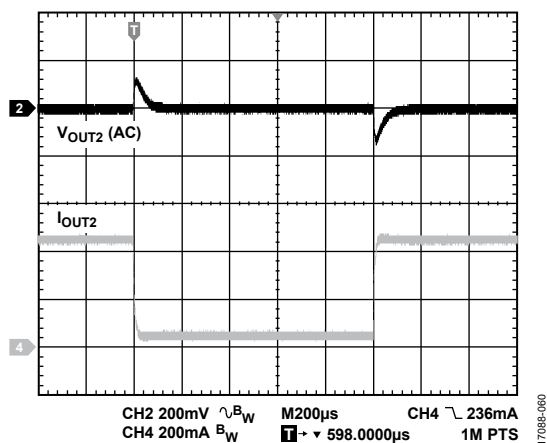


図 60.降圧レギュレータの負荷過渡応答 (50mA→450mA)

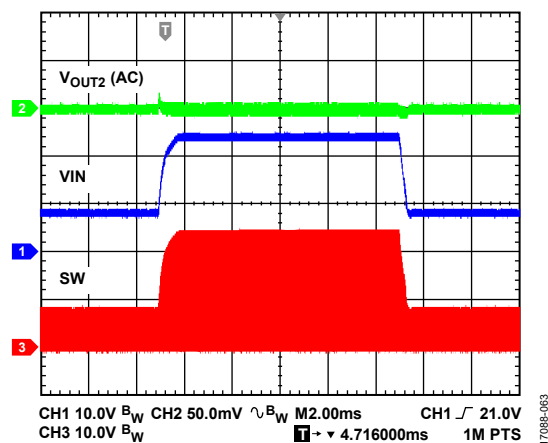


図 63.降圧レギュレータのライン過渡応答 ($V_{IN} 8V \rightarrow 24V$)、
最大負荷状態

動作原理

ADP2450 は、回路ブレーカおよび CT 電源アプリケーション用のパワー・マネージメント IC です。ADP2450 は、電力検出が可能な 1 つの昇圧シャント・コントローラ、1 つの高効率降圧レギュレータ、4 つのプログラマブル・ゲイン・アンプ、1 つの低オフセット・オペアンプ、1 つの高速アナログ・トリップ回路、1 つのアクチュエータ・ドライバを 32 ピン LFCSP パッケージに内蔵しています。高い集積度を誇る ADP2450 は、サイズが制限される高信頼性システム用に、小型、堅牢な電源およびシグナル・コンディショニング・ソリューションを提供します。

昇圧シャント・コントローラ

ADP2450 は、**FET** ドライバ付き昇圧シャント・コントローラを内蔵しています。昇圧シャント・コントローラは、ヒステリシス制御方式を使用して出力電圧を調整します。FB1 ピン上の帰還電圧がリファレンス電圧（代表値 1.2V）を下回ると、**FET** ドライバは外付け **FET** をオフにし、CT から供給される電流が出力コンデンサを充電してコンデンサにエネルギーを蓄えます。出力電圧が上昇し、FB1 ピン上の帰還電圧が立上がり閾値（代表値 1.219V）を上回ると、**FET** ドライバは外付け **FET** をオンにし、外付け **FET** 経由で CT の電流をグラウンドにバイパスします。

電力検出

ADP2450 は入力電力検出機能を内蔵しています。起動中に、VPTH ピン上の電圧が VPTH の立上がり閾値（代表値 1.22V）を下回ると、電力検出 FET がオンになり、DET ピンはグラウンドにプルダウンされます。VPTH とグラウンドの間に、1μA と 3.8μA の両方の内部電流源が追加されます。VPTH ピン上の電圧が VPTH の立上がり閾値（代表値 1.22 V）を超えて上昇すると、電力検出 FET がオフになり、DET ピンはオープンになります。3.8μA 電流源は取り除かれ、1μA 電流源のみが追加されます。

V_{PTH} ピン上の電圧が V_{PTH} の立下がり閾値（代表値 1.09V）より低くなると、電力検出 FET が再びオンになり、DET ピンがグラウンドにプルダウンされ、V_{PTH} とグラウンドの間に再び 3.8μA 電流源が追加されます。

電力検出用の電圧閾値とヒステリシスは、図 64 に示すように、VPTH ピン上の外付け抵抗を使用してプログラム可能です。

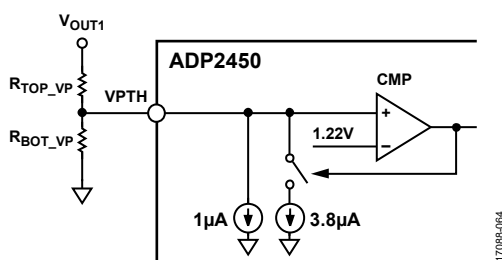


図 64.電力検出のプログラマブル電圧

次式を使用して、 $R_{TOP\ VP}$ と $R_{BOT\ VP}$ を計算します。

$$R_{TOP_VP} = \frac{1.09 \text{ V} \times V_{OUT1_RISING} - 1.22 \text{ V} \times V_{OUT1_FALLING}}{1.09 \text{ V} \times 4.8 \mu\text{A} - 1.22 \text{ V} \times 1 \mu\text{A}}$$

$$R_{BOT_VP} = \frac{1.22 \text{ V} \times R_{TOP_VP}}{V_{OUT1_RISING} - R_{TOP_VP} \times 4.8 \mu\text{A} - 1.22 \text{ V}}$$

ここで、

V_{OUT1_RISING} は V_{OUT1} の立上がり閾値です。

$V_{OUT1_FALLING}$ は V_{OUT1} の立下がり閾値です。

図 65 に示すように、 V_{OUT1} と DET ピンの間に接続されたダミー抵抗負荷 (R_{POWER}) により、カレント・トランスから十分な電力がシステムに供給されるまでシステム全体がイネーブルにならないように設定できます。

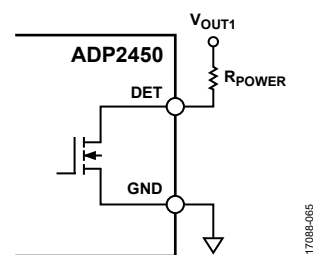


図 65. ダミー一負荷の接続

次式を使用して、ダミー負荷の抵抗値を計算します。

$$R_{POWER} = \frac{V_{OUT1_RISING}}{I_{DUMMY}}$$

ここで、 I_{DUMMY} は、システムをオンにするのに必要な最小の電流値です。

選択したダミー負荷抵抗が電力を処理してから、DET ピンがオープンになるようにします。ダミー負荷抵抗の消費電力は、次式を使用して計算できます。

$$P_{DUMMY} = I_{DUMMY}^2 \times R_{POWER}$$

内部レギュレータ

内部 5V レギュレータ (VREG) は、内部制御回路用の安定した電圧源を提供します。VREG と GND の間に 1μF のセラミック・コンデンサを接続することを推奨します。この内部レギュレータは、過電流保護用の電流制限回路も内蔵しています。

内部 8V レギュレータは、昇圧シャント・ドライバ用の電圧源を提供します。

VIN ピンは、5V と 8V の両方の内部レギュレータに電源を供給します。

降圧レギュレータ

ADP2450 の降圧レギュレータは、優れた安定性と過渡応答が得られる電流モード制御方式を採用しています。

この降圧レギュレータは、1.2MHz の固定スイッチング周波数で動作します。ソフト・スタートおよび補償回路を内蔵しているため、外付け部品を減らした使いやすいソリューションを実現できます。ソフト・スタート時間は、固定出力バージョンで 400μs、調整可能出力バージョンで 1.6ms です。

ADP2450 は、エミュレートされた電流ランプ電圧を使用して、サイクルごとの電流制限保護を実行し、電流の暴走を防止します。エミュレートされた電流ランプ電圧が電流制限の閾値に達した場合、次のサイクルまでハイサイド MOSFET はオフになり、ローサイド MOSFET はオンになります。このプロセスの間、過電流カウンタがインクリメントされます。これ以外の状態では、過電流カウンタはデクリメントします。過電流カウンタが 10 に達するか、ソフト・スタート後に FB2 ピンの電圧が 0.2V より低くなると、降圧レギュレータはヒカップ・モードに移行します。ヒカップ・モードの間、ハイサイド MOSFET とローサイド MOSFET はどちらもオフになります。降圧レギュレータは、1024 クロック・サイクルの間ヒカップ・モードを維持した後、ソフト・スタートからの再スタートを試みます。電流制限故障がクリアされた場合は、降圧レギュレータは通常の動作を再開します。それ以外の場合は、再びヒカップ・モードに移行します。

降圧レギュレータのローサイド MOSFET は、負荷からの電流をシンクできます。ローサイド・シンク電流がシンク電流制限の閾値を超えた場合、次のサイクルが開始されるまで、ハイサイド MOSFET とローサイド MOSFET はどちらもオフになります。

降圧レギュレータは、VPTH ピン上の電圧が VPTH の立上がり閾値より高い場合にのみ機能します。

ブートストラップ回路

ADP2450 は、降圧レギュレータのハイサイド N-MOSFET 用のゲート・ドライバ電圧を供給するレギュレータを内蔵しています。このレギュレータは、差動検出手法を使用して BST ピンと SW ピンの間に 5V のブートストラップ電圧を生成します。BST ピンと SW ピンの間に 0.1μF の X7R または X5R セラミック・コンデンサを接続することが推奨されます。

電力モニタおよびリセット

降圧レギュレータの出力電圧は FB2 ピンを介してモニタされます。FB2 ピン上の電圧がリセット閾値を下回ると、RSTO ピンがプルダウンされます。FB2 ピン上の電圧がリセット閾値を上回ると、RSTO ピンは解放され、外部電圧源によるプルアップが可能になります。RSTO ピン上にグリッチが発生しないように、RSTO ピンには遅延時間が設計されています。立上がり遅延時間には、0.5ms、1ms、2ms、5ms の 4 つのオプションがあります。立下がり遅延時間は 10μs に固定されています。

プログラマブル・ゲイン・アンプ

ADP2450 は、4 つの低オフセット、低消費電力プログラマブル・ゲイン・アンプ (PGA1、PGA2、PGA3、PGA4) を内蔵しています。これらのアンプのゲインは、GAIN0～GAIN1 ピンによってプログラム可能です。

GAIN1 ピンとグラウンドの間に抵抗を接続して、ゲインを設定できます。

GAIN0 ピンをハイにプルアップするか、GAIN0 ピンをローにプルダウンすると、異なるゲイン範囲が選択されます。

GAIN0 と GAIN1 の様々な設定を組み合わせると、合計 15 種類のゲインが得られます。表 8 に、GAIN0 および GAIN1 の設定とゲインの関係を示します。

表 8. PGAx のゲインの設定

Resistance on GAIN1 (kΩ)	GAIN	
	GAIN0 = Low	GAIN0 = High
0	0.75	3
42.2	1	4
63.4	1.25	5
95.3	1.5	6
143	1.75	7
215	2	8
324	2.5	10
AVDD	4	16

AVDD ピンは、これらのプログラマブル・ゲイン・アンプ用の電圧源を提供します。これらのアンプの出力電圧は、0～V_{AVDD} の範囲内に制限されます。

PGAx の出力電圧は次式で計算できます。

$$V_{EOUTx} = \frac{V_{VCOM}}{2} - V_{EINx} \times GAIN$$

ここで、

V_{EOUTx} は EOUTx ピンの電圧です。

V_{VCOM} は VCOM ピンの電圧です。

V_{EINx} は EINx ピンの電圧です。

GAIN は、表 8 に従って GAIN0 ピンと GAIN1 ピンによってプログラムされたゲインの値です。

ロゴスキー・コイル・アプリケーションでは、図 74 に示すように RCOM とグラウンドの間に抵抗を接続し、内蔵 DC 抵抗を補償します。VCOM を AVDD に接続するか、または AVDD から得られるリファレンス電圧に接続して、適切な起動シーケンスを実現します。

CT 電流検出アプリケーションでは、VCOM ピンと RCOM ピンの両方をグラウンドに接続します。

オペアンプ

オペアンプは低オフセット・アンプです。オペアンプは、回路ブレーカ・アプリケーションで漏洩電流の検出に使用できます。図 66 に、漏洩電流の検出用にオペアンプを使用した回路構成を示します。オペアンプの出力電圧は次式で計算できます。

$$V_{EOUT5} = \frac{V_{REF}}{2} - \frac{I_{LK}}{N} \times R_{ZCT} \times \frac{R_2}{R_1}$$

ここで、
 V_{EOUT5} は EOUT5 ピンの電圧です。
 V_{REF} は外部リファレンス電圧です。
 I_{LK} は漏洩電流です。
 N は零相変流器 (ZCT) の巻線比です。
 R_{ZCT} は ZCT の 2 次側の電流検出抵抗です。

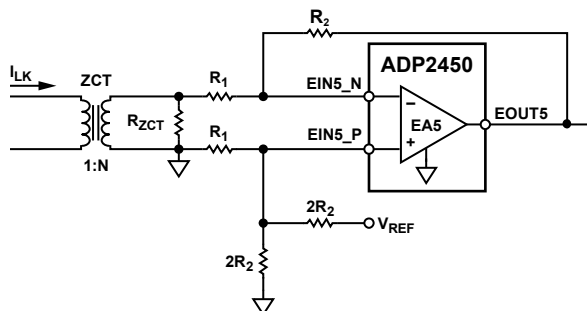


図 66. 漏洩電流検出の代表的構成

アナログ・トリップ保護

ADP2450 は、回路ブレーカ・アプリケーションでの高速保護用のアナログ・トリップ回路を内蔵しています。アナログ・トリップ回路は、各 PGA の出力をモニタします。4 つの PGA のいずれかの出力がデグリッチ時間 (t_{TRP}) に関するアナログ・トリップ閾値 (V_{TRP}) を超えると、図 67 に示すように、アナログ・トリップ保護がトリガされます。

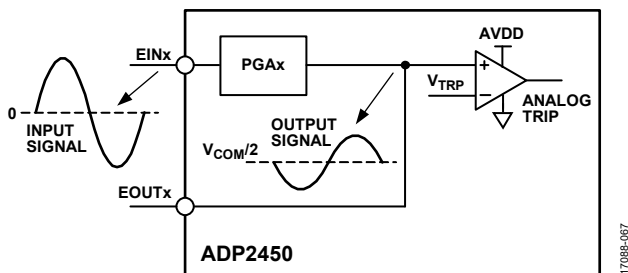


図 67. アナログ・トリップ回路

アナログ・トリップ閾値は外付け抵抗を使ってプログラム可能であり、次式を使って計算できます。

$$V_{TRP}(V) = 0.01 \times R_{TRP}(k\Omega)$$

ここで、
 V_{TRP} は高アナログ・トリップ閾値電圧です。
 R_{TRP} は V_{TRP} ピンとグラウンドの間に接続される抵抗です。

アナログ・トリップ閾値を設定するために R_{TRP} の値を選択する際には、制限があることに注意してください。以下の条件を満たす必要があります。
 選択する R_{TRP} について、

$$R_{TRP} < (V_{VREG} - 0.5) \times 100 (k\Omega)$$

かつ

$$R_{TRP} < (V_{AVDD} - 0.1) \times 100 (k\Omega)$$

アナログ・トリップ機能を使用しない場合は、 V_{TRP} を V_{REG} に接続してアナログ・トリップ機能を無効にします。

アクチュエータ・ドライバ

アクチュエータ・ドライバは、図 68 に示すように、TRG ピンから、またはアナログ・トリップ制御回路の出力から入力信号を受信し、GATE ピンを介して外付けサイリスタにゲート駆動電圧を供給します。アナログ・トリップ保護がトリガされると、アナログ・トリップ制御回路は 10ms ハイ、6ms ローのパルス信号を出力します。このパルス信号は TRG ピン上の信号と OR ロジック演算されてアクチュエータ・ドライバ回路に入力され、外付けサイリスタまたは MOSFET にゲート駆動信号を供給します。この 16ms の期間中、アナログ・トリップ信号は全て無視されます。16ms の期間後にアナログ・トリップ信号がまだアクティブになっている場合は、10ms ハイ、6ms ローのパルスがもう一度生成されます。16ms の期間後にアナログ・トリップ信号がクリアされた場合は、アナログ・トリップ制御回路の出力はローにラッチされます。GATE ピンは V_{REG} まですばるアップ可能です。

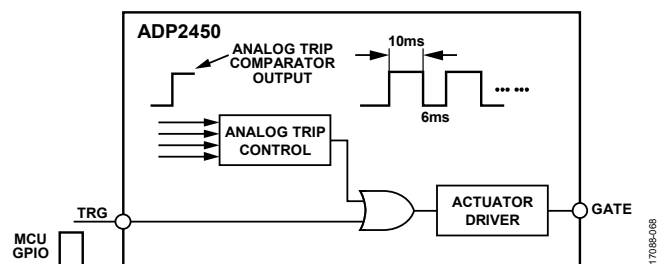


図 68. アクチュエータ・ドライバ制御回路

サーマル・シャットダウン

ADP2450 のジャンクション温度が 150°C を超えた場合、サーマル・シャットダウン回路はブロックの大部分をオフにしますが、昇圧ドライバの電圧 (DRV ピン) をハイに引き上げます。 15°C のヒステリシスがあるため、オンチップ温度が 135°C より低くなるまで、ADP2450 はサーマル・シャットダウンから回復しません。回復時には、通常動作の前にソフト・スタートおよび電源投入シーケンスが開始されます。

アプリケーション情報

昇圧シャント・コントローラ出力コンデンサ

出力コンデンサは CT から供給されるエネルギーを蓄え、降圧レギュレータの入力電圧とアクチュエータの電力を供給します。出力コンデンサの容量は、 V_{OUT1} の設定とアクチュエータの仕様に基いて、アナログ・トリップが発生したときにアクチュエータをトリガして V_{OUT1} の電圧降下を防ぐのに十分な電力を供給できる大きさにする必要があります。

昇圧シャント出力コンデンサの電圧定格は、昇圧シャント・コントローラ出力電圧 (V_{OUT1}) よりも高くする必要があります。少なくとも 20% のマージンを確保する必要があります。容量、電圧定格、サイズのバランスを考えて、ポリマー、タンタル、およびアルミ電解コンデンサを推奨します。1 μ F~10 μ F の範囲のセラミック・コンデンサを出力コンデンサと並列に接続して総実効直列抵抗 (ESR) を削減し、出力電圧リップルを小さくすることを推奨します。表 9 に、昇圧シャント・コントローラ用に推奨する出力コンデンサをいくつか示します。

表 9. 推奨される出力コンデンサ

Vendor	Part Number	Capacitance (μ F)	Voltage (V)
KEMET	T521X336M050ATE075	33	50
	T521X476M035ATE070	47	35
	T494E476M035AT7280	47	35
	A767KN476M1HLAE029	47	50
Panasonic	EEFCX1V220R	22	35
	35SVPF39M	39	35
	50SVPF39M	39	50
	EEHZA1H680P	68	50
	EEHZA1H330XP	33	50

ブリッジ整流器

ブリッジ整流器を使用して、CT の 2 次側の正弦波電流を半正弦波電流に変換し、ADP2450 に電力を供給できます。ブリッジ整流器ダイオードの平均順方向整流電流 (I_F) は、通常動作中の CT の 2 次側の実効値電流よりも大きくする必要があります。ブリッジ整流器ダイオードの最大 DC ブロッキング電圧 (V_{DC}) は、ADP2450 の昇圧シャント・コントローラ出力電圧 (V_{OUT1}) よりも高くする必要があります。ブリッジ整流器ダイオードのピーク順方向サージ電流 (I_{FSM}) は、アナログ・トリップがトリガされた場合などの故障発生時に CT の 2 次側のピーク電流を処理できる必要があります。

順方向電圧が低いブリッジ整流器ダイオードを推奨します。順方向電圧が低いと、ブリッジ整流器ダイオードの電力損失は小さくなりますが、ブリッジ整流器のパッケージ・サイズは大きくなります。表 10 に、一般的アプリケーション用に推奨するブリッジ整流器をいくつか示します。

表 10. 推奨されるブリッジ整流器

Vendor	Part Number	I_F (A)	V_{DC} (V)	V_F (V)	I_{FSM} (A)
Bourns	CD2320-B1200	1	200	1	30
	CD2320-B1400	1	400	1	30
	CD2320-B1600	1	600	1	30
	CD2320-B1800	1	800	1	30
	CD2320-B11000	1	1000	1	30
Fairchild	MDB6S	1	600	1.1	30
	MDB8S	1	800	1.1	30
	MDB10S	1	1000	1.1	30

検出抵抗の選択

代表的な MCCB アプリケーションでは、検出抵抗はブリッジ整流器の負の出力とグラウンドの間に接続され、半正弦波電流信号を半正弦波電圧信号に変換します。この信号は PGA の入力として信号調整に使用されます。抵抗値は、システムの定格電流 (I_N)、カレント・トランスの巻線比、PGA のゲイン設定、および PGA の出力ロー電圧によって決まります。

抵抗値が大きいと、PGA の入力および出力電圧信号が大きくなり、サンプリングが容易になりますが、検出抵抗の電力損失も大きくなります。抵抗値が小さいと、電力損失は小さくなりますが、PGA の入力および出力電圧信号も小さくなります。小信号におけるサンプリング精度に影響を与えないように、ADC のサンプリング動作に使われる PGA 最小出力信号レベルは、PGA が出力する最低電圧より高くしておく必要があります。抵抗の電力は、アナログ・トリップ発生時に検出抵抗を流れる大電流を処理するのに十分な大きさにする必要があります。表 11 に、推奨される検出抵抗をいくつか示します。

表 11. 推奨される検出抵抗

Vendor	Part Number	Value (Ω)	Power (W)
Vishay Dale	WSC2515R5000FEA	0.5	1
	WSC25151R000FEA	1	1
	WSC25152R000FEA	2	1
Rohm	MCR100JZHFLR510	0.51	1
	LTR50UZPF1R00	1	1
	MCR100JZHFL2R00	2	1
Bourns	PWR2615WR500FE	0.5	1
	CRL2512-FW-1R00ELF	1	1
	CRL2512-FW-2R00ELF	2	1
	CRM2512-FX-2R00ELF	2	2

昇圧シャント・コントローラ用の外付け MOSFET

昇圧シャント・コントローラの CT 電流の制御には、外付け N チャンネル MOSFET が 1 つ必要です。

外付け MOSFET がオフになると、CT からの電流は、昇圧シャント・ダイオードを介して出力コンデンサを V_{OUT1} まで充電します。MOSFET のドレイン・ノードとソース・ノードに印加される電圧は、 V_{OUT1} にダイオードの順方向電圧を加えた値に等しくなります。

外付け MOSFET がオンになると、MOSFET は CT 電流をグラウンドにバイパスします。MOSFET のブレイクダウン電圧 (V_{DSS}) が昇圧シャント・コントローラの出力電圧 (V_{OUT1}) の少なくとも 2 倍になり、アナログ・トリップ発生時の連続ドレイン電流 (I_D) が CT の 2 次側の実効値電流よりも大きくなるような MOSFET を選択することを推奨します。

ADP2450 の内蔵 MOSFET ドライバの出力ハイ電圧 (V_{DRV_H}) は 8V です。選択した MOSFET は、ゲートからソースへの電圧 (V_{GS}) は 8V より大きく、ゲート閾値電圧 V_{GS_TH} は 8V より小さくする必要があります。表 12 に、昇圧シャント・コントローラ用に推奨する MOSFET をいくつか示します。

表 12. 推奨される外付け MOSFET

Vendor	Part Number	V_{DSS} (V)	I_D (A)
Infineon	IRFR3505PBF	55	30
	IRFR3518TRPBF	80	30
	BSC340N08NS3GATMA1	80	23
DIODES	DMN6068LK3-13	60	8.5
	DMN6013LFG-7	60	10.3
	DMT8012LFG-13	80	35
ON Semiconductor	FDMC86340	80	14
	NTTFS5820NLTAG	60	37
	FDS5670	60	10
	FDS3572	80	8.9

昇圧シャント・ダイオードの選択

ADP2450 は昇圧シャント・コントローラを内蔵しており、外付け昇圧シャント MOSFET がオフになったときに昇圧シャント回路の出力コンデンサに CT 電流を流すための外部ショットキー整流器が必要です。ショットキー・ダイオードのピーク電流定格は、CT の 2 次側の最大電流よりも大きくする必要があります。ショットキー・ダイオードのピーク逆電圧は、昇圧シャント・コントローラの出力電圧よりも大きくする必要があります。最高の効率を得るには、順方向電圧 (V_F) が低いショットキー・ダイオードを選択します。

表 13. 推奨されるショットキー・ダイオード

Vendor	Part Number	V_{RRM} (V)	I_O (A)
DIODES	B360A	60	3
	B350A	50	3
	B260A	60	2
ON Semiconductor	MBRS360BT3G	60	3
	MBRS260T3G	60	2
	NRVBS260T3G	60	2
Rohm	RB055LAM-60TR	60	3
	RB068LAM-60TR	60	2
Bourns	CD214A-B360LF	60	3

降圧レギュレータの入力コンデンサ

入力コンデンサは、 V_{IN} でのスイッチング電流に起因する降圧レギュレータの入力電圧リップルを低減する機能を果たします。入力コンデンサは V_{IN} ピンのできるだけ近くに配置してください。10 μ F のセラミック・コンデンサを推奨します。この入力コンデンサ、ハイサイド N-MOSFET、ローサイド N-MOSFET によって形成されるループは、できるだけ小さくする必要があります。

入力コンデンサの定格電圧は、最大入力電圧よりも大きくする必要があります。入力コンデンサの実効値定格電流が、次式で計算される値よりも大きいことを確認してください。

$$I_{CIN_RMS} = I_{OUT2} \times \sqrt{D \times (1 - D)}$$

ここで、

I_{CIN_RMS} は降圧レギュレータの入力コンデンサの実効値電流です。

I_{OUT2} は降圧レギュレータの出力電流です。

D は降圧レギュレータのデューティ・サイクルです ($D = V_{OUT2}/V_{IN}$)。

インダクタの選択

降圧レギュレータのインダクタ値は、動作周波数、入力電圧、出力電圧、インダクタのリップル電流によって決まります。値の小さいインダクタを使用すると、過渡応答が高速化しますが、インダクタのリップル電流が大きくなるのが原因で、効率は低下します。一方、値の大きいインダクタを使用すると、リップル電流は小さくなり、効率は改善されますが、過渡応答が低速になります。

通常の目安として、インダクタのリップル電流 (ΔI_L) は、最大負荷電流の 1/3 に設定します。インダクタの値は、次式を使用して計算できます。

$$L = \frac{(V_{IN} - V_{OUT2}) \times D}{\Delta I_L \times f_{SW}}$$

ここで、

V_{IN} は降圧レギュレータの入力電圧です。

V_{OUT2} は降圧レギュレータの出力電圧です。

ΔI_L はインダクタの電流リップルです。

f_{SW} は降圧レギュレータのスイッチング周波数です。

インダクタのピーク電流は次式で計算します。

$$I_{PEAK} = I_{OUT2} + \frac{\Delta I_L}{2}$$

インダクタの飽和電流は、ピーク・インダクタ電流よりも大きくする必要があります。急峻な飽和特性を持つフェライト・コア・インダクタの場合、インダクタの飽和電流定格は、スイッチの電流制限の閾値よりも大きくする必要があります。この大きな飽和電流定格により、インダクタが飽和に達するのを防止できます。

インダクタの実効値電流は、次式を使用して計算できます。

$$I_{L_RMS} = \sqrt{I_{OUT2}^2 + \frac{\Delta I_L^2}{12}}$$

低コア損失と低電磁干渉 (EMI) を実現するには、シールド付きフェライト・コア材料を使用することを推奨します。

降圧レギュレータの出力コンデンサ

出力コンデンサの選択は、降圧レギュレータの出力電圧リップルに影響を与えます。

出力リップルは、ESR と容量値によって求められます。次式を使用して、出力リップル条件を満たすコンデンサを選択します。

$$C_{OUT2_RIPPLE} = \frac{\Delta I_L}{8 \times f_{SW} \times \Delta V_{OUT2_RIPPLE}}$$

ここで、 ΔV_{OUT_RIPPLE} は降圧レギュレータの許容出力リップル電圧です。

$$R_{ESR} = \frac{\Delta V_{OUT2_RIPPLE}}{\Delta I_L}$$

ここで、 R_{ESR} は降圧レギュレータの出力コンデンサの最大等価直列抵抗 (Ω) です。

出力リップル性能の条件を満たすには、 C_{OUT2_RIPPLE} より大きい出力容量と R_{ESR} より小さい ESR を選択します。

選択した出力コンデンサの定格電圧は、出力電圧より大きくする必要があります。また、出力コンデンサの実効値定格電流は、次式を使用して計算される値より大きくする必要があります。

$$I_{COUT2_RMS} = \frac{\Delta I_L}{\sqrt{12}}$$

出力電圧の設定

昇圧シャント・コントローラの出力電圧 (V_{OUT1}) と降圧レギュレータの出力電圧 (V_{OUT2}) はどちらも、図 69 と図 70 に示すように、外付け抵抗分圧器によって設定されます。

昇圧シャント・コントローラの出力電圧

抵抗値は次式を使用して計算できます。

$$V_{OUT1} = 1.2 \times \left(1 + \frac{R_{TOP1}}{R_{BOT1}} \right)$$

FB1 のバイアス電流 (最大 0.1 μ A) に起因する出力電圧精度の低下を 0.5% (最大) 未満に制限するには、 R_{BOT1} を 60k Ω より小さくする必要があります。

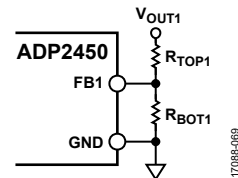


図 69. 昇圧シャント・コントローラの出力電圧の設定

降圧レギュレータの出力電圧

降圧レギュレータには、調整可能な出力と固定出力の 2 種類の出力電圧設定があります。

調整可能な出力電圧の場合は、図 70 に示すように外付け抵抗分圧器を接続します。抵抗値は次式を使用して計算できます。

$$V_{OUT2} = 0.6 \times \left(1 + \frac{R_{TOP2}}{R_{BOT2}} \right)$$

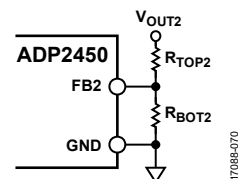


図 70. 降圧レギュレータの調整可能な出力電圧の設定

FB2 のバイアス電流 (最大 0.1 μ A) に起因する出力電圧精度の低下を 0.5% (最大) 未満に制限するには、 R_{BOT2} を 30k Ω より小さくする必要があります。

固定出力電圧の場合は、FB2 を V_{OUT2} に直接接続します。

降圧レギュレータの電圧変換の制限

特定の入力電圧とスイッチング周波数に対応する降圧レギュレータの最小出力電圧は、最小オン時間による制約を受けます。ADP2450 の降圧レギュレータの最小オン時間の代表値は 50ns です。特定の入力電圧と周波数に対応する最小出力電圧は、次式を使用して計算できます。

$$V_{OUT2_MIN} = V_{IN} \times t_{MIN_ON} \times f_{SW} - (R_{DS(on)_HS} - R_{DS(on)_LS}) \times I_{OUT2_MIN} \times t_{MIN_ON} \times f_{SW} - (R_{DS(on)_LS} + R_L) \times I_{OUT2_MIN} \quad (1)$$

ここで、

V_{OUT2_MIN} は最小出力電圧です。

t_{MIN_ON} は最小オン時間です。

f_{SW} はスイッチング周波数です。

$R_{DS(on)_HS}$ はハイサイド MOSFET のオン抵抗です。

$R_{DS(on)_LS}$ はローサイド MOSFET のオン抵抗です。

I_{OUT2_MIN} は最小出力電流です。

R_L は出力インダクタの直列抵抗値です。

特定の入力電圧とスイッチング周波数に対応する降圧レギュレータの最大出力電圧は、最小オフ時間による制約を受けます。ADP2450 の降圧レギュレータの最小オフ時間の代表値は 150ns です。

特定の入力電圧と周波数のときに、最小オフ時間による制限を受ける最大出力電圧は、次式を使用して計算できます。

$$V_{OUT2_MAX} = V_{IN} \times (1 - t_{MIN_OFF} \times f_{SW}) - (R_{DS(on)_HS} - R_{DS(on)_LS}) \times I_{OUT2_MAX} \times (1 - t_{MIN_OFF} \times f_{SW}) - (R_{DS(on)_LS} + R_L) \times I_{OUT2_MAX} \quad (2)$$

ここで、

V_{OUT2_MAX} は最大出力電圧です。

t_{MIN_OFF} は最小オフ時間です。

I_{OUT2_MAX} は最大出力電流です。

アクチュエータの外付け MOSFET

ADP2450 はアクチュエータ・ドライバを内蔵しています。アナログ・トリップがトリガされるか、または TRG ピンがハイになると、内部アクチュエータ・ドライバは GATE ピン上に 5V のドライバ信号を出力し、外付け MOSFET をオンにしてアクチュエータをトリガします。アクチュエータがトリガされたときの瞬時電流は、 V_{OUT1} をアクチュエータの抵抗値で割った値に等しくなります。MOSFET の連続ドレイン電流は、アクチュエータがトリガされたときの瞬時電流よりも大きくする必要があります。通常動作では MOSFET はオフになり、MOSFET のドレイン・ノードとソース・ノードに印加される電圧は V_{OUT1} になります。十分なマージンを確保するために、MOSFET の V_{DSS} が V_{OUT1} の 2 倍になるような MOSFET を選択することを推奨します。

表 12 に示した推奨 MOSFET は、アクチュエータ用の MOSFET としても使用できます。

設計例

ここでは、代表的な MCCB の設計例に基づいて、外付け部品を選択する手順について説明します。表 14 にシステムの仕様を示します。この設計例に対応する回路図については、図 71 を参照してください。

表 14. MCCB のシステム条件

Parameter	Specification
Boost Shunt Controller Output Voltage	$V_{OUT1} = 12\text{ V}$
System Enable Threshold Voltage	$V_{SYS_RISING} = 9\text{ V}$
System Disable Threshold Voltage	$V_{SYS_FALLING} = 7\text{ V}$
Minimum System Consumption Current	$I_{SYS_MIN} = 15\text{ mA}$
Buck Regulator Output Voltage	$V_{OUT2} = 3.3\text{ V}$
Buck Regulator Output Voltage Ripple	$V_{OUT2_RIPPLE} = 10\text{ mV}$
Buck Regulator Output Current	$I_{OUT2} = 100\text{ mA}$
Single CT Secondary Current Under I_N (Rated Current)	$I_{N_SEC} = 75\text{ mA}$
Actuator Resistance	$R_{ACT} = 4\text{ }\Omega$
Analog Trip Current at CT Secondary Side	$I_{TRP_SEC} = 11 \times I_{N_SEC}$

昇圧シャントの出力電圧の設定

ボトム帰還抵抗 (R_{BOT1}) として $11.3\text{k}\Omega$ の抵抗を選択し、次式を使用してトップ帰還抵抗を計算します。

$$R_{TOP1} = \frac{V_{OUT1} \times R_{BOT1}}{1.2} - R_{BOT1}$$

昇圧シャント・コントローラの出力電圧を 12 V に設定する場合、抵抗の値は次のようになります。 $R_{TOP1} = 102\text{k}\Omega$ 、 $R_{BOT1} = 11.3\text{k}\Omega$ 。

昇圧シャントの出力コンデンサの設定

昇圧シャント・コントローラの出力コンデンサは、アクチュエータにエネルギーを供給します。コンデンサの値は、アクチュエータの仕様と条件によって決まります。コンデンサの値は、総システム起動時間にも影響を与えます。値の小さいコンデンサを使用すると、システムの起動時間は高速になりますが、トリップの発生時にアクチュエータに十分なエネルギーを供給できないことがあります。値の大きいコンデンサを使用すると、アクチュエータに十分なエネルギーを供給できますが、システム起動時間が長くなります。

$100\mu\text{F}$ ~ $220\mu\text{F}$ のコンデンサを使用すれば、MCCB アプリケーションでのアクチュエータのほとんどの条件は満たされます。

昇圧シャントの MOSFET の設定

十分なマージンを確保するには、MOSFET の V_{DSS} を V_{OUT1} の 2 倍にする必要があります。 V_{DSS} が 24 V より大きくなる MOSFET を選択してください。

最も厳しい条件では、3 つの位相全てでアナログ・トリップが発生し、MOSFET を流れる電流は $3 \times I_{TRP_SEC} = 2.475\text{ A}$ に達します。 I_D が 3 A より大きくなる MOSFET を選択してください。

MOSFET の V_{GS} 電圧は、 8 V よりも高くする必要があります。昇圧シャントの MOSFET として、ON Semiconductor の FDMC86340 を選択することを推奨します。

降圧シャントのダイオードの設定

十分なマージンを確保するには、ダイオードの V_{RRM} を V_{OUT1} の 2 倍にする必要があります。 V_{RRM} が 24 V より大きくなるショットキー・ダイオードを選択してください。

最も厳しい条件に対応するには、ダイオードのピーク電流定格は、 $3 \times I_{TRP_SEC} = 2.475\text{ A}$ よりも高くする必要があります。 I_O が 3 A 以上になるショットキー・ダイオードを選択してください。

昇圧シャントのダイオードとして、ON Semiconductor の MBRAF360T3G を選択することを推奨します。

降圧レギュレータの出力電圧の設定

システム条件に従って、降圧レギュレータの出力電圧は 3.3 V です。降圧レギュレータの固定出力電圧が 3.3 V になるように、ADP2450ACPZ-1-R7 モデルを選択します。

インダクタの設定

インダクタのリプル電流のピーク to ピーク値 (ΔI_L) は、降圧レギュレータの定格出力電流の 30% に設定されます。次式でインダクタ値を求めます。

$$L = \frac{(V_{IN2} - V_{OUT2}) \times D}{\Delta I_L \times f_{SW}}$$

ここで、

$V_{IN2} = V_{OUT1} = 12\text{ V}$ 、

$V_{OUT2} = 3.3\text{ V}$ 、

$D = 0.275$ 、

$\Delta I_L = 0.15\text{ A}$ 、

$f_{SW} = 1.2\text{ MHz}$ です。

この計算の結果、 $L = 13.3\mu\text{H}$ になります。標準インダクタ値 $15\mu\text{H}$ を選択します。

インダクタのピーク電流は、次式を使用して計算できます。

$$I_{PEAK} = I_{OUT2} + \frac{(V_{IN2} - V_{OUT2}) \times D}{15\mu\text{H} \times f_{SW}} \times \frac{1}{2}$$

この計算の結果、 $I_{PEAK} = 166\text{ mA}$ になります。

計算された電流値に基づいて、最小実効値電流定格が 200 mA のインダクタを選択します。システムの EMI 性能を改善するために、シールド・インダクタの使用を推奨します。

降圧レギュレータのインダクタとして、Coilcraft の LPS3015-153 を選択することを推奨します。

降圧レギュレータの出力コンデンサの設定

降圧レギュレータの出力は、PGA、MCU、および LCD ディスプレイ用の電源を提供します。大半の MCCB アプリケーションでは、出力電圧リップルの条件が重要です。

出力電圧リップルの条件を満たすには、次式を使用して降圧レギュレータの出力コンデンサの ESR と容量値を計算します。

$$C_{OUT2_RIPPLE} = \frac{\Delta I_L}{8 \times f_{SW} \times V_{OUT2_RIPPLE}}$$

$$ESR = \frac{V_{OUT2_RIPPLE}}{\Delta I_L}$$

この計算の結果、 $C_{OUT2_RIPPLE} = 1.56\mu F$ 、 $ESR = 66m\Omega$ になります。出力電圧リップルの条件を満たすには、出力容量は $1.56\mu F$ よりも大きく、出力コンデンサの ESR 値は $66m\Omega$ よりも小さくする必要があります。降圧レギュレータの出力コンデンサとして、 $10\mu F$ のセラミック・コンデンサ（村田製作所の GRM21BR70J106KE76 など）を 1 つ使用することを推奨します。

VPTH の抵抗分圧器の設定

システム・イネーブルおよびディスエーブル電圧閾値の条件に従って、次式を使用して VPTH の抵抗分圧器の値を計算します。

$$R_{TOP_VP} = \frac{1.09 V \times V_{SYS_RISING} - 1.22 V \times V_{SYS_FALLING}}{1.09 V \times 4.8 \mu A - 1.22 V \times 1 \mu A}$$

$$R_{BOT_VP} = \frac{1.22 V \times R_{TOP_VP}}{V_{SYS_RISING} - R_{TOP_VP} \times 4.8 \mu A - 1.22 V}$$

この計算の結果、 $R_{TOP_VP} = 316.6k\Omega$ 、 $R_{BOT_VP} = 61.7k\Omega$ になります。 R_{TOP_VP} には $316k\Omega$ 、 R_{BOT_VP} には $61.9k\Omega$ の標準抵抗値を選択します。

ダミー負荷抵抗の設定

ダミー負荷と電力検出機能を組み合わせて、CT から十分な電流が供給されるまでシステムがイネーブルにならないように設定します。

次式を使用して、ダミー負荷の抵抗値を計算します。

$$R_{POWER} = \frac{V_{SYS_RISING}}{I_{SYS_MIN}}$$

この計算の結果、 $R_{POWER} = 600\Omega$ になります。 R_{POWER} には、標準抵抗値である 604Ω を選択します。

ダミー負荷抵抗の消費電力は、次式を使用して計算できます。

$$P_{DUMMY} = I_{SYS_MIN}^2 \times R_{POWER}$$

この計算の結果、 $P_{DUMMY} = 0.136 W$ になります。ダミー負荷として 0805 パッケージの 604Ω 抵抗を 1 つ選択するか、または 0603 パッケージの並列 $1.21k\Omega$ 抵抗を 2 つ選択します。

PGA のゲインの設定

最初に PGA のゲインを $\times 1$ に設定します。表 8 に従って、 $GAIN1$ ピンとグラウンドの間に $42.2k\Omega$ の抵抗を接続します。 $GAIN0$ ピンを MCU の I/O ピンに接続します。必要に応じて $GAIN0$ ピンをハイに設定すると、PGA のゲインは $\times 4$ に切り替わります。ローに設定すると、ゲインは $\times 1$ に切り替わります。

検出抵抗の設定

検出抵抗として各位相につき 1 つの 2Ω 抵抗を選択し、PGA の入力電圧を定格電流 (I_N) で $150mV$ に設定します。

次式を使用して、アナログ・トリップ発生時の検出抵抗の消費電力を計算します。

$$P_{SENSE_MAX} = I_{TRP_SEC}^2 \times R_{SENSE}$$

この計算の結果、 $P_{SENSE_MAX} = 1.36W$ になります。検出抵抗として 2Ω 、 $2W$ 抵抗（Bourns の CRM2512-FX-2R00ELF など）を選択します。

アナログ・トリップ閾値の設定

PGA の出力電圧は半正弦波の波形になります。次式を使用して、アナログ・トリップがトリガされたときの PGA の出力電圧ピーク値を計算します。

$$V_{PGA_PEAK} = I_{TRP_SEC} \times R_{SENSE} \times \sqrt{2} \times GAIN$$

ここで、 $GAIN = 1$ です。

この計算の結果、 $V_{PGA_PEAK} = 2.333V$ になります。アナログ・トリップのデフォルトの遅延時間が $200\mu s$ とすると、半正弦波の波形では 3.6° の位相遅延になります。次式を使用して、アナログ・トリップの閾値電圧を設定します。

$$V_{TRP} = V_{PGA_PEAK} \times \sin 86.4^\circ$$

この計算の結果、 $V_{TRP} = 2.328V$ になります。

次の数式を使用してトリップ抵抗を計算します。

$$R_{TRP} = \frac{V_{TRP}}{I_{TRP}}$$

この計算の結果、 $R_{TRP} = 232.8k\Omega$ になります。アナログ・トリップ抵抗として、標準抵抗値である $232k\Omega$ を選択します。

アクチュエータの MOSFET の設定

十分なマージンを確保するには、MOSFET の V_{DSS} を V_{OUT1} の 2 倍にする必要があります。 V_{DSS} が $24V$ より大きくなる MOSFET を選択してください。

アクチュエータがトリガされたとき、MOSFET を流れる瞬時電流は $V_{OUT1}/R_{ACT} = 3A$ になります。 I_D が $3A$ より大きくなる MOSFET を選択します。

MOSFET の V_{GS} 電圧は、 $5V$ よりも高くする必要があります。アクチュエータの MOSFET として、ON Semiconductor の FDMC86340 を選択することを推奨します。

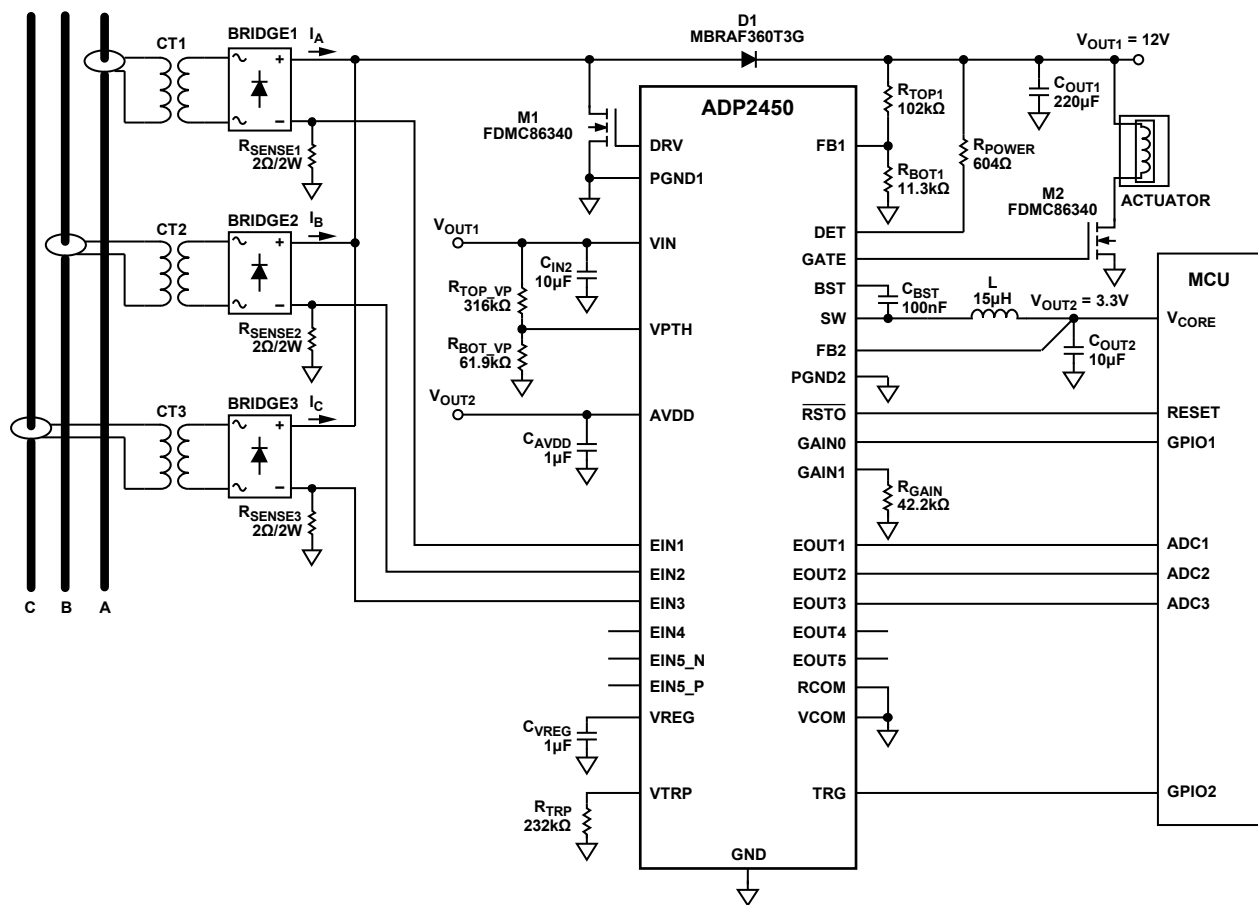


図 71. シングル・コイル、3 相検出の設計例の回路図

1708B-071

推奨回路基板レイアウト

スイッチング電源には、大きな dI/dt が流れる回線経路があり、そこからスパイクとノイズが発生します。帰還パターン、エラーアンプの入力および出力パターンなど、一部の回線経路はノイズにセンシティブであり、スパイクやノイズが発生しないようにする必要があります。適切な PCB レイアウトの鍵は、これらのクリティカル・パスを特定し、それに従って部品と銅領域を配置することです。PCB レイアウトを設計する際は、大電流ループをできるだけ小さくする必要があります。更に、ノイズにセンシティブなトランスと部品は、スイッチング・ノードおよび関連する部品から離して配置します。ここでは、ADP2450 の推奨されるレイアウト規則を説明します。図 72 に、シングル・コイル・アプリケーションでの推奨 PCB レイアウトを示します。

グラウンド・プレーン

アナログ・グラウンド・プレーンとパワー・グラウンド・プレーンを分離します。出力分圧器、アンプの出力 RC フィルタ、コモン電圧リファレンスなど、ノイズにセンシティブなアナログ回路のグラウンド・リファレンスをアナログ・グラウンドに接続します。入力コンデンサや出力コンデンサなどの電源部品のグラウンド・リファレンスと外付け MOSFET は、電源グラウンドに接続します。内部グラウンド・プレーンを使用して、アナログ・グラウンド・プレーンとパワー・グラウンド・プレーンを接続します。

ADP2450 の露出パッドは、大きな銅製の外付けグラウンド・プレーンに接続し、許容損失を最大化してジャンクション温度を最小限に抑えます。

スイッチ・ノード

スイッチ・ノードは、大きな AC/DC 電圧および電流が発生するスイッチ電源回路で最もノイズの多い場所です。ADP2450 の回路には、昇圧シャント・コントローラの外付け MOSFET のドレインと降圧レギュレータの SW ピンの 2 つのスイッチ・ノードがあります。抵抗性電圧の低下を防ぐため、これらのノードの幅を広くする必要があります。容量性カップリング・ノイズの発生を最小限に抑えるには、各スイッチ・ノードの総面積を小さくする必要があります。

昇圧シャント・コントローラでは、ブリッジ整流器、MOSFET、整流器ダイオード、出力コンデンサをできるだけ互いの近くに配置し、幅が広く短いパターンまたは銅プレーンを使用します。高電流のループ・パターンはできるだけ短く、幅広くします。降圧レギュレータでは、入力コンデンサ、インダクタ、出力コンデンサをできるだけ IC の近くに配置し、短いパターンを使用します。入力コンデンサからインダクタ、出力コンデンサ、電源グラウンド・プレーンを経由して入力コンデンサに戻る大電流経路はできるだけ短くします。更に、電源グラウンド・プレーンからインダクタと出力コンデンサを経由して電源グラウンド・プレーンに戻る大電流経路はできるだけ短くします。このため、入力コンデンサと出力コンデンサのできるだけ近くで

ADP2450 の PGND2 ピンを電源グラウンド・プレーンに接続します。

帰還経路

FB1 と FB2 の帰還経路は、非常にノイズにセンシティブです。ノイズの混入を防ぐため、帰還抵抗分圧器ネットワークを FBx ピンのできるだけ近くに設置します。帰還抵抗分圧器の上部と出力を接続するパターンは、長さを最小限に抑え、大電流パターンとスイッチング・ノードから離して、ノイズの混入を防止します。ノイズの混入を更に減らすため、アナログ・グラウンド・プレーンを FBx パターンの片方に配置し、このパターンができるだけ短くなるようにして、寄生容量による混入を減らします。

電源パターン

ADP2450 の回路設計では、昇圧シャント・コントローラの出力 (V_{OUT1}) は降圧レギュレータの入力に接続されます。降圧レギュレータの出力 (V_{OUT2}) は AVDD に接続され、内部 PGA に電源を供給します。これらの 2 つのパターンは電源パターンであり、大電流が流れることがあります。電源パターンの接続には内部電源プレーンを使用します。これらの電源パターンはできるだけ短く、幅広くして、大電流状況での電圧低下を最小限に抑えます。

信号経路

全てのアンプの入力と出力、コモン電圧入力、TRG パターン、VTRP 信号は、全て信号経路です。ノイズの混入を防ぐために、これらの信号経路はスイッチ・ノードおよび大電流経路から離して配置します。短く幅広いパターンを使用して、これらの信号経路のグラウンド・リファレンスをアナログ・グラウンド・プレーンに接続します。

ゲート・ドライバ経路

外付け MOSFET のゲート駆動パターン (DRV および GATE) は大きな dI/dt を処理するため、ノイズとリンギングが発生しがちです。ゲート駆動パターンは、できるだけ短くして直接接続する必要があります。ゲート駆動パターン内でフィードスルー・ビアを使用しないでください。ビアが必要な場合は、比較的大きな 2 つのビアを並列に配置し、各ビアのピーク電流密度と電流を小さくすることを推奨します。PCB 全体のレイアウトが最適とは言えない場合、ゲート駆動を多少低速にすると、ノイズとリンギングを減らせることがあります。場合によっては、DRV ピンと GATE ピン上に $2\Omega \sim 10\Omega$ 程度の小さな抵抗を配置すると効果的です。抵抗が不要な場合は、これらの位置に 0Ω 抵抗を配置できます。ゲート抵抗を追加すると、スイッチング立上がり時間と立下がり時間が長くなり、MOSFET のスイッチング電力損失も大きくなることに注意してください。

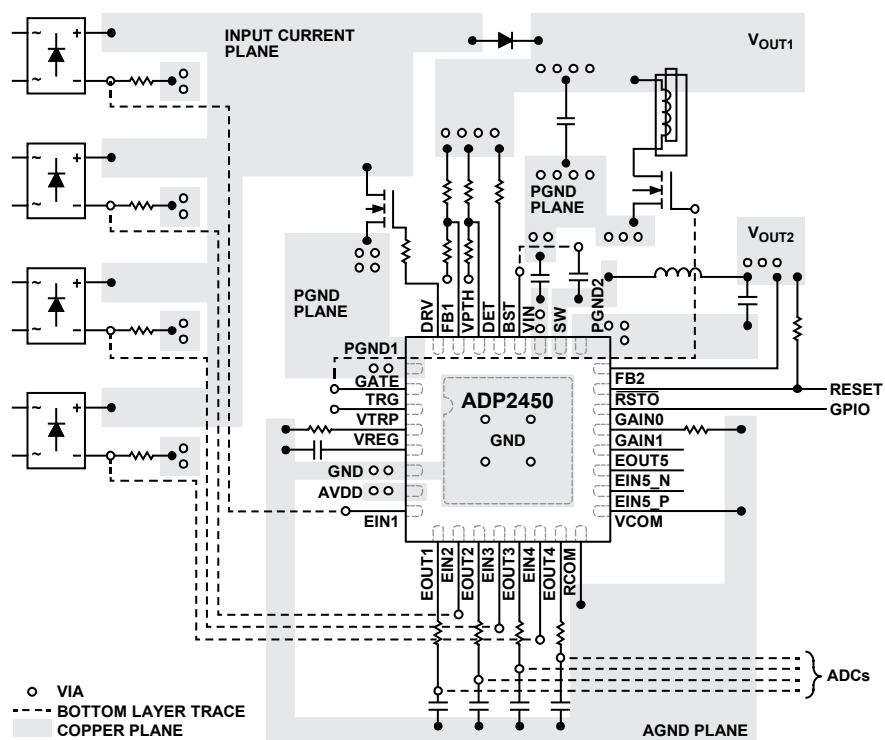


図 72. シングル・コイル・アプリケーションの推奨 PCB レイアウト（32 ピン LFCSP パッケージ）

代表的なアプリケーション回路

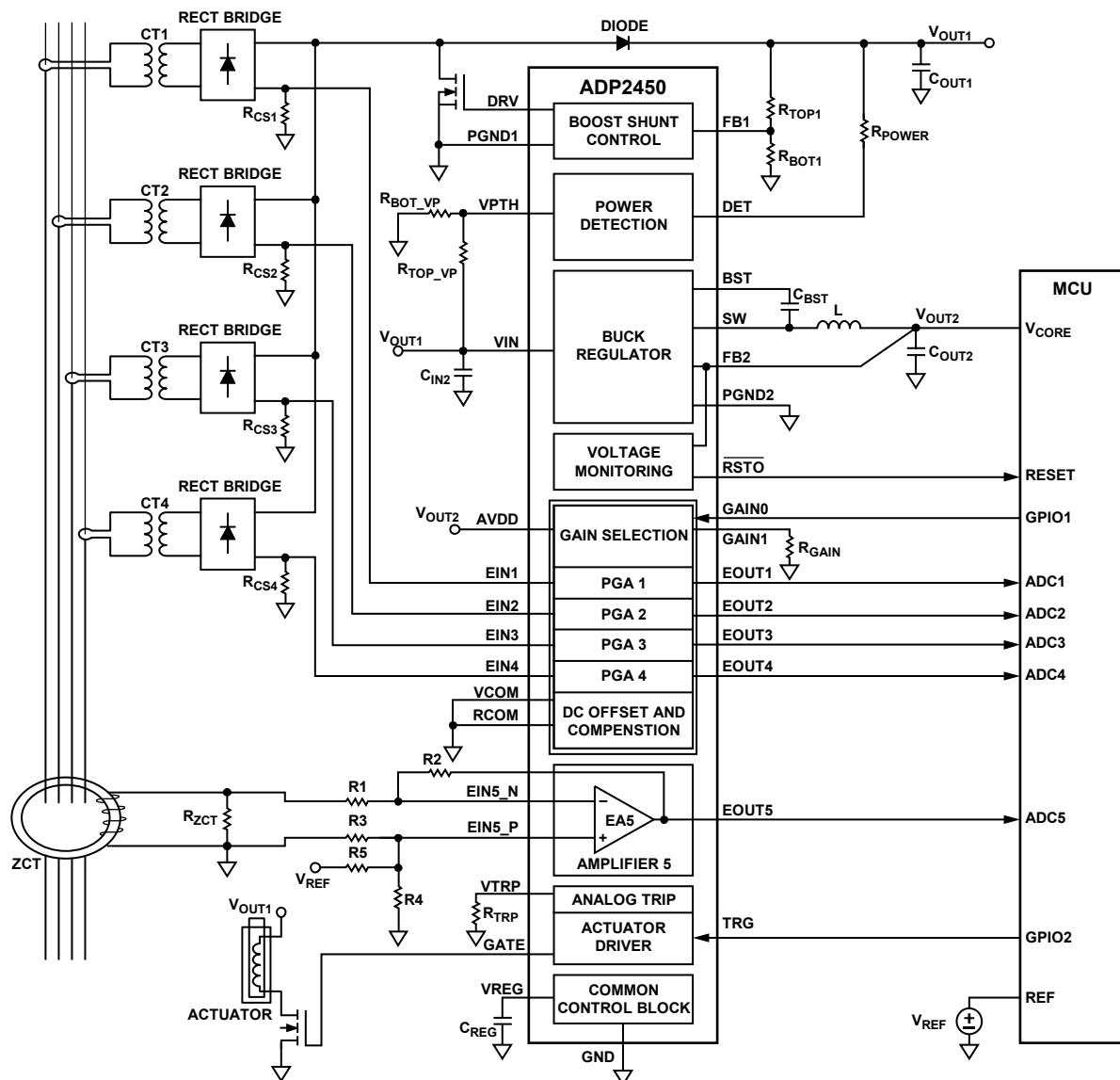


図 73.アプリケーション回路—シングル・コイル。信号と電源が同じ CT を共有

17088-073

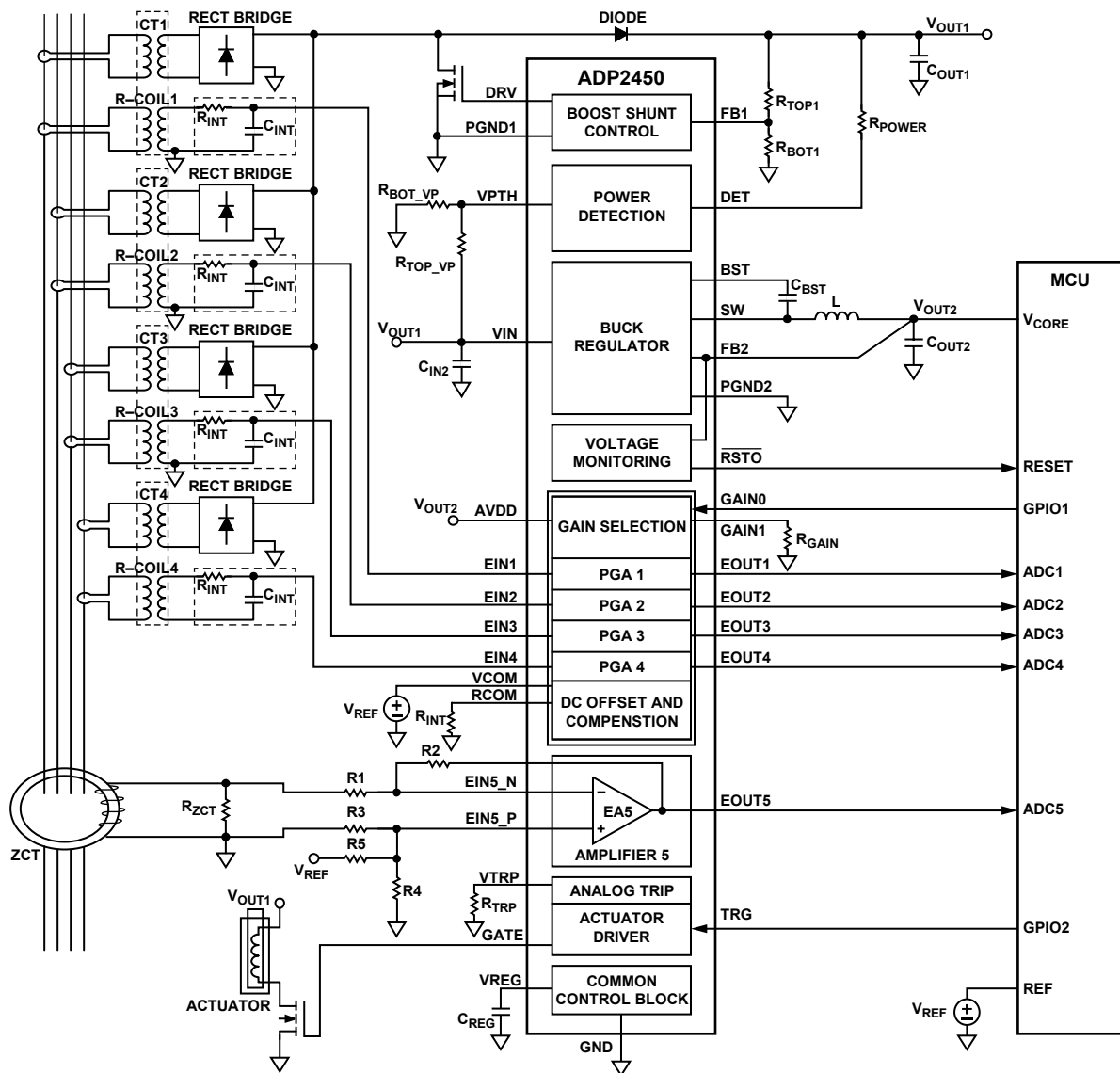


図 74. アプリケーション回路—デュアル・コイル。CT が電力を供給し、ログスキー・コイルが信号を供給

17088-074

出荷時にプログラム可能なオプション

降圧レギュレータの出力電圧、リセットの立上がり遅延時間（ $t_{RST_DELAY_R}$ ）、アナログ・トリップのデグリッチ時間（ t_{TRP} ）は、表 15 に示すオプションのうち 1 つを予め設定できます。デフォルト以外のオプションでデバイスを注文される場合は、アナログ・デバイセズの担当営業または代理店までお問い合わせください。

表 15. ヒューズで選択可能なトリム・オプション

Parameter	Options
Buck Regulator Output Voltage	Adjustable, 3.3 V, 5 V
Reset Rising Delay Time ($t_{RST_DELAY_R}$)	0.5 ms (default), 1 ms, 2 ms, 5 ms
Analog Trip Deglitch Time (t_{TRP})	200 μ s (default), 350 μ s, 500 μ s, 750 μ s, 1 ms, 2 ms, 3 ms, 4 ms

外形寸法

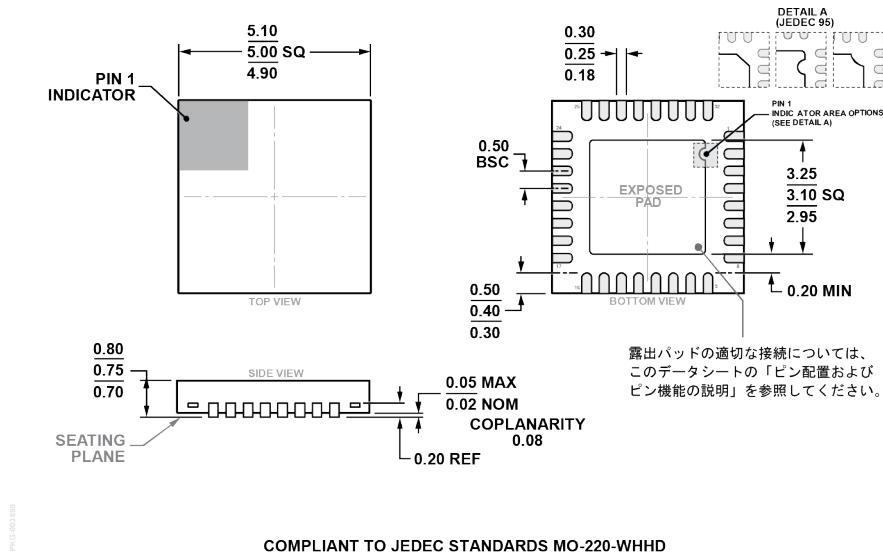


図 75.32 ピン・リードフレーム・チップスケール・パッケージ [LFCSP]
5 mm × 5 mm ボディ、0.75 mm パッケージ高
(CP-32-7)
寸法：mm

オーダー・ガイド

Model ¹	Temperature Range	Buck Output Voltage	Analog Trip Deglitch Time	Reset Rising Delay Time	Package Description	Package Option
ADP2450ACPZ-1-R7	-40°C to +125°C	3.3 V	200 μs	0.5 ms	32-Lead LFCSP	CP-32-7
ADP2450ACPZ-2-R7	-40°C to +125°C	5.0 V	200 μs	0.5 ms	32-Lead LFCSP	CP-32-7
ADP2450ACPZ-3-R7	-40°C to +125°C	Adjustable	200 μs	0.5 ms	32-Lead LFCSP	CP-32-7
ADP2450ACPZ-4-R7	-40°C to +125°C	Adjustable	200 μs	2 ms	32-Lead LFCSP	CP-32-7
ADP2450ACPZ-3-EVBZ		Adjustable	200 μs	0.5 ms	Evaluation Board	

¹Z = RoHS 準拠製品