

特長

- 最大出力電流: 1.2 A
- 入力電圧範囲: 1.6 V~3.6 V
- 低シャットダウン電流: 2 μ A 以下
- 非常に低いドロップアウト電圧: 1.2 A 負荷で 105 mV
- 初期精度 $\pm 1\%$
- ライン、負荷、温度に対する精度: $\pm 2\%$
- ソフトスタート付きの 7 種類の固定出力電圧オプション: 0.75 V~2.5 V (ADP1754)
- ソフトスタート付きの調整可能出力電圧オプション: 0.75 V~3.0 V (ADP1755)
- 高い PSRR
 - 1 kHz で 65 dB
 - 10 kHz で 65 dB
 - 100 kHz で 54 dB
- 0.75 V 出力で 23 μ V rms
- 小型の 4.7 μ F セラミック出力コンデンサで安定
- 優れた負荷過渡応答とライン過渡応答
- 電流制限および熱過負荷保護
- 電源正常インジケータ
- ロジック制御によるイネーブル
- 逆電流保護

アプリケーション

- サーバー・コンピュータ
- メモリ・コンポーネント
- 通信装置
- ネットワーク装置
- DSP/FPGA/マイクロプロセッサの電源
- 計装装置/データ・アキュイジション・システム

概要

ADP1754/ADP1755 は、低ドロップアウト(LDO)の CMOS リニア・レギュレータであり、1.6 V~3.6 V で動作し、最大出力電流は 1.2 A です。これらの V_{IN}/V_{OUT} の低い LDO は、2.5 V~1.8 V の I/O レールで動作して、0.75 V と低いコア電圧を供給するナノメータ・サイズ FPGA のレギュレーションに最適です。ADP1754/ADP1755 は当社独自の最新アーキテクチャを採用し、高い電源除去比(PSRR)と低ノイズを提供し、小型の 4.7 μ F セラミック出力コンデンサを使うだけで、優れたライン過渡応答と負荷過渡応答を実現します。

ADP1754 は、7 種類の固定出力電圧オプションを提供しています。ADP1755 は調整可能なバージョンで、外付け分圧器を使って 0.75 V~3.0 V の範囲の出力電圧が可能です。

代表的なアプリケーション回路

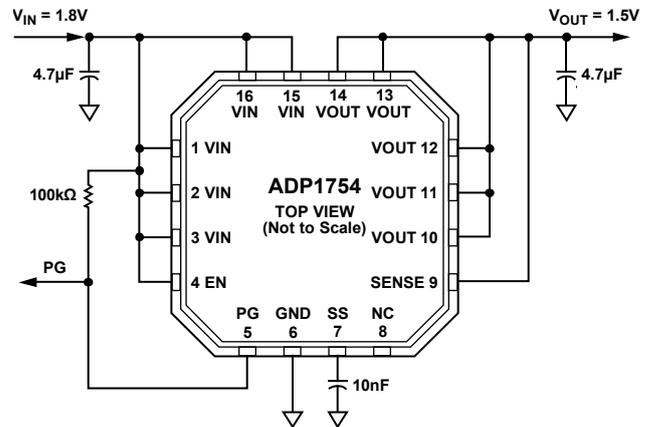


図 1. 固定出力電圧 1.5 V の ADP1754

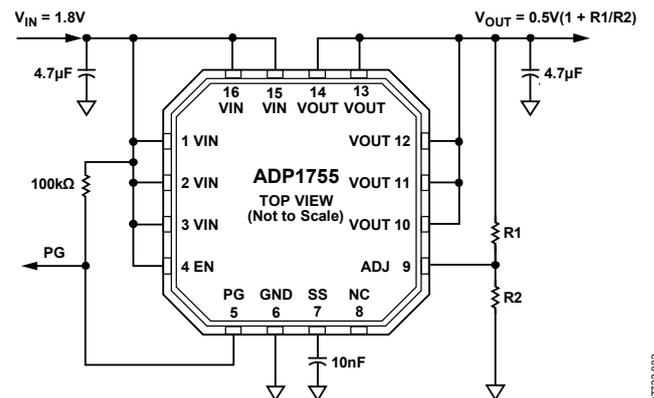


図 2. 0.75 V~3.0 V で出力電圧が調整可能な ADP1755

ADP1754/ADP1755 では、スタートアップを設定する外付けソフトスタート・コンデンサを接続することができます。デジタルの電源正常表示出力を使うと、電源システム・モニターに出力電圧の状態をチェックさせることができます。

ADP1754/ADP1755 は 16 ピンの 4 mm \times 4 mm LFCSP パッケージを採用しているため、非常に小型なソリューションであるだけでなく、小型なロー・プロファイル・フットプリントで 1.2 A までの出力電流を必要とするアプリケーションに対して優れた熱性能も提供します。

目次

特長.....	1	調整可能な出力電圧(ADP1755).....	12
アプリケーション.....	1	イネーブル機能.....	12
代表的なアプリケーション回路.....	1	電源正常表示機能.....	12
概要.....	1	逆電流保護機能.....	13
改訂履歴.....	2	アプリケーション情報.....	14
仕様.....	3	コンデンサの選択.....	14
入力コンデンサと出力コンデンサの推奨仕様.....	4	低電圧ロックアウト機能.....	15
絶対最大定格.....	5	電流制限および熱過負荷保護.....	15
熱データ.....	5	熱に対する考慮事項.....	15
熱抵抗.....	5	プリント基板レイアウト時の考慮事項.....	18
ESDの注意.....	5	外形寸法.....	19
ピン配置およびピン機能説明.....	6	オーダー・ガイド.....	19
代表的な性能特性.....	7		
動作原理.....	11		
ソフトスタート機能(ADP1754/ADP1755).....	11		

改訂履歴

4/09—Rev. 0 to Rev. A

Changes to Adjustable Output Voltage Accuracy (ADP1755)

Parameter, Table 1..... 3

Changes to Table 3..... 5

10/08—Revision 0: Initial Version

仕様

特に指定がない限り、 $V_{IN} = (V_{OUT} + 0.4 \text{ V})$ または 1.6 V (いずれか大きい方)、 $I_{OUT} = 10 \text{ mA}$ 、 $C_{IN} = C_{OUT} = 4.7 \mu\text{F}$ 、 $T_A = 25^\circ\text{C}$ 。

表 1.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT VOLTAGE RANGE	V_{IN}	$T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$	1.6		3.6	V
OPERATING SUPPLY CURRENT ¹	I_{GND}	$I_{OUT} = 500 \mu\text{A}$ $I_{OUT} = 100 \text{ mA}$ $I_{OUT} = 100 \text{ mA}$, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$ $I_{OUT} = 1.2 \text{ A}$ $I_{OUT} = 1.2 \text{ A}$, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$		90 400 1.1	800 1.4	μA μA μA mA mA
SHUTDOWN CURRENT	I_{GND-SD}	$EN = GND$, $V_{IN} = 1.6 \text{ V}$ $EN = GND$, $V_{IN} = 1.6 \text{ V}$, $T_J = -40^\circ\text{C}$ to $+85^\circ\text{C}$ $EN = GND$, $V_{IN} = 3.6 \text{ V}$, $T_J = -40^\circ\text{C}$ to $+85^\circ\text{C}$		2 30 100	6	μA μA μA
OUTPUT VOLTAGE ACCURACY						
Fixed Output Voltage Accuracy (ADP1754)	V_{OUT}	$I_{OUT} = 10 \text{ mA}$ $I_{OUT} = 10 \text{ mA}$ to 1.2 A $10 \text{ mA} < I_{OUT} < 1.2 \text{ A}$, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$	-1 -1.5 -2		+1 +1.5 +2	% % %
Adjustable Output Voltage Accuracy (ADP1755) ²	V_{ADJ}	$I_{OUT} = 10 \text{ mA}$ $I_{OUT} = 10 \text{ mA}$ to 1.2 A $10 \text{ mA} < I_{OUT} < 1.2 \text{ A}$, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$	0.495 0.495 0.490	0.5	0.505 0.505 0.510	V V V
LINE REGULATION	$\Delta V_{OUT}/\Delta V_{IN}$	$V_{IN} = (V_{OUT} + 0.4 \text{ V})$ to 3.6 V , $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$	-0.3		+0.3	%/V
LOAD REGULATION ³	$\Delta V_{OUT}/\Delta I_{OUT}$	$I_{OUT} = 10 \text{ mA}$ to 1.2 A , $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$			0.6	%/A
DROPOUT VOLTAGE ⁴	$V_{DROPOUT}$	$I_{OUT} = 100 \text{ mA}$, $V_{OUT} \geq 1.8 \text{ V}$ $I_{OUT} = 100 \text{ mA}$, $V_{OUT} \geq 1.8 \text{ V}$, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$ $I_{OUT} = 1.2 \text{ A}$, $V_{OUT} \geq 1.8 \text{ V}$ $I_{OUT} = 1.2 \text{ A}$, $V_{OUT} \geq 1.8 \text{ V}$, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$		10 105	16 200	mV mV mV mV
START-UP TIME ⁵	$t_{START-UP}$	$C_{SS} = 0 \text{ nF}$, $I_{OUT} = 10 \text{ mA}$ $C_{SS} = 10 \text{ nF}$, $I_{OUT} = 10 \text{ mA}$		200 5.2		μs ms
CURRENT-LIMIT THRESHOLD ⁶	I_{LIMIT}		1.5	2	5	A
THERMAL SHUTDOWN						
Thermal Shutdown Threshold	TS_{SD}	T_J rising		150		$^\circ\text{C}$
Thermal Shutdown Hysteresis	TS_{SD-HYS}			15		$^\circ\text{C}$
PG OUTPUT LOGIC LEVEL						
PG Output Logic High	PG_{HIGH}	$1.6 \text{ V} \leq V_{IN} \leq 3.6 \text{ V}$, $I_{OH} < 1 \mu\text{A}$	1.0			V
PG Output Logic Low	PG_{LOW}	$1.6 \text{ V} \leq V_{IN} \leq 3.6 \text{ V}$, $I_{OL} < 2 \text{ mA}$			0.4	V
PG Output Delay from EN Transition Low to High		$1.6 \text{ V} \leq V_{IN} \leq 3.6 \text{ V}$, $C_{SS} = 10 \text{ nF}$		5.5		ms
PG OUTPUT THRESHOLD						
Output Voltage Falling	PG_{FALL}	$1.6 \text{ V} \leq V_{IN} \leq 3.6 \text{ V}$		-10		%
Output Voltage Rising	PG_{RISE}	$1.6 \text{ V} \leq V_{IN} \leq 3.6 \text{ V}$		-6.5		%
EN INPUT						
EN Input Logic High	V_{IH}	$1.6 \text{ V} \leq V_{IN} \leq 3.6 \text{ V}$	1.2			V
EN Input Logic Low	V_{IL}	$1.6 \text{ V} \leq V_{IN} \leq 3.6 \text{ V}$			0.4	V
EN Input Leakage Current	$V_{I-LEAKAGE}$	$EN = VIN$ or GND		0.1	1	μA
UNDERVOLTAGE LOCKOUT						
Input Voltage Rising	$UVLO_{RISE}$	$T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$			1.58	V
Input Voltage Falling	$UVLO_{FALL}$	$T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$	1.25			V
Hysteresis	$UVLO_{HYS}$	$T_J = 25^\circ\text{C}$		100		mV
SOFT START CURRENT	I_{SS}	$1.6 \text{ V} \leq V_{IN} \leq 3.6 \text{ V}$	0.6	0.9	1.2	μA
ADJ INPUT BIAS CURRENT (ADP1755)	ADJ_{I-BIAS}	$1.6 \text{ V} \leq V_{IN} \leq 3.6 \text{ V}$, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$		10	150	nA
SENSE INPUT BIAS CURRENT	SNS_{I-BIAS}	$1.6 \text{ V} \leq V_{IN} \leq 3.6 \text{ V}$		10		μA
OUTPUT NOISE	OUT_{NOISE}	10 Hz to 100 kHz, $V_{OUT} = 0.75 \text{ V}$ 10 Hz to 100 kHz, $V_{OUT} = 2.5 \text{ V}$		23 65		$\mu\text{V rms}$ $\mu\text{V rms}$
POWER SUPPLY REJECTION RATIO	PSRR	$V_{IN} = V_{OUT} + 1 \text{ V}$, $I_{OUT} = 10 \text{ mA}$ 1 kHz, $V_{OUT} = 0.75 \text{ V}$		65		dB

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
		1 kHz, $V_{OUT} = 2.5\text{ V}$		56		dB
		10 kHz, $V_{OUT} = 0.75\text{ V}$		65		dB
		10 kHz, $V_{OUT} = 2.5\text{ V}$		56		dB
		100 kHz, $V_{OUT} = 0.75\text{ V}$		54		dB
		100 kHz, $V_{OUT} = 2.5\text{ V}$		51		dB

¹ 最小出力負荷電流は 500 μA 。

² V_{OUT} を直接 ADJ へ接続したときの精度。 V_{OUT} 電圧を外部帰還抵抗により設定すると、調整モードでの絶対精度は使用する抵抗の偏差に依存します。

³ 10 mA と 1.2 A 負荷を使用した最終点計算を使用。負荷レギュレーション性能 (typ) については図 6 を参照してください。

⁴ ドロップアウト電圧は、入力電圧を公称出力電圧に設定したときの入力電圧—出力電圧間の電位差として定義されます。これは、1.6 V を超える出力電圧に対してのみ適用されます。

⁵ スタートアップ時間は、EN の立ち上がりエッジから V_{OUT} が公称値の 95% になるまでの時間として定義されます。

⁶ 電流制限スレッシュホールドは、出力電圧が規定 typ 値の 90% に低下する電流値として定義されます。たとえば、1.0 V 出力電圧の電流制限スレッシュホールドは、出力電圧が 1.0 V の 90% すなわち 0.9 V に低下する電流値として定義されます。

入力コンデンサと出力コンデンサの推奨仕様

表 2.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
MINIMUM INPUT AND OUTPUT CAPACITANCE ¹	C_{MIN}	$T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$	3.3			μF
CAPACITOR ESR	R_{ESR}	$T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$	0.001		0.1	Ω

¹ 最小入力容量と最小出力容量は、全動作範囲で 3.3 μF より大きい必要があります。アプリケーションでの全動作範囲は、最小容量規定値を満たすため、デバイス選択時に考慮する必要があります。X7R タイプと X5R タイプのコンデンサの使用が推奨されます。Y5V コンデンサと Z5U コンデンサはこの LDO に推奨できません。

絶対最大定格

表 3.

Parameter	Rating
VIN to GND	-0.3 V to +3.6 V
VOOUT to GND	-0.3 V to +3.6V
EN to GND	-0.3 V to +3.6 V
SS to GND	-0.3 V to +3.6 V
PG to GND	-0.3 V to +3.6 V
SENSE/ADJ to GND	-0.3 V to +3.6 V
Storage Temperature Range	-65°C to +150°C
Operating Junction Temperature Range	-40°C to +125°C
Soldering Conditions	JEDEC J-STD-020

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱データ

絶対最大定格は、組み合わせではなく個別に適用されます。ジャンクション温度規定値を超えると ADP1754/ADP1755 は損傷を受けることがあります。周囲温度をモニターしても、 T_J が規定温度範囲内にあることを保証できません。消費電力が大きいか熱抵抗が高いアプリケーションでは、最大周囲温度を下げる必要があります。中程度の消費電力と低い PCB 熱抵抗を持つアプリケーションでは、ジャンクション温度が規定値内にあるかぎり、最大周囲温度は最大値を超えることができます。

デバイスのジャンクション温度(T_J)は、周囲温度(T_A)、デバイス消費電力(P_D)、パッケージのジャンクション-周囲間熱抵抗(θ_{JA})に依存します。 T_J は次式で計算されます。

$$T_J = T_A + (P_D \times \theta_{JA})$$

パッケージのジャンクション-周囲間熱抵抗(θ_{JA})は、4層ボードを使ったモデルと計算に基づいています。ジャンクション-周囲間熱抵抗は、アプリケーションとボード・レイアウトに強く依存します。最大消費電力が大きいアプリケーションでは、ボードの熱デザインに注意が必要です。 θ_{JA} の値は、PCB材料、レイアウト、環境条件に依存して変化します。 θ_{JA} の規定値は、4インチ×3インチの4層回路ボードに基づいています。ボードの構造については JEDEC JESD51-7を参照してください。詳細については、www.analog.comに掲載する AN-772 アプリケーション・ノート「A Design and Manufacturing Guide for the Lead Frame Chip Scale Package (LFCSP)」をご覧ください。

Ψ_{JB} はジャンクション-ボード間サーマル・キャラクタライゼーション・パラメータであり、単位は°C/Wです。パッケージの Ψ_{JB} は、4層ボードを使ったモデルと計算に基づいています。JESD51-12 ドキュメント「Guidelines for Reporting and Using Electronic Package Thermal Information」には、サーマル・キャラクタライゼーション・パラメータは熱抵抗と同じではないと記載されています。 Ψ_{JB} は、熱抵抗 θ_{JA} のように 1つのサーマル・パスを通過するのではなく、複数のサーマル・パスを通過する電力成分を表します。したがって、 Ψ_{JB} サーマル・パスには、パッケージ上面からの対流、パッケージからの放射、実際のアプリケーションで Ψ_{JB} を有効にしているファクタが含まれます。最大ジャンクション温度(T_J)は、次式を使ってボード温度(T_B)と消費電力(P_D)から計算されます。

$$T_J = T_B + (P_D \times \Psi_{JB})$$

Ψ_{JB} の詳細については、JEDEC JESD51-8 ドキュメントと JESD51-12 ドキュメントを参照してください。

熱抵抗

θ_{JA} と Ψ_{JB} はワーストケース条件で規定されます。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定します。

表 4.熱抵抗

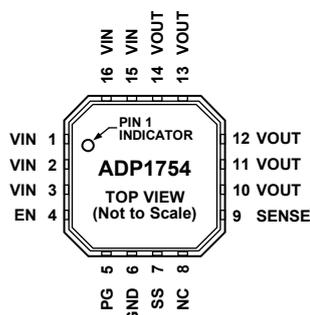
Package Type	θ_{JA}	Ψ_{JB}	Unit
16-Lead LFCSP with Exposed Pad (CP-16-4)	130	32.7	°C/W

ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

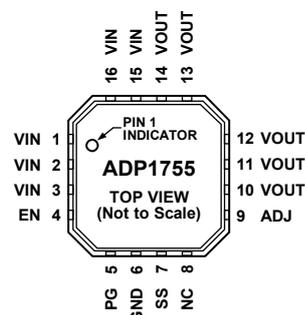
ピン配置およびピン機能説明



NOTES
 1. NC = NO CONNECT.
 2. THE EXPOSED PAD ON THE BOTTOM OF THE LFCSP ENHANCES THERMAL PERFORMANCE AND IS ELECTRICALLY CONNECTED TO GND INSIDE THE PACKAGE. IT IS RECOMMENDED THAT THE EXPOSED PAD BE CONNECTED TO THE GROUND PLANE ON THE BOARD.

07722-003

図 3. ADP1754 のピン配置



NOTES
 1. NC = NO CONNECT.
 2. THE EXPOSED PAD ON THE BOTTOM OF THE LFCSP ENHANCES THERMAL PERFORMANCE AND IS ELECTRICALLY CONNECTED TO GND INSIDE THE PACKAGE. IT IS RECOMMENDED THAT THE EXPOSED PAD BE CONNECTED TO THE GROUND PLANE ON THE BOARD.

07722-004

図 4. ADP1755 のピン配置

表 5. ピン機能の説明

ADP1754 の ピン番号	ADP1755 の ピン番号	記号	説明
1、2、3、 15、16	1、2、3、 15、16	VIN	レギュレータ入力電源。VIN と GND との間に 4.7 μ F 以上のコンデンサを接続してバイパスしてください。5 本のすべての VIN ピンを電源に接続する必要があることに注意してください。
4	4	EN	イネーブル入力。EN をハイ・レベルにするとレギュレータがターンオンし、ロー・レベルにするとレギュレータがターンオフします。自動スタートアップの場合は、EN と VIN を接続します。
5	5	PG	電源正常表示。このオープン・ドレイン出力には、VIN へ接続する外付けプルアップ抵抗が必要です。デバイスが、シャットダウン・モード、電流制限モード、サーマル・シャットダウンの場合、またはデバイスが公称出力電圧の 90% を下回った場合、PG は直ちにロー・レベルになります。
6	6	GND	グラウンド。
7	7	SS	ソフト・スタート。このピンに接続したコンデンサがソフトスタート時間を決めます。
8	8	NC	未接続。内部接続なし。
9	—	SENSE	検出。このピンは負荷で実際の出力電圧を測定してそれを誤差アンプへ戻します。SENSE を負荷のできるだけ近くに接続して、レギュレータ出力と負荷の間の IR 電圧降下の影響を小さくしてください。
—	9	ADJ	調整。VOUT と ADJ の間に抵抗分圧器を接続して出力電圧を設定します。
10、11、 12、13、14	10、11、 12、13、14	VOUT	レギュレーションされた出力電圧。4.7 μ F 以上のコンデンサで VOUT を GND へバイパスしてください。5 本のすべての VOUT ピンを負荷に接続する必要があることに注意してください。
17 (EPAD)	17 (EPAD)	露出パッド (EPAD)	LFCSP パッケージ底面の露出パッドは熱性能を強化し、パッケージ内部で GND に電気的に接続されています。露出パッドはボードのグラウンド・プレーンに接続することが推奨されます。

代表的な性能特性

特に指定がない限り、 $V_{IN} = 1.9\text{ V}$ 、 $V_{OUT} = 1.5\text{ V}$ 、 $I_{OUT} = 10\text{ mA}$ 、 $C_{IN} = 4.7\text{ }\mu\text{F}$ 、 $C_{OUT} = 4.7\text{ }\mu\text{F}$ 、 $T_A = 25^\circ\text{C}$ 。

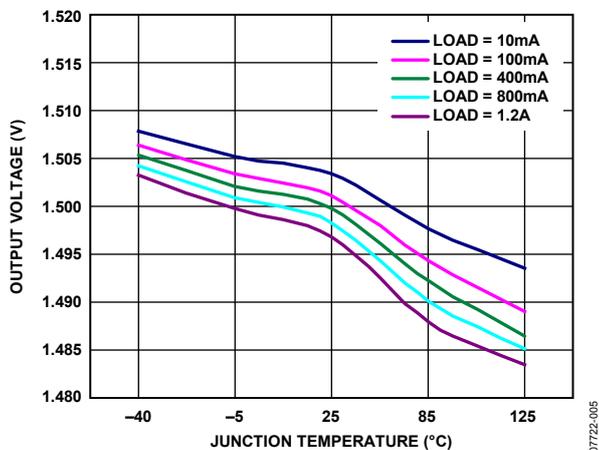


図 5.出力電圧対ジャンクション温度

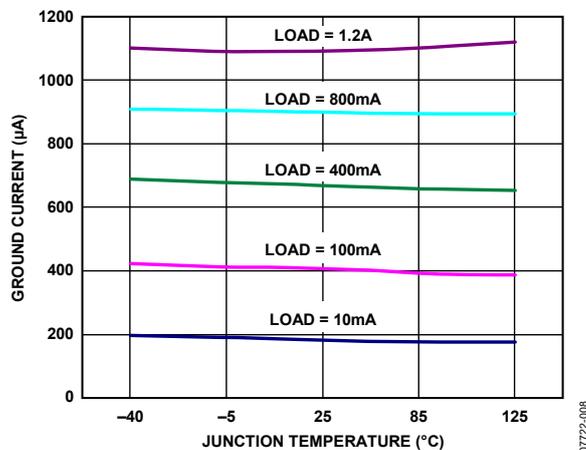


図 8.グラウンド電流対ジャンクション温度

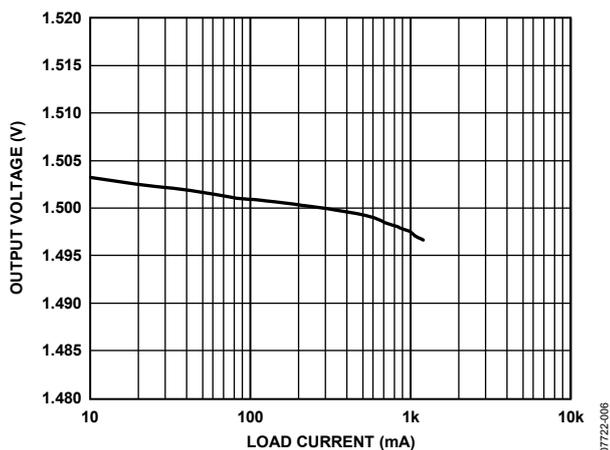


図 6.出力電圧対負荷電流

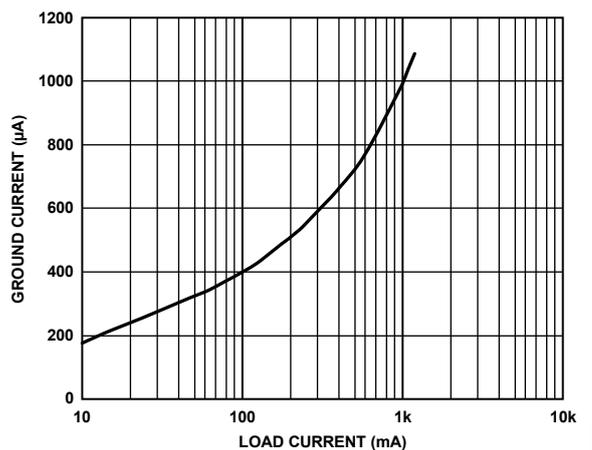


図 9.グラウンド電流対負荷電流

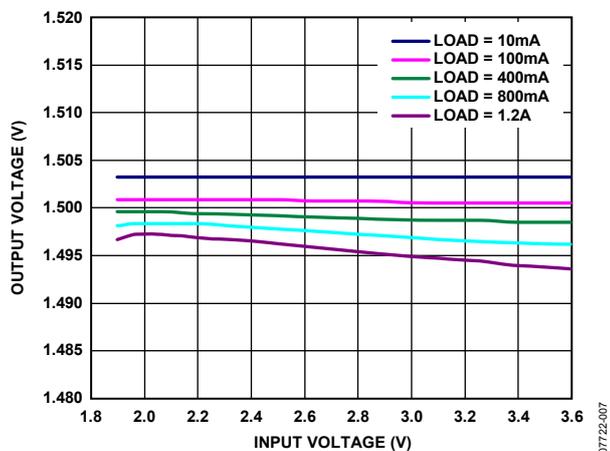


図 7.出力電圧対入力電圧

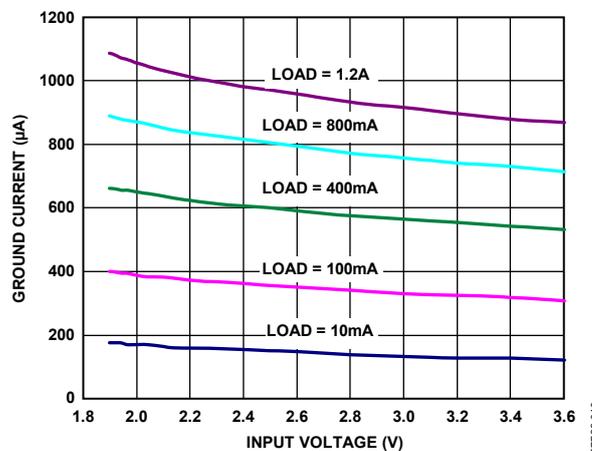


図 10.グラウンド電流対入力電圧

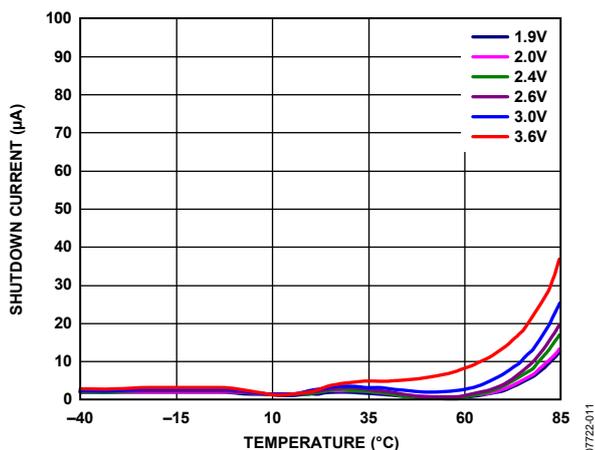


図 11. さまざまな入力電圧でのシャットダウン電流の温度特性

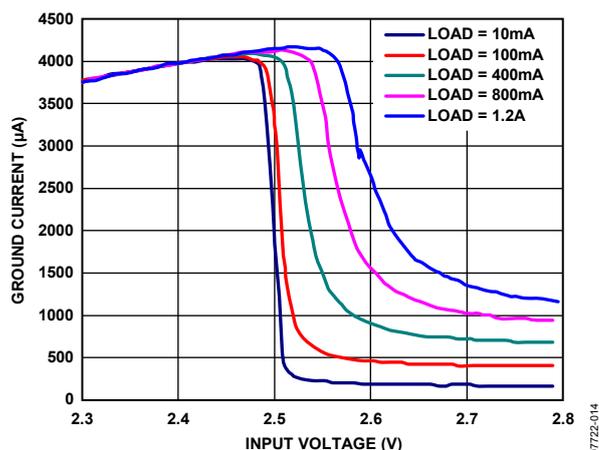


図 14. グラウンド電流対入力電圧(入カドロップアウト), $V_{OUT} = 2.5$ V

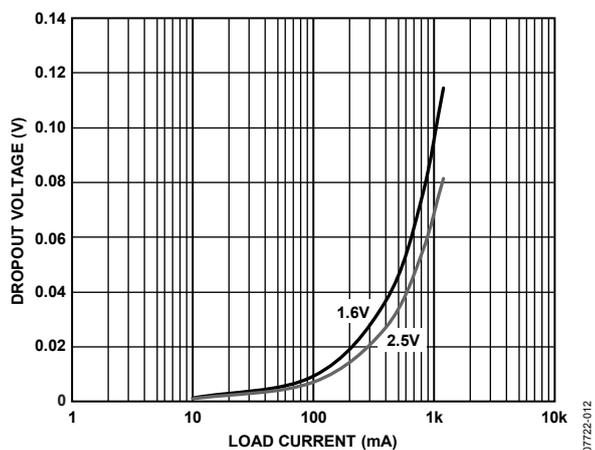


図 12. ドロップアウト電圧対負荷電流, $V_{OUT} = 1.6$ V、 2.5 V

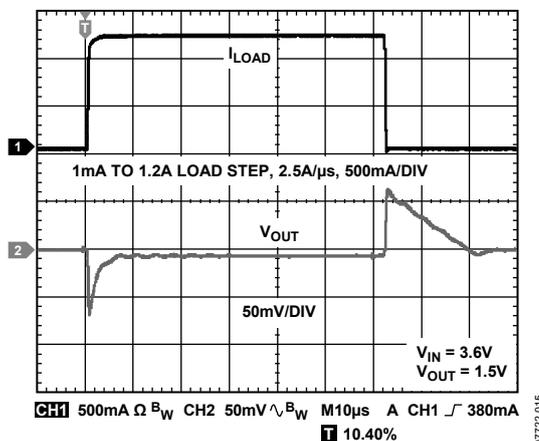


図 15. 負荷過渡応答, $C_{IN} = 4.7$ μF、 $C_{OUT} = 4.7$ μF

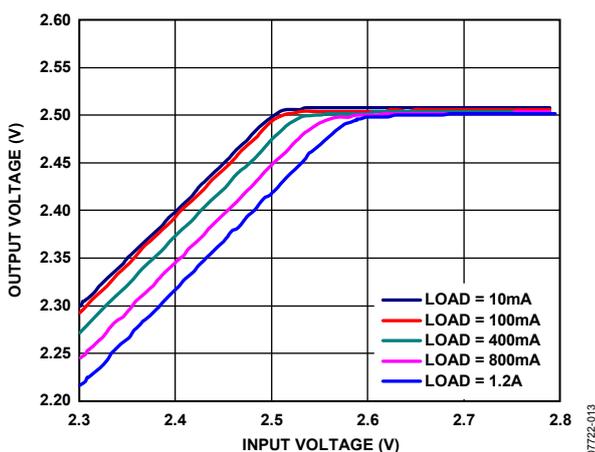


図 13. 出力電圧対入力電圧(入カドロップアウト), $V_{OUT} = 2.5$ V

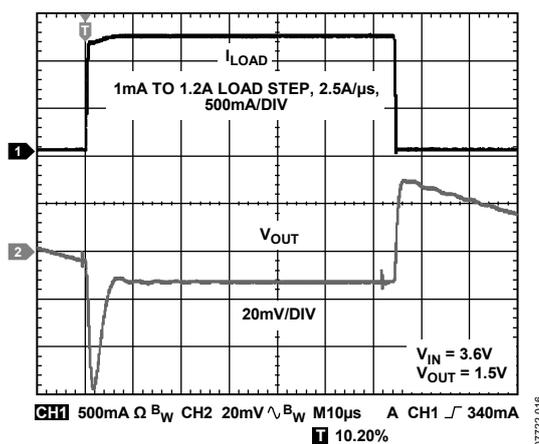


図 16. 負荷過渡応答, $C_{IN} = 22$ μF、 $C_{OUT} = 22$ μF

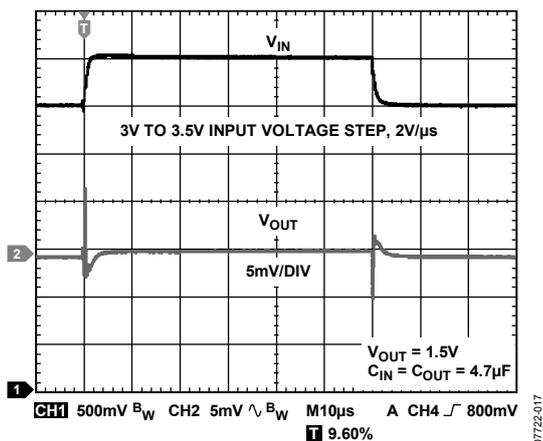


図 17. ライン過渡応答、負荷電流 = 1200 mA

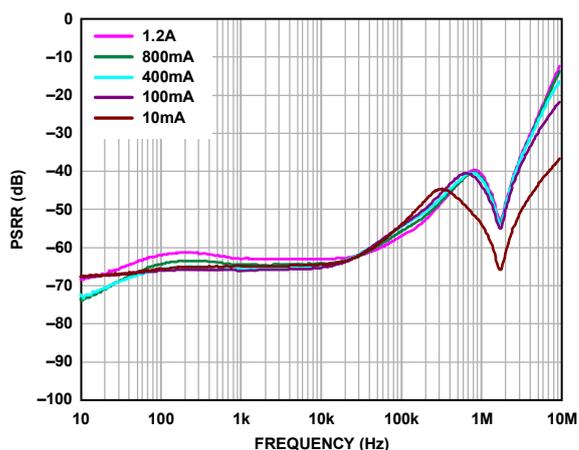


図 20. 電源除去比の周波数特性、V_{OUT} = 0.75 V、V_{IN} = 1.75 V

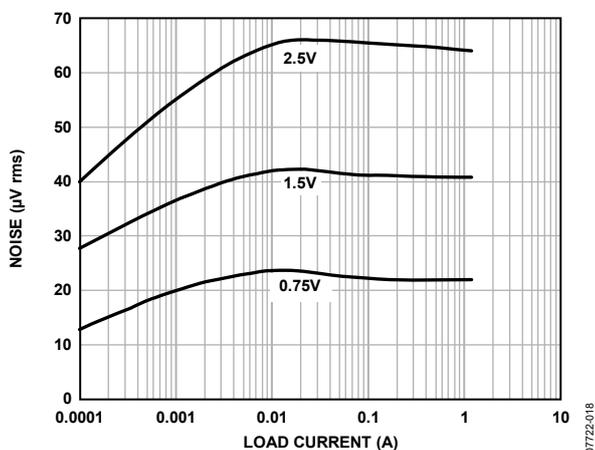


図 18. ノイズ対負荷電流および出力電圧

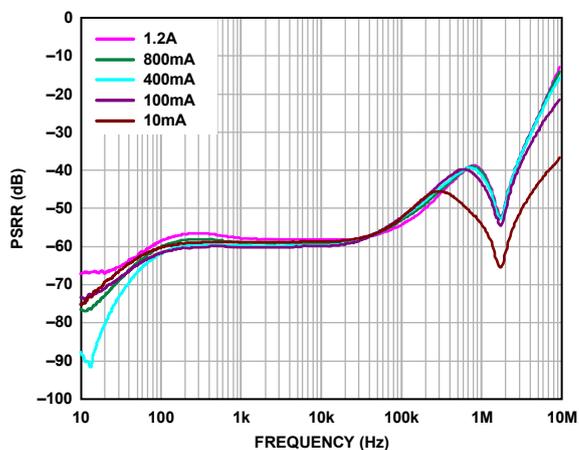


図 21. 電源除去比の周波数特性、V_{OUT} = 1.5 V、V_{IN} = 2.5 V

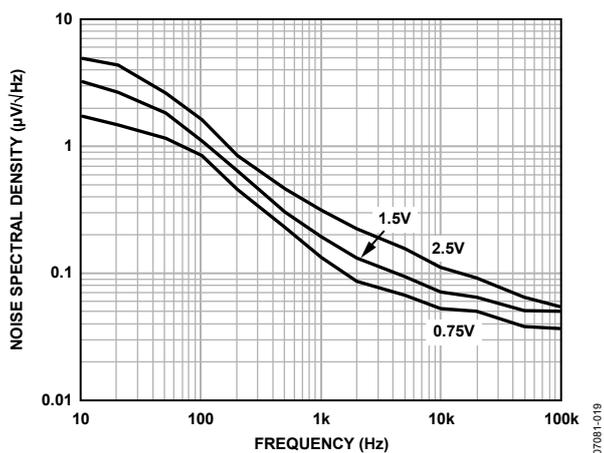


図 19. ノイズ・スペクトル密度対出力電圧、I_{LOAD} = 10 mA

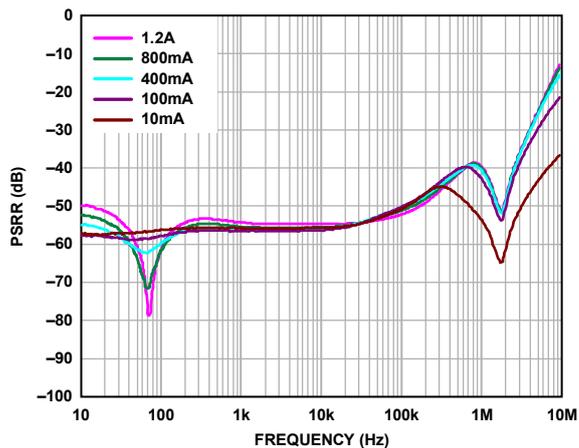


図 22. 電源除去比の周波数特性、V_{OUT} = 2.5 V、V_{IN} = 3.5 V

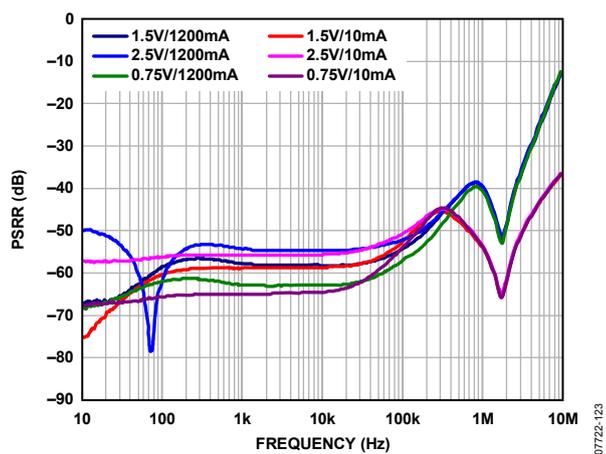


図 23.電源除去比対周波数および出力電圧

動作原理

ADP1754/ADP1755 は低ドロップアウト・リニア・レギュレータであり、高い電源除去比(PSRR)と低ノイズを提供し、さらに小型の 4.7 μF セラミック出力コンデンサを使うだけで、優れたライン過渡応答と負荷過渡応答を提供する当社独自の最新アーキテクチャを採用しています。両デバイスは 1.6 V~3.6 V の入力電源で動作し、最大 1.2 A の出力電流を供給します。シャットダウン・モードでの電源電流は 2 μA (typ)です。

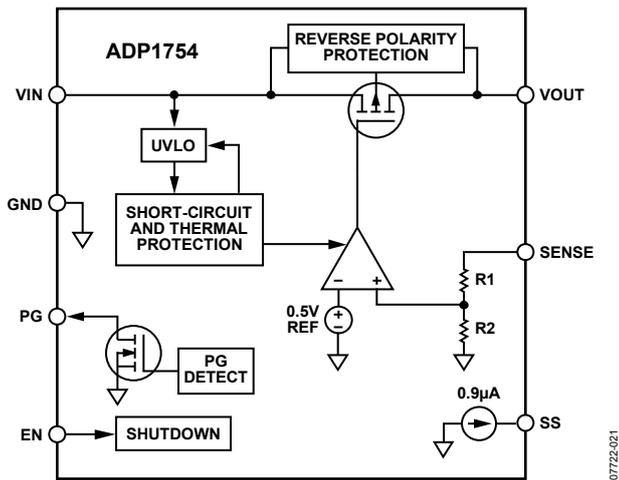


図 24. ADP1754 の内部ブロック図

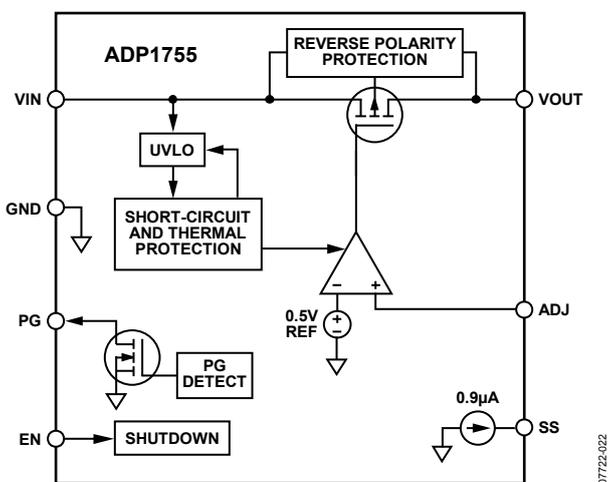


図 25. ADP1755 の内部ブロック図

内部的には、ADP1754/ADP1755 は、リファレンス電圧、誤差アンプ、帰還分圧器、PMOS パス・トランジスタから構成されています。出力電流は、誤差アンプから制御される PMOS パス・トランジスタを経由して供給されます。誤差アンプは、リファレンス電圧と出力からの帰還電圧を比較して、その差を増幅します。帰還電圧がリファレンス電圧より低い場合、PMOS デバイスのゲート電位が低くなるので、通過する電流が大きくなり、出力電圧が上昇します。帰還電圧がリファレンス電圧より高い場合は、PMOS デバイスのゲート電位が高くなるので、通過する電流が小さくなり、出力電圧が低下します。

ADP1754 では、0.75 V~2.5 V の 7 種類の固定出力電圧オプションを提供しています。ADP1754 を使うと、スタートアップ時に出力電圧の立ち上がりを制御する外付けソフトスタート・コンデンサを接続することができます。ADP1755 は調整可能なバージョンで、外付け分圧器を使って出力電圧を 0.75 V~3.0 V の範

囲で設定することができます。両デバイスは、イネーブル・ピン(EN)により制御されます。

ソフトスタート機能(ADP1754/ADP1755)

スタートアップの制御が必要なアプリケーションに対して、ADP1754/ADP1755 はプログラマブルなソフトスタート機能を提供します。このプログラマブルなソフトスタートは、スタートアップ時の突入電流の軽減と電圧シーケンシング機能に有効です。ソフトスタートを使用するときは、SS と GND の間に小さいセラミック・コンデンサを接続します。スタートアップ時に、0.9 μA の電流源によりこのコンデンサが充電されます。ADP1754/ADP1755 スタートアップ出力電圧は SS の電圧で制限されるため、公称出力電圧までスムーズに上昇します。ソフトスタート時間は次式で計算されます。

$$t_{SS} = V_{REF} \times (C_{SS}/I_{SS}) \quad (1)$$

ここで、

t_{SS} はソフトスタート時間。

V_{REF} は 0.5 V のリファレンス電圧。

C_{SS} は、SS と GND との間のソフトスタート容量。

I_{SS} は SS から供給される電流(0.9 μA)。

ADP1754/ADP1755 がディスエーブルされると(EN ピンを使用)、ソフトスタート・コンデンサは内部 100 Ω 抵抗を通して GND へ放電します。

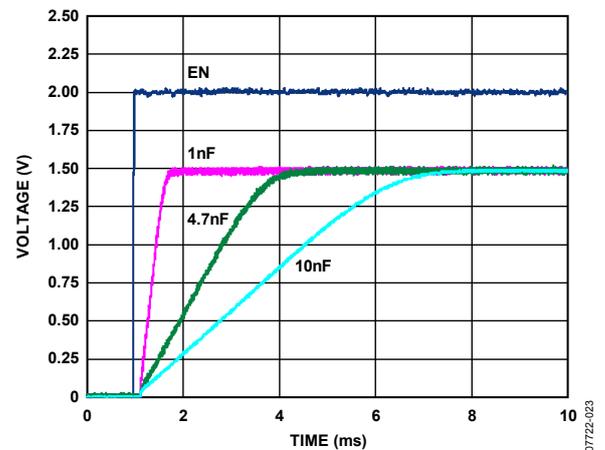
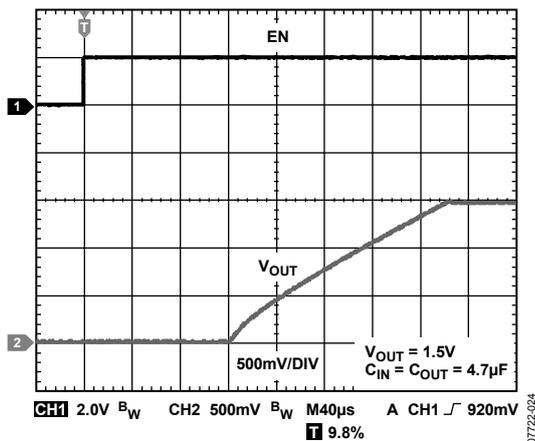


図 26. 外付けソフト・スタート・コンデンサによる V_{OUT} の立ち上がり

図 27.内部ソフト・スタートによる V_{OUT} の立ち上がり

調整可能な出力電圧(ADP1755)

ADP1755 の出力電圧は、0.75 V～3.0 V の範囲で設定することができます。出力電圧は、 V_{OUT} と ADJ との間に抵抗分圧器を接続して設定します。出力電圧は次式で計算されます。

$$V_{OUT} = 0.5 \text{ V} \times (1 + R1/R2) \quad (2)$$

ここで、

$R1$ は V_{OUT} と ADJ との間の抵抗。

$R2$ は ADJ と GND との間の抵抗。

ADJ に流れる最大バイアス電流は 150 nA です。したがって、バイアス電流による誤差を 0.5% より小さくするとき、 $R2$ を 60 k Ω より小さい値を使ってください。

イネーブル機能

ADP1754/ADP1755 では EN ピンを使って、通常の動作状態で V_{OUT} ピンをイネーブル/ディスエーブルします。図 28 に示すように、EN の電圧がアクティブ・スレッショールドを超えると、 V_{OUT} がターンオンします。EN の電圧が非アクティブ・スレッショールドを下回ると、 V_{OUT} がターンオフします。

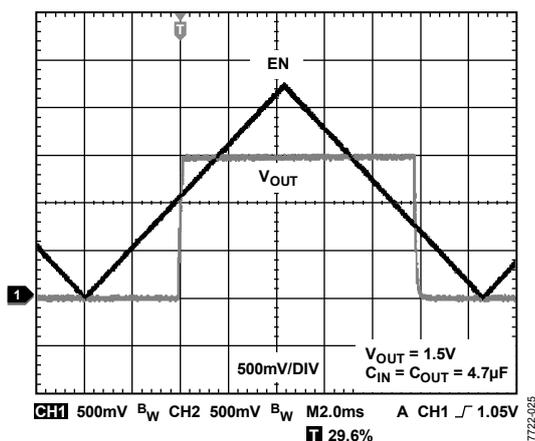


図 28.一般的な EN ピンの動作

図 28 に示すように、EN ピンにはヒステリシスがあります。このヒステリシスは、EN ピンがスレッショールド・ポイントを通過するときノイズにより発生するオン/オフ発振を防止します。

EN ピンのアクティブ/非アクティブ・スレッショールドは V_{IN} 電圧から発生されます。このため、これらのスレッショールドは入力電圧の変化により変動します。図 29 に、入力電圧が 1.6 V から 3.6 V まで変化するときの EN のアクティブ/非アクティブ・スレッショールド(typ 値)を示します。

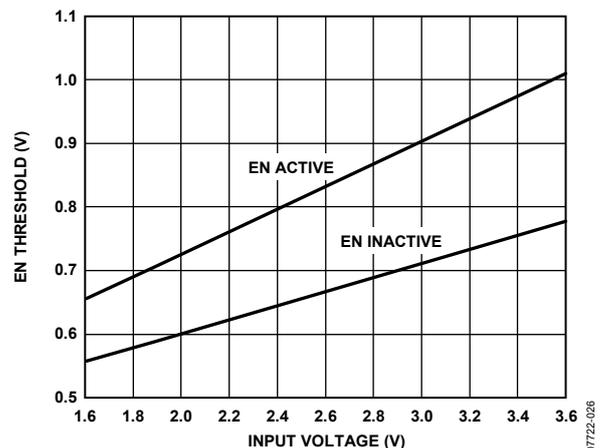


図 29.EN ピン・スレッショールド(typ 値)対入力電圧

電源正常表示機能

ADP1754/ADP1755 には、出力のステータスを表示する電源正常表示ピン PG があります。このオープン・ドレイン出力には、 V_{IN} へ接続する外付けプルアップ抵抗が必要です。デバイスが、シャットダウン・モード、電流制限モード、サーマル・シャットダウンの場合、またはデバイスが公称出力電圧の 90% を下回った場合、PG は直ちにロー・レベルになります。ソフトスタート時の電源正常表示信号の立ち上がりスレッショールドは、公称出力電圧の 93.5% になっています。

ADP1754/ADP1755 に内部 PG トランジスタをターンオンさせる十分な入力電圧がある場合、オープン・ドレイン出力はロー・レベルになります。オプションのソフトスタート遅延を検出することができます。PG トランジスタは、 V_{OUT} または V_{IN} に接続したプルアップ抵抗を使って終端されます。

電源正常表示の精度は、この電圧の立ち上がり時は公称レギュレータ出力電圧の 93.5% で、この電圧の立ち下がり時は 90% トリップ・ポイントです。

レギュレータ入力電圧の停電またはグリッチにより、 V_{OUT} が 90% を下回ったとき電源異常が表示されます。

通常のパワーダウンでは、 V_{OUT} が 90% を下回ったとき電源異常が表示されます。

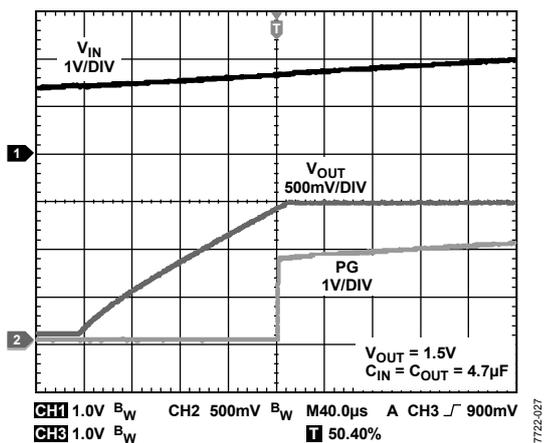


図 30. PG の動作対 V_{OUT} 、 V_{IN} 立ち上がり ($V_{OUT} = 1.5V$)

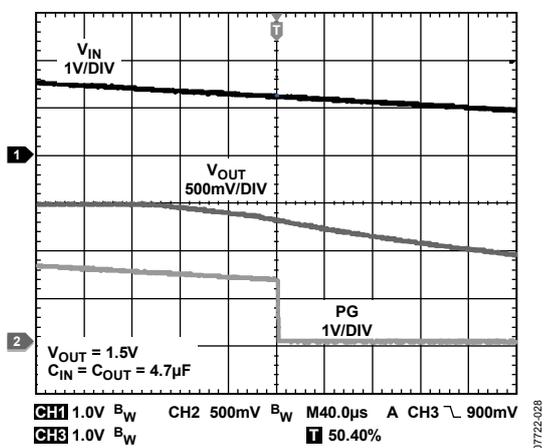


図 31. PG の動作対 V_{OUT} 、 V_{IN} 立ち下がり ($V_{OUT} = 1.5V$)

逆電流保護機能

ADP1754/ADP1755 には、 V_{OUT} から V_{IN} へ流れる逆方向電流を防止する回路が追加されています。PMOS パス・デバイスを使う一般的な LDO では、 V_{IN} と V_{OUT} の間に固有のボディ・ダイオードが存在します。 V_{IN} が V_{OUT} より大きくなると、このダイオードは逆バイアスされます。 V_{OUT} が V_{IN} より大きい場合、この固有ダイオードが順方向バイアスされるため、 V_{OUT} から V_{IN} へ電流が流れて、損傷する可能性があります。逆方向電流保護回路は、 V_{OUT} が V_{IN} より大きくなるタイミングを検出し、固有ダイオードの接続方向を逆転させて、ダイオードを逆バイアスします。PMOS パス・デバイスのゲートも V_{OUT} に接続して、デバイスのオフを維持します。

図 32 に、逆方向電流対 $V_{OUT} - V_{IN}$ 間電位差のプロットを示します。

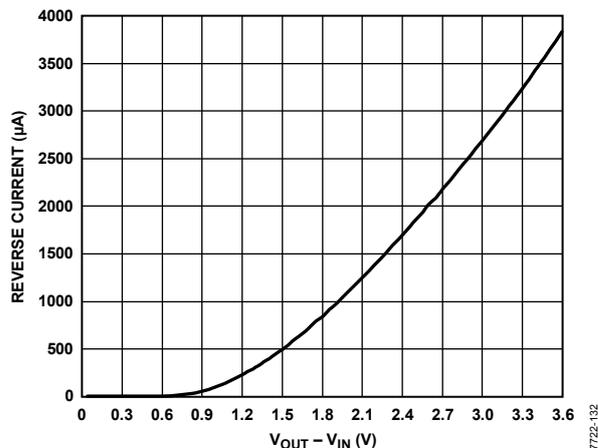


図 32. 逆電流対 $V_{OUT} - V_{IN}$

アプリケーション情報

コンデンサの選択

出力コンデンサ

ADP1754/ADP1755 は、小型で省スペースのセラミック・コンデンサで動作するようにデザインされていますが、実効直列抵抗 (ESR) 値に注意すれば一般的に使用されているコンデンサで動作することもできます。出力コンデンサの ESR は、LDO 制御ループの安定性に影響を与えます。ADP1754/ADP1755 の安定性のためには、500 mΩ 以下の ESR を持つ最小 3.3 μF のコンデンサの使用が推奨されます。負荷電流の変化に対する過渡応答も出力容量の影響を受けます。大きな値の出力容量を使用すると、負荷電流の大きな変化に対する ADP1754/ADP1755 の過渡応答を向上させることができます。図 33 と図 34 に、それぞれ 4.7 μF と 22 μF の出力容量値に対する過渡応答を示します。

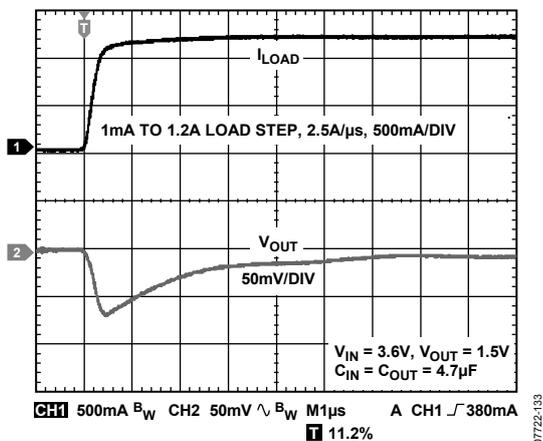


図 33. 出力過渡応答、 $C_{OUT} = 4.7 \mu\text{F}$

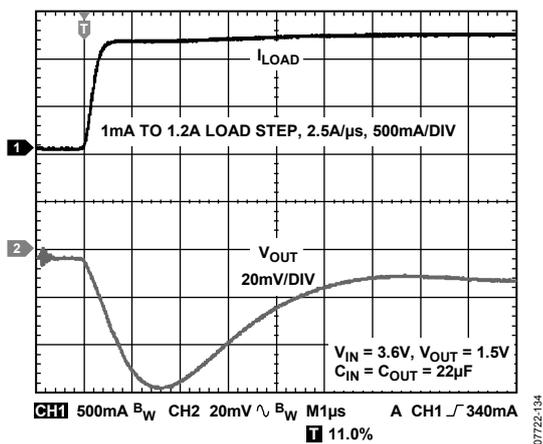


図 34. 出力過渡応答、 $C_{OUT} = 22 \mu\text{F}$

入力バイパス・コンデンサ

VIN ピンと GND の間に 4.7 μF のコンデンサを接続すると、特に入力パターンが長いソース・インピーダンスが高い場合に、プリント回路ボード (PCB) のレイアウトに対する回路の感受性を小さくすることができます。4.7 μF より大きい出力容量が必要な場合は、それに合わせて入力コンデンサを大きくすることが推奨されます。

入力コンデンサと出力コンデンサの特性

最小容量と最大 ESR 条件を満たすかぎり、任意の高品質セラミック・コンデンサを使用することができます。セラミック・コンデンサは様々な誘電体を使って製造されており、各々は温度と加えられる電圧に対して異なる動作をします。コンデンサは、必要とされる温度範囲と DC バイアス条件に対して最小容量を保証する十分な誘電体を持っている必要があります。電圧定格 6.3 V または 10 V の X5R 誘電体または X7R 誘電体の使用が推奨されます。Y5V 誘電体と Z5U 誘電体は温度特性と DC バイアス特性が十分でないため推奨されません。

図 35 に、0805 ケースを使用した 10 V、4.7 μF の X5R コンデンサについて容量対電圧バイアス特性を示します。コンデンサの電圧安定性は、コンデンサのサイズと電圧定格の影響を大きく受けます。一般に、コンデンサのパッケージが大きいほど、または電圧定格が大きいほど、優れた安定性を示します。X5R 誘電体の温度変動は、 $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ の温度範囲で $\pm 15\%$ であり、パッケージ・サイズまたは電圧定格の関数になっていません。

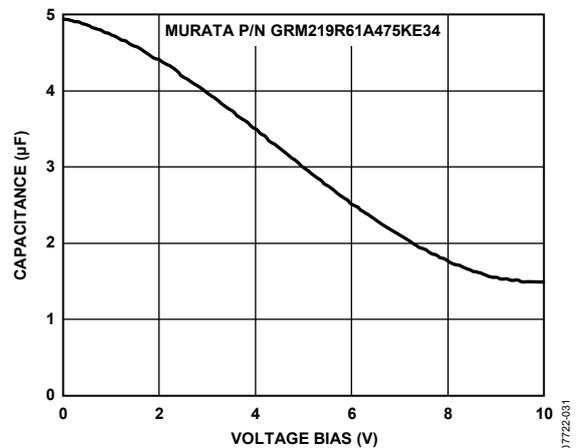


図 35. 容量対電圧バイアス特性

式 3 を使うと、温度、部品偏差、電圧に対するコンデンサの変動を考慮した、ワーストケース容量を求めることができます。

$$C_{EFF} = C_{OUT} \times (1 - TEMPCO) \times (1 - TOL) \quad (3)$$

ここで、

C_{EFF} は動作電圧での実効容量。

$TEMPCO$ はワーストケースのコンデンサ温度係数。

TOL はワーストケースの部品偏差。

この例では、 $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ でのワーストケース温度係数 ($TEMPCO$) を、X5R 誘電体では 15% と想定しています。図 35 に示すように、コンデンサ (TOL) の偏差は 10%、1.8 V では $C_{OUT} = 4.46 \mu\text{F}$ としています。

これらの値を式 3 に代入すると、

$$C_{EFF} = 4.46 \mu\text{F} \times (1 - 0.15) \times (1 - 0.1) = 3.41 \mu\text{F}$$

したがって、この例で選択したコンデンサは、選択した出力電圧で、温度と偏差に対する LDO の最小容量条件を満たします。

ADP1754/ADP1755 の性能を保証するためには、コンデンサ動作に対する DC バイアス、温度、偏差の影響を各アプリケーションごとに評価すること不可欠です。

低電圧ロックアウト機能

ADP1754/ADP1755 には、入力電圧が約 1.58 V を下回ったとき、すべての入力と出力をディスエーブルする低電圧ロックアウト回路が内蔵されています。この回路は、ADP1755/ADP1755 の入力と出力がパワーアップ時に予測可能な方法で動作することを保証します。

電流制限および熱過負荷保護

ADP1754/ADP1755 は、電流制限回路と熱過負荷保護回路により、過大な消費電力による損傷から保護されています。ADP1754/ADP1755 は、出力負荷が 2 A (typ) に到達したとき、電流限界値に到達するようにデザインされています。出力負荷が 2 A を超えると、出力電圧を下げた一定の電流限界値を維持します。

ジャンクション温度を最大 150°C (typ) に制限する熱過負荷保護機能も内蔵しています。極端な状態(周囲温度が高く、消費電力が大きい)で、ジャンクション温度が 150°C を超え始めると、出力がターンオフして、出力電流がゼロになります。ジャンクション温度が 135°C (typ) を下回ると、出力が再びターンオンして、出力電流が公称値に戻ります。

VOUT がグラウンドへ短絡するケースを考えます。まず、ADP1754/ADP1755 は電流限界値に到達するため、2 A だけが短絡に流れます。ジャンクションの自己発熱が大きくなるため温度は 150°C を超えるので、サーマル・シャットダウンが起動して、出力がターンオフし、出力電流がゼロになります。ジャンクション温度が 135°C を下回ると、出力がターンオンして短絡に 2 A が流れて、再びジャンクション温度が 150°C を超えます。135°C と 150°C の間のこの熱的発振により、2 A と 0 A の間の電流発振が発生して、出力に短絡が残っている間この発振が続きます。

電流制限機能と熱過負荷保護機能は、偶発的な過負荷状態に対してデバイスを保護することを目的としています。信頼度の高い動作を得るためには、外部からデバイス消費電力を制限して、ジャンクション温度が 125°C を超えないようにする必要があります。

熱に対する考慮事項

信頼度の高い動作を保証するためには、ADP1754/ADP1755 のジャンクション温度が 125°C を超えないようにする必要があります。ジャンクション温度をこの最大値より低く維持するために

は、ジャンクション温度の変化に寄与するパラメータを知っておく必要があります。これらのパラメータとしては、周囲温度、パワー・デバイスの消費電力、ジャンクション—周囲間の熱抵抗(θ_{JA})などがあります。 θ_{JA} 値は、使用されるパッケージ組み立ての材料と GND ピンとパッケージの露出パッド(EPAD)が PCB 上でハンダ付けされる銅の量に依存します。表 6 に、種々の PCB 銅サイズに対する 16 ピン LFCSP の θ_{JA} 値(typ)を示します。表 7 に、16 ピン LFCSP の Ψ_{JB} 値(typ)を示します。

表 6. θ_{JA} 値(typ)

Copper Size (mm ²)	θ_{JA} (°C/W)、LFCSP
0 ¹	130
100	80
500	69
1000	54
6400	42

¹ デバイスは最小サイズのピン・パターンにハンダ付け。

表 7. Ψ_{JB} 値(typ)

Copper Size (mm ²)	Ψ_{JB} (°C/W) @ 1 W
100	32.7
500	31.5
1000	25.5

ADP1754/ADP1755 のジャンクション温度は次式で計算できます。

$$T_J = T_A + (P_D \times \theta_{JA}) \quad (4)$$

ここで、

T_A は周囲温度。

P_D はチップの消費電力で、次式で与えられます。

$$P_D = [(V_{IN} - V_{OUT}) \times I_{LOAD}] + (V_{IN} \times I_{GND}) \quad (5)$$

ここで、

V_{IN} と V_{OUT} は、それぞれ入力電圧と出力電圧。

I_{LOAD} は負荷電流。

I_{GND} はグラウンド電流。

グラウンド電流による消費電力は小さいため無視できます。したがって、ジャンクション温度の式は次のように簡単になります。

$$T_J = T_A + \{[(V_{IN} - V_{OUT}) \times I_{LOAD}] \times \theta_{JA}\} \quad (6)$$

式 6 に示すように、与えられた周囲温度に対して、ジャンクション温度が 125°C を超えないようにするため、入力と出力間の電位差、連続負荷電流、最小銅サイズ条件が PCB に対して存在します。図 36 ~ 図 41 に、さまざまな周囲温度、負荷電流、 V_{IN} — V_{OUT} 間電位差、PCB 銅面積に対するジャンクション温度計算を示します。

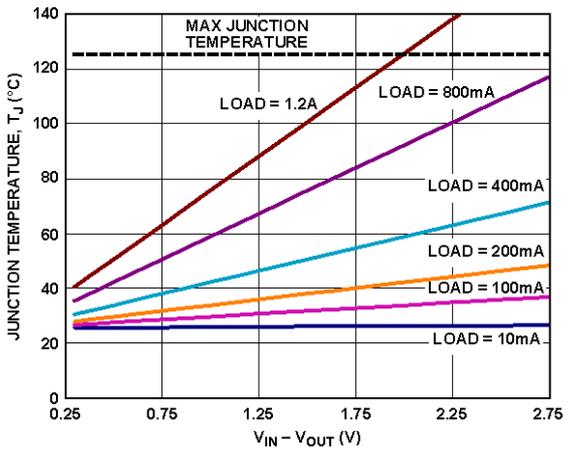


図 36.6400 mm² の PCB 銅、T_A = 25°C、LFCSP

07722-032

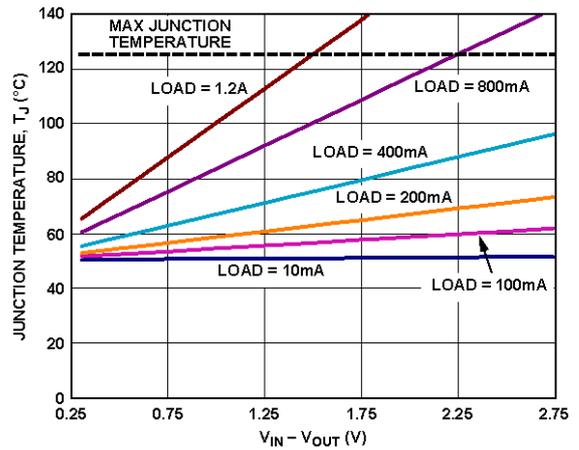


図 39.6400 mm² の PCB 銅、T_A = 50°C、LFCSP

07722-035

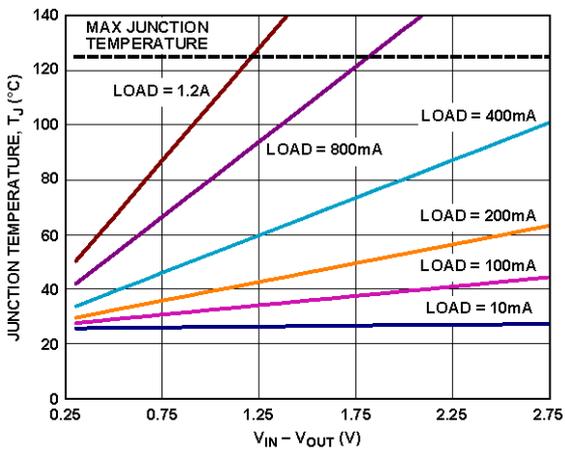


図 37.500 mm² の PCB 銅、T_A = 25°C、LFCSP

07722-033

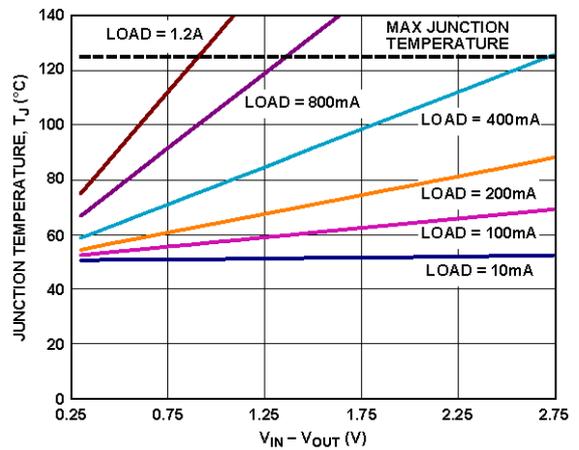


図 40.500 mm² の PCB 銅、T_A = 50°C、LFCSP

07722-036

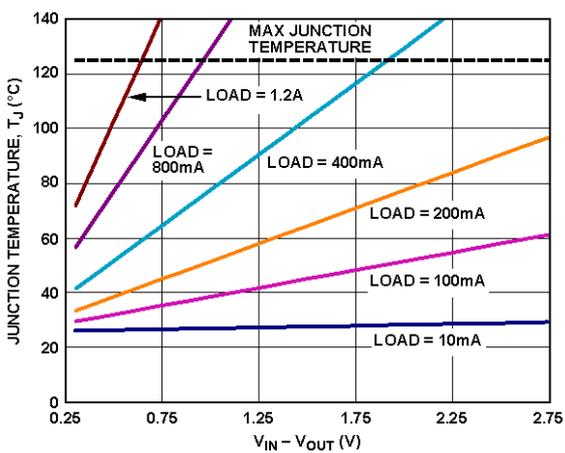


図 38.0 mm² の PCB 銅、T_A = 25°C、LFCSP

07722-034

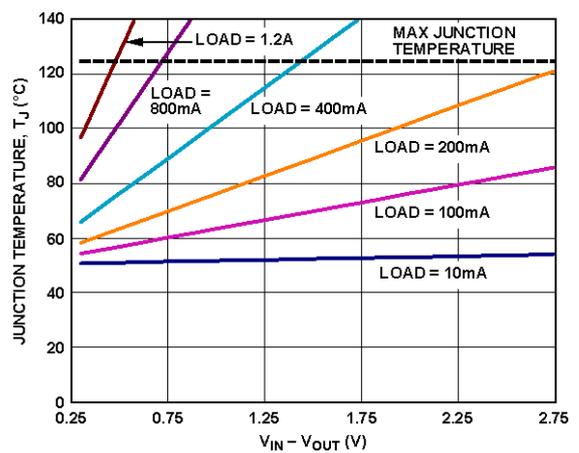


図 41.0 mm² の PCB 銅、T_A = 50°C、LFCSP

07722-037

ボード温度が既知の場合、サーマル・キャラクタライゼーション・パラメータ Ψ_{JB} を使ってジャンクション温度上昇を計算することができます。最大ジャンクション温度(T_J)は、次式を使ってボード温度(T_B)と消費電力(P_D)から計算されます。

$$T_J = T_B + (P_D \times \Psi_{JB}) \quad (7)$$

図 42 ~ 図 45 に、さまざまなボード温度、負荷電流、 $V_{IN}-V_{OUT}$ 間電位差、PCB 銅面積に対するジャンクション温度計算を示します。

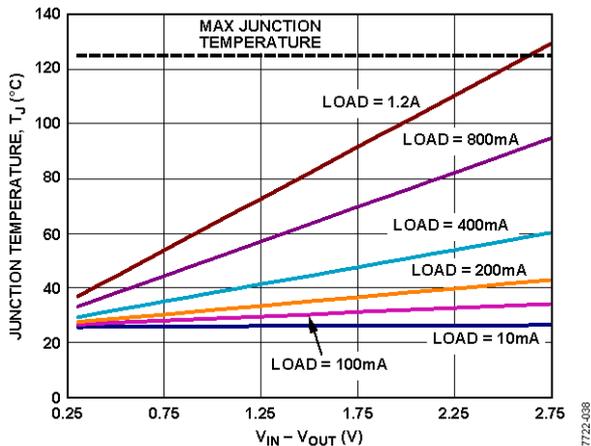


図 42. 50 mm² の PCB 銅、 $T_B = 25^\circ\text{C}$ 、LFCSP

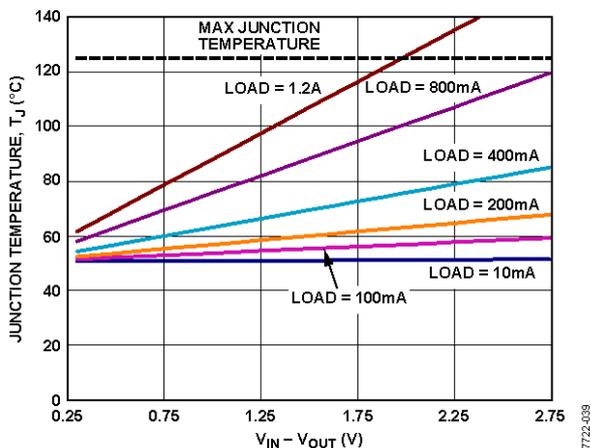


図 43. 350 mm² の PCB 銅、 $T_B = 50^\circ\text{C}$ 、LFCSP

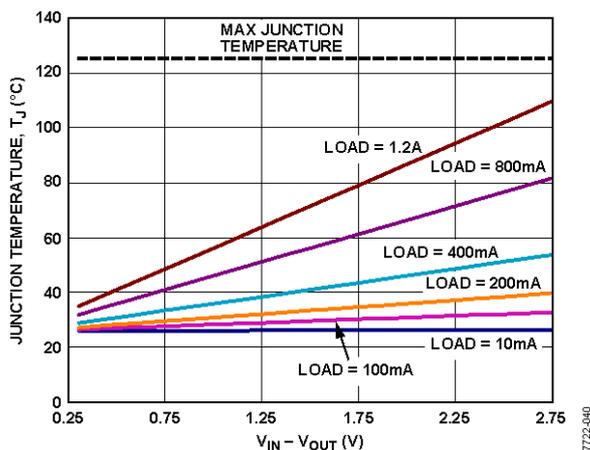


図 44. 1000 mm² の PCB 銅、 $T_B = 25^\circ\text{C}$ 、LFCSP

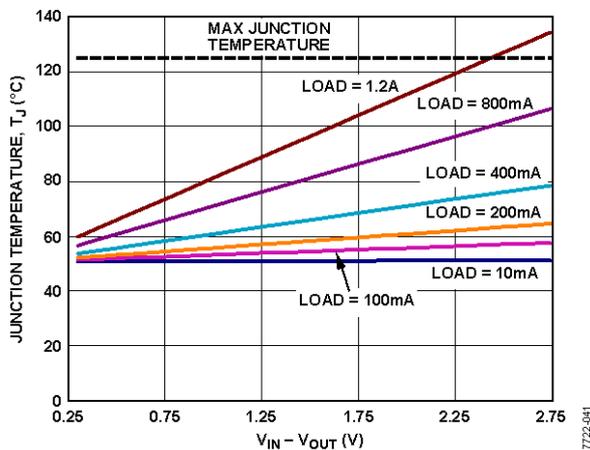


図 45. 1000 mm² の PCB 銅、 $T_B = 50^\circ\text{C}$ 、LFCSP

プリント基板レイアウト時の考慮事項

ADP1754/ADP1755のピンに接触する銅の量を増やすとパッケージからの放熱を改善することができますが、表 6 に示すように、限界点に到達して、それ以上銅サイズを増やしても熱放散を大きく改善できません。

PCB のデザインでの留意点を次に示します。

- 入力コンデンサは VIN ピンと GND ピンのできるだけ近くに配置します。
- 出力コンデンサは VOUT ピンと GND ピンのできるだけ近くに配置します。
- ソフトスタート・コンデンサは SS ピンのできるだけ近くに配置します。
- 負荷は VOUT ピンと SENSE ピン(ADP1754)または VOUT ピンと ADJ ピン(ADP1755)のできるだけ近くに接続します。

0603 または 0805 サイズのコンデンサと抵抗を使うと、面積が制限されているボード上で最小のフットプリント・ソリューションが実現できます。

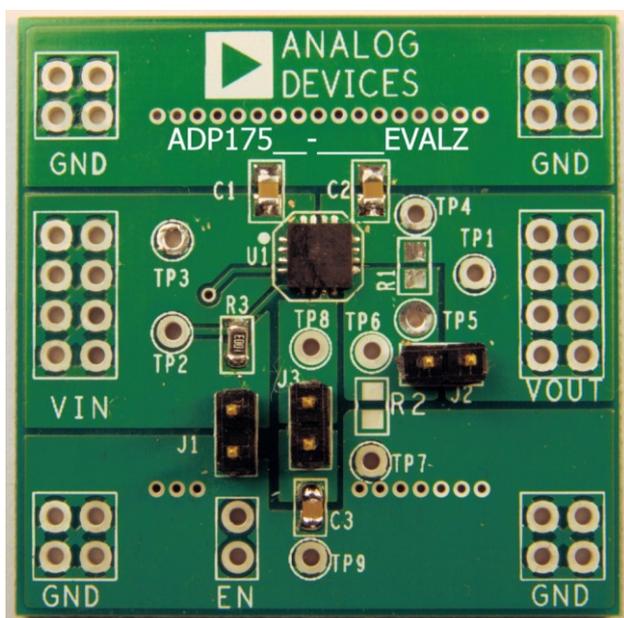


図 46.評価ボード

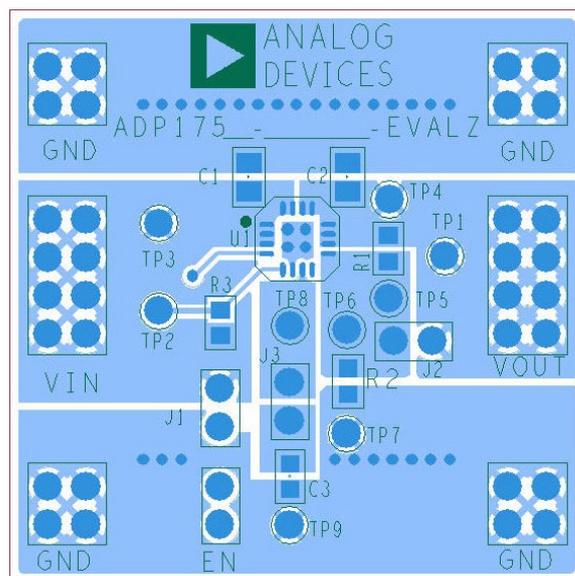


図 47.代表的なボード・レイアウト—上面

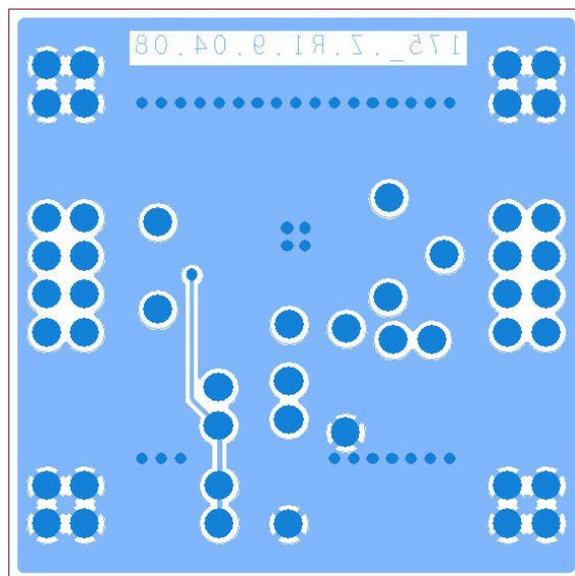


図 48.代表的なボード・レイアウト—裏面

外形寸法

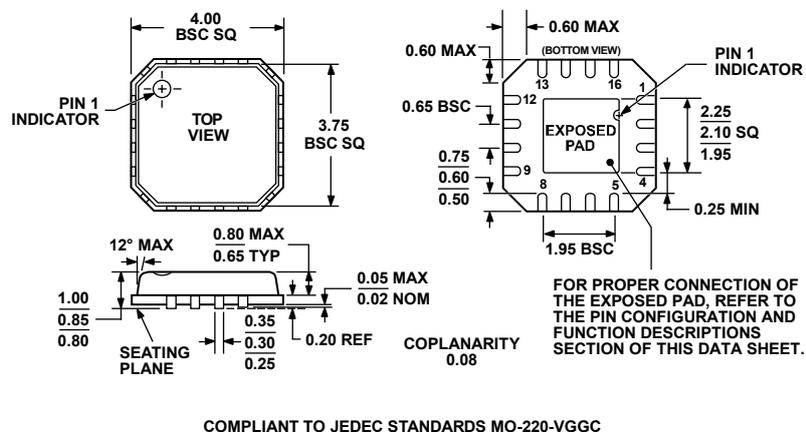


図 49.16 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP_VQ]
4 mm × 4 mm ボディ、極薄クワッド (CP-16-4)
寸法: mm

オーダー・ガイド

Model	Temperature Range	Output Voltage (V)	Package Description	Package Option
ADP1754ACPZ-0.75R7 ¹	-40°C to +125°C	0.75	16-Lead LFCSP_VQ	CP-16-4
ADP1754ACPZ-1.0-R7	-40°C to +125°C	1.0	16-Lead LFCSP_VQ	CP-16-4
ADP1754ACPZ-1.1-R7	-40°C to +125°C	1.1	16-Lead LFCSP_VQ	CP-16-4
ADP1754ACPZ-1.2-R7	-40°C to +125°C	1.2	16-Lead LFCSP_VQ	CP-16-4
ADP1754ACPZ-1.5-R7	-40°C to +125°C	1.5	16-Lead LFCSP_VQ	CP-16-4
ADP1754ACPZ-1.8-R7	-40°C to +125°C	1.8	16-Lead LFCSP_VQ	CP-16-4
ADP1754ACPZ-2.5-R7	-40°C to +125°C	2.5	16-Lead LFCSP_VQ	CP-16-4
ADP1755ACPZ-R7	-40°C to +125°C	Adjustable from 0.75 to 3.0	16-Lead LFCSP_VQ	CP-16-4
ADP1755ACPZ	-40°C to +125°C	Adjustable from 0.75 to 3.0	16-Lead LFCSP_VQ	CP-16-4
ADP1754-1.5-EVALZ		1.5	Evaluation Board	
ADP1755-EVALZ		Adjustable	Evaluation Board	

¹ Z = RoHS 準拠製品。