ANALOG DEVICES

正確な AC電力測定機能付き デジタル力率補正コントローラ

データシート **ADP1047/ADP1048**

特長

柔軟なデジタル力率補正(PFC)コントローラ
単相動作(ADP1047)、インターリーブおよびブリッジレス動作(ADP1048)
真の rms AC 電力測定
ダイナミック応答を強化
軽負荷効率性能を最適化
　出力電圧調整
　周波数低下設定
突入電流制御
EMI を改善するスイッチング周波数分散スペクトル
外部周波数同期
PMBus に準拠
　プログラマブルな AC ライン故障検出機能と保護機能
　プログラマブルな出力故障検出機能と保護機能
高信頼性システム用の広範囲な故障保護
周波数範囲: 30 kHz～400 kHz
8 kB EEPROM
使い易いグラフィカル・ユーザ・インターフェース(GUI)による設定

アプリケーション

次のアプリケーション向けの AC/DC 電源
　コンピュータ・サーバーおよびストレージ
　ネットワークおよび通信インフラストラクチャ
　工業用機器および医用機器

概要

ADP1047/ADP1048 は、AC/DCシステムの正確な入力電力測定機能と突入電流制御機能を提供するデジタル力率補正(PFC)コントローラです。ADP1047 は単相PFCアプリケーション向けに、ADP1048 は特にインターリーブおよびブリッジレスPFCアプリケーション向けに、それぞれデザインされています。

このデジタルPFC機能は、入力電流と入力電圧を組み合わせた出力電圧帰還の乗算による従来型のブーストPFCを採用してAC/DCシステムに最適な高調波補正と力率を提供します。柔軟性を良くするためすべての信号をデジタル領域に変換し、すべてのキー・パラメータはPMBus™インターフェースを介して読出し/調整することができます。ADP1047/ADP1048 を使うと、システム性能の最適化、全負荷範囲での効率の最大化、マーケット投入時間の短縮が可能になります。

ADP1047/ADP1048 は、入力の電圧、電流、電力の正確なrms測定値を提供します。この情報は、PMBusインターフェースを介して電源のマイクロコントローラへ読込むことができます。

代表的なアプリケーション回路

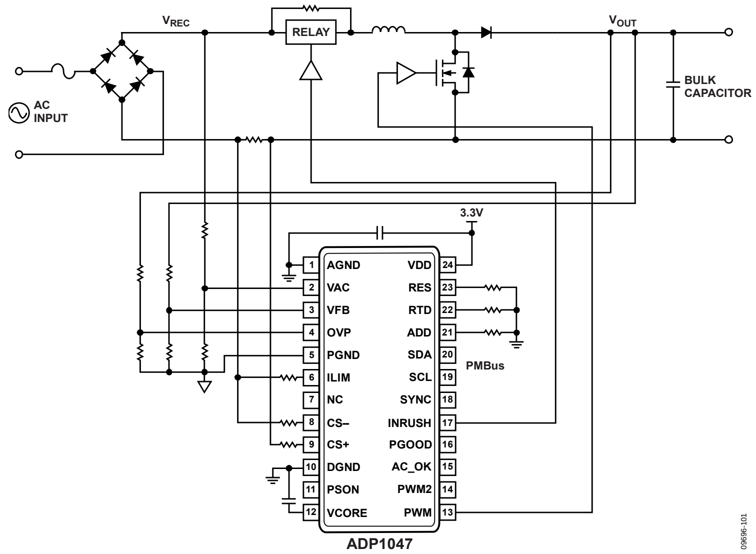


図 1.

Rev. **0**

アナログ・デバイセズ株式会社

本　　社／〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03（5402）8200
大阪営業所／〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06（6350）6868

目次

改訂履歴

9/11—Revision 0: Initial Version

この柔軟なデジタル制御 PFC エンジンと正確な入力電力測定機能との組み合わせは、エンド・ユーザのシステム効率改善の判断能力を持つインテリジェント電力管理システムに使用することができます。このデバイスは、軽い負荷での周波数低下設定機能および軽い負荷で出力電圧を低下させる機能を使って効率をさらに改善する機能もサポートしています。

ADP1047/ADP1048 は強化された内蔵機能を提供します。また、突入電流制御機能とソフトスタート制御機能により、部品数の大幅な削減が可能になり、デザインの最適化が容易になります。

このデバイスは高信頼の冗長電源アプリケーション向けにデザインされているため、独立な過電圧保護(OVP)と過電流保護(OCP)、グラウンド接続モニタ機能、AC 検出などの広範囲で堅固な保護回路を内蔵しています。外付け検出デバイスからの外部温度を記録できる温度上昇保護(OTP)機能を内蔵しています。

すべての設定値は 8 kB の内蔵 EEPROM に保存されるため、マイクロコントローラなしのスタンドアロン制御が可能です。すべてのパラメータ読出し値と調整値は、使い易い GUI を使って設定することができます。複雑な設定は不要です。

ADP1047/ADP1048 は、3.3 V単電源で動作します。このデバイスは 24 ピンQSOPパッケージを採用し、−40°C～+85°Cの周囲温度範囲で仕様が規定されています。

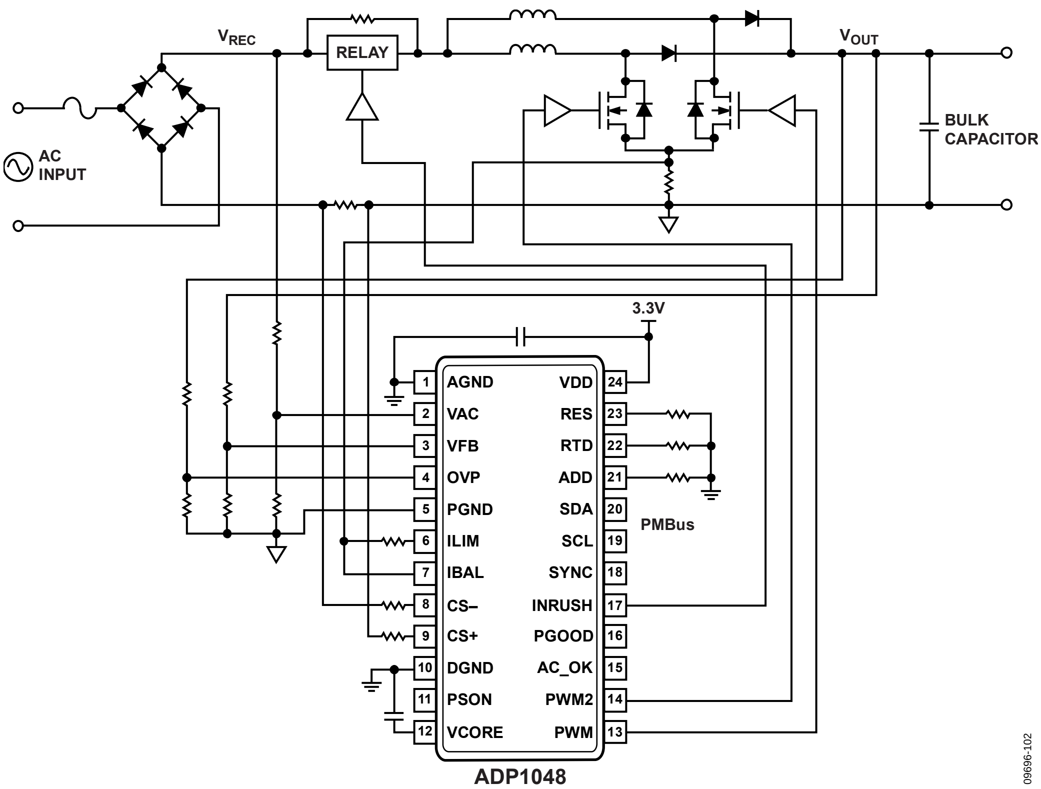


図 2.代表的なインターリーブ・アプリケーション、ADP1048

仕様

特に指定がない限り、VDD = 3.3 V、T_A = −40°C～+85°C。

表 1.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
POWER SUPPLY						
Operating Supply Voltage	VDD		3.0	3.3	3.6	V
Supply Current	I_{DD}	Normal operation (PSON high) and no load on PWM output		17	40	mA
Supply Current for Programming	I_{DD_PK}	During EEPROM programming (50 ms)		I_{DD} + 8		mA
Shutdown Current	I_{DD_SD}			100		µA
POWER-ON RESET						
Power-On Reset		VDD rising	1.8		3	V
Undervoltage Lockout	UVLO	VDD falling	2.75	2.85	2.95	V
Overvoltage Lockout	OVLO		3.7	3.9	4.1	V
VCORE PIN						
Output Voltage Range		Temperature = 25°C	2.26	2.45	2.65	V
PWM OUTPUTS		PWM, PWM2 pins				
Output Low Voltage	V_{PWMOL}	Sink current = 10 mA			0.4	V
Output High Voltage	V_{PWMOH}	Source current = 10 mA	VDD − 0.4			V
Rise Time		C_{LOAD} = 50 pF		4		ns
Fall Time		C_{LOAD} = 50 pF		4		ns
VAC ADC						
Input Voltage Range			0		1.6	V
Leakage Current					5	µA
Equivalent Resolution				11		Bits
Voltage Sense Measurement Accuracy		From 2.5% to 97.5% of input voltage range				
		VDD = 3.3 V	−1.3		+1.3	% FSR
		VDD varies from 3.0 V to 3.6 V	−1.99		+1.99	% FSR
VFB ADC						
Input Voltage Range			0		1.6	V
Equivalent Resolution				11		Bits
Voltage Sense Measurement Accuracy		From 2.5% to 97.5% of input voltage range				
		VDD = 3.3 V	−1.2		+1.2	% FSR
		VDD varies from 3.0 V to 3.6 V	−1.72		+1.72	% FSR
CURRENT SENSE ADC						
High Input Voltage Range			0		750	mV
Low Input Voltage Range			0		500	mV
Equivalent Resolution				11		Bits
Current Sense Measurement Accuracy		From 0% to 97.5% of input voltage range				
		VDD = 3.3 V	−1.7		+1.7	% FSR
		VDD varies from 3.0 V to 3.6 V	−2.06		+2.06	% FSR
Current Source		10 kΩ level shifting resistor, $V_{CS+} - V_{CS-}$ = 0 V				
High Input				74		µA
Low Input				84		µA
Current Source Resolution				±0.03		%

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
RTD PIN						
Input Voltage Range			0		0.8	V
Current Source Accuracy			9	10	11	µA
Equivalent Resolution				14		Bits
Voltage Sense Measurement Accuracy		From 2.5% to 97.5% of input voltage range				
		VDD = 3.3 V	−1.52		+1.52	% FSR
		VDD varies from 3.0 V to 3.6 V	−1.97		+1.97	% FSR
IBAL PIN (ADP1048 ONLY)		Interleaved operation mode				
Input Voltage Range			0		0.8	V
Equivalent Resolution				11		Bits
Channel Mismatch		DC input and acquiring time window on each channel is 526 µs	−5		+5	% FSR
POWER METER						
Measurement Accuracy		From 2.5% to 97.5% of input voltage range				
		VDD = 3.3 V	−2.3		+2.3	% FSR
		VDD varies from 3.0 V to 3.6 V	−2.75		+2.75	% FSR
SWITCHING FREQUENCY						
Frequency Range		Programmable	30		400	kHz
Accuracy			−3.85		+3.85	%
OSCILLATOR, CLOCK, AND PLL						
Oscillator Frequency			1.516	1.56	1.62	MHz
Digital Clock Frequency				200		MHz
PLL Frequency				200		MHz
RES PIN						
Temperature Stability			−120	0	+120	ppm/°C
PGOOD, AC_OK PINS						
Output Low Voltage					0.8	V
Output High Voltage			2.0			V
FAST OVERCURRENT PROTECTION						
Fast OCP Threshold						
Positive Signal			1455	1500	1550	mV
Negative Signal			452	500	523	mV
Current Source Accuracy				±4.4		%
Current Source Resolution				±3.2		%
Propagation Delay		From threshold trip to PWM disabled			140	ns
RMS OVERCURRENT PROTECTION						
RMS Accuracy		VDD = 3.3 V	−1.7		+1.7	%
Propagation Delay		AC line frequency = 50 Hz		12		ms
FAST OVERVOLTAGE PROTECTION						
Fast OVP Threshold		Fully programmable from 1 V to 1.5 V				
Rising		Register 0xFE2F, Bits[6: 0]	1		1.5	V
Falling		Register 0xFE30, Bits[6: 0]	1		1.5	V
OVP Threshold Minimum Step				3.9		mV
Accuracy			−4		+4	LSB
Propagation Delay (Latency)		Does not include blanking/debounce			120	ns
Blanking Time		Blanking after threshold reprogramming		10		µs

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
ACCURATE OVERVOLTAGE PROTECTION						
Accuracy		VDD = 3.3 V	−1.2		+1.2	%
Propagation Delay		AC line frequency = 50 Hz		12		ms
OPEN-LOOP PROTECTION						
VFB Error Threshold	ΔVFB		±33	±111	±242	mV
Propagation Delay				200		ns
Debounce Time				10		µs
Common-Mode Input Range			−0.2		+1.6	V
SDA, SCL PINS		VDD = 3.3 V				
Input Low Voltage					0.8	V
Input High Voltage			2.2			V
Output Low Voltage					0.4	V
Pull-Up Current			100		350	µA
Leakage Current			−5		+5	µA
SERIAL BUS TIMING						
Clock Frequency			10	100	400	kHz
Glitch Immunity	t_{SW}				50	ns
Bus Free Time	t_{BUF}		1.3			µs
Start Condition Hold Time	$t_{HD;STA}$		0.6			µs
Start Condition Setup Time	$t_{SU;STA}$		0.6			µs
Stop Condition Setup Time	$t_{SU;STO}$		0.6			µs
Data Hold Time	$t_{HD;DAT}$		300			ns
Data Setup Time	$t_{SU;DAT}$		100			ns
SCL Low Timeout	$t_{TIMEOUT}$		25		35	ms
SCL Low Time	t_{LOW}		1.3			µs
SCL High Time	t_{HIGH}		0.6			µs
Clock Low Extend Time	$t_{LOW;SEXT}$				25	ms
SCL, SDA Rise Time	t_R		20		300	ns
SCL, SDA Fall Time	t_F		20		300	ns
EEPROM RELIABILITY						
Endurance			10,000			Cycles
Data Retention		Temperature = 85°C	20			Years

絶対最大定格

表 2.

Parameter	Rating
Supply Voltage (Continuous), VDD	3.8 V
Digital Core Supply Voltage, VCORE	2.7 V
Digital Pins	−0.3 V to VDD + 0.3 V
Analog Pins	−0.3 V to VDD + 0.3 V
AGND to DGND	−0.3 V to +0.3 V
Operating Temperature Range	−40°C to +85°C
Storage Temperature Range	−65°C to +150°C
Maximum Junction Temperature	150°C
Peak Solder Reflow Temperature	
SnPb Assemblies (10 sec to 30 sec)	240°C
RoHS-Compliant Assemblies (20 sec to 40 sec)	260°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 3.熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
24-Lead QSOP (RQ-24)	44.4	6.4	°C/W

ESDの注意

ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

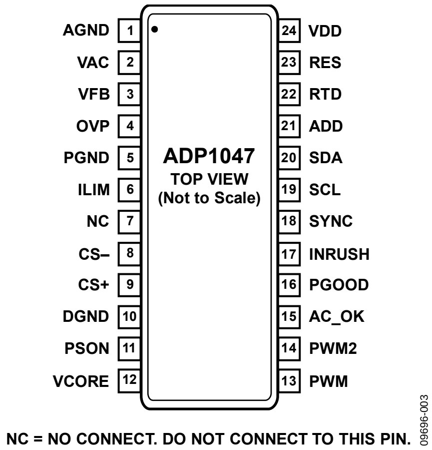


図 3.ADP1047 のピン配置

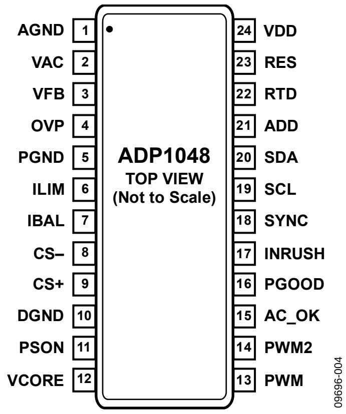


図 4.ADP1048 のピン配置

表 4.ピン機能の説明

ピン番号	記号	説明
1	AGND	アナログ・グラウンド。AGND は DGND へ直接接続する必要があります。
2	VAC	入力ライン電圧検出。VAC 信号は PGND を基準とします。
3	VFB	帰還電圧検出。 VFB 信号は PGND を基準とします。VFB は、PFC 電力回路レギュレーションに対する帰還信号です。VFB ADC へのアナログ電圧入力として使用されます。
4	OVP	過電圧保護機能。OVP 信号は PGND を基準とします。この信号は、冗長過電圧保護機能に対して使用します。
5	PGND	電源グラウンド。PGND は電源レールのグラウンド・ライン接続です。PGND と AGND の間には低インピーダンス・パスが存在する必要があります。
6	ILIM	高速電流制限。このピンは PGND を基準とします。
7	NC/IBAL	ADP1047: 未接続。このピンは接続しないでください。 ADP1048: インターリーブ動作の電流バランス入力。IBAL入力はPGNDを基準とします。
8	CS−	差動電流検出の負入力。CS−信号は、電流の測定、モニタリング、保護に使用されます。この回路の接続には 0.1%の 10 kΩ 抵抗を使用する必要があります。
9	CS+	差動電流検出の正入力。CS+信号は、電流の測定、モニタリング、保護に使用されます。この回路の接続には 0.1%の 10 kΩ 抵抗を使用する必要があります。
10	DGND	デジタル・グラウンド。DGND は AGND へ直接接続する必要があります。
11	PSON	電源イネーブル信号。PSON 信号は、PFC コントローラのイネーブル/ディスエーブルに使います。PSON 信号は DGND を基準とします。
12	VCORE	2.5 V レギュレータの出力。VCORE と DGND の間に 100 nF のコンデンサを接続してください。
13	PWM	PFC レギュレーションに対する PWM 出力。PWM 信号は AGND を基準とします。
14	PWM2	補助PWM出力(ADP1047)またはインターリーブPWM出力(ADP1048)。PWM2 信号はAGNDを基準とします。
15	AC_OK	オープン・ドレイン出力。フラグの組み合わせからユーザ設定可能な信号。AC_OK 信号は AGND を基準とします。
16	PGOOD	オープン・ドレイン出力。フラグの組み合わせからユーザ設定可能な信号。PGOOD 信号は AGND を基準とします。
17	INRUSH	外部突入ドライバに対する突入電流制御信号。このオープン・ドレイン出力は AGND を基準とします。
18	SYNC	パラレル PFC コントローラを同期させて干渉を小さくします。このピンは DGND を基準とします。
19	SCL	I^2C シリアル・クロック入力。SCL 信号は DGND を基準とします。
20	SDA	I^2C シリアル・データ入力および出力(オープン・ドレイン)。SDA 信号は DGND を基準とします。
21	ADD	アドレス・セレクト入力。ADD と AGND の間に抵抗を接続してください(PMBus アドレスのセクション参照)。
22	RTD	サーミスタ入力。RTD と AGND の間にサーミスタを接続します。RTD 信号は AGND を基準とします。
23	RES	内蔵リファレンス電圧。RES と AGND との間に 0.1%の 50 kΩ の抵抗を接続してください。
24	VDD	正の電源入力。範囲は 3.0 V～3.6 V。VDD 信号は AGND を基準とします。

機能ブロック図

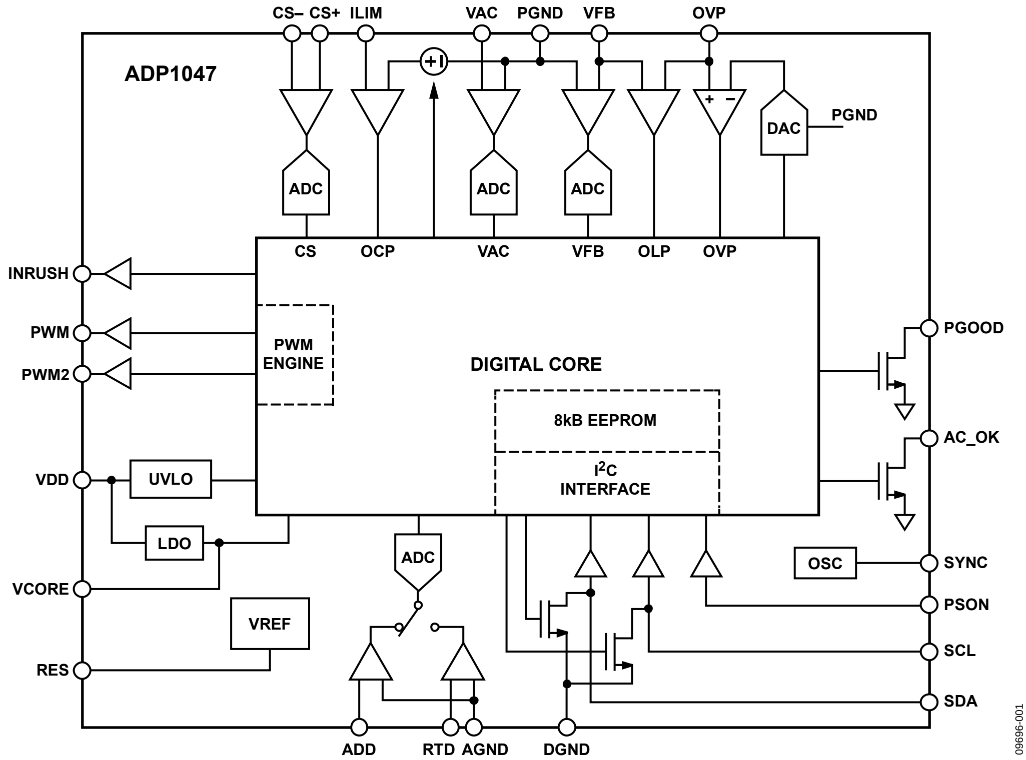


図 5.ADP1047 機能ブロック図

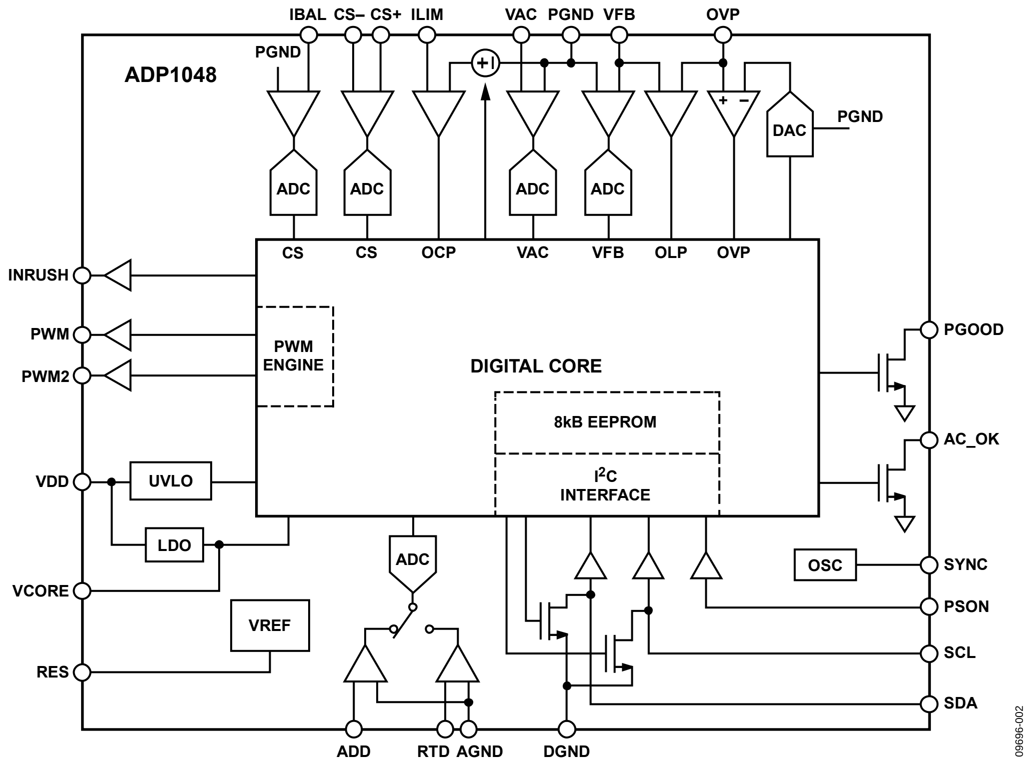


図 6.ADP1048 機能ブロック図

コントローラのアーキテクチャ

ADP1047/ADP1048 は次の機能を内蔵しています。

- 力率補正制御ループ(力率補正制御ループのセクション参照)
- 高度な入力電力測定機能(高度な入力電力測定機能のセクション参照)
- PMBus デジタル通信機能(PMBus デジタル通信のセクション参照)

このセクションでは、チップの内部アーキテクチャについて説明します。

電流検出機能

電流検出機能は、PFC ステージの制御、保護、モニタリングに使用します。通常動作では、力率補正制御ループはインダクタ電流の情報を必要とします。一般的には、入力バス上の検出抵抗を使用します。パワー・スイッチに直列接続した 2 個の電流トランスとブースト・ダイオードの組み合わせを使って、インダクタ電流を再生して、シャント抵抗での損失を小さくすることができますが、一般に、高品質のシャント抵抗を使うと、入力電流と入力電力の測定精度が向上します。

電流検出 ADC への入力は差動です。電流検出 ADC の入力範囲内で電流検出エレメントの両端の負信号をレベル・シフトするために一致した電流源の対が用意されています(図 7 参照)。

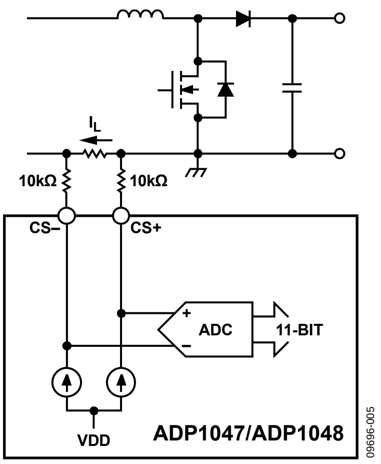


図 7.電流検出の構成

電流検出をデジタル的にキャリブレーションして外付け部品による誤差を除去することができます(電流検出のゲインとオフセットの調整のセクション参照)。このキャリブレーションは、量産環境で実施することができます。設定値は ADP1047/ADP1048 のEEPROMに保存されます。

Σ-Δ ADC の出力は次の目的に使用されます。

- 出力を制御ループのスイッチング周波数でデシメートします。電流ループ帯域幅 = 10 kHz のとき、実効ビット数(ENOB)を 7 より大きくし、電流ループ帯域幅 = 1 kHz のとき ENOB を 10 より大きくします。
- AC ライン電流および入力電力の高精度モニタリングと過電流保護(正確な OCP)のために、ラインの各半サイクルで 11 ビット変換結果が計算され、更新されます。

RMS入力過電流保護機能

ADP1047/ADP1048 は、rms過電流保護機能(OCP)を提供します。RMS OCP (または正確なOCP)は、パルス毎の瞬時高速過電流保護とは異なり、入力AC電流のrms値を使用します。

測定値は、AC ラインの各半サイクルの終わりに、IIN_OC_FAULT_LIMIT レジスタ(レジスタ 0x5B)に設定された制限値と比較されます。制限値の方が大きい場合、IIN_OC_FAULT_RESPONSE レジスタ(レジスタ 0x5C)に設定された動作が起動されます。

さらに、IIN_OC_WARN_LIMIT レジスタ(レジスタ 0x5D)に入力電流警告制限値を設定することができます。この警告制限値には対応する動作が付随しませんが、STATUS_BYTE レジスタ(レジスタ 0x78、ビット 0)、STATUS_WORD レジスタ(レジスタ 0x79、ビット 13)、STATUS_INPUT レジスタ(レジスタ 0x7C、ビット 1)のフラグが設定されます。

高速過電流保護機能(ILIMピン)

専用の電流制限ピン(ILIM)は、パルス毎の過電流からデバイスを保護するために用意されています。スレッショールドを通過すると、PWM パルスが停止します。この動作は、高速 OCP フラグの設定とは無関係です。次のスイッチング・サイクルが通常通りに再開されます。追加動作を設定することができます(表 5 参照)。

ILIM ピンの OCP コンパレータには正または負の信号を入力することができます。このピンは PGND (パワー・グラウンド)と呼ばれ、プログラマブルなレベル・シフト電流源が付いています(表 5 参照)。これらの電流源を通常動作時に変化させて、過電流保護機能が開始されるレベルを変更することができます。

また、OCP コンパレータにはプログラマブルなブランキング時間とデバウンス時間があります(表 5 参照)。OCP が起動されると、PWM 信号が停止し、レジスタ 0xFE00 の高速 OCP 応答に別の動作が指定されていない限り、次のスイッチング・サイクルで動作が再開されます。

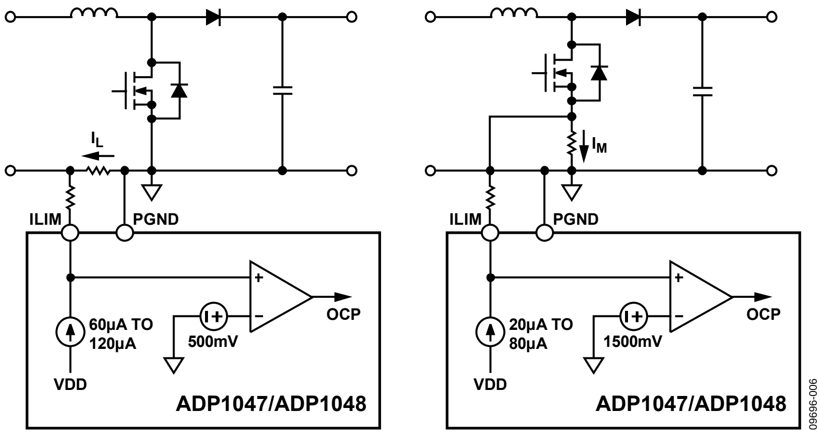


図 8.高速過電流保護機能回路

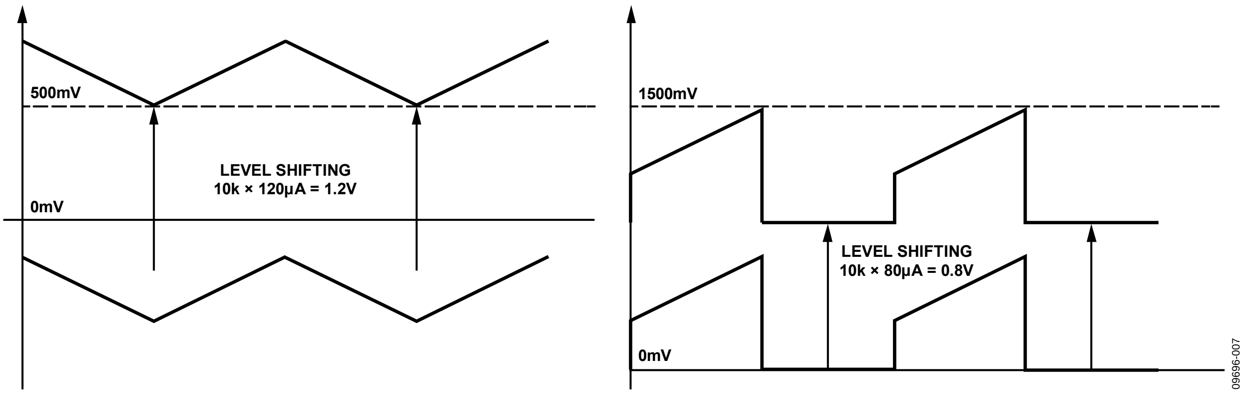


図 9.OCP のレベルシフトとスレッショールド

表 5.高速過電流保護機能に対するプログラマブルなオプション

Parameter	Values or Options	Comments
Debounce Time	40 ns, 80 ns, 120 ns, 240 ns	Register 0xFE3D, Bits[4: 3]
Blanking Time	40 ns, 80 ns, 120 ns, 160 ns, 200 ns, 400 ns, 600 ns, 800 ns	Blanking from the leading edge; Register 0xFE3D, Bits[2: 0]
Propagation Delay	140 ns typical	Fixed value; does not include blanking or debounce
Threshold Value and Polarity	500 mV (negative); 1500 mV (positive)	Fixed values
Level Shifting Current Sources	60 μA, 80 μA, 100 μA, 120 μA (negative) 20 μA, 40 μA, 60 μA, 80 μA (positive)	Register 0xFE3E, Bits[7: 5]
Actions for Fast OCP	Ignore (still terminates the PWM pulse); allow n switching cycles, then shut down and soft start; allow n switching cycles, then shut down and wait for PSON signal	n = 1, 2, 4, 8; Register 0xFE00, Bits[7: 6]

電流バランス(IBALピン、ADP1048 の場合)

ADP1048 は、インターリーブPFC回路で動作する際に各インターリーブ・フェーズで電流バランスを維持する専用回路を内蔵しています。この回路により、各インターリーブ・フェーズでインダクタとブースト・スイッチ駆動回路の許容誤差と無関係に等しい電力を提供できるようになります。

入力には、ADP1048 に特別に用意されたIBALピンを使います。電流バランス回路は、インターリーブPFC回路の両スイッチを流れる電流をモニタし、この情報を保存します。この回路はPWM信号を補償して、インターリーブ・フェーズ間で電流をバランスさせるため等しい電流が流れるようにします。回路が効果的に動作するためには、複数のスイッチング・サイクルが必要です。電流バランス設定値は、レジスタ 0xFE43 とレジスタ 0xFE95 に設定されます。

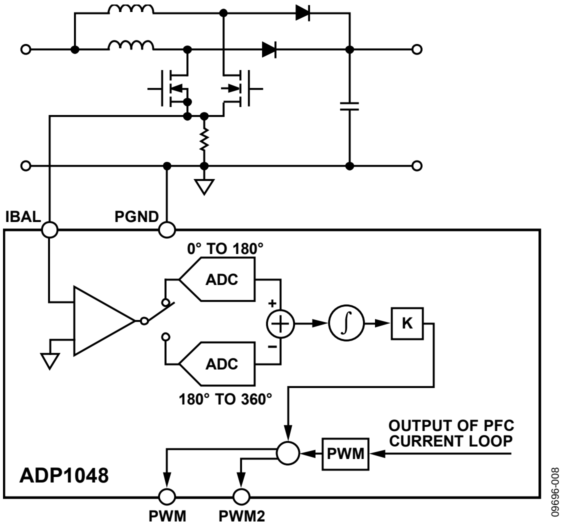


図 10.ADP1048 の電流バランス(IBAL)

電圧検出機能

電圧検出機能は、PFC ステージの制御、保護、モニタリングに使用します。入力と出力の電圧は、専用の ADC とリファレンス電圧を使って検出されます(図 11 参照)。

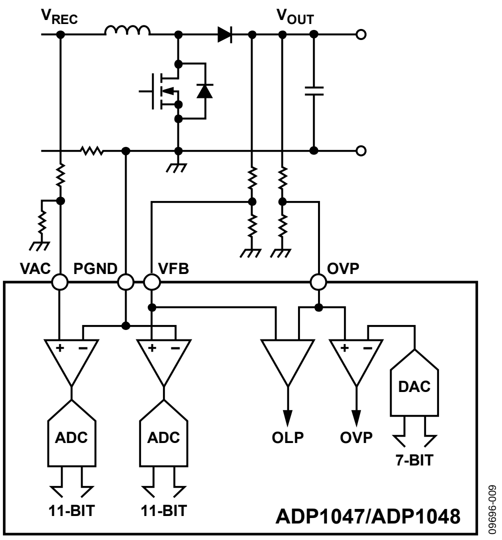


図 11.代表的な電圧検出構成

電圧検出をデジタル的にキャリブレーションして外付け部品による誤差を除去することができます(出力電圧(VFB)のキャリブレーションと調整のセクション参照)。このキャリブレーションは、量産環境で実施することができます。設定値は ADP1047/ADP1048 のEEPROMに保存されます。

入力電圧検出機能(VACピン)

VAC ピンは、整流済み電源入力電圧のモニタリングと保護のために使用されます。電源レール上の検出ポイントには、信号を ADC の動作入力範囲(0 V～1.6 V)に収める外付け抵抗分圧器が必要です。このスケールダウンした信号を高速 Σ-Δ ADC へ入力します。

Σ-Δ ADC の出力はデジタル・フィルタに入力され、次の目的に使用されます。

- 出力を制御ループのスイッチング周波数でデシメートします。電流ループ帯域幅 = 10 kHz のとき、実効ビット数(ENOB)を 7 より大きくし、電流ループ帯域幅 = 1 kHz のとき ENOB を 10 より大きくします。
- 入力電圧および入力電力の高精度モニタリングのために、ラインの各半サイクルで 11 ビット変換結果が計算され、更新されます。

出力電圧検出機能(VFBピン)

VFB ピンは、出力電圧の制御、モニタリング、保護のために使用されます。この電圧は、電源制御ループのメイン帰還ループになります。電源レール上の検出ポイントには、信号を ADC の動作入力範囲(0 V～1.6 V)に収める外付け抵抗分圧器が必要です。このスケールダウンした信号を高速 Σ-Δ ADC へ入力します。

Σ-Δ ADC の出力はデジタル・フィルタに入力され、次の目的に使用されます。

- 出力電圧値を制御する通常の制御ループのために、ラインの各半サイクルで 11 ビット変換結果が使用されます。
- 大きな過渡電圧時に出力電圧値を制御する高速電圧制御ループには、10 ビットで 1.5 kHz の更新レートが使用されます。

出力電圧帰還からの電流歪みを小さくするため、電圧ループ・フィルタの前にプリフィルタが使用されます。このプリフィルタは、入力電圧のゼロ交差点を検出してライン入力の半サイクルを識別します。次にプリフィルタは、このラインの半サイクル間に、サンプルされた VFB 信号に対して平均処理を行います。この方法で、出力バルク電圧リップルの基本周波数とその高調波は大幅に減衰させられます。

過電圧保護機能

ADP1047/ADP1048 は、ADC採用のコンパレータと高速コンパレータの 2 つのOVP回路を内蔵しています。

高精確過電圧保護機能(VFBピン)

過電圧保護機能(OVP)では、VFB ADC 出力から得られる情報を使用しています。VFB ADC からの情報は、AC ライン周波数の 1/2 間で平均化されるため、この OVP の応答は比較的低速です。

高精度 OVP のスレッショールドは、VOUT_OV_FAULT_LIMIT レジスタ(レジスタ 0x40)を使って設定することができます。設定値は DC 平均電圧です。

高精度 OVP スレッショールドを通過すると、高精度 OVP フラグが設定されます。このフラグに対する応答としては、VOUT_OV_FAULT_RESPONSE レジスタ(レジスタ 0x41)を使って複数の動作を設定することができます。ディスエーブル PWM オプションを選択する場合、レジスタ 0xFE50 を使って高精度 OVP スレッショールドに対して電圧ヒステリシスを設定することができます。

高速過電圧保護機能(OVPピン)

高速 OVP モードは、OVP ピンのプログラマブルなコンパレータを使って実現されています。高速 OVP はバルク・コンデンサの過電圧保護に使われ、オープン・ループ保護機能を提供します。電源レール上の検出ポイントには、VFB に対する分圧器に一致させる外付け抵抗分圧器が必要です。この別の分圧器の使用により、出力電圧の検出にある程度の冗長性を持たせて、システムの信頼性を向上させています。

VFB ピンの電圧分圧器が損傷するか、または値がドリフトしても、OVP ピンは過電圧状態を検出することができるため、設定された適切な動作を行うことができます。

高速 OVP 信号は、過電圧に対するトリップ・ポイントを設定するプログラマブルなスレッショールドと一緒にコンパレータへ入力されます。スレッショールドは DAC を使って設定します。

表 6.高速過電圧保護機能(高速 OVP)に対して設定可能なオプション

Parameter	Values or Options	Comments
Debounce Time	120 ns, 240 ns, 480 ns, 640 ns	Minimum duration of pulse to be considered; programmable using Register 0xFE31, Bits[1: 0]
Blanking Time	10 μs (fixed)	Duration of time while the comparator is blanked and the threshold changes from rising to falling
Propagation Delay	120 ns max (fixed)	Does not include blanking or debounce
Threshold Rising	1 V to 1.5 V	Programmable using Register 0xFE2F, Bits[6: 0]
Threshold Falling	1 V to 1.5 V	Programmable using Register 0xFE30, Bits[6: 0]
Actions for Fast OVP	Immediate shutdown and wait for PSON; disable PWM until the flag is cleared; shut down and soft start; ignore (do nothing)	Register 0xFE01, Bits[7: 6]

図 12 に、出力電圧と設定された OVP スレッショールドの例を示します。立上がりと立下がりのスレッショールド(それぞれ FAST_OVP_ FAULT_RISE と FAST_OVP_FAULT_FALL)は、高速 OVP 保護機能に使用されます。FAST_OVP_FAULT_RISE は OVP_{UP} に対応し、過電圧保護機能のトリップ・ポイントになります(図 13 参照)。FAST_OVP_FAULT_FALL は OVP_{DOWN} に対応し、高速 OVP 機能のリセット・ポイントになります。

立上がりスレッショールドがトリガされると、設定された動作が適用され、スレッショールドは設定された立下がりスレッショールドに切り替わります(設定された立下がりスレッショールドが立上がりスレッショールドと異なる場合)。

スプリアス信号を防止するためスレッショールドが切り替えられるとブランキング時間が適用されます (図 13 のタイミング図参照)。プログラマブルなデバウンス時間が、偽トリガを防止するため OVP 信号に適用されます。

立上がりと立下がりのスレッショールドは、それぞれレジスタ 0xFE2F とレジスタ 0xFE30 を使って 1 V〜1.5 V (OVP ピン上の電圧)の範囲で設定することができます。

オープン・ループ保護機能

オープン・ループ保護機能では、OVP ピンと VFB ピンの間の差を検出します。一致した抵抗分圧器がこれらのピンに使用されるため、電位差がある場合は、分圧器の抵抗値が誤っているか、接続されていないことを意味します。この場合、システムの損傷を防止するためシステムをシャットダウンすることが推奨されます。

オープン・ループ保護機能は、フルスケール範囲の約 6.6%に対応する約 100 mV を超える電位差を検出します。

10 µs のデバウンス時間を加えて、偽トリガを防止します。フィルタ・コンデンサを OVP ピンと VFB ピンに使用する場合は、時定数の差が 10 µs を超えないように注意してください。

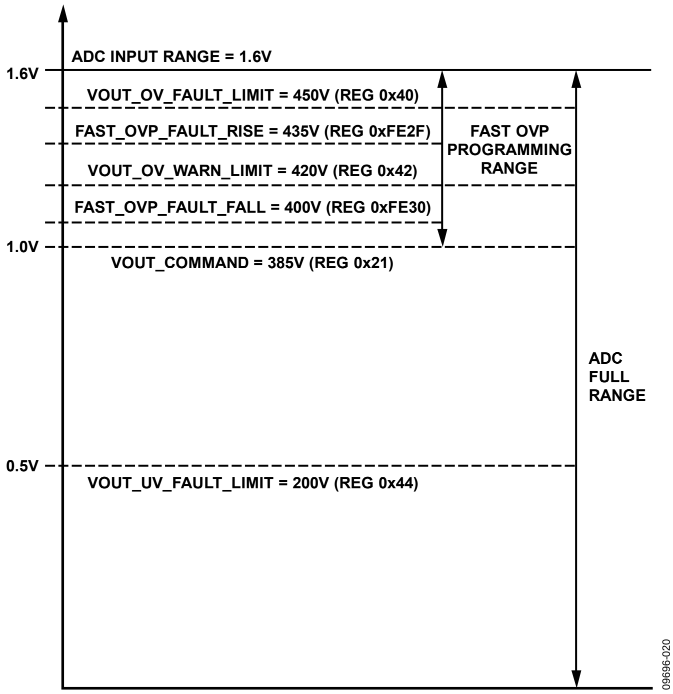


図 12.出力電圧レベル

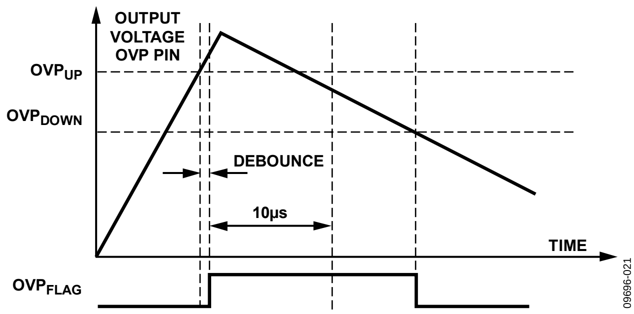


図 13.OVP スレッショールドとタイミング

表 7.オープン・ループ保護機能(OLP)に対して設定可能なオプション

Parameter	Values or Options	Comments
Debounce Time	10 µs (fixed)	Minimum duration of pulse to be considered
Propagation Delay	200 ns (fixed)	Does not include debounce
Actions for OLP	Immediate shutdown and wait for PSON; disable PWM until the flag is cleared; shut down and soft start; ignore (do nothing)	Register 0xFE02, Bits[7: 6]

力率補正制御ループ

ADP1047/ADP1048 は、従来型の乗算を採用した平均電流モード力率補正制御ループを内蔵しています。このループはデジタルで実現しているため、すべての信号はA/D変換器された後に制御ループで処理されます。Σ-Δ ADCを使って、高性能かつコスト/パフォーマンスの優れた構成になっています。各ADCには専用のリファレンス電圧があります。

デジタル補償フィルタ

ADP1047/ADP1048 は、AC電力モニタリング機能を内蔵したデジタルPFCコントローラです。これらのデバイスは、デジタル領域で専用のステート・マシンを使って実現されています。このステート・マシンにより、外付けループ補償なしでループ応答を設定することができます。

詳しい制御ループ構成を図 14 に示します。V_{REF} はデジタル・リファレンス電圧設定値で、V_{FB} は出力から検出された帰還電圧です。V_{REF} と V_{FB} の差は、最初に電圧ループ・フィルタ(H_V)で処理されます。その出力 V_{EA} に整流済み瞬時入力電圧 VAC が乗算され、VAC の rms 値の 2 乗で除算されます。その結果得られる I_{REF} は、電流のリファレンス信号として使用されます。電流ループ・フィルタ(H_I)の出力は、デューティ・サイクル・コマンドになります。式は次のようになります。

$$I_{REF} = \frac{V_{EA} \times V_{AC}}{V_{AC\_RMS}^2}$$

電圧ループ・デジタル補償フィルタ $H_V(z)$と電流ループ・デジタル補償フィルタ $H_I(z)$は、設定可能です。デジタル領域でのフィルタ伝達関数は次のようになります。

$$H(z) = k \times b \times \frac{\left(z - \frac{a}{256}\right)}{(z-1)}$$

ここで、
a はフィルタのゼロ点。
b はフィルタのゲイン。
k はスイッチング周波数に関係します。

周波数ゲインとゼロ点位置はすべて個別に設定可能であるため、アプリケーションに応じてループ応答を決定することができます。アナログ・デバイセズの GUI ソフトウェアを使って、フィルタを設定することが推奨されます(ソフトウェア GUI のセクション参照)。この GUI は、ボード線図でフィルタ応答を表示するため、電源に対するすべての安定条件を計算する際に使用することができます。

補償フィルタの最適化

ADP1047/ADP1048 では、1 個のプログラマブルな補償フィルタの代わりに、設定済みの次のフィルタを提供して、様々な動作状態を最適化するように制御ループのダイナミック応答を調整可能にしています。

- 低ライン電流フィルタ
- 高ライン電流フィルタ
- 高速電圧補償フィルタ

ACラインのrms値が高ラインと低ラインの間で設定されたスレッショールドを超えたとき、高ライン・フィルタと低ライン・フィルタの間で自動的に切り替えるように ADP1047/ADP1048 を設定することができます(高ライン・スレッショールドはレジスタ 0xFE35 に、低ライン・スレッショールドはレジスタ 0xFE36 に、それぞれ設定されます)。

ADP1047/ADP1048 は、ラインの各半サイクルでrms入力電圧値をチェックします。高ライン・スレッショールドと低ライン・スレッショールドとの間の変化が検出されると、デバイスは 4 ライン・サイクル待った後に、入力ライン・サイクルのゼロ交差点で正しいフィルタへ切り替わります。この動作は、電圧ライン・サイクルの欠落または歪によるスプリアス変化の発生を防止するために行います。

ソフトスタートでは、高速ループ・モードのイネーブルの有無に応じて、およびソフトスタート用に高ラインまたは低ラインのいずれを検出するかに応じて、フィルタの 4 つの組み合わせから 1 つを使うことができます(表 8 参照)。

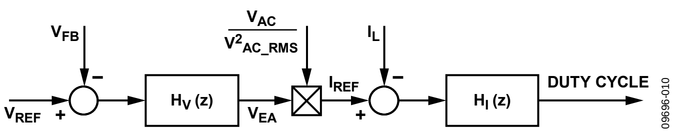


図 14.制御ループのデジタル・フィルタ

表 8.ソフトスタート用 PFC デジタル補償フィルタの一覧

Line Filter	Normal Compensation Filter	Fast Voltage Compensation Filter
High Line	High line current filter, normal voltage filter	High line current filter, fast voltage filter
Low Line	Low line current filter, normal voltage filter	Low line current filter, fast voltage filter

高速ループ・モード

過渡電圧時に高速ループ・モードをイネーブルしてループ応答を高速化します。代表的なタイミングを図 15 に示します。高速ループ・モードには別々の設定があり、負荷過渡電圧に迅速に応答するように設定することができます。アプリケーションで必要ない場合には高速ループ・モードをディスエーブルすることができます。

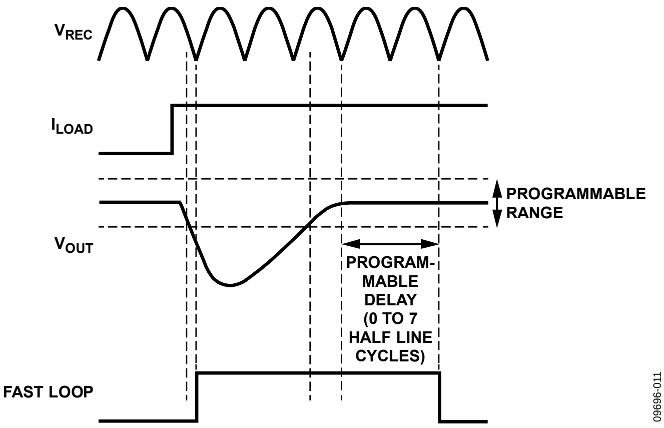


図 15.過渡応答を改善する高速ループ

高速ループ・モードをイネーブルし、かつ帰還出力電圧が所望リファレンス値(レジスタ 0xFE24 に設定される設定可能な範囲 1.5%、3%、6%、または 12%)の範囲外になると、ADP1047/ADP1048 は高速ループ・モードになります。

ADP1047/ADP1048 は通常フィルタから高速ループ・フィルタへの移行を滑らかにするため、整流済み入力電圧のゼロ交差点で切り替えます。出力電圧が設定された範囲内のレギュレーションに戻ると、コントローラは整流済み入力電圧の次のゼロ交差点で通常ループに戻ります(プログラマブルな遅延: ライン半サイクル数 0～7 後)。

出力電圧が固定の 630 ms が経過しても設定された範囲内のレギュレーションに戻らない場合は、制御ループは自動的に通常ループに戻ります。

通常補償ループでは、出力電圧のサンプリング周波数はリップル発振周波数(一般に 100 Hz または 120 Hz)と同じになります。

高速ループ動作では、帰還電圧が 1.5 kHz でサンプルされるため、高速フィルタを使用して出力電圧をレギュレーションします。出力電圧には 1.5 kHz で平均処理とデシメート処理が行われます (図 16)。

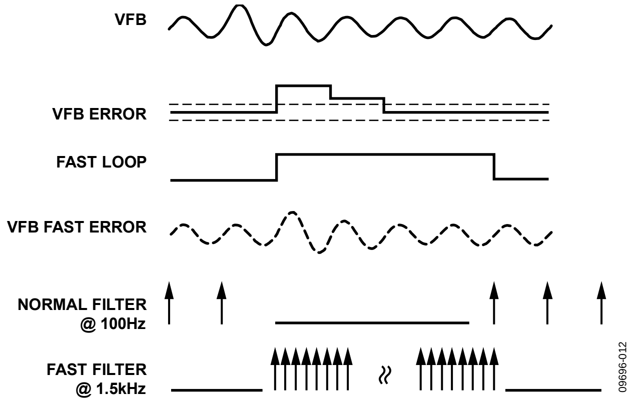


図 16.高速ループ動作

アプリケーションの要求に応じて、レジスタ 0xFE24 を設定することにより、高速ループ・モードをイネーブル/ディスエーブルすることができます。負荷過渡電圧が大きい場合には ADP1047/ADP1048 の高速ループ・モードをイネーブルすることが推奨されます。高速ループがディスエーブルされている場合でも、高速ループ・モードの設定値はソフトスタートで使用されます。

パルス幅変調

ADP1047/ADP1048 は、前縁変調または後縁変調に構成することができます。後縁変調の方が一般的な変調方式です。後縁変調を使うと、ダウンストリームでコンバータ同期した場合、バルク・コンデンサのrmsリップル電流を小さくすることができます。アナログ・デバイセズのGUIソフトウェアを使って、PWMを設定することが推奨されます(ソフトウェアGUIのセクション参照)。

デューティ・サイクル最小/最大制限値

ADP1047/ADP1048 では、PWM出力の最小オフ時間と最小オン時間を別々に設定することができます。したがって、最小デューティ・サイクルと最大デューティ・サイクルも設定することができます。

最小オフ時間は、各スイッチング・サイクルで PWM がロー・レベルになる最小時間を表します。この値は、レジスタ 0xFE15 のビット[3: 0]を使って、40 ns～1.2 µs の範囲で 80 ns ステップで設定することができます。この方法では、最大デューティ・サイクルを最小周波数では 96%～99.8% に、最大周波数では 48.8%～96.8%に、それぞれクランプすることができます。

最小オン時間は、PWM 出力で変調器が発生できる最小 PWM パルスを意味します。この値は、レジスタ 0xFE15 のビット[7: 4]を使って、0 ns～1200 ns の範囲で 80 ns ステップで設定することができます。

補助PWM出力(ADP1047 の場合)

ADP1047 では、PWM2 ピンは補助PWM出力になります。このピンはメインPWM出力とは独立にすることができます。PWM2 は、ゼロ電圧変化ソフト切り替えPFCブースト回路で補助切り替え機能の制御信号と使用することができます。

スイッチング周波数の設定

PWM 出力のスイッチング周波数は、レジスタ 0xFE1B のビット[5: 0]を使って 30 kHz～400 kHz に設定することができます(表 9)。

表 9.スイッチング周波数 30 kHz～400 kHz の設定(レジスタ 0xFE1B、ビット[5: 0])

Frequency Setting (Decimal)	Frequency (kHz)	Frequency Setting (Decimal)	Frequency (kHz)	Frequency Setting (Decimal)	Frequency (kHz)	Frequency Setting (Decimal)	Frequency (kHz)
0	30.05	16	107.76	32	204.92	48	277.78
1	32.55	17	111.61	33	208.33	49	284.09
2	35.51	18	115.74	34	211.86	50	290.70
3	39.06	19	120.19	35	215.52	51	297.62
4	43.40	20	125.00	36	219.30	52	304.88
5	48.83	21	130.21	37	223.21	53	312.50
6	52.06	22	135.87	38	227.27	54	320.51
7	55.80	23	142.05	39	231.48	55	328.95
8	60.10	24	148.81	40	235.85	56	337.84
9	65.10	25	156.25	41	240.38	57	347.22
10	71.02	26	164.47	42	245.10	58	357.14
11	78.13	27	173.61	43	250.00	59	367.65
12	86.81	28	183.82	44	255.10	60	378.79
13	97.66	29	195.31	45	260.42	61	390.63
14	100.81	30	198.41	46	265.96	62	403.23
15	104.17	31	201.61	47	271.74	63	403.23

ライン故障保護機能とソフトスタート・シーケンス

PSON動作

PMBus規格に準拠するため、ハードウェアPSONピンおよび/またはソフトウェアPSONコマンドを使って、ADP1047/ADP1048から制御するPFC回路をターンオン/ターンオフすることができます。レジスタ 0x02 のビット 2 を設定して、PSONピンおよび/またはPSONコマンドの使用を指定することができます。PSONピンを使用する場合、このピンをアクティブ・ハイまたはアクティブ・ローに設定することができます(表 18 参照)。

ACライン検出機能

ADP1047/ADP1048 はACライン入力電圧の複数のパラメータを検出することができ、必要に応じて設定した動作を実行させることができます。検出は時間測定値と電圧測定値の組み合わせで、VACピンを使って行われます。このピンは整流済みAC入力電圧を検出します。この機能を使うと、ACライン故障の早期検出とホスト・システムに対する早期警告が可能になるため、信頼性が向上します。

次の 5 個のメイン・パラメータが AC ライン検出に関係しています。

- VAC_LINE_PERIOD (レジスタ 0xFE85)
- VAC_THRESHOLD_SET (レジスタ 0xFE25)
- VAC_THRESHOLD_READ (レジスタ 0xFE26)
- MIN_AC_PERIOD_SET (レジスタ 0xFE27)
- MAX_AC_PERIOD_SET (レジスタ 0xFE28)

ACライン周期とゼロ交差点

入力 AC ライン周期は AC ライン・サイクルの半周期ごとに測定され、VAC_LINE_PERIOD レジスタ(レジスタ 0xFE85)で報告されます。

最初の 40 ms 間に、AC ライン周期がスレッショールド値を通過する 2 つの連続する立下がりの間で測定され、この値が VAC_THRESHOLD_SET レジスタ(レジスタ 0xFE25、ビット[6: 0])に設定されます。次に、AC ライン周期を 2 つの連続する立下がり交差点の間で測定して、各半ライン周期で計算した入力ライン電圧の平均値と比較します。VAC 平均測定値は、VAC_THRESHOLD_READ レジスタ(レジスタ 0xFE26、ビット[6: 0])に格納されます。

測定した周期が MAX_AC_PERIOD_SET より大きい場合、または MIN_AC_PERIOD_SET より小さい場合、デフォルトの MAX_AC_ PERIOD_SET を周期の値として使います。

図 17 に示すように、2 つの連続する交差点 B と C を使って、AC ラインのゼロ交差点が決定されます。B と C の間の中点が、ゼロ交差点として計算されます。

この情報は、制御ループと電力測定ブロックで使用されます。

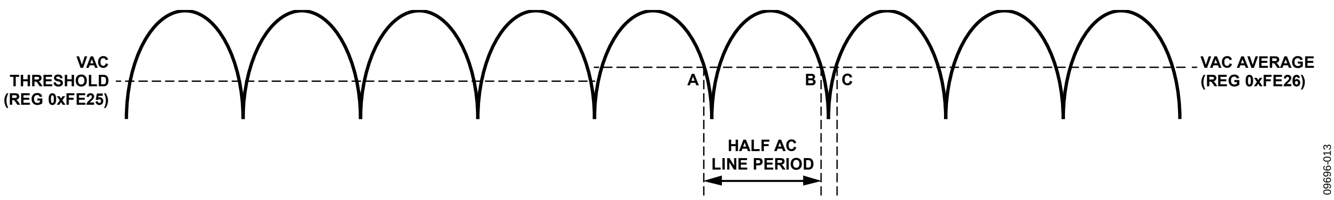


図 17.AC ライン周期の検出

ACライン値の検出

コントローラが動作するためには、AC ライン値を検出する必要があります。スタートアップ時、コントローラは PSON 信号を待ちます(デバイスの設定に応じてハードウェア PSON、ソフトウェア PSON、または両方)。

PSON 信号が発生すると、コントローラは AC ライン周期とその値を探します(図 18 参照)。

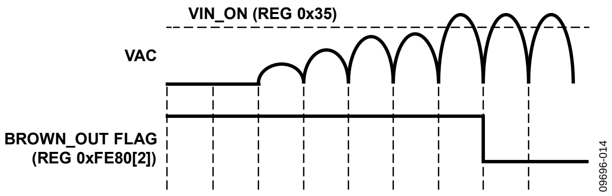


図 18.スタートアップ用の VAC 検出

スタートアップ・プロシージャを開始する際にコントローラが使用する AC ラインのスタートアップ値は、VIN_ON レジスタ(レジスタ 0x35)に格納されています。この値は、システムのスタートアップに必要とされる AC ラインの最小 rms 値です。コントローラは各半ライン・サイクルで VAC 値を測定し、この値を VIN_ON と比較します。VAC が VIN_ON レジスタ値より大きい場合、ソフトスタート・プロシージャが開始され、BROWN_OUT フラグがリセットされます。

ACラインの早期故障検出

VIN_ON 制限値を通過し、システムがスタートアップした後、コントローラは AC ラインの状態を常時モニタします(図 19 参照)。

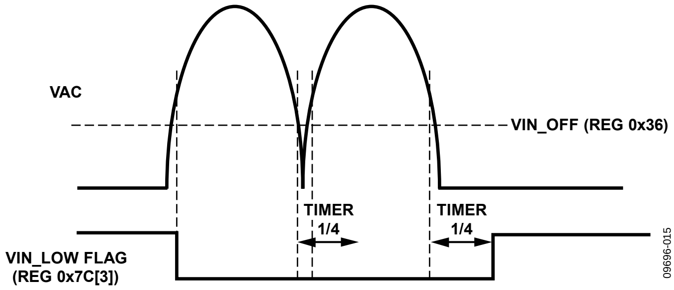


図 19.AC ラインの早期故障検出

AC ライン故障の早期検出機能を提供するため、VAC の瞬時値をレジスタ 0x36 の VIN_OFF 値と比較します。VAC が設定された周期より長い時間 VIN_OFF スレッショールドを下回っている場合、レジスタ 0x7C の VIN_LOW フラグが設定されます。周期は、検出された AC ライン周期の整数分の 1 (1/4 または 1/2)または絶対時間(2 ms または 4 ms)で設定することができます。この値はレジスタ 0xFE2E に設定されます。

コントローラの動作はありませんが、VIN_LOW 信号を使って AC_OK 信号を設定し、電源システム内で直ちに動作を開始させることができます。

VIN_OFF スレッショールドの目的は、AC ライン上の問題の早期警告だけであり、電源のシャットダウンには使われません。VIN_UV_FAULT_LIMIT レジスタ(レジスタ 0x59)は、この目的に使用されます。

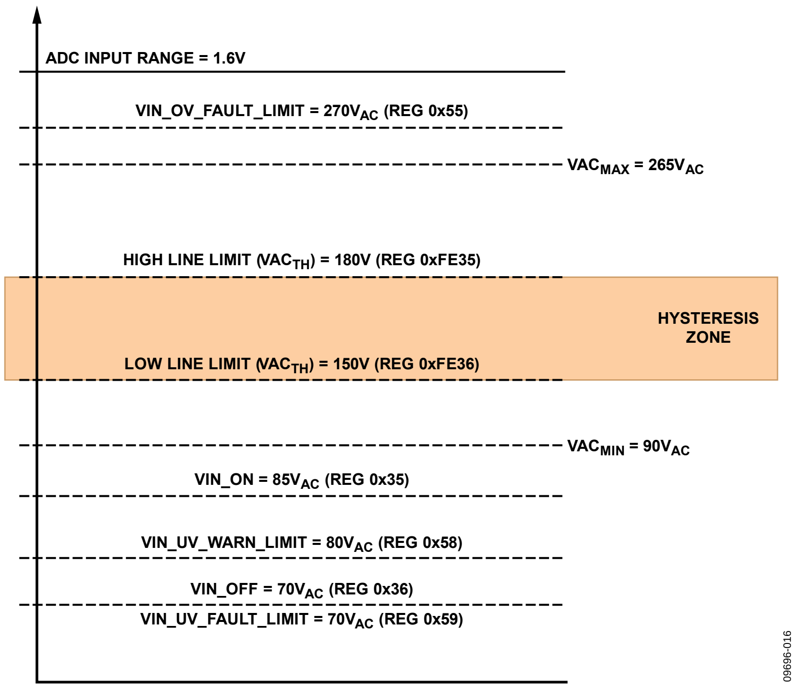


図 20.入力電圧の制限値

ソフトスタート・プロシージャ

PSON信号は、PFCステージのイネーブル/ディスエーブルに使用されます。PSONがアサートされると、ADP1047/ADP1048 は、VACのモニタリングを開始し、ACライン条件が満たされると、ソフトスタート・プロシージャが開始されます(図 21 参照)。

スタートアップは、AC ライン周波数の半周期で測定された AC ライン電圧の rms 値によりゲーティングされます。VAC が VIN_ON 値を超えると、BROWN_OUT フラグがリセットされて、ソフトスタート・シーケンスが開始されます。同時に、突入遅延時間タイマとソフトスタート遅延時間タイマのカウントが開始されます。これら両タイマは、0～7 ライン・サイクル(すなわち 2 ステップで 0～14 半ライン・サイクル)をカウントするように設定することができます。

レジスタ 0xFE2E のビット[2: 0]に設定された突入遅延時間の経過後、突入フラグがリセットされて、突入信号(ピン 17)がアサートされ、突入電流リレーが閉じます(突入フラグはアクティブ・ローであることに注意)。突入信号は、この交差が検出されると、AC 電圧のゼロ交差点でセットされます。この設定値を使うと、半導体スイッチを使う場合にゼロ電圧ターンオンが可能になります(ゼロ電圧ターンオンは機械式リレーには関係ありません)。

ソフトスタート遅延時間(レジスタ 0xFE2D のビット[5: 3]に設定)の経過後、レジスタ 0xFE2D のビット[2: 0]に設定されたソフトスタート時間に従って出力電圧がランプアップします。

ソフトスタート時に幾つかのフラグをブランクにして、ソフトスタート区間中にフラグがセットされた場合、フラグに設定された動作が発生しないようにすることができます(レジスタ 0xFE08 とレジスタ 0xFE09 参照)。

出力電圧がレギュレーション状態に到達し、すべてのフラグが OK になると、POWER_GOOD#フラグがリセットされ、PGOOD 信号(ピン 16)がロジック・レベル 1 に設定されます(POWER_GOOD#フラグはアクティブ・ローであることに注意)。

ソフトスタート時間には、112 ms、168 ms、224 ms、280 ms、392 ms、504 ms、616 ms、または 728 ms を設定することができます(レジスタ 0xFE2D、ビット[2: 0])。

ソフトスタート遅延時間(レジスタ 0xFE2D、ビット[5: 3])には、1 ステップ(すなわち整流済み 2 半ライン・サイクル)で 0～7 ライン・サイクルを設定することができます。

突入遅延時間(レジスタ 0xFE2E、ビット[2: 0])には、1 ステップ(すなわち整流済み 2 半ライン・サイクル)で 0～7 ライン・サイクルを設定することができます。

ゼロ交差点が検出されない場合、設定された最大 AC ライン周期 MAX_AC_PERIOD_SET (レジスタ 0xFE28)が使用されます。

ライン故障保護機能

ライン故障はACラインが正常に動作しない場合に発生し、AC ライン・サイクルの欠落(部分的)、電圧低下、または高い歪みレベルなどの不具合が含まれます。ライン故障が発生したとき、状況に対応するように ADP1047/ADP1048 を設定することができます。

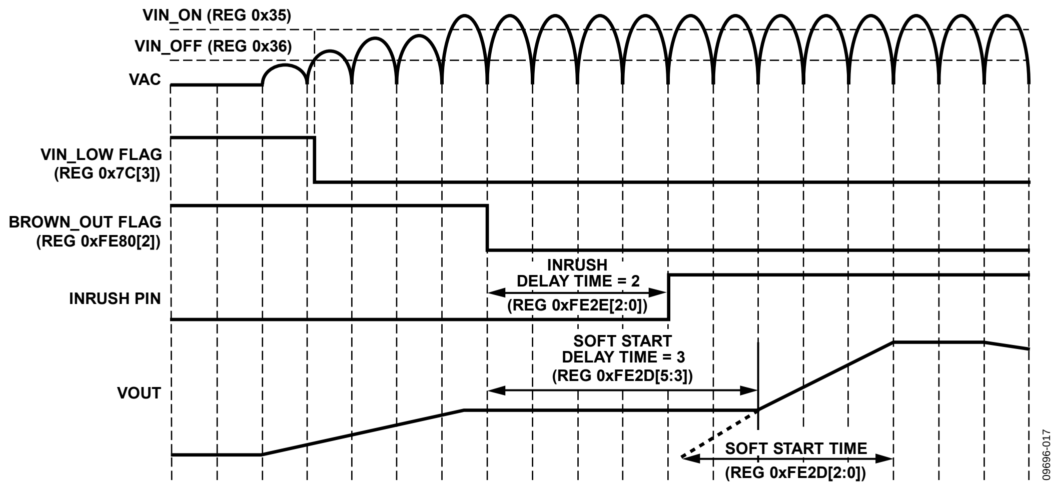


図 21. ソフトスタートと突入電流制御タイミング

ACライン・サイクルの欠落

図 22 に、代表的な AC ライン・サイクル欠落故障の例を示します。瞬時電圧が設定に応じて 1/4 または 1/2 ライン・サイクル以上 VIN_OFF を下回ると、VIN_LOW フラグがセットされます。半サイクル以上欠落している場合、システムに対する AC_OK ピンを経由する早期警告として、このフラグを使うことができます。BROWN_OUT フラグもセットされます。このフラグによりシャットダウンは発生しません。

シャットダウン用に設定された他のフラグ(この例では VOUT_UV_FAULT)がセットされた場合、電源はシャットダウンし、INRUSH ピンがアサートされ、コントローラは次のソフトスタート・サイクルに備えます。

VOUT が VOUT_UV_FAULT_LIMIT 値(レジスタ 0x44)を下回る前に BROWN_OUT フラグがクリアされると、通常モード(あるいはイネーブルされている場合には高速ループ・モード)が開始されます。その他の場合は、VOUT が VOUT_UV_FAULT_LIMIT を下回ると、INRUSH ピンがリセットされ、新しいソフトスタート・サイクルが開始されます。

PSON遅延

PSON スタート遅延はレジスタ 0xFE06 のビット[3: 2]使って設定することができます。0 ms、50 ms、250 ms、1000 ms を選択することができます。

電圧低下状態

電圧低下は、ラインが指定された最小動作レベルを下回るもう 1 つの代表的なライン故障状態です。このレベルは VIN_UV_FAULT_LIMIT (レジスタ 0x59)で設定することができます。

このフラグは、標準 PMBus フラグ応答に従って設定することができます。例えば、シャットダウンし所定遅延後にリスタートに設定することができます。

電圧低下時には、入力過電流や出力低電圧のような他の状態が発生することがあります。これらの各故障では、応答動作に基づいて出力をシャットダウンまたはディスエーブルするように設定することができます。

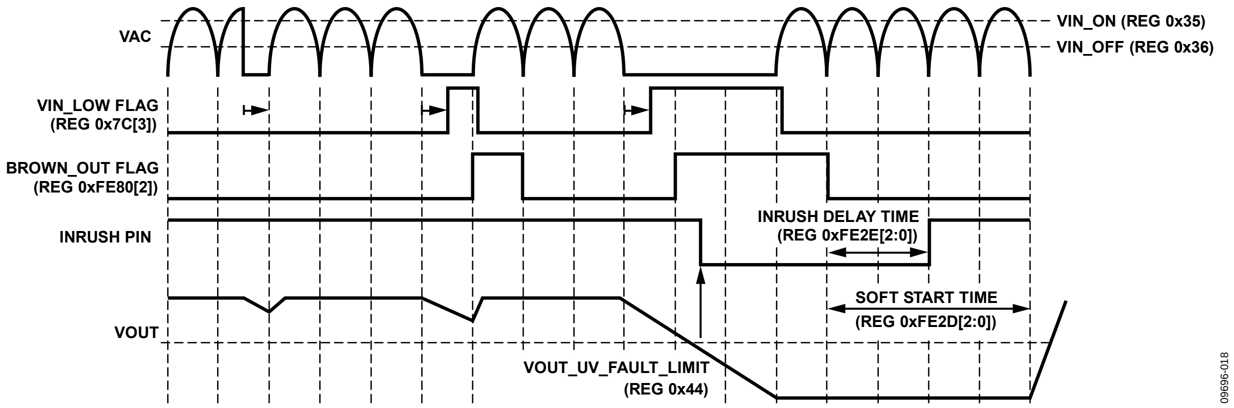


図 22.ライン故障(サイクル欠落)のタイミング図

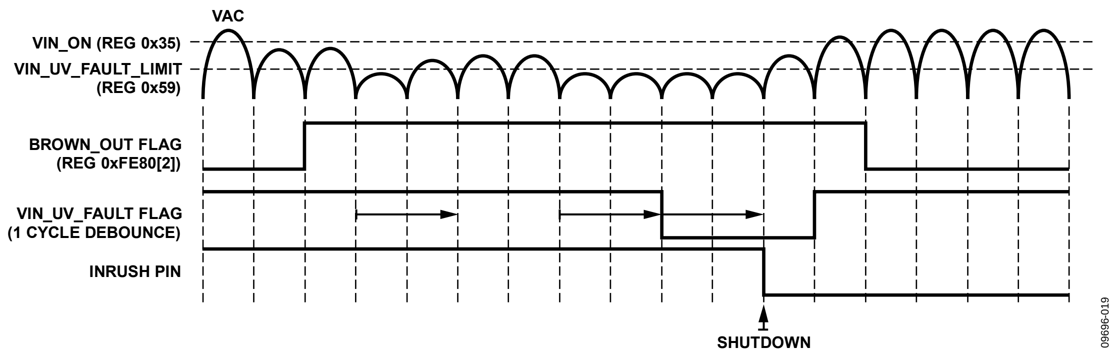


図 23.電圧低下のタイミング図(1 サイクル・デバウンスの後にシャットダウンに設定された VIN_UV_FAULT_RESPONSE レジスタ)

高度な入力電力測定機能

ADP1047/ADP1048 は、入力電圧、出力電圧、入力電流、出力電流、温度、効率などの重要な情報をモニタし、通知します。また、OVP、UVP、OCP、OTP、オープン・ループ保護機能のモニタと通知も行なっています。I^2Cインターフェースはこれらすべての値とフラグを読出し、これらのスレッショールドを設定します。内蔵EEPROMを使って、スレッショールドのすべての設定値を保存することができます。

真の rms 値は、各ライン・サイクル間に瞬時値を積分して各半 AC ライン・サイクルの終わりに計算されます。これらの値は 11 ビットの分解能を持ち、平均の計算に使用されますが、PMBus インターフェースを介して読出すことはできません。

平均処理ウインドウは、レジスタ 0xFE3A を使ってゼロ・フル・ライン・サイクル～4096 フル・ライン・サイクルに設定することができます。各平均処理周期の終わりに、平均電力の新しい値が READ_PIN レジスタ(レジスタ 0x97)に書込まれ、次の平均処理周期の終わりに次の平均値で上書きされる前にインターフェースを介して読出すことができます。

このため、PMBus インターフェースを介して平均電力を読出す際に使用するポーリング周波数は、データ・インテグリティを維持するため、平均処理ウインドウに等しいかそれより大きい必要があります。平均処理ウインドウは、様々な状況に対応するため広い範囲の時間に設定することができます。

入力電圧、入力電流、出力電圧、入力電力は、次のレジスタでリニア・フォーマットで報告されます。

- 入力電圧: READ_VIN (レジスタ 0x88)
- 入力電流: READ_IIN (レジスタ 0x89)
- 出力電圧: READ_VOUT (レジスタ 0x8B)
- 入力電力: READ_PIN(レジスタ 0x97)

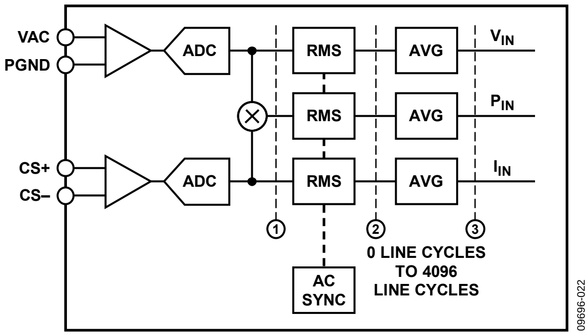


図 24.電力モニタリングのブロック図

表 10.V_{IN}、I_{IN}、P_{IN}、V_{OUT}のデータ・フォーマットと範囲

Metering Data	Mantissa (Bits)	Exponent (N)	Minimum Range	Minimum LSB	Maximum Range	Maximum LSB
V_{IN}	11	−3 to −1	256 V	0.125 V	1024 V	0.5 V
I_{IN}	11	−10 to −5	2 A	0.976 mA	64 A	0.03125 A
P_{IN}	11	−4 to +3	256 W	125 mW	32.8 kW	16 W
V_{OUT}	11	−3 to 0	256 V	0.125 V	2048 V	1 V

電源システムと故障モニタリング

ADP1047/ADP1048 は広範囲なシステムと故障のモニタリング機能を内蔵しています。システム・モニタリング機能には、電圧、電流、電力、温度の読出しが含まれます。故障状態には、電流、電圧、電力、温度の制限値外が含まれます。故障状態の制限値は設定可能です。所定のスレッショールドまたは制限値を超えると、フラグの広範囲なセットがセットされます。これらのフラグを表 11 と表 12 に示します。

フラグの表記法

フラグは故障状態を表示するため、故障または不具合状態が発生するとフラグがセットされます(= 1 すなわちハイ・レベル)。POWER_GOOD#や AC_OK のような正常フラグは、アクティブ・ロー・フラグになっています。例えば、POWER_GOOD# = 1 は問題であることを表示します。

フラグに関係する信号はアクティブ・ハイであることに注意してください。例えば、POWER_GOOD#フラグが 1 に設定されると、PGOOD ピンはロジック・レベル 0 になります。これは、ピンで POWER_GOOD#フラグが反転されてアクティブ・ハイ信号になるためです。

メーカー固有のフラグ

メーカー固有のフラグとは、PMBus 仕様で規定されていないフラグです。幾つかのフラグは単に状態を表示します(典型的には警報フラグ)。幾つかのフラグに対する応答は個別に設定可能です(典型的には故障フラグ)。

ラッチ型故障レジスタのセットもあります。これらのレジスタには、同じフラグが配置されていますが、間欠的な故障を検出するためフラグがセットされたままになります。ラッチ型レジスタを読出すと、そのレジスタのフラグがリセットされます。ラッチ型故障レジスタとしては、レジスタ 0xFE80、レジスタ 0xFE81、レジスタ 0xFE82 があります。

表 11.メーカー固有フラグの一覧

Bit Name	Address	Description (1 = Flag Set)	Action
MAX_MODULATION	0xFE80[7]	The maximum modulation limit is reached.	
MIN_MODULATION	0xFE80[6]	The minimum modulation limit is reached.	
OLP	0xFE80[5]	Signals a difference of more than ~100 mV between the VFB and OVP signals (one of the two voltage dividers is probably disconnected or malfunctioning).	Programmable
FAST_OVP	0xFE80[4]	The threshold set for the comparator on the OVP pin has been crossed.	Programmable
AC_PERIOD	0xFE80[3]	The controller is not able to detect the ac line period; the maximum value of the period is used and this flag is set.	
BROWN_OUT	0xFE80[2]	VAC is lower than the value stored in VIN_ON (Register 0x35).	Can set AC_OK flag
SOFT_START	0xFE80[1]	The system is in soft start sequence; fast loop filter is in use.	
INRUSH	0xFE80[0]	INRUSH control relay is off.	INRUSH pin (can also set AC_OK flag)
EEPROM_UNLOCKED	0xFE81[6]	EEPROM is unlocked and its contents can be written.	
EEPROM_CRC	0xFE81[5]	The downloaded contents of the EEPROM are incorrect.	
I2C_ADDRESS	0xFE81[4]	The resistor on the ADD pin has a value that can cause an error in the address assignment (the address falls too close to the threshold between two addresses).	
LOW_LINE	0xFE81[3]	The input voltage is higher than the high line threshold.	Programmable
FAST_OCP	0xFE81[2]	The threshold set for the comparator on the ILIM pin has been crossed.	Programmable
SYNC_LOCK	0xFE81[1]	External synchronization frequency is locked.	
AC_OK	0xFE81[0]	The output of the AC_OK pin is low. (This flag is a programmable combination of other internal flags and refers to the condition of the input voltage.)	AC_OK pin
LOW_POWER	0xFE82[5]	The input power has dropped below the threshold for low power mode operation.	Programmable
FAST_LOOP	0xFE82[4]	The fast loop compensation filter is in use.	Can set POWER_GOOD# flag
VCORE_OV	0xFE82[3]	An overvoltage condition is present on the VCORE rail.	Programmable
VDD_3.3V_OV	0xFE82[2]	An overvoltage condition is present on the VDD rail.	Programmable
VDD_3.3V_UV	0xFE82[1]	An undervoltage condition is present on the VDD rail.	Shutdown

標準PMBusフラグ

標準 PMBus フラグの対応するビットが STATUS_WORD レジスタまたは STATUS_BYTE レジスタでセットされると、設定された動作が図 25 に示すように実行されます。

図 25 に、レジスタ 0x41、レジスタ 0x45、レジスタ 0x50、レジスタ 0x56、レジスタ 0x5A、レジスタ 0x5C の 6 個の標準 PMBus 故障応答レジスタのビットを示します。6 個のすべての PMBus 故障応答レジスタは同じフォーマットを使います。詳細については、PMBus 故障フラグ応答のセクションを参照してください。

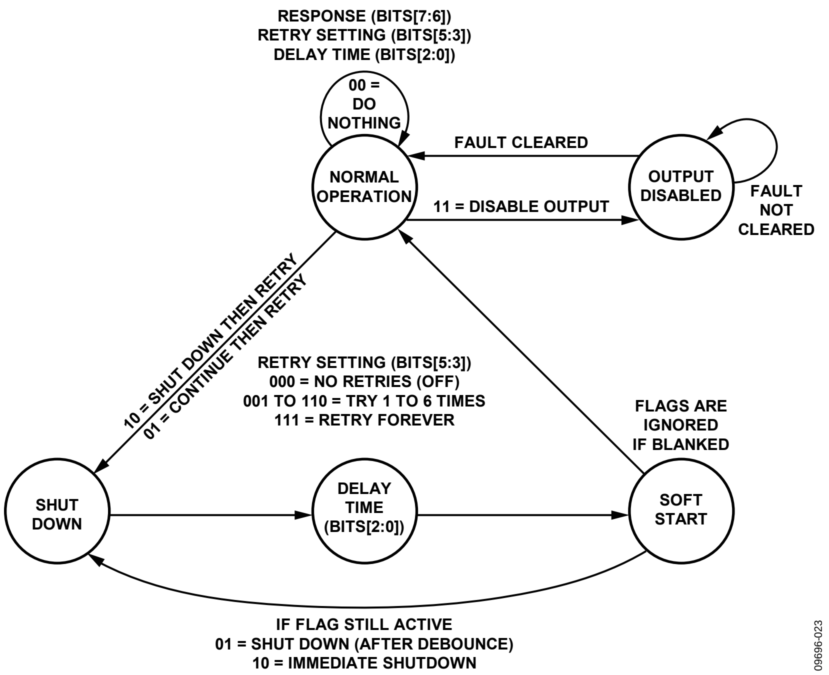


図 25.標準 PMBus 故障応答

表 12.ADP1047/ADP1048 に内蔵されている標準PMBusフラグの一覧

Name	Address	Description	Action
STATUS_BYTE (0x78)			
PSON_OFF	0x78[6]	Power supply on signal: this flag indicates that the PSON signal (hardware or software) is inactive.	
VOUT_OV	0x78[5]	General output overvoltage fault. This flag is a combination (OR) of any output overvoltage flag: Register 0x7A[7] and Register 0xFE80[4] (FAST_OVP).	Programmable
VIN_UV	0x78[3]	General input undervoltage fault (same data as in Register 0x7C[4]).	Programmable
TEMPERATURE	0x78[2]	Temperature fault or warning.	Programmable
CML	0x78[1]	Communications, memory, or logic fault.	
NONE_OF_THE_ABOVE	0x78[0]	A fault or warning not listed in Register 0x78[7: 1].	
STATUS_WORD (0x79)			
VOUT	0x79[15]	Any fault or warning on the output voltage (overvoltage, undervoltage, fast OVP, or accurate OVP).	
INPUT	0x79[13]	Input voltage, input current, or input power fault or warning (same data as in Register 0x7C, Bits[7: 0]).	
MFR	0x79[12]	Manufacturer-specific fault or warning (same data as in Register 0xFE80, Register 0xFE81, and Register 0xFE82).	
POWER_GOOD#	0x79[11]	Power good. This flag is a programmable combination of other internal flags and refers to the condition of the output voltage. This flag sets the PGOOD pin. The POWER_GOOD# flag is an inverted version of the PGOOD pin.	PGOOD pin
UNKNOWN	0x79[8]	A fault or warning not listed in Bits[15: 1].	

Name	Address	Description	Action
STATUS_VOUT (0x7A)			
VOUT_OV_FAULT	0x7A[7]	The output voltage is above the VOUT_OV_FAULT_LIMIT.	Programmable
VOUT_OV_WARN	0x7A[6]	The output voltage is above the VOUT_OV_WARN_LIMIT.	
VOUT_UV_WARN	0x7A[5]	The output voltage is below the VOUT_UV_WARN_LIMIT.	
VOUT_UV_FAULT	0x7A[4]	The output voltage is below the VOUT_UV_FAULT_LIMIT.	Programmable
STATUS_INPUT (0x7C)			
VIN_OV_FAULT	0x7C[7]	The input voltage on VAC is larger than the value in VIN_OV_FAULT_LIMIT.	Programmable
VIN_UV_WARN	0x7C[5]	The input voltage on VAC is smaller than the value in VIN_UV_WARN_LIMIT.	
VIN_UV_FAULT	0x7C[4]	The input voltage on VAC is smaller than the value in VIN_UV_FAULT_LIMIT.	Programmable
VIN_LOW	0x7C[3]	VAC is lower than VIN_OFF. This signal shuts down the power supply.	Can set AC_OK flag
IIN_OC_FAULT	0x7C[2]	The input current measured on the CS ADC is larger than the value in IIN_OC_FAULT_LIMIT.	Programmable
IIN_OC_WARN	0x7C[1]	The input current measured on the CS ADC is larger than the value in IIN_OC_WARN_LIMIT.	Can set AC_OK flag
PIN_OP_WARN	0x7C[0]	Input overpower warning.	
STATUS_TEMPERATURE (0x7D)			
OT_FAULT	0x7D[7]	The measured temperature is above the value set in OT_FAULT_LIMIT.	Programmable
OT_WARN	0x7D[6]	The measured temperature is above the value set in OT_WARN_LIMIT.	

PMBus故障フラグの応答

すべての PMBus 故障応答レジスタは同じフォーマットを使います。6 個の PMBus 故障応答レジスタは次の通りです。

- VOUT_OV_FAULT_RESPONSE (レジスタ 0x41)
- VOUT_UV_FAULT_RESPONSE (レジスタ 0x45)
- OT_FAULT_RESPONSE (レジスタ 0x50)
- VIN_OV_FAULT_RESPONSE (レジスタ 0x56)
- VIN_UV_FAULT_RESPONSE (レジスタ 0x5A)
- IIN_OC_FAULT_RESPONSE (レジスタ 0x5C)

標準 PMBus 故障応答レジスタは、応答タイプを指定するビット[7: 6]、リトライ設定値を指定するビット[5: 3]、遅延情報を格納するビット[2: 0]の 8 ビットで構成されています。

ビット[7: 6]は応答タイプを次のように指定します。

- ビット[7: 6] = 00 (無視)。対応する故障フラグがセットされると、アクションはなく電源は通常通り動作します。
- ビット[7: 6] = 01 または 10 (シャットダウンしリトライ)。対応する故障フラグがセットされると、システムがシャットダウンし、ビット[5: 3]で設定された回数だけリトライします。01 オプションと 10 オプションの違いは、ビット[7: 6] = 01 のとき、デバウンス(ビット[2: 0]に設定)がフラグに適用されることです。
- ビット[7: 6] = 11 (出力をディスエーブル)。対応する故障フラグがセットされると、システムはシャットダウン/ソフトスタート・シーケンスを実行しません。その代わり、フラグがクリアされるまで出力がディスエーブルされたままになります。このオプションを選択するとき、システムが無限ループに陥る危険があるため、このオプションの選択には注意が必要です。

同時故障

複数の故障が同時に発生すると、ステート・マシンは高い優先順位の応答を実行します。フラグ優先の順位は、ビット[7: 6]に指定される故障応答により決定されます。これらの 2 ビットの値が大きいほど、優先順位が高くなります。

例えば、出力をディスエーブルするように OVP を設定(ビット[7: 6] = 11)し、かつシャットダウンして遅延の後にリトライするように OCP を設定(ビット[7: 6] = 01)した場合に両故障が同時に発生すると、OVP 動作が先に実行されます。OVP 状態がクリアされ、かつ OCP フラグがセットされたままの場合は、OCP に設定された動作が実行されます。

複数の故障が同時に発生し、かつすべての故障が同じ応答優先順位を持つ場合には、最小のリトライ設定値を持つ故障が優先されます。例えば、ある故障のリトライ設定値が 011 に設定され、他の故障のリトライ設定値が 001 に設定されている場合、小さいリトライ値が実行されます。

メーカー固有フラグの応答

メーカー固有フラグを使うと、標準 PMBus フラグとは異なる応答が可能になります。これは、これらのフラグの方が高速で、場合によっては、パルスごとに動作するためです。

高速OCPフラグの応答(レジスタ 0xFE00)

高速 OCP フラグは、ILIM ピンに接続されたコンパレータで発生する過電流状態に応答します。このコンパレータはパルス毎の電流制限機能を実行します(高速過電流保護機能(ILIM ピン)のセクション参照)。

このフラグにはビット[7: 6]を使って 4 種類のアクションを設定することができます。設定されたフラグ応答に関係なく、コンパレータに対して設定されたスレッショールドを超えると、PWM パルスは必ず停止されます。

- 00 (無視、アクションなし)。アクションは発生しません。OCP 状態が続く限り PWM パルスは停止したままになります。
- 01 (シャットダウン後にソフトスタート)。電源がシャットダウンし、IIN_OC_FAULT_RESPONSE レジスタ(レジスタ 0x5C、ビット[2: 0])で指定された遅延経過後にソフトスタート・シーケンスが開始されます。
- 10 (シャットダウン後 PSON を待ちます)。ビット[5: 4]で指定されるスイッチング・サイクル数が経過した後、電源はシャットダウンし PSON 信号が受信されるまでシャットダウンしたままになります。
- 11 (フラグがクリアされるまで PWM をディスエーブルします)。ビット[5: 4]で指定されたスイッチング・サイクル数が経過した後、PWM がディスエーブルされ、フラグがクリアされるまでディスエーブルのままになります。ソフトスタートは開始されません。

高速OVPフラグの応答(レジスタ 0xFE01)

高速 OVP フラグは、OVP ピンに接続されたプログラマブルなコンパレータで発生する過電圧状態に応答します。このコンパレータは常時出力電圧とその動作をモニタします(高速過電圧保護機能(OVP ピン)のセクション参照)。

このフラグには 4 種類のアクションを設定することができます。

- 00 (無視、アクションなし)。アクションは発生しません。
- 01 (シャットダウン後にソフトスタート)。電源がシャットダウンし、VOUT_OV_FAULT_RESPONSE レジスタ(レジスタ 0x41、ビット[2: 0])で指定された遅延経過後にソフトスタート・シーケンスが開始されます。
- 10 (直ちにシャットダウンした後 PSON を待ちます)。電源はシャットダウンし、PSON 信号が受信されるまでシャットダウンしたままになります。
- 11 (フラグがクリアされるまで PWM をディスエーブルします)。PWM がディスエーブルされ、フラグがクリアされるまでディスエーブルのままになります。フトスタートは実行されません。

OLPフラグの応答(レジスタ 0xFE02)

OLP フラグは、OVP ピンと VFB ピンの間の差に応答します。オープン・ループ保護機能は、フルスケール範囲の約 6.6%に対応する約 100 mV を超える電位差を検出します(オープン・ループ保護機能のセクション参照)。

このフラグには 4 種類のアクションを設定することができます。

- 00 (無視、アクションなし)。アクションは発生しません。
- 01 (シャットダウン後にソフトスタート)。電源がシャットダウンし、VOUT_OV_FAULT_RESPONSE レジスタ(レジスタ 0x41、ビット[2: 0])で指定された遅延経過後にソフトスタート・シーケンスが開始されます。
- 10 (直ちにシャットダウンした後 PSON を待ちます)。電源はシャットダウンし、PSON 信号が受信されるまでシャットダウンしたままになります。
- 11 (フラグがクリアされるまで PWM をディスエーブルします)。PWM がディスエーブルされ、フラグがクリアされるまでディスエーブルのままになります。フトスタートは実行されません。

VDDとVCOREのOVフラグの応答(レジスタ 0xFE03 とレジスタ 0xFE04)

これらの 2 つのフラグは、VDD (3.3 V)レールと VCORE (2.5 V)レールの過電圧状態に応答します。デジタル・コントローラの正常動作のためには、これらのレールを適切にデカップリング/フィルタする必要があります。フラグを無視するか、シャットダウンしリスタートするようにコントローラを設定することができます。2.56 μs または 660 μs のデバウンス時間を設定することができます。

また、リスタート時に EEPROM 値をリロードするか、または EEPROM 値をリロードせずに動作を再開するようにコントローラを設定することができます。EEPROM 値を RAM にリロードすると、過電圧状態で RAM の値が壊されてもデバイスの不具合を防止することができます。

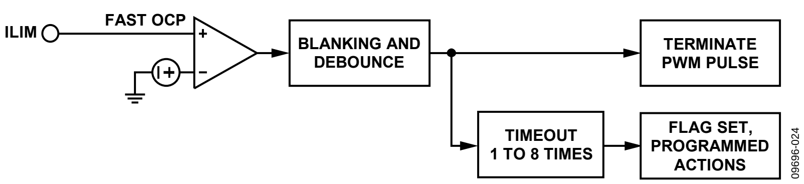


図 26.高速 OCP フラグ

モニタリング機能

ADP1047/ADP1048 は、 電圧、電流、電力、温度の測定値を取得します。これらの値は次のレジスタに保存されるため、PMBusインターフェースを介して読出すことができます。

- 入力電圧計測(レジスタ 0x88)
- 出力電圧測定値(レジスタ 0x8B)
- 入力電流測定(レジスタ 0x89)
- 入力電力測定値(レジスタ 0x97)
- 温度測定値(レジスタ 0xFE86)

最初の故障

ADP1047/ADP1048 にはシステム・シャットダウンを発生させた最初の故障を記録するFLAG_FAULT_IDレジスタ(レジスタ0xFE07)があります。例えば、温度上昇(OT)故障によりシステムがシャットダウンした場合、OT_FAULTフラグ(0011)がFLAG_FAULT_IDレジスタ(レジスタ 0xFE07、ビット[3: 0])に保存されます。さらに、システムのシャットダウンを発生させた故障の前に発生した故障のフラグIDが、レジスタ 0xFE07 のビット[7: 4]に格納されます。

このレジスタ値は、ユーザが読出すまで保存されています。また、シャットダウンが発生したとき、フラグ ID も EEPROM に保存されます。この方法によって、システム故障時にシャットダウンの原因を調べることができます。

温度上昇保護機能(OTP)

RTD ピンで検出される温度がプログラマブルな故障スレッショールドを超えると、OTP フラグがセットされて、電源をシャットダウンするように設定することができます。PTC または NTC サーミスタを使用することができます。

OTP の故障スレッショールドと警報スレッショールドを設定するときは、それぞれレジスタ 0xFE19 とレジスタ 0xFE1A を設定します。故障スレッショールドと警報スレッショールドの温度ヒステリシスを設定するときは、レジスタ 0xFE3F を設定します。OTP 故障フラグに対する応答は、レジスタ 0x50 に設定することができます。

AC_OK信号とPGOOD信号

ADP1047/ADP1048 には、AC_OKとPGOODの 2 本のデジタル・ステータス・ピンがあります。両信号は、内部フラグのプログラマブルなリストのOR関数を表します。これらの幾つかのフラグをブランクにして、レジスタ 0xFE0Bとレジスタ 0xFE0Aを使って、必要に応じてそれぞれAC_OK信号とPGOOD信号を変更することができます。AC_OKピンとPGOODピンの信号がセットされると、対応する内部フラグもセットされます。

プログラマブルな遅延ブロックは、デバウンスのように機能します。すなわち、フラグがセットされるまでに、少なくとも設定された遅延時間の間、この信号はアクティブである必要があります。AC_OK ピンと PGOOD ピンのデバウンス時間は、レジスタ 0xFE05 で個別に設定することができます。

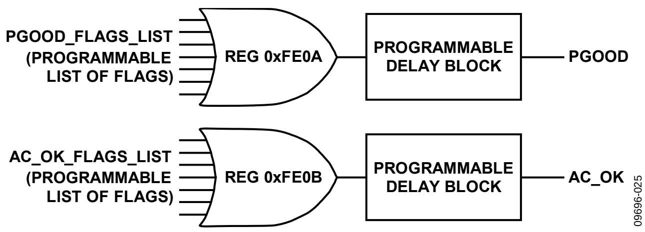


図 27.AC_OK 信号と PGOOD 信号

表 13.AC_OK ピンと PGOOD ピンの設定に使用可能なフラグ

AC_OK_FLAGS_LIST (Register 0xFE0B)[1]	PGOOD_FLAGS_LIST (Register 0xFE0A)[1]
VIN_LOW (always checked)	VOUT_OV_FAULT (always checked)
VIN_UV_FAULT (Bit 7)	VOUT_UV_FAULT (Bit 7)
VIN_UV_WARN (Bit 6)	VOUT_OV_WARN (Bit 6)
IIN_OC_FAULT (Bit 5)	FAST_OVP (Bit 5)
IIN_OC_WARN (Bit 4)	OLP (Bit 4)
FAST_OCP (Bit 3)	FAST_OCP (Bit 3)
AC_LINE_PERIOD (Bit 2)	IIN_OC_FAULT (Bit 2)
BROWN_OUT (Bit 1)	OT_FAULT (Bit 1)
INRUSH (Bit 0)	FAST_LOOP (Bit 0)

[1] 1 個または複数のフラグをブランクにして、AC_OK ピンまたは PGOOD ピンがそれらのフラグを無視するようにするときは、レジスタ 0xFE0A またはレジスタ 0xFE0B の対応するビットを 1 に設定します。

高度な機能

ADP1047/ADP1048 の高度な機能には次が含まれます。

- EMI ノイズを小さくする周波数ディザリング
- 外部ソースとの PWM 周波数同期
- スマート出力電圧: AC ラインと出力電力に基づき出力電圧を変化させて効率をリアルタイムで最適化
- スマート・スイッチング周波数: スイッチング周波数を変えて効率をリアルタイムで最適化
- 軽い負荷に対する電流ループ・フィルタ: 軽い負荷状態で THD をリアルタイムで最適化
- 位相シェディング(ADP1048 の場合): 1 相をシャットダウンさせて効率をリアルタイムで最適化
- 電流ループ・フィードフォワード: 軽い負荷状態で力率と THD を最適化
- ブリッジレス・ブースト動作(ADP1048 の場合)

ブリッジレス・ブースト動作以外のすべての高度な機能は、レジスタ 0xFE4F の該当するビットをセットしてイネーブルします。

周波数ディザリング(スペクトル分散)

EMI 削減のために PWM 信号をデジタル的に変更して最適化することができます(図 28 参照)。幅広いが小さい EMI スペクトルに対して、スイッチング周波数を整流済みライン電圧とともに変化させます。スイッチング・サイクルが時間とともに公称値の 87.5%～112.5%でリニアに変化すると、周波数変化は公称値の 114%～89%になります。

周波数ディザリングをイネーブルするときは、レジスタ 0xFE4F のビット 0 に 1 を設定します。ディザリング周期を設定するときは、レジスタ 0xFE1D を設定します。

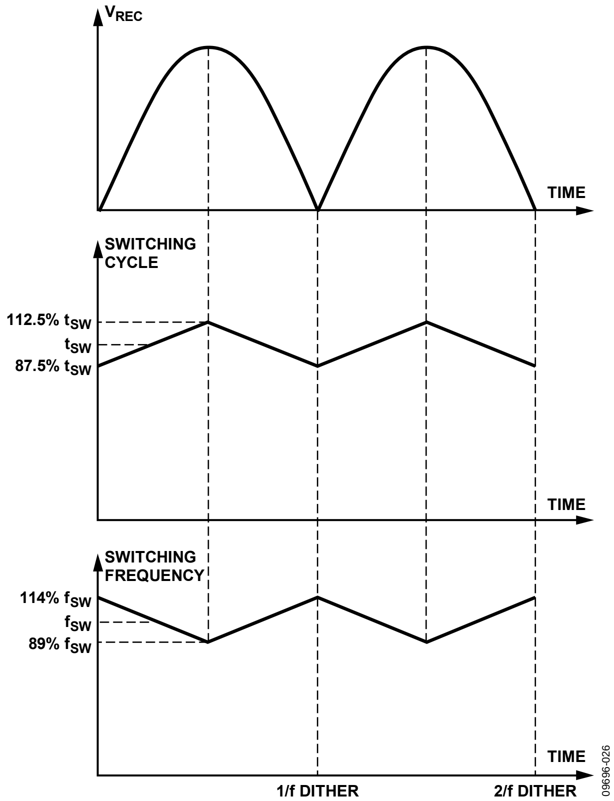


図 28.スイッチング周波数のディザリング制御

PWM周波数の同期

内部 PWM クロックと外部クロック周波数を同期させることができます。外部ソースは、デバイスに設定された同期範囲の最小値と最大値の間にある必要があります。PWM 周波数同期をイネーブルするときは、レジスタ 0xFE4F のビット 1 に 1 を設定します。

SYNC 周期のキャプチャ範囲は、設定されたスイッチング周期の 87.5%～112.5%です。SYNC ピンに同期化されるスイッチング周波数は、レジスタ 0xFE1B に設定された周波数により制限されます。同期化される周波数の最大範囲は、設定されたスイッチング周波数の 89%～114%です。外部 SYNC 信号と内部スイッチング・サイクル開始の間の遅延は、レジスタ 0xFE4C を使って設定することができます。

デバイスは、外部クロック周波数に対して次のように同期します。

1. デバイスは外部クロック周期の 7 サイクル間の平均をとって、外部クロック周期を決定しようとします(周波数キャプチャ・モード)。
2. SYNC 信号の周期を決定した後、内部 PWM クロックを調整して位相も一致させます。このポイントで、内部クロックと外部クロックが同期します(位相キャプチャ・モード)。
3. SYNC の立上がりエッジが検出された後、各内部スイッチング・サイクルが停止します(パルスごとの同期)。

外部 SYNC 信号が失われた場合、または周期が最小/最大制限値を超えた場合、内部クロックはレジスタ 0xFE1B に設定された最大周期に戻ります。

ソフトスタート・フェーズでは、SYNC ピンは無視されて、クロック周波数は同期化されません。

複数の ADP1047/ADP1048 コントローラのSYNCピンを使うと、多相PFC回路のインターリーブ動作を実現することができます。

周波数同期機能はオプションです。イネーブルすると、レジスタ 0xFE1E を使ってスイッチング周波数を SYNC 周波数の 1、1/2、1/3、1/4 に設定することができます。

スマート出力電圧(負荷ライン)

効率を高くするため、負荷電力と入力電圧状態に従って出力電圧を設定することができます(図 29 参照)。スマート出力電圧機能をイネーブルするときは、レジスタ 0xFE4F のビット 2 に 1 を設定します。

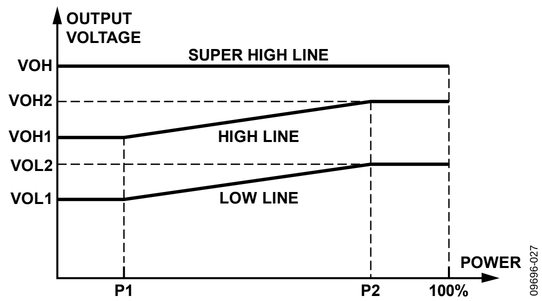


図 29.スマート出力電圧制御(負荷ライン)

3 本の負荷ラインにより、超高ライン、高ライン、低ラインの入力電圧状態をアドレス指定します。

入力電圧の rms 値が超高ライン入力(例えば、250 V)より大きい場合、負荷ラインは平坦、すなわち電力と無関係に出力電圧が VOH に維持されます。入力電圧が超高ライン・レベル付近にあるとき出力電圧の発振を防止するため、レジスタ 0xFE4D を使って電圧ヒステリシスを設定することができます。少なくとも 16 V のヒステリシスを設定することが推奨されます。

入力電圧の rms 値が超高ライン入力より小さく、かつ高ライン・スレッショールドより大きい場合、負荷ラインは P1 と P2 (電力として)の間にあります。出力電力が P1 と P2 の範囲にある場合、出力電圧は VOH1 と VOH2 の間で出力電力の直線関数として変化します。P1 と P2 の電力レベルは、それぞれレジスタ 0xFE44 とレジスタ 0xFE45 を使って設定することができます。電力が P1 を下回ると、出力電圧は VOH1 を維持します。電力が P2 を上回ると、出力電圧は VOH2 を維持します。

図 29 の下の負荷ラインは、入力電圧の rms 値が低ライン・スレッショールドより小さい場合に適用されます。出力電力が P1 と P2 の範囲にある場合、出力電圧は VOL1 と VOL2 の間で出力電力の直線関数として変化します。電力が P1 を下回ると、出力電圧は VOL1 を維持します。電力が P2 を上回ると、出力電圧は VOL2 を維持します。

VOH、VOH2、VOH1、VOL2、VOL1 の値は、それぞれレジスタ 0xFE4A、レジスタ 0xFE49、レジスタ 0xFE48、レジスタ 0xFE47、レジスタ 0xFE46 を使って設定することができます。

スマート・スイッチング周波数

効率を高くするため、ADP1047/ ADP1048 のスイッチング周波数を負荷電力状態に応じて設定することができます (図 30 参照)。スマート・スイッチング周波数機能をイネーブルするときは、レジスタ 0xFE4Fのビット 3 に 1 を設定します。

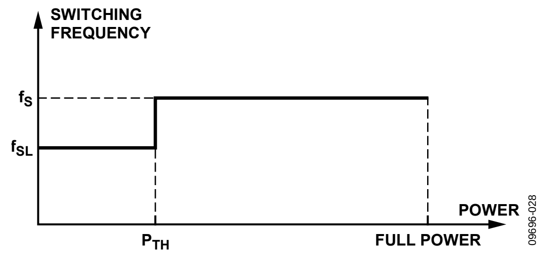


図 30.スマート・スイッチング周波数制御

スマート・スイッチング周波数機能では、重い負荷状態と軽い負荷状態に対して 2 つのスイッチング周波数を使います。出力電力が低電力スレッショールド P_{TH} より小さい場合、PFC 回路は f_{SL} 周波数でスイッチします。出力電力が P_{TH} と電力ヒステリシスの和より大きい場合、回路は通常設定の周波数 f_S でスイッチします。

ヒステリシスはレジスタ 0xFE4E で設定することができます。f_{SL} と P_{TH} の値は、それぞれレジスタ 0xFE1C とレジスタ 0xFE32 で設定することができます。

軽い負荷に対する電流ループ・フィルタ

軽い負荷状態でTHDを低くするため、ADP1047/ ADP1048 は高ライン入力と低ライン入力での軽い負荷動作に対して設定されている電流ループ・フィルタを提供しています(図 31 参照)。軽い負荷機能に対する電流ループ・フィルタをイネーブルするときは、レジスタ 0xFE4Fのビット 5 に 1 を設定します。

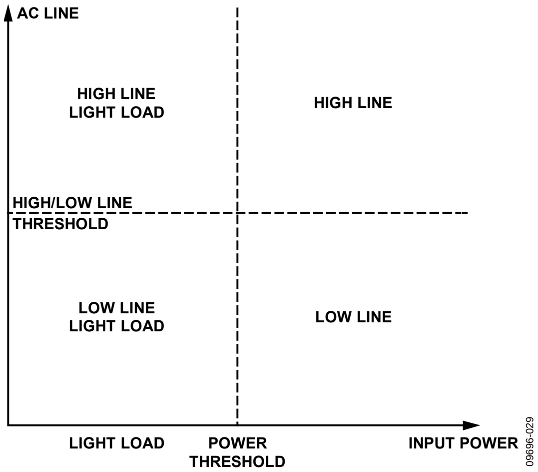


図 31.軽い負荷状態での電流ループ・フィルタ

入力電力が低電力スレッショールド P_{TH} (レジスタ 0xFE32)を下回ると、電流ループ・フィルタは 4 フル・ライン・サイクル後に軽い負荷フィルタへ切り替わります。入力電力が P_{TH} と設定されたヒステリシスの和を上回ると、電流ループ・フィルタは直ちに通常モードのフィルタに戻ります。この機能は、高ライン入力と低ライン入力に適用されます。

位相シェディング(ADP1048 の場合)

軽い負荷で効率を高くするため、ADP1048 は軽い負荷状態で 1 つのPWM出力をシャットダウンさせることができます。入力電力が低電力スレッショールドP_{TH} (レジスタ 0xFE32)を下回ると、1 つのPWM出力がディスエーブルされます。入力電力が低電力スレッショールドと電力ヒステリシス(レジスタ 0xFE4E)の和を上回ると、PWMは動作を再開します。ADP1048 の位相シェディングをイネーブルするときは、レジスタ 0xFE4Fのビット 4 に 1 を設定します。

電流ループ・フィードフォワード

軽い負荷状態で力率を改善しTHDを小さくするため、ADP1047/ ADP1048 は電流ループ・フィードフォワードを内蔵しています (図 32 参照)。電流ループ・フィードフォワードをイネーブルするときは、レジスタ 0xFE4Fのビット 6 に 1 を設定します。

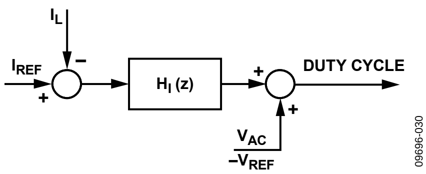


図 32.電流ループ・フィードフォワード

ブリッジレス・ブースト動作(ADP1048 の場合)

ブリッジレス・ブースト構成では、PFCコンバータの入力ブリッジで発生する導通損失をなくすることができます。この構成では、2 個のパワーMOSFETを別々に駆動して効率を高くする必要があります。ADP1048 はこのような信号を出力することができます。IBALピンを使って、ACライン位相とゼロ交差点を検出します。IBALピンの最大定格はVDD + 0.3 Vであるため、クランプ回路をIBALピンに接続する必要があることに注意してください。

正の AC ライン位相で、実質的に 1 個だけのブースト・ステージが動作します。2 個目は受動的であり、電流は Q2 のソースからドレインへ流れます。このフェーズで Q2 FET をフルにターンオンさせると、Q2 の伝導損失を小さくすることができます。

AC ライン位相が負になると、Q1 と Q2 の役割が逆転して、Q2 が能動的にスイッチングし、Q1 は常にオンします。位相情報は、AC ラインから IBAL ピンを使って検出されます。

ソフトスタート・フェーズで、両 FET は予防策としてスイッチングします。同じことは、IBAL ピンの位相情報が壊れた場合または不正確な場合に発生します。

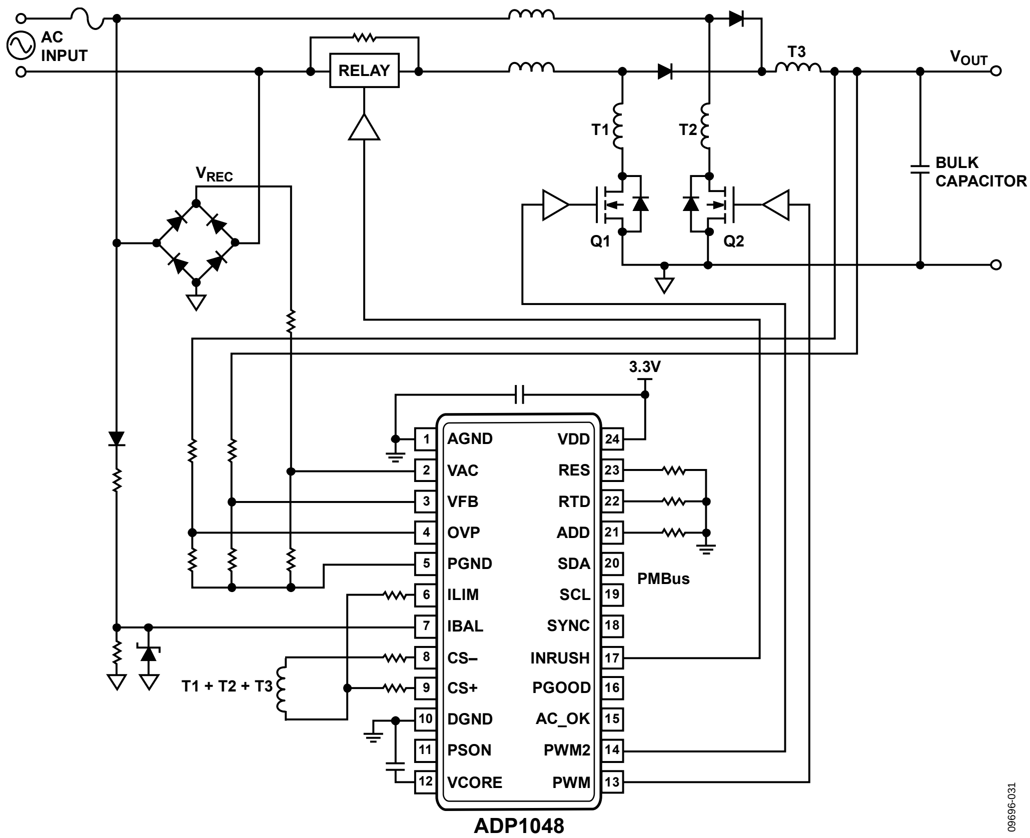


図 33. ADP1048 を使用したブリッジレスPFC回路

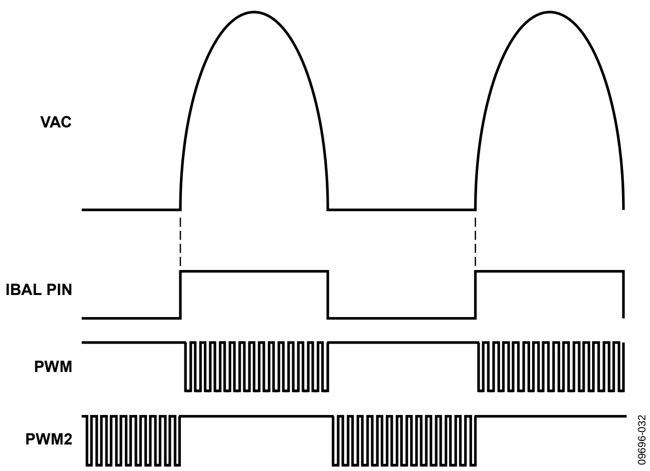


図 34. ブリッジレス・ブースト動作

電源システムのキャリブレーションと調整

ADP1047/ADP1048 では、電源全体を量産環境でデジタル的にキャリブレーションおよび調整することができます。このデバイスでは、出力電圧、入力電圧、入力電流、入力電力などの項目がキャリブレーションでき、検出抵抗、電流トランス、抵抗分圧器、自身の内部回路により発生する許容誤差を調整することができます。

このデバイスは出荷時に 3.3 V 電源と入力範囲の 90%で調整されていますが、外付け部品から発生する誤差をユーザが再調整することができます。入力電力に対するゲイン調整レジスタとオフセット調整レジスタ以外は、書込みアクセスの際に調整レジスタのロックを解除する必要があります。調整レジスタのロックを解除するときは、TRIM_PASSWORD レジスタ(レジスタ 0xD6)へ書込みを行います。

出力電圧(VFB)のキャリブレーションと調整

電圧検出入力は入力範囲の 90%で検出信号に対して最適化されるため、1.6 V より大きい信号は検出できません。高い電圧システムでは、高い電圧信号を 1.6 V より小さくするため、抵抗分圧器が必要です。最適性能を得るためには、高い電圧信号を 1 V に小さくすることが推奨されます。抵抗分圧器により誤差が発生するため、次のように調整する必要があります。

1. 負荷を接続しないで電源をターンオンします。
   VFB ピンと AGND ピンの間に 1 V を供給するように帰還抵抗分圧器を使って出力電圧を分圧します。
2. 校正済みのマルチメータを使って出力電圧を測定します。
3. VFB ADC ゲイン調整レジスタ(レジスタ 0xFE41)を調整して、電源が READ_VOUT レジスタ(レジスタ 0x8B)の正確な値を出力するようにします。

入力電圧(VAC)のゲインとオフセットの調整

電力レール上の入力電圧検出ポイントには、信号を VAC ADC の動作入力範囲(0 V～1.6 V)に収める外付け抵抗分圧器が必要です。抵抗分圧器により誤差が発生するため、次のように調整する必要があります。

1. 最大ライン電圧値を電源入力に加えます。
   VAC ピンで VAC 抵抗分圧器によりこの電圧を下げます。
   VIN スケール・モニタ・レジスタ(レジスタ 0xFE3B)を使って、VAC 抵抗分圧器をリニア・フォーマットに設定します。
2. VAC ADC ゲイン調整レジスタ(レジスタ 0xFE40)を調整して、VAC 値(レジスタ 0x88、READ_VIN)を校正済みマルチメータの入力電圧測定値に一致させます。このステップにより、抵抗分圧器回路の誤差を調整します。

VAC オフセット調整の場合は、レジスタ 0xFE53 値を調整します。

電流検出のゲインとオフセットの調整

電流検出をデジタル的にキャリブレーションして外付け部品による誤差を除去することができます。

1. 低ライン入力電圧で、出力に最大負荷を接続します。
2. 最大公称入力電流での入力電流測定値を一致させるため、CS ADC ゲイン調整レジスタを調整して、CS 値(レジスタ 0x89、READ_IIN)が校正済み装置からの入力電流の測定結果に一致するようにします。

   500 mV の入力範囲を調整する場合は、レジスタ 0xFE42 を調整します。750 mV 範囲を調整する場合は、レジスタ 0xFE7E を調整します。

CS オフセット調整の場合は、レジスタ 0xFE54 (500 mV 入力範囲)またはレジスタ 0xFE7F (750 mV 入力範囲)の値を調整します。

入力電力のゲインとオフセットの調整

入力電力調整機能には、高ライン入力と低ライン入力に対して別々の調整レジスタがあります。

1. 低ライン入力電圧で、出力に最大負荷を接続します。
2. 低ライン入力レジスタ(レジスタ 0xFE34)の電力測定機能ゲイン調整を調整して、READ_PIN レジスタ(レジスタ 0x97)の入力電力値が校正済み装置からの入力電力の測定結果に一致するようにします。
3. 高ライン入力電圧で、出力に最大負荷を接続します。
4. 高ライン入力レジスタ(レジスタ 0xFE8F)の電力測定機能ゲイン調整を調整して、READ_PIN レジスタ(レジスタ 0x97)の入力電力値が校正済み装置からの入力電力の測定結果に一致するようにします。

入力電力オフセット調整の場合は、レジスタ 0xFE33 (低ライン入力)とレジスタ 0xFE8E (高ライン入力)の値を調整します。

PMBusのデジタル通信

PMBus スレーブでは、PMBus Power System Management Protocol Specification (Revision 1.1, February 5, 2007)の規定に従って、デバイスを PMBus 準拠マスター・デバイスにインターフェースさせることができます。PMBus スレーブは 2 線式インターフェースであり、他の PMBus 準拠デバイスとの通信に使用することができ、マルチマスター/マルチスレーブのバス構成と互換性があります。

特長

PMBus スレーブの機能は、マスター・デバイスから送信されるコマンドのデコードと、要求に対する応答です。通信は、クロック・ライン(SCL)とデータライン(SDA)を持つ I^2C に似た 2 線式インターフェースを使って確立されます。PMBus スレーブは、PMBus プロトコルに準拠している限り外部で 8 ビット・データ(バイト)の塊を移動するようにデザインされています。 PMBus プロトコルは、SMBus 仕様(バージョン 2.0、2000 年 8 月)を採用しています。SMBus 仕様は、Philips 社の I^2C バス仕様(バージョン 2.1、2000 年 1 月)を採用しています。 PMBus には次の機能が含まれています。

- 複数デバイスのシステムでのスレーブ動作
- 7 ビット・アドレシング機能
- データレート: 100 kHz および 400 kHz
- ジェネラル・コール・アドレスをサポート
- クロックのロー・レベル伸長をサポート
- 複数バイトの受信および送信に個別 FIFO
- 拡張故障モニタリング機能

概要

PMBusスレーブ・モジュールは 2 線式インターフェースであり、他のPMBus準拠デバイスとの通信に使用することができます。転送プロトコルはPhilips社のI^2C転送メカニズムを採用しています。ADP1047/ADP1048 は、システム全体の中で常にスレーブ・デバイスとして設定されます。ADP1047/ADP1048 は、1 本のデータ・ピン(SDA)と 1 本のクロック・ピン(SCL)を使ってマスター・デバイスと交信します。ADP1047/ADP1048 はスレーブ・デバイスであるため、クロック信号を発生することはできませんが、マスターの要求に応答できない場合には、SCLラインのクロックを伸長してマスター・デバイスを待ち状態にすることができます。

通信は、マスター・デバイスが PMBus スレーブ・デバイスへコマンドを送信したときに開始されます。コマンドとしては読出しコマンドまたは書込みコマンドが可能で、データはデバイス間でバイト幅フォーマットで転送されます。コマンドとしては送信コマンドも可能で、ストップ・ビットが受信されたときスレーブ・デバイスでこのコマンドが実行されます。ストップ・ビットはデータ転送全体の最終ビットであり、PMBus/I^2C 通信プロトコルで規定されています。通信時にマスター・デバイスとスレーブ・デバイスは、デバイス間のハンドシェーク法としてアック・ビット(A)またはナック・ビット($\overline{A}$)ビットを送信します。通信プロトコルの詳細については、PMBus 仕様を参照してください。

マスター・デバイスと交信する場合、PMBus スレーブ・デバイスが違法データまたは壊れたデータを受信することがあります。この場合、PMBus スレーブ・デバイスは PMBus 仕様に従って無効なコマンドまたはデータに応答し、マスター・デバイスに対してエラーまたは故障状態が発生したことを通知する必要があります。このハンドシェーク方法は、チップまたはシステムに損傷を与える危険性を持つスレーブ・デバイスを設定することに対する第一レベルの防御法として使うことができます。

PMBus 仕様では、パワー・マネジメント・システムに推奨される一般的な PMBus コマンドを規定していますが、各 PMBus デバイス・メーカーは、システムに適合すると思われるコマンドとして選択/サポートすることができます。さらに、PMBus デバイス・メーカーは、PMBus コマンド・セットに含まれていない機能を持つメーカー固有のコマンドを選択して組み込むことができます。標準 PMBus コマンドとメーカー固有コマンドのリストは、ADP1047/ADP1048 でサポート中の標準 PMBus コマンドのセクションとメーカー固有の PMBus コマンドのセクションに記載してあります。

PMBusアドレス

ADP1047/ADP1048 の制御は、I^2Cインターフェースを介して行います。ADP1047/ADP1048 はマスター・デバイスから制御されるスレーブ・デバイスとしてバスに接続されます。

ADP1047/ADP1048 のPMBusアドレスは、ADDピンとグラウンドの間に外付け抵抗を接続することにより設定されます。表 14 に、推奨抵抗値と対応するPMBusアドレスを示します。8 個のアドレスを使用することができます。

表 14.PMBus アドレスの設定

Address	ADD Pin Resistor Value (kΩ)
0x58	10 (or connect directly to AGND)
0x59	30
0x5A	50
0x5B	69
0x5C	89
0x5D	109
0x5E	128
0x5F	148 (or connect directly to VDD)

正しくない抵抗値を使用したため I^2C アドレスが 2 つのアドレス間のスレッショールドに近づくと、I2C_ADDRESS フラグがセットされます(レジスタ 0xFE81 のビット 4)。表 14 に示す推奨抵抗値には、±2 kΩ の変化があります。このため、1%許容誤差の抵抗を ADD ピンに使うことが推奨されます。

デバイスは、標準 PMBus ブロードキャスト・アドレス 0x00(ジェネラル・コール)に応答します。

データ転送

フォーマットの概要

PMBus スレーブは、SMBus 仕様の転送プロトコルに従います。この転送プロトコルは Philips 社の I^2C Bus 仕様(2000 年 1 月)の基本転送プロトコル・フォーマットを採用しています。データ転送はバイト幅で、LSB ファーストです。各バイトはシリアルに転送され、MSB ファーストです。代表的な転送を図 35 に示します。転送プロトコルの詳細については、SMBus 仕様と I^2C 仕様を参照してください。

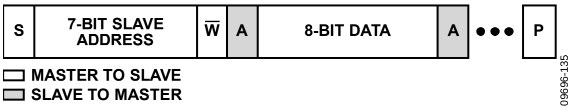


図 35.基本的なデータ転送

図 35 〜図 42 では、次の略号を使っています。

S = スタート条件
Sr = 繰り返しスタート条件
P = ストップ条件
R = 読出しビット
$\overline{W}$ = 書込みビット
A = ナック・ビット(0)
$\overline{A}$ = ナック・ビット(1)

“A”は ACK (アック)ビットを表します。送信されたバイトがデバイスにより正常に受信された場合、ACK ビットは一般にアクティブ・ロー(ロジック 0)になりますが、受信デバイスがバス・マスターの場合、直前に読出されたバイトに対するアック・ビットはロジック 1 になり、$\overline{A}$で表されます。

コマンドの概要

PMBusスレーブを使用するデータ転送は、PMBusコマンドを使って確立されます。PMBus仕様では、すべてのPMBusコマンドはR/$\overline{W}$ビットをクリア(0 に設定)したスレーブ・アドレスで開始し、それにコマンド・コードが続くことを規定しています。ADP1047/ADP1048 でサポートしているすべてのPMBusコマンドは、図 36〜図 42 に示すプロトコル・タイプの 1 つに準拠しています。

また、PMBus スレーブ・モジュールはメーカー固有の拡張コマンドもサポートします。これらのコマンドは、標準 PMBus コマンドと同じプロトコルに準拠していますが、コマンド・コードは次の 2 バイトで構成されています。

- コマンド・コード拡張子 0xFE
- 拡張コマンド・コード 0x00〜0xFF

メーカー固有拡張コマンドを使用すると、PMBus デバイス・メーカーは 256 個のメーカー固有コマンドを PMBus コマンド・セットに追加することができます。

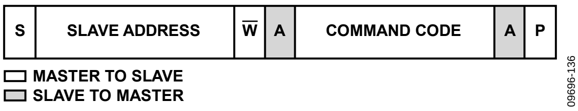


図 36.送信バイト・プロトコル

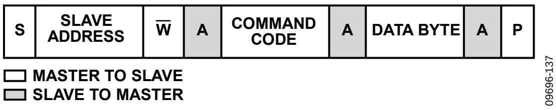


図 37.バイト書込みプロトコル

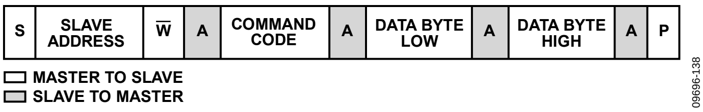


図 38.ワード書込みプロトコル

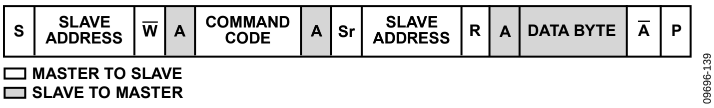


図 39.バイト読出しプロトコル

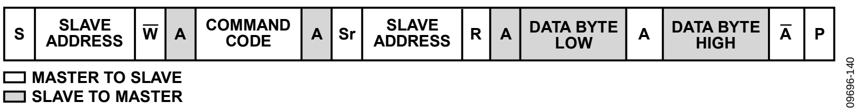


図 40.ワード読出しプロトコル

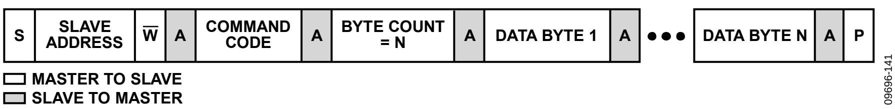


図 41.ブロック書込みプロトコル

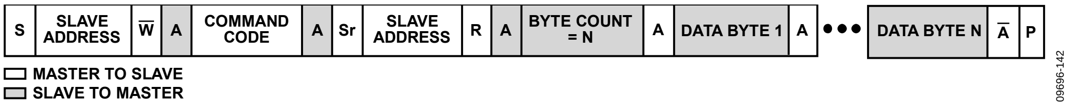


図 42.ブロック読出しプロトコル

クロックの生成と伸長

ADP1047/ADP1048 はシステム全体で常にPMBusスレーブ・デバイスであるため、デバイスがクロックを発生することはありません。クロックの発生はシステム内のマスター・デバイスが行いますが、PMBusスレーブ・デバイスは、マスターを待ち状態にするためクロックを伸長することができます。スレーブ・デバイスが対応できないときは、ロー・レベル区間でSCL信号を伸長させて、マスター・デバイスに待って貰うことをスレーブ・デバイスからマスター・デバイスへ通知します。

PMBus スレーブ・デバイスが SCL ラインをロー・レベルで伸長する状態には、次が含まれます。

- スレーブ・デバイスより高いボー・レートでマスター・デバイスが送信している。
- スレーブ・デバイスの受信バッファがフルであるため、読出した後に続ける必要がある。これにより、データ・オーバーフロー状態を防止します。
- スレーブ・デバイスは、マスターが要求したデータを送信する準備ができていない。

ロー・レベル区間でのみスレーブ・デバイスは SCL ラインを伸長できることに注意してください。また、I^2C 仕様では SCL ラインを無限に伸長できますが、PMBus 仕様では SCL ラインの伸長またはロー・レベルの最大時間を 25 ms に制限しています。この時間の経過後、デバイスは通信ラインを開放して、ステート・マシンをリセットする必要があります。

ジェネラル・コールのサポート

PMBus スレーブは、ジェネラル・コール・アドレスのデコーディングと認識を行うことができます。PMBus デバイスは、自分のアドレスとジェネラル・コール・アドレス(0x00)に対して応答します。ジェネラル・コール・アドレスは、PMBus 上のすべてのデバイスへの書込みを同時にイネーブルします。

すべての PMBus コマンドは、R/$\overline{\text{W}}$ビットをクリア(0 に設定)したスレーブ・アドレスで開始され、それにコマンド・コードが続くことに注意してください。また、これはジェネラル・コール・アドレスを使って PMBus スレーブ・デバイスと交信する際にも適用されます。

高速モード

高速モード(400 kHz)では、標準動作モードと同じメカニズムを採用しています。電気的仕様とタイミングが違っています。PMBus スレーブは、標準モード(100 kHz)または高速モードで動作するマスター・デバイスと交信することができます。

故障状態

PMBus プロトコルでは、モニタと報告が必要な故障状態の広範囲なセットを提供しています。これらの故障状態は、通信故障とモニタリング故障の 2 種類にグループ化することができます。

通信故障は、PMBus プロトコルのデータ転送メカニズムに関係する故障状態です。モニタリング故障は、出力過電圧保護のような PMBus デバイス動作に関係する故障状態で、各 PMBus デバイスに固有です。これらの故障状態は、電源システムと故障モニタリングのセクションで説明します。

タイムアウト状態

任意の 1 個の SCL クロック・パルスが 25 ms (最小)の $t_{TIMEOUT}$ より長くロー・レベルに維持されると、タイムアウト状態が発生します。タイムアウト状態が検出されると、PMBus スレーブ・デバイスは、転送を停止し、バス・ラインを開放し、新しいスタート条件受信の準備のために 10 ms を要します。タイムアウトを開始するデバイスには、少なくとも $t_{TIMEOUT\ MAX}$ = 35 ms 間 SCL クロック・ラインをロー・レベルに維持して、スレーブ・デバイスが通信プロトコルをリセットするために十分な時間を確保できるようにすることが要求されます。

データ転送故障

データ転送故障は、2 個の交信デバイスが PMBus 仕様に規定された PMBus 通信プロトコルに違反したときに発生します。各故障状態の詳細については、PMBus 仕様を参照してください。

データ破壊、PEC (Item 10.8.1)

パリティ・エラー・チェック。サポートしていません。

送信ビットが少なすぎる (Item 10.8.2)

全バイト(8 ビット)が送信される前に転送がスタート条件またはストップ条件により中断された。サポートされていません。送信されたデータは無視されます。

受信ビットが少なすぎる(Item 10.8.3)

全バイト(8 ビット)が受信される前に転送がスタート条件またはストップ条件により中断された。サポートされていません。受信されたデータは無視されます。

ホストの送信または受信バイト数が少なすぎる(Item 10.8.4)

ホストが所要バイト数を送信/受信する前にパケットをストップ条件で終了させた場合、ホストは転送を停止するものと見なします。このため、PMBus はこれをエラーと見なさないでアクションを起こしません。ただし、送信 FIFO 内の残りのバイトはクリアします。

ホストの送信バイト数が多すぎる(Item 10.8.5)

対応するコマンドで予想されるバイト数より多くホストが送信した場合、PMBus スレーブはこれをデータ送信故障と見なして、次の応答を行います。

- 受信したすべての予想外のバイト数に NACK 応答します。
- 受信したコマンドとデータをクリアし無視します。
- STATUS_BYTE レジスタの CML ビットをセットします。

ホストの読出しバイト数が多すぎる(Item 10.8.5)

対応するコマンドで予想されるバイト数より多くホストが読出した場合、PMBus スレーブはこれをデータ送信故障と見なして、次の応答を行います。

- ホストのデータ要求が続く間全ビット 1 (0xFF)を送信します。
- STATUS_BYTE レジスタの CML ビットをセットします。

デバイス・ビジー(Item 10.8.7)

PMBus スレーブ・デバイスがビジーでマスター・デバイスからの要求に応答できない。サポートされていません。

データ値のエラー

データ値エラーは、データ転送が正常でも、PMBus スレーブ・デバイスがマスター・デバイスから受信したデータを処理できないときに発生します。

アドレス・バイト内の読出しビットの設定が不正(Item 10.9.1)

すべての PMBus コマンドは、R/$\overline{\text{W}}$ビットをクリア(0 に設定)したスレーブ・アドレスで開始され、それにコマンド・コードが続きます。アドレス・フェーズで R/$\overline{\text{W}}$をセットした PMBus トランザクションをホストが開始する場合(I^2C 読出しと等価)、PMBus スレーブはこれをデータ値エラーと見なして次のように応答します。

- アドレス・バイトに ACK 応答します。
- コマンド・バイトとデータバイトに NACK 応答します。
- ホストのデータ要求が続く間全ビット 1 (0xFF)を送信します。
- STATUS_BYTE レジスタの CML ビットをセットします。

無効なまたはサポートしないコマンド・コード(Item 10.9.2)

無効またはサポートしないコマンド・コードが PMBus スレーブへ送信された場合、コードはデータ値エラーと見なし、PMBus スレーブは次のように応答します。

- 違法/未サポート・コマンド・バイトとデータバイトに NACK 応答します。
- 受信したコマンドとデータをクリアし無視します。
- STATUS_BYTE レジスタの CML ビットをセットします。

予約済みビット(Item 10.9.5)

予約済みビットに対するアクセスは故障ではありません。予約済みビットに対する書込みは無視され、予約済みビットに対する読出しでは 0 が返されます。

読出し専用コマンドに対する書込み

ホストが読出し専用コマンドに対して書込みを行った場合、PMBus スレーブはこれをデータ値エラー見なして、次のように応答します。

- 受信したすべての予想外のデータに NACK 応答します。
- 受信したコマンドとデータをクリアし無視します。
- STATUS_BYTE レジスタの CML ビットをセットします。

ホストの送信バイト数が多すぎる(Item 10.8.5)のセクションで説明したエラーと同じエラーであることに注意してください。

書込み専用コマンドからの読出し

ホストが書込み専用コマンドに対して読出しを行った場合、PMBus スレーブはこれをデータ値エラー見なして、次のように応答します。

- ホストのデータ要求が続く間全ビット 1 (0xFF)を送信します。
- STATUS_BYTE レジスタの CML ビットをセットします。

ホストの読出しバイト数が多すぎる(Item 10.8.5)のセクションで説明したエラーと同じエラーであることに注意してください。

EEPROM

ADP1047/ADP1048 は、内蔵の 8K×8 バイトEEPROMとの通信に使用する EEPROM コントローラを内蔵しています。EEPROM(Flash®/EEとも呼ばれます)は、INFOブロックとメイン・ブロックの 2 つの主要ブロックに分割されています。INFO ブロックには 128 個の 8 ビット・バイトが、メイン・ブロックには 8K個の 8 ビット・バイトが、それぞれ含まれています。メイン・ブロックはさらに 16 ページに分割されています。各ページには 512 バイトが含まれています。

概要

EEPROMコントローラは、ADP1047/ADP1048 コア・ロジックと内蔵Flash/EEとの間のインターフェースを提供します。ユーザはこのコントローラ・インターフェースを介してEEPROMに対するデータ・アクセスを制御することができます。EEPROMに対する読出し動作、書込み動作、消去動作には個別のPMBusコマンドがあります。

通信は、EEPROM に対するデータ・アクセスのために PMBus スレーブ・デバイスへコマンドを送信するマスター・デバイスにより開始されます。読出しコマンド、書込みコマンド、消去コマンドをサポートしています。データは、デバイス間でバイト幅フォーマットで転送されます。読出しコマンドを使用すると、データは EEPROM から受信され、マスター・デバイスへ送信されます。書込みコマンドを使用すると、データはマスター・デバイスから受信され、EEPROM コントローラを介して EEPROM に保存されます。

ページ消去動作

メイン・ブロックは 512 バイトの等価な 16 ページで構成され、ページ 0～ページ 15 の番号が与えられています。メイン・ブロックのページ 0 とページ 1 は、それぞれデフォルト設定とユーザ設定用に予約されています。ページ 0 またはページ 1 に対するユーザによるページ消去動作は実行できません。

メイン・ブロック・ページ消去(ページ 2～ページ 15)

メイン・ブロックのページ 2～ページ 15 をページ消去するときは、EEPROM アクセスのロックを解除する必要があります。EEPROM ロックの解除方法については、EEPROM ロックの解除のセクションを参照してください。

メイン・ブロックのページ 2～ページ 15 は、EEPROM_PAGE_ERASE コマンド(レジスタ 0xD4)を使って個別に消去することができます。例えば、ページ 10 のページ消去を行うときは、次のコマンドを実行します。

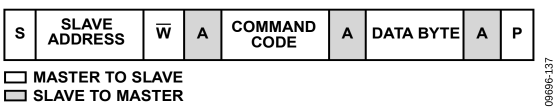


図 43.消去コマンドの例

この例では、コマンド・コード = 0xD4 で、データバイト = 0x0A です。

ページ消去動作が完了するためには少なくとも 35 ms 待ち、その後で次の PMBus コマンドを実行することが重要であることに注意してください。

EEPROM ではページ全体での消去しかできないため、ページ内の 1 バイト・データを変更するときでも、ページ全体を先に消去して(ハイ・レベルに設定)そのバイトを書込む必要があります。そのページ内の任意のバイトに対する後続の書込みは、そのバイトが前にロー・レベルに書込まれていない限り可能です。

読出し動作(バイト読出しとブロック読出し)

ページ 0 とページ 1 からの読出し

メイン・ブロックのページ 0 とページ 1 はそれぞれデフォルト設定とユーザ設定の保存用に予約されており、このデータに対する第三者のアクセスを防止することを意味します。ページ 0 またはページ 1 から読出すときは、EEPROM のロックを先に解除する必要があります(EEPROM ロックの解除のセクション参照)。ロックを解除した後、EEPROM_DATA_xx コマンドを使ってページ 0 とページ 1 を読出すことができます(ページ 2～ページ 15 からの読出し のセクション参照)。EEPROM をロックすると、ページ 0 とページ 1 の読出しでは無効データが返されることに注意してください。

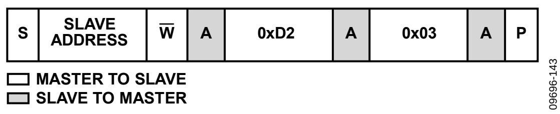
ページ 2～ページ 15 からの読出し

ページ 2～ページ 15 のデータは、EEPROM がロックされていても、常に読出し可能です。EEPROM メイン・ブロック内のデータは、1 回に 1 バイトずつ読出すか、または EEPROM_DATA_xx コマンド(コマンド・コード 0xB0～コマンド・コード 0xBF)を使ってシリーズに複数バイト読出すことができます。

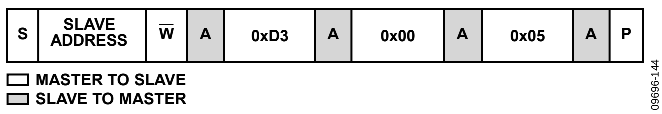
このコマンドを実行する前に、EEPROM_NUM_RD_BYTES コマンド(レジスタ 0xD2)を使って読出すバイト数を設定する必要があります。また、EEPROM_ADDR_OFFSET コマンド(レジスタ 0xD3)を使って、最初の読出しバイトが返されるページ境界からのオフセットを設定することもできます。

次の例では、ページ 4 の 3 バイトがそのページの 5 番目のバイトから始まる EEPROM から読出されます。

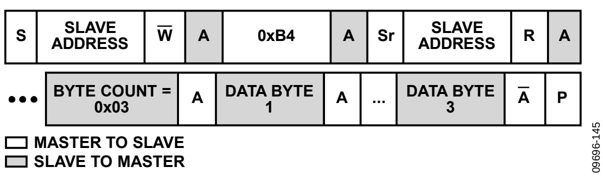
1. 返されるバイト数 = 3 を設定します。



2. アドレス・オフセット = 5 を設定します。



3. ページ 4 から 3 バイト読出します。



ブロック読出しコマンドでは、任意の 1 トランザクションに対して最大 256 バイトの読出しが可能であることに注意してください。

書込み動作(バイト書込みとブロック書込み)

メイン・ブロックのページ 2～ページ 15 へ書込みを行う前に、EEPROM のロックを解除する必要があります(EEPROM ロックの解除のセクション参照)。

ページ 0 とページ 1 への書込み

メイン・ブロックのページ 0 とページ 1 はそれぞれデフォルト設定とユーザ設定の保存用に予約されています。ページ 0 またはページ 1 に対する EEPROM_DATA_xx コマンドを使ったユーザによる直接の書込みは実行できません。ページ 0 へ書込みを行うと、ページ 1 はナックを返します。メイン・ブロックのページ 1 へレジスタ値を書きこむときは、STORE_USER_ALL コマンド(コマンド・コード 0x15)の使用が推奨されます。レジスタ設定値のユーザ・スクラッチパッドへの保存のセクションを参照してください。

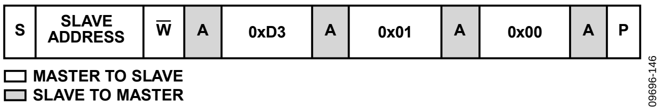
ページ 2～ページ 15 への書込み

EEPROM メイン・ブロック内のデータは、1 回に 1 バイトずつ書込むか、または EEPROM_DATA_xx コマンド(コマンド・コード 0xB0～コマンド・コード 0xBF)を使ってシリーズに複数バイト書込むことができます。このコマンドを実行する前に、EEPROM_ADDR_OFFSET コマンド(レジスタ 0xD3)を使って、最初のバイトが書込まれるページ境界からのオフセットを設定することができます。

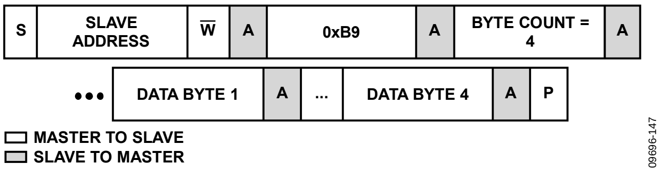
ターゲット・ページが未消去の場合、メイン・ブロック・ページ消去(ページ 2～ページ 15)のセクションに説明するようにこのページを消去することができます。

次の例では、4 バイトをページ 9 に書込みます(ページの 256 番目のバイトから開始)。

4. アドレス・オフセット = 256 に設定します。



5. ページ 9 へ 4 バイト書込みます。



ブロック書込みコマンドでは、任意の 1 トランザクションに対して最大 256 バイトの書込みが可能であることに注意してください。

EEPROMのパスワード

パワーアップ時、EEPROM をロックして、不慮の書込みまたは消去から保護します。EEPROM がロックされると、ページ 2～ページ 15 だけが読出し可能になります。データを EEPROM に書込む前に、EEPROM のロックを解除する必要があります。ロックを解除した後、EEPROM は読出し、書込み、消去が可能になります。

パワーアップ時、ページ 0 とページ 1 も読出しアクセスから保護されるため、これらのページから読出すときは先に EEPROM のロックを解除する必要があります。

EEPROMロックの解除

EEPROM のロックを解除するときは、EEPROM_PASSWORD コマンド(レジスタ 0xD5)により、正しいパスワード(デフォルト = 0xFF)を使って書込みを 2 回連続して行う必要があります。EEPROM_ UNLOCKED フラグ(レジスタ 0xFE81 のビット 6)がセットされて、書込みアクセス用に EEPROM のロックが解除されたことを表示します。

EEPROMのロック

EEPROM をロックするときは、EEPROM_PASSWORD コマンド(レジスタ 0xD5)を使って、正しいパスワード以外の任意のバイトを書込む必要があります。EEPROM ロック解除フラグがクリアされて、書込みアクセスに対して EEPROM がロックされたことを表示します。

EEPROMパスワードの変更

EEPROM パスワードを変更するときは、先に EEPROM のロックを解除する必要があります。 EEPROM パスワードを変更するときは、先ず EEPROM_PASSWORD コマンド(レジスタ 0xD5)を使って正しいパスワードを書込みます。直後に、EEPROM_PASSWORD コマンドを使って新しいパスワードを書込みます。パスワードは新しいパスワードへ変更されます。

内部レジスタへのEEPROM設定値のダウンロード

ユーザ設定値のレジスタへのダウンロード

ユーザ設定値は、EEPROM メイン・ブロックのページ 1 へ保存されます。これらの設定値は、次の条件で EEPROM からレジスタへダウンロードされます。

- パワーアップ時。ユーザ設定値が内部レジスタへ自動的にダウンロードされ、ユーザが前に保存した状態でデバイスがパワーアップします。
- RESTORE_USER_ALL コマンド(コマンド・コード 0x16)の実行時。このコマンドを使うと、ユーザ設定値を EEPROM メイン・ブロックのページ 1 から内部レジスタへ強制的にダウンロードさせることができます。

出荷時設定値のレジスタへのダウンロード

出荷時のデフォルト設定値は、EEPROM メイン・ブロックのページ 0 に保存されています。出荷時設定値は、RESTORE_ DEFAULT_ALL コマンド(コマンド・コード 0x12)を使って EEPROM から内部レジスタへダウンロードすることができます。

このコマンドを実行すると、EEPROM パスワードも出荷時のデフォルト設定値 0xFF へリセットされます。

レジスタ設定値のEEPROMへの保存

レジスタ設定値は、EEPROM メイン・ブロックのページ 0 にある出荷時スクラッチパッドへ保存することができません。これは、出荷時の調整設定値とデフォルトのレジスタ設定値に対する不慮の上書きを防止するためです。

レジスタ設定値のユーザ・スクラッチパッドへの保存

レジスタ設定値は、STORE_USER_ALL コマンド(コマンド・コード 0x15)を使って EEPROM メイン・ブロックのページ 1 にあるユーザ・スクラッチパッドへ保存することができます。このコマンドを実行する前に、先ず EEPROM のロックを書込み用に解除する必要があります(EEPROM ロックの解除のセクション参照)。

レジスタ設定値をユーザ・スクラッチパッドへ保存した後、後続の任意の電源オン/オフで直前に保存されたユーザ情報が EEPROM から内部レジスタへ自動的にダウンロードされます。

STORE_USER_ALL コマンドを実行すると、EEPROM メイン・ブロックのページ 1 に対するページ消去が自動的に実行されて、その後にレジスタが EEPROM へ保存されることに注意してください。このため、この動作の完了のために少なくとも 35 ms 待ち、その後で次の PMBus コマンドを実行することが重要です。

EEPROMのCRCチェックサム

EEPROM と内部レジスタからダウンロードされた値をチェックするシンプルな方法として、CRC チェックサムを採用しています。

- 内部レジスタのデータを EEPROM (メイン・ブロックのページ 1)へ保存するとき、すべてのレジスタからの 1 の数をカウントして合計値を、情報の最終バイトとして EEPROM へ書込みます。この値は CRC チェックサムと呼ばれます。
- データを EEPROM から内部レジスタへダウンロードする際、レジスタへロードされた値のすべての 1 の和を求める同じカウンタが保存されます。このカウンタ値が、前のアップロード動作時の CRC チェックサムと比較されます。

値が一致した場合、ダウンロード動作は正常と判断されます。値が異なる場合は、EEPROM ダウンロード動作が失敗したため、EEPROM_CRC 故障フラグ(レジスタ 0xFE81 のビット 5)がセットされます。

EEPROM CRC チェックサム値を読出すときは、EEPROM_CRC_CHKSUM コマンド(レジスタ 0xD1)を実行します。このコマンドは、ダウンロード動作時にカウンタでカウントされた CRC チェックサムを返します。

CRC チェックサムは、255 になると 0 へ戻る 8 ビット・サイクリック・アキュムレータであることに注意してください。

ソフトウェアGUI

ADP1047/ADP1048 の書込みと設定には無償のソフトウェアGUIを使用することができます。このGUIは直感的に理解できるようにデザインされているため、電源のデザインと開発の時間を大幅に短縮することができます。

このソフトウェアには、フィルタ・デザイン・ウインドウと電源PWM回路ウインドウが含まれています。また、このGUIは情報センターでもあり、ADP1047/ADP1048 のすべての測定値、モニタリング、フラグのステータスを表示します。

この GUI の最新版ソフトウェアとユーザ・ガイドについては、最寄りのアナログ・デバイセズにお尋ね下さい。

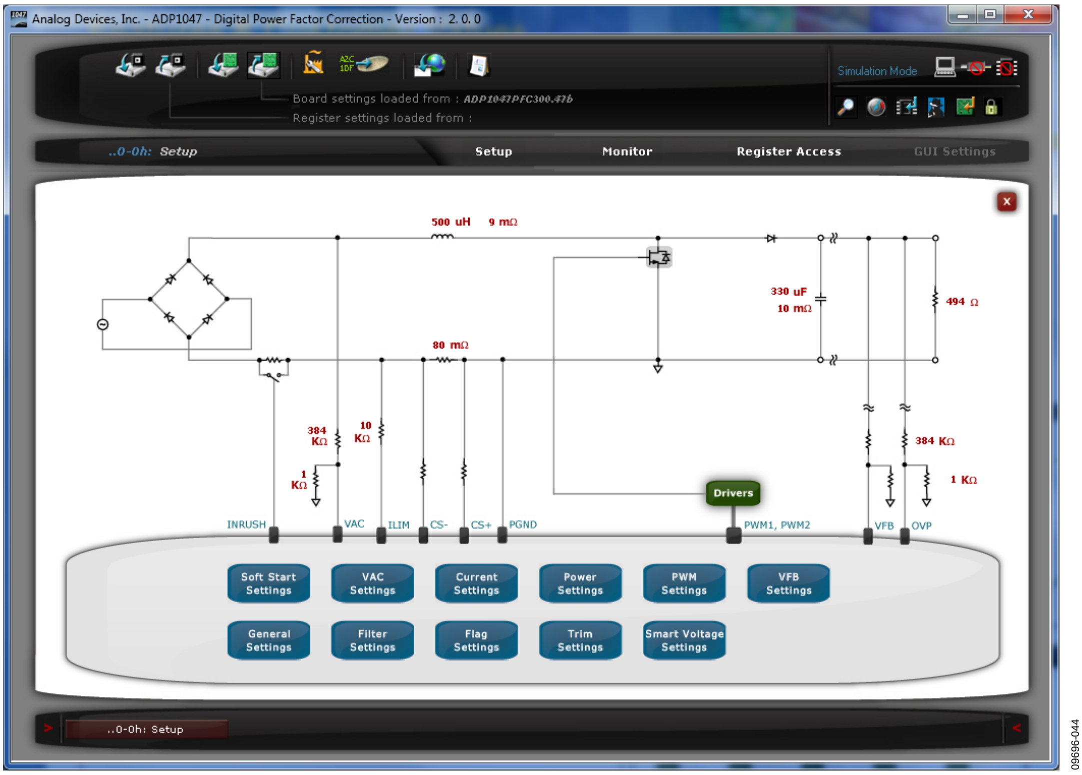


図 44.ADP1047/ADP1048 GUIのメイン・ウィンドウ

ADP1047/ADP1048でサポート中の標準PMBusコマンド

表 15 に、ADP1047/ADP1048 でサポートしている標準PMBusコマンドを示します。これらのコマンドの多くはレジスタで実現されており、これらのレジスタはPMBusコマンド・コードと同じ 16 進値を使用しています。

表 15.標準 PMBus コマンド

Command Code	Command Name
0x01	OPERATION
0x02	ON_OFF_CONFIG
0x03	CLEAR_FAULTS
0x10	WRITE_PROTECT
0x12	RESTORE_DEFAULT_ALL
0x15	STORE_USER_ALL
0x16	RESTORE_USER_ALL
0x19	CAPABILITY
0x20	VOUT_MODE
0x21	VOUT_COMMAND
0x29	VOUT_SCALE_LOOP
0x2A	VOUT_SCALE_MONITOR
0x35	VIN_ON
0x36	VIN_OFF
0x40	VOUT_OV_FAULT_LIMIT
0x41	VOUT_OV_FAULT_RESPONSE
0x42	VOUT_OV_WARN_LIMIT
0x43	VOUT_UV_WARN_LIMIT
0x44	VOUT_UV_FAULT_LIMIT
0x45	VOUT_UV_FAULT_RESPONSE
0x50	OT_FAULT_RESPONSE
0x55	VIN_OV_FAULT_LIMIT
0x56	VIN_OV_FAULT_RESPONSE
0x58	VIN_UV_WARN_LIMIT
0x59	VIN_UV_FAULT_LIMIT
0x5A	VIN_UV_FAULT_RESPONSE
0x5B	IIN_OC_FAULT_LIMIT
0x5C	IIN_OC_FAULT_RESPONSE
0x5D	IIN_OC_WARN_LIMIT
0x6B	PIN_OP_WARN_LIMIT
0x78	STATUS_BYTE
0x79	STATUS_WORD
0x7A	STATUS_VOUT

Command Code	Command Name
0x7C	STATUS_INPUT
0x7D	STATUS_TEMPERATURE
0x88	READ_VIN
0x89	READ_IIN
0x8B	READ_VOUT
0x97	READ_PIN
0x98	PMBUS_REVISION
0x99	MFR_ID
0x9A	MFR_MODEL
0x9B	MFR_REVISION
0xB0	EEPROM_DATA_00
0xB1	EEPROM_DATA_01
0xB2	EEPROM_DATA_02
0xB3	EEPROM_DATA_03
0xB4	EEPROM_DATA_04
0xB5	EEPROM_DATA_05
0xB6	EEPROM_DATA_06
0xB7	EEPROM_DATA_07
0xB8	EEPROM_DATA_08
0xB9	EEPROM_DATA_09
0xBA	EEPROM_DATA_10
0xBB	EEPROM_DATA_11
0xBC	EEPROM_DATA_12
0xBD	EEPROM_DATA_13
0xBE	EEPROM_DATA_14
0xBF	EEPROM_DATA_15
0xD1	EEPROM_CRC_CHKSUM
0xD2	EEPROM_NUM_RD_BYTES
0xD3	EEPROM_ADDR_OFFSET
0xD4	EEPROM_PAGE_ERASE
0xD5	EEPROM_PASSWORD
0xD6	TRIM_PASSWORD
0xF1	EEPROM_INFO

メーカー固有のPMBusコマンド

表 16 に ADP1047/ADP1048 でサポートしているメーカー固有のPMBusコマンドを示します。これらのコマンドはレジスタで実現されており、これらのレジスタはPMBusコマンド・コードと同じ 16 進値を使用しています。

表 16.メーカー固有コマンド

Command Code	Command Name
0xFE00	CS_FAST_OCP_RESPONSE
0xFE01	OVP_FAST_OVP_RESPONSE
0xFE02	OLP_RESPONSE
0xFE03	VDD3P3_RESPONSE
0xFE04	VCORE_RESPONSE
0xFE05	PGOOD_AC_OK_DEBOUNCE_SET
0xFE06	PSON_SET
0xFE07	FLAG_FAULT_ID
0xFE08	SOFTSTART_FLAGS_BLANK1
0xFE09	SOFTSTART_FLAGS_BLANK2
0xFE0A	PGOOD_FLAGS_LIST
0xFE0B	AC_OK_FLAGS_LIST
0xFE0C	PWM rising edge timing (PWM pin)
0xFE0D	PWM rising edge setting (PWM pin)
0xFE0E	PWM falling edge timing (PWM pin)
0xFE0F	PWM falling edge setting (PWM pin)
0xFE10	PWM2 rising edge timing (PWM2 pin)
0xFE11	PWM2 rising edge setting (PWM2 pin)
0xFE12	PWM2 falling edge timing (PWM2 pin)
0xFE13	PWM2 falling edge setting (PWM2 pin)
0xFE14	PWM_SET
0xFE15	PWM_LIMIT
0xFE16	RTD ADC offset trim setting (MSB)
0xFE17	RTD ADC offset trim setting (LSB)
0xFE18	RTD ADC gain trim setting
0xFE19	OT_FAULT_LIMIT
0xFE1A	OT_WARN_LIMIT
0xFE1B	Switching frequency setting
0xFE1C	Low power switching frequency setting
0xFE1D	Frequency dithering set
0xFE1E	Frequency synchronization set
0xFE20	Voltage loop filter gain
0xFE21	Voltage loop filter zero
0xFE22	Fast voltage loop filter gain
0xFE23	Fast voltage loop filter zero
0xFE24	Fast voltage loop enable
0xFE25	VAC_THRESHOLD_SET
0xFE26	VAC_THRESHOLD_READ
0xFE27	MIN_AC_PERIOD_SET
0xFE28	MAX_AC_PERIOD_SET
0xFE29	Current loop filter gain for low line input
0xFE2A	Current loop filter zero for low line input
0xFE2B	Current loop filter gain for high line input
0xFE2C	Current loop filter zero for high line input
0xFE2D	Soft start set
0xFE2E	Inrush set
0xFE2F	FAST_OVP_FAULT_RISE
0xFE30	FAST_OVP_FAULT_FALL
0xFE31	Fast OVP debounce time setting
0xFE32	Low power mode operation threshold
0xFE33	Power metering offset trim for low line input
0xFE34	Power metering gain trim for low line input

Command Code	Command Name
0xFE35	High line limit
0xFE36	Low line limit
0xFE37	ILIM_TRIM
0xFE38	Voltage loop output
0xFE39	Exponent
0xFE3A	Read update rate
0xFE3B	VIN scale monitor
0xFE3C	IIN_GSENSE
0xFE3D	CS fast OCP blank
0xFE3E	CS fast OCP setting
0xFE3F	Temperature hysteresis
0xFE40	VAC ADC gain trim
0xFE41	VFB ADC gain trim
0xFE42	CS ADC gain trim for 500 mV range
0xFE43	IBAL gain (ADP1048 only)
0xFE44	Smart VOUT low power threshold (P1)
0xFE45	Smart VOUT high power threshold (P2)
0xFE46	Smart VOUT low line (VOL1)
0xFE47	Smart VOUT low line (VOL2)
0xFE48	Smart VOUT high line (VOH1)
0xFE49	Smart VOUT high line (VOH2)
0xFE4A	Smart VOUT upper limit (VOH)
0xFE4B	Smart VOUT super high line
0xFE4C	SYNC delay
0xFE4D	SMART_VOUT_SUPER_HIGH_LINE_HYS
0xFE4E	POWER_HYS
0xFE4F	Advanced feature enable
0xFE50	VOUT_OV_FAULT_HYS
0xFE51	VIN_UV_FAULT_HYS
0xFE53	VAC ADC offset trim
0xFE54	CS ADC offset trim for 500 mV range
0xFE7E	CS ADC gain trim for high (750 mV) range
0xFE7F	CS ADC offset trim for high (750 mV) range
0xFE80	Latched Flag 0
0xFE81	Latched Flag 1
0xFE82	Latched Flag 2
0xFE84	PWM value
0xFE85	VAC_LINE_PERIOD
0xFE86	Read temperature ADC
0xFE8E	Power metering offset trim for high line input
0xFE8F	Power metering gain trim for high line input
0xFE90	Current loop filter gain for low line input and light load
0xFE91	Current loop filter zero for low line input and light load
0xFE92	Current loop filter gain for high line input and light load
0xFE93	Current loop filter zero for high line input and light load
0xFE94	Smart VOUT power reading
0xFE95	IBAL configuration (ADP1048 only)
0xFE96	Debug Flag 0
0xFE97	Debug Flag 1

Command Code	Command Name
0xFE98	Debug Flag 2
0xFE99	Debug Flag 3
0xFE9A	Debug Flag 4
0xFE9B	Debug Flag 5

レジスタの詳細説明

OPERATIONレジスタ

表 17.レジスタ 0x01—OPERATION

Bits	Bit Name	R/W	Description
7	Enable	R/W	This bit determines the device response to the OPERATION command. 0 = immediate off (no sequencing). 1 = device on.
6	RSVD	R	Always reads as 0.
[5: 4]	Margin control	R	These bits set the output voltage margin level and are hardcoded to a value of 00.
[3: 2]	Margin fault response	R	These bits set the device response to an output OVP/UVP warning or fault after the output is margined. These bits are hardcoded to a value of 01.
[1: 0]	RSVD	R	Reserved.

ON_OFF_CONFIGレジスタ

表 18.レジスタ 0x02—ON_OFF_CONFIG

Bits	Bit Name	R/W	Description
[7: 5]	RSVD	R	Reserved.
4	Power-up control	R/W	Set the device power-up response. 0 = device powers up when power is present. 1 = device powers up only when commanded by the control pin (PSON) and the OPERATION command.
3	Command enable	R/W	Control how the device responds to the OPERATION command. 0 = ignore the OPERATION command. 1 = the OPERATION command must be set to 1 to enable the device (in addition to setting Bit 2).
2	Pin enable	R/W	Control how the device responds to the value of the control pin (PSON). 0 = ignore the control pin (PSON). 1 = the control pin must be asserted to enable the device (in addition to setting Bit 3).
1	Control pin polarity	R/W	Set the polarity of the control pin (PSON). 0 = active low. 1 = active high.
0	Power-down delay	R	Actions to take on power-down. This bit always reads as 1 (turn off the output and stop energy transfer to the output as fast as possible).

CLEAR_FAULTSコマンド

Code 0x03、バイト送信、データなし。このコマンドは、すべてのレジスタのすべての故障ビットを同時にクリアします。

WRITE_PROTECTレジスタ

表 19.レジスタ 0x10—WRITE_PROTECT

Bits	Bit Name	R/W	Description
7	Write Protect 1	R/W	Setting this bit disables writes to all commands except for WRITE_PROTECT.
6	Write Protect 2	R/W	Setting this bit disables writes to all commands except for WRITE_PROTECT, OPERATION, and EEPROM_PAGE_ERASE.
5	Write Protect 3	R/W	Setting this bit disables writes to all commands except for WRITE_PROTECT, OPERATION, EEPROM_PAGE_ERASE, ON_OFF_CONFIG, and VOUT_COMMAND.
[4: 0]	RSVD	R	Reserved.

RESTORE_DEFAULT_ALLコマンド

コード 0x12、バイト送信、データなし。このコマンドは、出荷時デフォルト・パラメータを EEPROM から動作メモリへダウンロードします。

STORE_USER_ALLコマンド

コード 0x15、バイト送信、データなし。このコマンドは、動作メモリの全内容を EEPROM (メイン・ブロックのページ 1)へコピーします。

RESTORE_USER_ALLコマンド

コード0x16、バイト送信、データなし。このコマンドは、保存済みのユーザ設定値をEEPROMから動作メモリへダウンロードします。

CAPABILITYレジスタ

このレジスタにより、ホスト・システムはPMBusデバイスの機能を知ることができます。

表20. レジスタ0x19—PMBusデバイス機能

Bits	Bit Name	R/W	Description
7	Packet error checking	R	Always reads as 0. Packet error checking (PEC) is not supported.
[6: 5]	Maximum bus speed	R	Return the device PMBus speed capability. These bits are hardcoded to a value of 01 (use the 400 kHz maximum bus speed).
4	SMBALERT#	R	Always reads as 0. SMBALERT# pin and SMBus alert response protocol not supported.
[3: 0]	RSVD	R	Reserved.

VOUT_MODEレジスタ

このレジスタを使って、フォーマット(リニア、VID、ダイレクト)とVOUT関連コマンドの指数の設定と読出しを行います。

表21. レジスタ0x20—VOUT_MODE

Bits	Bit Name	R/W	Description
[7: 5]	Mode	R	Return the output voltage data format. This bit is hardcoded to use linear format.
[4: 3]	RSVD	R	Reserved.
[2: 0]	Exponent	R/W	Specify the exponent (N) used in VOUT linear mode format ($X = Y \times 2^N$). The exponent is in twos complement format.

VOUT_COMMANDレジスタ

このレジスタを使って、VOUTを設定値に設定します。

表22. レジスタ0x21—VOUT_COMMAND

Bits	Bit Name	R/W	Description
[15: 12]	RSVD	R	Reserved. Always reads as 0000.
[11: 0]	Mantissa	R/W	Mantissa (Y[11: 0]) used in VOUT linear mode format ($X = Y \times 2^N$).

VOUT_SCALE_LOOPレジスタ

このレジスタを使ってKファクタ = VADC/VOUTを設定します。

表23. レジスタ0x29—VOUT_SCALE_LOOP

Bits	Bit Name	R/W	Description
[15: 11]	Exponent	R/W	Write the exponent (N) in twos complement format for $K = Y \times 2^N$.
10	RSVD	R	Always reads as 0.
[9: 0]	Mantissa	R/W	Mantissa (Y[9: 0]) used in K linear mode format ($K = Y \times 2^N$).

VOUT_SCALE_MONITORレジスタ

このレジスタを使って Kr ファクタ = VOUT/VADC を設定します。

表 24. レジスタ 0x2A—VOUT_SCALE_MONITOR

Bits	Bit Name	R/W	Description
[15: 14]	RSVD	R	Reserved.
[13: 11]	Exponent	R/W	Write the exponent (N) in twos complement format for Kr = Y × 2^N.
10	RSVD	R	Always reads as 0.
[9: 0]	Mantissa	R/W	Mantissa (Y[9: 0]) used in Kr linear mode format (Kr = Y × 2^N).

VIN_ONレジスタ

このレジスタを使って、電力変換を開始させる入力電圧値を設定します。

表 25. レジスタ 0x35—VIN_ON

Bits	Bit Name	R/W	Description
[15: 11]	Exponent	R	Return the exponent (N) used in VIN linear mode format (X = Y × 2^N). The exponent (N) is set in the exponent register (Register 0xFE39, Bits[5: 3]).
[10: 8]	High bits	R/W	Mantissa high bits (Y[10: 8]) used in VIN linear mode format (X = Y × 2^N).
[7: 0]	Low byte	R/W	Mantissa low byte (Y[7: 0]) used in VIN linear mode format (X = Y × 2^N). The exponent (N) is set in the exponent register (Register 0xFE39, Bits[5: 3]).

VIN_OFFレジスタ

このレジスタを使って、電力変換を停止させる入力電圧値を設定します。

表 26. レジスタ 0x36—VIN_OFF

Bits	Bit Name	R/W	Description
[15: 11]	Exponent	R	Return the exponent (N) used in VIN linear mode format (X = Y × 2^N). The exponent (N) is set in the exponent register (Register 0xFE39, Bits[5: 3]).
[10: 8]	High bits	R/W	Mantissa high bits (Y[10: 8]) used in VIN linear mode format (X = Y × 2^N).
[7: 0]	Low byte	R/W	Mantissa low byte (Y[7: 0]) used in VIN linear mode format (X = Y × 2^N). The exponent (N) is set in the exponent register (Register 0xFE39, Bits[5: 3]).

VOUT_OV_FAULT_LIMITレジスタ

このレジスタを使って、過電圧故障状態を発生させる、PFC 出力での正確な過電圧スレッショールドを設定します。

表 27. レジスタ 0x40—VOUT_OV_FAULT_LIMIT

Bits	Bit Name	R/W	Description
[15: 11]	Exponent	R	Return the exponent (N) used in VOUT linear mode format (X = Y × 2^N). The exponent (N) is set in the VOUT_MODE register (Register 0x20, Bits[2: 0]). The exponent is in twos complement format.
[10: 8]	High bits	R/W	Mantissa high bits (Y[10: 8]) used in VOUT linear mode format (X = Y × 2^N).
[7: 0]	Low byte	R/W	Mantissa low byte (Y[7: 0]) used in VOUT linear mode format (X = Y × 2^N).

VOUT_OV_FAULT_RESPONSEレジスタ

このレジスタにより、出力過電圧故障状態発生時のデバイス動作を指定します。

表 28. レジスタ 0x41—VOUT_OV_FAULT_RESPONSE

Bits	Bit Name	R/W	Description		
[7: 6]	Response	R/W	These bits determine the device response to an output overvoltage fault condition.		
			Bit 7	**Bit 6**	**Response**
			0	0	Do nothing.
			0	1	Continue operation for the time specified by Delay Time 1 (Bits[2: 0]). If the fault persists, retry the number of times specified by the retry setting (Bits[5: 3]).
			1	0	Shut down, disable the output, and retry the number of times specified by the retry setting (Bits[5: 3]).
			1	1	Disable the output and wait for the fault to clear. After the fault is cleared, reenable the output.

Bits	Bit Name	R/W	Description				
[5: 3]	Retry setting	R/W	Number of retry attempts following a fault condition. If the fault persists after the programmed number of attempts, the output is disabled and remains off until the fault is cleared. A fault condition can be cleared by a reset, a power-off/power-on sequence, or a loss of bias power. The time between restart attempts is specified by Delay Time 2 (Bits[2: 0]).				
			Bit 5	**Bit 4**	**Bit 3**	**Number of Retries**	
			0	0	0	0	
			0	0	1	1	
			0	1	0	2	
			0	1	1	3	
			1	0	0	4	
			1	0	1	5	
			1	1	0	6	
			1	1	1	Infinite	
[2: 0]	Delay times	R/W	Delay Time 1 is the delay before the device disables the output after a fault condition is detected. Delay Time 2 is the time between restart attempts.				
			Bit 2	**Bit 1**	**Bit 0**	**Delay Time 1**	**Delay Time 2**
			0	0	0	10 ms	252 ms
			0	0	1	20 ms	558 ms
			0	1	0	40 ms	924 ms
			0	1	1	80 ms	1260 ms
			1	0	0	160 ms	1596 ms
			1	0	1	320 ms	1932 ms
			1	1	0	640 ms	2268 ms
			1	1	1	1280 ms	2604 ms

VOUT_OV_WARN_LIMITレジスタ

このレジスタを使って、過電圧警報状態を発生させる、PFC 出力での正確な過電圧スレッショールドを設定します。

表 29. レジスタ 0x42—VOUT_OV_WARN_LIMIT

Bits	Bit Name	R/W	Description
[15: 11]	Exponent	R	Return the exponent (N) used in VOUT linear mode format ($X = Y \times 2^N$). The exponent (N) is set in the VOUT_MODE register (Register 0x20, Bits[2: 0]). The exponent is in twos complement format.
[10: 8]	High bits	R/W	Mantissa high bits (Y[10: 8]) used in VOUT linear mode format ($X = Y \times 2^N$).
[7: 0]	Low byte	R/W	Mantissa low byte (Y[7: 0]) used in VOUT linear mode format ($X = Y \times 2^N$).

VOUT_UV_WARN_LIMITレジスタ

このレジスタを使って、低電圧警報状態を発生させる、PFC 出力で測定した低電圧スレッショールドを設定します。

表 30. レジスタ 0x43—VOUT_UV_WARN_LIMIT

Bits	Bit Name	R/W	Description
[15: 11]	Exponent	R	Return the exponent (N) used in VOUT linear mode format ($X = Y \times 2^N$). The exponent (N) is set in the VOUT_MODE register (Register 0x20, Bits[2: 0]). The exponent is in twos complement format.
[10: 8]	High bits	R/W	Mantissa high bits (Y[10: 8]) used in VOUT linear mode format ($X = Y \times 2^N$).
[7: 0]	Low byte	R/W	Mantissa low byte (Y[7: 0]) used in VOUT linear mode format ($X = Y \times 2^N$).

VOUT_UV_FAULT_LIMITレジスタ

このレジスタを使って、低電圧故障状態を発生させる、PFC 出力で測定した低電圧スレッショールドを設定します。

表 31. レジスタ 0x44—VOUT_UV_FAULT_LIMIT

Bits	Bit Name	R/W	Description
[15: 11]	Exponent	R	Return the exponent (N) used in VOUT linear mode format ($X = Y \times 2^N$). The exponent (N) is set in the VOUT_MODE register (Register 0x20, Bits[2: 0]). The exponent is in twos complement format.
[10: 8]	High bits	R/W	Mantissa high bits (Y[10: 8]) used in VOUT linear mode format ($X = Y \times 2^N$).
[7: 0]	Low byte	R/W	Mantissa low byte (Y[7: 0]) used in VOUT linear mode format ($X = Y \times 2^N$).

VOUT_UV_FAULT_RESPONSEレジスタ

このレジスタにより、出力低電圧故障状態発生時のデバイス動作を指定します。

表 32.レジスタ 0x45—VOUT_UV_FAULT_RESPONSE

<table>
<tr><th>Bits</th><th>Bit Name</th><th>R/W</th><th>Description</th></tr>
<tr><td>[7: 6]</td><td>Response</td><td>R/W</td><td>These bits determine the device response to an output undervoltage fault condition.
<table>
<tr><th>Bit 7</th><th>Bit 6</th><th>Response</th></tr>
<tr><td>0</td><td>0</td><td>Do nothing.</td></tr>
<tr><td>0</td><td>1</td><td>Continue operation for the time specified by Delay Time 1 (Bits[2: 0]). If the fault persists, retry the number of times specified by the retry setting (Bits[5: 3]).</td></tr>
<tr><td>1</td><td>0</td><td>Shut down, disable the output, and retry the number of times specified by the retry setting (Bits[5: 3]).</td></tr>
<tr><td>1</td><td>1</td><td>Disable the output and wait for the fault to clear. After the fault is cleared, reenable the output.</td></tr>
</table></td></tr>
<tr><td>[5: 3]</td><td>Retry setting</td><td>R/W</td><td>Number of retry attempts following a fault condition. If the fault persists after the programmed number of attempts, the output is disabled and remains off until the fault is cleared. A fault condition can be cleared by a reset, a power-off/power-on sequence, or a loss of bias power. The time between restart attempts is specified by Delay Time 2 (Bits[2: 0]).
<table>
<tr><th>Bit 5</th><th>Bit 4</th><th>Bit 3</th><th>Number of Retries</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>0</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>1</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>2</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>3</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>4</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>5</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>6</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>Infinite</td></tr>
</table></td></tr>
<tr><td>[2: 0]</td><td>Delay times</td><td>R/W</td><td>Delay Time 1 is the delay before the device disables the output after a fault condition is detected. Delay Time 2 is the time between restart attempts.
<table>
<tr><th>Bit 2</th><th>Bit 1</th><th>Bit 0</th><th>Delay Time 1</th><th>Delay Time 2</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>10 ms</td><td>252 ms</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>20 ms</td><td>558 ms</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>40 ms</td><td>924 ms</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>80 ms</td><td>1260 ms</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>160 ms</td><td>1596 ms</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>320 ms</td><td>1932 ms</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>640 ms</td><td>2268 ms</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>1280 ms</td><td>2604 ms</td></tr>
</table></td></tr>
</table>

OT_FAULT_RESPONSEレジスタ

このレジスタにより、温度上昇故障状態発生時のデバイス動作を指定します。

表 33.レジスタ 0x50—OT_FAULT_RESPONSE

<table>
<tr><th>Bits</th><th>Bit Name</th><th>R/W</th><th>Description</th></tr>
<tr><td>[7: 6]</td><td>Response</td><td>R/W</td><td>These bits determine the device response to an overtemperature fault condition.
<table>
<tr><th>Bit 7</th><th>Bit 6</th><th>Response</th></tr>
<tr><td>0</td><td>0</td><td>Do nothing.</td></tr>
<tr><td>0</td><td>1</td><td>Continue operation for the time specified by Delay Time 1 (Bits[2: 0]). If the fault persists, retry the number of times specified by the retry setting (Bits[5: 3]).</td></tr>
<tr><td>1</td><td>0</td><td>Shut down, disable the output, and retry the number of times specified by the retry setting (Bits[5: 3]).</td></tr>
<tr><td>1</td><td>1</td><td>Disable the output and wait for the fault to clear. After the fault is cleared, reenable the output.</td></tr>
</table></td></tr>
</table>

<table>
<tr><th>Bits</th><th>Bit Name</th><th>R/W</th><th colspan="5">Description</th></tr>
<tr><td rowspan="10">[5: 3]</td><td rowspan="10">Retry setting</td><td rowspan="10">R/W</td><td colspan="5">Number of retry attempts following a fault condition. If the fault persists after the programmed number of attempts, the output is disabled and remains off until the fault is cleared. A fault condition can be cleared by a reset, a power-off/power-on sequence, or a loss of bias power. The time between restart attempts is specified by Delay Time 2 (Bits[2: 0]).</td></tr>
<tr><td>Bit 5</td><td>Bit 4</td><td>Bit 3</td><td colspan="2">Number of Retries</td></tr>
<tr><td>0</td><td>0</td><td>0</td><td colspan="2">0</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td colspan="2">1</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td colspan="2">2</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td colspan="2">3</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td colspan="2">4</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td colspan="2">5</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td colspan="2">6</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td colspan="2">Infinite</td></tr>
<tr><td rowspan="10">[2: 0]</td><td rowspan="10">Delay times</td><td rowspan="10">R/W</td><td colspan="5">Delay Time 1 is the delay before the device disables the output after a fault condition is detected. Delay Time 2 is the time between restart attempts.</td></tr>
<tr><td>Bit 2</td><td>Bit 1</td><td>Bit 0</td><td>Delay Time 1</td><td>Delay Time 2</td></tr>
<tr><td>0</td><td>0</td><td>0</td><td>10 ms</td><td>252 ms</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>20 ms</td><td>558 ms</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>40 ms</td><td>924 ms</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>80 ms</td><td>1260 ms</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>160 ms</td><td>1596 ms</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>320 ms</td><td>1932 ms</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>640 ms</td><td>2268 ms</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>1280 ms</td><td>2604 ms</td></tr>
</table>

VIN_OV_FAULT_LIMITレジスタ

このレジスタを使って、過電圧故障状態を発生させる、PFC 入力での過電圧スレッショールドを設定します。

表 34. レジスタ 0x55—VIN_OV_FAULT_LIMIT

Bits	Bit Name	R/W	Description
[15: 11]	Exponent	R	Return the exponent (N) used in VIN linear mode format ($X = Y \times 2^N$). The exponent (N) is set in the exponent register (Register 0xFE39, Bits[5: 3]).
[10: 8]	High bits	R/W	Mantissa high bits (Y[10: 8]) used in VIN linear mode format ($X = Y \times 2^N$).
[7: 0]	Low byte	R/W	Mantissa low byte (Y[7: 0]) used in VIN linear mode format ($X = Y \times 2^N$). The exponent (N) is set in the exponent register (Register 0xFE39, Bits[5: 3]).

VIN_OV_FAULT_RESPONSEレジスタ

このレジスタにより、入力過電圧故障状態発生時のデバイス動作を指定します。

表 35. レジスタ 0x56—VIN_OV_FAULT_RESPONSE

<table>
<tr><th>Bits</th><th>Bit Name</th><th>R/W</th><th colspan="3">Description</th></tr>
<tr><td rowspan="6">[7: 6]</td><td rowspan="6">Response</td><td rowspan="6">R/W</td><td colspan="3">These bits determine the device response to an input overvoltage fault condition.</td></tr>
<tr><td>Bit 7</td><td>Bit 6</td><td>Response</td></tr>
<tr><td>0</td><td>0</td><td>Do nothing.</td></tr>
<tr><td>0</td><td>1</td><td>Continue operation for the time specified by Delay Time 1 (Bits[2: 0]). If the fault persists, retry the number of times specified by the retry setting (Bits[5: 3]).</td></tr>
<tr><td>1</td><td>0</td><td>Shut down, disable the output, and retry the number of times specified by the retry setting (Bits[5: 3]).</td></tr>
<tr><td>1</td><td>1</td><td>Disable the output and wait for the fault to clear. After the fault is cleared, reenable the output.</td></tr>
</table>

<table>
<tr><th>Bits</th><th>Bit Name</th><th>R/W</th><th colspan="5">Description</th></tr>
<tr><td rowspan="10">[5: 3]</td><td rowspan="10">Retry setting</td><td rowspan="10">R/W</td><td colspan="5">Number of retry attempts following a fault condition. If the fault persists after the programmed number of attempts, the output is disabled and remains off until the fault is cleared. A fault condition can be cleared by a reset, a power-off/power-on sequence, or a loss of bias power. The time between restart attempts is specified by Delay Time 2 (Bits[2: 0]).</td></tr>
<tr><td>Bit 5</td><td>Bit 4</td><td>Bit 3</td><td colspan="2">Number of Retries</td></tr>
<tr><td>0</td><td>0</td><td>0</td><td colspan="2">0</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td colspan="2">1</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td colspan="2">2</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td colspan="2">3</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td colspan="2">4</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td colspan="2">5</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td colspan="2">6</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td colspan="2">Infinite</td></tr>
<tr><td rowspan="10">[2: 0]</td><td rowspan="10">Delay times</td><td rowspan="10">R/W</td><td colspan="5">Delay Time 1 is the delay before the device disables the output after a fault condition is detected. Delay Time 2 is the time between restart attempts.</td></tr>
<tr><td>Bit 2</td><td>Bit 1</td><td>Bit 0</td><td>Delay Time 1</td><td>Delay Time 2</td></tr>
<tr><td>0</td><td>0</td><td>0</td><td>10 ms</td><td>252 ms</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>20 ms</td><td>558 ms</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>40 ms</td><td>924 ms</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>80 ms</td><td>1260 ms</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>160 ms</td><td>1596 ms</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>320 ms</td><td>1932 ms</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>640 ms</td><td>2268 ms</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>1280 ms</td><td>2604 ms</td></tr>
</table>

VIN_UV_WARN_LIMITレジスタ

このレジスタを使って、低電圧警報状態を発生させる、PFC 入力で測定した低電圧スレッショールドを設定します。

表 36. レジスタ 0x58—VIN_UV_WARN_LIMIT

Bits	Bit Name	R/W	Description
[15: 11]	Exponent	R	Return the exponent (N) used in VIN linear mode format ($X = Y \times 2^N$). The exponent is set in the exponent register (Register 0xFE39, Bits[5: 3]).
[10: 8]	High bits	R/W	Mantissa high bits (Y[10: 8]) used in VIN linear mode format ($X = Y \times 2^N$).
[7: 0]	Low byte	R/W	Mantissa low byte (Y[7: 0]) used in VIN linear mode format ($X = Y \times 2^N$). The exponent (N) is set in the exponent register (Register 0xFE39, Bits[5: 3]).

VIN_UV_FAULT_LIMITレジスタ

このレジスタを使って、低電圧故障状態を発生させる、PFC 入力で測定した低電圧スレッショールドを設定します。

表 37. レジスタ 0x59—VIN_UV_FAULT_LIMIT

Bits	Bit Name	R/W	Description
[15: 11]	Exponent	R	Return the exponent (N) used in VIN linear mode format ($X = Y \times 2^N$). The exponent is set in the exponent register (Register 0xFE39, Bits[5: 3]).
[10: 8]	High bits	R/W	Mantissa high bits (Y[10: 8]) used in VIN linear mode format ($X = Y \times 2^N$).
[7: 0]	Low byte	R/W	Mantissa low byte (Y[7: 0]) used in VIN linear mode format ($X = Y \times 2^N$). The exponent (N) is set in the exponent register (Register 0xFE39, Bits[5: 3]).

VIN_UV_FAULT_RESPONSEレジスタ

このレジスタにより、入力低電圧故障状態発生時のデバイス動作を指定します。

表 38. レジスタ 0x5A—VIN_UV_FAULT_RESPONSE

<table>
<tr><th>Bits</th><th>Bit Name</th><th>R/W</th><th colspan="5">Description</th></tr>
<tr><td rowspan="6">[7: 6]</td><td rowspan="6">Response</td><td rowspan="6">R/W</td><td colspan="5">These bits determine the device response to an input undervoltage fault condition.</td></tr>
<tr><td>Bit 7</td><td>Bit 6</td><td colspan="3">Response</td></tr>
<tr><td>0</td><td>0</td><td colspan="3">Do nothing.</td></tr>
<tr><td>0</td><td>1</td><td colspan="3">Continue operation for the time specified by Delay Time 1 (Bits[2: 0]). If the fault persists, retry the number of times specified by the retry setting (Bits[5: 3]).</td></tr>
<tr><td>1</td><td>0</td><td colspan="3">Shut down, disable the output, and retry the number of times specified by the retry setting (Bits[5: 3]).</td></tr>
<tr><td>1</td><td>1</td><td colspan="3">Disable the output and wait for the fault to clear. After the fault is cleared, reenable the output.</td></tr>
<tr><td rowspan="10">[5: 3]</td><td rowspan="10">Retry setting</td><td rowspan="10">R/W</td><td colspan="5">Number of retry attempts following a fault condition. If the fault persists after the programmed number of attempts, the output is disabled and remains off until the fault is cleared. A fault condition can be cleared by a reset, a power-off/power-on sequence, or a loss of bias power. The time between restart attempts is specified by Delay Time 2 (Bits[2: 0]).</td></tr>
<tr><td>Bit 5</td><td>Bit 4</td><td>Bit 3</td><td colspan="2">Number of Retries</td></tr>
<tr><td>0</td><td>0</td><td>0</td><td colspan="2">0</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td colspan="2">1</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td colspan="2">2</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td colspan="2">3</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td colspan="2">4</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td colspan="2">5</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td colspan="2">6</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td colspan="2">Infinite</td></tr>
<tr><td rowspan="10">[2: 0]</td><td rowspan="10">Delay times</td><td rowspan="10">R/W</td><td colspan="5">Delay Time 1 is the delay before the device disables the output after a fault condition is detected. Delay Time 2 is the time between restart attempts.</td></tr>
<tr><td>Bit 2</td><td>Bit 1</td><td>Bit 0</td><td>Delay Time 1</td><td>Delay Time 2</td></tr>
<tr><td>0</td><td>0</td><td>0</td><td>10 ms</td><td>252 ms</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>20 ms</td><td>558 ms</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>40 ms</td><td>924 ms</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>80 ms</td><td>1260 ms</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>160 ms</td><td>1596 ms</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>320 ms</td><td>1932 ms</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>640 ms</td><td>2268 ms</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>1280 ms</td><td>2604 ms</td></tr>
</table>

IIN_OC_FAULT_LIMITレジスタ

このレジスタを使って、過電流故障状態を発生させる、PFC 入力で測定した正確な過電流スレッショールドを設定します。

表 39. レジスタ 0x5B—IIN_OC_FAULT_LIMIT

Bits	Bit Name	R/W	Description
[15: 11]	Exponent	R	Return the exponent (N) used in current linear mode format ($X = Y \times 2^N$). The exponent is set in the exponent register (Register 0xFE39, Bits[10: 6]).
[10: 8]	High bits	R/W	Mantissa high bits (Y[10: 8]) used in current linear mode format ($X = Y \times 2^N$).
[7: 0]	Low byte	R/W	Mantissa low byte (Y[7: 0]) used in current linear mode format ($X = Y \times 2^N$).

IIN_OC_FAULT_RESPONSEレジスタ

このレジスタにより、入力過電流故障状態発生時のデバイス動作を指定します。

表 40. レジスタ 0x5C—IIN_OC_FAULT_RESPONSE

<table>
<tr><th>Bits</th><th>Bit Name</th><th>R/W</th><th>Description</th></tr>
<tr><td>[7: 6]</td><td>Response</td><td>R/W</td><td>These bits determine the device response to an input overcurrent fault condition.
<table>
<tr><th>Bit 7</th><th>Bit 6</th><th>Response</th></tr>
<tr><td>0</td><td>0</td><td>Do nothing.</td></tr>
<tr><td>0</td><td>1</td><td>Continue operation for the time specified by Delay Time 1 (Bits[2: 0]). If the fault persists, retry the number of times specified by the retry setting (Bits[5: 3]).</td></tr>
<tr><td>1</td><td>0</td><td>Shut down, disable the output, and retry the number of times specified by the retry setting (Bits[5: 3]).</td></tr>
<tr><td>1</td><td>1</td><td>Disable the output and wait for the fault to clear. After the fault is cleared, reenable the output.</td></tr>
</table></td></tr>
<tr><td>[5: 3]</td><td>Retry setting</td><td>R/W</td><td>Number of retry attempts following a fault condition. If the fault persists after the programmed number of attempts, the output is disabled and remains off until the fault is cleared. A fault condition can be cleared by a reset, a power-off/power-on sequence, or a loss of bias power. The time between restart attempts is specified by Delay Time 2 (Bits[2: 0]).
<table>
<tr><th>Bit 5</th><th>Bit 4</th><th>Bit 3</th><th>Number of Retries</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>0</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>1</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>2</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>3</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>4</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>5</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>6</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>Infinite</td></tr>
</table></td></tr>
<tr><td>[2: 0]</td><td>Delay times</td><td>R/W</td><td>Delay Time 1 is the delay before the device disables the output after a fault condition is detected. Delay Time 2 is the time between restart attempts.
<table>
<tr><th>Bit 2</th><th>Bit 1</th><th>Bit 0</th><th>Delay Time 1</th><th>Delay Time 2</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>10 ms</td><td>252 ms</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>20 ms</td><td>558 ms</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>40 ms</td><td>924 ms</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>80 ms</td><td>1260 ms</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>160 ms</td><td>1596 ms</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>320 ms</td><td>1932 ms</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>640 ms</td><td>2268 ms</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>1280 ms</td><td>2604 ms</td></tr>
</table></td></tr>
</table>

IIN_OC_WARN_LIMITレジスタ

このレジスタを使って、過電流警報状態を発生させる、PFC 入力で測定した正確な過電流スレッショールドを設定します。

表 41. レジスタ 0x5D—IIN_OC_WARN_LIMIT

Bits	Bit Name	R/W	Description
[15: 11]	Exponent	R	Return the exponent (N) used in current linear mode format ($X = Y \times 2^N$). The exponent is set in the exponent register (Register 0xFE39, Bits[10: 6]).
[10: 8]	High bits	R/W	Mantissa high bits (Y[10: 8]) used in current linear mode format ($X = Y \times 2^N$).
[7: 0]	Low byte	R/W	Mantissa low byte (Y[7: 0]) used in current linear mode format ($X = Y \times 2^N$).

PIN_OP_WARN_LIMITレジスタ

このレジスタを使って、入力過電力警報状態を発生させる、上側入力電力(W)スレッショールドを設定します。

表 42. レジスタ 0x6B—PIN_OP_WARN_LIMIT

Bits	Bit Name	R/W	Description
[15: 11]	Exponent	R	Return the exponent (N) used in power linear mode format ($X = Y \times 2^N$). The exponent is set in the exponent register (Register 0xFE39, Bits[2: 0]).
[10: 8]	High bits	R/W	Mantissa high bits (Y[10: 8]) used in power linear mode format ($X = Y \times 2^N$).
[7: 0]	Low byte	R/W	Mantissa low byte (Y[7: 0]) used in power linear mode format ($X = Y \times 2^N$).

STATUS_BYTEレジスタ

このレジスタは、STATUS_WORD レジスタの下位バイトを返します。このレジスタ値の 1 は、故障が発生したことを表示します。

表 43. レジスタ 0x78—STATUS_BYTE

Bits	Bit Name	R/W	Description
7	BUSY	R	1 = device was busy and unable to respond.
6	PSON_OFF	R	1 = device is not providing power to the output.
5	VOUT_OV	R	1 = output overvoltage fault.
4	IOUT_OC	R	1 = output overcurrent fault.
3	VIN_UV	R	1 = input undervoltage fault.
2	TEMPERATURE	R	1 = temperature fault or warning.
1	CML	R	1 = communications, memory, or logic fault.
0	NONE_OF_THE_ ABOVE	R	1 = fault or warning not listed in Bits[7: 1].

STATUS_WORDレジスタ

このレジスタ値の 1 は、故障が発生したことを表示します。

表 44. レジスタ 0x79—STATUS_WORD

Bits	Bit Name	R/W	Description
15	VOUT	R	1 = output voltage fault or warning.
14	IOUT/POUT	R	1 = output current or output power fault or warning.
13	INPUT	R	1 = input voltage, input current, or input power fault or warning.
12	MFR	R	1 = manufacturer-specific fault or warning.
11	POWER_GOOD#	R	1 = POWER_GOOD is negated.
10	FANS	R	1 = fan or airflow fault or warning.
9	OTHER	R	Always reads as 0.
8	UNKNOWN	R	1 = fault or warning not listed in Bits[15: 1].
7	BUSY	R	1 = device was busy and unable to respond.
6	PSON_OFF	R	1 = device is not providing power to the output.
5	VOUT_OV	R	1 = output overvoltage fault.
4	IOUT_OC	R	1 = output overcurrent fault.
3	VIN_UV	R	1 = input undervoltage fault.
2	TEMPERATURE	R	1 = temperature fault or warning.
1	CML	R	1 = communications, memory, or logic fault.
0	NONE_OF_THE_ ABOVE	R	1 = fault or warning not listed in Bits[7: 1].

STATUS_VOUTレジスタ

このレジスタ値の 1 は、故障が発生したことを表示します。

表 45. レジスタ 0x7A—STATUS_VOUT

Bits	Bit Name	R/W	Description
7	VOUT_OV_FAULT	R	1 = output overvoltage fault.
6	VOUT_OV_WARN	R	1 = output overvoltage warning.
5	VOUT_UV_WARN	R	1 = output undervoltage warning.
4	VOUT_UV_FAULT	R	1 = output undervoltage fault.

STATUS_INPUTレジスタ

このレジスタ値の 1 は、故障が発生したことを表示します。

表 46. レジスタ 0x7C—STATUS_INPUT

Bits	Bit Name	R/W	Description
7	VIN_OV_FAULT	R	1 = input overvoltage fault.
5	VIN_UV_WARN	R	1 = input undervoltage warning.
4	VIN_UV_FAULT	R	1 = input undervoltage fault.
3	VIN_LOW	R	1 = device is off due to insufficient input voltage; that is, input voltage is below the turn-off threshold.
2	IIN_OC_FAULT	R	1 = input overcurrent fault.
1	IIN_OC_WARN	R	1 = input overcurrent warning.
0	PIN_OP_WARN	R	1 = input overpower warning.

STATUS_TEMPERATUREレジスタ

このレジスタ値の 1 は、故障が発生したことを表示します。

表 47. レジスタ 0x7D—STATUS_TEMPERATURE

Bits	Bit Name	R/W	Description
7	OT_FAULT	R	1 = overtemperature fault.
6	OT_WARN	R	1 = overtemperature warning.
[5: 0]	RSVD	R	Reserved.

READ_VINレジスタ

このレジスタは、入力電圧(V)を VIN リニア・モード・フォーマット($X = Y \times 2^N$)で返します。

表 48. レジスタ 0x88—READ_VIN

Bits	Bit Name	R/W	Description
[15: 11]	Exponent	R	Return the exponent (N) used in VIN linear mode format ($X = Y \times 2^N$). The exponent is set in the exponent register (Register 0xFE39, Bits[5: 3]).
[10: 8]	High bits	R	Mantissa high bits (Y[10: 8]) used in VIN linear mode format ($X = Y \times 2^N$).
[7: 0]	Low byte	R	Mantissa low byte (Y[7: 0]) used in VIN linear mode format ($X = Y \times 2^N$). The exponent (N) is set in the exponent register (Register 0xFE39, Bits[5: 3]).

READ_IINレジスタ

このレジスタは、入力電流(A) を電流リニア・モード・フォーマット($X = Y \times 2^N$)で返します。

表 49. レジスタ 0x89—READ_IIN

Bits	Bit Name	R/W	Description
[15: 11]	Exponent	R	Return the exponent (N) used in current linear mode format ($X = Y \times 2^N$). The exponent is set in the exponent register (Register 0xFE39, Bits[10: 6]).
[10: 8]	High bits	R	Mantissa high bits (Y[10: 8]) used in current linear mode format ($X = Y \times 2^N$).
[7: 0]	Low byte	R	Mantissa low byte (Y[7: 0]) used in current linear mode format ($X = Y \times 2^N$).

READ_VOUTレジスタ

このレジスタは、出力電圧(V)を VIN リニア・モード・フォーマット($X = Y \times 2^N$)で返します。

表 50. レジスタ 0x8B—READ_VOUT

Bits	Bit Name	R/W	Description
[15: 11]	Exponent	R	Return the exponent (N) used in VOUT linear mode format ($X = Y \times 2^N$). The exponent (N) is set in the VOUT_MODE register (Register 0x20, Bits[2: 0]). The exponent is in twos complement format.
[10: 8]	High bits	R	Mantissa high bits (Y[10: 8]) used in VOUT linear mode format ($X = Y \times 2^N$).
[7: 0]	Low byte	R	Mantissa low byte (Y[7: 0]) used in VOUT linear mode format ($X = Y \times 2^N$).

READ_PINレジスタ

このレジスタは、入力電力(W)を電力リニア・モード・フォーマット($X = Y \times 2^N$)で返します。

表 51. レジスタ 0x97—READ_PIN

Bits	Bit Name	R/W	Description
[15: 11]	Exponent	R	Return the exponent (N) used in power linear mode format ($X = Y \times 2^N$). The exponent (N) is set in the exponent register (Register 0xFE39, Bits[2: 0]).
[10: 8]	High bits	R	Mantissa high bits (Y[10: 8]) used in power linear mode format ($X = Y \times 2^N$).
[7: 0]	Low byte	R	Mantissa low byte (Y[7: 0]) used in power linear mode format ($X = Y \times 2^N$).

PMBUS_REVISIONレジスタ

表 52. レジスタ 0x98—PMBUS_REVISION

Bits	Bit Name	R/W	Description
[7: 0]	Revision	R	Return the revision of PMBus that the device is compliant with.

MFR_IDレジスタ

表 53. レジスタ 0x99—MFR_ID

Bits	Bit Name	R/W	Description
[7: 0]	MFR_ID	R	Return the manufacturer’s ID.

MFR_MODELレジスタ

表 54. レジスタ 0x9A—MFR_MODEL

Bits	Bit Name	R/W	Description
[7: 0]	Model	R	Return the manufacturer’s model number.

MFR_REVISIONレジスタ

表 55. レジスタ 0x9B—MFR_REVISION

Bits	Bit Name	R/W	Description
[7: 0]	Revision	R	Return the manufacturer’s revision number.

EEPROM_DATA_00 コマンド～EEPROM_DATA_15 コマンド

コード 0xB0～コード 0xBF は、読み書き可能ブロックです。EEPROM_DATA_00 コマンド～EEPROM_DATA_15 コマンドを使って、EEPROM のデータ読出しと EEPROM へのデータ書込みを行います。EEPROM_DATA_00 では EEPROM メイン・ブロックのページ 0 への読出し/書込みを、EEPROM_DATA_01 では EEPROM メイン・ブロックのページ 1 への読出し/書込みを、以下同様を、それぞれ行います。

EEPROM_CRC_CHKSUMレジスタ

表 56. レジスタ 0xD1—EEPROM_CRC_CHKSUM

Bits	Bit Name	R/W	Description
[7: 0]	CRC checksum	R	Return the CRC checksum value from the EEPROM download operation.

EEPROM_NUM_RD_BYTESレジスタ

表 57. レジスタ 0xD2—EEPROM_NUM_RD_BYTES

Bits	Bit Name	R/W	Description
[7: 0]	Number of read bytes returned	R/W	These bits set the number of read bytes returned when using the EEPROM_DATA_xx commands.

EEPROM_ADDR_OFFSETレジスタ

表 58. レジスタ 0xD3—EEPROM_ADDR_OFFSET

Bits	Bit Name	R/W	Description
[15: 0]	Address offset	R/W	These bits set the address offset of the current EEPROM page.

EEPROM_PAGE_ERASEレジスタ

表 59. レジスタ 0xD4—EEPROM_PAGE_ERASE

Bits	Bit Name	R/W	Description
[7: 0]	Page erase	W	Perform a page erase on the selected EEPROM page. (Wait 35 ms after each page erase operation.) EEPROM must first be unlocked. Page 0 and Page 1 erase are allowed only in manufacturing test mode.

EEPROM_PASSWORDレジスタ

表 60. レジスタ 0xD5—EEPROM_PASSWORD

Bits	Bit Name	R/W	Description
[7: 0]	EEPROM password	W	Write the password to this register to unlock EEPROM and/or to change the EEPROM password.

TRIM_PASSWORDレジスタ

表 61. レジスタ 0xD6—TRIM_PASSWORD

Bits	Bit Name	R/W	Description
[7: 0]	Trim password	W	Write the password to this register to unlock the trim registers for write access. Write the trim password twice (default 0x00) to unlock the register; write any other value to exit.

EEPROM_INFOコマンド

コード 0xF1、ブロックの読み書き。このコマンドを使って、EEPROM からメーカー・データを読出します。

CS_FAST_OCP_RESPONSEレジスタ

このレジスタにより、高速過電流保護状態発生時のデバイス動作を指定します。

表 62. レジスタ 0xFE00—CS_FAST_OCP_RESPONSE

Bits	Bit Name	R/W	Description		
[7: 6]	Response	R/W	These bits determine the device response to a fast overcurrent protection condition.		
			Bit 7	**Bit 6**	**Response**
			0	0	Ignore (still terminate the PWM pulse).
			0	1	Allow the number of switching cycles specified in Bits[5: 4], then shut down and soft start (use the soft start delay time specified in Register 0x5C, Bits[2: 0]).
			1	0	Allow the number of switching cycles specified in Bits[5: 4] (terminating the PWM pulse each time), then shut down and wait for the PSON signal to soft start.
			1	1	Disable the PWM output after the number of switching cycles specified in Bits[5: 4] and wait for the flag to be cleared.
[5: 4]	N-time	R/W	These bits determine the number of switching cycles allowed before the device disables the PWM output after a fast overcurrent condition is detected.		
			Bit 5	**Bit 4**	**Number of Switching Cycles**
			0	0	1
			0	1	2
			1	0	4
			1	1	8
[3: 0]	RSVD	R	Reserved.		

OVP_FAST_OVP_RESPONSEレジスタ

このレジスタにより、高速過電圧故障状態発生時のデバイス動作を指定します。

表 63. レジスタ 0xFE01—OVP_FAST_OVP_RESPONSE

Bits	Bit Name	R/W	Description		
[7: 6]	Response	R/W	These bits determine the device response to a fast overvoltage condition.		
			Bit 7	**Bit 6**	**Response**
			0	0	Ignore (do nothing; PWM continues).
			0	1	Shut down and soft start.
			1	0	Shut down immediately and wait for the PSON signal.
			1	1	Disable the PWM output until the unlatched flag is cleared.
[5: 0]	RSVD	R	Reserved.		

OLP_RESPONSEレジスタ

このレジスタにより、オープン・ループ故障状態発生時のデバイス動作を指定します。

表 64. レジスタ 0xFE02—OLP_RESPONSE

Bits	Bit Name	R/W	Description		
[7: 6]	Response	R/W	These bits determine the device response to an open-loop fault condition.		
			Bit 7	**Bit 6**	**Response**
			0	0	Ignore (do nothing; PWM continues).
			0	1	Shut down and soft start.
			1	0	Shut down immediately and wait for the PSON signal.
			1	1	Disable the PWM output until the unlatched flag is cleared.
[5: 0]	RSVD	R	Reserved.		

VDD3P3_RESPONSEレジスタ

このレジスタにより、VDD 過電圧故障状態発生時のデバイス動作を指定します。

表 65. レジスタ 0xFE03—VDD3P3_RESPONSE

Bits	Bit Name	R/W	Description
7	RSVD	R	Reserved.
6	Save first flag ID to EEPROM	R/W	1 = save the first flag ID to EEPROM when the device shuts down. 0 = do not save the first flag ID to EEPROM when the device shuts down.
[5: 3]	Retry wait time	R/W	These bits determine the retry wait time before the next soft start. Each LSB = 588 ms.
2	Reload EEPROM	R/W	1 = reload the contents of EEPROM. 0 = do not reload the contents of EEPROM.
1	Debounce time	R/W	1 = 2.56 μs. 0 = 660 μs.
0	Ignore VDD OV	R/W	1 = ignore the VDD 3.3 V overvoltage fault. 0 = do not ignore the VDD 3.3 V overvoltage fault.

VCORE_RESPONSEレジスタ

このレジスタにより、VCORE 過電圧故障状態発生時のデバイス動作を指定します。

表 66. レジスタ 0xFE04—VCORE_RESPONSE

Bits	Bit Name	R/W	Description
7	RSVD	R	Reserved.
6	Save first flag ID to EEPROM	R/W	1 = save the first flag ID to EEPROM when the device shuts down. 0 = do not save the first flag ID to EEPROM when the device shuts down.
[5: 3]	Retry wait time	R/W	These bits determine the retry wait time before the next soft start. Each LSB = 588 ms.
2	Reload EEPROM	R/W	1 = reload the contents of EEPROM. 0 = do not reload the contents of EEPROM.
1	Debounce time	R/W	1 = 2.56 μs. 0 = 660 μs.
0	Ignore VCORE OV	R/W	1 = ignore the VCORE overvoltage fault. 0 = do not ignore the VCORE overvoltage fault.

PGOOD_AC_OK_DEBOUNCE_SETレジスタ

このレジスタを使って、PGOOD ピンと AC_OK ピンのデバウンス時間を設定します。

表 67. レジスタ 0xFE05—PGOOD_AC_OK_DEBOUNCE_SET

Bits	Bit Name	R/W	Description		
[7: 6]	Debounce time, AC_OK pin (low to high)	R/W	Debounce from low to high for the AC_OK pin.		
			Bit 7	**Bit 6**	**Time**
			0	0	0 ms
			0	1	200 ms
			1	0	320 ms
			1	1	600 ms
[5: 4]	Debounce time, AC_OK pin (high to low)	R/W	Debounce from high to low for the AC_OK pin.		
			Bit 5	**Bit 4**	**Time**
			0	0	0 ms
			0	1	200 ms
			1	0	320 ms
			1	1	600 ms

Bits	Bit Name	R/W	Description				
[3: 2]	Debounce time, PGOOD pin (low to high)	R/W	Debounce from low to high for the PGOOD pin.				
			Bit 3	**Bit 2**	**Time**		
			0	0	0 ms		
			0	1	200 ms		
			1	0	320 ms		
			1	1	600 ms		
[1: 0]	Debounce time, PGOOD pin (high to low)	R/W	Debounce from high to low for the PGOOD pin.				
			Bit 1	**Bit 0**	**Time**		
			0	0	0 ms		
			0	1	200 ms		
			1	0	320 ms		
			1	1	600 ms		

PSON_SETレジスタ

このレジスタを使って、PSON と PSOFF の遅延時間を設定します。

表 68. レジスタ 0xFE06—PSON_SET

Bits	Bit Name	R/W	Description				
[7: 4]	RSVD	R	Reserved.				
[3: 2]	PSON delay	R/W	These bits specify the time from when the PSON signal is active to when soft start begins.				
					Delay Time		
			Bit 3	**Bit 2**	**Min**	**Typ**	**Max**
			0	0	0 ms	0 ms	0 ms
			0	1	40 ms	50 ms	82 ms
			1	0	209 ms	250 ms	252 ms
			1	1	964 ms	1000 ms	1007 ms
[1: 0]	PSOFF delay	R/W	These bits specify the time from when the PSON signal is cleared to when the device is turned off.				
					Delay Time		
			Bit 1	**Bit 0**	**Min**	**Typ**	**Max**
			0	0	0 ms	0 ms	0 ms
			0	1	40 ms	50 ms	82 ms
			1	0	209 ms	250 ms	252 ms
			1	1	964 ms	1000 ms	1007 ms

FLAG_FAULT_IDレジスタ

このレジスタは、システムのシャットダウンを発生させた最初の故障 ID を記録します。

表 69. レジスタ 0xFE07—FLAG_FAULT_ID

Bits	Bit Name	R/W	Description				
[7: 4]	Previous fault flag ID	R	Return the flag fault ID value of the fault that occurred just before the flag that caused the shutdown (identified in Bits[3: 0]).				
[3: 0]	Fault flag ID	R	Return the flag fault ID value of the fault that caused the shutdown.				
			Bit 3	**Bit 2**	**Bit 1**	**Bit 0**	**Fault**
			0	0	0	1	VOUT_OV_FAULT
			0	0	1	0	VOUT_UV_FAULT
			0	0	1	1	OT_FAULT
			0	1	0	0	VIN_OV_FAULT
			0	1	0	1	VIN_UV_FAULT
			0	1	1	0	IIN_OC_FAULT
			0	1	1	1	OLP_FAULT
			1	0	0	0	FAST_OVP_FAULT
			1	0	0	1	FAST_OCP_FAULT
			1	0	1	0	VDD_33V_OV_FAULT
			1	0	1	1	VCORE_25V_OV_FAULT

SOFTSTART_FLAGS_BLANK1 レジスタ

このレジスタは、ソフトスタート時に指定したフラグをブランクにします(1 = ブランクにする、0 = ブランクにしない)。

表 70. レジスタ 0xFE08—SOFTSTART_FLAGS_BLANK1

Bits	Bit Name	R/W	Description
7	BLANK_FAST_OVP	R/W	1 = ignore fast OVP flag.
6	BLANK_OLP	R/W	1 = ignore OLP flag.
5	BLANK_IIN_OC	R/W	1 = ignore IIN_OC_FAULT flag.
4	BLANK_VIN_OFF	R/W	1 = ignore VIN_OFF flag.
3	BLANK_VIN_OV	R/W	1 = ignore VIN_OV flag.
2	BLANK_OT	R/W	1 = ignore OT flag.
1	BLANK_VOUT_UV	R/W	1 = ignore VOUT_UV flag.
0	BLANK_VOUT_OV	R/W	1 = ignore VOUT_OV flag.

SOFTSTART_FLAGS_BLANK2 レジスタ

このレジスタは、ソフトスタート時に指定したフラグをブランクにします(1 = ブランクにする、0 = ブランクにしない)。

表 71. レジスタ 0xFE09—SOFTSTART_FLAGS_BLANK2

Bits	Bit Name	R/W	Description
0	BLANK_FAST_OCP	R/W	1 = ignore fast OCP flag.

PGOOD_FLAGS_LISTレジスタ

このレジスタを使って、PGOOD ピン電圧を決めるためにチェックするフラグを指定します(1 = フラグを無視する、0 = フラグをチェックする)。

表 72. レジスタ 0xFE0A—PGOOD_FLAGS_LIST

Bits	Bit Name	R/W	Description
7	VOUT_UV_FAULT	R/W	1 = ignore VOUT_UV_FAULT flag.
6	VOUT_OV_WARN	R/W	1 = ignore VOUT_OV_WARN flag.
5	FAST_OVP	R/W	1 = ignore FAST_OVP flag.
4	OLP	R/W	1 = ignore OLP flag.
3	FAST_OCP	R/W	1 = ignore FAST_OCP flag.
2	IIN_OC_FAULT	R/W	1 = ignore IIN_OC_FAULT flag.
1	OT_FAULT	R/W	1 = ignore OT_FAULT flag.
0	FAST_LOOP	R/W	1 = ignore FAST_LOOP flag.

AC_OK_FLAGS_LISTレジスタ

このレジスタを使って、AC_OK ピン電圧を決めるためにチェックするフラグを指定します(1 = フラグを無視する、0 = フラグをチェックする)。

表 73. レジスタ 0xFE0B—AC_OK_FLAGS_LIST

Bits	Bit Name	R/W	Description
7	VIN_UV_FAULT	R/W	1 = ignore VIN_UV_FAULT flag.
6	VIN_UV_WARN	R/W	1 = ignore VIN_UV_WARN flag.
5	IIN_OC_FAULT	R/W	1 = ignore IIN_OC_FAULT flag.
4	IIN_OC_WARN	R/W	1 = ignore IIN_OC_WARN flag.
3	FAST_OCP	R/W	1 = ignore FAST_OCP flag.
2	AC_LINE_PERIOD	R/W	1 = ignore AC_LINE_PERIOD flag.
1	BROWN_OUT	R/W	1 = ignore BROWN_OUT flag.
0	INRUSH	R/W	1 = ignore INRUSH flag.

PWMタイミング・レジスタとPWM2 タイミング・レジスタ

レジスタ 0xFE0C～レジスタ 0xFE13 を使って、PWM 出力の立上がりエッジと立下がりエッジを設定します。

表 74. レジスタ 0xFE0C—PWM 立上がりエッジ・タイミング(PWM ピン)

Bits	Bit Name	R/W	Description
[7: 0]	t_1	R/W	This register contains the eight MSBs of the 10-bit t_1 time.

表 75. レジスタ 0xFE0D—PWM 立上がりエッジ設定(PWM ピン)

Bits	Bit Name	R/W	Description
[7: 4]	RSVD	R	Reserved.
[3: 2]	t_1	R/W	These bits contain the two LSBs of the 10-bit t_1 time. This value is always used with the eight bits of Register 0xFE0C, which contains the eight MSBs of the t_1 time.
1	Modulate enable	R/W	1 = PWM modulation acts on the t_1 edge. 0 = no PWM modulation of the t_1 edge.
0	t_1 sign	R/W	1 = positive sign. Increase of PWM modulation moves t_1 right. 0 = negative sign. Increase of PWM modulation moves t_1 left.

表 76. レジスタ 0xFE0E—PWM 立下がりエッジ・タイミング(PWM ピン)

Bits	Bit Name	R/W	Description
[7: 0]	t_2	R/W	This register contains the eight MSBs of the 10-bit t_2 time.

表 77. レジスタ 0xFE0F—PWM 立下がりエッジ設定(PWM ピン)

Bits	Bit Name	R/W	Description
[7: 4]	RSVD	R	Reserved.
[3: 2]	t_2	R/W	These bits contain the two LSBs of the 10-bit t_2 time. This value is always used with the eight bits of Register 0xFE0E, which contains the eight MSBs of the t_2 time.
1	Modulate enable	R/W	1 = PWM modulation acts on the t_2 edge. 0 = no PWM modulation of the t_2 edge.
0	t_2 sign	R/W	1 = positive sign. Increase of PWM modulation moves t_2 right. 0 = negative sign. Increase of PWM modulation moves t_2 left.

表 78. レジスタ 0xFE10—PWM2 立上がりエッジ・タイミング(PWM2 ピン)

Bits	Bit Name	R/W	Description
[7: 0]	t_1	R/W	This register contains the eight MSBs of the 10-bit t_1 time.

表 79. レジスタ 0xFE11—PWM2 立上がりエッジ設定(PWM2 ピン)

Bits	Bit Name	R/W	Description
[7: 4]	RSVD	R	Reserved.
[3: 2]	t_1	R/W	These bits contain the two LSBs of the 10-bit t_1 time. This value is always used with the eight bits of Register 0xFE10, which contains the eight MSBs of the t_1 time.
1	Modulate enable	R/W	1 = PWM modulation acts on the t_1 edge. 0 = no PWM modulation of the t_1 edge.
0	t_1 sign	R/W	1 = positive sign. Increase of PWM modulation moves t_1 right. 0 = negative sign. Increase of PWM modulation moves t_1 left.

表 80. レジスタ 0xFE12—PWM2 立下がりエッジ・タイミング(PWM2 ピン)

Bits	Bit Name	R/W	Description
[7: 0]	t_2	R/W	This register contains the eight MSBs of the 10-bit t_2 time.

表 81. レジスタ 0xFE13—PWM2 立下がりエッジ設定(PWM2 ピン)

Bits	Bit Name	R/W	Description
[7: 4]	RSVD	R	Reserved.
[3: 2]	t_2	R/W	These bits contain the two LSBs of the 10-bit t_2 time. This value is always used with the eight bits of Register 0xFE12, which contains the eight MSBs of the t_2 time.
1	Modulate enable	R/W	1 = PWM modulation acts on the t_2 edge. 0 = no PWM modulation of the t_2 edge.
0	t_2 sign	R/W	1 = positive sign. Increase of PWM modulation moves t_2 right. 0 = negative sign. Increase of PWM modulation moves t_2 left.

PWM_SETレジスタ

表 82. レジスタ 0xFE14—PWM_SET

Bits	Bit Name	R/W	Description
[7: 5]	RSVD	R	Reserved.
4	ADP1048 operation	R/W	Reserved for the ADP1048 only. 1 = bridgeless PFC operation. 0 = interleaved PFC operation.
3	PWM resolution	R/W	1 = 5 ns. 0 = 40 ns.
2	PWM enable	R/W	1 = disable the PWM output. 0 = enable the PWM output.
1	PWM2 enable	R/W	1 = disable the PWM2 output. 0 = enable the PWM2 output.
0	Go button	R/W	The PWM settings are updated during the transition of this bit from low to high.

PWM_LIMITレジスタ

表 83. レジスタ 0xFE15—PWM_LIMIT

Bits	Bit Name	R/W	Description
[7: 4]	Limit minimum on time	R/W	These bits set the minimum on time for the PWM outputs in steps of 80 ns: 0000 = 0 ns and 1111 = 1200 ns.
[3: 0]	Limit minimum off time	R/W	These bits set the minimum off time for the PWM outputs: 0000 = 40 ns, 0001 = 80 ns, 1111 = 1200 ns.

RTD ADCオフセット調整設定(MSB)レジスタ

このレジスタは書込みアクセス用にロックを解除する必要があります。表 61 を参照。

表 84. レジスタ 0xFE16—RTD ADC オフセット調整設定(MSB)

Bits	Bit Name	R/W	Description
[7: 2]	RSVD	R/W	Reserved.
1	Trim polarity	R/W	1 = negative offset trim is introduced. 0 = positive offset trim is introduced.
0	RTD ADC offset trim	R/W	This bit is the MSB of the 9-bit value that sets the amount of offset trim applied to the RTD ADC reading. The LSBs are specified in Register 0xFE17.

RTD ADCオフセット調整設定(LSB)レジスタ

このレジスタは書込みアクセス用にロックを解除する必要があります。表 61 を参照。

表 85. レジスタ 0xFE17—RTD ADC オフセット調整設定(LSB)

Bits	Bit Name	R/W	Description
[7: 0]	RTD ADC offset trim	R/W	These eight bits are the LSBs of the 9-bit value that sets the amount of offset trim applied to the RTD ADC reading. The MSB is specified in Register 0xFE16, Bit 0.

RTD ADCゲイン調整設定レジスタ

このレジスタは書込みアクセス用にロックを解除する必要があります。表 61 を参照。

表 86. レジスタ 0xFE18—RTD ADC ゲイン調整設定

Bits	Bit Name	R/W	Description
7	Gain polarity	R/W	1 = negative gain is introduced. 0 = positive gain is introduced.
[6: 0]	RTD ADC gain trim	R/W	This value sets the amount of gain trim that is applied to the RTD sensing gain.

OT_FAULT_LIMITレジスタ

このレジスタを使って、温度上昇故障スレッショールドを設定します。温度上昇故障フラグのデバウンス時間は 100 ms です。

表 87. レジスタ 0xFE19—OT_FAULT_LIMIT

<table>
<tr><th>Bits</th><th>Bit Name</th><th>R/W</th><th colspan="8">Description</th></tr>
<tr><td rowspan="8">[7: 0]</td><td rowspan="8">OT fault threshold</td><td rowspan="8">R/W</td><td colspan="8">Overtemperature fault threshold. This register, adding 0 as the MSB, results in a 9-bit threshold value. This 9-bit value is compared to the nine MSBs of the RTD ADC reading. If the RTD ADC reading is lower than the threshold set by these bits, the overtemperature fault flag is set. These eight bits provide 256 threshold settings from 0 mV to 800 mV (one LSB = 800 mV/256 = 3.125 mV). However, the lowest allowed value is 9.375 mV (0x03), and the highest allowed value is 781.25 mV (0xFA).</td></tr>
<tr><th>Bit 7</th><th>Bit 6</th><th>…</th><th>Bit 3</th><th>Bit 2</th><th>Bit 1</th><th>Bit 0</th><th>OTP Threshold (mV)</th></tr>
<tr><td>0</td><td>0</td><td>…</td><td>0</td><td>0</td><td>1</td><td>1</td><td>9.375</td></tr>
<tr><td>0</td><td>0</td><td>…</td><td>0</td><td>1</td><td>0</td><td>0</td><td>12.5</td></tr>
<tr><td>0</td><td>0</td><td>…</td><td>0</td><td>1</td><td>0</td><td>1</td><td>15.875</td></tr>
<tr><td>…</td><td>…</td><td>…</td><td>…</td><td>…</td><td>…</td><td>…</td><td>…</td></tr>
<tr><td>1</td><td>1</td><td>…</td><td>1</td><td>0</td><td>0</td><td>1</td><td>778.125</td></tr>
<tr><td>1</td><td>1</td><td>…</td><td>1</td><td>0</td><td>1</td><td>0</td><td>781.25</td></tr>
</table>

OT_WARN_LIMITレジスタ

このレジスタを使って、温度上昇警報スレッショールドを設定します。温度上昇警報フラグのデバウンス時間は 100 ms です。

表 88. レジスタ 0xFE1A—OT_WARN_LIMIT

<table>
<tr><th>Bits</th><th>Bit Name</th><th>R/W</th><th colspan="8">Description</th></tr>
<tr><td rowspan="8">[7: 0]</td><td rowspan="8">OT warning threshold</td><td rowspan="8">R/W</td><td colspan="8">Overtemperature warning threshold. This register, adding 0 as the MSB, results in a 9-bit threshold value. This 9-bit value is compared to the nine MSBs of the RTD ADC reading. If the RTD ADC reading is lower than the threshold set by these bits, the overtemperature warning flag is set. These eight bits provide 256 threshold settings from 0 mV to 800 mV (one LSB = 800 mV/256 = 3.125 mV). However, the lowest allowed value is 9.375 mV (0x03), and the highest allowed value is 781.25 mV (0xFA).</td></tr>
<tr><th>Bit 7</th><th>Bit 6</th><th>…</th><th>Bit 3</th><th>Bit 2</th><th>Bit 1</th><th>Bit 0</th><th>OTP Threshold (mV)</th></tr>
<tr><td>0</td><td>0</td><td>…</td><td>0</td><td>0</td><td>1</td><td>1</td><td>9.375</td></tr>
<tr><td>0</td><td>0</td><td>…</td><td>0</td><td>1</td><td>0</td><td>0</td><td>12.5</td></tr>
<tr><td>0</td><td>0</td><td>…</td><td>0</td><td>1</td><td>0</td><td>1</td><td>15.875</td></tr>
<tr><td>…</td><td>…</td><td>…</td><td>…</td><td>…</td><td>…</td><td>…</td><td>…</td></tr>
<tr><td>1</td><td>1</td><td>…</td><td>1</td><td>0</td><td>0</td><td>1</td><td>778.125</td></tr>
<tr><td>1</td><td>1</td><td>…</td><td>1</td><td>0</td><td>1</td><td>0</td><td>781.25</td></tr>
</table>

スイッチング周波数設定レジスタ

表 89.レジスタ 0xFE1B—スイッチング周波数設定

Bits	Bit Name	R/W	Description						
[7: 6]	RSVD	R	Reserved.						
[5: 0]	Switching frequency	R/W	This register sets the switching frequency of the PWM outputs.						
			Bit 5	**Bit 4**	**Bit 3**	**Bit 2**	**Bit 1**	**Bit 0**	**Frequency (kHz)**
			0	0	0	0	0	0	30.05
			0	0	0	0	0	1	32.55
			0	0	0	0	1	0	35.51
			0	0	0	0	1	1	39.06
			0	0	0	1	0	0	43.40
			0	0	0	1	0	1	48.83
			0	0	0	1	1	0	52.06
			0	0	0	1	1	1	55.80
			0	0	1	0	0	0	60.10
			0	0	1	0	0	1	65.10
			0	0	1	0	1	0	71.02
			0	0	1	0	1	1	78.13
			0	0	1	1	0	0	86.81
			0	0	1	1	0	1	97.66
			0	0	1	1	1	0	100.81
			0	0	1	1	1	1	104.17
			0	1	0	0	0	0	107.76
			0	1	0	0	0	1	111.61
			0	1	0	0	1	0	115.74
			0	1	0	0	1	1	120.19
			0	1	0	1	0	0	125.00
			0	1	0	1	0	1	130.21
			0	1	0	1	1	0	135.87
			0	1	0	1	1	1	142.05
			0	1	1	0	0	0	148.81
			0	1	1	0	0	1	156.25
			0	1	1	0	1	0	164.47
			0	1	1	0	1	1	173.61
			0	1	1	1	0	0	183.82
			0	1	1	1	0	1	195.31
			0	1	1	1	1	0	198.41
			0	1	1	1	1	1	201.61
			1	0	0	0	0	0	204.92
			1	0	0	0	0	1	208.33
			1	0	0	0	1	0	211.86
			1	0	0	0	1	1	215.52
			1	0	0	1	0	0	219.30
			1	0	0	1	0	1	223.21
			1	0	0	1	1	0	227.27
			1	0	0	1	1	1	231.48
			1	0	1	0	0	0	235.85
			1	0	1	0	0	1	240.38
			1	0	1	0	1	0	245.10
			1	0	1	0	1	1	250.00
			1	0	1	1	0	0	255.10
			1	0	1	1	0	1	260.42
			1	0	1	1	1	0	265.96

[5: 0]	Switching frequency	R/W	**Bit 5**	**Bit 4**	**Bit 3**	**Bit 2**	**Bit 1**	**Bit 0**	**Frequency (kHz)**
			1	0	1	1	1	1	271.74
			1	1	0	0	0	0	277.78
			1	1	0	0	0	1	284.09
			1	1	0	0	1	0	290.70
			1	1	0	0	1	1	297.62
			1	1	0	1	0	0	304.88
			1	1	0	1	0	1	312.50
			1	1	0	1	1	0	320.51
			1	1	0	1	1	1	328.95
			1	1	1	0	0	0	337.84
			1	1	1	0	0	1	347.22
			1	1	1	0	1	0	357.14
			1	1	1	0	1	1	367.65
			1	1	1	1	0	0	378.79
			1	1	1	1	0	1	390.63
			1	1	1	1	1	0	403.23
			1	1	1	1	1	1	403.23

低電力スイッチング周波数設定レジスタ

このレジスタを使って、PFC が低電力モードで動作し、かつスマート・スイッチング周波数動作をイネーブルしたとき、PFC スイッチング周波数を設定します。

表 90. レジスタ 0xFE1C—低消電力スイッチング周波数設定

Bits	Bit Name	R/W	Description						
[7: 6]	RSVD	R	Reserved.						
[5: 0]	Switching frequency	R/W	This register sets the switching frequency when the power is lower than the low power threshold set in Register 0xFE32 and the smart switching frequency is enabled.						
			Bit 5	**Bit 4**	**Bit 3**	**Bit 2**	**Bit 1**	**Bit 0**	**Frequency (kHz)**
			0	0	0	0	0	0	30.05
			0	0	0	0	0	1	32.55
			0	0	0	0	1	0	35.51
			0	0	0	0	1	1	39.06
			0	0	0	1	0	0	43.40
			0	0	0	1	0	1	48.83
			0	0	0	1	1	0	52.06
			0	0	0	1	1	1	55.80
			0	0	1	0	0	0	60.10
			0	0	1	0	0	1	65.10
			0	0	1	0	1	0	71.02
			0	0	1	0	1	1	78.13
			0	0	1	1	0	0	86.81
			0	0	1	1	0	1	97.66
			0	0	1	1	1	0	100.81
			0	0	1	1	1	1	104.17
			0	1	0	0	0	0	107.76
			0	1	0	0	0	1	111.61
			0	1	0	0	1	0	115.74
			0	1	0	0	1	1	120.19
			0	1	0	1	0	0	125.00
			0	1	0	1	0	1	130.21
			0	1	0	1	1	0	135.87
			0	1	0	1	1	1	142.05

[5: 0]	Switching frequency	R/W	**Bit 5**	**Bit 4**	**Bit 3**	**Bit 2**	**Bit 1**	**Bit 0**	**Frequency (kHz)**
			0	1	1	0	0	0	148.81
			0	1	1	0	0	1	156.25
			0	1	1	0	1	0	164.47
			0	1	1	0	1	1	173.61
			0	1	1	1	0	0	183.82
			0	1	1	1	0	1	195.31
			0	1	1	1	1	0	198.41
			0	1	1	1	1	1	201.61
			1	0	0	0	0	0	204.92
			1	0	0	0	0	1	208.33
			1	0	0	0	1	0	211.86
			1	0	0	0	1	1	215.52
			1	0	0	1	0	0	219.30
			1	0	0	1	0	1	223.21
			1	0	0	1	1	0	227.27
			1	0	0	1	1	1	231.48
			1	0	1	0	0	0	235.85
			1	0	1	0	0	1	240.38
			1	0	1	0	1	0	245.10
			1	0	1	0	1	1	250.00
			1	0	1	1	0	0	255.10
			1	0	1	1	0	1	260.42
			1	0	1	1	1	0	265.96
			1	0	1	1	1	1	271.74
			1	1	0	0	0	0	277.78
			1	1	0	0	0	1	284.09
			1	1	0	0	1	0	290.70
			1	1	0	0	1	1	297.62
			1	1	0	1	0	0	304.88
			1	1	0	1	0	1	312.50
			1	1	0	1	1	0	320.51
			1	1	0	1	1	1	328.95
			1	1	1	0	0	0	337.84
			1	1	1	0	0	1	347.22
			1	1	1	0	1	0	357.14
			1	1	1	0	1	1	367.65
			1	1	1	1	0	0	378.79
			1	1	1	1	0	1	390.63
			1	1	1	1	1	0	403.23
			1	1	1	1	1	1	403.23

周波数ディザリング設定レジスタ

表 91. レジスタ 0xFE1D—周波数ディザリング設定

Bits	Bit Name	R/W	Description
7	RSVD	R	Reserved.
[6: 0]	Dithering period	R/W	Sets the period for updating the switching frequency. Each LSB corresponds to 40 µs.

周波数同期設定レジスタ

表 92. レジスタ 0xFE1E—周波数同期設定

Bits	Bit Name	R/W	Description		
[7: 2]	RSVD	R/W	Reserved.		
[1: 0]	Frequency division	R/W	Sets the frequency division between the switching frequency and the external SYNC clock (f_{SW}/f_{SYNC_EXT}).		
			Bit 1	**Bit 0**	**Frequency Division**
			0	0	1
			0	1	1/2
			1	0	1/3
			1	1	1/4

電圧ループ・フィルタ・ゲイン・レジスタ

表 93. レジスタ 0xFE20—電圧ループ・フィルタ・ゲイン

Bits	Bit Name	R/W	Description
[7: 0]	Voltage loop filter gain	R/W	Determines the digital filter gain of the PFC voltage loop.

電圧ループ・フィルタ・ゼロ・レジスタ

表 94. レジスタ 0xFE21—電圧ループ・フィルタ・ゼロ

Bits	Bit Name	R/W	Description
[7: 0]	Voltage loop filter zero	R/W	Determines the position of the digital filter zero of the PFC voltage loop.

高速電圧ループ・フィルタ・ゲイン・レジスタ

表 95. レジスタ 0xFE22—高速電圧ループ・フィルタ・ゲイン

Bits	Bit Name	R/W	Description
[7: 0]	Fast voltage loop filter gain	R/W	Determines the digital filter gain of the PFC fast voltage loop.

高速電圧ループ・フィルタ・ゼロ・レジスタ

表 96. レジスタ 0xFE23—高速電圧ループ・フィルタ・ゼロ

Bits	Bit Name	R/W	Description
[7: 0]	Fast voltage loop filter zero	R/W	Determines the position of the digital filter zero of the PFC fast voltage loop.

高速電圧ループ・イネーブル・レジスタ

表 97. レジスタ 0xFE24—高速電圧ループ・イネーブル

Bits	Bit Name	R/W	Description		
7	Enable fast loop for line transient	R/W	Enables fast loop mode immediately after the overshoot becomes larger than the regulation band plus 3%. 1 = enable fast loop mode. 0 = disable fast loop mode.		
[6: 5]	Regulation band limit	R/W	Sets the threshold of the regulation band limit for switching from the normal filter to the fast loop filter.		
			Bit 6	**Bit 5**	**Threshold**
			0	0	±1.5625%
			0	1	±3.125%
			1	0	±6.25%
			1	1	±12.5%

<table>
<tr><td>[4: 2]</td><td>Delay time</td><td>R/W</td><td colspan="4">Delay time before switching from the fast loop filter back to the normal filter after the output voltage is within the regulation band (Bits[6: 5]).</td></tr>
<tr><td></td><td></td><td></td><td>Bit 4</td><td>Bit 3</td><td>Bit 2</td><td>Number of Half AC Line Cycles</td></tr>
<tr><td></td><td></td><td></td><td>0</td><td>0</td><td>0</td><td>0</td></tr>
<tr><td></td><td></td><td></td><td>0</td><td>0</td><td>1</td><td>1</td></tr>
<tr><td></td><td></td><td></td><td>0</td><td>1</td><td>0</td><td>2</td></tr>
<tr><td></td><td></td><td></td><td>0</td><td>1</td><td>1</td><td>3</td></tr>
<tr><td></td><td></td><td></td><td>1</td><td>0</td><td>0</td><td>4</td></tr>
<tr><td></td><td></td><td></td><td>1</td><td>0</td><td>1</td><td>5</td></tr>
<tr><td></td><td></td><td></td><td>1</td><td>1</td><td>0</td><td>6</td></tr>
<tr><td></td><td></td><td></td><td>1</td><td>1</td><td>1</td><td>7</td></tr>
<tr><td>1</td><td>Enable fast loop during soft start</td><td>R/W</td><td colspan="4">Enables the fast loop filter during soft start.
1 = fast loop filter is used during soft start.
0 = normal filter is used during soft start.</td></tr>
<tr><td>0</td><td>Enable fast loop</td><td>R/W</td><td colspan="4">Enables the fast loop filter with a delay. The threshold is programmed in Bits[6: 5].
1 = enable fast loop filter.
0 = disable fast loop filter.</td></tr>
</table>

VAC_THRESHOLD_SETレジスタ

このレジスタを使って、入力 AC ライン周期測定とゼロ交差点検出の入力電圧スレッショールドを設定します。

表 98. レジスタ 0xFE25—VAC_THRESHOLD_SET

Bits	Bit Name	R/W	Description
7	Enable automatic threshold	R/W	1 = enable automatic threshold. 0 = disable automatic threshold.
[6: 0]	Threshold voltage	R/W	These bits set the threshold voltage to detect the ac line frequency and period if Bit 7 is set to 0.

VAC_THRESHOLD_READレジスタ

表 99. レジスタ 0xFE26—VAC_THRESHOLD_READ

Bits	Bit Name	R/W	Description
7	RSVD	R	Reserved.
[6: 0]	VAC average reading	R	Return the reading of the threshold voltage to detect the ac line frequency and period if the automatic threshold is enabled in Register 0xFE25, Bit 7.

MIN_AC_PERIOD_SETレジスタ

表 100. レジスタ 0xFE27—MIN_AC_PERIOD_SET

Bits	Bit Name	R/W	Description
[7: 0]	Minimum ac line period	R/W	These bits set the minimum ac line period of the input voltage. Each LSB corresponds to 163.84 μs resolution.

MAX_AC_PERIOD_SETレジスタ

表 101. レジスタ 0xFE28—MAX_AC_PERIOD_SET

Bits	Bit Name	R/W	Description
[7: 0]	Maximum ac line period	R/W	These bits set the maximum ac line period of the input voltage. Each LSB corresponds to 163.84 μs resolution.

低ライン入力電流ループ・フィルタ・ゲイン・レジスタ

表 102. レジスタ 0xFE29—低ライン入力の電流ループ・フィルタ・ゲイン

Bits	Bit Name	R/W	Description
[7: 0]	Current loop filter gain for low line	R/W	These bits set the current loop digital filter gain of the PFC current loop under the low line input voltage.

低ライン入力電流ループ・フィルタ・ゼロ・レジスタ

表 103. レジスタ 0xFE2A—低ライン入力の電流ループ・フィルタ・ゼロ

Bits	Bit Name	R/W	Description
[7: 0]	Current loop filter zero for low line	R/W	These bits set the current loop digital filter zero of the PFC current loop under the low line input voltage.

高ライン入力電流ループ・フィルタ・ゲイン・レジスタ

表 104. レジスタ 0xFE2B—高ライン入力の電流ループ・フィルタ・ゲイン

Bits	Bit Name	R/W	Description
[7: 0]	Current loop filter gain for high line	R/W	These bits set the current loop digital filter gain of the PFC current loop under the high line input voltage.

高ライン入力電流ループ・フィルタ・ゼロ・レジスタ

表 105. レジスタ 0xFE2C—高ライン入力の電流ループ・フィルタ・ゼロ

Bits	Bit Name	R/W	Description
[7: 0]	Current loop filter zero for high line	R/W	These bits set the current loop digital filter zero of the PFC current loop under the high line input voltage.

ソフトスタート設定レジスタ

表 106. レジスタ 0xFE2D—ソフトスタート設定

Bits	Bit Name	R/W	Description			
[7: 6]	RSVD	R	Reserved.			
[5: 3]	Soft start delay time	R/W	These bits set the delay time between the inrush signal and the beginning of the soft start.			
			Bit 5	**Bit 4**	**Bit 3**	**Number of Full AC Line Cycles**
			0	0	0	0
			0	0	1	1
			0	1	0	2
			0	1	1	3
			1	0	0	4
			1	0	1	5
			1	1	0	6
			1	1	1	7
[2: 0]	Soft start time	R/W	These bits set the soft start time.			
			Bit 2	**Bit 1**	**Bit 0**	**Time**
			0	0	0	112 ms
			0	0	1	168 ms
			0	1	0	224 ms
			0	1	1	280 ms
			1	0	0	392 ms
			1	0	1	504 ms
			1	1	0	616 ms
			1	1	1	728 ms

突入電流設定レジスタ

表 107. レジスタ 0xFE2E—突入電流設定

Bits	Bit Name	R/W	Description			
[7: 5]	RSVD	R	Reserved.			
[4: 3]	Timer	R/W	These bits set the timer for the VIN_LOW flag measurement.			
			Bit 4	**Bit 3**	**Timer**	
			0	0	Quarter line cycle	
			0	1	Half line cycle	
			1	0	2 ms	
			1	1	4 ms	
[2: 0]	Inrush delay time	R/W	These bits set the inrush signal delay time after the BROWN_OUT flag goes low.			
			Bit 2	**Bit 1**	**Bit 0**	**Number of Full AC Line Cycles**
			0	0	0	0
			0	0	1	1
			0	1	0	2
			0	1	1	3
			1	0	0	4
			1	0	1	5
			1	1	0	6
			1	1	1	7

FAST_OVP_FAULT_RISEレジスタ

表 108. レジスタ 0xFE2F—FAST_OVP_FAULT_RISE

Bits	Bit Name	R/W	Description
7	RSVD	R	Reserved.
[6: 0]	Fast OVP rise threshold	R/W	These bits set the rising threshold for the analog comparator at the OVP pin input as follows: *OVP threshold* = (*Code* × 0.492/128) + 1. This threshold is programmable from 1 V to 1.5 V. Each LSB increments the threshold by 3.844 mV. A value of 0x00 corresponds to a 1 V threshold; a value of 0x3F corresponds to a 1.492 V threshold.

FAST_OVP_FAULT_FALLレジスタ

表 109. レジスタ 0xFE30—FAST_OVP_FAULT_FALL

Bits	Bit Name	R/W	Description
7	RSVD	R	Reserved.
[6: 0]	Fast OVP fall threshold	R/W	These bits set the falling threshold for the analog comparator at the OVP pin input as follows: *OVP threshold* = (*Code* × 0.492/128) + 1. This threshold is programmable from 1 V to 1.5 V. Each LSB increments the threshold by 3.844 mV. A value of 0x00 corresponds to a 1 V threshold; a value of 0x3F corresponds to a 1.492 V threshold.

FAST OVPデバウンス時間設定レジスタ

表 110. レジスタ 0xFE31—高速 OVP デバウンス時間設定

Bits	Bit Name	R/W	Description		
[7: 2]	RSVD	R	Reserved.		
[1: 0]	OVP debounce time	R/W	These bits set the fast OVP debounce time.		
			Bit 1	**Bit 0**	**Time**
			0	0	120 ns
			0	1	240 ns
			1	0	480 ns
			1	1	640 ns

低電力動作モード・スレッショールド・レジスタ

表 111. レジスタ 0xFE32—低電力動作モード・スレッショールド

Bits	Bit Name	R/W	Description
[7: 0]	Low power threshold	R/W	These bits set the threshold value (P_{TH}) for low power mode detection. When the input power is lower than this value, the PFC enters low power mode.

低ライン入力電力測定オフセット調整レジスタ

表 112. レジスタ 0xFE33—低ライン入力の電力測定機能オフセット調整

Bits	Bit Name	R/W	Description
7	Offset trim polarity	R/W	1 = negative offset trim is introduced. 0 = positive offset trim is introduced.
[6: 0]	Power meter offset trim	R/W	This value calibrates the power meter offset at the low line input voltage. Each LSB corresponds to 0.0625/128 of the full input power.

低ライン入力電力測定ゲイン調整レジスタ

表 113. レジスタ 0xFE34—低ライン入力の電力測定ゲイン調整

Bits	Bit Name	R/W	Description
7	Gain trim polarity	R/W	1 = negative gain trim is introduced. 0 = positive gain trim is introduced.
[6: 0]	Power meter gain trim	R/W	This value calibrates the power meter gain at the low line input voltage. Each LSB corresponds to 0.0625/128 of the input power.

高ライン制限値レジスタ

表 114. レジスタ 0xFE35—高ライン制限値

Bits	Bit Name	R/W	Description
[7: 0]	VAC high line threshold	R/W	When the input voltage is higher than this value, the current loop filter for high line input is used.

低ライン制限値レジスタ

表 115. レジスタ 0xFE36—低ライン制限値

Bits	Bit Name	R/W	Description
[7: 0]	VAC low line threshold	R/W	When the input voltage is lower than this value, the current loop filter for low line input is used.

ILIM_TRIMレジスタ

このレジスタは書込みアクセス用にロックを解除する必要があります。表 61 を参照。

表 116. レジスタ 0xFE37—ILIM_TRIM

Bits	Bit Name	R/W	Description
[7: 5]	RSVD	R	Reserved.
4	Trim current direction	R/W	1 = source trim current (ILIM + ILIM_TRIM). 0 = sink trim current (ILIM − ILIM_TRIM).
[3: 0]	ILIM trim	R/W	These bits set the trim current. Each LSB corresponds to ILIM/64.

電圧ループ出力レジスタ

表 117. レジスタ 0xFE38—電圧ループ出力

Bits	Bit Name	R/W	Description
[7: 0]	Voltage loop output	R	Return the output of the voltage control loop.

指数レジスタ

このレジスタを使って、PIN、VIN、IIN の指数(N)の読出し/書込みを行います。

表 118. レジスタ 0xFE39—指数

Bits	Bit Name	R/W	Description
[15: 11]	RSVD	R	Reserved.
[10: 6]	Input current exponent	R/W	Sets the exponent for the input current.
[5: 3]	Input voltage exponent	R/W	Sets the exponent for the input voltage.
[2: 0]	Input power exponent	R/W	Sets the exponent for the input power.

読出し更新レート・レジスタ

表 119. レジスタ 0xFE3A—読出し更新レート

<table>
<tr><th>Bits</th><th>Bit Name</th><th>R/W</th><th colspan="4">Description</th></tr>
<tr><td>[7: 3]</td><td>RSVD</td><td>R</td><td colspan="4">Reserved.</td></tr>
<tr><td rowspan="10">[2: 0]</td><td rowspan="10">Averaging window</td><td rowspan="10">R/W</td><td colspan="4">These bits set the averaging window for the power current and voltage readings; rms values from one half ac line cycle are averaged over the programmed number of half ac line cycles.</td></tr>
<tr><th>Bit 2</th><th>Bit 1</th><th>Bit 0</th><th>Number of Half AC Line Cycles</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>0</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>16</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>64</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>128</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>512</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>1024</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>4096</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>8192</td></tr>
</table>

VINスケール・モニタ・レジスタ

表 120. レジスタ 0xFE3B—VIN スケール・モニタ

Bits	Bit Name	R/W	Description
[15: 14]	RSVD	R	Reserved.
[13: 11]	Exponent	R/W	Write the exponent (N) in twos complement format ($K_{VIN} = Y \times 2^N$).
10	RSVD	R	Reserved.
[9: 0]	Mantissa	R/W	Mantissa (Y[9: 0]) used in K_{VIN} linear mode format ($K_{VIN} = Y \times 2^N$).

IIN_G検出レジスタ

表 121. レジスタ 0xFE3C—IIN_G 検出

Bits	Bit Name	R/W	Description
[15: 11]	Exponent	R/W	Write the exponent (N) in twos complement format (IIN_GSENSE = $Y \times 2^N$).
10	RSVD	R	Reserved.
[9: 0]	Mantissa	R/W	Mantissa (Y[9: 0]) used in IIN linear mode format (IIN_GSENSE = $Y \times 2^N$).

CS高速OCPブランク・レジスタ

表 122. レジスタ 0xFE3D—CS 高速 OCP ブランク

<table>
<tr><th>Bits</th><th>Bit Name</th><th>R/W</th><th colspan="4">Description</th></tr>
<tr><td>[7: 5]</td><td>RSVD</td><td>R</td><td colspan="4">Reserved.</td></tr>
<tr><td rowspan="6">[4: 3]</td><td rowspan="6">CS OCP debounce time</td><td rowspan="6">R/W</td><td colspan="4">These bits set the CS OCP debounce time. This value is the minimum time that the CS signal must be constantly above the ILIM threshold (set in Register 0xFE3E, Bits[7: 5]). When the CS OCP debounce time is exceeded, all PWM outputs are disabled for the remainder of the switching cycle.</td></tr>
<tr><th>Bit 4</th><th colspan="2">Bit 3</th><th>Fast OCP Debounce Time</th></tr>
<tr><td>0</td><td colspan="2">0</td><td>40 ns</td></tr>
<tr><td>0</td><td colspan="2">1</td><td>80 ns</td></tr>
<tr><td>1</td><td colspan="2">0</td><td>120 ns</td></tr>
<tr><td>1</td><td colspan="2">1</td><td>240 ns</td></tr>
<tr><td rowspan="10">[2: 0]</td><td rowspan="10">Leading edge blanking time</td><td rowspan="10">R/W</td><td colspan="4">These bits determine the leading edge blanking time. During this time, the OCP comparator output is ignored.</td></tr>
<tr><th>Bit 2</th><th>Bit 1</th><th>Bit 0</th><th>Leading Edge Blanking Time</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>40 ns</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>80 ns</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>120 ns</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>160 ns</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>200 ns</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>400 ns</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>600 ns</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>800 ns</td></tr>
</table>

CS高速OCP設定レジスタ

表 123. レジスタ 0xFE3E—CS 高速 OCP 設定

<table>
<tr><th>Bits</th><th>Bit Name</th><th>R/W</th><th colspan="4">Description</th></tr>
<tr><td rowspan="10">[7: 5]</td><td rowspan="10">ILIM absolute value</td><td rowspan="10">R/W</td><td colspan="4">These bits determine the ILIM absolute value. Bit 7 = 0 is positive sensing, and Bit 7 = 1 is negative sensing.</td></tr>
<tr><th>Bit 7</th><th>Bit 6</th><th>Bit 5</th><th>ILIM Current Value</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>20 μA</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>40 μA</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>60 μA</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>80 μA</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>60 μA</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>80 μA</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>100 μA</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>120 μA</td></tr>
<tr><td>[4: 2]</td><td>RSVD</td><td>R</td><td colspan="4">Reserved.</td></tr>
<tr><td>1</td><td>CS_RANGE_SELECT</td><td>R/W</td><td colspan="4">CS ADC input range.
0 = 750 mV.
1 = 500 mV.</td></tr>
<tr><td>0</td><td>SEL_RESVI_REF</td><td>R/W</td><td colspan="4">This bit sets the reference current for the CS+ and CS− common-mode level shift.
1 = select the RES VI reference current (changing R_{RES} changes this current).
0 = select the band gap generated reference current.</td></tr>
</table>

温度ヒステリシス・レジスタ

表 124. レジスタ 0xFE3F—温度ヒステリシス

Bits	Bit Name	R/W	Description
[7: 0]	Temperature hysteresis	R/W	These bits set the temperature (RTD) measurement hysteresis. The OT_FAULT flag is reset when the RTD ADC value is higher than the temperature fault limit plus hysteresis. The OT_WARN flag is reset when the RTD ADC value is higher than the temperature warning limit plus hysteresis.

VAC ADCゲイン調整レジスタ

このレジスタは書込みアクセス用にロックを解除する必要があります。表 61 を参照。

表 125. レジスタ 0xFE40—VAC ADC ゲイン調整

Bits	Bit Name	R/W	Description
7	Gain polarity	R/W	1 = negative gain is introduced. 0 = positive gain is introduced.
[6: 0]	VAC ADC gain trim	R/W	This value calibrates the VAC voltage sense gain.

VFB ADCゲイン調整レジスタ

このレジスタは書込みアクセス用にロックを解除する必要があります。表 61 を参照。

表 126. レジスタ 0xFE41—VFB ADC ゲイン調整

Bits	Bit Name	R/W	Description
7	Gain polarity	R/W	1 = negative gain is introduced. 0 = positive gain is introduced.
[6: 0]	VFB ADC gain trim	R/W	This value calibrates the output voltage sense gain.

500 mVレンジ用CS ADCゲイン調整レジスタ

このレジスタは書込みアクセス用にロックを解除する必要があります。表 61 を参照。

表 127. レジスタ 0xFE42—CS ADC ゲイン調整 for 500 mV レンジ

Bits	Bit Name	R/W	Description
7	Gain polarity	R/W	1 = negative gain is introduced. 0 = positive gain is introduced.
[6: 0]	CS ADC gain trim	R/W	This value calibrates the CS current sense gain.

IBALゲイン・レジスタ(ADP1048 の場合)

表 128. レジスタ 0xFE43—IBALゲイン(ADP1048 の場合)

Bits	Bit Name	R/W	Description
7	IBAL enable	R/W	1 = enable current balancing. 0 = disable current balancing and reset the IBAL integrator.
[6: 0]	IBAL gain	R/W	The gain can be set from 0 to 127.

スマートVOUT低電力スレッショールド(P1)レジスタ

表 129. レジスタ 0xFE44—スマート VOUT 低電力スレッショールド(P1)

Bits	Bit Name	R/W	Description
[15: 13]	RSVD	R	Reserved.
[12: 0]	P1	R/W	These bits set the threshold value for low power mode operation when the smart output voltage function is enabled. When the input power is lower than this value, the output voltage is VOL1 for low line input and VOH1 for high line input.

スマートVOUT高電力スレッショールド(P2)レジスタ

表 130. レジスタ 0xFE45—スマート VOUT 高電力スレッショールド(P2)

Bits	Bit Name	R/W	Description
[15: 13]	RSVD	R	Reserved.
[12: 0]	P2	R/W	These bits set the threshold value for high power mode operation when the smart output voltage function is enabled. When the input power is higher than this value, the output voltage is VOL2 for low line input and VOH2 for high line input.

スマートVOUT低ライン(VOL1)レジスタ

表 131. レジスタ 0xFE46—スマート VOUT 低ライン(VOL1)

Bits	Bit Name	R/W	Description
[15: 11]	RSVD	R	Reserved.
[10: 0]	VOL1	R/W	These bits set the output voltage under low power mode operation with low line input.

スマートVOUT低ライン(VOL2)レジスタ

表 132. レジスタ 0xFE47—スマート VOUT 低ライン(VOL2)

Bits	Bit Name	R/W	Description
[15: 11]	RSVD	R	Reserved.
[10: 0]	VOL2	R/W	These bits set the output voltage under high power mode operation with low line input.

スマートVOUT高ライン(VOH1)レジスタ

表 133. レジスタ 0xFE48—スマート VOUT 高ライン(VOH1)

Bits	Bit Name	R/W	Description
[15: 11]	RSVD	R	Reserved.
[10: 0]	VOH1	R/W	These bits set the output voltage under low power mode operation with high line input.

スマートVOUT高ライン(VOH2)レジスタ

表 134. レジスタ 0xFE49—スマート VOUT 高ライン(VOH2)

Bits	Bit Name	R/W	Description
[15: 11]	RSVD	R	Reserved.
[10: 0]	VOH2	R/W	These bits set the output voltage under high power mode operation with high line input.

スマートVOUT上限値(VOH)レジスタ

表 135. レジスタ 0xFE4A—スマート VOUT 上限値(VOH)

Bits	Bit Name	R/W	Description
[15: 11]	RSVD	R	Reserved.
[10: 0]	VOH	R/W	These bits set the output voltage when the VAC input voltage is higher than the value set in Register 0xFE4B.

スマートVOUT超高ライン・レジスタ

表 136. レジスタ 0xFE4B—スマート VOUT 超高ライン

Bits	Bit Name	R/W	Description
[15: 11]	RSVD	R	Reserved.
[10: 0]	Super high line voltage	R/W	These bits set the input voltage value as a super high line limit.

SYNC遅延レジスタ

表 137. レジスタ 0xFE4C—SYNC 遅延

Bits	Bit Name	R/W	Description
[15: 0]	t_{SYNC_DELAY}	R/W	These bits set the additional delay between the external synchronization reference clock signal and the rising edge of PWM. Each LSB corresponds to 80 ns resolution.

SMART_VOUT_SUPER_HIGH_LINE_HYSレジスタ

表 138. レジスタ 0xFE4D—SMART_VOUT_SUPER_HIGH_LINE_HYS

Bits	Bit Name	R/W	Description
[7: 0]	Super high line voltage hysteresis	R/W	These bits set the voltage hysteresis of the super high line voltage for the smart output voltage function. The output voltage is VOH2 if the input voltage is lower than the super high line voltage minus the voltage hysteresis.

POWER_HYSレジスタ

表 139. レジスタ 0xFE4E—POWER_HYS

Bits	Bit Name	R/W	Description
[7: 0]	Power hysteresis	R/W	These bits set the power hysteresis for low power mode operation. The PFC exits the low power mode if the input power is higher than the low power threshold plus the power hysteresis.

高度機能イネーブル・レジスタ

表 140. レジスタ 0xFE4F—高度機能イネーブル

Bits	Bit Name	R/W	Description
7	RSVD	R	Reserved.
6	Enable current loop feedforward	R/W	1 = current loop feedforward is enabled. 0 = current loop feedforward is disabled.
5	Enable light load current loop filter	R/W	1 = light load current loop filter is enabled. 0 = light load current loop filter is disabled.
4	Enable phase shedding	R/W	1 = phase shedding is enabled. 0 = phase shedding is disabled. This bit applies to the ADP1048 only.
3	Enable smart switching frequency	R/W	1 = smart switching frequency is enabled. 0 = smart switching frequency is disabled.
2	Enable smart output voltage	R/W	1 = smart output voltage is enabled. 0 = smart output voltage is disabled.
1	Enable PWM synchronization	R/W	1 = PWM frequency synchronization is enabled. 0 = PWM frequency synchronization is disabled.
0	Enable frequency dithering	R/W	1 = frequency dithering is enabled. 0 = frequency dithering is disabled.

VOUT_OV_FAULT_HYSレジスタ

表 141. レジスタ 0xFE50—VOUT_OV_FAULT_HYS

Bits	Bit Name	R/W	Description
[7: 0]	VOUT OV fault hysteresis	R/W	This register determines the mantissa hysteresis for the VOUT_OV_FAULT_LIMIT condition. This hysteresis applies only when the disable output option is selected as the VOUT_OV_FAULT_ RESPONSE (Register 0x41, Bits[7: 6]). The PFC output is reenabled when the output voltage is lower than VOUT_OV_FAULT_LIMIT minus this hysteresis.

VIN_UV_FAULT_HYSレジスタ

表 142. レジスタ 0xFE51—VIN_UV_FAULT_HYS

Bits	Bit Name	R/W	Description
[7: 0]	VIN UV fault hysteresis	R/W	This register determines the mantissa hysteresis for the VIN_UV_FAULT_LIMIT condition. This hysteresis applies only when the disable output option is selected as the VIN_UV_FAULT_ RESPONSE (Register 0x5A, Bits[7: 6]). The PFC output is reenabled when the input voltage is higher than VIN_UV_FAULT_LIMIT plus this hysteresis.

VAC ADCオフセット調整レジスタ

このレジスタは書込みアクセス用にロックを解除する必要があります。表 61 を参照。

表 143. レジスタ 0xFE53—VAC ADC オフセット調整

Bits	Bit Name	R/W	Description
[7: 0]	VAC ADC offset trim	R/W	This register calibrates the VAC ADC offset (the offset is always subtracted from the ADC output).

500 mVレンジ用CS ADCオフセット調整レジスタ

このレジスタは書込みアクセス用にロックを解除する必要があります。表 61 を参照。

表 144. レジスタ 0xFE54—500 mV レンジ用 CS ADC オフセット調整

Bits	Bit Name	R/W	Description
[7: 0]	CS ADC offset trim	R/W	This register calibrates the CS current sense offset (the offset is always subtracted from the ADC output).

高(750 mV)レンジ用CS ADCゲイン調整レジスタ

このレジスタは書込みアクセス用にロックを解除する必要があります。表 61 を参照。

表 145. レジスタ 0xFE7E—高(750 mV)レンジ用 CS ADC ゲイン調整

Bits	Bit Name	R/W	Description
7	Gain polarity	R/W	1 = negative gain is introduced. 0 = positive gain is introduced.
[6: 0]	CS ADC gain trim	R/W	This register calibrates the CS current sense gain.

高(750 mV)レンジ用CS ADCオフセット調整レジスタ

このレジスタは書込みアクセス用にロックを解除する必要があります。表 61 を参照。

表 146. レジスタ 0xFE7F—高(750 mV)レンジ用 CS ADC オフセット調整

Bits	Bit Name	R/W	Description
[7: 0]	CS ADC offset trim	R/W	This register calibrates the CS current sense offset (the offset is always subtracted from the ADC output).

ラッチ型フラグ・レジスタ

間欠的な故障検出を可能にするため、ラッチ型フラグ・レジスタのビットはセット状態を維持します(ラッチされます)。ラッチ型フラグ・レジスタを読出すと、そのレジスタのフラグがリセットされます。

表 147. レジスタ 0xFE80—ラッチ型フラグ 0

Bits	Bit Name	R/W	Description
7	MAX_MODULATION	R	1 = maximum modulation limit is reached.
6	MIN_MODULATION	R	1 = minimum modulation limit is reached.
5	OLP	R	1 = one of the two voltage dividers is probably disconnected or malfunctioning.
4	FAST_OVP	R	1 = the threshold set for the comparator on the OVP pin has been crossed.
3	AC_PERIOD	R	1 = controller is not able to detect the ac line period; the maximum value of the period is used and this flag is set.
2	BROWN_OUT	R	1 = VAC is lower than the value stored in VIN_ON (Register 0x35).
1	SOFT_START	R	1 = system is in soft start sequence; fast loop filter is in use.
0	INRUSH	R	1 = INRUSH control relay is off.

表 148. レジスタ 0xFE81—ラッチ型フラグ 1

Bits	Bit Name	R/W	Description
7	RSVD	R	Reserved.
6	EEPROM_UNLOCKED	R	1 = EEPROM is unlocked and its contents can be written.
5	EEPROM_CRC	R	1 = downloaded EEPROM contents are incorrect.
4	I2C_ADDRESS	R	1 = the resistor on the ADD pin has a value that can cause an error in the address assignment (the address falls too close to the threshold between two addresses).
3	LOW_LINE	R	1 = input voltage is higher than the high line threshold.
2	FAST_OCP	R	1 = the threshold set for the comparator on the ILIM pin has been crossed.
1	SYNC_LOCK	R	1 = external synchronization frequency is locked.
0	AC_OK	R	This flag is a programmable combination of other internal flags and refers to the condition of the input voltage. A value of 1 means that the output of the AC_OK pin is low.

表 149. レジスタ 0xFE82—ラッチ型フラグ 2

Bits	Bit Name	R/W	Description
[7: 6]	RSVD	R	Reserved.
5	LOW_POWER	R	1 = input power has dropped below the threshold for low power mode operation.
4	FAST_LOOP	R	1 = fast loop compensation filter is in use.
3	VCORE_OV	R	1 = an overvoltage condition is present on the VCORE rail.
2	VDD_3.3V_OV	R	1 = an overvoltage condition is present on the VDD rail.
1	VDD_3.3V_UV	R	1 = an undervoltage condition is present on the VDD rail.
0	RSVD	R	Reserved.

PWM値レジスタ

表 150. レジスタ 0xFE84—PWM 値

Bits	Bit Name	R/W	Description
[7: 0]	PWM value	R	Return the eight MSBs of the PWM value (10 bits).

VAC_LINE_PERIODレジスタ

表 151. レジスタ 0xFE85—VAC_LINE_PERIOD

Bits	Bit Name	R/W	Description
[7: 0]	VAC line period	R	Return the measured period on the VAC pin signal. Each LSB corresponds to 163.84 μs.

温度ADC測定値レジスタ

表 152. レジスタ 0xFE86—温度 ADC 測定値

Bits	Bit Name	R/W	Description
[15: 0]	RTD temperature	R	Return the measured temperature in ADC 12-bit format.

高ライン入力電力測定オフセット調整レジスタ

表 153. レジスタ 0xFE8E—高ライン入力電力測定オフセット調整

Bits	Bit Name	R/W	Description
7	Offset trim polarity	R/W	1 = negative offset trim is introduced. 0 = positive offset trim is introduced.
[6: 0]	Power meter offset trim	R/W	This value calibrates the power meter offset at the high line input voltage. Each LSB corresponds to 0.0625/128 of the full input power.

高ライン入力電力測定ゲイン調整レジスタ

表 154. レジスタ 0xFE8F—高ライン入力電力測定ゲイン調整

Bits	Bit Name	R/W	Description
7	Gain trim polarity	R/W	1 = negative gain trim is introduced. 0 = positive gain trim is introduced.
[6: 0]	Power meter gain trim	R/W	This value calibrates the power meter gain at the high line input voltage. Each LSB corresponds to 0.0625/128 of the input power.

低ライン入力および軽負荷に対する電流ループ・フィルタ・ゲイン・レジスタ

表 155. レジスタ 0xFE90—低ライン入力および軽負荷に対する電流ループ・フィルタ・ゲイン

Bits	Bit Name	R/W	Description
[7: 0]	Current loop filter gain for low line and light load	R/W	These bits set the current loop digital filter gain of the PFC current loop under the low line input voltage at a light load condition if Bit 5 of Register 0xFE4F is set to 1.

低ライン入力および軽負荷に対する電流ループ・フィルタ・ゼロ・レジスタ

表 156. レジスタ 0xFE91—低ライン入力および軽負荷に対する電流ループ・フィルタ・ゼロ

Bits	Bit Name	R/W	Description
[7: 0]	Current loop filter zero for low line and light load	R/W	These bits set the current loop digital filter zero of the PFC current loop under the low line input voltage at a light load condition if Bit 5 of Register 0xFE4F is set to 1.

高ライン入力および軽負荷に対する電流ループ・フィルタ・ゲイン・レジスタ

表 157. レジスタ 0xFE92—高ライン入力および軽負荷に対する電流ループ・フィルタ・ゲイン

Bits	Bit Name	R/W	Description
[7: 0]	Current loop filter gain for high line and light load	R/W	These bits set the current loop digital filter gain of the PFC current loop under the high line input voltage at a light load condition if Bit 5 of Register 0xFE4F is set to 1.

高ライン入力および軽負荷に対する電流ループ・フィルタ・ゼロ・レジスタ

表 158. レジスタ 0xFE93—高ライン入力および軽負荷に対する電流ループ・フィルタ・ゼロ

Bits	Bit Name	R/W	Description
[7: 0]	Current loop filter zero for high line and light load	R/W	These bits set the current loop digital filter zero of the PFC current loop under the high line input voltage at a light load condition if Bit 5 of Register 0xFE4F is set to 1.

スマートVOUT電力測定値レジスタ

表 159. レジスタ 0xFE94—スマート VOUT 電力測定値

Bits	Bit Name	R/W	Description
[15: 0]	Power reading	R	Return the average power reading for smart output voltage (averaged over 16 full line cycles).

IBAL設定レジスタ(ADP1048 の場合)

表 160. レジスタ 0xFE95—IBAL設定(ADP1048 の場合)

Bits	Bit Name	R/W	Description
7	IBAL disconnect	R/W	1 = disconnect the output of the current balance block from the PWM outputs. 0 = connect the output of the current balance block to the PWM outputs.
6	IBAL at load transient	R/W	0 = disable current balancing when the fast loop is triggered. 1 = enable current balancing when the fast loop is triggered. It is recommended that this bit be set to 0.
[5: 4]	RSVD	R	Reserved.
3	IBAL at low power mode	R/W	1 = disable current balancing under low power mode if the output of the current balancing block reaches the limit. 0 = enable current balancing under low power mode even if the output of the current balancing block reaches the limit. It is recommended that this bit be set to 1.
[2: 0]	RSVD	R	Reserved.

デバッグ・フラグ・レジスタ

表 161. レジスタ 0xFE96—デバッグ・フラグ 0

Bits	Bit Name	R/W	Description
7	OT_WARN	R	1 = measured temperature is above the value of OT_WARN_LIMIT.
6	OT_FAULT	R	1 = measured temperature is above the value of OT_FAULT_LIMIT.
5	TEMPERATURE	R	1 = temperature fault or warning.
4	UNKNOWN	R	1 = fault or warning not listed in Register 0x79, Bits[15: 1].
3	MFR_FAULT	R	1 = manufacturer-specific fault or warning (Register 0xFE80, Register 0xFE81, Register 0xFE82).
2	PSON	R	1 = PSON signal (hardware or software) is inactive.
1	PGOOD	R	Power good. This flag is a programmable combination of other internal flags and refers to the condition of the output voltage. A value of 1 means that the output of the PGOOD pin is low.
0	AC_OK	R	This flag is a programmable combination of other internal flags and refers to the condition of the input voltage. A value of 1 means that the output of the AC_OK pin is low.

表 162. レジスタ 0xFE97—デバッグ・フラグ 1

Bits	Bit Name	R/W	Description
7	EEPROM_UNLOCKED	R	1 = EEPROM is unlocked and its contents can be written.
6	EEPROM_CRC	R	1 = downloaded EEPROM contents are incorrect.
5	I2C_ADDRESS	R	1 = the resistor on the ADD pin has a value that can cause an error in the address assignment (the address falls too close to the threshold between two addresses).
4	FAST_LOOP	R	1 = fast loop compensation filter is in use.
3	MAX_MODULATION	R	1 = maximum modulation limit is reached.
2	MIN_MODULATION	R	1 = minimum modulation limit is reached.
1	SOFT_START	R	1 = system is in soft start sequence; fast loop filter is in use.
0	SYNC_LOCK	R	1 = external synchronization frequency is locked.

表 163. レジスタ 0xFE98—デバッグ・フラグ 2

Bits	Bit Name	R/W	Description
7	VIN_UV	R	1 = general input undervoltage fault (same as Register 0x7C, Bit 4).
6	VIN_LOW	R	1 = VAC is lower than VIN_OFF (Register 0x36). This signal shuts down the power supply.
5	VIN_UV_FAULT	R	1 = input voltage on VAC is smaller than the value in VIN_UV_FAULT_LIMIT (Register 0x59).
4	VIN_UV_WARN	R	1 = input voltage on VAC is smaller than the value in VIN_UV_WARN_LIMIT (Register 0x58).
3	LOW_LINE	R	1 = input voltage is higher than the high line threshold.
2	BROWN_OUT	R	1 = VAC is lower than the value stored in VIN_ON (Register 0x35).
1	CML	R	1 = communications, memory, or logic fault.
0	VDD_3.3V_OV	R	1 = an overvoltage condition is present on the VDD rail.

表 164. レジスタ 0xFE99—デバッグ・フラグ 3

Bits	Bit Name	R/W	Description
7	VIN_OV_FAULT	R	1 = input voltage on VAC is larger than the value in VIN_OV_FAULT_LIMIT (Register 0x55).
6	VCORE_OV	R	1 = an overvoltage condition is present on the VCORE rail.
5	PIN_OP_WARN	R	1 = input overpower warning.
4	AC_PERIOD	R	1 = controller is not able to detect the ac line period; the maximum value of the period is used and this flag is set.
3	IIN_OC_WARN	R	1 = input current measured on the CS ADC is larger than the value in IIN_OC_WARN_LIMIT (Register 0x5D).
2	IIN_OC_FAULT	R	1 = input current measured on the CS ADC is larger than the value in IIN_OC_FAULT_LIMIT (Register 0x5B).
1	FAST_OCP	R	1 = the threshold set for the comparator on the ILIM pin has been crossed.
0	INPUT	R	1 = input voltage, input current, or input power fault or warning.

表 165. レジスタ 0xFE9A—デバッグ・フラグ 4

Bits	Bit Name	R/W	Description
7	OLP	R	1 = one of the two voltage dividers is probably disconnected or malfunctioning.
6	FAST_OVP	R	1 = the threshold set for the comparator on the OVP pin has been crossed.
5	VOUT_UV_FAULT	R	1 = output voltage is below the VOUT_UV_FAULT_LIMIT (Register 0x44).
4	VOUT_UV_WARN	R	1 = output voltage is below the VOUT_UV_WARN_LIMIT (Register 0x43).
3	VOUT_OV_WARN	R	1 = output voltage is above the VOUT_OV_WARN_LIMIT (Register 0x42).
2	VOUT_OV_FAULT	R	1 = output voltage is above the VOUT_OV_FAULT_LIMIT (Register 0x40).
1	VOUT_OV	R	General output overvoltage fault: this flag is a combination (OR) of any output overvoltage flag (Register 0x7A, Bit 7 and Register 0xFE80, Bit 4 (FAST_OVP)).
0	VOUT	R	1 = any fault on output voltage (overvoltage, undervoltage, fast OVP, or accurate OVP).

表 166. レジスタ 0xFE9B—デバッグ・フラグ 5

Bits	Bit Name	R/W	Description
[7: 3]	RSVD	R	Reserved.
2	LOW_POWER	R	1 = input power has dropped below the threshold for low power mode operation.
1	VDD_3.3V_UV	R	1 = an undervoltage condition is present on the VDD rail.
0	INRUSH	R	1 = INRUSH control relay is off.

外形寸法

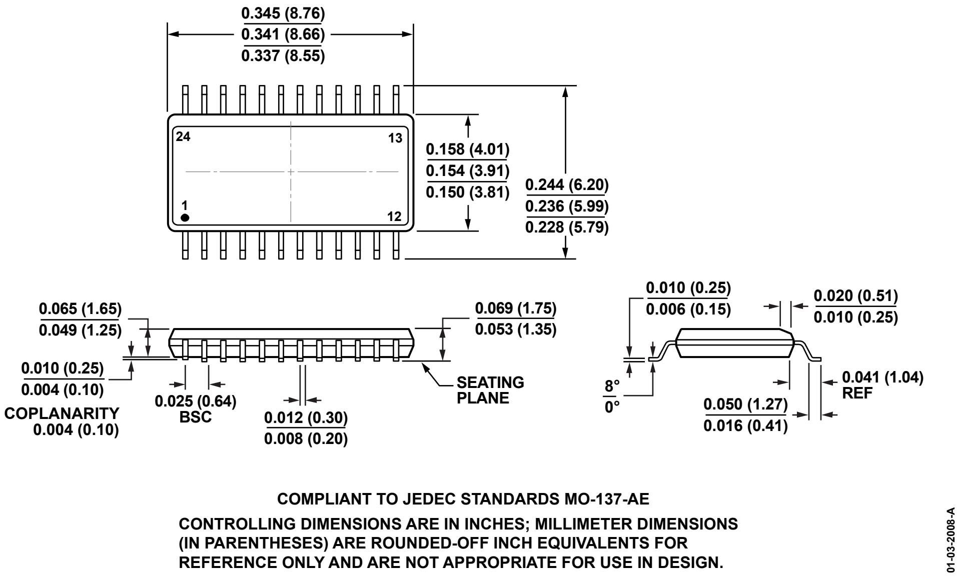


図 45.24 ピン・シュリンク・スモール・アウトライン・パッケージ[QSOP]
(RQ-24)
寸法: インチ(mm)

オーダー・ガイド

Model[1]	Temperature Range	Package Description	Package Option
ADP1047ARQZ-R7	−40°C to +85°C	24-Lead Shrink Small Outline Package [QSOP]	RQ-24
ADP1048ARQZ-R7	−40°C to +85°C	24-Lead Shrink Small Outline Package [QSOP]	RQ-24
ADP1047-300-EVALZ		ADP1047 300 W Evaluation Board	
ADP1048-600-EVALZ		ADP1048 600 W Evaluation Board	
ADP1047DC1-EVALZ		ADP1047 Daughter Card	
ADP1048DC1-EVALZ		ADP1048 Daughter Card	
ADP-I2C-USB-Z		USB to I^2C Adapter	

[1] Z = RoHS 準拠製品。

I^2C は、Philips Semiconductors 社(現在の NXP Semiconductors 社)が制定した通信プロトコルです。