

### 特長

一般的なすべてのコントローラ機能を内蔵

デジタル制御ループ

リモートとローカルの電圧検出

一次側と二次側の電流検出

PWM 制御

同期整流器制御

電流シェアリング

プログラマブルなループ・フィルタを内蔵

I<sup>2</sup>C インターフェース

広範囲な故障検出機能と保護機能

広範囲な設定機能

高速キャリブレーション

EEPROM

スタンドアロン制御またはマイクロコントローラ制御

### アプリケーション

AC/DC 電源

絶縁型 DC/DC 電源

冗長電源

並列電源

サーバ、ストレージ、ネットワーク、通信インフラストラクチャ

### 概要

ADP1043A は、AC/DC または絶縁型 DC/DC の制御アプリケーションで一般に必要とされるすべての機能を提供するためにデザインされた二次側電源コントローラ IC です。

ADP1043A は、最小の部品数、最大の柔軟性、最小のデザイン時間を実現するように最適化されています。内蔵機能としては、リモート電圧検出、ローカル電圧検出、一次側および二次側の電流検出、パルス幅変調(PWM)の発生、ホットスワップ検出および制御などがあります。制御ループは、プログラマブルな内蔵デジタル・フィルタによるデジタル処理です。保護機能としては、電流制限、AC 検出、低電圧ロックアウト(UVLO)、過電圧保護(OVP)などがあります。

内蔵 EEPROM により、内蔵ループ・フィルタ、PWM 信号タイミング、突入電流、ソフト・スタート・タイミング、シーケンシングに対する広範囲な設定機能を提供します。チェックサムとクリティカルな回路の冗長性の組み込みにより信頼性を向上させています。

ループ・フィルタ特性の容易なデザインと安全機能の設定のために包括的な GUI が提供されています。業界標準の I<sup>2</sup>C バスを介して、多くのモニタリング機能とシステム・テスト機能を使用することができます。

ADP1043A は 32 ピン LFCSP パッケージを採用し、3.3 V 単電源で動作します。

### 代表的なアプリケーション回路

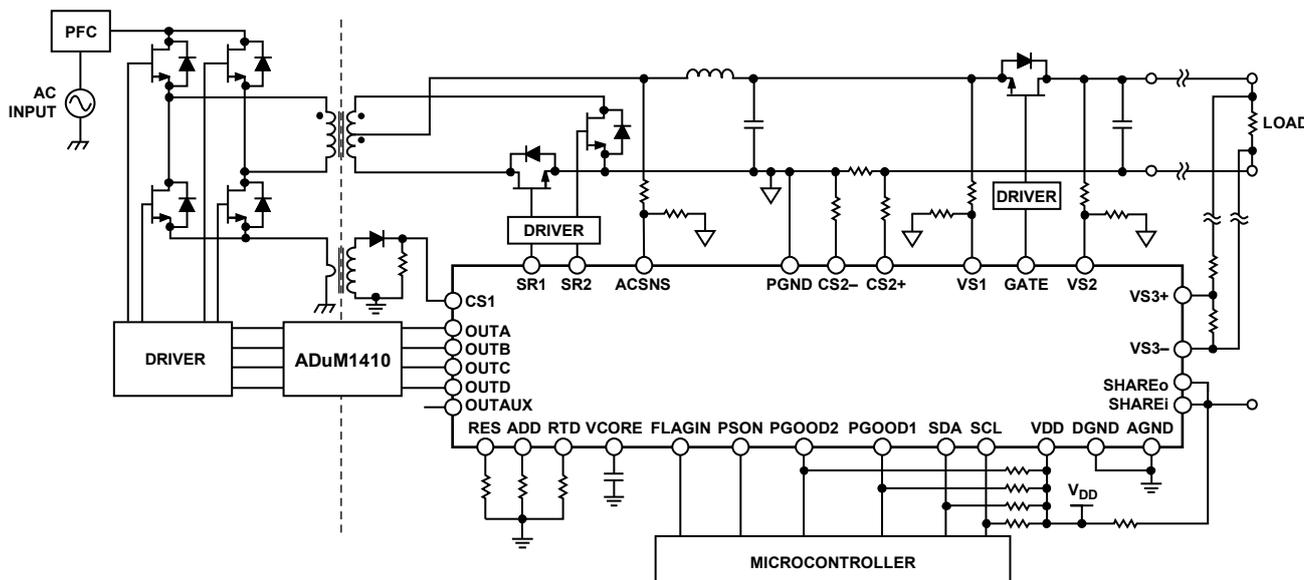


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。  
©2009 Analog Devices, Inc. All rights reserved.

Rev. 0

## 目次

特長	1	過電流保護(OCP)	24
アプリケーション	1	定電流モード	25
概要	1	過電圧保護機能(OVP)	25
代表的なアプリケーション回路	1	低電圧保護(UVP)	25
改訂履歴	3	AC検出(ACSNS)	26
機能ブロック図	4	電圧-時間バランス	26
仕様	5	ロードライン	26
絶対最大定格	8	電源のキャリブレーションと調整	27
熱抵抗	8	CS1の調整	27
ハンダ処理	8	CS2の調整	27
ESDの注意	8	電圧のキャリブレーションと調整	27
ピン配置およびピン機能説明	9	出力電圧の設定(VS3+, VS3-の調整)	28
代表的な性能特性	11	VS1調整	28
動作原理	12	VS2調整	28
電流検出機能	12	RTD/OTP調整	28
電圧検出と制御ループ	13	レイアウトのガイドライン	28
ADC	13	通信	29
デジタル・フィルタ	14	I <sup>2</sup> Cインターフェース	29
PWMと同期整流出力(OUTA、OUTB、OUTC、OUTD、OUTAUX、SR1、SR2)	14	EEPROM	31
同期整流	15	ソフトウェアGUI	32
適応型デッドタイム制御	15	レジスタのリスト	33
軽負荷モード	15	レジスタの詳細説明	35
変調限界値	15	故障レジスタ	35
OrFET制御(GATE)	15	値レジスタ	38
VDD	18	電流検出レジスタおよび電流限界値レジスタ	41
VDD/VCORE OVLO	18	電圧検出レジスタ	46
パワーグッド	18	IDレジスタ	49
ソフト・スタート	19	PWMレジスタおよび同期整流器タイミング・レジスタ	50
電流シェアリング(SHARE)	20	デジタル・フィルタ設定レジスタ	58
電源システムと故障モニタ	22	適応型デッドタイム・レジスタ	60
フラグ	22	EEPROMレジスタ	64
モニタリング機能	22	共振モード動作	65
電圧の測定	22	共振モードのイネーブル	65
電流の測定	22	共振モードでのPWMタイミング	65
電力の測定	23	共振モードでの同期整流	65
電力のモニタリング精度	23	PWM出力タイミングの調整	66
先頭フラグ故障IDと値レジスタ	23	周波数限界値設定	66
外部フラグ入力(FLAGINピン)	23	共振モードでの帰還制御	66
温度の測定(RTDピン)	23	共振モードでのソフト・スタート	66
過温度保護(OTP)	23	軽負荷動作(バースト・モード)	66

共振モードでのOUTAUX .....	66	外形寸法 .....	71
共振モードでの保護機能 .....	66	オーダー・ガイド .....	71
共振モード・レジスタの説明 .....	67		

## 改訂履歴

10/09—Revision 0: Initial Version

ADP1043A は、スイッチ・モード電源(SMPS)の二次側コントローラであり、絶縁型冗長アプリケーションで使用するようデザインされています。ADP1043A は、電源の制御に必要とされる一般的な機能を内蔵しています。内蔵機能には次が含まれます。

- 出力電圧の検出と帰還
- デジタル・ループ・フィルタ補償
- PWM の発生
- 電流シェアリング
- 電流、電圧、温度の検出
- OrFET 制御
- ハウスキーピングと I<sup>2</sup>C インターフェース
- キャリブレーションと調整

出力電圧制御の主な機能は、帰還 ADC、デジタル・ループ・フィルタ、PWM ブロックを使って実行されます。帰還 ADC では、マルチパス手法(特許申請中)を採用しています。ADP1043A では、高速低分解能(高速で低精度)ADC と低速度高分解能(低速で高精度)ADC を組み合わせています。ループ補償は、デジタル・フィルタを使って実現しています。この PID (比例、積分、微分)フィルタはデジタル領域で実現されているためフィルタ特性の設定が容易です。これは、電源設計のカスタマイズとデバッグで非常に重要なことです。

PWM ブロックは、FET ドライバと同期整流 FET ドライバの制御用に最大 7 本のプログラマブルな PWM 出力を発生します。このプログラマブル性により、多くの従来型のユニークなスイッチング回路を実現することができます。

電流シェア・バス・インターフェースは、並列電源向けに用意されています。また、デバイスはホットスワップ OrFET 検出機能と N+1 冗長電源の制御機能も持っています。

リモートおよびローカルの電圧検出や一次側および二次側の電流検出のような従来型の電源ハウスキーピング機能も内蔵しています。過電圧保護(OVP)、過電流保護(OCF)、過温度保護(OTP)、低電圧保護(UVP)、グラウンド接続モニタ、AC 検出などの広範囲な保護機能のセットを提供しています。

これらすべての機能は、I<sup>2</sup>C バス・インターフェースを介して設定することができます。このバス・インターフェースは、電源をキャリブレーションする際にも使います。また、入力電流、出力電流、故障フラグなどのその他の情報は、I<sup>2</sup>C バス・インターフェースを介して使用することができます。

内蔵 EEPROM は、すべての設定値を保存することができるため、マイクロコントローラなしでスタンダロン制御を行うことができます。ADP1043A の設定に必要なすべてのソフトウェアは、無償でダウンロードできる GUI で提供しています。GUI の詳細、最新のソフトウェア、ユーザ・ガイドについては、アナログ・デバイスにお尋ねください。

ADP1043A は 3.3 V 単電源で動作し、-40°C~+85°C で仕様が規定されています

## 機能ブロック図

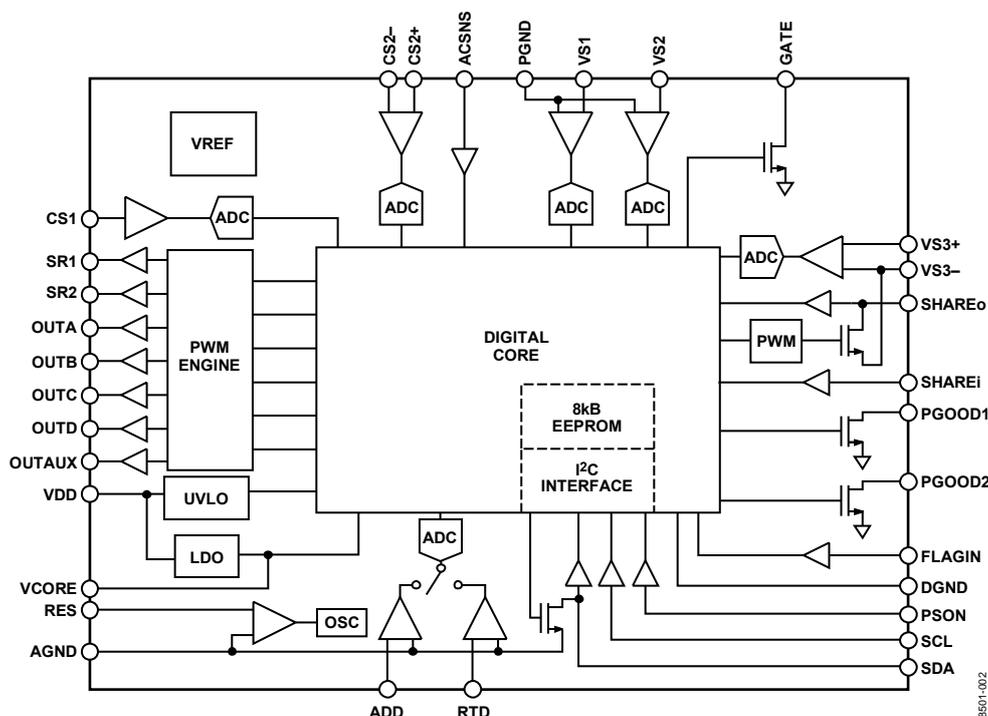


図 2.

## 仕様

特に指定がない限り、 $V_{DD} = 3.3\text{ V}$ 、 $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$ 。FSR = フルスケール範囲。

表 1.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
SUPPLY						
$V_{DD}$	$V_{DD}$		3.1	3.3	3.6	V
$I_{DD}$	$I_{DD}$	Normal operation (PSON is high)		20		mA
		Power supply off (PSON is low)		15		mA
		During EEPROM programming (40 ms)		$I_{DD} + 8$		mA
POWER-ON RESET						
Power-On Reset		$V_{DD}$ rising	3.05			V
UVLO		$V_{DD}$ falling	2.75	2.85	2.95	V
UVLO Hysteresis				35		mV
OVLO			3.7	3.9	4.1	V
VCORE PIN						
Output Voltage		$T_A = 25^\circ\text{C}$	2.3	2.5	2.7	V
OSCILLATOR AND PLL						
PLL Frequency		RES = 49.9 k $\Omega$	190	200	210	MHz
OUTA, OUTB, OUTC, OUTD, OUTAUX, SR1, SR2 PINS						
Output Low Voltage	$V_{OL}$	Source current = 10 mA			0.4	V
Output High Voltage	$V_{OH}$	Source current = 10 mA	$V_{DD} - 0.4$			V
Rise Time		$C_{LOAD} = 50\text{ pF}$		3.5		ns
Fall Time		$C_{LOAD} = 50\text{ pF}$		1.5		ns
AC SENSE						
Input Voltage Threshold		PWM and resonant mode	0.3	0.45	0.65	V
Propagation Delay		From ACSNS threshold to SR start; resonant mode only		160		ns
VS1, VS2, VS3 LOW SPEED ADC						
Input Voltage Range	$V_{IN}$	Differential voltage from VS1, VS2 to PGND, and from VS3+ to VS3-	0	1	1.55	V
Sampling Frequency	$f_{SAMP}$			100		Hz
Voltage Sense Measurement Accuracy		From 0% to 100% of input voltage range	-10		+10	% FSR
			-155		+155	mV
		From 10% to 90% of input voltage range	-2.5		+2.5	% FSR
			-38.75		+38.75	mV
		From 900 mV to 1.1 V	-1.5		+1.5	% FSR
			-23.25		+23.25	mV
Voltage Sense Measurement Resolution				12		Bits
Voltage Differential from VS3- to PGND			-200		+200	mV
VS1 OVP Comparator Speed		Register 0x2C[2] = 0		300		$\mu\text{s}$
VS1 OVP Threshold Accuracy		Relative to nominal voltage (1 V) on VS1		2.5		%
VS2 and VS3 OVP Comparator Speed		Register 0x2C[2] = 0		300		$\mu\text{s}$
VS2 and VS3 OVP Threshold Accuracy		Relative to nominal voltage (1 V) on VS2 and VS3		2.5		%
VS1 HIGH SPEED ADC						
Sampling Frequency	$f_{SAMP}$			400		kHz
Resolution				6		Bits
Dynamic Range				$\pm 18$		mV

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
CURRENT SENSE 1 (CS1 PIN)						
Input Voltage Range	$V_{IN}$		0	1	1.38	V
Sampling Frequency	$f_{SAMP}$			100		Hz
Current Sense Measurement Accuracy		From 10% to 90% of input voltage range	-3.0		+3.0	% FSR
		From 0% to 100% of input voltage range	-41.4		+41.4	mV
			-10		+10	% FSR
			-138		+138	mV
Current Sense Measurement Resolution				12		Bits
CS1 Fast OCP Threshold			1.1	1.2	1.3	V
CS1 Fast OCP Speed				80	100	ns
CS1 Accurate OCP DC Accuracy		From 10% to 90% of input voltage range	-3.0		+3.0	% FSR
			-41.4		+41.4	mV
CS1 Accurate OCP Speed				10		ms
Leakage Current				4.0		$\mu$ A
CURRENT SENSE 2 (CS2+, CS2- PINS)						
Input Voltage Range	$V_{IN}$	Differential voltage from CS2+ to CS2- LSB = 61.04 $\mu$ V	-100		+225	mV
ADC Input Voltage Range			0		225	mV
Sampling Frequency	$f_{SAMP}$			100		Hz
Current Sense Measurement Accuracy		From 0 mV to 200 mV	-4		+4	mV
		From 200 mV to 225 mV	-15		+15	mV
			-7.5		+7.5	% FSR
Current Sense Measurement Resolution				12		Bits
CS2 Accurate OCP Accuracy		From 0 mV to 200 mV	-4		+4	mV
		From 200 mV to 225 mV	-15		+15	mV
			-7.5		+7.5	% FSR
CS2 Accurate OCP Speed				10		ms
Current Sink (High Side)				100		$\mu$ A
Current Source (Low Side)				100		$\mu$ A
Common-Mode Voltage at the CS2+ and CS2- Pins		To achieve CS2 measurement accuracy	0.8	1	1.3	V
GATE PIN (OPEN DRAIN)						
Output Low Voltage	$V_{OL}$				0.4	V
OrFET PROTECTION (CS2+, CS2-)		Low-side current sensing only				
Accurate OrFET Threshold Accuracy			-1.2	0	+1	mV
Accurate OrFET Speed				10		ms
Fast OrFET Accuracy		-25 mV setting	-40	-25	-10	mV
		-50 mV setting	-70	-50	-30	mV
		-75 mV setting	-100	-75	-50	mV
		-100 mV setting	-125	-100	-75	mV
Fast OrFET Speed		Debounce = 40 ns		110	150	ns
RTD PIN						
Input Voltage Range	$V_{IN}$		0	1	1.55	V
Current Source		RTD resistor = 100 k $\Omega$	9.5	10.8	12	$\mu$ A
RTD ADC Measurement Accuracy		From 2% to 20% of input voltage range	-1		+1	% FSR
		From 32 mV to 320 mV	-15.5		+15.5	mV
		From 0% to 100% of input voltage range	-10		+10	% FSR
		From 0 V to 1.55 V	-155		+155	mV
OTP Threshold Accuracy		When RTD = 10 k $\Omega$	-0.5		+0.5	% FSR
			-7.75		+7.75	mV
		When RTD = 100 k $\Omega$	-5		+5	% FSR
			-77.5		+77.5	mV
OTP Speed				10		ms
OTP Threshold Hysteresis		When RTD = 10 k $\Omega$		16		mV

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
PGOOD1, PGOOD2, SHARE <sub>O</sub> PINS (OPEN DRAIN) Output Low Voltage	V <sub>OL</sub>				0.4	V
PSON, FLAGIN, SHARE <sub>I</sub> PINS (DIGITAL INPUTS) Input Low Voltage Input High Voltage	V <sub>IL</sub> V <sub>IH</sub>		V <sub>DD</sub> - 0.8		0.4	V V
SDA/SCL PINS Input Low Voltage Input High Voltage Output Low Voltage Leakage Current	V <sub>IL</sub> V <sub>IH</sub> V <sub>OL</sub>	V <sub>DD</sub> = 3.3 V	V <sub>DD</sub> - 0.8		0.4 0.4 +5	V V V μA
SERIAL BUS TIMING Clock Frequency Glitch Immunity Bus-Free Time Start Setup Time Start Hold Time SCL Low Time SCL High Time SCL, SDA Rise Time SCL, SDA Fall Time Data Setup Time Data Hold Time	 t <sub>SW</sub> t <sub>BUF</sub> t <sub>SU,STA</sub> t <sub>HD,STA</sub> t <sub>LOW</sub> t <sub>HIGH</sub> t <sub>r</sub> t <sub>f</sub> t <sub>SU,DAT</sub> t <sub>HD,DAT</sub>			100	400 50	kHz ns μs μs μs μs μs ns ns ns ns
EEPROM RELIABILITY Endurance <sup>1</sup> Data Retention <sup>2</sup>		T <sub>J</sub> = 85°C	10,000 20			Cycles Years

<sup>1</sup> 書込み可能回数は、JEDEC 標準 22 メソッド A117 に基づき認定し、-40°C、+25°C、+85°C、+125°C で測定。

<sup>2</sup> 保持寿命は JEDEC 標準 22、メソッド A117 に基づくジャンクション温度(T<sub>J</sub>) = 85°C と等価。データ保持寿命はジャンクション温度により性能低下します。

## 絶対最大定格

表 2.

Parameter	Rating
Supply Voltage (Continuous) VDD	4.2 V
Digital Pins	-0.3 V to V <sub>DD</sub> + 0.3 V
VS3- to PGND, AGND, DGND	-0.3 V to +0.3 V
RTD, VS1 to AGND	2.5 V
VS2, VS3+, ADD to AGND	-0.3 V to V <sub>DD</sub> + 0.3 V
Operating Temperature Range	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
Peak Solder Reflow Temperature	
SnPb Assemblies (10 sec to 30 sec)	240°C
RoHS-Compliant Assemblies (20 sec to 40 sec)	260°C
ESD Charged Device Model	1.5 kV
ESD Human Body Model	3.5 kV

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

## 熱抵抗

$\theta_{JA}$  はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 3.熱抵抗

Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit
32-Lead LFCSP	44.4	6.4	°C/W

## ハンダ処理

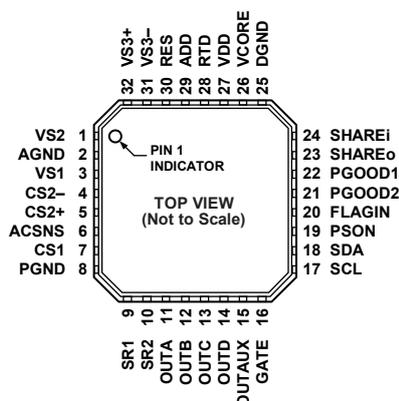
ADP1043AのPCBフットプリントのレイアウトとデバイスのPCBへのハンダ付けでは、正しいガイドラインに従うことが重要です。AN-772 アプリケーション・ノートではこのテーマを詳しく説明しています([www.analog.com](http://www.analog.com) ご覧ください)。

## ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能説明



## NOTES

1. THE ADP1043A HAS AN EXPOSED THERMAL PAD ON THE UNDERSIDE OF THE PACKAGE. FOR INCREASED RELIABILITY OF THE SOLDER JOINTS AND MAXIMUM THERMAL CAPABILITY, IT IS RECOMMENDED THAT THE PAD BE SOLDERED TO THE PCB GROUND PLANE.

09601-003

図 3. ピン配置

表 4. ピン機能の説明

ピン番号	記号	説明
1	VS2	電源出力検出入力。この信号は PGND を基準とします。低周波 $\Sigma$ - $\Delta$ ADC への入力。このピンの公称電圧は 1 V である必要があります。この入力の抵抗分圧器は、調整を可能にするため偏差仕様 0.5% 以下である必要があります。
2	AGND	アナログ・グラウンド。このピンは、ADP1043A のアナログ回路のグラウンドです。DGND へスター接続してください。
3	VS1	ローカル電圧検出入力。この信号は PGND を基準とします。高周波 $\Sigma$ - $\Delta$ ADC への入力。このピンの公称電圧は 1 V である必要があります。この入力の抵抗分圧器は、調整を可能にするため偏差仕様 0.5% 以下である必要があります。
4	CS2-	反転差動電流検出入力。最適動作のためにこのピンの公称電圧は 1 V である必要があります。12 V アプリケーションでハイサイド電流検出を使う場合、検出抵抗とこのピンの間に 110 k $\Omega$ 抵抗を接続してください。ローサイド電流検出を使う場合は、検出抵抗とこのピンの間に 10 k $\Omega$ 抵抗を接続してください。ハイサイド電流検出を使う場合、式 $R = (V_{COMMONMODE} - 1) / 100 \mu A$ を使ってください。この回路を接続するときは 0.1% 抵抗を使う必要があります。
5	CS2+	非反転差動電流検出入力。最適動作のためにこのピンの公称電圧は 1 V である必要があります。12 V アプリケーションでハイサイド電流検出を使う場合、検出抵抗とこのピンの間に 110 k $\Omega$ 抵抗を接続してください。ローサイド電流検出を使う場合は、検出抵抗とこのピンの間に 10 k $\Omega$ 抵抗を接続してください。ハイサイド電流検出を使う場合、式 $R = (V_{COMMONMODE} - 1) / 100 \mu A$ を使ってください。この回路を接続するときは 0.1% 抵抗を使う必要があります。
6	ACSNS	AC 検出入力。この入力、抵抗分圧器回路を介してメイン・インダクタの前段に接続します。この回路の公称電圧は 0.45 V です。この信号は PGND を基準とします。
7	CS1	一次側電流検出入力。このピンは、一次側電流の測定と制御を行う電流トランス入力です。この信号は PGND を基準とします。この入力の抵抗は、調整を可能にするため偏差仕様 0.5% 以下である必要があります。
8	PGND	パワーグラウンド。このピンは、電源のメイン電源レールに対するグラウンド接続です。AGND へスター接続してください。
9	SR1	同期整流器出力。この PWM 出力は、FET ドライバの入力に接続されます。このピンを使用しないときは無効にすることができます。この信号は AGND を基準とします。
10	SR2	同期整流器出力。この PWM 出力は、FET ドライバの入力に接続されます。このピンを使用しないときは無効にすることができます。この信号は AGND を基準とします。
11	OUTA	一次側スイッチの PWM 出力。このピンを使用しないときは無効にすることができます。この信号は AGND を基準とします。
12	OUTB	一次側スイッチの PWM 出力。このピンを使用しないときは無効にすることができます。この信号は AGND を基準とします。
13	OUTC	一次側スイッチの PWM 出力。このピンを使用しないときは無効にすることができます。この信号は AGND を基準とします。
14	OUTD	一次側スイッチの PWM 出力。このピンを使用しないときは無効にすることができます。この信号は AGND を基準とします。

ピン番号	記号	説明
15	OUTAUX	補助 PWM 出力。このピンを使用しないときは無効にすることができます。この信号は AGND を基準とします。
16	GATE	OrFET ゲート駆動出力(オープン・ドレイン)。この信号は AGND を基準とします。
17	SCL	I <sup>2</sup> C シリアル・クロック入力。この信号は AGND を基準とします。
18	SDA	I <sup>2</sup> C シリアル・データ入力および出力(オープン・ドレイン)。この信号は AGND を基準とします。
19	PSON	電源オン入力。この信号は DGND を基準とします。このピンは、ハードウェア PSON 制御信号です。ノイズのデバウンスとデカップリングのために、PSON ピンと DGND の間に 1 nF のコンデンサを接続することが推奨されます。
20	FLAGIN	フラグ入力。フラグ条件を発生させるため、このピンに外部信号を入力することができます。
21	PGOOD2	パワーグッド出力(オープン・ドレイン)。この信号は AGND を基準とします。このピンは、PGOOD2 フラグから制御されます。任意のフラグがセットされると、このピンがセットされます。
22	PGOOD1	パワーグッド出力(オープン・ドレイン)。この信号は AGND を基準とします。このピンは、PGOOD1 フラグから制御されます。power supply、CS1 fast OCP、CS1 accurate OCP、CS2 accurate OCP、UVP、local OVP、load OVP のいずれかが範囲外の場合、このピンがセットされます。
23	SHAREo	シェア・バス出力電圧ピン。このピンは 2.2 k $\Omega$ 抵抗を介して 3.3 V へ接続してください。デジタル・シェア・バスとして設定された場合、このピンはデジタル出力になります。この信号は AGND を基準とします。
24	SHAREi	シェア・バス帰還ピン。このピンは SHAREo ピンへ接続してください。この信号は AGND を基準とします。
25	DGND	デジタル・グラウンド。このピンは、ADP1043A のデジタル回路のグラウンドです。AGND ヘスター接続してください。
26	VCORE	2.5 V レギュレータ出力。このピンと DGND との間に 100 nF のコンデンサを接続してください。
27	VDD	正の電源入力。電圧範囲は 3.1 V~3.6 V。この信号は AGND を基準とします。
28	RTD	サーミスタ入力。このピンと AGND との間に 100 k $\Omega$ のサーミスタを接続してください。この信号は AGND を基準とします。
29	ADD	アドレス・セレクト入力。ADD と AGND の間に抵抗を接続してください。この信号は AGND を基準とします。
30	RES	抵抗入力。このピンは、ADP1043A の内部リファレンス電圧を設定します。RES と AGND の間に 49.9 k $\Omega$ の抵抗 ( $\pm 0.1\%$ ) を接続してください。この信号は AGND を基準とします。
31	VS3-	反転リモート電圧検出入力。AGND への接続は低抵抗である必要があります。この入力の抵抗分圧器は、調整を可能にするため偏差仕様 0.5% 以下である必要があります。
32	VS3+	非反転リモート電圧検出入力。この信号は VS3- を基準とします。この回路を接続する抵抗分圧器として 0.1% の抵抗を使ってください。この入力の抵抗分圧器は、調整を可能にするため偏差仕様 0.5% 以下である必要があります。
エクスポーズド・パッド	EP	ADP1043A パッケージの下面にエクスポーズド・サーマル・パッドがあります。ハンダ接続の信頼性と熱性能を向上させるために、このパッドを PCB グラウンド・プレーンにハンダ付けすることが推奨されます。

## 代表的な性能特性

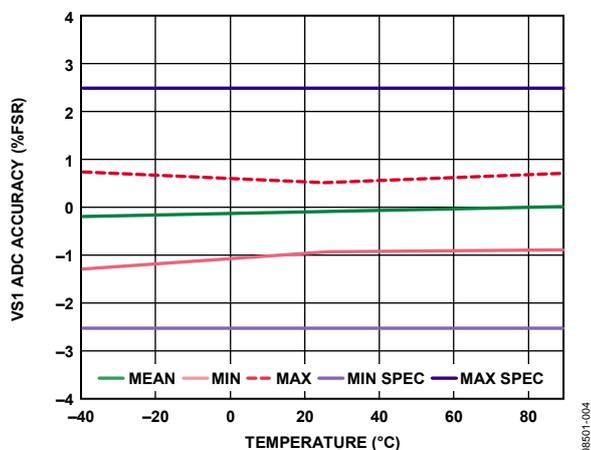


図 4.VS1 ADC 精度の温度特性(FSR の 10%~90%)

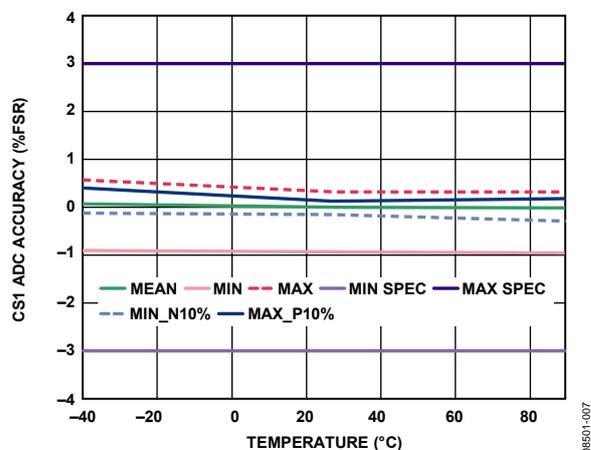


図 7.CS1 ADC 精度の温度特性(FSR の 10%~90%)

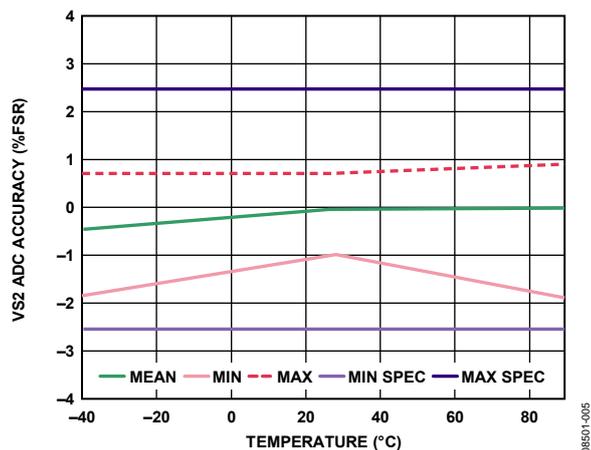


図 5.VS2 ADC 精度の温度特性(FSR の 10%~90%)

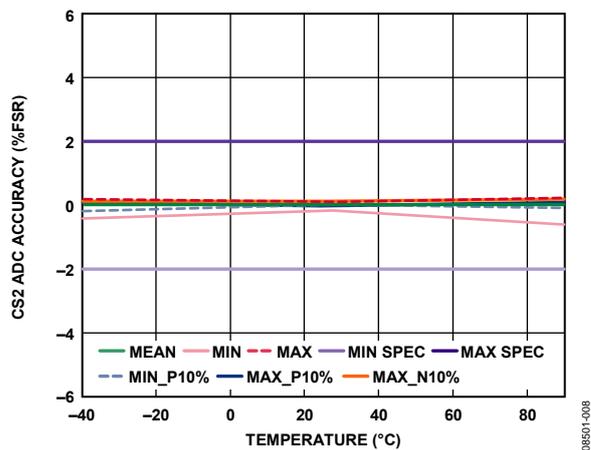


図 8.CS2 ADC 精度の温度特性(0 mV~200 mV)

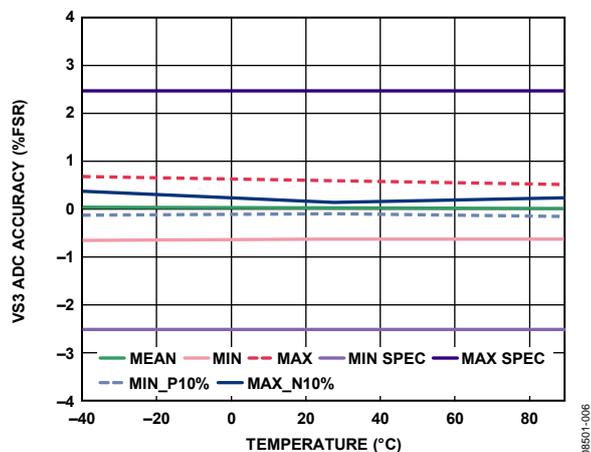


図 6.VS3 ADC 精度の温度特性(FSR の 10%~90%)

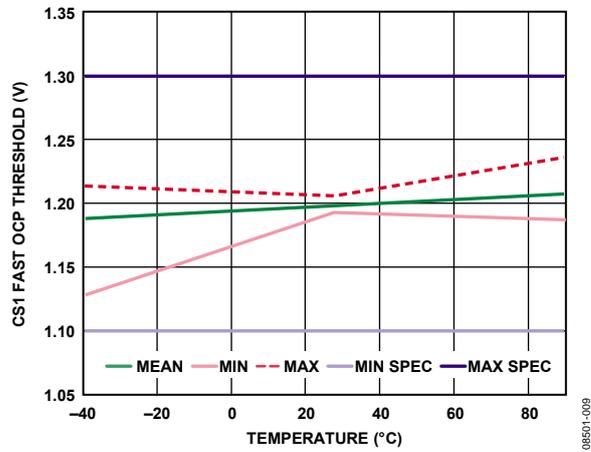


図 9.CS1 高速 OCP 閾値の温度特性

## 動作原理

### 電流検出機能

ADP1043Aには、CS1とCS2±の2つの電流検出入力があります。これらの入力は、出力電流とシェア・バス情報の検出、保護、制御を行います。これらをキャリブレーションして、外付け部品から発生する誤差を除去することができます。

#### CS1の動作(CS1)

CS1は、一次側電流のモニタと保護に使われます。これは一般に、電流検出の電流トランス(CT)方式と呼ばれています。CS1ピンの入力信号は、電流モニタ用のADCに入力されます。ADCの範囲は0V~1.38Vです。入力信号は高速OCP保護用のコンパレータにも入力されます。電流検出の代表的な構成を図10に示します。

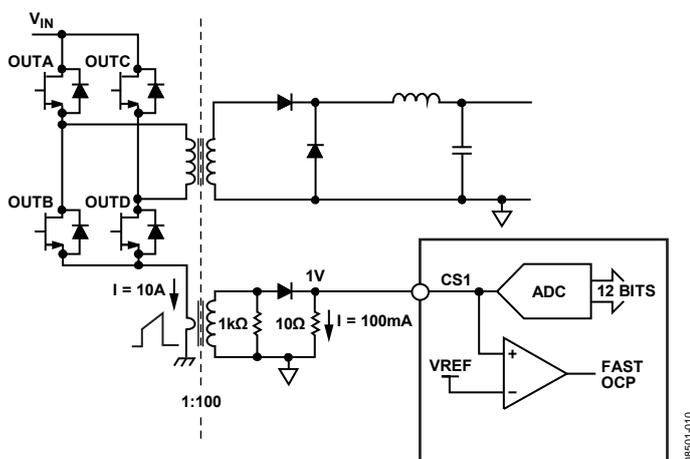


図10.電流検出1(CS1)の動作

コンパレータは実質的にピーク電流を測定し、ADCは実質的に平均電流情報を測定します。この情報は、I<sup>2</sup>Cインターフェースを介して取得することができます。OCPなどに様々な閾値と限界値をCS1に設定することができます。これらの閾値と限界値は、電流検出レジスタおよび電流限界値レジスタのセクションで説明します。

#### CS2の動作(CS2+, CS2-)

CS2±は、二次側電流のモニタと保護に使われます。CS2 ADCのフルスケール範囲は225mVです。公称フル負荷電圧降下は、37.5mV、75mV、または150mVに設定することができます。差動入力は、一対の外付け抵抗を介してADCに入力されます。ローサイド電流検出を使う場合、10kΩの抵抗が必要です。ハイサイド電流検出を使う場合、110kΩの抵抗が必要です(12Vアプリケーションの場合)。

ローサイド電流検出はハイサイド電流検出より性能が優れているため、その使用が推奨されます。同相モード出力電圧が20Vを超えるアプリケーションでは、ハイサイド電流検出をサポートしていません(20V同相モードを超えるとオフセット調整範囲が十分ありません)。

代表的な構成を図11と図12に示します。OCPのような様々な閾値と限界値をCS2に設定することができます。これらの閾値と限界値は、電流検出レジスタおよび電流限界値レジスタのセクションで説明します。

使用しない場合、両CS2入力は10kΩの抵抗を介してPGNDへ接続して下さい。

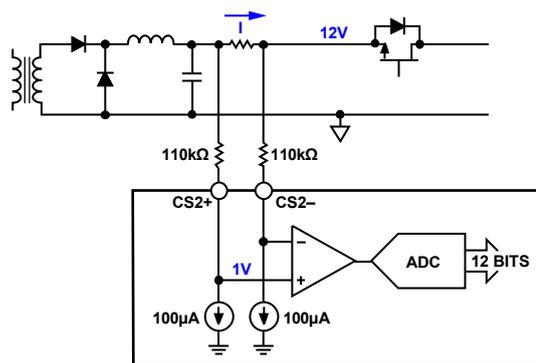


図11.ハイサイド抵抗電流検出

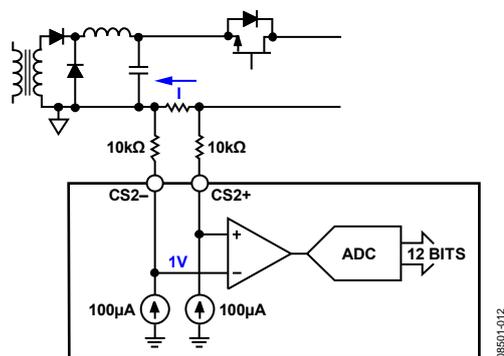


図12.ローサイド抵抗電流検出(推奨)

## 電圧検出と制御ループ

ADP1043Aの複数の電圧検出出力は、電源出力のモニタ、制御、保護に使われます。この電圧情報は、I<sup>2</sup>Cインターフェースを介して使用することができます。これらすべての電圧検出ポイントをデジタル的にキャリブレーションして、外付け部品から発生する誤差を除去することができます。このキャリブレーションは量産環境で行うことができ、設定値はADP1043AのEEPROMに保存することができます(詳細については、電源のキャリブレーションと調整のセクション参照)。

制御ループの視点からの ADC 更新レートは、スイッチング周波数に設定されます。このため、スイッチング周波数 = 100 kHz の場合、ADC は 100 kHz ごとに信号を制御ループへ出力します。ADC の  $\Sigma$ - $\Delta$  変調器は 1.6 MHz でサンプルするため、ADC 出力は 1.6 MHz タイム・フレームで取得する 16 個の測定値の平均値となります。

電圧モニタでは、VS1、VS2、VS3 の各電圧値レジスタは 10 ms ごとに更新されます。ADP1043A は 10 ms 間に各 ADC サンプルを保存し、10 ms 区間の終わりに平均値を出力します。このため、これらのレジスタは少なくとも 10 ms ごとに読出すことで、真の平均値が読出すことができます。CS1 と CS2 の電流情報の読出しにも同じことが適用されます。

制御ループでは、高速信号は常に VS1 高速 ADC から入力されます。低速信号は通常 VS3 低速 ADC から入力されますが、ソフト・スタート時または負荷 OVP などの他の故障状態に対する応答時には、低速レギュレーション・ポイントを VS3 から VS1 へ切り替えることができます。

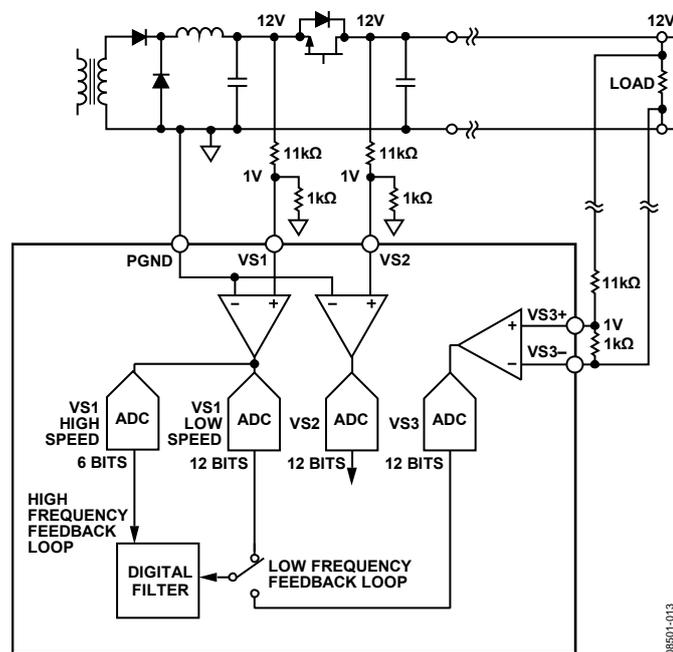


図 13. 電圧検出構成

### VS1 の動作(VS1)

VS1 は、LCフィルタ出力(OrFETの前段)で電源電圧のモニタと保護を行うときに使います。また、電源の高周波帰還ループを担います。電源レール上のVS1 検出ポイントには、VS1 ピンで公称同相モード信号を 1 Vにする外付け抵抗分圧器が必要です(図 13 参

照)。ADP1043AのVS1 ADC入力範囲は 0 V~1.55 Vであるため、抵抗分圧器が必要です。この分圧信号は内部で高速 $\Sigma$ - $\Delta$  ADCと低速 $\Sigma$ - $\Delta$  ADCに入力されます。VS1 ADC出力はデジタル・フィルタに入力されます。

高速 ADC は 2 MHz の帯域幅を有し、25 MHz のクロックで動作しています。動作範囲は $\pm 18$  mV です。サンプリング・レート = 200 kHz の場合、0.6 mV (2 LSB)の量子化ノイズがあります。サンプリング・レートを 400 kHz に上げると、量子化ノイズも 1.2 mV に増加します。

負荷過電圧状態では、電源は VS3 検出ポイントではなく VS1 検出ポイントからレギュレーションされます。

### VS2 の動作(VS2)

VS2 は一般に、電源出力(OrFETの後段)のモニタと保護を行うときに使います。VS1 と組み合わせて使い、OrFETゲート駆動のターンオンを制御します。電源レール上のVS2 検出ポイントには、VS2 ピンで公称同相モード信号を 1 Vにする外付け抵抗分圧器が必要です(図 13 参照)。ADP1043AのVS2 ADC入力範囲は 0 V~1.55 Vであるため、抵抗分圧器が必要です。この分圧信号は内部でADCに入力されます。VS2 ADC出力はVS2 電圧値レジスタ(レジスタ 0x16)に入力されます。

### VS3 の動作(VS3+、VS3-)

VS3 $\pm$ は、リモート負荷電圧のモニタと保護に使われます。完全な差動入力であり、電源制御ループのメイン帰還検出ポイントです。電源レール上のVS3 検出ポイントには、VS3 $\pm$ ピンで公称同相モード信号を 1 Vにする外付け抵抗分圧器が必要です(図 13 参照)。ADP1043AのVS3 ADC入力範囲は 0 V~1.55 Vであるため、抵抗分圧器が必要です。この分圧信号は内部でADCに入力されます。VS3 ADC出力はデジタル・フィルタに入力されます。

## ADC

ADP1043Aは複数のADCを内蔵しています。高速ADCは VS1 の動作(VS1)のセクションで説明します。その他のADCは低速高分解能です。これらは 1 kHzの帯域幅で 12 ビット分解能です。各ADCは固有のリファレンス電圧を持つため、故障に対する保護が強化されています。各ADCのデジタル出力は、該当する値レジスタを使って読出すことができます。

## デジタル・フィルタ

電源のループ応答は、プログラマブルな内蔵デジタル・フィルタを使って変更することができます。タイプ3 フィルタ・アーキテクチャが組込まれています。特定アプリケーション向けのループ応答に調整するときは、低周波ゲイン、ゼロ点位置、極位置、高周波ゲインをすべて個別に設定することができます(デジタル・フィルタ設定レジスタのセクション参照)。フィルタを設定するときは、アナログ・デバイセズのソフトウェアGUIを使用することを推奨します。このソフトウェアGUIは、ボード線図でフィルタ応答を表示し、電源の安定性基準を計算することができます。

検出電圧からデューティ・サイクルまで、フィルタの伝達関数は、次のように  $z$  領域で表されます。

$$H(z) = \left( \frac{d}{202.24 \times m} \times \frac{z}{z-1} \right) + \left( \frac{c}{7.68} \times \frac{z-b}{z-a} \right) \quad (1)$$

ここで、

$a = \text{filter\_pole\_register\_value}/256$ 。

$b = \text{filter\_zero\_register\_value}/256$ 。

$c = \text{high\_frequency\_gain\_register\_value}$ 。

$d = \text{low\_frequency\_gain\_register\_value}$ 。

$m = 1, 48.8 \text{ kHz} \leq f_{sw} < 97.7 \text{ kHz}$ 。

$m = 2, 97.7 \text{ kHz} \leq f_{sw} < 195.3 \text{ kHz}$ 。

$m = 4, 195.3 \text{ kHz} \leq f_{sw} < 390.6 \text{ kHz}$ 。

$m = 8, 390.6 \text{ kHz} \leq f_{sw}$ 。

$z$  領域から  $s$  領域へ変換するため、次式を  $H(z)$  式に代入すると、

$$z(s) = \frac{2f_{sw} + s}{2f_{sw} - s}$$

ここで、

$f_{sw}$  はスイッチング周波数。

デジタル・フィルタは、位相遅延要素を制御ループに追加します。デジタル・フィルタ回路は、各スイッチング・サイクルの始めにデューティ・サイクル情報を PWM 回路に渡します(デューティ・サイクル情報の判断を連続的に行うアナログ・コントローラとは異なります)。このため、フィルタ・ブロックにより発生する、位相マージンの位相遅延増  $\Phi$  は、

$$\Phi = 180 \times (fc/f_{sw})$$

ここで、

$fc$  はクロスオーバー周波数。

$f_{sw}$  はスイッチング周波数。

スイッチング周波数の 1/10 で、位相遅延は  $18^\circ$  になります。GUI では、この位相遅延を考慮しています。

2 組のレジスタ群によって、2 種類のフィルタ応答の設定が可能です。通常モード・フィルタと呼ばれるメイン・フィルタは、レジスタ  $0x60 \sim$  レジスタ  $0x63$  を設定することにより制御されます。軽負荷モード・フィルタと呼ばれるもう 1 つのフィルタは、レジスタ  $0x64 \sim$  レジスタ  $0x67$  を設定することにより制御されます。ADP1043A は、変調が負荷電流閾値(レジスタ  $0x3B$  で指定)より下の場合にのみ軽負荷モード・フィルタを使います。

アナログ・デバイセズのソフトウェア GUI は、通常モード・フィルタと同じ方法で軽負荷モード・フィルタを設定することができます。このためには GUI の使用が推奨されます。

さらに、ソフト・スタート・プロセス時、別のセットのデジタル・フィルタが使われます。式 1 の  $a$ 、 $b$ 、 $c$  のソフト・スタート・フィルタ値は 0 であり、 $d$  の値はソフト・スタート・フィルタ・ゲイン設定(レジスタ  $0x5F[1:0]$ )を使って設定します。

## PWMと同期整流出力(OUTA、OUTB、OUTC、OUTD、OUTAUX、SR1、SR2)

PWM出力とSR出力は、一次側ドライバと同期整流ドライバの制御に使います。これらの出力は、フルブリッジ、位相シフトZVS、インターリーブド 2 スイッチ・フォワード・コンバータ構成などの複数の電源制御方式に使用することができます。立上がりエッジと立下がりエッジの間の遅延は、個別に設定することができます。貫通と相互導通を防止するためには特別な注意が必要です。これらの出力を設定するときは、アナログ・デバイセズのソフトウェアGUIを使用することを推奨します。図 14 に、同期整流を備えたフルブリッジ位相シフト回路を駆動する例を示します。

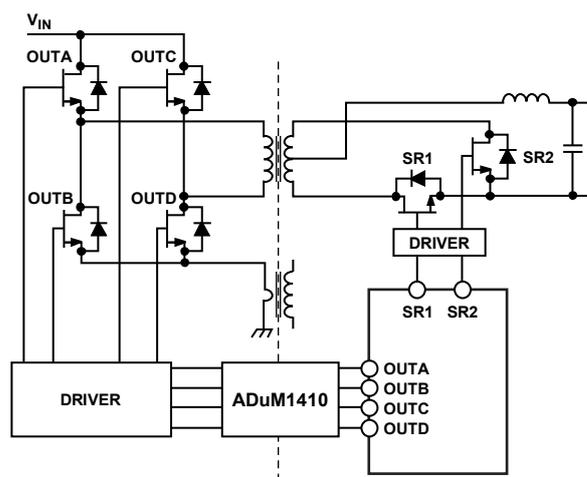


図 14. PWM のピン割り当て

PWM 出力と SR 出力はすべて一緒に動作します。このため、これらの出力の複数の再設定する場合、すべてのレジスタを更新した後に、その情報を ADP1043A に 1 回でラッチさせることが重要です。再設定時、出力は一時的に無効になります。特別な命令を ADP1043A へ送って、新しいタイミング情報が確実に同時に設定されるようにします。これは、レジスタ  $0x5D[0]$  を 1 に設定することにより行われます。PWM 出力を使用しない場合は、無効にしておくことが推奨されます。

OUTAUX は追加 PWM 出力ピンです。OUTAUX を使うと、他の 6 本の PWM 出力とは異なる周波数で PWM 信号をさらに 1 本発生させることができます。この信号は、フルブリッジ・コンバータの前に接続する降圧コントローラのような追加電源コンバータ・ステージの駆動に使用することができます。また、OUTAUX はクロック・リファレンス信号として使うこともできます。

## 同期整流

SR1 と SR2 は、同期整流を使用する場合、PWM 制御信号として使用することが推奨されます。これらの PWM 信号は、他の PWM 出力と同様に設定することができます。これらの信号のターンオンは 2 つの方法で設定することができます。すなわち、直ちにフル PWM 値に従って、またはソフト・スタート方式に従ってターンオンすることができます。ソフト・スタートでターンオンするときは、信号はゼロ・デューティ・サイクルから所望のデューティ・サイクルへランプアップします。SR 信号を徐々に上昇させる利点は、SR FET を完全にターンオンさせるときに発生する電圧ステップを小さくできることです。直ちに SR 信号を完全にターンオンさせる利点は、負荷ステップから発生する電圧過渡を小さくすることに役立つことです。

レジスタ 0x54[1]を使うと、SR ソフト・スタートが 1 回だけ発生する (SR 信号が最初に有効となる時) か、もしくは SR 信号が有効になるごとに発生するかを設定することができます。

ADP1043A で SR ソフト・スタートを使うように設定するときは、SR1 の立下がりエッジ( $t_{10}$ )を SR1 の立上がりエッジ( $t_6$ )より小さい値に設定し、かつ SR2 の立下がりエッジ( $t_{12}$ )を SR2 の立上がりエッジ( $t_{11}$ )より小さい値に設定することにより、この機能が正しく動作するようにする必要があります。

SR を有効にする速度は約 200  $\mu$ s です。これにより、負荷ステップの場合、SR 信号(および一時的に無効にされているその他の PWM 出力)が十分速くターンオンして、制御対象となっている FET に対する損傷を防止することができます。

## 適応型デッドタイム制御

適応型デッドタイム(ADT)レジスタと呼ばれるレジスタのセット(レジスタ 0x68~レジスタ 0x6F)を使うと、PWM エッジ間のデッドタイムを即座に調整することができます。ADP1043A では、変調が設定したデッドタイム(負荷電流)閾値(レジスタ 0x68 に設定)より下の場合にのみ ADT を使います。アナログ・デバイゼのソフトウェア GUI を使うと、デッドタイム値を容易に設定することができます。このためにソフトウェアを使うことが推奨されます。

PWM の各立上がりりと立下がりエッジ( $t_1 \sim t_4$ )は、特定のデッドタイム・オフセットを持つように設定することができます。このオフセットは正または負が可能です。オフセットは公称エッジ位置を基準とします。例えば、 $t_1$  の公称立上がりエッジが 100 ns で、かつ  $t_1$  の ADT 設定が -15 ns の場合、 $t_1$  が適応型デッドタイム・閾値を下回ると  $t_1$  は 85 ns に移動します。デッドタイムは、レジスタ 0x69~レジスタ 0x6F を使って設定します。

## 軽負荷モード

レジスタ 0x3B を使うと、ADP1043A に軽負荷状態で PWM 出力をシャットダウンさせることができます。軽負荷モードへ移行する電流閾値は設定することができます。この電流閾値を下回ると、SR 出力が無効になります。また、この電流閾値を下回ったときに、他の任意の PWM 出力をシャットダウンさせるように設定することができます。この機能を使うと、ADP1043A は軽い負荷での相数切り替えを採用するインターリーブド 2 トランジスタ・フォワード回路で使用することができます。また、軽負荷モードでは軽負荷モード・デジタル・フィルタも使われます。

## 変調限界値

変調限界値レジスタ(レジスタ 0x2E)を使うと、最大変調限界値と最小変調限界値を任意の PWM 信号に適用できるため、任意の PWM の変調範囲を制限することができます。これらの限界値はスイッチング周期のパーセント値で与えられます。最小設定より低い変調が必要な場合は、パルス・スキッピングを有効にすることができます。

変調限界値設定値の使い方の例を次に示します。この例では、スイッチング・サイクル周期 = 4  $\mu$ s で、 $t_2$  エッジ(立下がりエッジ)で変調を有効にします。 $t_2$  の公称位置は 1.6  $\mu$ s に設定され、これは 4  $\mu$ s 周期の 40%です。変調上限値を(公称+ 50%)に設定すると、変調上限値は(40% + 50%) = スwitching・サイクル周期の 90%、すなわち 4  $\mu$ s の 90% = 3.6  $\mu$ s です。変調下限値を(公称- 35%)に設定すると、変調下限値は(40% - 35%) = スwitching・サイクル周期の 5%、すなわち 4  $\mu$ s の 5% = 0.2  $\mu$ s です。

ADP1043A に添付されている GUI は、ADP1043A のこの機能の評価で使用することが推奨されます(図 15 参照)。

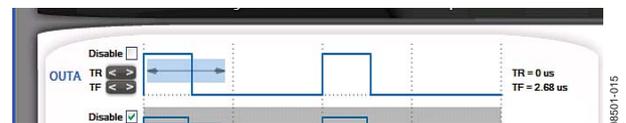


図 15. 設定変調限界値(変調範囲を矢印で表示)

## OrFET制御(GATE)

GATE 制御信号は外付け OrFET を駆動します。OrFET ゲート制御は、別の電源から電源へ電力が流入するのを保護するために使います。この機能により、電源からの電力の流出だけが許容され、ユニットをホットスワップすることができるようになります。OrFET 回路は、ローサイド電流検出の場合にのみ使用することができます。OrFET 回路は、ハイサイド電流検出で動作することは保証されていません。

GATE ピンは、オープン・ドレインの N チャンネル MOSFET です。外付けの 2.2 k $\Omega$  プルアップ抵抗の使用が推奨されます。出力は通常ハイ・レベルで OrFET のターンオフを維持します。スタートアップ基準が満たされると、GATE 出力がロー・レベルになって、OrFET をターンオフさせます。OrFET のターンオン・閾値とターンオフ・閾値は、個別に設定することができます。GATE 出力は CMOS レベルです(0 V~3.3 V)。OrFET のターンオンまたはターンオフには外付けドライバが必要です。

OrFET は次の 3 つの方法でターンオフすることができます。

- 故障フラグ(任意の故障フラグで OrFET をターンオフさせるように設定することができます)
- 高速 OrFET 制御回路
- 高精度 OrFET 制御回路

高速 OrFET 制御は CS2+ と CS2- の逆方向電圧を調べて、アナログ・コンパレータで実現されています(図 16 参照)。CS2+ と CS2- の間の電位差がレジスタ 0x30 に設定された高速 OrFET 閾値より大きい場合、OrFET がターンオフします。

同様に、高精度OrFET制御もCS2+ピンとCS2-ピンの逆方向電圧を使ってOrFETを制御します(図 16 参照)。CS2+とCS2-の間の電位差が 0 mVより大きい場合、OrFETをターンオフします。高精度OrFET回路は精密ですが、高速OrFET回路より低速です。

OrFETターンオン回路は、VS1 とVS2 の間の電位差を調べます(図 16 参照)。VS1 からVS2 への順方向電圧降下がプログラマブルなOrFETのターンオン閾値(レジスタ 0x30[5:4])より大きい場合、OrFETがターンオンされます。この閾値は、公称出力電圧(12 V)の-0.5%、0%、1%、2%に設定することができます。

### 推奨セットアップ

通常動作モードの 12 Vアプリケーションの場合

- $12\text{ V} < V_{\text{OUT}} < \text{OVP}$  のとき、高精度 OrFET 制御回路を使って OrFET をターンオフします。
- $V_{\text{OUT}} > \text{OVP}$  のとき、負荷 OVP を使って OrFET をターンオフします。

軽負荷モードの 12 Vアプリケーションの場合

- $12\text{ V} < V_{\text{OUT}} < \text{OVP}$  のとき、ACSNS を使って OrFET をターンオフします。
- $V_{\text{OUT}} > \text{OVP}$  のとき、負荷 OVP を使って OrFET をターンオフします。

12 Vアプリケーションで内部短絡が発生した場合

1. 高速 OrFET を使って OrFET をターンオフします。
2. CS1 OCP または VS1 UVP を使ってユニットをシャットダウンさせた後に再起動します。

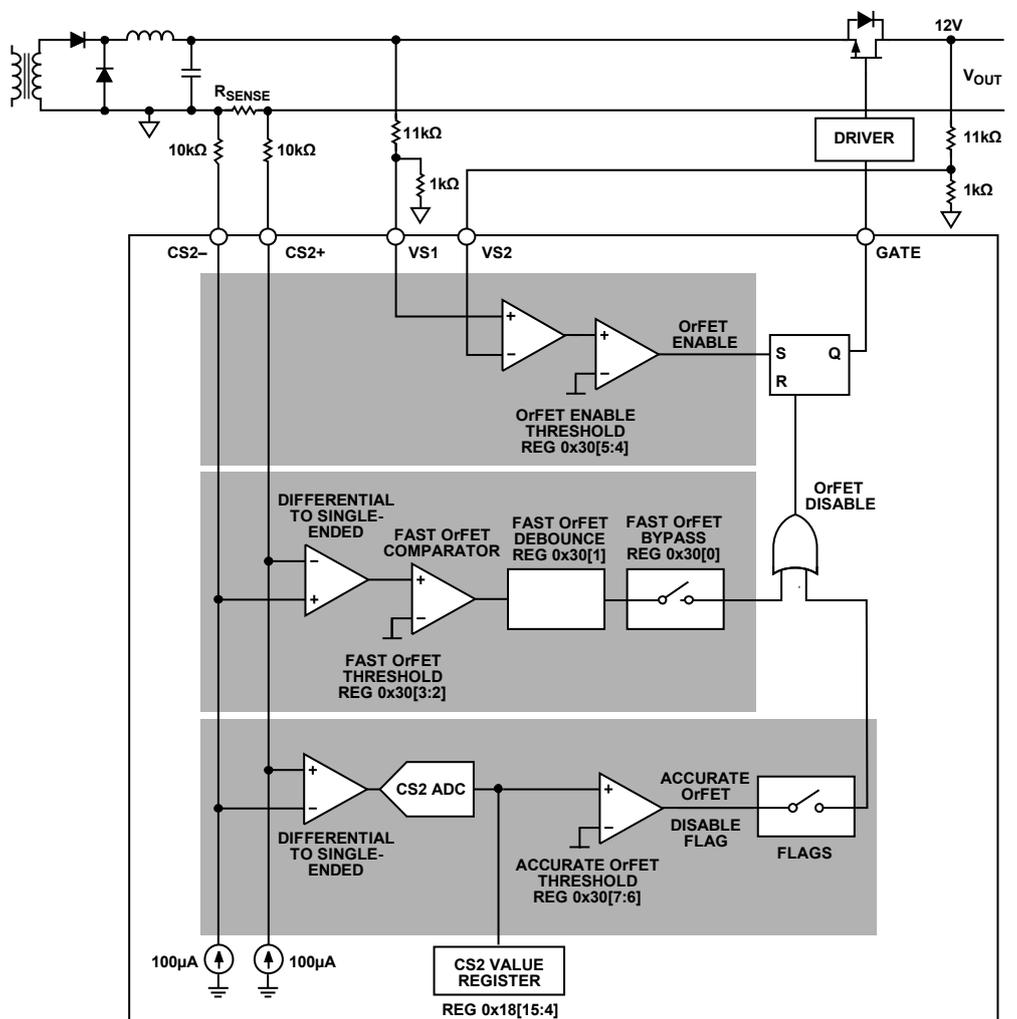


図 16.OrFET 制御回路の詳細内部回路



## VDD

VDD が加わったとき、デバイスが電源をレギュレーションできるようになるまでに一定の時間が必要です。VDD がパワーオン・リセット・レベルと UVLO レベルを超えて上昇するとき、VCORE が動作ポイント 2.5 V に到達するまでに約 20  $\mu$ s が必要です。次に、EEPROM の値がレジスタにダウンロードされます。ダウンロードにはさらに約 25  $\mu$ s かかります。EEPROM のダウンロード後、ADP1043A は動作できるようになります。ADP1043A がこの時点でパワーアップするように設定されている場合、ソフト・スタート・ランプが開始されます。

## VDD/VCORE OVLO

ADP1043A は、自分自身の電源レールに対する過電圧保護(OVP)機能を内蔵しています。VDD または VCORE 電圧が OVLO 閾値を超えて上昇するときの応答を設定することができます。この回路を無視するように設定できますが、OVP 回路を無視するように設定しないことを推奨します。

## パワーグッド

ADP1043A には 2 本のパワーグッド・ピンがあります。power supply、CS1 fast OCP、CS1 accurate OCP、CS2 accurate OCP、UVP、local OVP、load OVP のいずれかが範囲外るとき、PGOOD1 ピンと故障フラグがセットされます。

Power supply、OrFET、CS1 fast OCP、CS1 accurate OCP、CS2 accurate OCP、voltage continuity、UVP、accurate OrFET disable、ACSNS、external flag (FLAGIN)、VCORE OV、VDD OV、local OVP、load OVP、OTP、CRC fault、EEPROM unlocked のいずれかのフラグがセットされたとき、PGOOD2 ピンと故障フラグがセットされます。

レジスタ 0x2D[3]がセットされると、PGOOD2 は無視しないように設定されたフラグのみを調べます。

また、PGOOD2 ピンは、フラグがセットされていることをホスト・コントローラに通知する割込みピンとして使用することもできます。PGOOD1 ピンと PGOOD2 ピンの極性はアクティブ・ローに設定されています。

## ソフト・スタート

ソフト・スタート時には専用フィルタが使用されます。ソフト・スタート・ルーチンの終わりにフィルタは無効にされ、電圧ループ・デジタル・フィルタが使用されます。

### ソフト・スタート時の故障状態

ソフト・スタート時に CS1 高速 OCP の故障状態が発生すると、全ソフト・スタート・ルーチンがリセットされ、ADP1043A は再度ソフト・スタート・ルーチンを開始します。ソフト・スタート時には、他のすべての故障フラグは無視されます。

### ソフト・スタート・ルーチン

電源をターンオンさせると(PSON を有効にする)、次のソフト・スタート・プロシージャが発生します。

1. 時間  $t_0$  で PSON 信号がイネーブルされます。ADP1043A は初期フラグが OK であることをチェックします。これらのフラグには VDD OK と GND OK が含まれます。

2. ADP1043A は時間  $t_1$  だけ待った後に、ソフト・スタートを開始します。長さ  $t_1$  はレジスタ 0x2C のビット[4:3]に設定されます。
3. ソフト・スタートは、時間  $t_2$  の開始時に電源電圧のランプアップを開始します。
4. ADP1043A は OrFET ゲート信号をターンオフに維持します。OrFET のダイオードが導通するため、OrFET の電位差(VS1 - VS2)が増加します。電位差が OrFET のターンオン閾値(レジスタ 0x30 のビット[5:4])に到達すると、OrFET ゲート信号が時間  $t_3$  で出力します。ADP1043A は、VS1 の代わりに VS3 から電圧のレギュレーションを開始します。
5. 電源電圧が VS1 UVP 低電圧限界値(レジスタ 0x34 のビット[6:0])を超えて上昇した後、時間  $t_4$  の終わりで UVP フラグがリセットされます。
6. UVP フラグがリセットされた後、他のすべての PGOOD1 故障状態が OK の場合、PGOOD1 信号は時間  $t_5$  だけ待った後に有効になります。長さ  $t_5$  はレジスタ 0x2D のビット[7:4]に設定されます。

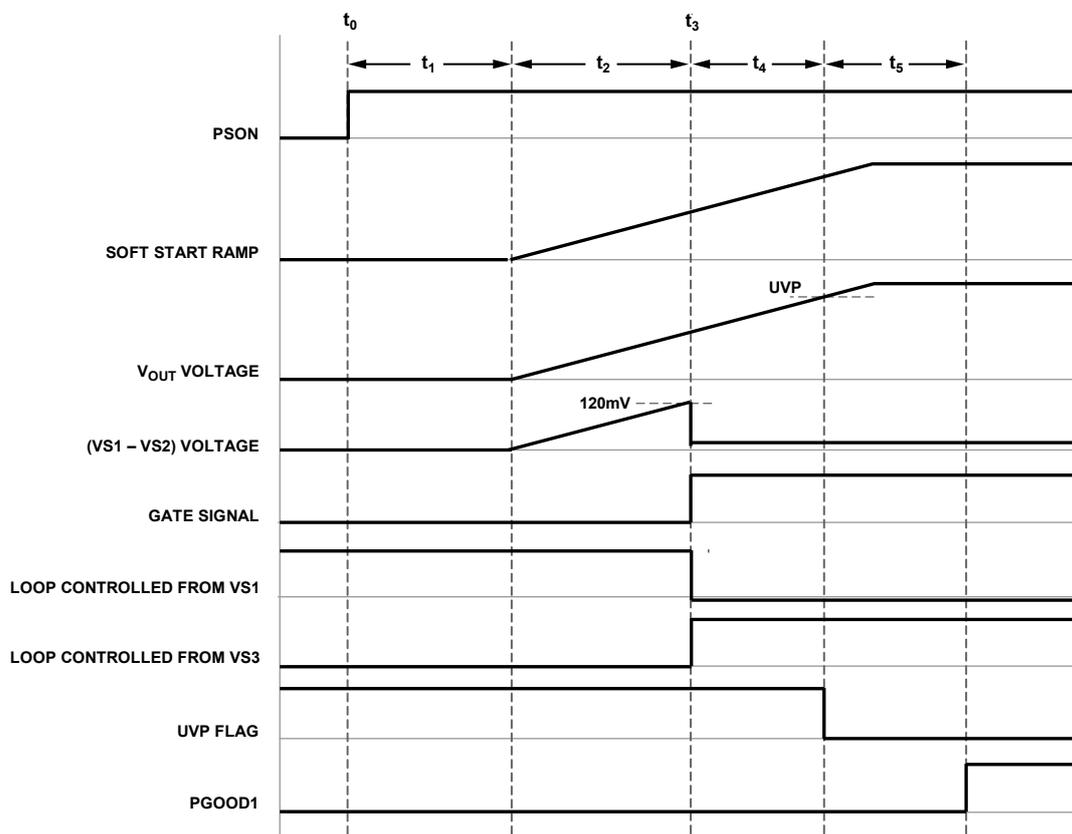


図 21. ソフト・スタートのタイミング図

## 電流シェアリング(SHARE)

ADP1043A は、アナログ電流シェアリングとデジタル電流シェアリングをサポートしています。アナログ電流シェアリングを使用することが推奨されます。この方が、デジタル電流シェアリングより優れた性能を提供するためです。デジタル電流シェアリングでは、ユニット間での発振を防止するため、ロードラインが 15 mΩ 以上である必要があります。アナログ電流シェアリング方式ではこのような問題がありません。

レジスタ 0x29 のビット 3 を使うと、電流シェアリングに CS1 電流情報または CS2 電流情報を使うように ADP1043A を設定することができます。

### アナログ電流シェアリング

ADP1043Aは、アナログ電流シェアリングをサポートしています。CS1 またはCS2 の電流測定値を電流検出ADC出力であるデジタル・ビット・ストリームとしてSHAREEoピンへ出力することができます(図 23 参照)。ビット・ストリームは、このユニットから負荷へ供給される電流に比例します。外付けRCフィルタを使ってこのデジタル・ビット・ストリームをフィルタリングすると、電流情報はアナログ電圧に変換されます。これは、このユニットから負荷へ供給される電流に比例するアナログ電圧が存在するようになります。この電圧をシェア・バスと比較することができます。ユニットが十分な電流を供給していない場合、VS3 帰還ポイントに対して誤差信号を出力することができます。この信号により、ユニットは出力電圧上げて、負荷への電流を増やします。

回路図や様々な故障とセットアップ条件での測定値などのアナログ電流シェア機能の詳細については、ADP1043A の製品ページをご覧ください。

### デジタル・シェア・バス

デジタル・シェア・バス方式は原理的に従来型のアナログ・シェア・バス方式と似ています。違いは、電流を表すためにシェア・バスの電圧の代わりに、デジタル・ワードを使う点です。

ADP1043A はデジタル・ワードをシェア・バスへ出力します。デジタル・ワードは、電源が供給している電流の関数になっています(電流が大きいほど、デジタル・ワードが大きくなります)。

最大電流を持つ電源がバスを制御します(マスター)。小さい電流を供給している電源(スレーブ)は、別の電源が負荷へ供給してい

る電力が自分のより大きいことを知ります。次のサイクルで、スレーブは自分の出力電圧を上げて自分の電流出力分を増やします。このサイクルは、スレーブがマスターと同じ電流(設定された偏差範囲内で一致)を出力するまで続きます。図 22 に、デジタル・シェア・バス構成を示します。

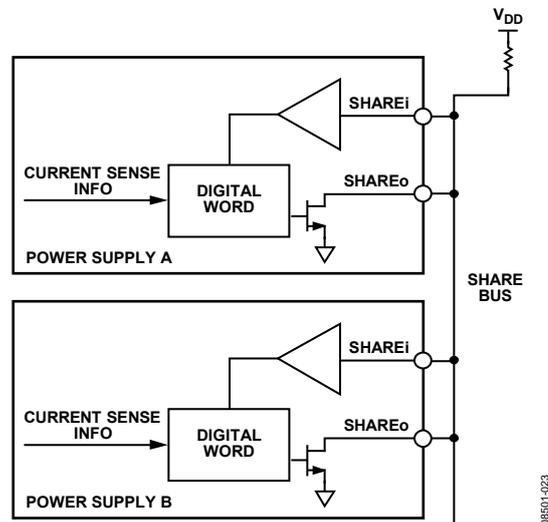


図 22. デジタル電流シェア構成

デジタル・シェア・バスは 1 線式の通信バス原理を採用しています。すなわち、クロック信号とデータ信号が一緒に含まれています。

複数のADP1043Aデバイスを接続する場合は、シェア・バス・タイミングを同期化します。この同期は、通信フレームの開始にスタート・ビットにより行われます。新しいADP1043Aが既存のデジタル・シェア・バスに対してホットスワップされると、次のフレームまでシェアリングの開始を待ちます。新しいADP1043Aはストップ・ビット(シェア・フレームの終わりを表示)が検出されるまでシェア・バスをモニタします。次に、次のスタート・ビット時に他のADP1043Aデバイスとの同期を行います。図 24 に、デジタル・シェア・バス・フレームを示します。

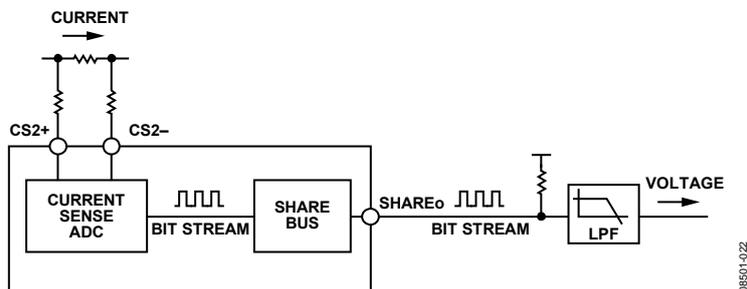


図 23. アナログ電流シェア構成

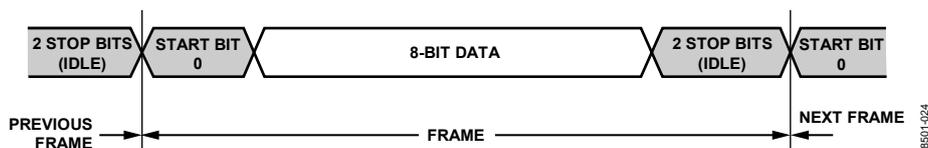


図 24. デジタル電流シェアのフレーム・タイミング図

図 25 に、シェア・バス上の信号を示します。

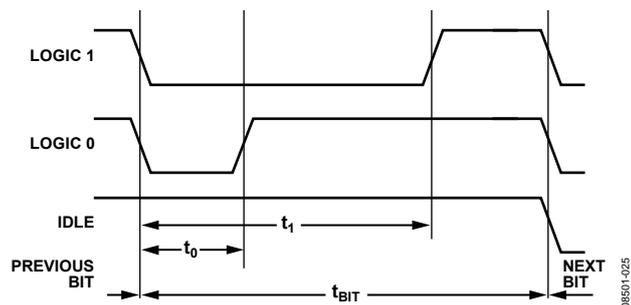


図 25. シェア・バスのハイ、ロー、アイドルの各ビット

ビット( $t_{BIT}$ )長は、10  $\mu$ s に固定されています。ロジック 1 は、ビット開始時にハイ・レベルからロー・レベルへの変化があり、かつ  $t_{BIT}$  の 75% 時点でロー・レベルからハイ・レベルへの変化があることとして定義されています。ロジック 0 は、ビット開始時にハイ・レベルからロー・レベルへの変化があり、かつ  $t_{BIT}$  の 25% 時点でロー・レベルからハイ・レベルへの変化があることとして定義されています。

$t_{BIT}$  の全区間バスがハイのとき、バスはアイドルになります。バス上のその他の全動作は、違法になります。最大  $t_{GLITCH}$  (200 ns) までのグリッチは無視されます。

電流情報を表すデジタル・ワードは 8 ビット長です。ADP1043A は CS1 測定値または CS2 測定値(電流シェア信号としてユーザが選択)の上位 8 ビットを取り出し、この測定値をデジタル・ワードとして使います。シェア・バス値は常に CS1 または CS2 の電流測定値に一致しています(図 26 参照)。

### デジタル・シェア・バス方式

各電源は、自分が出力しているデジタル・ワードをバス上にある他のすべての電源のデジタル・ワードと比較します。

### ラウンド 1

ラウンド 1 では、まず各電源が MSB をバスへ出力します。自分の MSB とバス上の値が一致していることをある電源が検出した場合、その電源はラウンド 2 を実行します。自分の MSB がバス上の値より小さいことを検出した電源は、スレープであることを意味します。

電源がスレープになると、シェア・バス上の通信を停止します。これはその電源がマスターでないことを知ったためです。次に、その電源は分担する電流を増やそうとして出力電圧を上げます。

2 つのユニットが同じ MSB を持つ場合、片方がマスターである可能性があるため両方ともラウンド 2 を実行します。

### ラウンド 2

ラウンド 2 では、バス上で通信を行っているすべての電源が 2 番目の MSB をシェア・バスへ出力します。自分の MSB がバス上の値より小さいことを検出した電源は、スレープであることを意味するため、通信を停止します。

### ラウンド 3~ラウンド 8

同じアルゴリズムを最大 8 ラウンド繰り返して、電源がデジタル・ワードを比較できるようにし、この中で各ユニットがマスターかスレープかを判断できるようにします。

### デジタル・シェア・バス構成

デジタル・シェア・バスは種々の方法で構成することができます。シェア・バス・ループの帯域幅は、レジスタ 0x29[2:0] を使って設定することができます。スレープがマスターの電流との一致を試みる場合は、レジスタ 0x2A[3:0] を設定することにより選択することができます。レジスタ 0x29[3] を設定することにより、一次側または二次側を電流シェア信号として使うことができます。

デジタル・シェア・バスを使用するときは、各 PSU 間にロードラインが必要です。リモート電圧検出ノードと負荷の間に最小インピーダンス 15 m $\Omega$  が推奨されます。

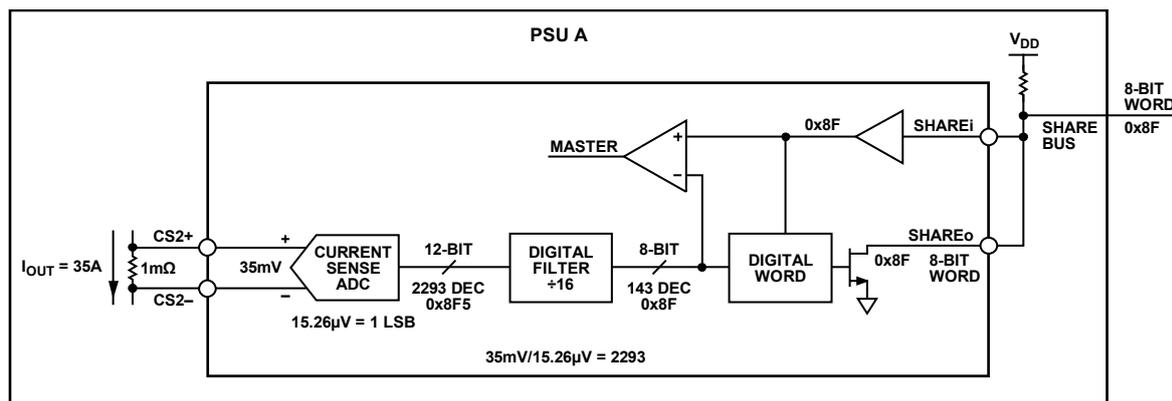


図 26. シェア・バスでデジタル・シェア・バスへ出力するデジタル・ワードを発生する方法

## 電源システムと故障モニタ

ADP1043Aは、システムと故障の広範囲なモニタリング機能を持っています。システム・モニタリング機能には、電圧、電流、電力、温度測定などがあります。故障状態には、電流、電圧、電力、温度の限界値外などがあります。故障状態に対する限界値は設定可能です。ADP1043Aには、閾値または限界値を超えたときにセットされる広範囲なフラグのセットがあります。これらの閾値と限界値は、故障レジスタのセクションで説明します。

### フラグ

ADP1043Aには、限界値、条件、閾値を超えたときにセットされる広範囲なフラグのセットがあります。これらのフラグのリアルタイム・ステータスは、レジスタ 0x00～レジスタ 0x03 から読出すことができます。これらのフラグに対する応答は、個別に設定することができます。これらのフラグは無視することができます。あるいはPWM出力やOrFET GATE出力のターンオフなどのタスクの起動にこれらのフラグを使用することができます。これらのフラグ使って電源をターンオフすることもできます。これらのフラグがリセットされたときに応答するようにADP1043Aを設定することができます。詳細については、レジスタ 0x08～レジスタ 0x0Dを参照してください。

また、ADP1043Aにはラッチ型故障レジスタのセットもあります(レジスタ 0x04～レジスタ 0x07)。ラッチ型故障レジスタには、レジスタ 0x00～レジスタ 0x03と同じフラグがありますが、ラッチ型レジスタ内のフラグは、断続的な故障を検出できるようにセットされたままになります。ラッチ型レジスタを読出すと、そのレジスタ内のすべてのフラグがリセットされます。

### モニタリング機能

ADP1043Aは、電圧、電流、電力、温度などの信号をモニタして報告します。これらすべての値は個々のレジスタに保存され、I<sup>2</sup>Cインターフェースを介して読出すことができます。詳細については、値レジスタのセクションを参照してください。

### 電圧の測定

VS1、VS2、VS3の各ADCの入力範囲は1.55 Vです。ADC出力は12ビット値であり、これはLSBサイズが $1.55 \text{ V}/4096 = 378.4 \mu\text{V}$ であることを意味します。使用時の入力範囲は1.5 Vに制限されます。これは、ADC出力コードが $1.5 \text{ V}/378.4 \mu\text{V} = 3964$ に制限されていることを意味します。

電圧( $V_x$ )でのADCコードを計算する式は次のように表されます。

$$\text{ADCコード} = V_x/378.4 \mu\text{V}$$

例えば、ADC入力が1 Vの場合

$$\text{ADCコード} = 1 \text{ V}/378.4 \mu\text{V}$$

$$\text{ADCコード} = 2643$$

12 Vアプリケーションでは、12 V出力値は検出ピンで1 Vになるように抵抗分圧器を使って小さくされます。このため、レジスタ値を実際の電圧に変換するときは、次式を使います。

$$V_{\text{OUT}} = (\text{VSx\_Voltage\_Value}/2643) \times ((R1 + R2)/R2)$$

12 Vシステムでは、次のようになります。

$$V_{\text{OUT}} = (\text{VSx\_Voltage\_Value}/2643) \times 12 \text{ V}$$

### 電流の測定

#### CS1 ピン

##### DC 入力電圧

CS1 ADCはデザイン上VS1、VS2、VS3の各ADCと同じです。このため、電圧の測定のセクションの説明はCS1 ADCにも適用されます。CS1ピンが1 Vの場合、CS1値レジスタ(レジスタ 0x13)値は2968になります。

CS1の入力範囲は1.38 Vです。ADCはこの値に12ビット変換を行います。これは、LSBサイズが $1.38 \text{ V}/4096 = 337 \mu\text{V}$ であることを意味します。

CS1入力電圧( $V_x$ )でのADCコードを計算する式は次のように表されます。

$$\text{ADCコード} = V_x/337 \mu\text{V}$$

例えば、CS1入力ピンが1 Vの場合

$$\text{ADCコード} = 1 \text{ V}/337 \mu\text{V}$$

$$\text{ADCコード} = 2968$$

##### AC 入力電圧

CS1には、電流トランスを介して整流されたAC信号が入力されることがあります。この場合、ADCは周波数応答を持ちます(図 27参照)。

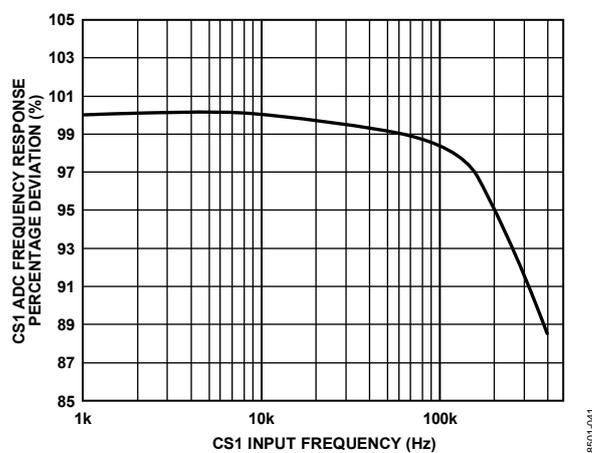


図 27.CS1 ADC の周波数応答

この周波数応答を補償するときは、次式のように乗算係数(M)を使います。

$$M = (-2 \times 10^{-18} \times f_{SW}^3) + (2 \times 10^{-12} \times f_{SW}^2) + (2 \times 10^{-8} \times f_{SW}) + 0.9998$$

ここで、 $f_{SW}$ は電源のスイッチング周波数です。

乗算係数(M)を使うと、測定値の精度が向上します。この式は、MCU またはその他のシステム・モニタリング・デバイスで使用することができます。ADP1043A GUIには、この式を使うオプションがあります。

## CS2 ピン

ユーザがフルスケール(FS)電圧降下(37.5 mV、75 mV、または 150 mV)を、レジスタ 0x23 のビット[7:6]に設定します。この電圧降下は、 $R_{SENSE}$  抵抗の両端電圧に対応します。

CS2 ADC の入力範囲は 250 mV です。分解能は 12 ビットであり、これは、LSB サイズが  $250 \text{ mV}/4096 = 61.04 \mu\text{V}$  であることを意味します。使用時の入力範囲は 215 mV に制限されます。

電圧( $V_x$ )での ADC コードを計算する式は次のように表されます。

$$\text{ADC コード} = V_x / 250 \text{ mV} \times 4096$$

例えば、ADC 入力 が 150 mV の場合

$$\text{ADC コード} = 150 \text{ mV} / 250 \text{ mV} \times 4096$$

$$\text{ADC コード} = 2457$$

このため、CS2 変換値を実際の電流に変換するときは、次式を使います。

$$I_{OUT} = (\text{CS2\_Value} / 2457) \times (\text{FS} / R_{SENSE})$$

ここで、

FS はフルスケール電圧降下(37.5 mV、75 mV、150 mV)。

$R_{SENSE}$  は検出抵抗値。

例えば、CS2\_値 = 1520、 $R_{SENSE} = 20 \text{ m}\Omega$ 、FS = 150 mV の場合、実際の電流値は次のように計算されます。

$$I_{OUT} = (1520 / 2457) \times (150 \text{ mV} / 20 \text{ m}\Omega) I_{OUT} = 4.64 \text{ A}$$

## 電力の測定

出力電力値レジスタ(レジスタ 0x19)は、VS3 電圧値と CS2 電流値の積です。このため、電圧の測定のセクションの式と CS2 ピンのセクションの式の組み合わせを使って、電力測定値(ワット)が計算されます。このレジスタは 16 ビット・ワードです。2 つの 12 ビット値を乗算し、下位 8 ビットは捨てます。

$$P_{OUT} = (V_{OUT}) \times (I_{OUT})$$

例えば、

$$P_{OUT} = (12 \text{ V}) \times (4.64 \text{ A}) = 55.68 \text{ W}$$

## 電力のモニタリング精度

ADP1043A の電力モニタリング精度は、測定対象信号のフルスケール範囲を基準として規定しています。

## 先頭フラグ故障IDと値レジスタ

ADP1043A が複数の故障状態を記録する場合、先頭の故障の値を専用レジスタに格納します。例えば、過温度(OTP)故障とその後に OVP 故障が記録される場合、OTP フラグが先頭フラグ ID レジスタ(レジスタ 0x10 参照)に格納されます。このレジスタは、故障診断用にシンプルなフラグより多くの情報を提供します。このレジスタの値はラッチ型であり、読出されるまで保存されることを意味します。また、値は PSON 信号によりリセットされます。

フラグを無視するように設定した場合は、先頭フラグ・レジスタに表示されません。

## 外部フラグ入力(FLAGINピン)

FLAGIN ピンは、外部故障信号を ADP1043A に送信するときに使用することができます。このフラグに対する応答は、内部フラグと同じ方法で設定することができます。

## 温度の測定(RTDピン)

RTD ピンは、外付け 100 k $\Omega$  負温度係数(NTC)サーミスタと組み合わせで使用します。RTD ピンには 10.8  $\mu\text{A}$  の電流源が付いています。このため、100 k $\Omega$  サーミスタの場合、RTD ピンの電圧は 25°C で 1 V になります。ADP1043A の ADC により RTD ピンの電圧をモニタします。

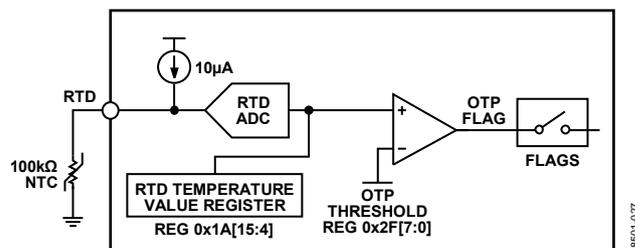


図 28. RTD ピンの内部

RTD ADC の出力は、RTD ピンの電圧に比例しますが、サーミスタは抵抗値と温度の非直線関数を示します。このため、RTD ADC 変換値に対して後処理を行って温度を正確に測定する必要があります。この後処理では、ルックアップ・テーブルまたは多項式を使って、使用する NTC に合わせるすることができます。

## 過温度保護(OTP)

RTD ピンで検出された温度がプログラマブルな閾値を超えると、OTP フラグがセットされます。このフラグのヒステリシスは 16 mV です(詳細については、表 43 のレジスタ 0x2F を参照)。OTP フラグに対する応答は設定可能です。

RTD ADC 範囲の下端で高精度温度測定を行うときは、RTD 調整が必要です。これにより、OTP 閾値決定のための測定精度が向上します(RTD/OTP 調整のセクション参照)。

## 過電流保護(OCP)

ADP1043A は複数の OCP 機能を内蔵しています。CS1 と CS2 は、一次側と二次側を保護する個別の OCP 回路を持っています。

CS1 は、CS1 高速OCPとCS1 高精度OCPの 2 つの保護回路を持っています(図 29 参照)。CS1 高速OCPはアナログ・コンパレータです。CS1 ピンの電圧が 1.2 V (固定)閾値を超えると、CS1 高速OCP フラグがセットされます。電流信号の開始での電流スパイクを無視するため、ブランキング時間を設定することができます。OCP 回路のノイズ耐性を向上させるため、デバウンス時間を設定することができます。CS1 高速OCPコンパレータがセットされると、残りのスイッチング・サイクルに対して、すべてのPWM出力が直ちに無効されます。これらは、次のスイッチング・サイクルの開始で再び有効になります。この機能が不要な場合はバイパスすることができます。

CS1 高精度 OCP は、過電流保護の制御精度を向上させるときに使用します。CS1 高精度 OCP を使用すると、CS1 ADC 出力(レジスタ 0x13)がプログラマブルな OCP 値と比較されます。CS1 高精度 OCP 値は、レジスタ 0x22 のビット[4:0]を使って 0~31 (10 進)に設定することができます。CS1 出力が CS1 高精度 OCP 値を超えると、CS1 高精度 OCP フラグがセットされます。この判断速度は 10 ms です。このフラグに対する応答は設定可能です。

CS2 は、1 個の OCP 保護回路(CS2 高精度 OCP)を持っています。CS2 ADC (レジスタ 0x18)出力がプログラマブルな OCP 閾値と比較されます。CS2 OCP 閾値は、レジスタ 0x26 のビット[7:0]を使って 0~254(10 進)に設定することができます。CS2 出力が CS2 OCP 閾値を超えると、CS2 高精度 OCP フラグがセットされます。この判断速度は 10 ms です。このフラグに対する応答は設定可能です。

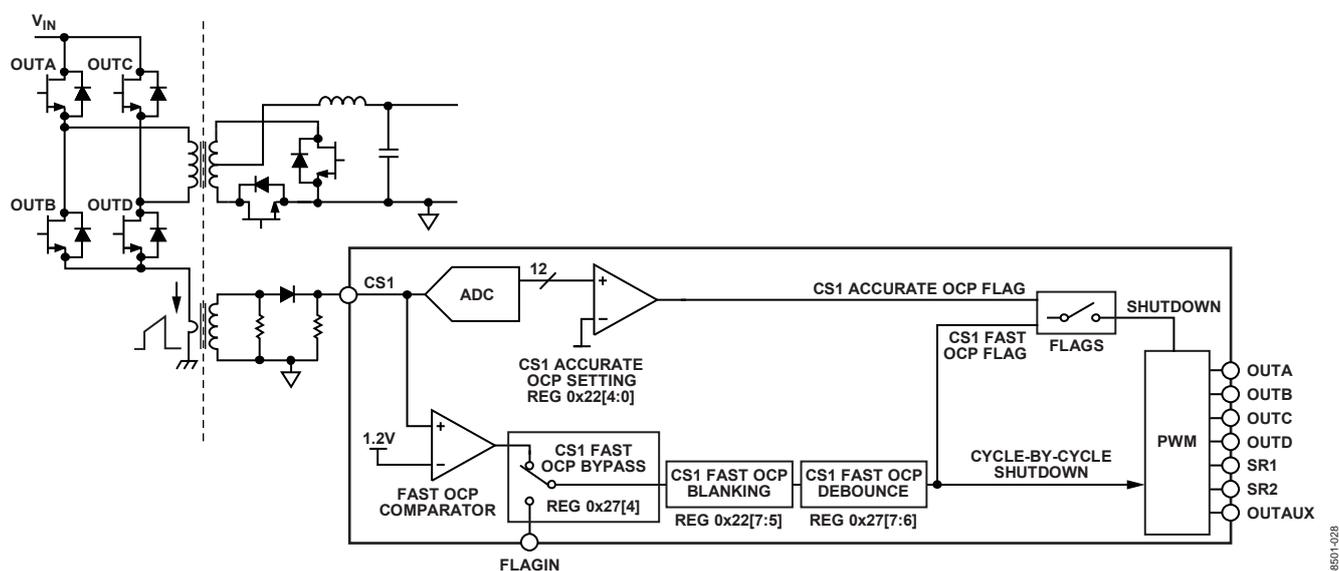


図 29. CS1 OCP の詳細内部回路

## 定電流モード

ADP1043A は定電流モードで動作するように設定することができます。定電流モード動作を開始する閾値は、CS2 高精度 OCP 設定値より 10%小さい電流です。この電流を下回ると、出力電圧をクローズド・ループ動作に対する帰還信号として使って、デバイスは通常動作を行います。

ADP1043A が定電流モード・閾値に到達すると、フラグがセットされます。クローズド・ループ動作に対する帰還信号として出力電圧を使う代わりに、CS2 電流測定値が使われます。電流を一定に維持するため負荷抵抗が減少すると、出力電圧は公称値の 60%まで徐々に直線的に低下します。

制御ループが $V_{OUT}$ の 60%に到達すると、デバイスは出力電圧を再度使ってループを制御しますが、今度は低いレベル(公称値の 60%)で安定化させます。負荷抵抗が減り続けると、この領域で電流がCS2 OCPレベルまで再度増加しますが、電圧は公称値の 60%に制限されます(図 30 参照)。UVPフラグまたはCS2 OCPフラグを使って、シャットダウン動作を設定することができます。



図 30.定電流モード( $I_{OUT}$  対  $V_{OUT}$ )

## 過電圧保護機能(OVP)

ADP1043A は 2 つの OVP 回路を内蔵しています。VS1 ピン、VS2 ピン、または VS3 ピンの出力電圧がそのピンに対するプログラマブルな閾値を超えると、該当する OVP フラグがセットされます。フラグに対する応答は設定可能です。VS1 は 1 個の OVP 回路を持っています。VS2 と VS3 は他の OVP 回路を共有しています。各 OVP 回路は、異なる OVP 閾値に設定することができます。詳細については、レジスタ 0x32 とレジスタ 0x33 を参照してください。OVP 閾値電圧を設定する式は次のようになります。

$$V_{Sx} OVP = [(89 + V_{SI\_OVP\_Setting})/128] \times 1.55 V$$

例えば、VS1 OVP 設定値 = 10 の場合、

$$V_{S1} OVP = [(89 + 10)/128] \times 1.55 V = 1.2 V$$

## 低電圧保護(UVP)

VS1 ピンで検出される電圧がプログラマブルなUVP閾値を下回ると、UVPフラグがセットされます。この規則(低電圧ブランキングと呼ばれます)の例外として、スタートアップ時とACSNSが限界値外時があります。UVP状態に対する応答は設定可能です(詳細については、表 48 のレジスタ 0x34 を参照)。

## AC検出(ACSNS)

ACSNS 回路は複数のモニタリング機能を実行します。一次側入力電圧の有無を間接的に調べます。さらに同期整流ステージ(または整流ダイオード)出力でのスイッチング波形の有無も調べます。同期整流ステージ(または整流ダイオード)の出力が、外付け抵抗分圧器を介してこのピンに接続されます。

ADP1043A 内で、ACSNS 回路は各スイッチング・サイクルで信号が 0.45 V 以上であることをチェックするコンパレータを持っています。例えば、スイッチング周波数を 200 kHz に設定すると、スイッチング・サイクルは 5  $\mu$ s になります。コンパレータのタイムアウトは、スイッチング・サイクルに合わせて 5 $\mu$ s に設定されます。コンパレータが 5  $\mu$ s 区間中にトリップしない場合、ACSNS フラグがセットされます。

## 電圧-時間バランス

ADP1043A は、フルブリッジ回路で動作する際にメイン・トランスで電圧-時間バランスを維持する専用回路を内蔵しています。これは、DC 阻止コンデンサが不要であることを意味します。

この回路は、フル・ブリッジの両半分に流入する DC 電流をモニタして、この情報を保存します。この回路は、フル・ブリッジの両半分に流入する電流を等しくするように PWM 駆動信号を補償します。入力には CS1 ピンを使います。回路が実効的に動作するためには複数のスイッチング・サイクルが必要です。電圧-時間バランスは、OUTB ピンと OUTD ピンで最大 80 ns の変調を与えます。

PWM 駆動信号の補償は  $t_4$  (OUTB)と  $t_8$  (OUTD)でのみ行われることに注意してください。このため、この機能が正しく動作するためには、これらのピンを変調 PWM 信号として使う必要があります。

SR1 と SR2 の立上がりエッジ( $t_9$ と  $t_{11}$ )も、電圧-時間バランス回路により、変調を独立にセットできます。SR1 の立上がりエッジ( $t_9$ )は OUTB の立下がりエッジ( $t_4$ )と同じ方向に変調されます。SR2 の立上がりエッジ( $t_{11}$ )は OUTD の立下がりエッジ( $t_8$ )と同じ方向に変調されます。

また、各サイクルで最初に遭遇する CS1 電流パルス信号は OUTB に関係し、各サイクル内の 2 番目の電流パルス信号は OUTD に関

係するものと ADP1043A が見なしていることに注意してください。最初の電流パルス信号が 2 番目より小さい場合、OUTB は大きくなり、OUTD は小さくなります。最初の電流パルス信号が 2 番目より大きい場合、OUTB は小さくなり、OUTD は大きくなります。

## ロードライン

ADP1043A では、オプションとしてデジタルロードラインを電源に導入することができます。このオプションは、ロードライン・インピーダンス・レジスタ(レジスタ 0x36)に設定されます。この機能は、高度な電流シェアリング技術に使用することができます。デフォルトでは、ロードラインは無効にされています。ロードラインはデジタル的に導入され、その傾きは設定可能です。この機能は、CS2 電流測定値を取得して、出力電圧を調整することにより動作します。51.5 m $\Omega$ までのロードラインを選択することができます。図 31 に、ADP1043A 評価ボードを使ったロードラインの結果を示します。この評価ボードでは 10 m $\Omega$ の  $R_{SENSE}$  抵抗を使っています。

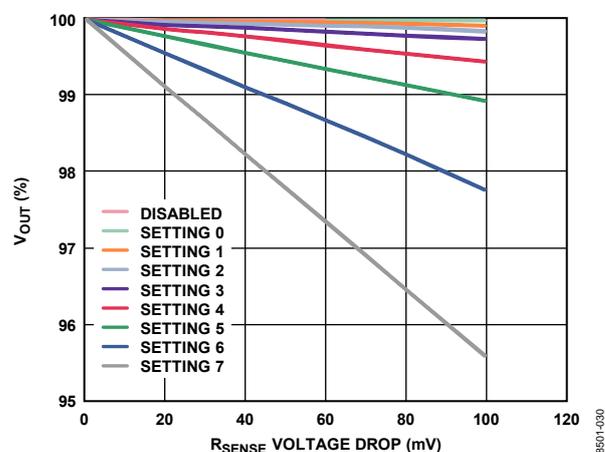


図 31.ロードラインの設定値

## 電源のキャリブレーションと調整

ADP1043A では、量産環境で電源全体をデジタル的にキャリブレーションおよび調整することができます。出力電圧のような項目をキャリブレーションし、内蔵回路の調整だけでなく、検出抵抗や抵抗分圧器から発生する偏差誤差も調整することができます。デバイスは調整済みで出荷されますが、外付け部品から発生する誤差を補償するため、ユーザが再調整することができます。

ADP1043A では、偏差が 0.5%以下の外付け部品に対して調整する十分な調整機能を有しています。ADP1043A を量産環境で調整しない場合は、CS1、CS2、VS1、VS2、VS3+、VS3-の入力に 0.1% 偏差の部品を使ってデータシート仕様を満たすことが推奨されま

### CS1 の調整

#### DC信号の使用

既知の電圧( $V_x$ )を CS1 ピンに入力します。CS1 ADC は、 $V_x/337 \mu\text{V}$  に対応するデジタル・コードを出力する必要があります。CS1 ゲイン調整レジスタ(レジスタ 0x21)を調整して、レジスタ 0x13 の CS1 ADC 値が正しいデジタル・コードになるようにします。

#### AC信号の使用

既知の電流( $I_x$ )を PSU に入力します。この電流は、電流トランス、ダイオード整流器、外付け抵抗( $R_{CS1}$ )を流れて、電流情報が電圧( $V_x$ )へ変換されます。この電圧が CS1 ピンに加えられます。電圧( $V_x$ )は次のように計算されます。

$$V_x = I_x \times (n2/n1) \times R_{CS1}$$

ここで、 $n2/n1$  は電流トランスの巻数比です。

CS1 ADC は、 $V_x/337 \mu\text{V}$  に対応するデジタル・コードを出力する必要があります。CS1 ゲイン調整レジスタ(レジスタ 0x21)を調整して、レジスタ 0x13 の CS1 ADC 値が正しいデジタル・コードになるようにします。

CS1 ピンのセクションに説明するように、CS1 ADCは周波数応答を持っています。調整の精度を上げるため、次の乗算係数(M)を使います。

$$M = (-2 \times 10^{-18} \times f_{sw}^3) + (2 \times 10^{-12} \times f_{sw}^2) + (2 \times 10^{-8} \times f_{sw}) + 0.9998$$

ここで、 $f_{sw}$ は電源のスイッチング周波数です。

### CS2 の調整

CS2 の調整では、オフセット誤差とゲイン誤差を補償する必要があります。オフセット誤差ではアナログ調整とデジタル調整が必要です。CS2 ADC 範囲は、0 V からではなく -25 mV から始まります。これは、OrFET 回路で逆方向電流保護を可能にするためです。このため、CS2 入力が -25 mV のとき、ADC コードは 0 である必要があります。CS2 入力が 0 mV のとき、ADC コードは 100(10 進)である必要があります。このため、CS2 出力が 10 進の 100 (0 ではなく)になるように、アナログ・オフセット調整が行われます。このために、デジタル調整も必要です。

### CS2 オフセットの調整

CS2 オフセット調整は次のステップで行うことが重要です。

1. 公称フルスケール検出抵抗電圧降下をレジスタ 0x23 のビット[7:6]に設定します。
2. ハイサイドまたはローサイド電流検出をレジスタ 0x24 のビット7に設定します。
3. オフセット誤差は外付けバイアス抵抗と内蔵電流源により発生します。検出抵抗に無負荷電流を流します。CS2 オフセット調整値(レジスタ 0x24 のビット[6:0])を調整して、レジスタ 0x18 の CS2 値が 100 (10 進)にできるだけ近くなるようにします。
4. CS2 デジタル調整レジスタ(レジスタ 0x25)を調整して、レジスタ 0x18 の CS2 値が 0 になるようにします。

これでオフセット調整が完了して、検出抵抗に無負荷電流が流れているときの ADC コードが 0 になります。

### CS2 ゲイン調整

オフセット調整の後、ゲイン調整を行って検出抵抗偏差から発生する不一致をなくします。ADP1043A では、1%以下の偏差の検出抵抗に対して調整することができます。

1. 既知電流( $I_{OUT}$ )を検出抵抗に流します。
2. CS2 ゲイン調整値(レジスタ 0x23 のビット[5:0])を調整して、レジスタ 0x18 の CS2 値が次式で計算された値になるようにします。

$$CS2 \text{ 値} = I_{OUT} \times 2457 \times (R_{SENSE}/FS)$$

ここで、  
FS はフルスケール電圧降下。  
 $R_{SENSE}$  は検出抵抗値。

例えば、 $I_{OUT} = 4.64 \text{ A}$ 、 $R_{SENSE} = 20 \text{ m}\Omega$ 、and  $FS = 150 \text{ mV}$  の場合、

$$CS2 \text{ 値} = (4.64 \text{ A} \times 2457) \times (20 \text{ m}\Omega/150 \text{ mV}) \quad CS2 \text{ 値} = 1520 (10 \text{ 進})$$

CS2 回路の調整はこれで完了です。電流検出調整の後、OCP 限界値と設定値の設定が必要です。

### 電圧のキャリブレーションと調整

電圧検出入力は、検出信号 1 V に対して最適化されており、1.5 V より大きい信号は検出できません。12 V システムでは、12 V 信号を 1.5 V 以下にするため 12:1 抵抗分圧器が必要です。最適性能を得るためには、電源の出力電圧を 1 V まで小さくすることが推奨されます。抵抗分圧器でも誤差が発生し、この調整も必要です。ADP1043A では、0.5%以下の偏差を持つ抵抗から発生する誤差を除去する十分な調整範囲を持っています。ADC は、入力が正確に 1 V の場合、10 進で 2643 のデジタル・ワード(0xA53)を出力します。

## 出力電圧の設定(VS3+、VS3-の調整)

VS3 入力ではゲイン調整が必要です。無負荷電流で電源を有効にします。電源出力電圧を VS3 抵抗分圧器を通して、VS3+入力ピンと VS3-入力ピンで 1 V になるようにします。VS3 調整レジスタ(レジスタ 0x3A)を変更して、レジスタ 0x17 の VS3 値が 10 進で 2643 になるようにします(0xA53)。このステップは他の調整ルーチンの前に行う必要があります。

## VS1 調整

VS1 入力ではゲイン調整が必要です。無負荷電流で電源を有効にします。VS1 電圧を VS1 抵抗分圧器を通して、VS1 ピンで 1 V になるようにします。VS1 調整レジスタ(レジスタ 0x38)を変更して、レジスタ 0x15 の VS1 値が 10 進で 2643 になるようにします(0xA53)。

## VS2 調整

VS2 入力ではゲイン調整が必要です。無負荷電流で電源を有効にします。VS2 電圧を VS2 抵抗分圧器を通して、VS2 ピンで 1 V になるようにします。VS3 調整レジスタ(レジスタ 0x39)を変更して、レジスタ 0x16 の VS2 値が 10 進で 2643 になるようにします(0xA53)。

## RTD/OTP調整

ADP1043A では 100 kΩ の NTC サーミスタを使う必要があります。PSU 調整は、次の手順で行う必要があります。

1. OTP 閾値になる既知温度までサーミスタまたは PSU を加熱します。
2. 温度ゲイン調整レジスタ(レジスタ 0x2B)を調整して、この温度で正しい温度を出力するようにします(レジスタ 0x1A)。
3. OTP 閾値・レジスタ(レジスタ 0x2F)を調整して、OTP フラグがセットされるようにします。

この手順により、最も精度の高い OTP が実現できます。これは ADP1043A と使用するサーミスタのデバイス間変動を考慮しているためです。

## レイアウトのガイドライン

このセクションでは、ADP1043A の最適性能を実現するために必要な事項について説明します。一般に、すべての部品はできるだけ ADP1043A の近くに配置する必要があります。

幾つかの ADP1043A 入力は敏感です。このため、デバイスの取り扱いとハンダ処理では特別な注意が必要です。ハンダ処理後に IC の適切な洗浄とともに、養生処理(150°C で 1 時間)の実施が推奨されます。また、この養生の後 IC を保護樹脂で封入して IC が不純物で汚染されないように保護することをアナログ・デバイスでは推奨します。

## CS2 +とCS2-

検出抵抗から ADP1043A までの配線パターンは互いに並行するようにする必要があります。また、パターンは互いに近づけ、スイッチ・ノードからはできるだけ離す必要があります。

## VS3+とVS3-

リモート電圧検出ポイントから ADP1043A までの配線パターンは互いに並行するようにする必要があります。また、パターンは互いに近づけ、スイッチ・ノードからはできるだけ離す必要があります。

## VDD

デカップリング・コンデンサをできるだけデバイスの近くに配置する必要があります。100 nF のコンデンサを VDD と AGND の間に接続することが推奨されます。

## SDAとSCL

配線パターンは互いに並行するようにする必要があります。また、パターンは互いに近づけ、スイッチ・ノードからはできるだけ離す必要があります。

## CS1

電流検出トランスから ADP1043A までの配線パターンは互いに並行するようにする必要があります。また、パターンは互いに近づけ、スイッチ・ノードからはできるだけ離す必要があります。

## エクスポーズド・パッド

ADP1043A の下のエクスポーズド・パッドは、PCB グラウンド・プレーンへハンダ付けする必要があります。

## VCORE

100 nF のコンデンサをできるだけデバイスの近くに配置する必要があります。

## RES

49.9 kΩ の抵抗をできるだけデバイスの近くに配置する必要があります。

## RTD

サーミスタから ADP1043A まで 1 本のパターンを使用する必要があります。サーミスタは電源の最も高温な部分に近づけて配置する必要があります。

## AGND

AGND グラウンド・プレーンを使用し、電源システム・グラウンドへ 1 点(スター)接続する必要があります。

## 通信

### I<sup>2</sup>Cインターフェース

ADP1043A の制御は I<sup>2</sup>C インターフェースを介して行います。ADP1043A は、マスター・デバイスの制御を受けるスレーブ・デバイスとしてこのバスに接続されます。

### I<sup>2</sup>Cアドレス

ADP1043AのI<sup>2</sup>Cアドレスは、ADDピンとAGNDの間に外付け抵抗を接続することにより設定されます。表 5 に、推奨抵抗値と対応するI<sup>2</sup>Cアドレスを示します。8 個のアドレスを使用することができます。正しくない抵抗値を使用してI<sup>2</sup>Cアドレスが 2 つのアドレスの間の閾値に近づくと、フラグがセットされます(レジスタ 0x03 のアドレス・フラグ、ビット 5、

表 11 参照)。

表 5 の推奨値 $\pm 2$  k $\Omega$ に対して、ADP1043Aは同じアドレスを返します。従って、ADDピンには 1%偏差の抵抗を使用することが推奨されます。

I<sup>2</sup>Cアドレス 0x58 はブロードキャスト・アドレスであり、これを使うと、複数のデバイスに同時に書込むことができます。表 5 に示す特定のI<sup>2</sup>Cアドレスの代わりにブロードキャスト・アドレスを使うことにより、I<sup>2</sup>Cバス上のすべてのADP1043Aデバイスに書込むことができます。ブロードキャスト・アドレスは書込みコマンドでのみ有効です。

表 5. I<sup>2</sup>C アドレスに対する推奨抵抗値

I <sup>2</sup> C Address	Resistor Value (k $\Omega$ )
0x50	9 (or connect the ADD pin directly to AGND)
0x51	27
0x52	45
0x53	63
0x54	81
0x55	98
0x56	116
0x57	134 (or connect the ADD pin directly to VDD)

### I<sup>2</sup>Cの一般的なタイミング

ADP1043A は、SDA ライン上の故障状態から保護するためにタイムアウト機能を持っています。I<sup>2</sup>C インターフェースは SDA ラインをモニタし、 $0.65 \text{ ms} < t_{\text{low}} < 1.3 \text{ ms}$  の時間 SDA ラインのロー・レベルが続くと、I<sup>2</sup>C インターフェースがリセットされて、次のスタート条件を待ちます。

I<sup>2</sup>C仕様では、様々なタイプの読出し動作と書込み動作に対して特別な条件を規定しています。一般的なI<sup>2</sup>Cの読出し動作と書込み動作を図 32、図 33、図 34 のタイミング図に示し、このセクションで説明します。

一般的な I<sup>2</sup>C プロトコルは、次のように動作します。

1. スタート条件は、シリアル・クロック・ライン SCL がハイ・レベルの間にシリアル・データライン SDA 上に発生するハイ・レベルからロー・レベルへの変化として定義されますが、マスターはこのスタート条件を設定して、データ転送を開始します。

このスタート条件は、アドレス/データ・ストリームが後ろに続くことを表示しています。シリアル・バスに接続された全てのスレーブ・ペリフェラルはスタート条件に対して応答し、それに続く 8 ビットをシフト入力します。この 8 ビットは、7 ビットのスレーブ・アドレス(MSB ファースト)と R/W ビットで構成されています。この R/W ビットはデータ転送の方向を指定します。すなわち、スレーブ・デバイスに対するデータの書込みまたは読出しを指定します(0 = 書込み、1 = 読出し)。

2. 送信されたアドレスに一致するアドレスを持つペリフェラルは、アクノリッジ・ビットと呼ばれる 9 番目のクロック・パルスの前のロー・レベル区間中に、データラインをロー・レベルにプルダウンして、応答します。選択されたデバイスが読み書きの対象となるデータを待つ間、バス上の他の全デバイスはアイドル状態を維持します。R/W ビットが 0 の場合は、マスターがスレーブ・デバイスに対して書込みを行います。R/W ビットが 1 の場合は、マスターがスレーブ・デバイスから読出しを行います。
3. 8 ビットのデータとそれに続くスレーブ・デバイスからのアクノリッジ・ビットが、9 個のクロック・パルスでシリアル・バスに出力されます。クロックがハイ・レベルの間のロー・レベルからハイ・レベルへの変化はストップ信号と解釈されるため、データラインの変化はクロック信号のロー・レベル区間で発生し、ハイ・レベル区間中は安定している必要があります。
4. 動作が書込み動作の場合、スレーブ・アドレスに続く最初のデータバイトは、スレーブ・デバイスに次の動作を知らせるコマンド・バイトです。このコマンド・バイトでは、スレーブ・デバイスにブロック書込みを実行させる命令である場合、または後続のデータを書込むレジスタ・アドレスをスレーブに知らせる場合があります。
5. データは R/W ビットに従って一方方向のみ転送されるので、読出し動作中にスレーブ・デバイスへコマンドを送信することはできません。読出し動作を実行する前に書込み動作を実行して、これから実行する読出し動作の種類および/またはデータを読出すアドレスをスレーブに知らせることが必要な場合があります。
6. 全データバイトの読出しまたは書込みが終了すると、ストップ条件が設定されます。書込みモードでは、マスターが 10 番目のクロック・パルスでデータラインをハイ・レベルにプルアップして、ストップ条件をアサートします。読出しモードでは、マスター・デバイスは 9 番目のクロック・パルスの前のロー・レベル区間で SDA ラインを解放しますが、スレーブ・デバイスはこのラインをロー・レベルにすることはありません。これがナック・ビットと呼ばれています。マスターは 10 番目のクロック・パルスの前のロー・レベル区間でデータラインをロー・レベルにし、続いて 10 番目のクロック・パルスでデータラインをハイ・レベルにして、ストップ条件をアサートします。

複数の読出しまたは書込み動作を続けて行う必要がある場合は、マスターはストップ条件の代わりに繰り返しスタート条件を送信して新しい動作を開始することができます。

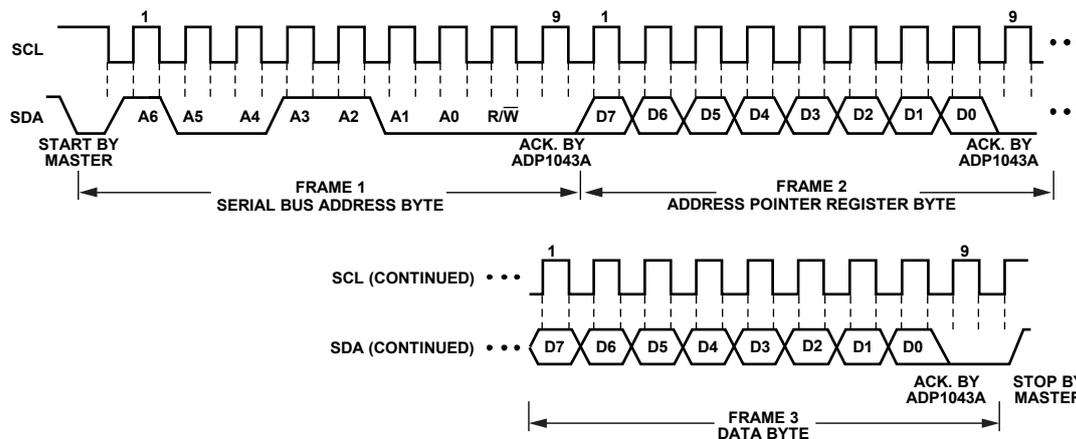


図 32. アドレス・ポインタ・レジスタに対するレジスタ・アドレスの書き込み、およびその後の選択したレジスタに対するデータの書き込み

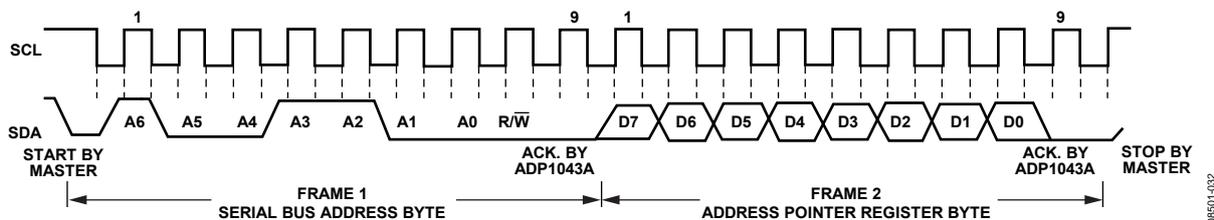


図 33. アドレス・ポインタ・レジスタに対する書き込みのみの場合

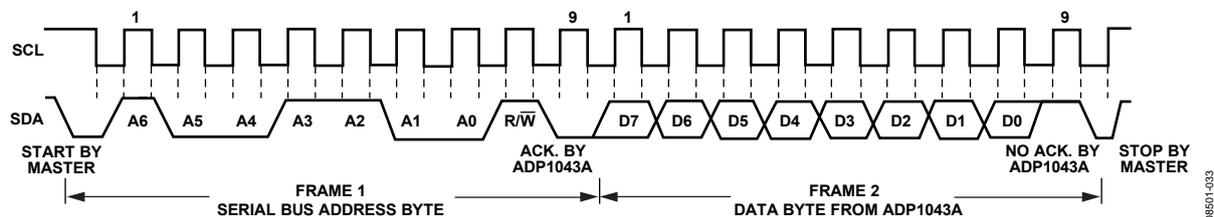


図 34. 選択済みレジスタからのデータの読出し

## EEPROM

EEPROM は、ファクトリ・ブロックとメイン・ブロックの 2 つの主要ブロックに分割されています。ファクトリ・ブロックは 128 × 8 ビット・バイト、メイン・ブロックは 8k × 8 ビット・バイトです。

### ファクトリ・ブロック

ファクトリ・ブロックは 128 バイトで構成されています。アナログ・デバイセズのファクトリ・キャリブレーションとレジスタ設定値が格納されています。ユーザからこれらの設定を変更することはできません。ファクトリ・ブロックの値は、レジスタ 0x7B に 0x01 を書き込むことにより何時でも各レジスタへダウンロードすることができます。

### メイン・ブロック

メイン・ブロックはデータの保存に使用することができます。16 ページに分割されており、各ページは 512 バイトです。各ページのデータは、8 行 × 64 列で構成されたバイトに区分されます (図 35 参照)。

PAGE 0 TO PAGE 15						
ROW 0	BYTE 0	BYTE 1	BYTE 2	...	BYTE 62	BYTE 63
ROW 1	BYTE 0	BYTE 1	BYTE 2	...	BYTE 62	BYTE 63
ROW 2	BYTE 0	BYTE 1	BYTE 2	...	BYTE 62	BYTE 63
ROW 3	BYTE 0	BYTE 1	BYTE 2	...	BYTE 62	BYTE 63
ROW 4	BYTE 0	BYTE 1	BYTE 2	...	BYTE 62	BYTE 63
ROW 5	BYTE 0	BYTE 1	BYTE 2	...	BYTE 62	BYTE 63
ROW 6	BYTE 0	BYTE 1	BYTE 2	...	BYTE 62	BYTE 63
ROW 7	BYTE 0	BYTE 1	BYTE 2	...	BYTE 62	BYTE 63
	COLUMN 0	COLUMN 1	COLUMN 2	...	COLUMN 62	COLUMN 63

08501-034

図 35. EEPROM ページ

### メイン・ブロック、ページ 0 (ユーザ設定値)

ADP1043A のユーザ・レジスタ設定値は、メイン・ブロックのページ 0 に保存されます。VDD が ADP1043A に印加するごとに、レジスタ設定値は、EEPROM のページ 0 から各レジスタへ自動的にダウンロードされます。ADP1043A は、新しい値をページ 0 に書き込むユニークなコマンドを持っています。これは、レジスタ 0x7B へ 0x00 を書き込むことにより実行されます。アナログ・デバイセズのソフトウェア GUI で Update EEPROM ボタンをクリックしても、このコマンドを実行することができます。

### メイン・ブロック、ページ 1~ページ 15 (スクラッチパッド)

メイン・ブロックのページ 1~ページ 15 は、その他のデータを保存するスクラッチパッドとして使用することができます。レジスタ 0x7C とレジスタ 0x7D は、アクセス対象のバイトのページ、行、列を指定するときに使用することができます。

### 書き込み例

I<sup>2</sup>C アドレス 0x57 にある ADP1043A のページ 12、行 3、列 30 へのデータ 0xAA の書き込み

```
Write: DevAddr=0x57  AddrPtr=0x7C  Data=0x63
Write: DevAddr=0x57  AddrPtr=0x7D  Data=0x1E
Write: DevAddr=0x57  AddrPtr=0x7E  Data=0xAA
```

### 読出し例

I<sup>2</sup>C アドレス 0x50 にある ADP1043A のページ 10、行 7、列 62 からのデータ読出し

```
Read: DevAddr=0x50  AddrPtr=0x7C  Data=0x57
Read: DevAddr=0x50  AddrPtr=0x7D  Data=0x3E
Read: DevAddr=0x50  AddrPtr=0x7E
```

表 6. EEPROM レジスタ

Address (Hex)	Register Name	Description
0x5E	Password lock	Write the password to this register twice to unlock the EEPROM or to change its password
0x7B	EEPROM restore factory default register settings	Write a command code to this register to perform one of the following EEPROM operations: 0x00: Upload registers to Page 0 of the main block (user settings) 0x01: Download factory settings (factory block) to the registers 0x02: Page erase operation
0x7C	EEPROM X address	Set XADR[6:0] of EEPROM: XADR[6:3] selects one of 16 pages of the main block XADR[2:0] selects one of eight rows per page
0x7D	EEPROM Y address	Set YADR[5:0] of EEPROM: YADR[5:0] selects one of 64 bytes in a single row
0x7E	EEPROM register	Read or write to this register to read or program a byte in EEPROM main memory

### EEPROMパスワード・ロック

EEPROM パスワードは、不要な原因により偶発的または意図的に EEPROM 値が変更されるのを防止します。パスワードは、OVP や OCP のようなクリティカルな仕様を変更できないようにします。

EEPROM は常にロックされています。EEPROM が値を各レジスタへダウンロードする際、パスワードもダウンロードします。ユーザが同じパスワードをレジスタ 0x5E へ 2 回書込むと、EEPROM のロックが解除されて更新が可能になります。

EEPROM のロックが解除されている間に、新しい値をレジスタ 0x5E に書込むことにより、パスワードを変更することができます。この値を更新した後、EEPROM に新しいパスワードが格納されます。出荷時のデフォルト・パスワードは 0x00 です。

EEPROM パスワードを更新するときは、ユーザはレジスタ 0x7B に書込む必要があります。このレジスタに 0x00 を書込むと、EEPROM が更新されます。ユーザは、この書込みコマンドの後少なくとも 50 ms 待った後に、ADP1043A との通信を行う必要があります。

VDD を加えた後の最初の 500 ms 間は、EEPROM の書込みができないことに注意してください。

### EEPROMパスワードの変更

EEPROM パスワードを変更するときは、次のステップに従います。

1. 旧パスワードをレジスタ 0x5E (パスワード・ロック・レジスタ)へ書込みます。
2. 新しいパスワードを最初にレジスタ 0x5E(パスワード・ロック・レジスタ)へ書込みます。
3. 新しいパスワードを 2 回目にレジスタ 0x5E(パスワード・ロック・レジスタ)へ書込みます。
4. 新しいパスワードを 3 回目にレジスタ 0x5E(パスワード・ロック・レジスタ)へ書込みます。
5. 0x00 をレジスタ 0x7B へ書込みます。
6. 50 ms 間待ちます。
7. EEPROM をロックするため、パスワード値以外の任意の値をレジスタ 0x5E へ書込みます。

### CRC (Cyclic Redundancy Check)

ADP1043A は、スタートアップ時に各レジスタへ EEPROM 値が正しくダウンロードされることを保証するためにチェックを行います。ダウンロードされた 1 の合計数と、EEPROM に最後に書込まれた 1 の合計数とを比較します。一致しない場合、レジスタ 0x03 のビット 1 の CRC 故障フラグがセットされます。このフラグを使って、スタートアップ時に EEPROM から各レジスタへ正しいデータがダウンロードされたことを確認します。

### ソフトウェアGUI

ADP1043A の設定と構成に使用できる無償のソフトウェア GUI が提供されています。この GUI は、電源設計者にとって直感的で、電源設計と開発時間を大幅に削減するようにデザインされています。このソフトウェアには、フィルタ・デザイン・ウィンドウと電源 PWM 回路ウィンドウが含まれています。また、この GUI は情報センターでもあり、ADP1043A 上のすべての測定値、モニタリング、フラグのステータスが表示されます。

GUI の詳細、最新のソフトウェアとユーザ・ガイドについては、アナログ・デバイズにお尋ねください。アナログ・デバイズへのご相談により、評価ボードも提供しています。

最新の GUI をダウンロードするときは、GUI のメイン・スクリーンの上側にある About ボタンをクリックしてください。GUI のアップデートを調べるときはリンクをクリックしてください。

## レジスタのリスト

表 7. レジスタ・リスト

Address	Name
<b>Fault Registers</b>	
0x00	Fault Register 1
0x01	Fault Register 2
0x02	Fault Register 3
0x03	Fault Register 4
0x04	Latched Fault Register 1
0x05	Latched Fault Register 2
0x06	Latched Fault Register 3
0x07	Latched Fault Register 4
0x08	Fault Configuration Register 1
0x09	Fault Configuration Register 2
0x0A	Fault Configuration Register 3
0x0B	Fault Configuration Register 4
0x0C	Fault Configuration Register 5
0x0D	Fault Configuration Register 6
0x0E	Flag configuration
0x0F	Soft start blank fault flags
<b>Value Registers</b>	
0x10	First flag ID
0x11	Reserved
0x12	VS1/PWM value (input voltage)
0x13	CS1 value (input current)
0x14	CS1 × (VS1/PWM) value (input power)
0x15	VS1 voltage value
0x16	VS2 voltage value
0x17	VS3 voltage value (output voltage)
0x18	CS2 value (output current)
0x19	CS2 × VS3 value (output power)
0x1A	RTD temperature value
0x1D	Share bus value
0x1E	Modulation value
0x1F	Line impedance value
0x20	Reserved
<b>Current Sense and Current Limit Registers</b>	
0x21	CS1 gain trim
0x22	CS1 accurate OCP limit
0x23	CS2 gain trim
0x24	CS2 analog offset trim
0x25	CS2 digital trim
0x26	CS2 accurate OCP limit
0x27	CS1 fast OCP setting
0x28	Volt-second balance gain setting
0x29	Share bus bandwidth
0x2A	Share bus setting
0x2B	Temperature gain trim
0x2C	PSOEN/soft start setting
0x2D	Pin polarity setting
0x2E	Modulation limit
0x2F	OTP threshold
0x30	OrFET

Address	Name
<b>Voltage Sense Registers</b>	
0x31	VS3 voltage setting (remote voltage)
0x32	VS1 overvoltage limit (OVP)
0x33	VS2 and VS3 overvoltage limit (OVP)
0x34	VS1 undervoltage limit (UVP)
0x35	Line impedance limit
0x36	Load line impedance
0x38	VS1 trim
0x39	VS2 trim
0x3A	VS3 trim
0x3B	Light load mode disable setting
<b>ID Registers</b>	
0x3C	Silicon revision ID
0x3D	Manufacturer ID
0x3E	Device ID
<b>PWM and Synchronous Rectification Timing Registers</b>	
0x3F	OUTAUX switching frequency setting
0x40	PWM switching frequency setting
0x41	OUTA rising edge timing (OUTA pin)
0x42	OUTA rising edge setting (OUTA pin)
0x43	OUTA falling edge timing (OUTA pin)
0x44	OUTA falling edge setting (OUTA pin)
0x45	OUTB rising edge timing (OUTB pin)
0x46	OUTB rising edge setting (OUTB pin)
0x47	OUTB falling edge timing (OUTB pin)
0x48	OUTB falling edge setting (OUTB pin)
0x49	OUTC rising edge timing (OUTC pin)
0x4A	OUTC rising edge setting (OUTC pin)
0x4B	OUTC falling edge timing (OUTC pin)
0x4C	OUTC falling edge setting (OUTC pin)
0x4D	OUTD rising edge timing (OUTD pin)
0x4E	OUTD rising edge setting (OUTD pin)
0x4F	OUTD falling edge timing (OUTD pin)
0x50	OUTD falling edge setting (OUTD pin)
0x51	SR1 rising edge timing (SR1 pin)
0x52	SR1 rising edge setting (SR1 pin)
0x53	SR1 falling edge timing (SR1 pin)
0x54	SR1 falling edge setting (SR1 pin)
0x55	SR2 rising edge timing (SR2 pin)
0x56	SR2 rising edge setting (SR2 pin)
0x57	SR2 falling edge timing (SR2 pin)
0x58	SR2 falling edge setting (SR2 pin)
0x59	OUTAUX rising edge timing (OUTAUX pin)
0x5A	OUTAUX rising edge setting (OUTAUX pin)
0x5B	OUTAUX falling edge timing (OUTAUX pin)
0x5C	OUTAUX falling edge setting (OUTAUX pin)
0x5D	OUTx and SRx pin disable setting
0x5E	Password lock

Address	Name
<b>Digital Filter Programming Registers</b>	
0x5F	Soft start digital filter LF gain setting
0x60	Normal mode digital filter LF gain setting
0x61	Normal mode digital filter zero setting
0x62	Normal mode digital filter pole setting
0x63	Normal mode digital filter HF gain setting
0x64	Light load mode digital filter LF gain setting
0x65	Light load mode digital filter zero setting
0x66	Light load mode digital filter pole setting
0x67	Light load mode digital filter HF gain setting
<b>Adaptive Dead Time Registers</b>	
0x68	Dead time threshold
0x69	Dead Time 1
0x6A	Dead Time 2
0x6B	Dead Time 3
0x6C	Dead Time 4
0x6D	Dead Time 5
0x6E	Dead Time 6
0x6F	Dead Time 7
<b>EEPROM Registers</b>	
0x7B	EEPROM restore factory default register settings
0x7C	EEPROM X address
0x7D	EEPROM Y address
0x7E	EEPROM register

## レジスタの詳細説明

### 故障レジスタ

レジスタ 0x04～レジスタ 0x07 は、ラッチ型故障レジスタです。これらのレジスタでは、故障が解消したとき、フラグはリセットされません。レジスタの読出しによってのみ、フラグがクリアされます (ただし故障が解消されている場合)。ラッチ型ビットは、ロー・レベルからハイ・レベルへの変化でのみラッチされることに注意してください。また、故障が続いていないかぎり、I<sup>2</sup>C インターフェースを介して読出したときに、これらのレジスタ・ビットがクリアされることに注意してください。故障が解消された後ラッチ型故障レジスタを再度読出しして、レジスタがリセットされたことを確認することが推奨されます。

表 8. レジスタ 0x00—故障レジスタ 1 およびレジスタ 0x04—ラッチ型故障レジスタ 1 (1 = 故障、0 = 通常動作)

Bits	Name	R/W	Description	Register	Action
7	Power supply	R	1 = power supply is off. All PWM outputs are disabled. This bit stays high until the power supply is restarted.		None
6	OrFET	R	1 = OrFET control signal at the GATE pin (Pin 16) is off.	0x30	
5	PGOOD1 fault	R	1 = Power-Good 1 fault. At least one of the following flags has been set: power supply, CS1 fast OCP, CS1 accurate OCP, CS2 accurate OCP, UVP, local OVP, or load OVP.		None
4	PGOOD2 fault	R	1 = Power-Good 2 fault. At least one of the following flags has been set: power supply, OrFET, CS1 fast OCP, CS1 accurate OCP, CS2 accurate OCP, voltage continuity, UVP, accurate OrFET disable, ACSNS, external flag (FLAGIN), VCORE OV, VDD OV, local OVP, load OVP, OTP, CRC fault, and EEPROM unlocked. (The user can choose to ignore one or more flags. See Table 41 for more information.)	0x2D	None
3	SR off	R	Sync rects are disabled. This flag is set when one of the following cases is true: SR1 and SR2 are disabled by the user. The load current has fallen below the threshold in Register 0x3B. A flag that was configured to disable the sync rects has been set.	0x5D 0x3B 0x08 to 0x0D	None
2	CS1 fast OCP	R	CS1 current is above its fast overcurrent protection limit. This is a 1.2 V threshold on the CS1 pin. Fast OCP is a comparator.		Programmable
1	CS1 accurate OCP	R	CS1 current is above its accurate overcurrent protection limit.	0x22	Programmable
0	CS2 accurate OCP	R	CS2 current is above its accurate overcurrent protection limit.	0x26	Programmable

表 9. レジスタ 0x01—故障レジスタ 2 およびレジスタ 0x05—ラッチ型故障レジスタ 2 (1 = 故障、0 = 通常動作)

Bits	Name	R/W	Description	Register	Action
7	Voltage continuity	R	Voltage differential between VS1 and VS2 pins or between VS2 and VS3 pins is outside limits. Either $(VS1 - VS2) > 100$ mV or $(VS2 - VS3) > 100$ mV.		Programmable
6	UVP	R	VS1 is below its undervoltage limit.	0x34	Programmable
5	Accurate OrFET disable	R	Reverse voltage across CS2 pins is above limit. This is the accurate OrFET reverse voltage.	0x30	Programmable
4	VDD UV	R	VDD is below limit.		Immediate shutdown
3	VCORE OV	R	2.5 V VCORE is above limit.		Immediate shutdown
2	VDD OV	R	VDD is above limit. The I <sup>2</sup> C interface stays functional, but a PSON toggle is required to restart the power supply.	0x0E	Programmable
1	Load OVP	R	VS2 or VS3 is above its overvoltage limit.	0x33	Programmable
0	Local OVP	R	VS1 is above its overvoltage limit.	0x32	Programmable

表 10. レジスタ 0x02—故障レジスタ 3 およびレジスタ 0x06—ラッチ型故障レジスタ 3 (1 = 故障、0 = 通常動作)

Bits	Name	R/W	Description	Register	Action
7	OTP	R	Temperature is above OTP limit.	0x2F	Programmable
6	Reserved	R	Reserved.		
5	Share bus	R	Current share is outside regulation limit.	0x2A	Programmable
4	Constant current	R	Power supply is operating in constant current mode (constant current mode is enabled).	0x27	None
3	Reserved	R	Reserved.		
2	Line impedance	R	Line impedance between VS2 and VS3 is above limit.	0x35	None
1	Soft start filter	R	The soft start filter is in use.	0x5F	None
0	External flag	R	The external flag pin (FLAGIN) is set.		Programmable

表 11. レジスタ 0x03—故障レジスタ 4 およびレジスタ 0x07—ラッチ型故障レジスタ 4 (1 = 故障、0 = 通常動作)

Bits	Name	R/W	Description	Register	Action
7	Reserved	R	Reserved.		
6	Modulation	R	Modulation is at its minimum or maximum limit.	0x2E	None
5	Address	R	The ADD resistor is not correct.		None
4	Light load mode	R	The system is in light load mode.	0x3B	None
3	Reserved	R	Reserved.		
2	ACSNS	R	The ac sense timing or amplitude is not correct. The ac sense comparator has not tripped for one switching cycle.		Programmable
1	CRC fault	R	The EEPROM contents downloaded are incorrect.		Immediate shutdown
0	EEPROM unlocked	R	The EEPROM is unlocked.		None

表 12. レジスタ 0x08～レジスタ 0x0D—故障設定レジスタ

Register Name	Address	Bits	Flag	Shutdown Debounce
Fault Configuration Register 1	0x08	[7:4] [3:0]	CS1 fast OCP CS1 accurate OCP	See Register 0x27 in Table 35 See Register 0x0E in Table 14
Fault Configuration Register 2	0x09	[7:4] [3:0]	CS2 accurate OCP Load OVP (VS2 or VS3)	See Register 0x0E in Table 14 2 ms
Fault Configuration Register 3	0x0A	[7:4] [3:0]	Local OVP (VS1) External flag input (FLAGIN)	2 ms 100 ms
Fault Configuration Register 4	0x0B	[7:4] [3:0]	OTP UVP	100 ms 100 ms
Fault Configuration Register 5	0x0C	[7:4] [3:0]	Accurate OrFET reverse voltage Voltage continuity	100 ms 100 ms
Fault Configuration Register 6	0x0D	[7:4] [3:0]	Share bus ACSNS	100 ms 1 ms or 100 ms

レジスタ 0x08～レジスタ 0x0D を使うと、各フラグがセットされたときの応答を設定することができます。

表 13. レジスタ 0x08～レジスタ 0x0D—故障設定レジスタ・ビットの説明

Bits	Name	R/W	Description															
7	Timing	R/W	This bit specifies when the flag is set. 0 = after debounce. 1 = immediately.															
6	Resolve issue	R/W	This bit specifies when the part is reenabled after the fault that triggered the flag has been resolved. 0 = reenable after the power supply reenable time set in Register 0x0E[1:0]. 1 = remain disabled; power supply must be restarted to reenable.															
[5:4]	Action	R/W	These bits specify the action that the part takes in response to the flag.															
			<table border="1"> <thead> <tr> <th>Bit 5</th> <th>Bit 4</th> <th>Action</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>Ignore flag completely</td> </tr> <tr> <td>0</td> <td>1</td> <td>Disable SR1 and SR2</td> </tr> <tr> <td>1</td> <td>0</td> <td>Disable OrFET</td> </tr> <tr> <td>1</td> <td>1</td> <td>Disable power supply (disable all PWM outputs and OrFET GATE)</td> </tr> </tbody> </table>	Bit 5	Bit 4	Action	0	0	Ignore flag completely	0	1	Disable SR1 and SR2	1	0	Disable OrFET	1	1	Disable power supply (disable all PWM outputs and OrFET GATE)
Bit 5	Bit 4	Action																
0	0	Ignore flag completely																
0	1	Disable SR1 and SR2																
1	0	Disable OrFET																
1	1	Disable power supply (disable all PWM outputs and OrFET GATE)																
3	Timing	R/W	Same as Bit 7.															
2	Resolve issue	R/W	Same as Bit 6.															
[1:0]	Action	R/W	Same as Bits[5:4].															

表 14. レジスタ 0x0E—フラグ設定レジスタ

Bits	Name	R/W	Description																																				
7	VDD OV/VCORE OV flags ignore	R/W	Setting this bit means that the VDD OV and VCORE OV flags are ignored.																																				
6	VDD OV/VCORE OV restart	R/W	Setting this bit to 1 means that if the part shuts down, it will download the EEPROM contents again before restarting. Setting this bit to 0 means that if the part shuts down, it will not download the EEPROM contents again before restarting.																																				
5	VDD OV/VCORE OV debounce	R/W	Setting this bit to 1 means that there is a 500 $\mu$ s debounce before the part shuts down. Setting this bit to 0 means that there is a 2 $\mu$ s debounce before the part shuts down.																																				
[4:2]	Accurate OCP off delay for CS1 and CS2	R/W	When an accurate OCP flag is set, there is a delay before the corresponding action is performed. This delay is programmed using these bits.																																				
			<table border="1"> <thead> <tr> <th>Bit 4</th> <th>Bit 3</th> <th>Bit 2</th> <th>Debounce</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1.3 ms</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>13 ms</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>130 ms</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>260 ms</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>600 ms</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1.3 sec</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>2 sec</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>2.6 sec</td> </tr> </tbody> </table>	Bit 4	Bit 3	Bit 2	Debounce	0	0	0	1.3 ms	0	0	1	13 ms	0	1	0	130 ms	0	1	1	260 ms	1	0	0	600 ms	1	0	1	1.3 sec	1	1	0	2 sec	1	1	1	2.6 sec
Bit 4	Bit 3	Bit 2	Debounce																																				
0	0	0	1.3 ms																																				
0	0	1	13 ms																																				
0	1	0	130 ms																																				
0	1	1	260 ms																																				
1	0	0	600 ms																																				
1	0	1	1.3 sec																																				
1	1	0	2 sec																																				
1	1	1	2.6 sec																																				
[1:0]	Power supply reenable time	R/W	These bits specify the time delay before restarting the power supply after a shutdown. SR1, SR2, and OrFET are reenabled immediately.																																				
			<table border="1"> <thead> <tr> <th>Bit 1</th> <th>Bit 0</th> <th>Time (sec)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0.5</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>2</td> </tr> <tr> <td>1</td> <td>1</td> <td>4</td> </tr> </tbody> </table>	Bit 1	Bit 0	Time (sec)	0	0	0.5	0	1	1	1	0	2	1	1	4																					
Bit 1	Bit 0	Time (sec)																																					
0	0	0.5																																					
0	1	1																																					
1	0	2																																					
1	1	4																																					

表 15. レジスタ 0x0F—ソフト・スタート・ブランク故障フラグ・レジスタ

Bits	Name	R/W	Description
7	Blank SR	R/W	Setting this bit means that the SR1 and SR2 PWM outputs are not enabled until the end of the soft start ramp time.
6	Blank OTP	R/W	Setting this bit means that the OTP flag is ignored until the end of the soft start ramp time.
5	Blank FLAGIN	R/W	Setting this bit means that the FLAGIN flag is ignored until the end of the soft start ramp time.
4	Blank local OVP	R/W	Setting this bit means that the local OVP flag is ignored until the end of the soft start ramp time.
3	Blank load OVP	R/W	Setting this bit means that the load OVP flag is ignored until the end of the soft start ramp time.
2	Blank CS2 accurate OCP	R/W	Setting this bit means that the CS2 accurate OCP flag is ignored until the end of the soft start ramp time.
1	Blank CS1 accurate OCP	R/W	Setting this bit means that the CS1 accurate OCP flag is ignored until the end of the soft start ramp time.
0	Blank CS1 fast OCP	R/W	Setting this bit means that the CS1 fast OCP flag is ignored until the end of the soft start ramp time.

## 値レジスタ

表 16. レジスタ 0x10—先頭フラグ ID

Bits	Name	R/W	Description																																																																																																						
[7:4]	Reserved	R	Reserved.																																																																																																						
[3:0]	First flag ID	R	These bits record the flag that was set first. Restarting the power supply resets this register. Reading this register also resets the register.																																																																																																						
			<table border="1"> <thead> <tr> <th>Bit 3</th> <th>Bit 2</th> <th>Bit 1</th> <th>Bit 0</th> <th>Flag</th> <th>Error</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>None</td> <td>No flag</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>Register 0x01, Bit 3</td> <td>VCORE OV</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>Register 0x01, Bit 2</td> <td>VDD OV</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>Register 0x03, Bit 1</td> <td>EEPROM CRC</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>Register 0x00, Bit 2</td> <td>CS1 fast OCP</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>Register 0x00, Bit 1</td> <td>CS1 accurate OCP</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>Register 0x00, Bit 0</td> <td>CS2 accurate OCP</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>Register 0x01, Bit 1</td> <td>Load OVP</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>Register 0x01, Bit 0</td> <td>Local OVP</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>Register 0x02, Bit 0</td> <td>FLAGIN</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>Register 0x02, Bit 7</td> <td>OTP</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>Register 0x01, Bit 6</td> <td>UVP</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>Register 0x01, Bit 5</td> <td>Reverse voltage</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>Register 0x01, Bit 7</td> <td>Voltage continuity</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>Register 0x02, Bit 5</td> <td>Share bus</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>Register 0x03, Bit 2</td> <td>ACSNS</td> </tr> </tbody> </table>	Bit 3	Bit 2	Bit 1	Bit 0	Flag	Error	0	0	0	0	None	No flag	0	0	0	1	Register 0x01, Bit 3	VCORE OV	0	0	1	0	Register 0x01, Bit 2	VDD OV	0	0	1	1	Register 0x03, Bit 1	EEPROM CRC	0	1	0	0	Register 0x00, Bit 2	CS1 fast OCP	0	1	0	1	Register 0x00, Bit 1	CS1 accurate OCP	0	1	1	0	Register 0x00, Bit 0	CS2 accurate OCP	0	1	1	1	Register 0x01, Bit 1	Load OVP	1	0	0	0	Register 0x01, Bit 0	Local OVP	1	0	0	1	Register 0x02, Bit 0	FLAGIN	1	0	1	0	Register 0x02, Bit 7	OTP	1	0	1	1	Register 0x01, Bit 6	UVP	1	1	0	0	Register 0x01, Bit 5	Reverse voltage	1	1	0	1	Register 0x01, Bit 7	Voltage continuity	1	1	1	0	Register 0x02, Bit 5	Share bus	1	1	1	1	Register 0x03, Bit 2	ACSNS
Bit 3	Bit 2	Bit 1	Bit 0	Flag	Error																																																																																																				
0	0	0	0	None	No flag																																																																																																				
0	0	0	1	Register 0x01, Bit 3	VCORE OV																																																																																																				
0	0	1	0	Register 0x01, Bit 2	VDD OV																																																																																																				
0	0	1	1	Register 0x03, Bit 1	EEPROM CRC																																																																																																				
0	1	0	0	Register 0x00, Bit 2	CS1 fast OCP																																																																																																				
0	1	0	1	Register 0x00, Bit 1	CS1 accurate OCP																																																																																																				
0	1	1	0	Register 0x00, Bit 0	CS2 accurate OCP																																																																																																				
0	1	1	1	Register 0x01, Bit 1	Load OVP																																																																																																				
1	0	0	0	Register 0x01, Bit 0	Local OVP																																																																																																				
1	0	0	1	Register 0x02, Bit 0	FLAGIN																																																																																																				
1	0	1	0	Register 0x02, Bit 7	OTP																																																																																																				
1	0	1	1	Register 0x01, Bit 6	UVP																																																																																																				
1	1	0	0	Register 0x01, Bit 5	Reverse voltage																																																																																																				
1	1	0	1	Register 0x01, Bit 7	Voltage continuity																																																																																																				
1	1	1	0	Register 0x02, Bit 5	Share bus																																																																																																				
1	1	1	1	Register 0x03, Bit 2	ACSNS																																																																																																				

表 17. レジスタ 0x12—VS1/PWM 値(入力電圧)

Bits	Name	R/W	Description
[15:0]	Input voltage value	R	<p>This register contains the 16-bit input voltage information. Because the input voltage is normally on the other side of the isolation barrier from the ADP1043A, the part does not directly sense the input voltage. The input voltage is defined as the VS1 voltage divided by the PWM modulation. To read the input voltage information, this register must be read using two consecutive read operations. The eight bits of the first read return the eight MSBs of the input voltage information. The eight bits of the second read return the eight LSBs of the input voltage information. To translate this reading into the real input voltage, use the following equation:</p> $V_{INPUT} = (Input\_Voltage\_Value\_Reading/2643) \times ((R1 + R2)/R2)$ <p>where <math>R1</math> and <math>R2</math> are the external resistor divider values between the power supply output and the VS1 pin. This reading does not take into account an external turns ratio on the main transformer.</p>

表 18. レジスタ 0x13—CS1 値(入力電流)

Bits	Name	R/W	Description
[15:4]	Input current value	R	<p>This register contains the 12-bit input current information. This value is derived from a voltage measurement at the CS1 input. To read the input current information, this register must be read using two consecutive read operations. The eight bits of the first read return the eight MSBs of the input current information. The top four bits of the second read return the four LSBs of the input current information. The range of the CS1 input pin is from 0 V to 1.38 V. This value has 12 bits of resolution, which results in an LSB size of 337 <math>\mu</math>V. At 0 V input, the value in this register is 0 (0x000). At 1.3 V input, the value in this register is 3856 (0xF10). The nominal voltage at this pin is 1 V. At 1 V input, the value in this register is 2968 (0xB98).</p>
[3:0]	Reserved	R	Reserved.

表 19. レジスタ 0x14—CS1  $\times$  (VS1/PWM)値(入力電力)

Bits	Name	R/W	Description
[15:0]	Input power value	R	<p>This register contains the 16-bit input power information. This value is the product of the input voltage (VS1/PWM) multiplied by the input current (CS1), that is, (VS1/PWM) <math>\times</math> CS1. To read the input power information, this register must be read using two consecutive read operations. The eight bits of the first read return the eight MSBs of the input power information. The eight bits of the second read return the eight LSBs of the input power information.</p>

表 20. レジスタ 0x15—VS1 電圧値

Bits	Name	R/W	Description
[15:4]	VS1 voltage value	R	This register contains the 12-bit local output voltage information. This voltage is measured at the VS1 pin. To read the VS1 voltage information, this register must be read using two consecutive read operations. The eight bits of the first read return the eight MSBs of the local output voltage information. The top four bits of the second read return the four LSBs of the local output voltage information. The range of the VS1 input pin is from 0 V to 1.55 V. This value has 12 bits of resolution, which results in an LSB size of 378 $\mu$ V. At 0 V input, the value in this register is 0 (0x000). At 1.5 V input, the ADC output is 3964 (0xF7C). The recommended nominal voltage at this pin is 1 V. At 1 V input, the value in this register is 2643 (0xA53).
[3:0]	Reserved	R	Reserved.

表 21. レジスタ 0x16—VS2 電圧値

Bits	Name	R/W	Description
[15:4]	VS2 voltage value	R	This register contains the 12-bit load output voltage information. This voltage is measured at the VS2 pin. To read the load VS2 voltage information, this register must be read using two consecutive read operations. The eight bits of the first read return the eight MSBs of the load output voltage information. The top four bits of the second read return the four LSBs of the load output voltage information. The range of the VS2 input pin is from 0 V to 1.55 V. This value has 12 bits of resolution, which results in an LSB size of 378 $\mu$ V. At 0 V input, the value in this register is 0 (0x000). At 1.5 V input, the ADC output is 3964 (0xF7C). The recommended nominal voltage at this pin is 1 V. At 1 V input, the value in this register is 2643 (0xA53).
[3:0]	Reserved	R	Reserved.

表 22. レジスタ 0x17—VS3 電圧値(出力電圧)

Bits	Name	R/W	Description
[15:4]	VS3 voltage value	R	This register contains the 12-bit remote output voltage information. This value is the differential voltage between the VS3+ and VS3- pins. To read the remote output voltage information, this register must be read using two consecutive read operations. The eight bits of the first read return the eight MSBs of the remote output voltage information. The top four bits of the second read return the four LSBs of the remote output voltage information. The range of the VS3 input pin is from 0 V to 1.55 V. This value has 12 bits of resolution, which results in an LSB size of 378 $\mu$ V. At 0 V input, the value in this register is 0 (0x000). At 1.5 V input, the ADC output is 3964 (0xF7C). The recommended nominal voltage at this pin is 1 V. At 1 V input, the value in this register is 2643 (0xA53).
[3:0]	Reserved	R	Reserved.

表 23. レジスタ 0x18—CS2 値(出力電流)

Bits	Name	R/W	Description
[15:4]	Output current value	R	This register contains the 12-bit output current information. This information is the voltage drop across the sense resistor. The user must divide this value by the sense resistor value to obtain the current value. To read the output current information, this register must be read using two consecutive read operations. The eight bits of the first read return the eight MSBs of the output current information. The top four bits of the second read return the four LSBs of the output current information. The CS2 pin has an input range of 250 mV. This value has 12 bits of resolution, which results in an LSB size of 61.04 $\mu$ V. The nominal voltage setting in Bits[7:6] of Register 0x23 changes this LSB step size. If the nominal voltage range is from 75 mV to 150 mV, the LSB step size is 61.04 $\mu$ V. At a 30 mV input signal on CS2, the value in this register is 30 mV/61.04 $\mu$ V = 491 (0x1EB). If the nominal voltage range is from 37.5 mV to 75 mV, the LSB step size is 30.52 $\mu$ V. At a 30 mV input signal on CS2, the value in this register is 30 mV/30.52 $\mu$ V = 982 (0x3D6). If the nominal voltage range is from 0 mV to 37.5 mV, the LSB step size is 15.26 $\mu$ V. At a 30 mV input signal on CS2, the value in this register is 30 mV/15.26 $\mu$ V = 1966 (0x7AE).
[3:0]	Reserved	R	Reserved.

表 24. レジスタ 0x19—CS2 × VS3 値(出力電力)

Bits	Name	R/W	Description
[15:0]	Output power value	R	This register contains the 16-bit output power information. This value is the product of the remote output voltage value (VS3) and the output current reading (CS2). To read the output power information, this register must be read using two consecutive read operations. The eight bits of the first read return the eight MSBs of the output power information. The eight bits of the second read return the eight LSBs of the output power information. See the Power Readings section for the formulas needed to convert this digital reading into power information.

表 25. レジスタ 0x1A—RTD 温度値

Bits	Name	R/W	Description
[15:4]	Temperature value	R	This register contains the 12-bit output temperature information, as determined from the RTD pin. To read the temperature information, this register must be read using two consecutive read operations. The eight bits of the first read return the eight MSBs of the temperature information. The top four bits of the second read return the four LSBs of the temperature information. The range of the RTD pin is from 0 V to 1.55 V. This value has 12 bits of resolution, which results in an LSB size of 378 $\mu$ V. At 0 V input, the value in this register is 0 (0x000). At 1.5 V input, the ADC output is 3964 (0xF7C). The recommended nominal voltage at this pin is 1 V. At 1 V input, the value in this register is 2643 (0xA53).
[3:0]	Reserved	R	Reserved.

表 26. レジスタ 0x1D—シェア・バス値

Bits	Name	R/W	Description
[7:0]	Share bus value	R	This register contains the 8-bit share bus voltage information. If the power supply is the master, this register outputs 0.

表 27. レジスタ 0x1E—変調値

Bits	Name	R/W	Description
[7:0]	Modulation value	R	This register contains the 8-bit modulation information. It outputs the amount of modulation from 0% to 100% that is being placed on the modulating edges.

表 28. レジスタ 0x1F—ライン・インピーダンス値

Bits	Name	R/W	Description
[7:0]	Line impedance value	R	This register contains the 8-bit line impedance information. This value is $(VS2 - VS3)/CS2$ .

## 電流検出レジスタおよび電流限界値レジスタ

表 29. レジスタ 0x21—CS1 ゲイン調整

Bits	Name	R/W	Description
7	Gain polarity	R/W	1 = negative gain is introduced. 0 = positive gain is introduced.
[6:0]	CS1 gain trim	R/W	This value calibrates the primary side current sense gain. See the CS1 Trim section for more information.

表 30. レジスタ 0x22—CS1 高精度 OCP 限界値

Bits	Name	R/W	Description																																				
[7:5]	CS1 fast OCP blanking	R/W	These bits determine the blanking time for CS1 before fast OCP is enabled. This time is measured from the start of a switching cycle. It is synchronized with the rising edge of OUTB and OUTD. If using OUTAUX, the time is synchronized with the rising edge of OUTAUX.																																				
			<table border="1"> <thead> <tr> <th>Bit 7</th> <th>Bit 6</th> <th>Bit 5</th> <th>Delay (ns)</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>40</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>80</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>120</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>200</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>400</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>600</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>800</td></tr> </tbody> </table>	Bit 7	Bit 6	Bit 5	Delay (ns)	0	0	0	0	0	0	1	40	0	1	0	80	0	1	1	120	1	0	0	200	1	0	1	400	1	1	0	600	1	1	1	800
Bit 7	Bit 6	Bit 5	Delay (ns)																																				
0	0	0	0																																				
0	0	1	40																																				
0	1	0	80																																				
0	1	1	120																																				
1	0	0	200																																				
1	0	1	400																																				
1	1	0	600																																				
1	1	1	800																																				
[4:0]	CS1 accurate OCP	R/W	<p>These bits set the CS1 accurate OCP threshold. The digital word that is output from the CS1 ADC is compared with this threshold. If the CS1 ADC reading (Register 0x13) is greater than the OCP threshold set by these bits, the CS1 accurate OCP flag is set. This value should be programmed only after the CS1 trim has been performed. The range of these bits is from 0 to 31, that is, 0 V to 1.38 V in 43.125 mV steps.</p> <p>The following equation gives the threshold of the CS1 OCP:  <math>CS1\_OCP\_Threshold = (CS1\_OCP\_Limit/31) \times 1.38</math>            The range is programmable from 0% to 138% of the nominal voltage on the CS1 pin.            For example, if the CS1 OCP limit is 12 V, then  <math>CS1\_OCP\_Threshold = (12/31) \times 1.38 \text{ V} = 534 \text{ mV}</math>            Setting these bits to 0 gives an OCP limit of 0% of the nominal voltage on the CS1 pin.            Setting these bits to 10 gives an OCP limit of 44.5% of the nominal voltage on the CS1 pin.            Setting these bits to 31 gives an OCP limit of 138% of the nominal voltage on the CS1 pin.</p>																																				

表 31. レジスタ 0x23—CS2 ゲイン調整

Bits	Name	R/W	Description																
[7:6]	CS2 nominal	R/W	These bits set the nominal full-scale voltage drop across the sense resistor. This is Step 1 in the CS2 Offset Trimsection. These bits set the LSB step size of the CS2 ADC.																
			<table border="1"> <thead> <tr> <th>Bit 7</th> <th>Bit 6</th> <th>Nominal Voltage Drop Across R<sub>SENSE</sub> at Full Scale (mV)</th> <th>LSB Step Size (μV)</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>37.5</td><td>15.26</td></tr> <tr><td>0</td><td>1</td><td>75</td><td>30.52</td></tr> <tr><td>1</td><td>0</td><td>150</td><td>61.04</td></tr> </tbody> </table>	Bit 7	Bit 6	Nominal Voltage Drop Across R <sub>SENSE</sub> at Full Scale (mV)	LSB Step Size (μV)	0	0	37.5	15.26	0	1	75	30.52	1	0	150	61.04
Bit 7	Bit 6	Nominal Voltage Drop Across R <sub>SENSE</sub> at Full Scale (mV)	LSB Step Size (μV)																
0	0	37.5	15.26																
0	1	75	30.52																
1	0	150	61.04																
5	Gain polarity	R/W	1 = negative gain is introduced. 0 = positive gain is introduced.																
[4:0]	CS2 gain trim	R/W	This register calibrates the secondary side (CS2) current sense gain. It calibrates for errors in the sense resistor. This is Step 2 in the CS2 Offset Trim section.																

表 32. レジスタ 0x24—CS2 アナログ・オフセット調整

Bits	Name	R/W	Description
7	CS2 high side	R/W	This bit is set high if high-side current sensing is used. This bit is set low if low-side current sensing is used. This is Step 2 in the CS2 Offset Trim section.
6	Offset polarity	R/W	1 = negative offset is introduced. 0 = positive offset is introduced.
[5:0]	CS2 offset trim	R/W	This register calibrates the secondary side (CS2) current sense common-mode error. It calibrates for errors in the resistor divider network. This is Step 3 in the CS2 Offset Trim section.

表 33. レジスタ 0x25—CS2 デジタル調整

Bits	Name	R/W	Description
[7:0]	CS2 digital trim	R/W	This register contains the CS2 digital trim level. This value is used to calibrate the CS2 value that is read in Register 0x18. This is Step 4 in the CS2 Offset Trim section.

表 34. レジスタ 0x26—CS2 高精度 OCP 限界値

Bits	Name	R/W	Description
[7:0]	CS2 accurate OCP	R/W	This register sets the CS2 accurate OCP current level. This 8-bit number is compared to the CS2 value register (Register 0x18). When the CS2 value register is greater than the value in this register, the CS2 accurate OCP flag is set. The maximum setting of this register is 254 (0xFE). Setting this register to 255 (0xFF) is not allowed.

表 35. レジスタ 0x27—CS1 高速 OCP 設定

Bits	Name	R/W	Description		
[7:6]	CS1 fast OCP debounce	R/W	These bits set the CS1 fast OCP debounce value. This is the minimum time that the CS1 signal must be constantly above the fast OCP limit before the PWM outputs are shut down. When this happens, all PWM outputs are disabled for the remainder of the switching cycle.		
			<b>Bit 7</b>	<b>Bit 6</b>	<b>Debounce (ns)</b>
			0	0	0
			0	1	40
			1	0	80
1	1	120			
5	VS balance enable	R/W	Setting this bit enables volt-second balance for the main transformer (used for full-bridge configurations). This value introduces extra modulation on the OUTB and OUTD modulating waveforms to provide volt-second balance in both branches of the full bridge. For more information, see the Volt-Second Balance section.		
4	CS1 fast OCP bypass	R/W	Setting this bit to 1 means that the FLAGIN pin is used for CS1 fast OCP instead of the CS1 pin.		
3	Constant current mode	R/W	When this bit is set, constant current mode is enabled 10% below the CS2 accurate OCP limit. 1 = constant current mode enabled. 0 = constant current mode disabled.		
2	VS balance leading edge blanking	R/W	Setting this bit means that the current spike at the beginning of each CS1 reading is ignored by the volt-second balance circuit.		
[1:0]	CS1 fast OCP timeout	R/W	If the CS1 fast OCP comparator is set, all PWM outputs that are on during that time are immediately disabled for the remainder of the switching cycle. The PWM outputs resume normal operation at the beginning of the next switching cycle. These bits set the number of consecutive switching cycles for the comparator before the CS1 fast OCP flag is set.		
			<b>Bit 1</b>	<b>Bit 0</b>	<b>Number of Switching Cycles</b>
			0	0	1
			0	1	2
			1	0	4
1	1	8			

表 36. レジスタ 0x28—電圧-時間バランス・ゲイン設定

Bits	Name	R/W	Description		
[7:2]	Reserved	R/W	Reserved.		
[1:0]	VS balance gain setting	R/W	These bits set the gain of the volt-second balance circuit. The gain can be changed by a factor of 64. When these bits are set to 00, it takes approximately 700 ms to achieve volt-second balance. When these bits are set to 11, it takes approximately 10 ms to achieve volt-second balance.		
			Bit 1	Bit 0	Volt-Second Balance Gain
			0	0	1
			0	1	4
1	0	16			
1	1	64			

表 37. レジスタ 0x29—シェア・バス帯域幅

Bits	Name	R/W	Description
[7:5]	Reserved	R/W	Reserved.
4	Bit stream	R/W	1 = the current sense ADC reading is output on the SHAREo pin. This bit stream can be used for analog current sharing. 0 = the digital share bus signal is output on the SHAREo pin. This signal can be used for digital current sharing.
3	Current share select	R/W	1 = CS1 reading used for current share. 0 = CS2 reading used for current share.
[2:0]	Share bus bandwidth	R/W	These bits determine the amount of bandwidth dedicated to the share bus. The value 000 is the lowest possible bandwidth, and the value 111 is the highest possible bandwidth.

表 38. レジスタ 0x2A—シェア・バス設定

Bits	Name	R/W	Description
[7:4]	Number of bits dropped by master	R/W	These bits determine how much a master device reduces its output voltage to maintain current sharing.
[3:0]	Bit difference between master and slave	R/W	These bits determine how closely a slave tries to match the current of the master device. The higher the setting, the larger the distance that satisfies the current sharing criteria.

表 39. レジスタ 0x2B—温度ゲイン調整

Bits	Name	R/W	Description
[7:5]	Reserved	R/W	Set these bits to 000 for normal operation.
4	Gain polarity	R/W	1 = negative gain is introduced. 0 = positive gain is introduced.
[3:0]	Gain trim	R/W	This register calibrates the RTD ADC gain. It calibrates for errors in the ADC. This value allows $\pm 12\%$ trim to be realized.

表 40. レジスタ 0x2C—PSON/ソフト・スタート設定

Bits	Name	R/W	Description		
[7:6]	PS_ON setting	R/W	These bits determine which signal is used by the ADP1043A as the PS_ON control.		
			<b>Bit 7</b>	<b>Bit 6</b>	<b>PS_ON Setting</b>
			0	0	The ADP1043A is always on.
			0	1	Hardware PS_ON pin is used to enable or disable the power supply.
			1	0	Software PS_ON bit (Bit 5) is used to enable or disable the power supply.
1	1	Both software PS_ON bit and hardware PS_ON pin must be enabled before the ADP1043A is enabled.			
5	PS_ON	R/W	Software PS_ON bit. 0 = power supply off. 1 = power supply on.		
[4:3]	PS_ON delay	R/W	These bits set the time from when the PS_ON control signal is set to when the soft start begins.		
			<b>Bit 4</b>	<b>Bit 3</b>	<b>Delay (sec)</b>
			0	0	0
			0	1	0.5
			1	0	1
1	1	2			
2	Soft stop enable	R/W	If the soft stop feature is enabled, a soft stop occurs even if a fault flag causes a shutdown event. This may cause the ADP1043A to continue switching for longer than desired. The user needs to consider this factor before enabling the soft stop feature. 1 = soft stop time is the same as the soft start time. 0 = no active discharge time. The ADP1043A shuts down the PWM outputs immediately.		
[1:0]	Soft start	R/W	These bits set the soft start ramp time, that is, the amount of time that it takes for the power supply to reach its nominal value.		
			<b>Bit 1</b>	<b>Bit 0</b>	<b>Ramp Time</b>
			0	0	360 $\mu$ s
			0	1	10 ms
			1	0	20 ms
1	1	40 ms			

表 41. レジスタ 0x2D—ピン極性設定

Bits	Name	R/W	Description				
[7:4]	PGOOD1 on/off debounce	R/W	These bits set the debounce time before the PGOOD1 pin is enabled or disabled. At startup, PGOOD1 is not enabled until a period of time after the following signals are all within normal limits: power supply, CS1 fast OCP, CS1 accurate OCP, CS2 accurate OCP, UVP, local OVP, and load OVP. When PS_ON is disabled, there is a debounce before PGOOD1 is disabled.				
			<b>Bit 7</b>	<b>Bit 6</b>	<b>Bit 5</b>	<b>Bit 4</b>	<b>Delay Time (ms)</b>
			0	0	0	0	320
			0	1	0	1	200
			1	0	1	0	600
1	1	1	1	0			
3	PGOOD2 flags	R/W	0 = any flag can set the PGOOD2 pin. 1 = any flag that has not been configured to be ignored can set the PGOOD2 pin.				
2	FLAGIN polarity	R/W	This bit sets the polarity of the FLAGIN input pin: 1 = inverted (low = on).				
1	GATE polarity	R/W	This bit sets the polarity of the OrFET GATE control pin: 1 = inverted (low = on).				
0	PSON polarity	R/W	This bit sets the polarity of the PSON input pin: 1 = inverted (low = on).				

表 42. レジスタ 0x2E—変調限界値

Bits	Name	R/W	Description																																													
7	Full bridge	R/W	Enable this bit when operating in full-bridge mode. This mode distributes the modulation equally between two PWM outputs instead of one. It affects the modulation high limit and the modulation low limit settings.																																													
[6:4]	Modulation high limit	R/W	These bits set the maximum allowed modulation that is applied to a PWM output. The value is a percentage of the switching period.																																													
			<table border="1"> <thead> <tr> <th>Bit 6</th> <th>Bit 5</th> <th>Bit 4</th> <th>Limit (%)</th> <th>Limit (%) in Full-Bridge Mode</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Nominal + 12.5%</td> <td>Nominal + 6.25%</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Nominal + 25%</td> <td>Nominal + 12.5%</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Nominal + 31.25%</td> <td>Nominal + 15.625%</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Nominal + 37.5%</td> <td>Nominal + 18.75%</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Nominal + 43.75%</td> <td>Nominal + 21.875%</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Nominal + 46.88%</td> <td>Nominal + 23.44%</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>Nominal + 48.44%</td> <td>Nominal + 24.22%</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>Nominal + 50%</td> <td>Nominal + 25%</td> </tr> </tbody> </table>	Bit 6	Bit 5	Bit 4	Limit (%)	Limit (%) in Full-Bridge Mode	0	0	0	Nominal + 12.5%	Nominal + 6.25%	0	0	1	Nominal + 25%	Nominal + 12.5%	0	1	0	Nominal + 31.25%	Nominal + 15.625%	0	1	1	Nominal + 37.5%	Nominal + 18.75%	1	0	0	Nominal + 43.75%	Nominal + 21.875%	1	0	1	Nominal + 46.88%	Nominal + 23.44%	1	1	0	Nominal + 48.44%	Nominal + 24.22%	1	1	1	Nominal + 50%	Nominal + 25%
Bit 6	Bit 5	Bit 4	Limit (%)	Limit (%) in Full-Bridge Mode																																												
0	0	0	Nominal + 12.5%	Nominal + 6.25%																																												
0	0	1	Nominal + 25%	Nominal + 12.5%																																												
0	1	0	Nominal + 31.25%	Nominal + 15.625%																																												
0	1	1	Nominal + 37.5%	Nominal + 18.75%																																												
1	0	0	Nominal + 43.75%	Nominal + 21.875%																																												
1	0	1	Nominal + 46.88%	Nominal + 23.44%																																												
1	1	0	Nominal + 48.44%	Nominal + 24.22%																																												
1	1	1	Nominal + 50%	Nominal + 25%																																												
3	Reserved		Reserved.																																													
2	Pulse skipping	R/W	Setting this bit enables pulse skipping mode. If the ADP1043A requires a duty cycle lower than the modulation low limit, pulse skipping is enabled.																																													
[1:0]	Modulation low limit	R/W	These bits set the minimum allowed modulation that is applied to a PWM output. The value is a percentage of the switching period. If the modulation calculated is lower than this limit, pulse skipping can be enabled.																																													
			<table border="1"> <thead> <tr> <th>Bit 1</th> <th>Bit 0</th> <th>Limit (%)</th> <th>Limit (%) in Full-Bridge Mode</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>Nominal – 50%</td> <td>Nominal – 25%</td> </tr> <tr> <td>0</td> <td>1</td> <td>Nominal – 48.44%</td> <td>Nominal – 24.22%</td> </tr> <tr> <td>1</td> <td>0</td> <td>Nominal – 46.88%</td> <td>Nominal – 23.44%</td> </tr> <tr> <td>1</td> <td>1</td> <td>Nominal – 43.75%</td> <td>Nominal – 21.875%</td> </tr> </tbody> </table>	Bit 1	Bit 0	Limit (%)	Limit (%) in Full-Bridge Mode	0	0	Nominal – 50%	Nominal – 25%	0	1	Nominal – 48.44%	Nominal – 24.22%	1	0	Nominal – 46.88%	Nominal – 23.44%	1	1	Nominal – 43.75%	Nominal – 21.875%																									
Bit 1	Bit 0	Limit (%)	Limit (%) in Full-Bridge Mode																																													
0	0	Nominal – 50%	Nominal – 25%																																													
0	1	Nominal – 48.44%	Nominal – 24.22%																																													
1	0	Nominal – 46.88%	Nominal – 23.44%																																													
1	1	Nominal – 43.75%	Nominal – 21.875%																																													

表 43. レジスタ 0x2F—OTP 閾値

Bits	Name	R/W	Description																																																								
[7:0]	OTP threshold	R/W	The OTP threshold value is compared to the RTD ADC reading (Register 0x1A). If the RTD ADC reading is lower than the threshold set in this register, the OTP flag is set. (The flag is set below the threshold because using an NTC thermistor causes the reading to decrease as the temperature increases.) Each LSB typically corresponds to an increased OTP threshold of 3.04 mV. The RTD ADC range is 0 V to 1.55 V; the OTP threshold is 9.12 mV to 760 mV. There is a hysteresis of 16 mV on the OTP flag.																																																								
			<table border="1"> <thead> <tr> <th>Bit 7</th> <th>Bit 6</th> <th>...</th> <th>Bit 3</th> <th>Bit 2</th> <th>Bit 1</th> <th>Bit 0</th> <th>OTP Limit (mV)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>...</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>9.12</td> </tr> <tr> <td>0</td> <td>0</td> <td>...</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>12.16</td> </tr> <tr> <td>0</td> <td>0</td> <td>...</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>15.20</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> </tr> <tr> <td>1</td> <td>1</td> <td>...</td> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>756.96</td> </tr> <tr> <td>1</td> <td>1</td> <td>...</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>760</td> </tr> </tbody> </table>	Bit 7	Bit 6	...	Bit 3	Bit 2	Bit 1	Bit 0	OTP Limit (mV)	0	0	...	0	0	1	1	9.12	0	0	...	0	1	0	0	12.16	0	0	...	0	1	0	1	15.20	...	...	...	...	...	...	...	...	1	1	...	1	0	0	1	756.96	1	1	...	1	0	1	0	760
Bit 7	Bit 6	...	Bit 3	Bit 2	Bit 1	Bit 0	OTP Limit (mV)																																																				
0	0	...	0	0	1	1	9.12																																																				
0	0	...	0	1	0	0	12.16																																																				
0	0	...	0	1	0	1	15.20																																																				
...	...	...	...	...	...	...	...																																																				
1	1	...	1	0	0	1	756.96																																																				
1	1	...	1	0	1	0	760																																																				

表 44. レジスタ 0x30—OrFET

Bits	Name	R/W	Description				
[7:6]	Accurate OrFET threshold	R/W	These bits program the voltage difference between CS2+ and CS2- at which the accurate OrFET flag is set. The CS2+ and CS2- input pins are used to control this function.				
			<b>Bit 7</b>	<b>Bit 6</b>	<b>Voltage Drop Across Sense Resistor from CS2+ to CS2- (Threshold)</b>		
			0	0	0 mV		
			0	1	Reserved		
			1	0	Reserved		
			1	1	Reserved		
[5:4]	OrFET enable threshold	R/W	These bits program the voltage difference between VS1 and VS2 before the OrFET is enabled. The VS1 and VS2 input pins are used to control the OrFET enable function.				
			<b>Bit 5</b>	<b>Bit 4</b>	<b>% of ADC Full Range</b>	<b>Voltage Difference from VS1 to VS2</b>	
						<b>12 V V<sub>OUT</sub> (mV)</b>	<b>48 V V<sub>OUT</sub> (mV)</b>
			0	0	-0.5	-93	-372
			0	1	0	0	0
			1	0	1	186	744
			1	1	2	372	1488
[3:2]	Fast OrFET threshold	R/W	These bits program the threshold voltage difference between CS2+ and CS2- at which the OrFET is disabled. The CS2+ and CS2- input pins are used to control this function. The internal circuit is an analog comparator.				
			<b>Bit 3</b>	<b>Bit 2</b>	<b>Voltage Difference from CS2+ to CS2- (mV)</b>		
			0	0	-100		
			0	1	-75		
			1	0	-50		
			1	1	-25		
1	Fast OrFET debounce	R/W	These bits determine the debounce on the fast OrFET control before it disables the OrFET. 0 = 40 ns. 1 = 200 ns.				
0	Fast OrFET bypass	R/W	Set this bit to completely bypass the fast OrFET control. To also bypass the accurate OrFET disable control, the response to the accurate OrFET disable flag should be set to ignore.				

## 電圧検出レジスタ

表 45. レジスタ 0x31—VS3 電圧設定(リモート電圧)

Bits	Name	R/W	Description
[7:0]	VS3 voltage setting	R/W	This register is used to set the output voltage (voltage differential at the VS3+ and VS3- pins). Programmable from 0% to 155% of nominal voltage. Each LSB corresponds to a 0.6% increase. Setting this register to a value of 0xA5 gives an output voltage setting of 100% of the nominal voltage. This is the default value and is stored in this register when shipped from the factory. Updating the VS3 voltage setting is a two-stage process. First, the user must change the value in this register; this information is stored in a shadow register. To latch the new VS3 voltage setting into the state machine, the user must set the GO bit (Register 0x5D[0]).

表 46. レジスタ 0x32—VS1 過電圧限界値(OVP)

Bits	Name	R/W	Description		
[7:3]	VS1 OVP setting	R/W	Local overvoltage limit. This limit is programmable from 107.7% to 145.3% of the nominal VS1 voltage; 0x00 corresponds to 107.7%. Each LSB results in an increase of 1.21%. The VS1 OVP threshold is calculated as follows: $VS1\_OVP\_Threshold = [(89 + VS1\_OVP\_Setting)/128] \times 1.55 V$ For example, if the VS1 OVP setting is 10, then $VS1\_OVP\_Threshold = [(89 + 10)/128] \times 1.55 V = 1.2 V$ Setting these bits to 0 gives an OVP limit of 107.7% of the nominal VS1 voltage. Setting these bits to 10 gives an OVP limit of 120% of the nominal VS1 voltage. Setting these bits to 20 gives an OVP limit of 132% of the nominal VS1 voltage. Setting these bits to 31 gives an OVP limit of 145.3% of the nominal VS1 voltage.		
2	Reserved	R/W	Reserved.		
[1:0]	OVP sampling	R/W	The OVP flag is set if the average voltage during the OVP sampling period is greater than the OVP threshold. This OVP flag sampling period is 80 μs. The number of samples can be increased using these bits. If the number of samples is increased, the average voltage must be greater than the OVP threshold for each of those cycles. For example, if this value is set to two cycles, the average voltage must be greater than the OVP threshold for both cycles.		
			<b>Bit 1</b>	<b>Bit 0</b>	<b>Additional Sampling (μs)</b>
			0	0	0 (one sample sets the OVP flag)

Bits	Name	R/W	Description
			0 1 80 (two samples set the OVP flag)
			1 0 160 (three samples set the OVP flag)
			1 1 240 (four samples set the OVP flag)

表 47. レジスタ 0x33—VS2 および VS3 過電圧限界値(OVP)

Bits	Name	R/W	Description															
[7:3]	VS2 and VS3 OVP setting	R/W	<p>Load overvoltage limit. This limit is programmable from 107.7% to 145.3% of the nominal VS2 or VS3 voltage; 0x00 corresponds to 107.7%. Each LSB results in an increase of 1.21%. The VS2/VS3 OVP threshold is calculated as follows:</p> $VSx\_OVP\_Threshold = [(89 + VSx\_OVP\_Setting)/128] \times 1.55 V$ <p>For example, if the VS3 OVP setting is 10, then</p> $VS3\_OVP\_Threshold = [(89 + 10)/128] \times 1.55 V = 1.2 V$ <p>Setting these bits to 0 gives an OVP limit of 107.7% of the nominal VS2/VS3 voltage.            Setting these bits to 10 gives an OVP limit of 120% of the nominal VS2/VS3 voltage.            Setting these bits to 20 gives an OVP limit of 132% of the nominal VS2/VS3 voltage.            Setting these bits to 31 gives an OVP limit of 145.3% of the nominal VS2/VS3 voltage.</p>															
2	Regulating point	R/W	When this bit is set, the ADP1043A regulates from the VS3 node at all times. When this bit is not set, the ADP1043A uses the VS1 voltage as the regulating point during soft start and when the OrFET is disabled.															
[1:0]	OVP sampling	R/W	<p>The OVP flag is set if the average voltage during the OVP sampling period is greater than the OVP threshold. This OVP flag sampling period is 80 <math>\mu</math>s. The number of samples can be increased using these bits. If the number of samples is increased, the average voltage must be greater than the OVP threshold for each of those cycles. For example, if this value is set to two cycles, the average voltage must be greater than the OVP threshold for both cycles.</p> <table border="1"> <thead> <tr> <th>Bit 1</th> <th>Bit 0</th> <th>Additional Sampling (<math>\mu</math>s)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0 (one sample sets the OVP flag)</td> </tr> <tr> <td>0</td> <td>1</td> <td>80 (two samples set the OVP flag)</td> </tr> <tr> <td>1</td> <td>0</td> <td>160 (three samples set the OVP flag)</td> </tr> <tr> <td>1</td> <td>1</td> <td>240 (four samples set the OVP flag)</td> </tr> </tbody> </table>	Bit 1	Bit 0	Additional Sampling ( $\mu$ s)	0	0	0 (one sample sets the OVP flag)	0	1	80 (two samples set the OVP flag)	1	0	160 (three samples set the OVP flag)	1	1	240 (four samples set the OVP flag)
Bit 1	Bit 0	Additional Sampling ( $\mu$ s)																
0	0	0 (one sample sets the OVP flag)																
0	1	80 (two samples set the OVP flag)																
1	0	160 (three samples set the OVP flag)																
1	1	240 (four samples set the OVP flag)																

表 48. レジスタ 0x34—VS1 低電圧限界値(UVP)

Bits	Name	R/W	Description
7	End of cycle shutdown	R/W	<p>This bit is valid only when the OUTAUX pin is used for regulation. When any flag shuts down the power supply, the OUTAUX PWM is immediately shut down. This bit specifies when the other PWM outputs are shut down.</p> <p>1: All other PWM outputs are shut down at the end of the switching cycle.            0: All other PWM outputs are immediately shut down.</p>
[6:0]	VS1 UVP setting	R/W	<p>These bits set the UVP limit to one of 128 settings. The UVP limit can be programmed from 0% to 155% of the nominal VS1 voltage. Each LSB increases the voltage by <math>155\%/128 = 1.21\%</math>. In reality, there are 82 usable settings, which program the UVP threshold from 0% to 100% of the nominal VS1 voltage. The VS1 UVP threshold is calculated as follows:</p> $VS1\_UVP\_Threshold = [(VS1\_UVP\_Setting)/128] \times 1.55 V$ <p>For example, if the VS1 UVP setting is 60, then</p> $VS1\_UVP\_Threshold = [60/128] \times 1.55 V = 726 mV$ <p>Setting these bits to 0 gives a UVP limit of 0% of the nominal VS1 voltage.            Setting these bits to 66 (0x42) gives a UVP limit of 80% of the nominal VS1 voltage.            Setting these bits to 82 (0x52) gives a UVP limit of 100% of the nominal VS1 voltage.            Setting these bits to 127 (0x7F) gives a UVP limit of 155% of the nominal VS1 voltage.</p>

表 49. レジスタ 0x35—ライン・インピーダンス限界値

Bits	Name	R/W	Description
[7:0]	Line impedance limit	R/W	This value sets the threshold at which the line impedance flag is enabled. This 8-bit value is compared with the line impedance value (Register 0x1F). If the line impedance value exceeds this value, the line impedance flag is set (Register 0x02, Bit 2).

表 50. レジスタ 0x36—ロードライン・インピーダンス

Bits	Name	R/W	Description																																													
[7:4]	Reserved	R/W	Reserved.																																													
3	Enable	R/W	Set this bit to enable the load line.																																													
[2:0]	Load line	R/W	This value specifies how much the output voltage decreases from nominal at full load.																																													
			<table border="1"> <thead> <tr> <th>Bit 2</th> <th>Bit 1</th> <th>Bit 0</th> <th>Impedance Setting</th> <th>Equivalent Load Line (mΩ)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Setting 7</td> <td>51.5</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Setting 6</td> <td>26</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Setting 5</td> <td>12.5</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Setting 4</td> <td>6.25</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Setting 3</td> <td>3</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Setting 2</td> <td>1.5</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>Setting 1</td> <td>0.7</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>Setting 0</td> <td>0</td> </tr> </tbody> </table>	Bit 2	Bit 1	Bit 0	Impedance Setting	Equivalent Load Line (mΩ)	0	0	0	Setting 7	51.5	0	0	1	Setting 6	26	0	1	0	Setting 5	12.5	0	1	1	Setting 4	6.25	1	0	0	Setting 3	3	1	0	1	Setting 2	1.5	1	1	0	Setting 1	0.7	1	1	1	Setting 0	0
Bit 2	Bit 1	Bit 0	Impedance Setting	Equivalent Load Line (mΩ)																																												
0	0	0	Setting 7	51.5																																												
0	0	1	Setting 6	26																																												
0	1	0	Setting 5	12.5																																												
0	1	1	Setting 4	6.25																																												
1	0	0	Setting 3	3																																												
1	0	1	Setting 2	1.5																																												
1	1	0	Setting 1	0.7																																												
1	1	1	Setting 0	0																																												

表 51. レジスタ 0x38—VS1 調整

Bits	Name	R/W	Description
7	Trim polarity	R/W	1 = negative gain is introduced. 0 = positive gain is introduced.
[6:0]	VS1 trim	R/W	These bits set the amount of gain trim that is applied to the VS1 ADC reading. This register trims the voltage at the VS1 pin for external resistor tolerances. When there is 1 V on the VS1 pin, this register is trimmed until the VS1 voltage value register (Register 0x15) reads 2643 (0xA53).

表 52. レジスタ 0x39—VS2 調整

Bits	Name	R/W	Description
7	Trim polarity	R/W	1 = negative gain is introduced. 0 = positive gain is introduced.
[6:0]	VS2 trim	R/W	These bits set the amount of gain trim that is applied to the VS2 ADC reading. This register trims the voltage at the VS2 pin for external resistor tolerances. When there is 1 V on the VS2 pin, this register is trimmed until the VS2 voltage value register (Register 0x16) reads 2643 (0xA53).

表 53. レジスタ 0x3A—VS3 調整

Bits	Name	R/W	Description
7	Trim polarity	R/W	1 = negative gain is introduced. 0 = positive gain is introduced.
[6:0]	VS3 trim	R/W	These bits set the amount of gain trim that is applied to the VS3 ADC reading. This register trims the voltage at the VS3 pins for external resistor tolerances. When there is 1 V on each VS3 pin, this register is trimmed until the VS3 voltage value register (Register 0x17) reads 2643 (0xA53). The VS3 trim must be performed before the load OVP and load UVP trims are performed.

表 54. レジスタ 0x3B—軽負荷モード・無効設定

Bits	Name	R/W	Description																																																																		
7	Disable OUTAUX	R/W	Setting this bit means that OUTAUX is also disabled if the load current drops below the light load SR disable threshold.																																																																		
6	Disable OUTD	R/W	Setting this bit means that OUTD is also disabled if the load current drops below the light load SR disable threshold.																																																																		
5	Disable OUTC	R/W	Setting this bit means that OUTC is also disabled if the load current drops below the light load SR disable threshold.																																																																		
4	Disable OUTB	R/W	Setting this bit means that OUTB is also disabled if the load current drops below the light load SR disable threshold.																																																																		
3	Disable OUTA	R/W	Setting this bit means that OUTA is also disabled if the load current drops below the light load SR disable threshold.																																																																		
[2:0]	Light load SR disable	R/W	<p>These bits set the load current limit on the CS2 ADC below which the synchronous rectifier outputs (SR1 and SR2) are disabled. This value also determines the point at which the power supply goes into light load mode. Below this limit, the light load mode filter registers are used. Above this limit, the normal mode filter registers are used. This value is programmable from 0 mV to 46 mV of the CS2 ADC. The hysteresis on this signal is 8 mV. The settings for Bits[2:0] are shown in terms of the voltage across the CS2 pins, as well as the percentage of load current for the different nominal CS2 settings.</p> <table border="1"> <thead> <tr> <th rowspan="2">Bit 2</th> <th rowspan="2">Bit 1</th> <th rowspan="2">Bit 0</th> <th rowspan="2">% of Full Load</th> <th colspan="3">Threshold for Each Nominal CS2 Setting (mV)</th> </tr> <tr> <th>37.5 mV Setting</th> <th>75 mV Setting</th> <th>150 mV Setting</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>4</td> <td>1.5</td> <td>3</td> <td>6</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>8.5</td> <td>3.1</td> <td>6.3</td> <td>12.5</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>13</td> <td>4.9</td> <td>9.8</td> <td>19.5</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>18</td> <td>6.6</td> <td>13.3</td> <td>26.5</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>22</td> <td>8.3</td> <td>16.5</td> <td>33</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>26</td> <td>9.8</td> <td>19.5</td> <td>39</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>30</td> <td>11.5</td> <td>23</td> <td>46</td> </tr> </tbody> </table>	Bit 2	Bit 1	Bit 0	% of Full Load	Threshold for Each Nominal CS2 Setting (mV)			37.5 mV Setting	75 mV Setting	150 mV Setting	0	0	0	0	0	0	0	0	0	1	4	1.5	3	6	0	1	0	8.5	3.1	6.3	12.5	0	1	1	13	4.9	9.8	19.5	1	0	0	18	6.6	13.3	26.5	1	0	1	22	8.3	16.5	33	1	1	0	26	9.8	19.5	39	1	1	1	30	11.5	23	46
Bit 2	Bit 1	Bit 0	% of Full Load					Threshold for Each Nominal CS2 Setting (mV)																																																													
				37.5 mV Setting	75 mV Setting	150 mV Setting																																																															
0	0	0	0	0	0	0																																																															
0	0	1	4	1.5	3	6																																																															
0	1	0	8.5	3.1	6.3	12.5																																																															
0	1	1	13	4.9	9.8	19.5																																																															
1	0	0	18	6.6	13.3	26.5																																																															
1	0	1	22	8.3	16.5	33																																																															
1	1	0	26	9.8	19.5	39																																																															
1	1	1	30	11.5	23	46																																																															

## IDレジスタ

表 55. レジスタ 0x3C—シリコン・レビジョン ID

Bits	Name	R/W	Description
[7:0]	Silicon revision	R	This register contains the manufacturer's silicon revision code for the device. This value is used by the manufacturer for test purposes and should not be read from in normal operation.

表 56. レジスタ 0x3D—メーカー ID (パワーオン・デフォルト: 0x41)

Bits	Name	R/W	Description
[7:0]	Manufacturer ID code	R	This register contains the manufacturer's ID code for the device. It is used by the manufacturer for test purposes and should not be read from in normal operation. This value is hardwired to 0x41 to represent the Analog Devices ID code.

表 57. レジスタ 0x3E—デバイス ID (パワーオン・デフォルト: 0x43)

Bits	Name	R/W	Description
[7:0]	Device ID code	R	This register contains the ID code for the device. This value is hardwired to 0x43 to represent the ADP1043A.

## PWMレジスタおよび同期整流器タイミング・レジスタ

図 36、表 58～表 88 に、ADP1043Aから出力される幾つかのPWM信号の構成と設定を示します。一般に、 $t_1$ を0に設定し、さらに $t_1$ を他の信号の基準ポイントとして設定することが推奨されます。

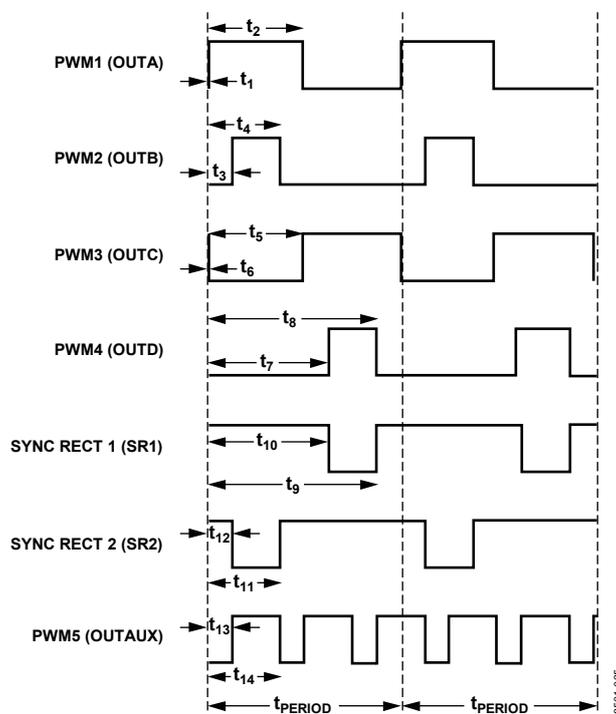


図 36.PWM タイミング図

表 58.レジスタ 0x3F—OUTAUX スイッチング周波数設定

Bits	Name	R/W	Description																																																																																																																																																										
[7:6]	Reserved	R/W	Reserved.																																																																																																																																																										
[5:0]	Switching frequency	R/W	This register sets the switching frequency of the OUTAUX signal.																																																																																																																																																										
			<table border="1"> <thead> <tr> <th>Bit 5</th> <th>Bit 4</th> <th>Bit 3</th> <th>Bit 2</th> <th>Bit 1</th> <th>Bit 0</th> <th>Frequency (kHz)</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>48.8</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>50.4</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>52.0</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>53.8</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>55.8</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>1</td><td>57.9</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td><td>60.1</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>1</td><td>62.5</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>65.1</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>1</td><td>67.9</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>1</td><td>0</td><td>71.0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>1</td><td>1</td><td>74.4</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td><td>0</td><td>78.1</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td><td>1</td><td>82.2</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>1</td><td>0</td><td>86.8</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>1</td><td>1</td><td>91.9</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>97.6</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td><td>100.8</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>1</td><td>0</td><td>104.1</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>1</td><td>1</td><td>107.7</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>0</td><td>0</td><td>111.6</td></tr> </tbody> </table>	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Frequency (kHz)	0	0	0	0	0	0	48.8	0	0	0	0	0	1	50.4	0	0	0	0	1	0	52.0	0	0	0	0	1	1	53.8	0	0	0	1	0	0	55.8	0	0	0	1	0	1	57.9	0	0	0	1	1	0	60.1	0	0	0	1	1	1	62.5	0	0	1	0	0	0	65.1	0	0	1	0	0	1	67.9	0	0	1	0	1	0	71.0	0	0	1	0	1	1	74.4	0	0	1	1	0	0	78.1	0	0	1	1	0	1	82.2	0	0	1	1	1	0	86.8	0	0	1	1	1	1	91.9	0	1	0	0	0	0	97.6	0	1	0	0	0	1	100.8	0	1	0	0	1	0	104.1	0	1	0	0	1	1	107.7	0	1	0	1	0	0	111.6
Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Frequency (kHz)																																																																																																																																																							
0	0	0	0	0	0	48.8																																																																																																																																																							
0	0	0	0	0	1	50.4																																																																																																																																																							
0	0	0	0	1	0	52.0																																																																																																																																																							
0	0	0	0	1	1	53.8																																																																																																																																																							
0	0	0	1	0	0	55.8																																																																																																																																																							
0	0	0	1	0	1	57.9																																																																																																																																																							
0	0	0	1	1	0	60.1																																																																																																																																																							
0	0	0	1	1	1	62.5																																																																																																																																																							
0	0	1	0	0	0	65.1																																																																																																																																																							
0	0	1	0	0	1	67.9																																																																																																																																																							
0	0	1	0	1	0	71.0																																																																																																																																																							
0	0	1	0	1	1	74.4																																																																																																																																																							
0	0	1	1	0	0	78.1																																																																																																																																																							
0	0	1	1	0	1	82.2																																																																																																																																																							
0	0	1	1	1	0	86.8																																																																																																																																																							
0	0	1	1	1	1	91.9																																																																																																																																																							
0	1	0	0	0	0	97.6																																																																																																																																																							
0	1	0	0	0	1	100.8																																																																																																																																																							
0	1	0	0	1	0	104.1																																																																																																																																																							
0	1	0	0	1	1	107.7																																																																																																																																																							
0	1	0	1	0	0	111.6																																																																																																																																																							

Bits	Name	R/W	Description						Frequency (kHz)
			Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
[5:0]	Switching frequency	R/W	0	1	0	1	0	1	115.7
			0	1	0	1	1	0	120.2
			0	1	0	1	1	1	125.0
			0	1	1	0	0	0	130.2
			0	1	1	0	0	1	135.8
			0	1	1	0	1	0	142.0
			0	1	1	0	1	1	148.8
			0	1	1	1	0	0	156.2
			0	1	1	1	0	1	164.5
			0	1	1	1	1	0	173.6
			0	1	1	1	1	1	183.8
			1	0	0	0	0	0	195.3
			1	0	0	0	0	1	201.6
			1	0	0	0	1	0	208.3
			1	0	0	0	1	1	215.5
			1	0	0	1	0	0	223.2
			1	0	0	1	0	1	231.5
			1	0	0	1	1	0	240.4
			1	0	0	1	1	1	250
			1	0	1	0	0	0	260
			1	0	1	0	0	1	271
			1	0	1	0	1	0	284
			1	0	1	0	1	1	297
			1	0	1	1	0	0	312
			1	0	1	1	0	1	328
			1	0	1	1	1	0	347
			1	0	1	1	1	1	367
			1	1	0	0	0	0	390
			1	1	0	0	0	1	416
			1	1	0	0	1	0	446
			1	1	0	0	1	1	480
			1	1	0	1	0	0	521
			1	1	0	1	0	1	568
			1	1	0	1	1	0	625

表 59. レジスタ 0x40—PWM スイッチング周波数設定

Bits	Name	R/W	Description						
[7:6]	Reserved	R/W	Reserved.						
[5:0]	Switching frequency	R/W	This register sets the switching frequency of all the PWM pins other than the OUTAUX pin.						
			Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Frequency (kHz)
			0	0	0	0	0	0	48.8
			0	0	0	0	0	1	50.4
			0	0	0	0	1	0	52.0
			0	0	0	0	1	1	53.8
			0	0	0	1	0	0	55.8
			0	0	0	1	0	1	57.9
			0	0	0	1	1	0	60.1
			0	0	0	1	1	1	62.5
			0	0	1	0	0	0	65.1
			0	0	1	0	0	1	67.9

Bits	Name	R/W	Description						Frequency (kHz)
			Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
[5:0]	Switching frequency	R/W	0	0	1	0	1	0	71.0
			0	0	1	0	1	1	74.4
			0	0	1	1	0	0	78.1
			0	0	1	1	0	1	82.2
			0	0	1	1	1	0	86.8
			0	0	1	1	1	1	91.9
			0	1	0	0	0	0	97.6
			0	1	0	0	0	1	100.8
			0	1	0	0	1	0	104.1
			0	1	0	0	1	1	107.7
			0	1	0	1	0	0	111.6
			0	1	0	1	0	1	115.7
			0	1	0	1	1	0	120.2
			0	1	0	1	1	1	125.0
			0	1	1	0	0	0	130.2
			0	1	1	0	0	1	135.8
			0	1	1	0	1	0	142.0
			0	1	1	0	1	1	148.8
			0	1	1	1	0	0	156.2
			0	1	1	1	0	1	164.5
			0	1	1	1	1	0	173.6
			0	1	1	1	1	1	183.8
			1	0	0	0	0	0	195.3
			1	0	0	0	0	1	201.6
			1	0	0	0	1	0	208.3
			1	0	0	0	1	1	215.5
			1	0	0	1	0	0	223.2
			1	0	0	1	0	1	231.5
			1	0	0	1	1	0	240.4
			1	0	0	1	1	1	250
			1	0	1	0	0	0	260
			1	0	1	0	0	1	271
			1	0	1	0	1	0	284
			1	0	1	0	1	1	297
			1	0	1	1	0	0	312
			1	0	1	1	0	1	328
			1	0	1	1	1	0	347
			1	0	1	1	1	1	367
			1	1	0	0	0	0	390
			1	1	0	0	0	1	416
			1	1	0	0	1	0	446
			1	1	0	0	1	1	480
			1	1	0	1	0	0	521
			1	1	0	1	0	1	568
			1	1	0	1	1	0	625
			1	1	1	1	1	1	Resonant mode

表 60. レジスタ 0x41—OUTA 立上がりエッジ・タイミング(OUTA ピン)

Bits	Name	R/W	Description
[7:0]	$t_1$	R/W	This register contains the eight MSBs of the 12-bit $t_1$ time. This value is always used with the top four bits of Register 0x42, which contains the four LSBs of the $t_1$ time. Each LSB corresponds to 5 ns resolution.

表 61. レジスタ 0x42—OUTA 立上がりエッジ設定(OUTA ピン)

Bits	Name	R/W	Description
[7:4]	$t_1$	R/W	These bits contain the four LSBs of the 12-bit $t_1$ time. This value is always used with the eight bits of Register 0x41, which contains the eight MSBs of the $t_1$ time. Each LSB corresponds to 5 ns resolution.
3	Modulate enable	R/W	1 = PWM modulation acts on the $t_1$ edge. 0 = no PWM modulation of the $t_1$ edge.
2	$t_1$ sign	R/W	1 = negative sign. Increase of PWM modulation moves $t_1$ right. 0 = positive sign. Increase of PWM modulation moves $t_1$ left.
[1:0]	Reserved	R/W	Reserved. These bits should be set to 00 for normal operation.

表 62. レジスタ 0x43—OUTA 立下がりエッジ・タイミング(OUTA ピン)

Bits	Name	R/W	Description
[7:0]	$t_2$	R/W	This register contains the eight MSBs of the 12-bit $t_2$ time. This value is always used with the top four bits of Register 0x44, which contains the four LSBs of the $t_2$ time. Each LSB corresponds to 5 ns resolution.

表 63. レジスタ 0x44—OUTA 立下がりエッジ設定(OUTA ピン)

Bits	Name	R/W	Description
[7:4]	$t_2$	R/W	These bits contain the four LSBs of the 12-bit $t_2$ time. This value is always used with the eight bits of Register 0x43, which contains the eight MSBs of the $t_2$ time. Each LSB corresponds to 5 ns resolution.
3	Modulate enable	R/W	1 = PWM modulation acts on the $t_2$ edge. 0 = no PWM modulation of the $t_2$ edge.
2	$t_2$ sign	R/W	1 = negative sign. Increase of PWM modulation moves $t_2$ right. 0 = positive sign. Increase of PWM modulation moves $t_2$ left.
[1:0]	Reserved	R/W	Reserved. These bits should be set to 00 for normal operation.

表 64. レジスタ 0x45—OUTB 立上がりエッジ・タイミング(OUTB ピン)

Bits	Name	R/W	Description
[7:0]	$t_3$	R/W	This register contains the eight MSBs of the 12-bit $t_3$ time. This value is always used with the top four bits of Register 0x46, which contains the four LSBs of the $t_3$ time. Each LSB corresponds to 5 ns resolution.

表 65. レジスタ 0x46—OUTB 立上がりエッジ設定(OUTB ピン)

Bits	Name	R/W	Description
[7:4]	$t_3$	R/W	These bits contain the four LSBs of the 12-bit $t_3$ time. This value is always used with the eight bits of Register 0x45, which contains the eight MSBs of the $t_3$ time. Each LSB corresponds to 5 ns resolution.
3	Modulate enable	R/W	1 = PWM modulation acts on the $t_3$ edge. 0 = no PWM modulation of the $t_3$ edge.
2	$t_3$ sign	R/W	1 = negative sign. Increase of PWM modulation moves $t_3$ right. 0 = positive sign. Increase of PWM modulation moves $t_3$ left.
[1:0]	Reserved	R/W	Reserved. These bits should be set to 00 for normal operation.

表 66. レジスタ 0x47—OUTB 立下がりエッジ・タイミング(OUTB ピン)

Bits	Name	R/W	Description
[7:0]	$t_4$	R/W	This register contains the eight MSBs of the 12-bit $t_4$ time. This value is always used with the top four bits of Register 0x48, which contains the four LSBs of the $t_4$ time. Each LSB corresponds to 5 ns resolution.

表 67. レジスタ 0x48—OUTB 立下がりエッジ設定(OUTB ピン)

Bits	Name	R/W	Description
[7:4]	$t_4$	R/W	These bits contain the four LSBs of the 12-bit $t_4$ time. This value is always used with the eight bits of Register 0x47, which contains the eight MSBs of the $t_4$ time. Each LSB corresponds to 5 ns resolution.
3	Modulate enable	R/W	1 = PWM modulation acts on the $t_4$ edge. 0 = no PWM modulation of the $t_4$ edge.
2	$t_4$ sign	R/W	1 = negative sign. Increase of PWM modulation moves $t_4$ right. 0 = positive sign. Increase of PWM modulation moves $t_4$ left.
[1:0]	Reserved	R/W	Reserved. These bits should be set to 00 for normal operation.

表 68. レジスタ 0x49—OUTC 立上がりエッジ・タイミング(OUTC ピン)

Bits	Name	R/W	Description
[7:0]	$t_5$	R/W	This register contains the eight MSBs of the 12-bit $t_5$ time. This value is always used with the top four bits of Register 0x4A, which contains the four LSBs of the $t_5$ time. Each LSB corresponds to 5 ns resolution.

表 69. レジスタ 0x4A—OUTC 立上がりエッジ設定(OUTC ピン)

Bits	Name	R/W	Description
[7:4]	$t_5$	R/W	These bits contain the four LSBs of the 12-bit $t_5$ time. This value is always used with the eight bits of Register 0x49, which contains the eight MSBs of the $t_5$ time. Each LSB corresponds to 5 ns resolution.
3	Modulate enable	R/W	1 = PWM modulation acts on the $t_5$ edge. 0 = no PWM modulation of the $t_5$ edge.
2	$t_5$ sign	R/W	1 = negative sign. Increase of PWM modulation moves $t_5$ right. 0 = positive sign. Increase of PWM modulation moves $t_5$ left.
[1:0]	Reserved	R/W	Reserved. These bits should be set to 00 for normal operation.

表 70. レジスタ 0x4B—OUTC 立下がりエッジ・タイミング(OUTC ピン)

Bits	Name	R/W	Description
[7:0]	$t_6$	R/W	This register contains the eight MSBs of the 12-bit $t_6$ time. This value is always used with the top four bits of Register 0x4C, which contains the four LSBs of the $t_6$ time. Each LSB corresponds to 5 ns resolution.

表 71. レジスタ 0x4C—OUTC 立下がりエッジ設定(OUTC ピン)

Bits	Name	R/W	Description
[7:4]	$t_6$	R/W	These bits contain the four LSBs of the 12-bit $t_6$ time. This value is always used with the eight bits of Register 0x4B, which contains the eight MSBs of the $t_6$ time. Each LSB corresponds to 5 ns resolution.
3	Modulate enable	R/W	1 = PWM modulation acts on the $t_6$ edge. 0 = no PWM modulation of the $t_6$ edge.
2	$t_6$ sign	R/W	1 = negative sign. Increase of PWM modulation moves $t_6$ right. 0 = positive sign. Increase of PWM modulation moves $t_6$ left.
[1:0]	Reserved	R/W	Reserved. These bits should be set to 00 for normal operation.

表 72. レジスタ 0x4D—OUTD 立上がりエッジ・タイミング(OUTD ピン)

Bits	Name	R/W	Description
[7:0]	$t_7$	R/W	This register contains the eight MSBs of the 12-bit $t_7$ time. This value is always used with the top four bits of Register 0x4E, which contains the four LSBs of the $t_7$ time. Each LSB corresponds to 5 ns resolution.

表 73. レジスタ 0x4E—OUTD 立上がりエッジ設定(OUTD ピン)

Bits	Name	R/W	Description
[7:4]	$t_7$	R/W	These bits contain the four LSBs of the 12-bit $t_7$ time. This value is always used with the eight bits of Register 0x4D, which contains the eight MSBs of the $t_7$ time. Each LSB corresponds to 5 ns resolution.
3	Modulate enable	R/W	1 = PWM modulation acts on the $t_7$ edge. 0 = no PWM modulation of the $t_7$ edge.
2	$t_7$ sign	R/W	1 = negative sign. Increase of PWM modulation moves $t_7$ right. 0 = positive sign. Increase of PWM modulation moves $t_7$ left.
[1:0]	Reserved	R/W	Reserved. These bits should be set to 00 for normal operation.

表 74. レジスタ 0x4F—OUTD 立下がりエッジ・タイミング(OUTD ピン)

Bits	Name	R/W	Description
[7:0]	$t_8$	R/W	This register contains the eight MSBs of the 12-bit $t_8$ time. This value is always used with the top four bits of Register 0x50, which contains the four LSBs of the $t_8$ time. Each LSB corresponds to 5 ns resolution.

表 75. レジスタ 0x50—OUTD 立下がりエッジ設定(OUTD ピン)

Bits	Name	R/W	Description
[7:4]	$t_8$	R/W	These bits contain the four LSBs of the 12-bit $t_8$ time. This value is always used with the eight bits of Register 0x4F, which contains the eight MSBs of the $t_8$ time. Each LSB corresponds to 5 ns resolution.
3	Modulate enable	R/W	1 = PWM modulation acts on the $t_8$ edge. 0 = no PWM modulation of the $t_8$ edge.
2	$t_8$ sign	R/W	1 = negative sign. Increase of PWM modulation moves $t_8$ right. 0 = positive sign. Increase of PWM modulation moves $t_8$ left.
[1:0]	Reserved	R/W	Reserved. These bits should be set to 00 for normal operation.

表 76. レジスタ 0x51—SR1 立上がりエッジ・タイミング(SR1 ピン)

Bits	Name	R/W	Description
[7:0]	$t_9$	R/W	This register contains the eight MSBs of the 12-bit $t_9$ time. This value is always used with the top four bits of Register 0x52, which contains the four LSBs of the $t_9$ time. Each LSB corresponds to 5 ns resolution.

表 77. レジスタ 0x52—SR1 立上がりエッジ設定(SR1 ピン)

Bits	Name	R/W	Description
[7:4]	$t_9$	R/W	These bits contain the four LSBs of the 12-bit $t_9$ time. This value is always used with the eight bits of Register 0x51, which contains the eight MSBs of the $t_9$ time. Each LSB corresponds to 5 ns resolution.
3	Modulate enable	R/W	1 = PWM modulation acts on the $t_9$ edge. 0 = no PWM modulation of the $t_9$ edge.
2	$t_9$ sign	R/W	1 = negative sign. Increase of PWM modulation moves $t_9$ right. 0 = positive sign. Increase of PWM modulation moves $t_9$ left.
1	VS balance with SR1 and SR2	R/W	1 = volt-second balance circuit modulates SR1 and SR2, along with OUTB and OUTD. When this bit is set, the volt-second balance modulation is applied to the rising edge of SR1 and SR2.
0	Reserved	R/W	Reserved. This bit should be set to 0 for normal operation.

表 78. レジスタ 0x53—SR1 立下がりエッジ・タイミング(SR1 ピン)

Bits	Name	R/W	Description
[7:0]	$t_{10}$	R/W	This register contains the eight MSBs of the 12-bit $t_{10}$ time. This value is always used with the top four bits of Register 0x54, which contains the four LSBs of the $t_{10}$ time. Each LSB corresponds to 5 ns resolution.

表 79. レジスタ 0x54—SR1 立下がりエッジ設定(SR1 ピン)

Bits	Name	R/W	Description
[7:4]	$t_{10}$	R/W	These bits contain the four LSBs of the 12-bit $t_{10}$ time. This value is always used with the eight bits of Register 0x53, which contains the eight MSBs of the $t_{10}$ time. Each LSB corresponds to 5 ns resolution.
3	Modulate enable	R/W	1 = PWM modulation acts on the $t_{10}$ edge. 0 = no PWM modulation of the $t_{10}$ edge.
2	$t_{10}$ sign	R/W	1 = negative sign. Increase of PWM modulation moves $t_{10}$ right. 0 = positive sign. Increase of PWM modulation moves $t_{10}$ left.
1	SR soft start setting	R/W	1 = SR signals perform a soft start every time that they are enabled. 0 = SR signals perform a soft start only the first time that they are enabled.
0	SR soft start enable	R/W	Setting this bit enables the soft start function for the SR signals.

表 80. レジスタ 0x55—SR2 立上がりエッジ・タイミング(SR2 ピン)

Bits	Name	R/W	Description
[7:0]	$t_{11}$	R/W	This register contains the eight MSBs of the 12-bit $t_{11}$ time. This value is always used with the top four bits of Register 0x56, which contains the four LSBs of the $t_{11}$ time. Each LSB corresponds to 5 ns resolution.

表 81. レジスタ 0x56—SR2 立上がりエッジ設定(SR2 ピン)

Bits	Name	R/W	Description
[7:4]	$t_{11}$	R/W	These bits contain the four LSBs of the 12-bit $t_{11}$ time. This value is always used with the eight bits of Register 0x55, which contains the eight MSBs of the $t_{11}$ time. Each LSB corresponds to 5 ns resolution.
3	Modulate enable	R/W	1 = PWM modulation acts on the $t_{11}$ edge. 0 = no PWM modulation of the $t_{11}$ edge.
2	$t_{11}$ sign	R/W	1 = negative sign. Increase of PWM modulation moves $t_{11}$ right. 0 = positive sign. Increase of PWM modulation moves $t_{11}$ left.
[1:0]	Reserved	R/W	Reserved. These bits should be set to 00 for normal operation.

表 82. レジスタ 0x57—SR2 立下がりエッジ・タイミング(SR2 ピン)

Bits	Name	R/W	Description
[7:0]	$t_{12}$	R/W	This register contains the eight MSBs of the 12-bit $t_{12}$ time. This value is always used with the top four bits of Register 0x58, which contains the four LSBs of the $t_{12}$ time. Each LSB corresponds to 5 ns resolution.

表 83. レジスタ 0x58—SR2 立下がりエッジ設定(SR2 ピン)

Bits	Name	R/W	Description
[7:4]	$t_{12}$	R/W	These bits contain the four LSBs of the 12-bit $t_{12}$ time. This value is always used with the eight bits of Register 0x57, which contains the eight MSBs of the $t_{12}$ time. Each LSB corresponds to 5 ns resolution.
3	Modulate enable	R/W	1 = PWM modulation acts on the $t_{12}$ edge. 0 = no PWM modulation of the $t_{12}$ edge.
2	$t_{12}$ sign	R/W	1 = negative sign. Increase of PWM modulation moves $t_{12}$ right. 0 = positive sign. Increase of PWM modulation moves $t_{12}$ left.
[1:0]	Reserved	R/W	Reserved. These bits should be set to 00 for normal operation.

表 84. レジスタ 0x59—OUTAUX 立上がりエッジ・タイミング(OUTAUX ピン)

Bits	Name	R/W	Description
[7:0]	$t_{13}$	R/W	This register contains the eight MSBs of the 12-bit $t_{13}$ time. This value is always used with the top four bits of Register 0x5A, which contains the four LSBs of the $t_{13}$ time. Each LSB corresponds to 5 ns resolution.

表 85. レジスタ 0x5A—OUTAUX 立上がりエッジ設定(OUTAUX ピン)

Bits	Name	R/W	Description
[7:4]	$t_{13}$	R/W	These bits contain the four LSBs of the 12-bit $t_{13}$ time. This value is always used with the eight bits of Register 0x59, which contains the eight MSBs of the $t_{13}$ time. Each LSB corresponds to 5 ns resolution.
3	Modulate enable	R/W	1 = PWM modulation acts on the $t_{13}$ edge. 0 = no PWM modulation of the $t_{13}$ edge.
2	$t_{13}$ sign	R/W	1 = negative sign. Increase of PWM modulation moves $t_{13}$ right. 0 = positive sign. Increase of PWM modulation moves $t_{13}$ left.
[1:0]	Reserved	R/W	Reserved. Set these bits to 00 for normal operation.

表 86. レジスタ 0x5B—OUTAUX 立下がりエッジ・タイミング(OUTAUX ピン)

Bits	Name	R/W	Description
[7:0]	$t_{14}$	R/W	This register contains the eight MSBs of the 12-bit $t_{14}$ time. This value is always used with the top four bits of Register 0x5C, which contains the four LSBs of the $t_{14}$ time. Each LSB corresponds to 5 ns resolution.

表 87. レジスタ 0x5C—OUTAUX 立下がりエッジ設定(OUTAUX ピン)

Bits	Name	R/W	Description
[7:4]	$t_{14}$	R/W	These bits contain the four LSBs of the 12-bit $t_{14}$ time. This value is always used with the eight bits of Register 0x5B, which contains the eight MSBs of the $t_{14}$ time. Each LSB corresponds to 5 ns resolution.
3	Modulate enable	R/W	1 = PWM modulation acts on the $t_{14}$ edge. 0 = no PWM modulation of the $t_{14}$ edge.
2	$t_{14}$ sign	R/W	1 = negative sign. Increase of PWM modulation moves $t_{14}$ right. 0 = positive sign. Increase of PWM modulation moves $t_{14}$ left.
1	Regulate with OUTAUX	R/W	1 = control loop PWM modulation is regulated by OUTAUX. When this bit is set, the CS1 blanking signal is synchronized with OUTAUX. 0 = control loop PWM modulation is regulated by OUTA, OUTB, OUTC, OUTD, SR1, and SR2 (normal mode).
0	Reserved	R/W	Reserved. Set this bit to 0 for normal operation.

表 88. レジスタ 0x5D—OUTx および SRx ピン・無効設定

Bits	Name	R/W	Description
7	OUTAUX disable	R/W	Setting this bit disables the OUTAUX output.
6	SR2 disable	R/W	Setting this bit disables the SR2 output.
5	SR1 disable	R/W	Setting this bit disables the SR1 output.
4	OUTD disable	R/W	Setting this bit disables the OUTD output.
3	OUTC disable	R/W	Setting this bit disables the OUTC output.
2	OUTB disable	R/W	Setting this bit disables the OUTB output.
1	OUTA disable	R/W	Setting this bit disables the OUTA output.
0	GO	W	This bit latches in all registers from Address 0x3F to Address 0x5D. This bit prevents the PWM timing from being temporarily incorrect, if changing PWM timing while the power supply is on. This bit also latches in any changes made to Register 0x31 (VS3 voltage setting).

表 89.レジスタ 0x5E—パスワード・ロック

Bits	Name	R/W	Description
[7:0]	Password	W	This register contains the 8-bit EEPROM lock password. This password is used to protect the register contents from being changed. The EEPROM is always locked. When the EEPROM downloads its contents to the registers, the password is also downloaded. If the user writes the same password to this register twice, the EEPROM is unlocked and can be updated. To lock the EEPROM again, the user must write any value other than the password value into this register.

## デジタル・フィルタ設定レジスタ

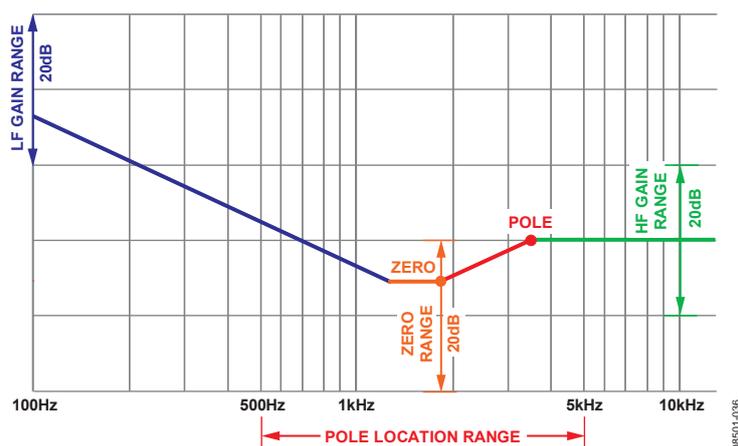


図 37.デジタル・フィルタ・プログラマブル性

表 90.レジスタ 0x5F—ソフト・スタート・デジタル・フィルタ LF ゲイン設定

Bits	Name	R/W	Description		
[7:2]	Reserved	R/W	Reserved.		
[1:0]	Soft start filter gain	R/W	These bits set the gain of the low-pass digital filter that is used during soft start.		
			<b>Bit 1</b>	<b>Bit 0</b>	<b>Filter Gain</b>
			0	0	1
			0	1	2
			1	0	4
1	1	8			

表 91.レジスタ 0x60—ノーマル・モード・デジタル・フィルタ LF ゲイン設定

Bits	Name	R/W	Description
[7:0]	LF gain setting	R/W	This register determines the low frequency gain of the loop response. Programmable over a 20 dB range. Each LSB corresponds to a 0.3 dB increase. See Figure 37.

表 92.レジスタ 0x61—ノーマル・モード・デジタル・フィルタ・ゼロ設定

Bits	Name	R/W	Description
[7:0]	Zero setting	R/W	This register determines the position of the final 0. See Figure 37.

表 93.レジスタ 0x62—ノーマル・モード・デジタル・フィルタ Pole 設定

Bits	Name	R/W	Description
[7:0]	Pole location	R/W	This register determines the position of the final pole. See Figure 37.

表 94. レジスタ 0x63—ノーマル・モード・デジタル・フィルタ HF ゲイン設定

Bits	Name	R/W	Description
[7:0]	HF gain setting	R/W	This register determines the high frequency gain of the loop response. Programmable over a 20 dB range. Each LSB corresponds to a 0.3 dB increase. See Figure 37.

表 95. レジスタ 0x64—軽負荷モード・デジタル・フィルタ LF ゲイン設定

Bits	Name	R/W	Description
[7:0]	LF gain setting	R/W	This register determines the low frequency gain of the loop response. Programmable over a 20 dB range. Each LSB corresponds to a 0.3 dB increase. See Figure 37.

表 96. レジスタ 0x65—軽負荷モード・デジタル・フィルタ・ゼロ設定

Bits	Name	R/W	Description
[7:0]	Zero setting	R/W	This register determines the position of the final 0. See Figure 37.

表 97. レジスタ 0x66—軽負荷モード・デジタル・フィルタ極設定

Bits	Name	R/W	Description
[7:0]	Pole location	R/W	This register determines the position of the final pole. See Figure 37.

表 98. レジスタ 0x67—軽負荷モード・デジタル・フィルタ HF ゲイン設定

Bits	Name	R/W	Description
[7:0]	HF gain setting	R/W	This register determines the high frequency gain of the loop response. Programmable over a 20 dB range. Each LSB corresponds to a 0.3 dB increase. See Figure 37.

## 適応型デッドタイム・レジスタ

表 99. レジスタ 0x68—デッドタイム・閾値

Bits	Name	R/W	Description					
[7:3]	Reserved	R/W	Reserved.					
[2:0]	Adaptive dead time threshold	R/W	This value determines the adaptive dead time threshold. Below this threshold, the offsets from Register 0x69 to Register 0x6F are introduced.					
			Threshold for Each Nominal CS2 Setting (mV)					
			Bit 2	Bit 1	Bit 0	37.5 mV Setting	75 mV Setting	150 mV Setting
			0	0	0	0	0	0
			0	0	1	3.9	7.8	15.6
			0	1	0	7.8	15.6	31.25
			0	1	1	11.7	23.5	47
			1	0	0	15.5	31	62.5
			1	0	1	19.5	39	78
			1	1	0	23.5	47	94
1	1	1	27	54	109			

表 100. レジスタ 0x69—デッドタイム 1

Bits	Name	R/W	Description			
7	t <sub>1</sub> polarity	R/W	0 = positive polarity; 1 = negative polarity.			
[6:4]	t <sub>1</sub> offset	R/W	This value determines the t <sub>1</sub> offset from the nominal timing.			
			Bit 6	Bit 5	Bit 4	Offset (ns)
			0	0	0	0
			0	0	1	5
			0	1	0	10
			0	1	1	15
			1	0	0	20
			1	0	1	25
			1	1	0	30
			1	1	1	35
3	t <sub>2</sub> polarity	R/W	0 = positive polarity; 1 = negative polarity.			
[2:0]	t <sub>2</sub> offset	R/W	This value determines the t <sub>2</sub> offset from the nominal timing.			
			Bit 2	Bit 1	Bit 0	Offset (ns)
			0	0	0	0
			0	0	1	5
			0	1	0	10
			0	1	1	15
			1	0	0	20
			1	0	1	25
			1	1	0	30
			1	1	1	35

表 101. レジスタ 0x6A—デッドタイム 2

Bits	Name	R/W	Description																																				
7	t <sub>3</sub> polarity	R/W	0 = positive polarity; 1 = negative polarity.																																				
[6:4]	t <sub>3</sub> offset	R/W	This value determines the t <sub>3</sub> offset from the nominal timing.																																				
			<table border="1"> <thead> <tr> <th>Bit 6</th> <th>Bit 5</th> <th>Bit 4</th> <th>Offset (ns)</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>5</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>10</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>15</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>20</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>25</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>30</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>35</td></tr> </tbody> </table>	Bit 6	Bit 5	Bit 4	Offset (ns)	0	0	0	0	0	0	1	5	0	1	0	10	0	1	1	15	1	0	0	20	1	0	1	25	1	1	0	30	1	1	1	35
Bit 6	Bit 5	Bit 4	Offset (ns)																																				
0	0	0	0																																				
0	0	1	5																																				
0	1	0	10																																				
0	1	1	15																																				
1	0	0	20																																				
1	0	1	25																																				
1	1	0	30																																				
1	1	1	35																																				
3	t <sub>4</sub> polarity	R/W	0 = positive polarity; 1 = negative polarity.																																				
[2:0]	t <sub>4</sub> offset	R/W	This value determines the t <sub>4</sub> offset from the nominal timing.																																				
			<table border="1"> <thead> <tr> <th>Bit 2</th> <th>Bit 1</th> <th>Bit 0</th> <th>Offset (ns)</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>5</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>10</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>15</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>20</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>25</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>30</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>35</td></tr> </tbody> </table>	Bit 2	Bit 1	Bit 0	Offset (ns)	0	0	0	0	0	0	1	5	0	1	0	10	0	1	1	15	1	0	0	20	1	0	1	25	1	1	0	30	1	1	1	35
Bit 2	Bit 1	Bit 0	Offset (ns)																																				
0	0	0	0																																				
0	0	1	5																																				
0	1	0	10																																				
0	1	1	15																																				
1	0	0	20																																				
1	0	1	25																																				
1	1	0	30																																				
1	1	1	35																																				

表 102. レジスタ 0x6B—デッドタイム 3

Bits	Name	R/W	Description																																				
7	t <sub>5</sub> polarity	R/W	0 = positive polarity; 1 = negative polarity.																																				
[6:4]	t <sub>5</sub> offset	R/W	This value determines the t <sub>5</sub> offset from the nominal timing.																																				
			<table border="1"> <thead> <tr> <th>Bit 6</th> <th>Bit 5</th> <th>Bit 4</th> <th>Offset (ns)</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>5</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>10</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>15</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>20</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>25</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>30</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>35</td></tr> </tbody> </table>	Bit 6	Bit 5	Bit 4	Offset (ns)	0	0	0	0	0	0	1	5	0	1	0	10	0	1	1	15	1	0	0	20	1	0	1	25	1	1	0	30	1	1	1	35
Bit 6	Bit 5	Bit 4	Offset (ns)																																				
0	0	0	0																																				
0	0	1	5																																				
0	1	0	10																																				
0	1	1	15																																				
1	0	0	20																																				
1	0	1	25																																				
1	1	0	30																																				
1	1	1	35																																				
3	t <sub>6</sub> polarity	R/W	0 = positive polarity; 1 = negative polarity.																																				
[2:0]	t <sub>6</sub> offset	R/W	This value determines the t <sub>6</sub> offset from the nominal timing.																																				
			<table border="1"> <thead> <tr> <th>Bit 2</th> <th>Bit 1</th> <th>Bit 0</th> <th>Offset (ns)</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>5</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>10</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>15</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>20</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>25</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>30</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>35</td></tr> </tbody> </table>	Bit 2	Bit 1	Bit 0	Offset (ns)	0	0	0	0	0	0	1	5	0	1	0	10	0	1	1	15	1	0	0	20	1	0	1	25	1	1	0	30	1	1	1	35
Bit 2	Bit 1	Bit 0	Offset (ns)																																				
0	0	0	0																																				
0	0	1	5																																				
0	1	0	10																																				
0	1	1	15																																				
1	0	0	20																																				
1	0	1	25																																				
1	1	0	30																																				
1	1	1	35																																				

表 103. レジスタ 0x6C—デッドタイム 4

Bits	Name	R/W	Description																																				
7	$t_7$ polarity	R/W	0 = positive polarity; 1 = negative polarity.																																				
[6:4]	$t_7$ offset	R/W	This value determines the $t_7$ offset from the nominal timing.																																				
			<table border="1"> <thead> <tr> <th>Bit 6</th> <th>Bit 5</th> <th>Bit 4</th> <th>Offset (ns)</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>5</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>10</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>15</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>20</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>25</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>30</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>35</td></tr> </tbody> </table>	Bit 6	Bit 5	Bit 4	Offset (ns)	0	0	0	0	0	0	1	5	0	1	0	10	0	1	1	15	1	0	0	20	1	0	1	25	1	1	0	30	1	1	1	35
Bit 6	Bit 5	Bit 4	Offset (ns)																																				
0	0	0	0																																				
0	0	1	5																																				
0	1	0	10																																				
0	1	1	15																																				
1	0	0	20																																				
1	0	1	25																																				
1	1	0	30																																				
1	1	1	35																																				
3	$t_8$ polarity	R/W	0 = positive polarity; 1 = negative polarity.																																				
[2:0]	$t_8$ offset	R/W	This value determines the $t_8$ offset from the nominal timing.																																				
			<table border="1"> <thead> <tr> <th>Bit 2</th> <th>Bit 1</th> <th>Bit 0</th> <th>Offset (ns)</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>5</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>10</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>15</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>20</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>25</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>30</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>35</td></tr> </tbody> </table>	Bit 2	Bit 1	Bit 0	Offset (ns)	0	0	0	0	0	0	1	5	0	1	0	10	0	1	1	15	1	0	0	20	1	0	1	25	1	1	0	30	1	1	1	35
Bit 2	Bit 1	Bit 0	Offset (ns)																																				
0	0	0	0																																				
0	0	1	5																																				
0	1	0	10																																				
0	1	1	15																																				
1	0	0	20																																				
1	0	1	25																																				
1	1	0	30																																				
1	1	1	35																																				

表 104. レジスタ 0x6D—デッドタイム 5

Bits	Name	R/W	Description																																				
7	$t_9$ polarity	R/W	0 = positive polarity; 1 = negative polarity.																																				
[6:4]	$t_9$ offset	R/W	This value determines the $t_9$ offset from the nominal timing.																																				
			<table border="1"> <thead> <tr> <th>Bit 6</th> <th>Bit 5</th> <th>Bit 4</th> <th>Offset (ns)</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>5</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>10</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>15</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>20</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>25</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>30</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>35</td></tr> </tbody> </table>	Bit 6	Bit 5	Bit 4	Offset (ns)	0	0	0	0	0	0	1	5	0	1	0	10	0	1	1	15	1	0	0	20	1	0	1	25	1	1	0	30	1	1	1	35
Bit 6	Bit 5	Bit 4	Offset (ns)																																				
0	0	0	0																																				
0	0	1	5																																				
0	1	0	10																																				
0	1	1	15																																				
1	0	0	20																																				
1	0	1	25																																				
1	1	0	30																																				
1	1	1	35																																				
3	$t_{10}$ polarity	R/W	0 = positive polarity; 1 = negative polarity.																																				
[2:0]	$t_{10}$ offset	R/W	This value determines the $t_{10}$ offset from the nominal timing.																																				
			<table border="1"> <thead> <tr> <th>Bit 2</th> <th>Bit 1</th> <th>Bit 0</th> <th>Offset (ns)</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>5</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>10</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>15</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>20</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>25</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>30</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>35</td></tr> </tbody> </table>	Bit 2	Bit 1	Bit 0	Offset (ns)	0	0	0	0	0	0	1	5	0	1	0	10	0	1	1	15	1	0	0	20	1	0	1	25	1	1	0	30	1	1	1	35
Bit 2	Bit 1	Bit 0	Offset (ns)																																				
0	0	0	0																																				
0	0	1	5																																				
0	1	0	10																																				
0	1	1	15																																				
1	0	0	20																																				
1	0	1	25																																				
1	1	0	30																																				
1	1	1	35																																				

表 105. レジスタ 0x6E—デッドタイム 6

Bits	Name	R/W	Description																																				
7	t <sub>11</sub> polarity	R/W	0 = positive polarity; 1 = negative polarity.																																				
[6:4]	t <sub>11</sub> offset	R/W	This value determines the t <sub>11</sub> offset from the nominal timing.																																				
			<table border="1"> <thead> <tr> <th>Bit 6</th> <th>Bit 5</th> <th>Bit 4</th> <th>Offset (ns)</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>5</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>10</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>15</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>20</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>25</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>30</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>35</td></tr> </tbody> </table>	Bit 6	Bit 5	Bit 4	Offset (ns)	0	0	0	0	0	0	1	5	0	1	0	10	0	1	1	15	1	0	0	20	1	0	1	25	1	1	0	30	1	1	1	35
Bit 6	Bit 5	Bit 4	Offset (ns)																																				
0	0	0	0																																				
0	0	1	5																																				
0	1	0	10																																				
0	1	1	15																																				
1	0	0	20																																				
1	0	1	25																																				
1	1	0	30																																				
1	1	1	35																																				
3	t <sub>12</sub> polarity	R/W	0 = positive polarity; 1 = negative polarity.																																				
[2:0]	t <sub>12</sub> offset	R/W	This value determines the t <sub>12</sub> offset from the nominal timing.																																				
			<table border="1"> <thead> <tr> <th>Bit 2</th> <th>Bit 1</th> <th>Bit 0</th> <th>Offset (ns)</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>5</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>10</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>15</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>20</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>25</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>30</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>35</td></tr> </tbody> </table>	Bit 2	Bit 1	Bit 0	Offset (ns)	0	0	0	0	0	0	1	5	0	1	0	10	0	1	1	15	1	0	0	20	1	0	1	25	1	1	0	30	1	1	1	35
Bit 2	Bit 1	Bit 0	Offset (ns)																																				
0	0	0	0																																				
0	0	1	5																																				
0	1	0	10																																				
0	1	1	15																																				
1	0	0	20																																				
1	0	1	25																																				
1	1	0	30																																				
1	1	1	35																																				

表 106. レジスタ 0x6F—デッドタイム 7

Bits	Name	R/W	Description																																				
7	t <sub>13</sub> polarity	R/W	0 = positive polarity; 1 = negative polarity.																																				
[6:4]	t <sub>13</sub> offset	R/W	This value determines the t <sub>13</sub> offset from the nominal timing.																																				
			<table border="1"> <thead> <tr> <th>Bit 6</th> <th>Bit 5</th> <th>Bit 4</th> <th>Offset (ns)</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>5</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>10</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>15</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>20</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>25</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>30</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>35</td></tr> </tbody> </table>	Bit 6	Bit 5	Bit 4	Offset (ns)	0	0	0	0	0	0	1	5	0	1	0	10	0	1	1	15	1	0	0	20	1	0	1	25	1	1	0	30	1	1	1	35
Bit 6	Bit 5	Bit 4	Offset (ns)																																				
0	0	0	0																																				
0	0	1	5																																				
0	1	0	10																																				
0	1	1	15																																				
1	0	0	20																																				
1	0	1	25																																				
1	1	0	30																																				
1	1	1	35																																				
3	t <sub>14</sub> polarity	R/W	0 = positive polarity; 1 = negative polarity.																																				
[2:0]	t <sub>14</sub> offset	R/W	This value determines the t <sub>14</sub> offset from the nominal timing.																																				
			<table border="1"> <thead> <tr> <th>Bit 2</th> <th>Bit 1</th> <th>Bit 0</th> <th>Offset (ns)</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>5</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>10</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>15</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>20</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>25</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>30</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>35</td></tr> </tbody> </table>	Bit 2	Bit 1	Bit 0	Offset (ns)	0	0	0	0	0	0	1	5	0	1	0	10	0	1	1	15	1	0	0	20	1	0	1	25	1	1	0	30	1	1	1	35
Bit 2	Bit 1	Bit 0	Offset (ns)																																				
0	0	0	0																																				
0	0	1	5																																				
0	1	0	10																																				
0	1	1	15																																				
1	0	0	20																																				
1	0	1	25																																				
1	1	0	30																																				
1	1	1	35																																				

## EEPROMレジスタ

表 107. レジスタ 0x7B—EEPROM リストア・ファクトリ・デフォルト・レジスタ設定値

Bits	Name	R/W	Description
[7:0]	EEPROM restore factory default settings	R/W	The user can write one of the following command codes to this register to perform a specific EEPROM operation: 0x00: Upload registers to Page 0 of the main block (user settings). 0x01: Download factory settings (factory block) to the registers. 0x02: Page erase operation. For more information, see the EEPROM section.

表 108. レジスタ 0x7C—EEPROM X アドレス

Bits	Name	R/W	Description
7	Reserved	R/W	Reserved.
[6:0]	EEPROM X address	R/W	This register is used to point to the page and row of the byte to be accessed in EEPROM main memory. Bits[6:3] select one of 16 pages in the main block; Bits[2:0] select one of eight rows on the selected page. The byte to be accessed is specified using Register 0x7D. For more information, see the EEPROM section.

表 109. レジスタ 0x7D—EEPROM Y アドレス

Bits	Name	R/W	Description
[7:6]	Reserved	R/W	Reserved.
[5:0]	EEPROM Y address	R/W	This register is used to point to the byte to be accessed in EEPROM main memory. The page and row of the byte are specified using Register 0x7C. For more information, see the EEPROM section.

表 110. レジスタ 0x7E—EEPROM レジスタ

Bits	Name	R/W	Description
[7:0]	EEPROM register	R/W	Read or write to this register to read or program a byte in EEPROM main memory. For more information, see the EEPROM section.

## 共振モード動作

ADP1043Aは、共振コンバータの制御をサポートしています。共振コンバータは、従来型固定周波数コンバータの代わりとなるものです。高いスイッチング周波数、小型サイズ、高効率を提供します。図 38 に、広く採用されているシリーズ共振コンバータを示します。

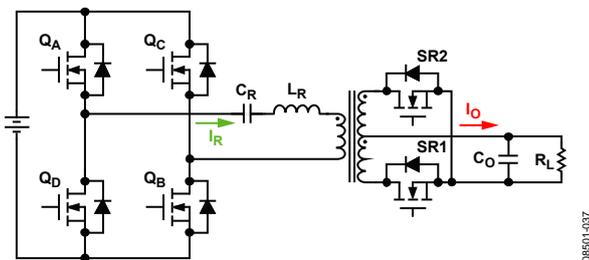


図 38. シリーズ共振コンバータ

### 共振モードの有効化

ADP1043A で共振スイッチング・コンバータの制御をイネールするときは、レジスタ 0x40 に値 0x3F を設定します。共振モードでは、PWM 出力のデューティ・サイクルは固定で、周波数が可変です。

### 共振モードでのPWMタイミング

可変周波数制御では、OUTAおよびOUTBはスイッチング・サイクルの前半分( $t_A \sim t_B$ )でのみハイ・レベルになることができ、OUTCおよびOUTDはスイッチング・サイクルの後ろ半分( $t_B \sim t_C$ )でのみハイ・レベルになることができます(図 39 参照)。

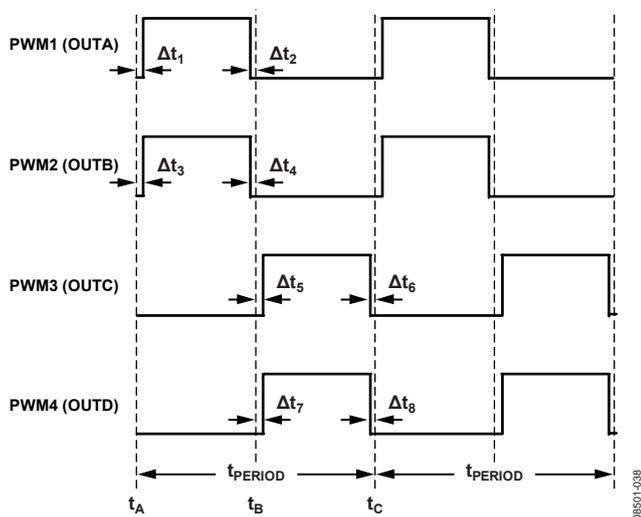


図 39. 共振モードでの OUTA、OUTB、OUTC、OUTD の PWM タイミング図

### 共振モードでの同期整流

共振コントローラ内の同期整流の制御は、複雑な問題です。ADP1043A ACSNSコンパレータを使って、SR信号を制御することができます。共振モード動作では、SR1 出力はACSNSコンパレータの立上がりエッジで駆動され、SR2 出力はコンパレータの立下がりエッジで、駆動されます(図 40 参照)。

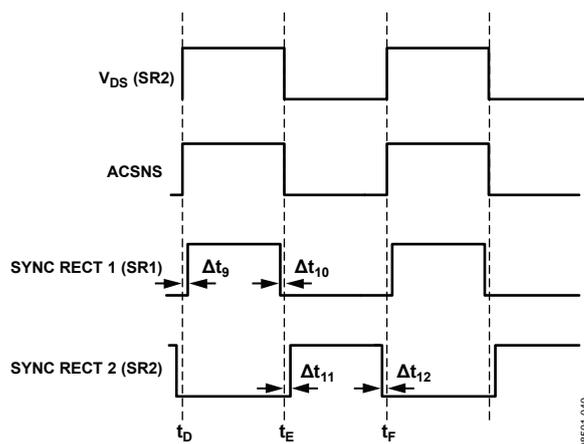


図 40. 共振モードでの SR1 および SR2 の PWM タイミング図

シリーズ共振回路でのADP1043Aの使い方と、同期整流制御の実現方法を次の例に示します。SR2 の  $V_{DS}$  電圧を使ってSR信号を制御することができます。ACSNSピンは、分圧したSR2  $V_{DS}$  電圧に接続します。これにより、両同期整流器にタイミング情報が提供されます(図 41 参照)。

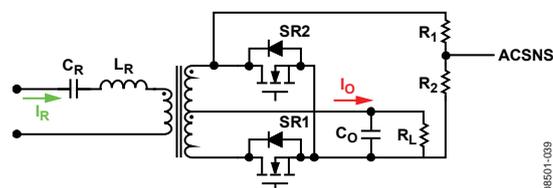


図 41. 共振同期整流器の制御回路

タイミング情報を取得した後、SR1 はACSNSコンパレータの立上がりエッジで駆動され、SR2 はコンパレータの立下がりエッジで駆動されます(図 40 参照)。この方法では、同期整流を実現することができます。ターンオン遅延とターンオフ遅延は、SR1 信号とSR2 信号に対して個別に設定することができます。

この例は、SR 信号を制御する唯一の方法ではありません。SR 信号を制御する別の方法がある場合は、この方法を使って SR2 の  $V_{DS}$  電圧の代わりに ACSNS 入力に接続することができます。

## PWM出力タイミングの調整

PWM出力タイミングを精確に調整するためには、PWM出力のデッドタイムおよび遅延を設定する際に、レジスタ 0x41、レジスタ 0x43、レジスタ 0x45、レジスタ 0x47、レジスタ 0x49、レジスタ 0x4B、レジスタ 0x4D、レジスタ 0x4F、レジスタ 0x51、レジスタ 0x53、レジスタ 0x55、レジスタ 0x57 を使うことができます。デッドタイム調整の分解能は 5 ns です。詳細については、共振モード・レジスタの説明のセクションを参照してください。ADP1043AのソフトウェアGUIを使って、周波数限界値レジスタの設定や、共振モード動作に関係する他のすべての設定を行うことができます。

## 周波数限界値設定

最小周波数は、レジスタ 0x42 とレジスタ 0x44 の先頭 4 ビットにより設定されます。

例えば、レジスタ 0x42 を 0xA0 (160、10 進)に、レジスタ 0x44 のビット[7:4]を 0xF (15、10 進)に、それぞれ設定します。

最大スイッチング・サイクルは、

$$(160 \times 16 + 15) \times 5 \text{ ns} = 12.875 \text{ } \mu\text{s}$$

最小スイッチング周波数限界値は、

$$1/12.875 \text{ } \mu\text{s} = 77.7 \text{ kHz}$$

最大周波数は、レジスタ 0x46 とレジスタ 0x48 のビット[7:4]により設定されます。

例えば、レジスタ 0x46 を 0x10 (16、10 進)に、レジスタ 0x48 のビット[7:4]を 0x9 (9、10 進)に、それぞれ設定します。

最小スイッチング・サイクルは、

$$(16 \times 16 + 9) \times 5 \text{ ns} = 1.325 \text{ } \mu\text{s}$$

最大スイッチング周波数限界値は、

$$1/1.325 \text{ } \mu\text{s} = 755 \text{ kHz}$$

## 共振モードでの帰還制御

従来型固定周波数 PWM コンバータとは対照的に、共振コンバータの出力電圧はスイッチング周波数を変化させることによりレギュレーションされます。ADP1043A が共振モードで動作する場合、検出された電圧がリファレンス電圧より低いときスイッチング周波数が減少します。これにより、ADP1043A がゼロ電圧スイッチング(ZVS)モードで共振コンバータを制御できるようになります。

スイッチング周波数は可変ですが、帰還電圧のサンプリング周波数は 400 kHzに固定されています。帰還フィルタのパラメータは、この周波数に基づいています。フィルタ・パラメータ(ゲイン、ゼロ点、極)を計算する方法は、固定周波数PWMモードの場合と同じです(デジタル・フィルタのセクション参照)。

## 共振モードでのソフト・スタート

ソフト・スタート時、ADP1043Aのリファレンス電圧は、徐々に上昇します。帰還ループが閉じると、スイッチング周波数が最大限界値からレギュレーション値へ低下します。ソフト・スタート・タイミング設定値とフィルタ設定値は、固定周波数PWMモードの場合と同じです(ソフト・スタートのセクション参照)。

## 軽負荷動作(バースト・モード)

非常に軽い負荷でコンバータを制御するために、ADP1043A はバースト・モードで動作することができます。バースト・モードは、レジスタ 0x4A のビット[7:6]を使ってイネーブル/無効することができます。所望のスイッチング周波数がバースト・モード・閾値より高い場合、デバイスはバースト・モードになります。閾値は、最大周波数とバースト・モード・オフセット設定値により決定されます。

バースト・モードを開始するときに使用する閾値は、次式で決定されます。

$$\text{バースト・モードに対する閾値} = ((\text{レジスタ } 0x46 \times 16) + \text{レジスタ } 0x48[7:4]) + (\text{レジスタ } 0x4A[5:0] \times 2)$$

バースト・モードを終了させるときに使用する閾値は、開始値+0x10により決定されます。

例えば、レジスタ 0x46 を 0x10 (16、10 進)に、レジスタ 0x48 のビット[7:4]を 0 に、レジスタ 0x4A のビット[5:0]を 0x8 (8、10 進)に、それぞれ設定します。

最小スイッチング・サイクルは、

$$(16 \times 16 + 0) \times 5 \text{ ns} = 1.28 \text{ } \mu\text{s}$$

最大スイッチング周波数限界値は、

$$1/1.28 \text{ } \mu\text{s} = 781 \text{ kHz}$$

バースト・モードを開始する閾値は、

$$[(16 \times 16 + 0) + (8 \times 2)] \times 5 \text{ ns} = 1.36 \text{ } \mu\text{s}$$

所望のスイッチング周波数が 1/1.36  $\mu\text{s}$  = 735 kHz より高い場合、PWM出力がシャットダウンして、デバイスはバースト・モードになります。

バースト・モードを終了する閾値は、

$$[(16 \times 16 + 0) + (8 \times 2) + 16] \times 5 \text{ ns} = 1.44 \text{ } \mu\text{s}$$

したがって、所望のスイッチング周波数は 1/1.44  $\mu\text{s}$  = 694 kHz より低くなり、PWM信号が再イネーブルされて、デバイスはバースト・モードから抜け出します。

## 共振モードでのOUTAUX

共振モードでは、OUTAUX ピンを制御信号として使うことはできませんが、OUTAUX は固定デューティ・サイクルを持つ固定周波数 PWM 信号として使うことができます。

## 共振モードでの保護機能

共振モードで使用可能なすべてのフラグと保護機能は、固定周波数 PWM モードの場合と同じ方法で動作をします。

## 共振モード・レジスタの説明

表 111. レジスタ 0x40—共振モードでの PWM スイッチング周波数設定

Bits	Name	R/W	Description
[7:6]	Reserved	R/W	Reserved.
[5:0]	Switching frequency	R/W	This register sets the switching frequency of the PWM pins and enables resonant mode. To enable resonant mode, set these bits to 0x3F (11 1111).

表 112. レジスタ 0x41—共振モードでの OUTA 立上がりエッジ・デッドタイム

Bits	Name	R/W	Description																																													
[7:0]	$\Delta t_1$ (rising edge dead time of OUTA)	R/W	This register sets $\Delta t_1$ , which is the delay of the rising edge of OUTA from the start of the switching cycle, $t_A$ . Each LSB corresponds to 5 ns of resolution.																																													
			<table border="1"> <thead> <tr> <th>Bit 7</th> <th>Bit 6</th> <th>Bit 5</th> <th>Bit 4</th> <th>Bit 3</th> <th>Bit 2</th> <th>Bit 1</th> <th>Bit 0</th> <th><math>\Delta t_1</math> (ns)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>5</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1275</td> </tr> </tbody> </table>	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	$\Delta t_1$ (ns)	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	5	...	...	...	...	...	...	...	...	...	1	1	1	1	1	1	1	1	1275
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	$\Delta t_1$ (ns)																																								
0	0	0	0	0	0	0	0	0																																								
0	0	0	0	0	0	0	1	5																																								
...	...	...	...	...	...	...	...	...																																								
1	1	1	1	1	1	1	1	1275																																								

表 113. レジスタ 0x42—最小スイッチング周波数限界値設定(共振モードでの最大スイッチング・サイクル)

Bits	Name	R/W	Description
[7:0]	Lowest frequency	R/W	This register contains the eight MSBs of the 12-bit value of the lowest switching frequency (maximum switching cycle) limit. This value is always used with the top four bits of Register 0x44, which contain the four LSBs of the lowest switching frequency limit. Each LSB of the 12-bit value corresponds to 5 ns of resolution for the switching cycle. For example, if Register 0x42 is set to 0xA0 (160 decimal) and Bits[7:4] of Register 0x44 are set to 0xF (15 decimal), the maximum switching cycle is $(160 \times 16 + 15) \times 5 \text{ ns} = 12.875 \mu\text{s}$ , and the lowest switching frequency limit is $1/12.875 \mu\text{s} = 77.7 \text{ kHz}$ .

表 114. レジスタ 0x43—共振モードでの OUTA 立下がりエッジ・デッドタイム

Bits	Name	R/W	Description																																																																								
[7:0]	$\Delta t_2$ (falling edge dead time of OUTA)	R/W	This register sets $\Delta t_2$ , which is the difference between the falling edge of OUTA and the mid-point of the switching cycle, $t_B$ . Each LSB corresponds to 5 ns of resolution. When the register value is from 0x00 to 0x7F, the falling edge of OUTA is trailing $t_B$ . When the value is from 0x80 to 0xFF, the falling edge of OUTA is leading $t_B$ .																																																																								
			<table border="1"> <thead> <tr> <th>Bit 7</th> <th>Bit 6</th> <th>Bit 5</th> <th>Bit 4</th> <th>Bit 3</th> <th>Bit 2</th> <th>Bit 1</th> <th>Bit 0</th> <th><math>\Delta t_2</math></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0 ns</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>5 ns trailing</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>635 ns trailing</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>640 ns leading</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>5 ns leading</td> </tr> </tbody> </table>	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	$\Delta t_2$	0	0	0	0	0	0	0	0	0 ns	0	0	0	0	0	0	0	1	5 ns trailing	...	...	...	...	...	...	...	...	...	0	1	1	1	1	1	1	1	635 ns trailing	1	0	0	0	0	0	0	0	640 ns leading	...	...	...	...	...	...	...	...	...	1	1	1	1	1	1	1	1	5 ns leading
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	$\Delta t_2$																																																																			
0	0	0	0	0	0	0	0	0 ns																																																																			
0	0	0	0	0	0	0	1	5 ns trailing																																																																			
...	...	...	...	...	...	...	...	...																																																																			
0	1	1	1	1	1	1	1	635 ns trailing																																																																			
1	0	0	0	0	0	0	0	640 ns leading																																																																			
...	...	...	...	...	...	...	...	...																																																																			
1	1	1	1	1	1	1	1	5 ns leading																																																																			

表 115. レジスタ 0x44—最小スイッチング周波数限界値設定(共振モードでの最大スイッチング・サイクル)

Bits	Name	R/W	Description
[7:4]	Lowest frequency	R/W	This register contains the four LSBs of the 12-bit value of the lowest switching frequency (maximum switching cycle) limit. This value is always used with the eight bits of Register 0x42, which contain the eight MSBs of the lowest switching frequency limit. Each LSB of the 12-bit value corresponds to 5 ns of resolution for the switching cycle. For example, if Register 0x42 is set to 0xA0 (160 decimal) and Bits[7:4] of Register 0x44 are set to 0xF (15 decimal), the maximum switching cycle is $(160 \times 16 + 15) \times 5 \text{ ns} = 12.875 \mu\text{s}$ , and the lowest switching frequency limit is $1/12.875 \mu\text{s} = 77.7 \text{ kHz}$ .
[3:0]	Reserved	R/W	Reserved.

表 116. レジスタ 0x45—共振モードでの OUTB 立上がりエッジ・デッドタイム

Bits	Name	R/W	Description																																													
[7:0]	$\Delta t_3$ (rising edge dead time of OUTB)	R/W	This register sets $\Delta t_3$ , which is the delay time of the rising edge of OUTB from the start of the switching cycle, $t_A$ . Each LSB corresponds to 5 ns of resolution.																																													
			<table border="1"> <thead> <tr> <th>Bit 7</th> <th>Bit 6</th> <th>Bit 5</th> <th>Bit 4</th> <th>Bit 3</th> <th>Bit 2</th> <th>Bit 1</th> <th>Bit 0</th> <th><math>\Delta t_3</math> (ns)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>5</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1275</td> </tr> </tbody> </table>	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	$\Delta t_3$ (ns)	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	5	...	...	...	...	...	...	...	...	...	1	1	1	1	1	1	1	1	1275
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	$\Delta t_3$ (ns)																																								
0	0	0	0	0	0	0	0	0																																								
0	0	0	0	0	0	0	1	5																																								
...	...	...	...	...	...	...	...	...																																								
1	1	1	1	1	1	1	1	1275																																								

表 117. レジスタ 0x46—最大スイッチング周波数限界値設定(共振モードでの最小スイッチング・サイクル)

Bits	Name	R/W	Description
[7:0]	Highest frequency	R/W	This register contains the eight MSBs of the 12-bit value of the highest switching frequency (mini-mum switching cycle) limit. This value is always used with the top four bits of Register 0x48, which contain the four LSBs of the highest switching frequency limit. Each LSB of the 12-bit value corresponds to 5 ns of resolution for the switching cycle. For example, if Register 0x46 is set to 0x10 (16 decimal) and Bits[7:4] of Register 0x48 are set to 0x9 (9 decimal), the minimum switching cycle is $(16 \times 16 + 9) \times 5 \text{ ns} = 1.325 \mu\text{s}$ , and the highest switching frequency limit is $1/1.325 \mu\text{s} = 755 \text{ kHz}$ .

表 118. レジスタ 0x47—共振モードでの OUTB 立下がりエッジ・デッドタイム

Bits	Name	R/W	Description																																																																								
[7:0]	$\Delta t_4$ (falling edge dead time of OUTB)	R/W	This register sets $\Delta t_4$ , which is the difference between the falling edge of OUTB and the mid-point of the switching cycle, $t_B$ . Each LSB corresponds to 5 ns of resolution. When the register value is from 0x00 to 0x7F, the falling edge of OUTB is trailing $t_B$ . When the value is from 0x80 to 0xFF, the falling edge of OUTB is leading $t_B$ .																																																																								
			<table border="1"> <thead> <tr> <th>Bit 7</th> <th>Bit 6</th> <th>Bit 5</th> <th>Bit 4</th> <th>Bit 3</th> <th>Bit 2</th> <th>Bit 1</th> <th>Bit 0</th> <th><math>\Delta t_4</math></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0 ns</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>5 ns trailing</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>635 ns trailing</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>640 ns leading</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>5 ns leading</td> </tr> </tbody> </table>	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	$\Delta t_4$	0	0	0	0	0	0	0	0	0 ns	0	0	0	0	0	0	0	1	5 ns trailing	...	...	...	...	...	...	...	...	...	0	1	1	1	1	1	1	1	635 ns trailing	1	0	0	0	0	0	0	0	640 ns leading	...	...	...	...	...	...	...	...	...	1	1	1	1	1	1	1	1	5 ns leading
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	$\Delta t_4$																																																																			
0	0	0	0	0	0	0	0	0 ns																																																																			
0	0	0	0	0	0	0	1	5 ns trailing																																																																			
...	...	...	...	...	...	...	...	...																																																																			
0	1	1	1	1	1	1	1	635 ns trailing																																																																			
1	0	0	0	0	0	0	0	640 ns leading																																																																			
...	...	...	...	...	...	...	...	...																																																																			
1	1	1	1	1	1	1	1	5 ns leading																																																																			

表 119. レジスタ 0x48—最大スイッチング周波数限界値設定(共振モードでの最小スイッチング・サイクル)

Bits	Name	R/W	Description
[7:4]	Highest frequency	R/W	This register contains the four LSBs of the 12-bit value of the highest switching frequency (mini-mum switching cycle) limit. This value is always used with the eight bits of Register 0x46, which contain the eight MSBs of the highest switching frequency limit. Each LSB of the 12-bit value corresponds to 5 ns of resolution for the switching cycle. For example, if Register 0x46 is set to 0x10 (16 decimal) and Bits[7:4] of Register 0x48 are set to 0x9 (9 decimal), the minimum switching cycle is $(16 \times 16 + 9) \times 5 \text{ ns} = 1.325 \mu\text{s}$ , and the highest switching frequency limit is $1/1.325 \mu\text{s} = 755 \text{ kHz}$ .
[3:0]	Reserved	R/W	Reserved.

表 120. レジスタ 0x49—共振モードでの OUTC 立上がりエッジ・デッドタイム

Bits	Name	R/W	Description																																																																								
[7:0]	$\Delta t_5$ (rising edge dead time of OUTC)	R/W	This register sets $\Delta t_5$ , which is the difference between the rising edge of OUTC and the midpoint of the switching cycle, $t_B$ . Each LSB corresponds to 5 ns of resolution. When the register value is from 0x00 to 0x7F, the rising edge of OUTC is trailing $t_B$ . When the value is from 0x80 to 0xFF, the rising edge of OUTC is leading $t_B$ .																																																																								
			<table border="1"> <thead> <tr> <th>Bit 7</th> <th>Bit 6</th> <th>Bit 5</th> <th>Bit 4</th> <th>Bit 3</th> <th>Bit 2</th> <th>Bit 1</th> <th>Bit 0</th> <th><math>\Delta t_5</math></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0 ns</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>5 ns trailing</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>635 ns trailing</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>640 ns leading</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>5 ns leading</td> </tr> </tbody> </table>	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	$\Delta t_5$	0	0	0	0	0	0	0	0	0 ns	0	0	0	0	0	0	0	1	5 ns trailing	...	...	...	...	...	...	...	...	...	0	1	1	1	1	1	1	1	635 ns trailing	1	0	0	0	0	0	0	0	640 ns leading	...	...	...	...	...	...	...	...	...	1	1	1	1	1	1	1	1	5 ns leading
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	$\Delta t_5$																																																																			
0	0	0	0	0	0	0	0	0 ns																																																																			
0	0	0	0	0	0	0	1	5 ns trailing																																																																			
...	...	...	...	...	...	...	...	...																																																																			
0	1	1	1	1	1	1	1	635 ns trailing																																																																			
1	0	0	0	0	0	0	0	640 ns leading																																																																			
...	...	...	...	...	...	...	...	...																																																																			
1	1	1	1	1	1	1	1	5 ns leading																																																																			

表 121. レジスタ 0x4A—共振モードでのバースト・モード動作

Bits	Name	R/W	Description															
[7:6]	Burst mode enable	R/W	These bits are used to enable or disable burst mode operation.															
			<table border="1"> <thead> <tr> <th>Bit 7</th> <th>Bit 6</th> <th>Burst Mode</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>Disabled</td> </tr> <tr> <td>0</td> <td>1</td> <td>Enabled for normal operation, but disabled during soft start</td> </tr> <tr> <td>1</td> <td>0</td> <td>Disabled</td> </tr> <tr> <td>1</td> <td>1</td> <td>Enabled for normal operation and during soft start</td> </tr> </tbody> </table>	Bit 7	Bit 6	Burst Mode	0	0	Disabled	0	1	Enabled for normal operation, but disabled during soft start	1	0	Disabled	1	1	Enabled for normal operation and during soft start
Bit 7	Bit 6	Burst Mode																
0	0	Disabled																
0	1	Enabled for normal operation, but disabled during soft start																
1	0	Disabled																
1	1	Enabled for normal operation and during soft start																
[5:0]	Burst mode offset	R/W	These bits, along with the highest switching frequency limit, determine the threshold value for enabling burst mode operation. For information about how to set this value, see the Light Load Operation (Burst Mode) section.															

表 122. レジスタ 0x4B—共振モードでの OUTC 立下がりエッジ・デッドタイム

Bits	Name	R/W	Description																																													
[7:0]	$\Delta t_6$ (falling edge dead time of OUTC)	R/W	This register sets $\Delta t_6$ , which is the leading time of the falling edge of OUTC from the end of the switching cycle, $t_C$ . Each LSB corresponds to 5 ns of resolution.																																													
			<table border="1"> <thead> <tr> <th>Bit 7</th> <th>Bit 6</th> <th>Bit 5</th> <th>Bit 4</th> <th>Bit 3</th> <th>Bit 2</th> <th>Bit 1</th> <th>Bit 0</th> <th><math>\Delta t_6</math> (ns)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>5</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1275</td> </tr> </tbody> </table>	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	$\Delta t_6$ (ns)	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	5	...	...	...	...	...	...	...	...	...	1	1	1	1	1	1	1	1	1275
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	$\Delta t_6$ (ns)																																								
0	0	0	0	0	0	0	0	0																																								
0	0	0	0	0	0	0	1	5																																								
...	...	...	...	...	...	...	...	...																																								
1	1	1	1	1	1	1	1	1275																																								

表 123. レジスタ 0x4D—共振モードでの OUTD 立上がりエッジ・デッドタイム

Bits	Name	R/W	Description																																																																								
[7:0]	$\Delta t_7$ (rising edge dead time of OUTD)	R/W	This register sets $\Delta t_7$ , which is the difference between the rising edge of OUTD and the mid-point of the switching cycle, $t_B$ . Each LSB corresponds to 5 ns of resolution. When the register value is from 0x00 to 0x7F, the rising edge of OUTD is trailing $t_B$ . When the value is from 0x80 to 0xFF, the rising edge of OUTD is leading $t_B$ .																																																																								
			<table border="1"> <thead> <tr> <th>Bit 7</th> <th>Bit 6</th> <th>Bit 5</th> <th>Bit 4</th> <th>Bit 3</th> <th>Bit 2</th> <th>Bit 1</th> <th>Bit 0</th> <th><math>\Delta t_7</math></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0 ns</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>5 ns trailing</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>635 ns trailing</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>640 ns leading</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>...</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>5 ns leading</td> </tr> </tbody> </table>	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	$\Delta t_7$	0	0	0	0	0	0	0	0	0 ns	0	0	0	0	0	0	0	1	5 ns trailing	...	...	...	...	...	...	...	...	...	0	1	1	1	1	1	1	1	635 ns trailing	1	0	0	0	0	0	0	0	640 ns leading	...	...	...	...	...	...	...	...	...	1	1	1	1	1	1	1	1	5 ns leading
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	$\Delta t_7$																																																																			
0	0	0	0	0	0	0	0	0 ns																																																																			
0	0	0	0	0	0	0	1	5 ns trailing																																																																			
...	...	...	...	...	...	...	...	...																																																																			
0	1	1	1	1	1	1	1	635 ns trailing																																																																			
1	0	0	0	0	0	0	0	640 ns leading																																																																			
...	...	...	...	...	...	...	...	...																																																																			
1	1	1	1	1	1	1	1	5 ns leading																																																																			

表 124. レジスタ 0x4F—共振モードでの OUTD 立下がりエッジ・デッドタイム

Bits	Name	R/W	Description							
[7:0]	$\Delta t_8$ (falling edge dead time of OUTD)	R/W	This register sets $\Delta t_8$ , which is the leading time of the falling edge of OUTD from the end of the switching cycle, $t_C$ . Each LSB corresponds to 5 ns of resolution.							
			<b>Bit 7</b>	<b>Bit 6</b>	<b>Bit 5</b>	<b>Bit 4</b>	<b>Bit 3</b>	<b>Bit 2</b>	<b>Bit 1</b>	<b>Bit 0</b>
			0	0	0	0	0	0	0	0
			0	0	0	0	0	0	1	5
			...	...	...	...	...	...	...	...
			1	1	1	1	1	1	1	1275

表 125. レジスタ 0x51—共振モードでの SR1 立上がりエッジ・デッドタイム

Bits	Name	R/W	Description							
[7:0]	$\Delta t_9$ (rising edge dead time of SR1)	R/W	This register sets $\Delta t_9$ , which is the delay time of the rising edge of SR1 from the ACSNS rising edge, $t_D$ . Each LSB corresponds to 5 ns of resolution.							
			<b>Bit 7</b>	<b>Bit 6</b>	<b>Bit 5</b>	<b>Bit 4</b>	<b>Bit 3</b>	<b>Bit 2</b>	<b>Bit 1</b>	<b>Bit 0</b>
			0	0	0	0	0	0	0	0
			0	0	0	0	0	0	1	5
			...	...	...	...	...	...	...	...
			1	1	1	1	1	1	1	1275

表 126. レジスタ 0x53—共振モードでの SR1 立下がりエッジ・デッドタイム

Bits	Name	R/W	Description							
[7:0]	$\Delta t_{10}$ (falling edge dead time of SR1)	R/W	This register sets $\Delta t_{10}$ , which is the leading time of the falling edge of SR1 from the ACSNS falling edge, $t_E$ . Each LSB corresponds to 5 ns of resolution.							
			<b>Bit 7</b>	<b>Bit 6</b>	<b>Bit 5</b>	<b>Bit 4</b>	<b>Bit 3</b>	<b>Bit 2</b>	<b>Bit 1</b>	<b>Bit 0</b>
			0	0	0	0	0	0	0	0
			0	0	0	0	0	0	1	5
			...	...	...	...	...	...	...	...
			1	1	1	1	1	1	1	1275

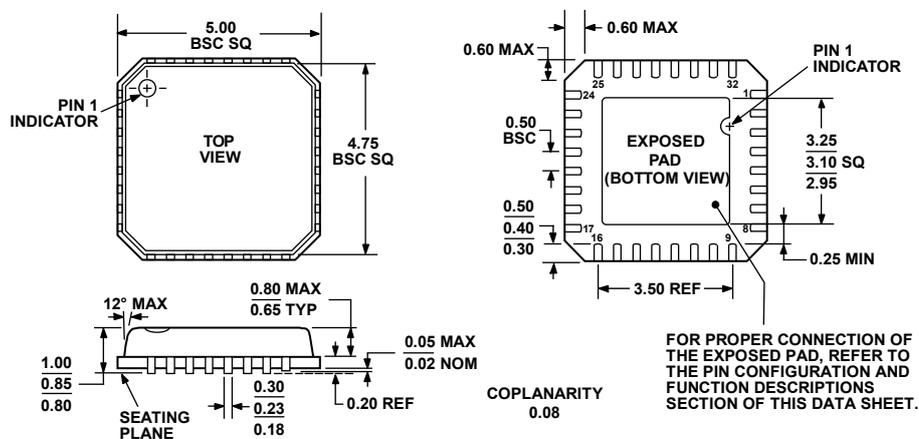
表 127. レジスタ 0x55—共振モードでの SR2 立上がりエッジ・デッドタイム

Bits	Name	R/W	Description							
[7:0]	$\Delta t_{11}$ (rising edge dead time of SR2)	R/W	This register sets $\Delta t_{11}$ , which is the delay time of the rising edge of SR2 from the ACSNS falling edge, $t_E$ . Each LSB corresponds to 5 ns of resolution.							
			<b>Bit 7</b>	<b>Bit 6</b>	<b>Bit 5</b>	<b>Bit 4</b>	<b>Bit 3</b>	<b>Bit 2</b>	<b>Bit 1</b>	<b>Bit 0</b>
			0	0	0	0	0	0	0	0
			0	0	0	0	0	0	1	5
			...	...	...	...	...	...	...	...
			1	1	1	1	1	1	1	1275

表 128. レジスタ 0x57—共振モードでの SR2 立下がりエッジ・デッドタイム

Bits	Name	R/W	Description							
[7:0]	$\Delta t_{12}$ (falling edge dead time of SR2)	R/W	This register sets $\Delta t_{12}$ , which is the leading time of the falling edge of SR2 from the ACSNS rising edge, $t_F$ . Each LSB corresponds to 5 ns of resolution.							
			<b>Bit 7</b>	<b>Bit 6</b>	<b>Bit 5</b>	<b>Bit 4</b>	<b>Bit 3</b>	<b>Bit 2</b>	<b>Bit 1</b>	<b>Bit 0</b>
			0	0	0	0	0	0	0	0
			0	0	0	0	0	0	1	5
			...	...	...	...	...	...	...	...
			1	1	1	1	1	1	1	1275

## 外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-VHHD-2

011708-A

図 42. 32 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP\_VQ]  
5 mm × 5 mm ボディ、極薄クワッド  
(CP-32-2)  
寸法: mm

## オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
ADP1043AAPZ-RL <sup>1</sup>	-40°C to +85°C	32-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-32-2

<sup>1</sup> Z = RoHS 準拠製品。