

# 調整可能なバンドパス・フィルタ (11GHz~20GHz)

データシート

**ADMV8420** 

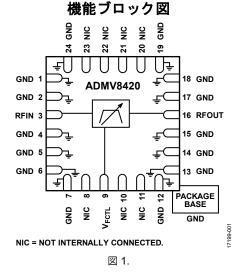
#### 特長

振幅セトリング時間: 200ns 広帯域除去: ≥20dB シングル・チップ実装

24 ピン、4mm × 4mm、RoHS 準拠、LFCSP パッケージ

### アプリケーション

試験装置および計測装置 防衛用レーダーおよび電子戦システム 超小型地球局(VSAT)通信



### 概要

ADMV8420 は、パス・バンド周波数をユーザが選択できる、モノリシック・マイクロ波集積回路(MMIC)使用の可変バンドパス・フィルタです。3dBフィルタ帯域幅は約20%、20dBフィルタ帯域幅は約40%です。更に、0V~15Vの中心周波数制御をかけることで、中心周波数を11GHzから20GHzまで変化させることができます。スイッチド・フィルタ・バンクやキャビティ

調整済みフィルタの小型の代替品として、この可変フィルタを使用することができます。ADMV8420 はモノリシック設計のため、最小のマイクロフォニック特性を備えており、高度な通信アプリケーションにおいてダイナミックな調整が可能なソリューションを提供します。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって 生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示 的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有 者の財産です。※日本語版資料はREVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0 ©2019 Analog Devices, Inc. All rights reserved

本 社/〒105-6891

東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F 雷話 03 (5402) 8200

大 阪営業所/〒532-0003

大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F電話 06 (6350) 6868

名古屋営業所/〒451-6038

愛知県名古屋市西区牛島町 6-1 名古屋ルーセントタワー 38F 電話 052 (569) 6300 データシート 目次 **ADMV8420** 

符長	
アプリケーション	
機能ブロック図	
概要	
改訂履歴	
仕様	
絶対最大定格	
ESD に関する注意	
ピン配置およびピン機能の説明	

インターフェース回路図	5
代表的な性能特性	6
動作原理	10
アプリケーション情報	11
代表的なアプリケーション回路	11
評価用プリント回路基板 (PCB)	11
外形寸法	12
オーダー・ガイド	12

### 改訂履歴

6/2019—Revision 0: Initial Version

-2/12Rev. 0

## 仕様

 $T_A=25$  $^{\circ}$  $^{\circ}$ 、中心周波数制御電圧( $V_{FCTL}$ )は 0V から 15V まで掃引。

#### 表 1.

Parameter	Min	Тур	Max	Unit	Test Conditions/Comments
FREQUENCY RANGE					
$ m f_{CENTER}$	11		20	GHz	
BANDWIDTH					
3 dB		20		%	
REJECTION					
Low-Side		$0.8 \times f_{\text{CEN}}$	TER	GHz	≥20 dB
High-Side		$1.2 \times f_{\text{CEN}}$	ITER	GHz	≥20 dB
Reentry		$2.3\times f_{\text{CEN}}$	TER	GHz	≤30 dB
LOSS					
Insertion Loss		5		dB	
Return Loss		8.5		dB	
DYNAMIC PERFORMANCE					
Input Power at 5° Shift in Insertion Phase ( $V_{FCTL} = 0 \text{ V}$ )		10		dBm	
Input Third-Order Intercept (IP3)		31		dBm	
Group Delay		0.5		ns	
Phase Sensitivity		1.33		Rad/V	
Amplitude Settling		200		ns	Time to settle to minimum insertion loss, within ≤0.5 dB of static insertion loss
Drift Rate		-1.07		MHz/°C	
RESIDUAL PHASE NOISE					
1 MHz Offset		-161		dBc/Hz	
TUNING					
$ m V_{FCTL}$	0		15	V	
Center Frequency Control Current (I <sub>FCTL</sub> )			$\pm 1$	mA	

Rev. 0 - 3/12 -

### 絶対最大定格

表 2.

Parameter	Rating
Tuning	
$ m V_{FCTL}$	−0.5 V to +15 V
$I_{FCTL}$	±1 mA
Radio Frequency (RF) Input Power	27 dBm
Operating Temperature Range	−40°C to +85°C
Storage Temperature Range	−65°C to +150°C
Junction Temperature for 1 Million Mean Time to Failure (MTTF)	150°C
Nominal Junction Temperature (Temperature at Ground Pad = 85°C, Input Power ( $P_{IN}$ ) = 27 dBm)	108°C
Electrostatic Discharge (ESD) Rating	
Human Body Model (HBM)	1000 V
Field Induced Charge Device Model (FICDM)	1250 V
Moisture Sensitivity Level (MSL) Rating	MSL3

上記の絶対最大定格を超えるストレスを加えると、デバイスに 恒久的な損傷を与えることがあります。この規定はストレス定 格のみを指定するものであり、この仕様の動作のセクションに 記載する規定値以上でのデバイス動作を定めたものではありま せん。デバイスを長時間にわたり絶対最大定格状態に置くと、 デバイスの信頼性に影響を与えることがあります。

#### ESD に関する注意

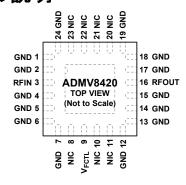


ESD(静電放電)の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

Rev. 0 - 4/12 -

### ピン配置およびピン機能の説明



#### NOTES

- 1. NIC = NOT INTERNALLY CONNECTED. THESE PINS ARE NOT CONNECTED INTERNALLY. HOWEVER, ALL DATA SHOWN HEREIN WAS MEASURED WITH THESE CONNECTED TO RE AND DC GROUND.

  2. EXPOSED PAD. THE EXPOSED PAD MUST BE CONNECTED TO RE AND DC GROUND.

図 2.ピン配置

表 3. ピン機能の説明

 ピン番号	記号	説明
1, 2, 4 to 7, 12 to 15, 17 to 19, 24	GND	グラウンド。これらのピンは無線周波数 (RF) /DC グラウンドに接続する必要がありま
		す。
3	RFIN	$RF$ 入力。このピンは $DC$ カップリングされ、 $50\Omega$ に整合されています。このピンには外部
		電圧をかけないでください。
8, 10, 11, 20 to 23	NIC	内部では未接続。これらのピンは、内部で接続されません。しかし、すべてのデータはこれらのピンを RF/DC グラウンドに接続して測定されています。
9	$V_{FCTL}$	中心周波数制御電圧。このピンはデバイスの f <sub>CENTER</sub> を制御します。
16	RFOUT	RF出力。このピンは DC カップリングされ、50Ω に整合されています。このピンには外部
		電圧をかけないでください。
	EPAD	露出パッド。露出パッドは RF/DC グラウンドに接続する必要があります。

### インターフェース回路図

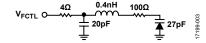


図 3. V<sub>FCTL</sub> インターフェース回路図



図 4. GND インターフェース回路図



図 5. RFIN インターフェース回路図

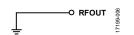


図 6. RFOUT インターフェース回路図

**-** 5/12 **-**Rev. 0

### 代表的な性能特性

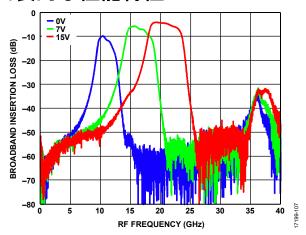


図 7. 様々な電圧における広帯域の挿入損失と RF 周波数の関係

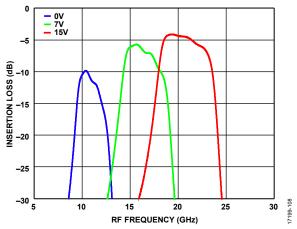


図 8. 様々な電圧における挿入損失と RF 周波数の関係

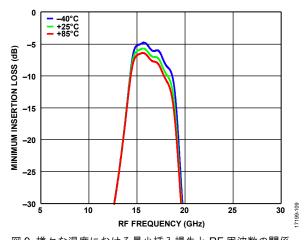


図 9. 様々な温度における最小挿入損失と RF 周波数の関係、  $V_{\text{FCTL}}$  = 7V

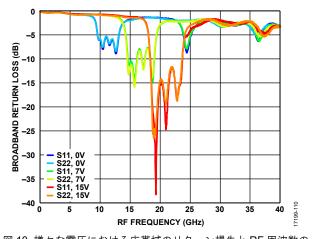


図 10. 様々な電圧における広帯域のリターン損失と RF 周波数の 関係

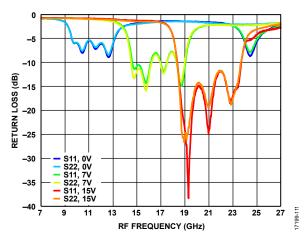


図 11. 様々な電圧におけるリターン損失と RF 周波数の関係

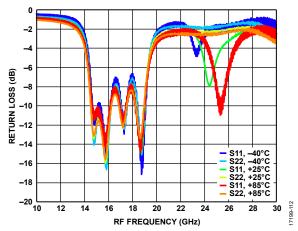


図 12. 様々な温度におけるリターン損失と RF 周波数の関係、  $V_{FCTL}$  = 7V

Rev. 0 – 6/12 –

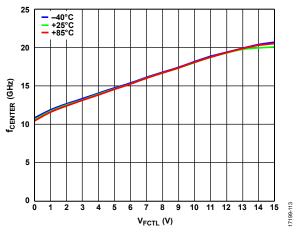


図 13. 様々な温度における f<sub>CENTER</sub> と V<sub>FCTL</sub> の関係

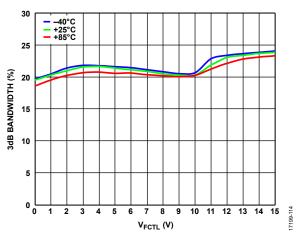


図 14. 様々な温度における 3dB 帯域幅と V<sub>FCTL</sub> の関係

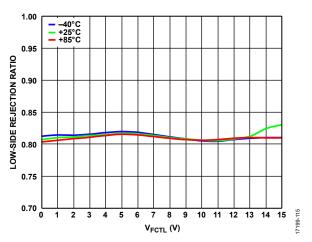


図 15. 様々な温度におけるローサイド除去比と  $V_{FCTL}$  の関係

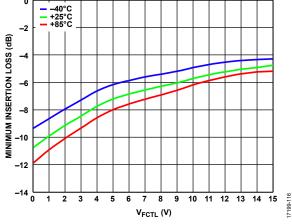


図 16. 様々な温度における最小挿入損失と V<sub>FCTL</sub> の関係

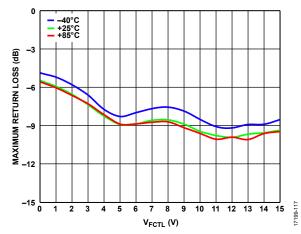


図 17. 様々な温度における 2dB 帯域幅の最大リターン損失と  $V_{FCTL}$  の関係

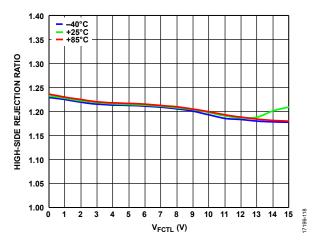


図 18. 様々な温度におけるハイサイド除去比と  $V_{FCTL}$  の関係

Rev. 0 - 7/12 -

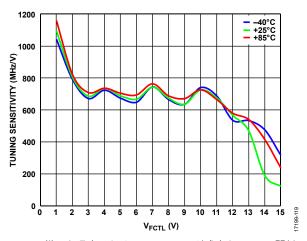


図 19. 様々な温度におけるチューニング感度と  $V_{\text{FCTL}}$  の関係

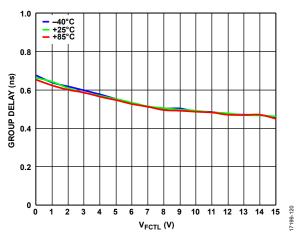


図 20. 様々な温度における群遅延と VFCTL の関係

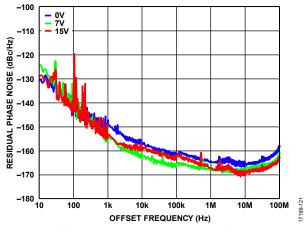


図 21. 様々な VFCTL 電圧における残留位相ノイズと オフセット周波数の関係

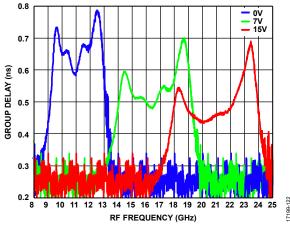


図 22. 様々な電圧における群遅延と RF 周波数の関係

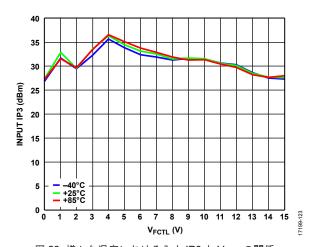


図 23. 様々な温度における入力 IP3 と  $V_{FCTL}$  の関係、  $P_{IN}$  = 20dBm

Rev. 0 - 8/12 -

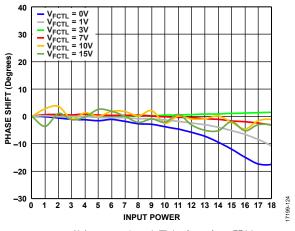


図 24. 位相シフトと入力電力(dBm)の関係

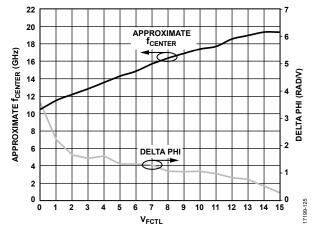


図 25. 位相感度と V<sub>FCTL</sub> 電圧の関係

Rev. 0 – 9/12 –

### 動作原理

ADMV8420 は MMIC バンドパス・フィルタで、パス・バンド周 波数を選択することができます。 $V_{FCTL}$  に加えるアナログ・チューニング電圧を  $0V\sim15V$  の範囲で変化させることにより、 $f_{CENTER}$ を  $11GHz\sim20GHz$  の範囲で変えることが可能です。

Rev. 0 – 10/12 –

### アプリケーション情報

#### 代表的なアプリケーション回路

ADMV8420の代表的なアプリケーション回路を図 26 に示します。 RFIN ピンと RFOUT ピンは DC カップリングされており、100pFの直列コンデンサ(C1と C2)を外付けする必要があります。

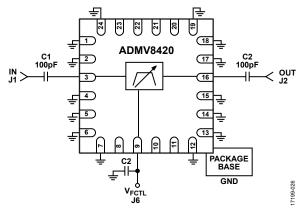


図 26. 代表的なアプリケーション回路

### 評価用プリント回路基板(PCB)

すべての RF パターンはレイヤ 1(1 次側)で配線されます。残りの3つのレイヤは、図27に示すように、RF 伝送ライン用のグラウンドとなるグランド・プレーンです。上面の誘電体材料は、低損失性能を実現する Rogers 4350 です。レイヤ 2 の予備含浸(プリプレグ)材料は、Isola 370HR コア層と銅パターン層を密着させます。プリプレグ材料と Isola 370HR コア層は、どちらも必要な基板の仕上がり厚さを実現します。

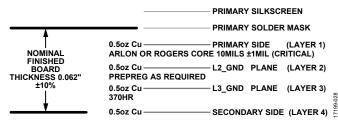


図 27. ADMV8420-EVALZ の PCB 層断面図

このアプリケーションの回路ボードには、RF 回路の設計技術が使われています。信号ラインのインピーダンスは 50Ω にしなければなりません。パッケージのグラウンド・ピンと露出パッドは、グランド・プレーンに直接接続する必要があります(図 27参照)。十分な数のビア・ホールが、グランド・プレーンの上面と底面を接続しています。図 28 に示した評価用回路基板は、ご要望に応じてアナログ・デバイセズから提供されます。

表 4. ADMV8420-EVALZ の部品表

Item	Description			
J1 to J2	PCB mount, Southwest 2.4 mm connector			
J6 to J7	Test points			
C2	Capacitor, 100 pF, 0402			
U1	ADMV8420			
$PCB^1$	08-051298 <sup>2</sup> evaluation PCB			

- <sup>1</sup> 回路基板の材料は Arlon 25FR または Rogers 25FR です。Rogers 4350 が Arlon 25FR または Rogers 25FR の上部に積層されています。
- <sup>2</sup> 未加工のベア PCB の識別番号は 08-051298 です。フル機能を備えた評価用 PCB を注文する場合は、ADMV8420 と指定してください。

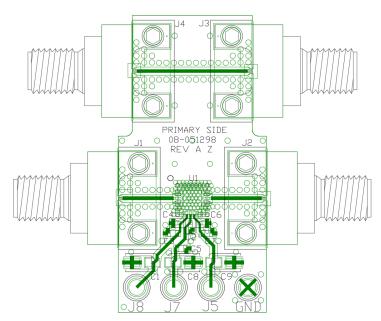
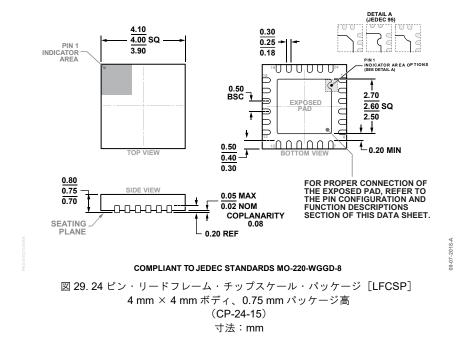


図 28. 評価用 PCB 最上層の外形寸法

Rev. 0 – 11/12 –

### 外形寸法



オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option
ADMV8420ACPZ	−40°C to +85°C	24-Lead LFCSP	CP-24-15
ADMV8420ACPZ-R5	−40°C to +85°C	24-Lead LFCSP, 7" Tape and Reel	CP-24-15
ADMV8420-EVAL		Evaluation Board	

<sup>」</sup>すべてのモデルは RoHS 準拠製品です。

Rev. 0 – 12/12 –