

特長

- シングル・チップで2つの電源の電源シーケンスが可能
- 内蔵チャージ・ポンプでNチャンネルFETを完全に強化
- 0.618Vまで調整可能な主電源モニタ
- 主電源からセカンダリ電源イネーブルまでの遅延
- 遅延時間：300ms固定 (ADM6819)
- コンデンサで調整可能な遅延時間 (ADM6820)
- ロジック/アナログ駆動対応の入力 (ADM6819)
- 動作温度範囲：-40~+85°C
- 小型の6ピンSOT-23パッケージ
- MAX6819/MAX6820とピン互換

アプリケーション

- マルチ電圧システム
- デュアル電圧マイクロプロセッサ/FPGA/ASIC/DSP
- ネットワーク・プロセッサ
- 電気通信およびデータ通信システム
- PC/サーバ・アプリケーション

概要

ADM6819とADM6820は、NチャンネルMOSFETを強化するFETドライブ機能を備えた、シンプルな電源シーケンサです。主電源電圧を監視し、セカンダリ電源用の外付けNチャンネルFETをイネーブル/ディスエーブルにできます。ADM6819には、2つの電源を監視する機能があります。3つ以上の電圧のシーケンシングが必要な場合は、複数のADM6819/ADM6820デバイスをカスケード接続できます。2.95~5.5Vの電源範囲で動作します。

内部コンパレータが、SETVピンを使用して第1電源を監視します。このコンパレータへの入力は、第1電源の抵抗分圧器によって外部的に設定します。SETVピンの電圧がコンパレータのスレッシュホールドを上回る場合、GATE出力上の内部チャージ・ポンプが第2電源FETを強化します。

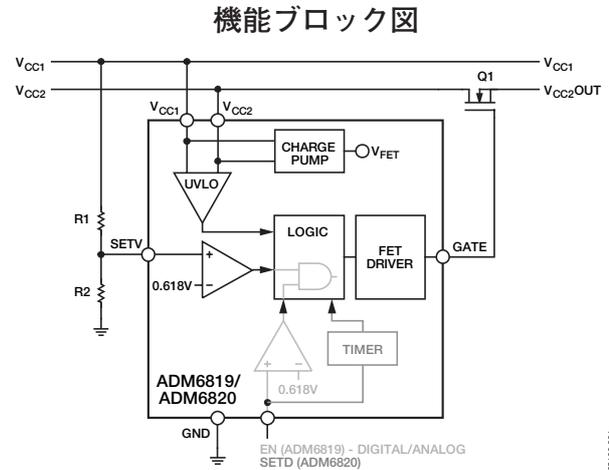


図1

ADM6819のイネーブル (EN) ピンは、追加のコンパレータの入力とリファレンス回路に接続します。このピンは、デジタル・イネーブルや、セカンダリ電源を監視するための第2パワーグッド・コンパレータとして使用でき、2つの電源が有効の場合のみGATEをイネーブルにします。内部コンパレータの2つの入力のスレッシュホールドを上回ると、固定の300msタイムアウトが発生してから、GATEがハイレベルに駆動され、セカンダリ電源がイネーブルになります。

ADM6820のコンパレータは1つのみで、SETVピンに接続します。ADM6820のタイムアウト時間は、SETDピンに外付けしたコンデンサ1つで調整できます。

ADM6819/ADM6820は、小型の6ピンSOT-23パッケージで提供しています。

ADM6819/ADM6820

目次

特長	1	ピン配置とピン機能の説明	7
アプリケーション	1	代表的な性能特性	8
機能ブロック図	1	動作原理	10
概要	1	SETVピン	10
改訂履歴	2	ENピン	10
仕様	3	GATEピン	10
タイミング図	4	SETDピン	10
絶対最大定格	6	外形寸法	10
熱特性	6	オーダー・ガイド	11
ESDに関する注意	6		

改訂履歴

7/06—Revision 0: Initial Version

仕様

特に指定のない限り、 V_{CC1} または $V_{CC2}=2.95\sim 5.5V$ 、 $T_A=-40\sim +85^\circ C$ 。typ値は $T_A=25^\circ C$ での値です。¹

表1

Parameter	Min	Typ	Max	Units	Conditions
V_{CC1} , V_{CC2} PINS					V_{CC1} or V_{CC2} must be $> 2.95 V$
Operating Voltage Range, V_{CC1} or V_{CC2}	0.9		5.5	V	V_{CC1} or V_{CC2} must be $> 2.95 V$
V_{CC1} or V_{CC2} Supply Current, I_{CC}		350	500	μA	$V_{CC1} = V_{CC2} = 3.3 V$
V_{CC1} or V_{CC2} Disable Mode Current		250		μA	$V_{CC1} = V_{CC2} = 3.3 V$, EN = GND
V_{CC1} or V_{CC2} Slew Rate ²	6			V/s	ADM6819
	$1.2/t_{DELAY}$			V/s	ADM6820 ³
Undervoltage Lockout, V_{UVLO}	2.4	2.525	2.65	V	V_{CC} falling
SETV PIN					
SETV Threshold, V_{TH}	0.602	0.618	0.634	V	V_{SETV} rising, enables GATE
SETV Input Current ²		10	100	nA	
SETV Threshold Hysteresis		-1		%	V_{SETV} falling, disables GATE
SETV to GATE Delay, t_{DELAY}	240	300	350	ms	$V_{SETV} > V_{TH}$; $V_{EN} > V_{TH}$ (ADM6819)
SETD PIN					ADM6820
SETD Ramp Current, I_{SETD}	300	500	730	nA	
	400	500	600	nA	$T_A = 25^\circ C$
SETD Voltage, V_{SETD}	1.295	1.326	1.357	V	
GATE PIN					
GATE Turn-On Time, t_{ON}	0.5	1.5	10	ms	$C_{GATE} = 1500 pF$, $V_{CC2} = 3.3 V$, $V_{GATE} = 7.8 V$
GATE Turn-Off Time, t_{OFF}		30		μs	$C_{GATE} = 1500 pF$, $V_{CC2} = 3.3 V$, $V_{GATE} = 0.5 V$
GATE Voltage, V_{GATE}	4.5	5.5	6.0	V	With respect to V_{CCx} , $R_{GATE} > 50 M\Omega$ to V_{CCx} ⁴
	4.0	5.0	6	V	With respect to V_{CCx} , $R_{GATE} > 5 M\Omega$ to V_{CCx} ⁴
	8.9	9.4	9.9	V	With respect to V_{CCx} , $R_{GATE} > 50 M\Omega$ to V_{CCx} ⁵
	8.2	8.6	9.1	V	With respect to V_{CCx} , $R_{GATE} > 5 M\Omega$ to V_{CCx} ⁵
ENABLE PIN					
EN Input Voltage Low, V_{IL}			0.4	V	V_{CC1} or V_{CC2} must be $> 2.95 V$
EN Input Voltage High, V_{IH}	2.0			V	V_{CC1} or V_{CC2} must be $> 2.95 V$

¹ $T_A = +25^\circ C$ において100%の出荷テストを実施。温度限界に対する仕様は設計により保証しています。

² これらの仕様については出荷テストを行っていませんが、設計により保証しています。

³ $t_{DELAY}(s) = 2.65 \times 10^6 \times C_{SETV}$

⁴ 最も高い電源ピンは $V_{CCx} = 2.95V$ です。

⁵ 最も高い電源ピンは $V_{CCx} = 5.5V$ です。

ADM6819/ADM6820

タイミング図

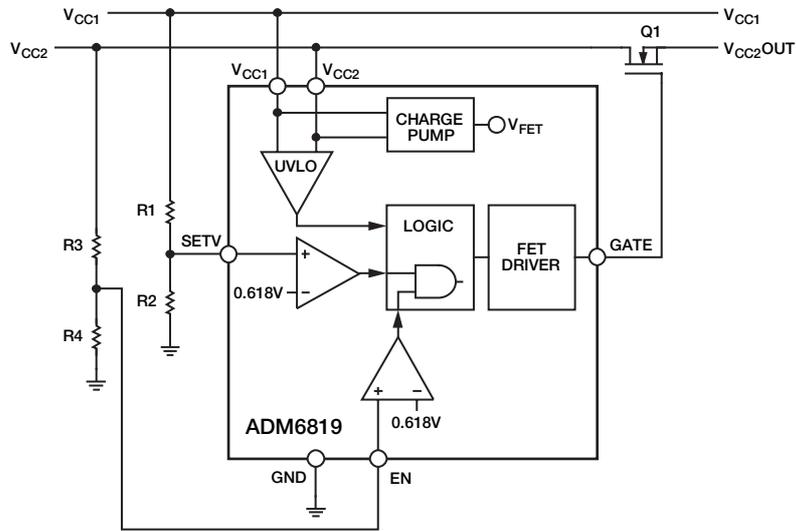


図2. シーケンシングの前に2つの電源を確認するためのADM6819ソリューション

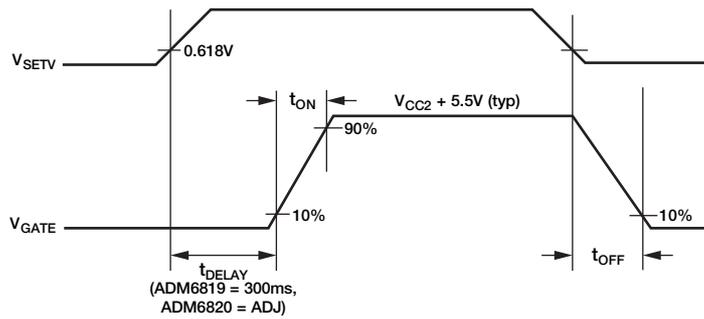


図3. シーケンシングにSETVを使用するADM6819/ADM6820のタイミング図

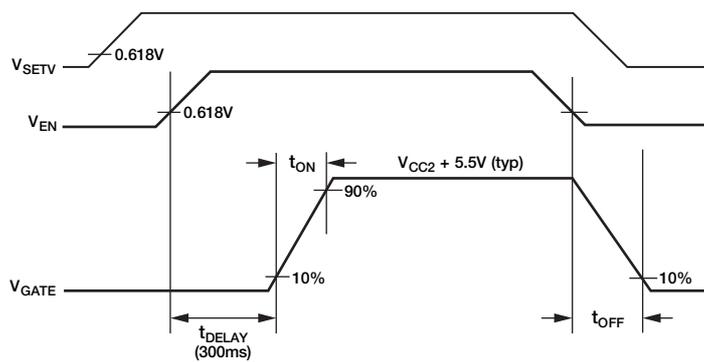
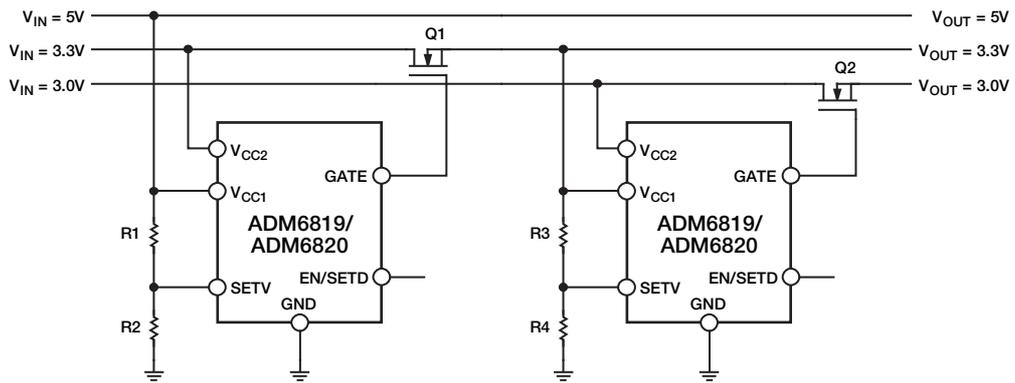


図4. シーケンシングにENとSETVを使用するADM6819のタイミング図



051-93-017

図5. 3つの電源レールのシーケンシングのためのADM6819/ADM6820ソリューション

ADM6819/ADM6820

絶対最大定格

表2

Parameter	Rating
V_{CC1} , V_{CC2}	-0.3 V to +6.0 V
SETV, SETD, EN	-0.3 V to +30 V
GATE	-0.3 V to ($V_{CCx} + 11$ V)
Storage Temperature	-65°C to +150°C
Operating Temperature Range	-40°C to +85°C
Lead Temperature (Soldering 10 sec)	300°C
Junction Temperature	150°C

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱特性

θ_{JA} は、ワースト・ケースの条件、すなわち回路ボードに表面実装パッケージをハンダ付けした状態で規定しています。

表3. 熱抵抗

Package Type	θ_{JA}	Unit
6-Lead SOT-23	169.5	°C/W

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



ピン配置とピン機能の説明

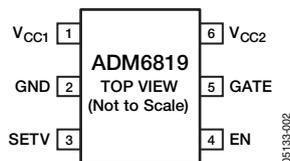


図6. ADM6819のピン配置

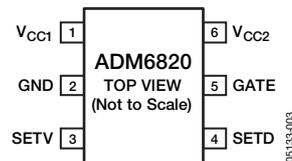


図7. ADM6820のピン配置

表4. ピン機能の説明

ピン番号		記号	説明
ADM6819	ADM6820		
1	1	V _{CC1}	電源電圧1。外付けFETドライブをイネーブルにするには、V _{CC1} またはV _{CC2} がUVLOを上回る必要があります。
2	2	GND	チップのグラウンド・ピン
3	3	SETV	シーケンス・スレッシュホールド・セット。GATEターンオンをイネーブルにするV _{CC1} スレッシュホールドを設定するには、外付け抵抗分圧器に接続します。内部リファレンスは0.618Vです。
4	—	EN	アクティブ・ハイ・イネーブル。GATEドライブは、ENがハイレベルに駆動されてからt _{DELAY} 後にイネーブルになります。ENがローレベルに駆動されると、GATEドライブはすぐにディスエーブルになります。使用しない場合は、このピンをV _{CC1} またはV _{CC2} のいずれか高い方に接続します。ENは、内部的にSETV (0.618Vのスレッシュホールド)と同じであるため、セカンダリ電源モニタとして使用して、シーケンシングが始まる前に2つの電源を確認することができます。
—	4	SETD	GATE遅延セット入力。SETV > V _{TH} からGATEターンオンまでの遅延を調整するには、SETDとGNDとの間に外付けコンデンサを接続します。t _{DELAY} (s) = 2.652 × 10 ⁶ × C _{SET} (F)。
5	5	GATE	GATEドライブ出力。GATEは、外付けNチャンネルFETを駆動してV _{CC2} を負荷に接続します。SETVがV _{TH} を上回りENABLEがハイレベルに駆動されてからt _{DELAY} 後に、GATEドライブがイネーブルになります。SETVがV _{TH} を下回るかENABLEがローレベルに駆動されると、GATEドライブはすぐにディスエーブルになります。イネーブルになると、内部チャージ・ポンプがGATEをV _{CCx} より上に駆動して、外付けNチャンネルFETを完全に強化します。
6	6	V _{CC2}	電源電圧2。外付けFETドライブをイネーブルにするには、V _{CC1} またはV _{CC2} がUVLOを上回ることが必要です。

代表的な性能特性

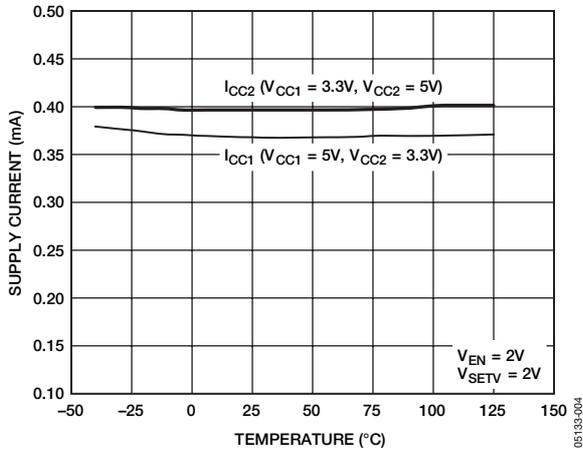


図8. 電源電流の温度特性

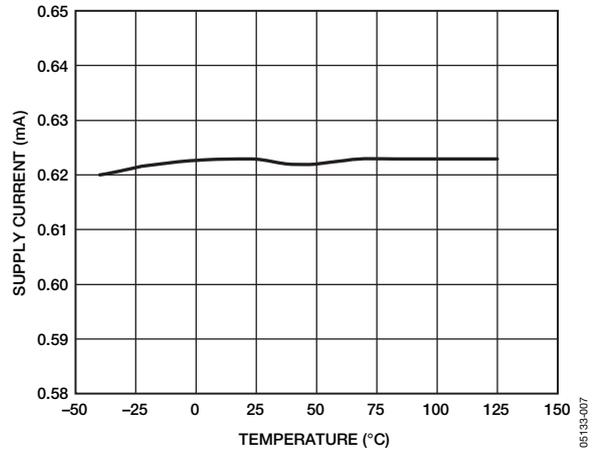


図11. 電源電流の温度特性

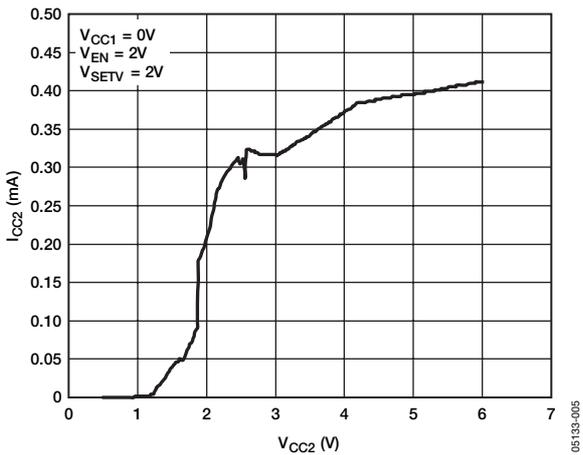


図9. V_{CC2} 対 I_{CC2}

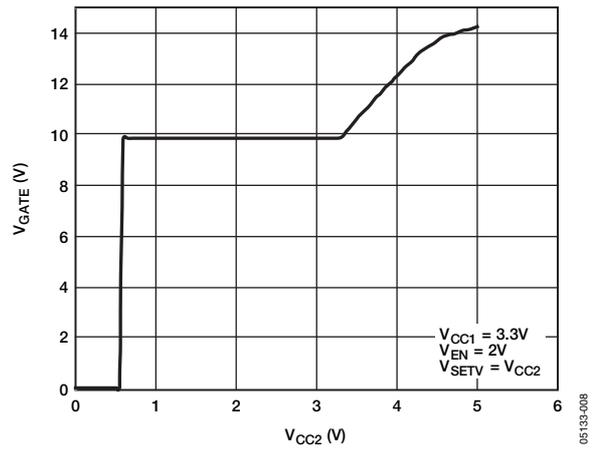


図12. V_{CC2} 対 V_{GATE}

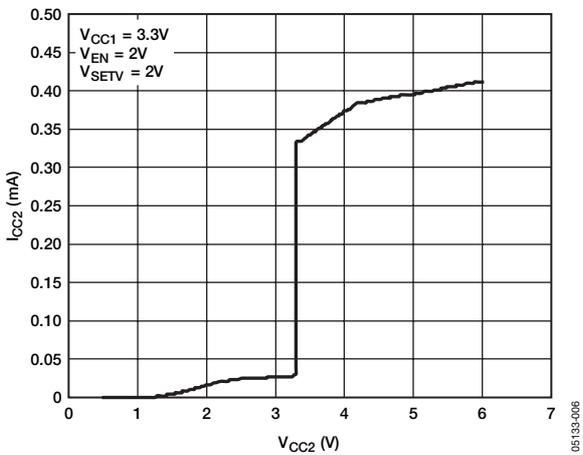


図10. V_{CC2} 対 I_{CC2}

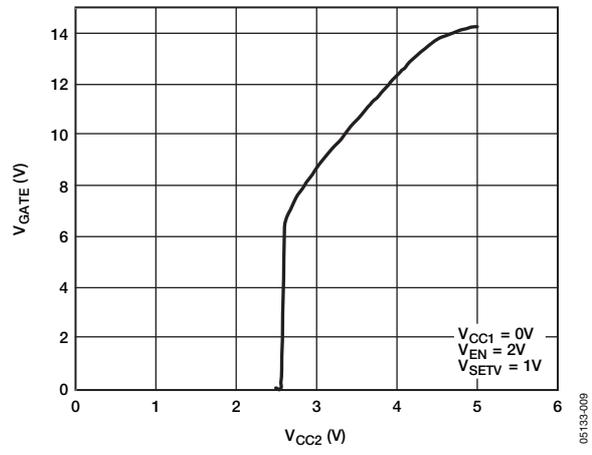


図13. V_{CC2} 対 V_{GATE}

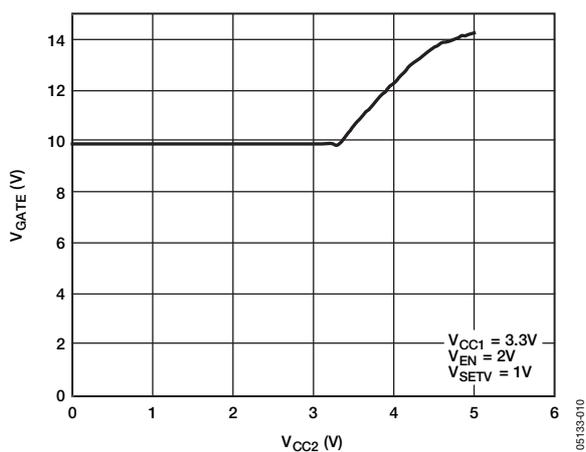


図14. V_{CC2} 対 V_{GATE}

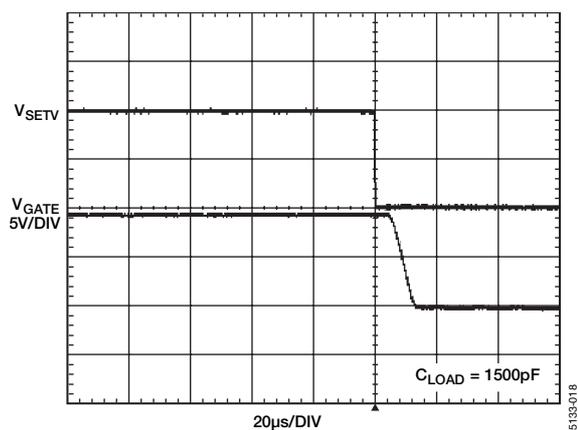


図16. ゲートのターンオフ時間

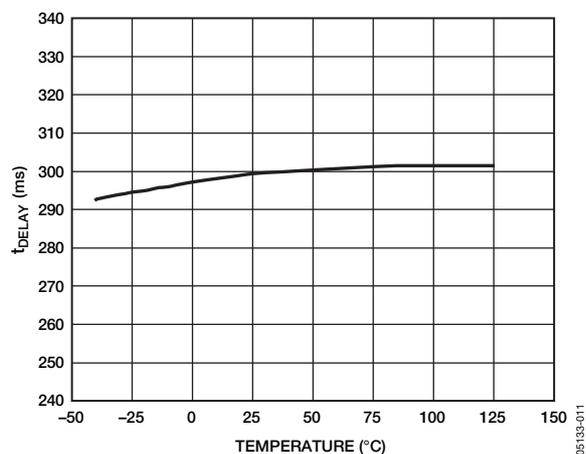


図15. t_{DELAY} の温度特性

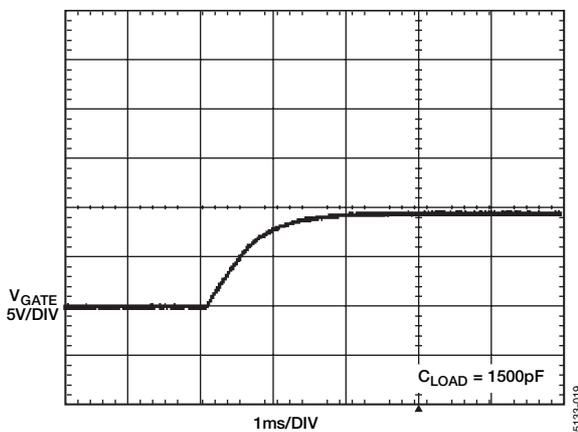


図17. ゲートのターンオン時間

ADM6819/ADM6820

動作原理

ADM6819/ADM6820は、マルチ電源サプライ・システムのローカル電圧シーケンスを行います。図18と図19に、これらのデバイスの代表的なアプリケーション図を示します。

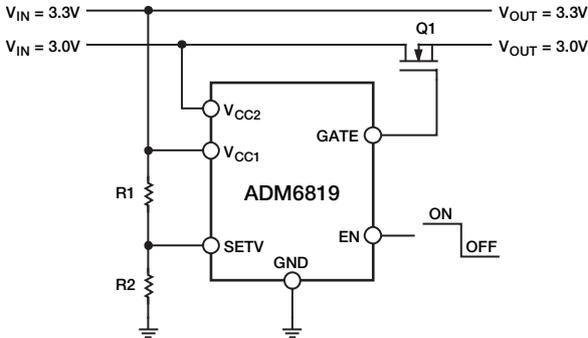


図18. ADM6819のアプリケーション図

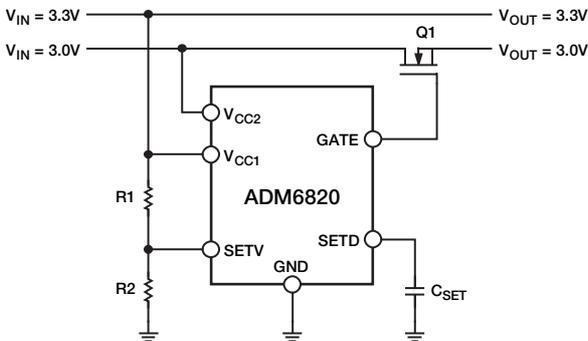


図19. ADM6820のアプリケーション図

ADM6819/ADM6820は、主電源が任意のスレッシュホールドを上回ると、セカンダリ電源バスのNチャンネルFETを制御してセカンダリ電源をイネーブルにします。V_{CC1}とV_{CC2}の両方がアンダー電圧スレッシュホールドを下回っている間は、GATEピンがローレベルに保持されるため、FETはオフのままです。V_{CC1}またはV_{CC2}がUVLOを上回り、主電源が必要なレベル（抵抗分圧器がSETVピンに指示）を上回る場合は、遅延時間が経過した後、外付けFETがオンに駆動されます。内部チャージ・ポンプで外付けFETを強化します。FETが完全に強化されたときにドレイン・ソース間の電圧降下を低減するには、低いドレイン・ソース間抵抗と低いV_{TH}を備えたFETを選択します。V_{CC1}またはV_{CC2}が2.95Vを超える場合には、いずれの電源も第1ソースとして機能します。どちらのV_{CC}がメイン電源であっても、100nF (typ値) のデカップリング・コンデンサを使用してください。

SETVピン

ADM6819/ADM6820は、監視対象の電源電圧が設定されたスレッシュホールドを超えると、電源をイネーブルにします。このスレッシュホールドは、SETVピンのR1/R2抵抗分圧器によって設定します。SETVでの電圧が0.618Vのスレッシュホールドを超えると、遅延タイマの満了後にFETがオンになります。ADM6820では、この遅延は、SETDピンのコンデンサを使用して設定できます。ADM6819では、この遅延は300msに固定されており、タイマを開始するにはENピンが有効なハイレベルにある必要があります。必要なターンオン電圧は、次の式で計算します。

$$R1 = R2 ((VTRIP/V_{TH}) - 1)$$

ここで、

V_{TRIP}は、監視される電源における最小ターンオン電圧です。

$$V_{TH} = 0.618V.$$

SETVの入力電流は10nA (typ値) であるため、高い値の抵抗を使用できます。

ENピン

ADM6819のイネーブル (EN) ピンは、第2コンパレータの入力に接続しています。これはSETVピンのコンパレータと同じです。信号V_{OL}が0.6Vを下回る場合は、ENをデジタル入力として使用できます。あるいは、イネーブル入力を使用して第2電源を検証できます。SETVとENの両方がスレッシュホールドを超えない限り、固定された300msのタイマはカウントを始めません。このタイマが満了しない限り、出力がイネーブルになることはありません。

GATEピン

内部チャージ・ポンプは、外付けコンデンサなしで、NチャンネルMOSFETのゲートを駆動できます。これにより、MOSFETが強化されてMOSFETの両端で最小の電圧降下が生じるため、FETの両端での電圧降下が減少します。このチャージ・ポンプは、MOSFETゲート入力の高インピーダンス容量性負荷を駆動するように設計されています。ゲートの駆動能力の低下を防ぐため、GATEピンには抵抗性負荷を加えないください。アンダー電圧ロックアウト時に、GATEはGNDに保持されます。

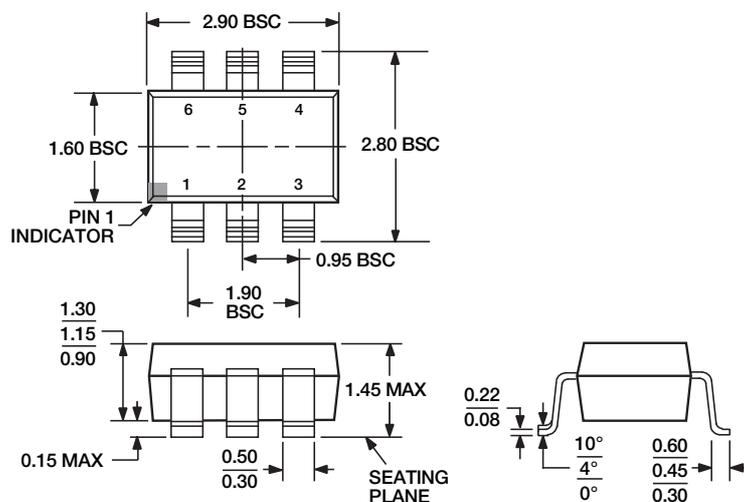
SETDピン

ADM6820には、コンデンサで調整できるシーケンス遅延があります。シーケンス遅延の長さは、SETDピンに接続したコンデンサによって決まります。シーケンス遅延は、次の式によって計算できます。

$$t_{DELAY} (s) = 2.652 \times 10^6 \times C_{SET}$$

ADM6819には、固定の300msの遅延があります。

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-178-AB

図20. 6ピン・スモール・アウトライン・トランジスタ・パッケージ [SOT-23]
(RJ-6)

寸法単位：mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Branding
ADM6819ARJZ-REEL7 ¹	-40°C to +85°C	6-Lead Small Outline Transistor Package [SOT-23]	RJ-6	M2R
ADM6820ARJZ-REEL7 ¹	-40°C to +85°C	6-Lead Small Outline Transistor Package [SOT-23]	RJ-6	M2S

¹ Z=鉛フリー製品