

特長

データを電氣的に絶縁したRS-485トランシーバ
ANSI EIA/TIA RS-485-A-1998とISO 8482:1987 (E)に準拠
データレート: 500kbps
スループートを制限したドライバ出力
低消費電力: 2.5mA (max)
5V動作または3V動作に対応 (V_{DD1})
高コモン・モード過渡耐圧: 25kV/ μ s以上
レシーバのフェイルセーフ機能
チャタリング・フリーのパワーアップ/パワーダウン保護機能
バス上のノード数: 最大256
サーマル・シャットダウン保護機能
安全性規格の認定:

UL認定: UL 1577/2500V_{RMS} (1分間)
CSA Component Acceptance Notice #5A
VDE適合認定
DIN EN 60747-5-2 (VDE 0884 Rev. 2): 2003-01
DIN EN 60950 (VDE 0805): 2001-12; EN 60950: 2000
 $V_{IORM}=560V$ (ピーク)
動作温度範囲: $-40\sim+85^{\circ}C$

アプリケーション

低消費電力RS-485/RS-422回路
絶縁型インターフェース
制御ネットワークの構築
マルチポイント・データ伝送システム

概要

ADM2483差動バス・トランシーバは、マルチポイント・バスの平衡伝送ラインを使用した双方向データ通信向けに設計された特殊小型トランス絶縁を内蔵したICです。ANSI EIA/TIA RS-485-AおよびISO 8482:1987(E)に準拠しています。ADM2483はアナログ・デバイス社の*iCoupler*[®]技術を採用し、3チャンネル・アイソレータ、スリーステート差動ライン・ドライバ、差動入力レシーバをシングル・パッケージに組み込んでいます。デバイスのシステム側は5Vまたは3V電源で動作しますが、バス側はシステムと絶縁された5V電源でのみ動作します。

ADM2483は、適確に終端されていない伝送ラインでの反射を軽減するために、スループートを制限しています。これにより、データレートは500kbpsに制限されています。デバイスの入力インピーダンスは96k Ω であるため、バス上に最大256個のトランシーバを接続できます。ドライバはアクティブ・ハイのインエーブル・ピン (DE) を備えています。ドライバの差動出力とレシーバの差動入力はいずれも内部で接続され、差動入出力ポートを

機能ブロック図

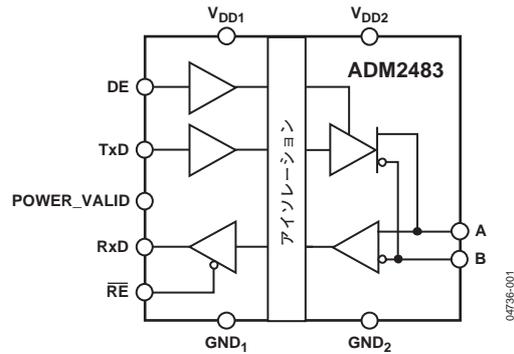


図1

構成しています (半二重)。この入出力ポートは、ドライバがディスエーブルのとき、または V_{DD1} または $V_{DD2}=0V$ のとき、バスの負荷を最小化します。また、受信出力を高インピーダンス状態にするアクティブ・ハイのレシーバ・ディスエーブル機能も用意されています。

レシーバ入力は真のフェイルセーフ機能を持っているため、入力のオープンまたは短絡時にロジック・ハイのレシーバ出力レベルが保証されます。したがって、通信開始前および通信終了時点で、レシーバ出力が既知状態にあることが保証されます。

ADM2483には電流制限機能とサーマル・シャットダウン機能があり、出力の短絡やバス輻輳時の過度な電力消費からデバイスを保護します。工業用温度範囲で仕様規定され、16ピンのワイド・ボディSOICパッケージを採用しています。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいはその利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものではありません。仕様は予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。日本語データシートは、REVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
©2005 Analog Devices, Inc. All rights reserved.

ADM2483

目次

仕様	3	回路の説明	14
タイミング仕様	4	電氣的絶縁	14
絶対最大定格	5	真理値表	15
ESDに関する注意	5	パワーアップ/パワーダウン特性	15
パッケージ特性	6	サーマル・シャットダウン	15
適用規格	6	レシーバのフェイルセーフ入力	15
絶縁および安全性関連の仕様	6	磁界耐性	15
VDE 0884絶縁特性	7	アプリケーション情報	17
ピン配置および機能の説明	8	PV（電源有効）入力	17
テスト回路	9	絶縁型電源回路	17
スイッチング特性	10	外形寸法	18
代表的な性能特性	11	オーダー・ガイド	18

改訂履歴

3/05—Rev. A to Rev. B

Change to Features	1
Change to Package Characteristics	6
Changes to Pin Function Descriptions	8
Changes to Figure 9 and Figure 11	10
Change to Power_Valid Input Section	17
Changes to Figure 30	17
Changes to Ordering Guide	18

1/05—Rev. 0 to Rev. A

Changes to ESD maximum rating specification	5
---	---

10/04—Revision 0: Initial Version

仕様

特に指定のない限り、 $2.7 \leq V_{DD1} \leq 5.5V$ 、 $4.75V \leq V_{DD2} \leq 5.25V$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。

表1

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
ドライバ					
差動出力:					
差動出力電圧 (V_{OD})			5	V	$R = \infty$ 、図3
	2.0		5	V	$R = 50 \Omega$ (RS-422)、図3参照
	1.5		5	V	$R = 27 \Omega$ (RS-485)、図3参照
	1.5		5	V	$V_{TST} = -7 \sim 12V$ 、 $V_{DD1} \geq 4.75$ 、 図4参照
相補出力状態の $\Delta V_{OD} $			0.2	V	$R = 27 \Omega$ または 50Ω 、図3参照
コモン・モード出力電圧 (V_{OC})			3	V	$R = 27 \Omega$ または 50Ω 、図3参照
相補出力状態の $\Delta V_{OC} $			0.2	V	$R = 27 \Omega$ または 50Ω 、図3参照
出力短絡電流、 $V_{OUT} = \text{ハイレベル}$	-250		+250	mA	$-7V \leq V_{OUT} \leq +12V$
出力短絡電流、 $V_{OUT} = \text{ローレベル}$	-250		+250	mA	$-7V \leq V_{OUT} \leq +12V$
ロジック入力:					
入力ハイレベル電圧	$0.7V_{DD1}$			V	TxD、DE、 \overline{RE} 、PV
入力ローレベル電圧			$0.25V_{DD1}$	V	TxD、DE、 \overline{RE} 、PV
CMOSロジック入力電流 (TxD、DE、 \overline{RE} 、PV)	-10	+0.01	+10	μA	TxD、DE、 \overline{RE} 、PV = V_{DD1} または $0V$
レシーバ					
差動入力:					
差動入力スレッショルド電圧 (V_{TH})	-200	-125	-30	mV	$-7V \leq V_{CM} \leq +12V$
入力ヒステリシス		20		mV	$-7V \leq V_{CM} \leq +12V$
入力抵抗 (A、B)	96	150		k Ω	$-7V \leq V_{CM} \leq +12V$
入力電流 (A、B)			0.125	mA	$V_{IN} = +12V$
			-0.1	mA	$V_{IN} = -7V$
RxDロジック出力:					
出力ハイレベル電圧	$V_{DD1} - 0.1$			V	$I_{OUT} = 20 \mu A$ 、 $V_A - V_B = 0.2V$
	$V_{DD1} - 0.4$	$V_{DD1} - 0.2$		V	$I_{OUT} = 4mA$ 、 $V_A - V_B = 0.2V$
出力ローレベル電圧			0.1	V	$I_{OUT} = -20 \mu A$ 、 $V_A - V_B = -0.2V$
			0.4	V	$I_{OUT} = -4mA$ 、 $V_A - V_B = -0.2V$
出力短絡電流	7		85	mA	$V_{OUT} = GND$ または V_{CC}
スリープ状態出力リーク電流			± 1	μA	$0.4V \leq V_{OUT} \leq 2.4V$
電源電流					
システム側			2.5	mA	$4.5V \leq V_{DD1} \leq 5.5V$ 、出力無負荷、 $\overline{RE} = 0V$
			1.3	mA	$2.7V \leq V_{DD1} \leq 3.3V$ 、出力無負荷、 $\overline{RE} = 0V$
バス側			2.0	mA	出力無負荷、DE = 5V
			1.7	mA	出力無負荷、DE = 0V
コモン・モード過渡耐圧 ¹	25			kV/ μs	TxD = V_{DD1} または $0V$ 、 $V_{CM} = 1kV$ 、 過渡電圧振幅 = 800V

¹ コモン・モード過渡耐圧は、仕様準拠動作を維持しているときのコモン・モード電圧の最大スルーレートにあたります。 V_{CM} は、システム側とバス側との間のコモン・モードの電位差です。過渡電圧振幅は、コモン・モードの平衡が失われる範囲を表します。コモン・モード電圧スルーレートは、立上がりおよび立下がりの両コモン・モード電圧エッジに適用されます。

ADM2483

タイミング仕様

特に指定のない限り、 $2.7 \leq V_{DD1} \leq 5.5V$ 、 $4.75V \leq V_{DD2} \leq 5.25V$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。

表2

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
ドライバ					
最大データレート	500			kbps	
伝搬遅延 (t_{PLH} 、 t_{PHL})	250		620	ns	$R_{LDIFF} = 54 \Omega$ 、 $C_{L1} = C_{L2} = 100pF$ 、図5および図9参照
スキュー (t_{SKEW})			40	ns	$R_{LDIFF} = 54 \Omega$ 、 $C_{L1} = C_{L2} = 100pF$ 、図5および図9参照
立上がり/立下がり時間 (t_R 、 t_F)	200		600	ns	$R_{LDIFF} = 54 \Omega$ 、 $C_{L1} = C_{L2} = 100pF$ 、図5および図9参照
イネーブル時間			1050	ns	$R_L = 500 \Omega$ 、 $C_L = 100pF$ 、図6および図11参照
デイスエーブル時間			1050	ns	$R_L = 500 \Omega$ 、 $C_L = 15pF$ 、図6および図11参照
レシーバ					
伝搬遅延 (t_{PLH} 、 t_{PHL})	400		1050	ns	$C_L = 15pF$ 、図7および図10参照
差動スキュー (t_{SKEW})			250	ns	$C_L = 15pF$ 、図7および図10参照
イネーブル時間		25	70	ns	$R_L = 1k \Omega$ 、 $C_L = 15pF$ 、図8および図12参照
デイスエーブル時間		40	70	ns	$R_L = 1k \Omega$ 、 $C_L = 15pF$ 、図8および図12参照
PV(電源有効)入力					
イネーブル時間		1	2	μs	
デイスエーブル時間		3	5	μs	

絶対最大定格

特に指定のない限り、 $T_A=25^{\circ}\text{C}$ 。すべての電圧はそれぞれのグラウンドを基準とします。

表3

パラメータ	定格
V_{DD1}	$-0.5\sim+7\text{V}$
V_{DD2}	$-0.5\sim+6\text{V}$
デジタル入力電圧 (DE、 $\overline{\text{RE}}$ 、TxD)	$-0.5\sim V_{DD1}+0.5\text{V}$
デジタル出力電圧	
RxD	$-0.5\sim V_{DD1}+0.5\text{V}$
ドライバ出力/レシーバ入力電圧	$-9\sim+14\text{V}$
ESD定格: 接触 (人体モデル) (A、Bピン)	$\pm 2\text{kV}$
動作温度範囲	$-40\sim+85^{\circ}\text{C}$
保存温度範囲	$-55\sim+150^{\circ}\text{C}$
ピン当たりの平均出力電流	$-35\sim+35\text{mA}$
θ_{JA} 熱抵抗	$73^{\circ}\text{C}/\text{W}$
リード・ピン温度	
ハンダ処理 (10秒)	260°C
ベーキング時間 (60秒)	215°C
赤外線 (15秒)	220°C

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣下や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



ADM2483

パッケージ特性

表4

パラメータ	記号	Min	Typ	Max	単位	テスト条件
抵抗(入力～出力間) ¹	R _{I-O}		10 ¹²		Ω	
容量(入力～出力間) ¹	C _{I-O}		3		pF	f=1MHz
入力容量 ²	C _I		4		pF	
入力側ICの接合点とケース間の熱抵抗	θ _{JCI}		33		°C/W	パッケージ裏側中央に熱電対を装着
出力側ICの接合点とケース間の熱抵抗	θ _{JCO}		28		°C/W	パッケージ裏側中央に熱電対を装着

¹ デバイスを2ピン・デバイスとみなして1、2、3、4、5、6、7、8の各ピンを互いに接続し、9、10、11、12、13、14、15、16の各ピンを互いに接続。

² 入力容量は任意の入力データ・ピンとグラウンド間で測定。

適用規格

ADM2483は次の機関から認定を受けています。

表5

UL ¹	CSA	VDE ²
1577部品認定プログラムによる認定	「CSA Component Acceptance Notice #5A」による認定	DIN EN 60747-5-2 (VDE 0884 Part 2) : 2003-01による認定 DIN EN 60747-5-2 (VDE 0884 Part 2) 2003-01、DIN EN 60950 (VDE 0805) : 2001-12、EN 60950: 2000に準拠
File E214100	File 205078	File 2471900-4880-0001

¹ UL 1577に従い、各ADM2483は3000V_{rms}以上の絶縁テスト電圧を1秒間加えるテストを実施しています(リーク電流検出の規定値=5μA)。

² VDE 0884に従い、各ADM2483は1050V_{PEAK}以上の絶縁テスト電圧を1秒間加えるテストを実施しています(部分放電検出の規定値=5pC)。

絶縁および安全性関連の仕様

表6

パラメータ	記号	値	単位	条件
定格絶縁電圧		2500	V _{rms}	1分間継続
最小外部空間距離(クリアランス)	L(I01)	最小7.45	mm	入力ピンから出力ピンまでの空間最短距離を測定
最小外部沿面距離(クリーページ)	L(I02)	最小8.1	mm	入力ピンから出力ピンまでのボディ表面に沿う最短パスを測定
最小内部空間距離(内部クリアランス)		最小0.017	mm	絶縁体を通過する絶縁距離
耐トラッキング性(トラッキング指数)	CTI	>175	V	DIN IEC 112/VDE 0303 Part 1
絶縁グループ		IIIa		材料グループ(DIN VDE 0110,1/89、表1)

VDE 0884絶縁特性

このアイソレータは基本的な電氣的絶縁を得るのに適していますが、必ず安全性データの範囲内で使用してください。安全性データを超えるような場合は、保護回路を使用する必要があります。

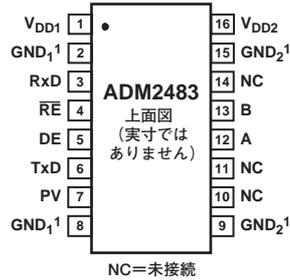
パッケージ表面のアスタリスク(*)は、560V(ピーク)動作電圧に対してVDE 0884認定済みであることを示します。

表7

説明	記号	特性	単位
DIN VDE 0110に基づく定格電圧に対する設置カテゴリ			
≤150Vrms		I~IV	
≤300Vrms		I~III	
≤400Vrms		I~II	
環境カテゴリ		40/85/21	
汚染度(DIN VDE 0110の表1)		2	
最大動作絶縁電圧	V_{IORM}	560	V_{PEAK}
入力~出力間テスト電圧、メソッドb1	V_{PR}	1050	V_{PEAK}
$V_{IORM} \times 1.875 = V_{PR}$ 、100%出荷テスト、 $t_m = 1$ 秒、部分放電<5pC			
入力~出力間テスト電圧、メソッドa (環境テスト・サブグループ1の後)			
$V_{IORM} \times 1.6 = V_{PR}$ 、 $t_m = 60$ 秒、部分放電<5pC (入力および/または安全性テスト・サブグループ2/3の後)		896	V_{PEAK}
$V_{IORM} \times 1.2 = V_{PR}$ 、 $t_m = 60$ 秒、部分放電<5pC	V_{PR}	672	V_{PEAK}
最大許容過電圧 (過渡過電圧、 $t_{TR} = 10$ 秒)	V_{TR}	4000	V_{PEAK}
安全性限界値(故障時に許容できる最大値、図23のサーマル・ディレーティング・カーブを参照)			
ケース温度	T_S	150	°C
入力電流	$I_{S,INPUT}$	265	mA
出力電流	$I_{S,OUTPUT}$	335	mA
T_S 、 $V_{IO} = 500V$ での絶縁抵抗	R_S	>10 ⁹	Ω

ADM2483

ピン配置および機能の説明



¹ ピン2とピン8は内部で接続されており、どちらか一方または両方をGND₁として使用できます。
ピン9とピン15は内部で接続されており、どちらか一方または両方をGND₂として使用できます。

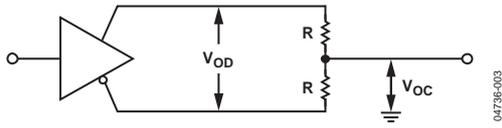
04736-002

図2. ピン配置

表8. ピン機能の説明

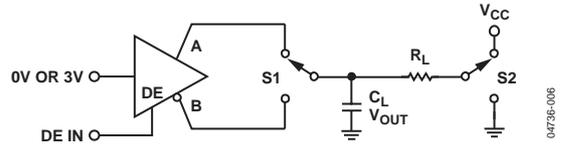
ピン番号	記号	説明
1	V _{DD1}	電源 (システム側)
2、8	GND ₁	グラウンド (システム側)
3	RxD	レシーバの出力データ。イネーブルの場合、RxDは(A-B) ≥ -30mVのときハイレベル、(A-B) ≤ -200mVのときローレベルになります。レシーバがディスエーブルのとき、すなわちREがハイレベルに駆動されたとき、スリープ状態になります。
4	RE	レシーバのイネーブル入力。アクティブ・ロー入力。この入力をローレベルにするとレシーバがイネーブルになり、ハイレベルにするとレシーバがディスエーブルになります。
5	DE	ドライバのイネーブル入力。この入力をハイレベルにするとドライバがイネーブルになり、ローレベルにするとドライバがディスエーブルになります。
6	TxD	送信データ入力。ドライバから送信するデータがこのピンに入力されます。
7	PV	電源有効入力。パワーアップおよびパワーダウン時に使用します。「アプリケーション情報」を参照。
9、15	GND ₂	グラウンド (バス側)
10、11、14	NC	未接続
12	A	非反転ドライバ出力/レシーバ入力。ドライバがディスエーブルのとき、またはV _{DD1} かV _{DD2} がパワーダウンのとき、ピンAは高インピーダンス状態になって、バスの過負荷を回避します。
13	B	反転ドライバ出力/レシーバ入力。ドライバがディスエーブルのとき、またはV _{DD1} かV _{DD2} がパワーダウンのとき、ピンBは高インピーダンス状態になって、バスの過負荷を回避します。
16	V _{DD2}	電源 (バス側)

テスト回路



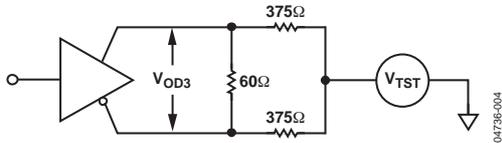
04736-003

図3. ドライバ電圧測定



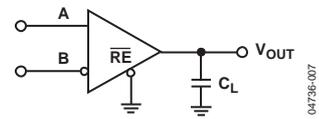
04736-006

図6. ドライバ・イネーブル / ディスエーブル



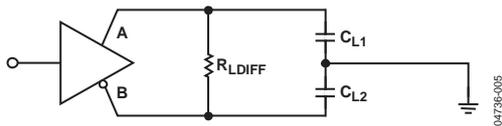
04736-004

図4. ドライバ電圧測定



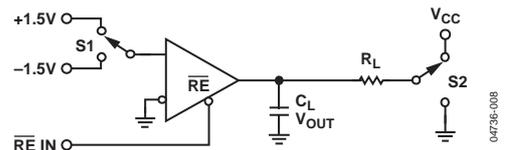
04736-007

図7. レシーバ伝搬遅延



04736-005

図5. ドライバ伝搬遅延



04736-008

図8. レシーバ・イネーブル / ディスエーブル

スイッチング特性

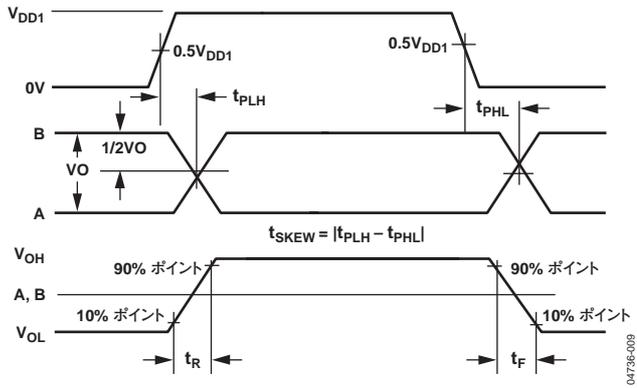


図9. ドライバ伝搬遅延、立上がり/立下がりタイミング

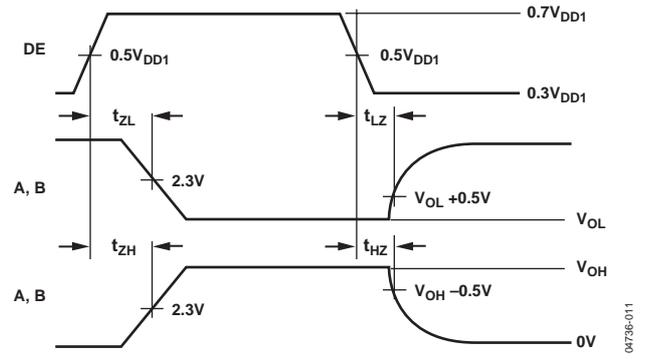


図11. ドライバ・イネーブル/ディスエーブル・タイミング

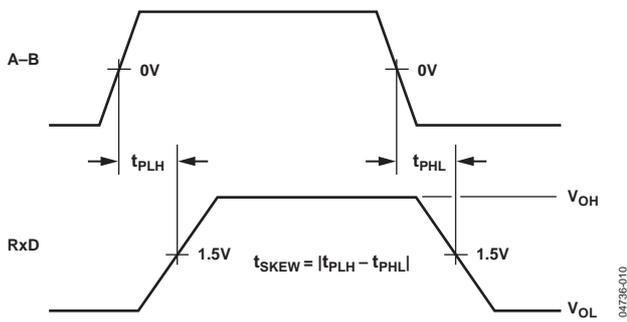


図10. レシーバ伝搬遅延

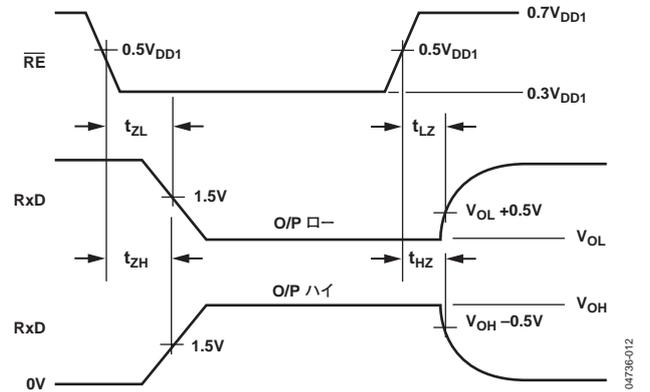


図12. レシーバ・イネーブル/ディスエーブル・タイミング

代表的な性能特性

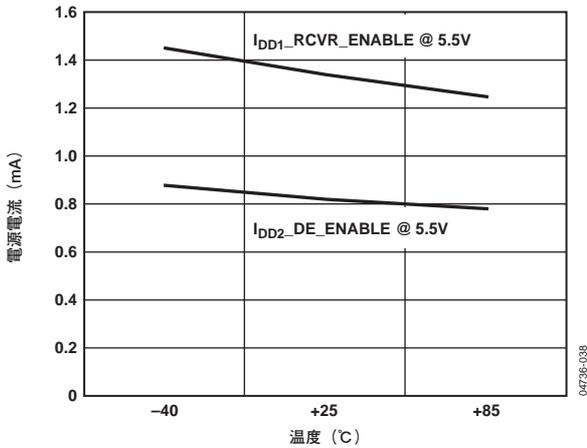


図13. 無負荷時電源電流の温度特性

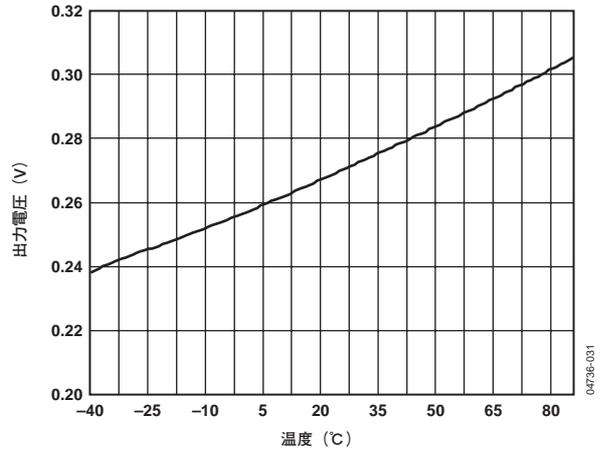


図16. レシーバ出力ローレベル電圧の温度特性 ($I = -4mA$)

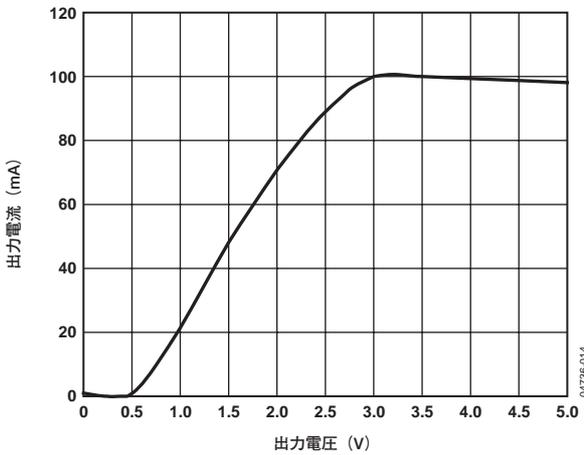


図14. ドライバ出力ローレベル電圧 対 出力電流

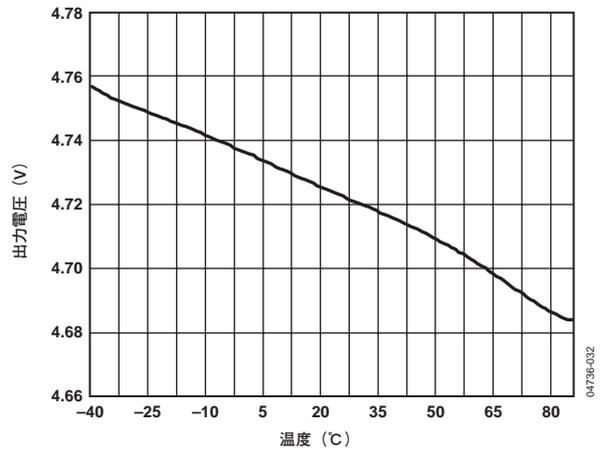


図17. レシーバ出力ハイレベル電圧の温度特性 ($I = 4mA$)

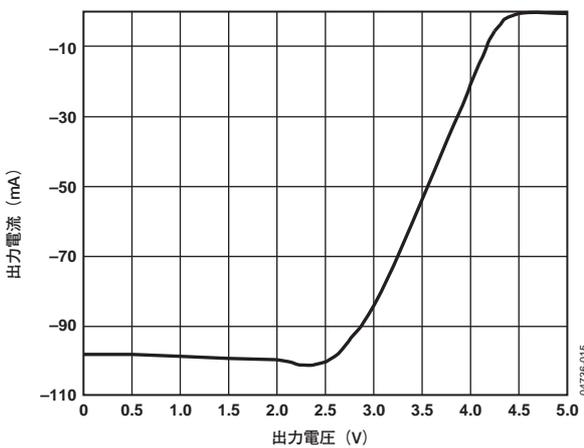


図15. ドライバ出力ハイレベル電圧 対 出力電流

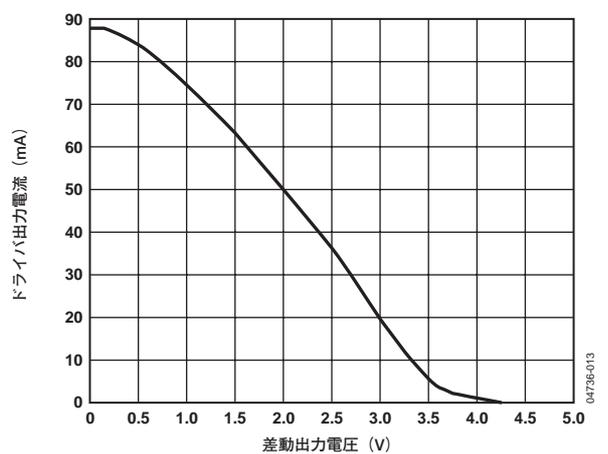


図18. 差動出力電圧 対 ドライバ出力電流

ADM2483

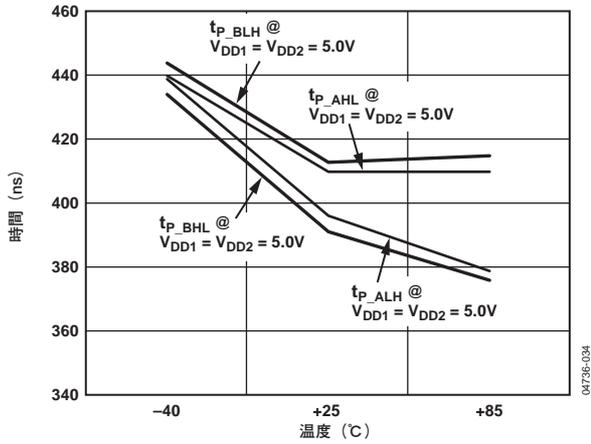


図19. ドライバの伝搬遅延の温度特性

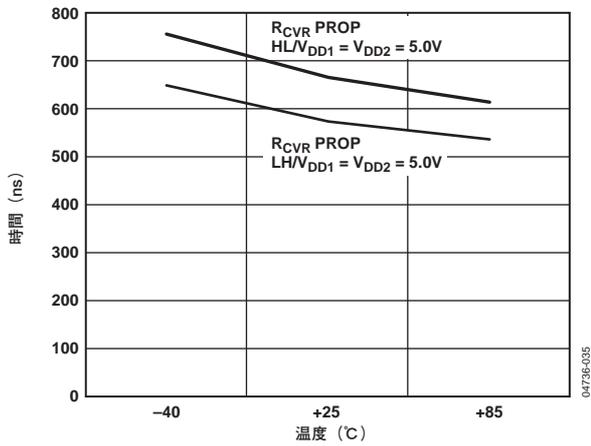


図20. レシーバの伝搬遅延の温度特性

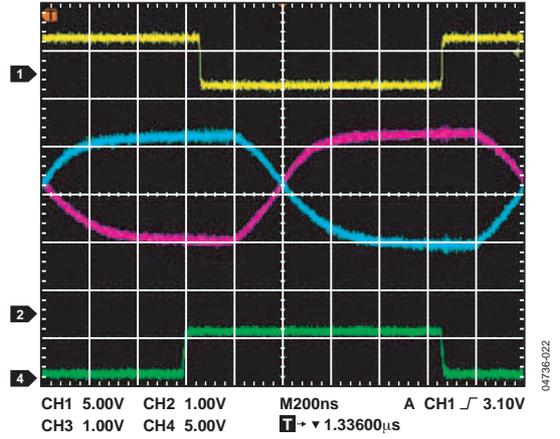


図21. ドライバ/レシーバ伝搬遅延(ハイレベルからローレベルへ)

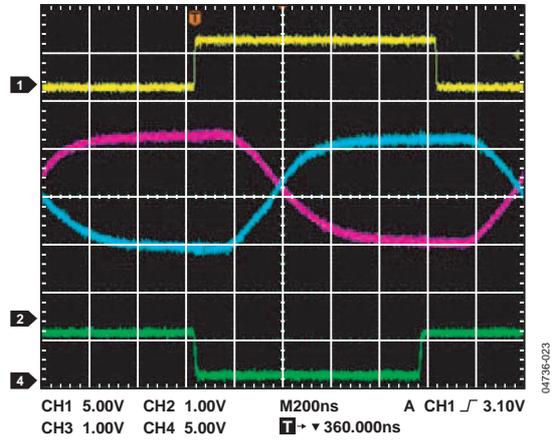


図22. ドライバ/レシーバ伝搬遅延(ローレベルからハイレベルへ)

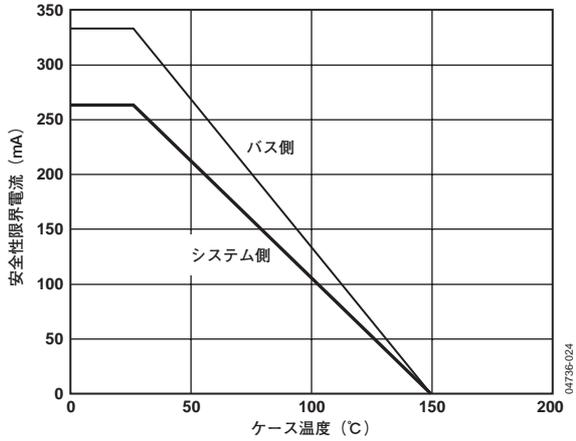


図23. サーマル・デレーティング・カーブ、VDE 0884による安全性限界電流のケース温度依存性

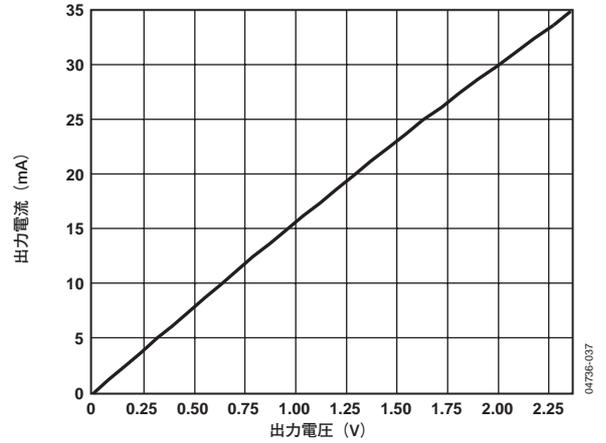


図25. レシーバ出力ローレベル電圧 対 出力電流

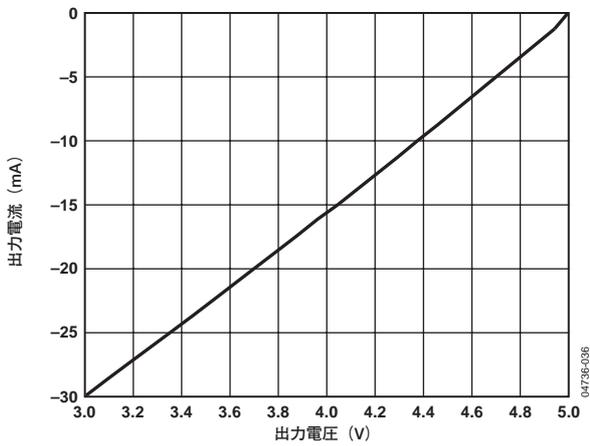


図24. レシーバ出力ハイレベル電圧 対 出力電流

ADM2483

回路の説明

電氣的絶縁

ADM2483では、インターフェースのシステム側で電氣的絶縁を行っています。したがって、デバイスは主にデジタル・アイソレーション部とトランシーバ部からなります(図26)。TxDピンに入力されるドライバ入力信号とDEピンに入力されるデータ・イネーブル信号はロジック・グラウンド(GND₁)を基準としており、アイソレーション・バリアを越えて絶縁されたグラウンド(GND₂)を基準とするトランシーバ部に渡されます。同様に、トランシーバ部の絶縁されたグラウンドを基準とするレシーバ出力は、アイソレーション・バリアを越えてロジック・グラウンドを基準とするRxDピンに出力されます。

iCoupler技術

デジタル信号はiCoupler技術によってアイソレーション・バリアを越えて送信されます。この技術では、チップ・サイズのトランス巻線を使って、デジタル信号をバリアの一方から他方へ磁氣的に結合します。デジタル入力は、トランスの1次巻線を励磁できる能力を持つ波形にエンコードされます。2次巻線では、エンコードされた波形が送信された元のバイナリ値にデコードされます。

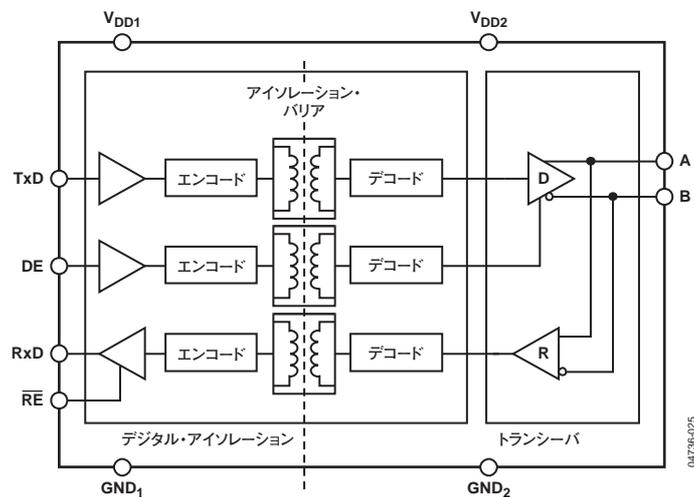


図26. ADM2483のデジタル・アイソレーション部とトランシーバ部

真理値表

以下の真理値表では次の略語を使っています。

略語	説明
H	ハイレベル
L	ローレベル
X	無関係
Z	高インピーダンス(オフ)
NC	切断

表9. 送信

電源状態		入力		出力	
V _{DD1}	V _{DD2}	DE	TxD	A	B
オン	オン	H	H	H	L
オン	オン	H	L	L	H
オン	オン	L	X	Z	Z
オン	オフ	X	X	Z	Z
オフ	オン	X	X	Z	Z
オフ	オフ	X	X	Z	Z

表10. 受信

電源状態		入力		出力
V _{DD1}	V _{DD2}	A-B(V)	\overline{RE}	RxD
オン	オン	>-0.03	LまたはNC	H
オン	オン	<-0.2	LまたはNC	L
		-0.2 < A-B		
オン	オン	<-0.03	LまたはNC	不定
オン	オン	入力オープン	LまたはNC	H
オン	オン	X	H	Z
オン	オフ	X	LまたはNC	H
オフ	オン	X	LまたはNC	H
オフ	オフ	X	LまたはNC	L

パワーアップ/パワーダウン特性

ADM2483のパワーアップ/パワーダウン特性は、表11に示す電源スレッシュホールドに従います。パワーアップすると、ADM2483の出力信号(A、B、RxD)は、両電源がそれぞれのスレッシュホールドを超えた後に、正しい状態に到達します。パワーダウンすると、ADM2483の各出力信号は少なくとも1つの電源がパワーダウン・スレッシュホールドを下回るまで、正しい状態を保持します。V_{DD1}のパワーダウン・スレッシュホールド以下になると、ADM2483の出力信号は4μs内に無電源状態に到達します。

表11. パワーアップ/パワーダウン・スレッシュホールド

電源	遷移	スレッシュホールド(V)
V _{DD1}	パワーアップ	2.0
V _{DD1}	パワーダウン	1.0
V _{DD2}	パワーアップ	3.3
V _{DD2}	パワーダウン	2.4

サーマル・シャットダウン

ADM2483はサーマル・シャットダウン回路を内蔵しており、故障時に消費電力が大きくなり過ぎないように保護します。ドライバ出力を低インピーダンス電源に短絡すると、大きなドライバ電流が流れます。温度検出回路がこの状態でのチップ温度上昇を検出して、ドライバ出力をディスエーブルにします。この回路は、チップ温度が150℃に到達したとき、ドライバ出力をディスエーブルにするように設計されています。デバイスが冷えて温度140℃になると、ドライバは再びイネーブルになります。

レシーバのフェイルセーフ入力

レシーバ入力は真のフェイルセーフ機能を持っているため、入力のオープンまたは短絡時にロジック・ハイレベルのレシーバ出力を保証します。ラインがアイドル状態で、バス上のドライバがイネーブルになっていないとき、レシーバ入力側の終端抵抗の両端の電圧は0Vに向かって減少します。従来型のトランシーバでは、レシーバ入力スレッシュホールドを-200~+200mVの間に指定する場合、レシーバ出力を既知状態にするのにAピンとBピンに外付けのバイアス抵抗が必要でした。しかし、真のフェイルセーフ・レシーバ入力機能により、-30~-200mVの間にレシーバ入力スレッシュホールドを指定することで、バイアス抵抗が不要になります。負のスレッシュホールドを保証するという事は、AとBの間の電圧が0Vに減少したとき、レシーバ出力が必ずハイレベルになるということです。

磁界耐性

iCouplerはコアレスの技術を採用し、磁性部品がないためコア材の磁気飽和といった問題がありません。ですから、iCouplerは基本的にDC磁界に対して無限の耐性があります。

しかし、iCouplerのAC磁界耐性は、次の条件によって制限されます。すなわち、受信側コイル(この場合は下側のコイル)に発生した誘導誤差電圧が大きくなって、デコーダをセットもしくはリセットさせる誤動作が発生するような場合です。以下の解析でこの状態が発生する条件を定義します。ADM2483は3V動作が最も感受性の高い動作モードであることから、この状態を調べます。受信側コイルへの誘導電圧は次式で求められます。

$$V = \left(\frac{-d\beta}{dt} \right) \sum \pi r_n^2; n = 1, 2, \dots, N$$

ここで、トランス出力でのパルスは1.0V以上の振幅があるとします。

β = 磁束密度 (Gauss: ガウス)

N = 受信側コイルの巻数

r_n = 受信側コイル巻数n回目の半径 (cm)

デコーダは約0.5Vの検出スレッシュホールドを持つため、誘導電圧に対しては0.5Vの余裕があります。

ADM2483

受信側コイルの形状を考え、誘導電圧がデコーダの0.5Vマージンの50%以下とすると、最大許容磁界は図27のように計算されます。

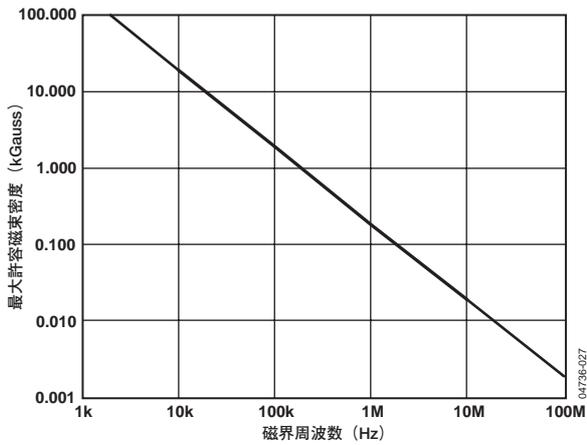


図27. 最大許容外部磁界

たとえば、磁界周波数=1MHzで、最大許容磁界=0.2kGaussの場合、受信側コイルでの誘導電圧は0.25Vになります。これは検出スレッショールの約50%であることから、出力遷移の誤動作は起きません。同様に、仮にこのような条件が送信パルス内に存在し、かつ最悪ケースの極性であっても、受信パルスが1.0V以上から0.75Vへ減少されるため、デコーダの検出スレッショールド0.5Vに対してまだ余裕があります。

図28に磁束密度値を示します。この図では、ADM2483のトランスから一定の距離をおいたときの磁束密度値を、わかりやすい最大許容電流で表しています。

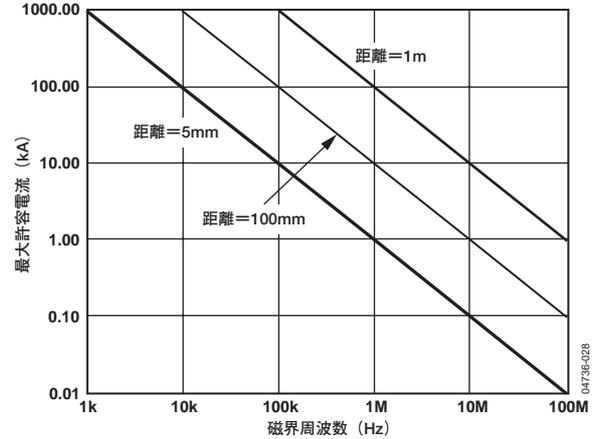


図28. 電流とADM2483との間の距離を変えたときの最大許容電流

強い磁界と高周波が組み合わせられると、PCボードのパターンで形成されるループに大きな誤差電圧が誘導され、後段回路のスレッショールドがトリガされることがあります。パターンのレイアウトでは、このようなことが発生しないように注意が必要です。

アプリケーション情報

PV(電源有効)入力

V_{DD1} ではパワーアップ時とパワーダウン時の遷移がゆるやか($>100\mu\text{s/V}$)な場合、出力AとBでチャタリングが発生することがあります。ADM2483はこのチャタリングを防止するためPV(電源有効)デジタル入力を備えています。このピンは、 V_{DD1} が2.0Vを超えるまでローレベルで駆動する必要があります。 V_{DD1} が2.0Vを超えたら、このピンをハイレベルにする必要があります。逆に、パワーダウンの場合、 V_{DD1} が2.0Vに到達する前にPVをローレベルにする必要があります。

たとえば、PPV入力はADM809Z(スレッシュホールド電圧は2.32V:プッシュプル出力)などのシステム・リセット用ICの出力で駆動できます(図29参照)。

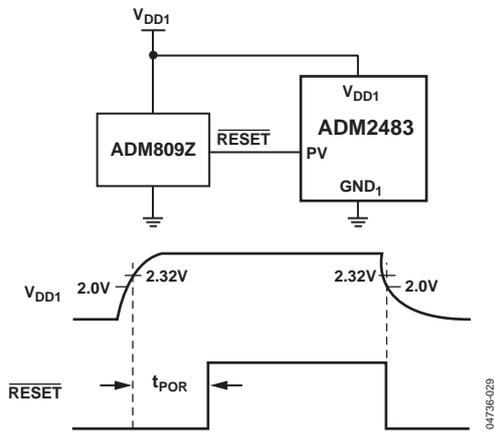


図29. ADM809ZによるPVの駆動

絶縁型電源回路

ADM2483は、 V_{DD2} ピンと GND_2 ピンの間で5V、100mAを供給できる絶縁型電源を必要とします。適切なIC電源がない場合は、図30に示すようなディスクリート回路を使用できます。センター・タップ付きトランスにより電気的絶縁性を確保します。位相が180度ずれた一対の方形波で1次巻線を励磁します。一対のショットキ・ダイオードと平滑化コンデンサを使って、2次巻線から整流した信号を生成します。ADP667リニア電圧レギュレータは、ADM2483のバス側回路に安定化された電源を供給します。

一対の方形波を生成するには、相補 Q/\bar{Q} 出力を持つD型フリップ・フロップを用います。このフリップ・フロップは、出力Qがクロック入力信号に追従するように接続できます。ローカル・クロック信号が使用できない場合は、反転シュミット・トリガ、抵抗、コンデンサを使って単純なデジタル発振器を構成できます。この場合、 $3.9\text{k}\Omega$ と 1nF で364kHzの方形波を発生します。 Q/\bar{Q} フリップ・フロップ出力でオンオフされる一対のディスクリートNMOSトランジスタが、トランスの1次巻線のセンター・タップから交互に電流を流します。

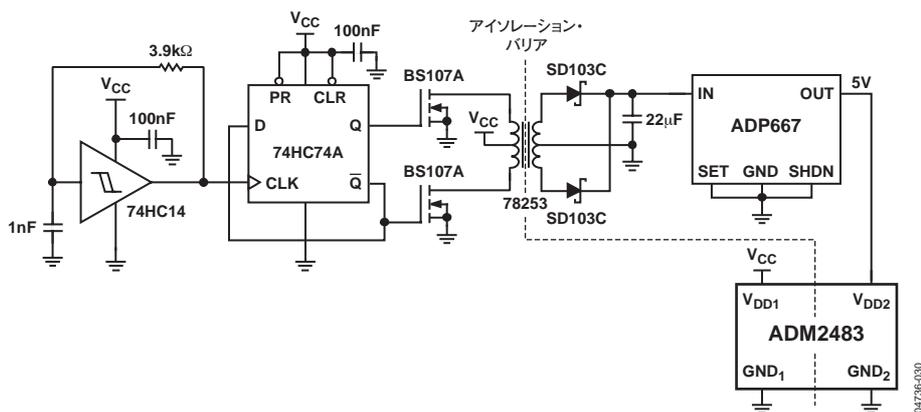
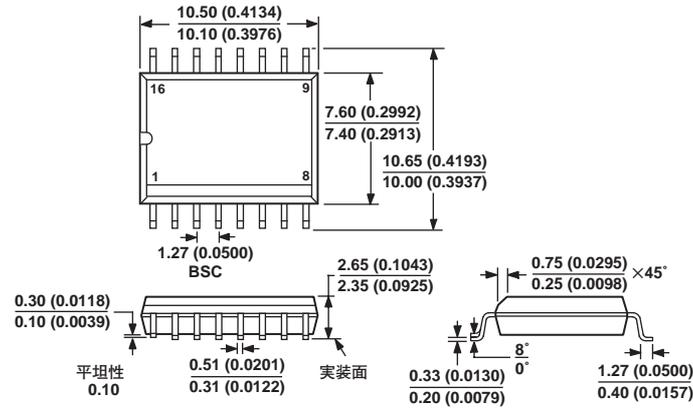


図30. 絶縁型電源回路

ADM2483

外形寸法



JEDEC規格MS-013AAIに準拠
 管理寸法はミリメートルの単位で表記しています。
 カッコ内に示すインチ単位の寸法は、ミリメートル値に基づく概数で、
 参考のためにのみ記載しています。設計ではこの値を使用しないでください。

図31. 16ピンSOIC
 ワイド・ボディ(RW-16)
 寸法単位:mm(インチ)

オーダー・ガイド

製品モデル	データレート(kbps)	温度範囲	パッケージ	パッケージ・オプション
ADM2483BRW	500	-40~+85℃	16ピン・ワイド・ボディSOIC	RW-16
ADM2483BRW-REEL ¹	500	-40~+85℃	16ピン・ワイド・ボディSOIC	RW-16
ADM2483BRWZ ²	500	-40~+85℃	16ピン・ワイド・ボディSOIC	RW-16
ADM2483BRWZ-REEL ^{1,2}	500	-40~+85℃	16ピン・ワイド・ボディSOIC	RW-16

¹ 末尾に「-REEL」の付いている製品は、13インチ(1000個)の「テープ&リール」で供給されます。

² Z=鉛フリー製品

ノート

ADM2483

ノート

TDS04/2005/PDF