



7 種類の自由度を持つ 慣性センサー

データシート

ADIS16489

特長

- 3 軸デジタル・ジャイロ・センサーのダイナミック・レンジ: $\pm 450^\circ/\text{sec}$
- 軸間ミスアライメント誤差: $\pm 0.018^\circ$
- 動作中のバイアス安定度: $5.3^\circ/\text{hr}$
- 角度ランダム・ウォーク: $0.25^\circ/\sqrt{\text{hr}}$
- 非直線性: $\pm 0.045^\circ/\text{sec}$
- 3 軸デジタル加速度センサーのダイナミック・レンジ: $\pm 18\text{ g}$
- 気圧センサー: 300 mbar ~ 1100 mbar
- 3 軸、角度変化および速度変化の出力
- 工場出荷時補正済みの感度、バイアス、軸アライメント
- 補正温度範囲: $-40^\circ\text{C} \sim +85^\circ\text{C}$
- SPI 互換
- プログラマブルな動作と制御
 - 自動と手動のバイアス補正制御
 - 4 個の FIR フィルタ・バンク、設定可能な 120 個のタップ
 - デジタル I/O: データ・レディ・アラーム・インジケータ、外部クロック
 - 状態監視用アラーム
 - パワー・マネージメント用のパワーダウン/スリープ・モード
 - オプションの入力同期クロック: 最大 2.4 kHz
 - 慣性センサーのオン・デマンド・セルフ・テスト
 - オン・デマンド・フラッシュ・メモリ・テスト (チェックサム)
- 単電源動作: 3.0 V ~ 3.6 V
- 2000 g の衝撃耐性
- パリレン・コーティング (内部回路用防湿バリア)
- 動作温度範囲: $-40^\circ\text{C} \sim +105^\circ\text{C}$
- アプリケーション
 - プラットフォームの安定化と制御
 - ナビゲーション
 - 個人追跡システム
 - 計測器
 - ロボット装置

概要

ADIS16489 は、3 軸ジャイロ・センサー、3 軸加速度センサー、気圧センサーを備えたフル機能の慣性システムです。ADIS16489 内の各慣性センサーは、業界最先端の iMEMS® 技術と、動的性能を最適化するシグナル・コンディショニングを組み合わせています。工場出荷時の補正で、各センサーの感度、バイアス、アライメント、直線加速度 (ジャイロ・センサー・バイアス) の特性が評価されています。その結果、各センサーは独自の動的補償式を備えており、高精度の計測を行います。

ADIS16489 は高精度の多軸慣性センシングを工業用システムに組み込むためのシンプルで費用対効果に優れたソリューションを提供します。これは、とりわけディスクリート部品を使用した設計と比較して、複雑さや費用面でメリットがあります。すなわち、必要なモーション・テストと補正が全て工場での製造工程に組み込まれているため、システムを統合する時間を大幅に短縮できます。厳密な直交アライメントにより、ナビゲーション・システムの慣性フレーム・アライメントが容易になります。シリアル・ペリフェラル・インターフェース (SPI) やレジスタ構造により、データ収集や設定制御とのインターフェースも容易です。内部回路はすべてパリレン・コーティングされており (気圧センサーを除く)、湿気に対する保護バリアを構成しています。

ADIS16489 は、ADIS16375、ADIS16480、ADIS16485、および ADIS16488A と同じフットプリントとコネクタ・システムを採用しているため、アップグレード処理が大幅に簡素化されています。ADIS16489 は約 44 mm × 47 mm × 14 mm のモジュールにパッケージされており、標準コネクタ・インターフェースを備えています。

機能ブロック図

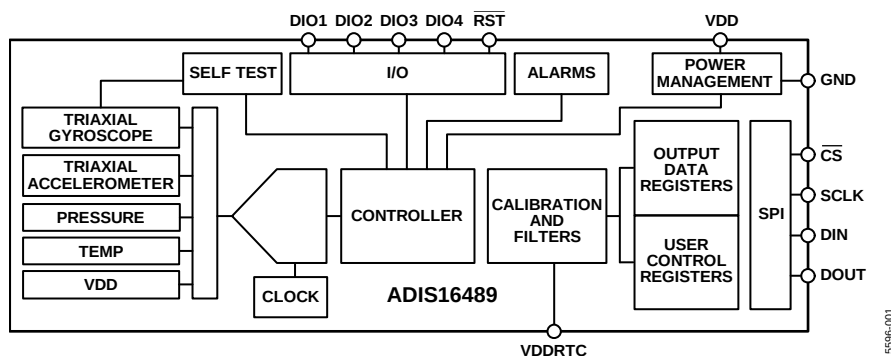


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	スクラッチ・レジスタ (USER_SCR_x)	25
アプリケーション.....	1	フラッシュ・メモリ書換え回数カウンタ (FLSHCNT_LOW、 FLSHCNT_HIGH)	26
概要.....	1	ページ 3 (PAGE_ID)	26
機能ブロック図.....	1	グローバル・コマンド (GLOB_CMD)	26
改訂履歴.....	2	予備 I/O ラインの設定 (FNCTIO_CTRL)	27
仕様.....	3	汎用 I/O 制御 (GPIO_CTRL)	28
タイミング仕様.....	5	各種設定 (CONFIG)	28
絶対最大定格.....	7	デシメーション・フィルタ (DEC_RATE)	29
熱抵抗.....	7	連続バイアス予測 (NULL_CNFG)	29
ESD に関する注意	7	パワー・マネージメント (SLP_CNT)	30
ピン配置およびピン機能説明	8	FIR フィルタ制御 (FILTR_BNK_0、FILTR_BNK_1)	30
代表的な性能特性.....	9	アラーム設定 (ALM_CNFG_0、ALM_CNFG_1、 ALM_CFG_2)	30
動作原理.....	10	X 軸ジャイロ・センサー・アラーム (XG_ALM_MAGN) ..	33
はじめに.....	10	Y 軸ジャイロ・センサー・アラーム (YG_ALM_MAGN) ..	33
レジスタ構造.....	10	Z 軸ジャイロ・センサー・アラーム (ZG_ALM_MAGN) ..	33
SPI 通信.....	11	X 軸加速度センサー・アラーム (XA_ALM_MAGN)	33
デバイスの設定.....	11	Y 軸加速度センサー・アラーム (YA_ALM_MAGN)	33
センサー・データの読出し	11	Z 軸加速度センサー・アラーム (ZA_ALM_MAGN)	34
ユーザー・レジスタのメモリ・マップ	12	気圧センサー・アラーム (BR_ALM_MAGN)	34
ユーザー・レジスタ定義	15	ファームウェア・レビジョン (FIRM_REV)	34
ページ 0 (PAGE_ID)	15	ファームウェア・レビジョン月日 (FIRM_DM)	34
サンプル・シーケンス・カウンタ (SEQ_CNT)	15	ファームウェア・レビジョンの年 (FIRM_Y)	34
ステータス/エラー・フラグ・インジケータ (SYS_E_FLAG)	15	ページ 4 (PAGE_ID)	34
セルフ・テスト・エラー・フラグ (DIAG_STS)	15	部品識別番号 (PART_ID1、PART_ID2、PART_ID3、 PART_ID4)	35
アラーム・エラー・フラグ (ALM_STS)	16	FIR フィルタ.....	35
内部温度 (TEMP_OUT)	16	アプリケーション情報	38
ジャイロ・センサーのデータ	16	推奨取付け方法.....	38
加速度データ	17	評価用ツール	39
気圧センサーのデータ	18	電源に関する考慮事項	39
角度変化.....	19	パッケージとオーダー情報	40
速度変化.....	20	外形寸法.....	40
リアルタイム・クロック	21	オーダー・ガイド	40
ページ 2 (PAGE_ID)	22		
補正.....	22		
気圧センサー	25		

改訂履歴

2/2017—Revision 0: Initial Version

仕様

特に指定のない限り、T_C = 25 °C、VDD = 3.3 V、角速度 = 0 °/sec、ダイナミック・レンジ = ±450°/sec ± 1 g。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
GYROSCOPES					
Dynamic Range		±450		±480	°/sec
Sensitivity	x_GYRO_OUT and x_GYRO_LOW (32-bit)		3.052 × 10 ⁻⁷		°/sec/LSB
Repeatability ¹	-40°C ≤ T _C ≤ +85°C			±1	%
Sensitivity Temperature Coefficient	-40°C ≤ T _C ≤ +85°C, 1 σ		±25		ppm/°C
Misalignment Error	Axis to axis		±0.018		Degrees
	Axis to frame (package)		±1.0		Degrees
Nonlinearity	Best fit straight line, full scale (FS) = 450°/sec		0.045		°/sec
Bias					
Repeatability ^{1, 2}	-40°C ≤ T _C ≤ +85°C, 1 σ		±0.2		°/sec
In-Run Bias Stability	1 σ		5.3		°/hr
Angular Random Walk	1 σ		0.25		°/√hr
Temperature Coefficient	-40°C ≤ T _C ≤ +85°C, 1 σ		±0.0025		°/sec/°C
Error over Temperature	-15°C ≤ T _C ≤ +65°C, 10°C range		±0.0611		°/sec
Linear Acceleration Effect	Any axis, 1 σ (CONFIG[7] = 1)		0.009		°/sec/g
	Any axis, 1 σ (CONFIG[7] = 0)		0.015		°/sec/g
Noise					
Output Noise	No filtering		0.16		°/sec rms
Rate Noise Density	f = 10 Hz to 40 Hz, no filtering		0.0068		°/sec/√Hz rms
3 dB Bandwidth			330		Hz
Sensor Resonant Frequency			18		kHz
ACCELEROMETERS³					
	Each axis	±18			g
Dynamic Range					g
Sensitivity	x_ACCL_OUT and x_ACCL_LOW (32-bit)		1.221 × 10 ⁻⁸		g/LSB
Repeatability ¹	-40°C ≤ T _C ≤ +85°C			±0.5	%
Sensitivity Temperature Coefficient	-40°C ≤ T _C ≤ +85°C, 1 σ		±25		ppm/°C
Misalignment	Axis to axis		±0.035		Degrees
	Axis to frame (package)		±1.0		Degrees
Nonlinearity	Best fit straight line, ±10 g		10		mg
	Best fit straight line, ±18 g		90		mg
Bias					
Repeatability ^{1, 2}	-40°C ≤ T _C ≤ +85°C, 1 σ		±16		mg
In-Run Bias Stability	1 σ		70		μg
Velocity Random Walk	1 σ		0.029		m/sec/√hr
Temperature Coefficient	-40°C ≤ T _C ≤ +85°C, 1 σ		±0.1		mg/°C
Noise					
Output Noise	No filtering		1.29		mg rms
Noise Density	f = 10 Hz to 40 Hz, no filtering		0.063		mg/√Hz rms
3 dB Bandwidth			330		Hz
Sensor Resonant Frequency			5.5		kHz
BAROMETER					
Pressure Range		300		1100	mbar
	Extended	10		1200	mbar
Sensitivity	BAROM_OUT and BAROM_LOW (32-bit)		6.1 × 10 ⁻⁷		mbar/LSB
Error with Supply			0.04		%/V
Total Error			4.5		mbar
Relative Error ⁴	-40°C ≤ T _C ≤ +85°C		2.5		mbar
Nonlinearity ⁵	Best fit straight line, FS = 1100 mbar		0.1		% of FS
	-40°C ≤ T _C ≤ +85°C		0.2		% of FS

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Linear <i>g</i> Sensitivity	$\pm 1 g, 1 \sigma$		0.005		mbar/g
Noise			0.025		mbar rms
TEMPERATURE SENSOR					
Scale Factor	Output = 0x0000 at 25°C ($\pm 5^\circ\text{C}$)		0.00565		°C/LSB
LOGIC INPUTS ⁶					
Input Voltage					
High, V_{IH}		2.0			V
Low, V_{IL}				0.8	V
RST Pulse Width		1			μs
CS Wake-Up Pulse Width		20			μs
Input Current					
Logic 1 (High), I_{IH}	$V_{IH} = 3.3 \text{ V}$			10	μA
Logic 0 (Low), I_{IL}	$V_{IL} = 0 \text{ V}$				
All Pins Except RST				10	μA
RST Pin			0.33		mA
Input Capacitance, C_{IN}			10		pF
DIGITAL OUTPUTS					
Output Voltage					
High, V_{OH}	$I_{SOURCE} = 0.5 \text{ mA}$	2.4			V
Low, V_{OL}	$I_{SINK} = 2.0 \text{ mA}$			0.4	V
FLASH MEMORY					
Data Retention ⁸	Endurance ⁷ $T_J = 85^\circ\text{C}$	100,000 20			Cycles Years
FUNCTIONAL TIMES ⁹	Time until data is available				
Power-On Start-Up Time				600	ms
Back-up			1370	1500	ms
Reset Recovery Time ¹⁰			390	600	ms
Sleep Mode Recovery Time			730	1000	μs
Flash Memory					
Update Time ¹¹			1.05	6.8	sec
Test Time			50		ms
On Demand Self Test Time	Using internal clock (2460 Hz)		12		ms
CONVERSION RATE					
Initial Clock Accuracy			2.46		kSPS
Temperature Coefficient			0.02		%
Sync Input Clock ¹²			40		ppm/°C
		0.7		2.4	kHz
POWER SUPPLY, VDD					
Power Supply Current, I_{DD} ¹³	Operating voltage range, VDD = 3.3 V	3.0		3.6	V
	Normal mode, $\mu \pm \sigma$		186		mA
	Sleep mode		12.2		mA
	Power-down mode		37		μA
POWER SUPPLY, VDDRTC					
Real-Time Clock Supply Current	Operating voltage range	3.0	3.3	3.6	V
	Normal mode, VDDRTC = 3.3 V		13		μA

¹ 再現性の仕様は、以下のドリフトの要因と条件に基づく分析的な予測を表しています。これらは、温度ヒステリシス ($-40^\circ\text{C} \sim +85^\circ\text{C}$)、電子回路のドリフト (高温動作時の寿命テスト: 110°C 、500 時間)、温度サイクルによるドリフト (JEDEC22, Method A104-C, Method N, 500 サイクル、 $-55^\circ\text{C} \sim +85^\circ\text{C}$)、レート・ランダム・ウォーク (10 年予測)、およびブロードバンド・ノイズです。

² バイアス再現性は、様々な条件での長期的な動作特性を表します。短期再現性は、動作中のバイアス安定度とノイズ密度の仕様に関係しています。

³ 加速度センサーに関するすべての仕様は、 $\pm 18 g$ のフルスケール・レンジに対するものです。

⁴ 相対誤差は、 25°C における初期誤差が最終アプリケーションで補正されることを想定しています。

⁵ 仕様は、フルスケール (FS) を 1000 mbar と仮定しています。

⁶ デジタル I/O 信号は 3.3 V システムを使用します。

⁷ 書換え回数は JEDEC 規格 22, Method A117 に準拠し、 -40°C 、 $+25^\circ\text{C}$ 、 $+85^\circ\text{C}$ 、 $+125^\circ\text{C}$ で測定しています。

⁸ データ保持仕様は、JEDEC 規格 22, Method A117 に準拠した 85°C のジャンクション温度 (T_J) を想定しています。データ保持寿命は T_J にもなって短くなります。

⁹ これらの時間には、全体の精度に影響を与える可能性がある、熱安定時間と内部フィルタ応答時間は含まれていません。

¹⁰ 正しくリセットを開始してデバイスを復帰させるには、RST ラインを少なくとも $10 \mu\text{s}$ にわたってローに保持しなければなりません。

¹¹ 正常パルス復帰のためのデータ・レディ信号の監視は (FNCTIO_CTRL の構成については表 153 を参照)、システム待機時間を最小限に抑える助けとなります。

¹² このデバイスは 0.7 kHz 未満のクロック・レートでも動作しますが、性能は低下します。

¹³ 初回起動時やリセットによる復帰時には、過渡電源電流が 600 mA に達することがあります。

タイミング仕様

特に指定のない限り、 $T_C = 25\text{ }^{\circ}\text{C}$ 、 $V_{DD} = 3.3\text{ V}$ 。

表 2.

Parameter	Description	Min ¹	Typ	Max ¹	Unit
f_{SCLK}	Serial clock	0.01		15	MHz
t_{STALL}^2	Stall period between data	2			μs
t_{CLS}	Serial clock low period	31			ns
t_{CHS}	Serial clock high period	31			ns
$t_{\overline{CS}}$	Chip select to clock edge	32			ns
t_{DAV}	DOUT valid after SCLK edge			10	ns
t_{DSU}	DIN setup time before SCLK rising edge	2			ns
t_{DHD}	DIN hold time after SCLK rising edge	2			ns
t_{DR}, t_{DF}	DOUT rise/fall times, $\leq 100\text{ pF}$ loading		3	8	ns
t_{DSOE}	$\overline{CS}$ assertion to data out active	0		11	ns
t_{HD}	SCLK edge to data out invalid	0			ns
t_{SFS}	Last SCLK edge to $\overline{CS}$ deassertion	32			ns
t_{DSHI}	$\overline{CS}$ deassertion to data out high impedance	0		9	ns
	Data ready pulse width		11	15	μs
t_1	Input sync pulse width	5			μs
t_2	Input sync to data invalid		560	570	μs
t_3	Input sync period	417			μs

¹ 仕様については出荷テストを行っていませんが、設計と特性評価により保証しています。

² 待ち時間定格の例外については表 3 を参照してください。

レジスタ別の待ち時間

表 3.

Parameter	Description	Min ¹	Typ	Max	Unit
STALL TIME					
FNCTIO_CTRL	Configure DIOx functions	15			μs
FILTR_BNK_0	Enable/select FIR filter banks	10			μs
FILTR_BNK_1	Enable/select FIR filter banks	10			μs
NULL_CNFG	Configure autonull bias function	10			μs
GLOB_CMD[1]	Self test	12000			μs
GLOB_CMD[2]	Flash memory test	50000			μs
GLOB_CMD[3]	Flash memory update	375000			ms
GLOB_CMD[6]	Factory calibration restore	75000			sec
GLOB_CMD[7]	Software reset	120000			ms

¹ 正常パルス復帰のためのデータ・レディ信号の監視は（FNCTIO_CTRL の構成については表 153 を参照）、システム待機時間を最小限に抑える助けとなります。

タイミング図

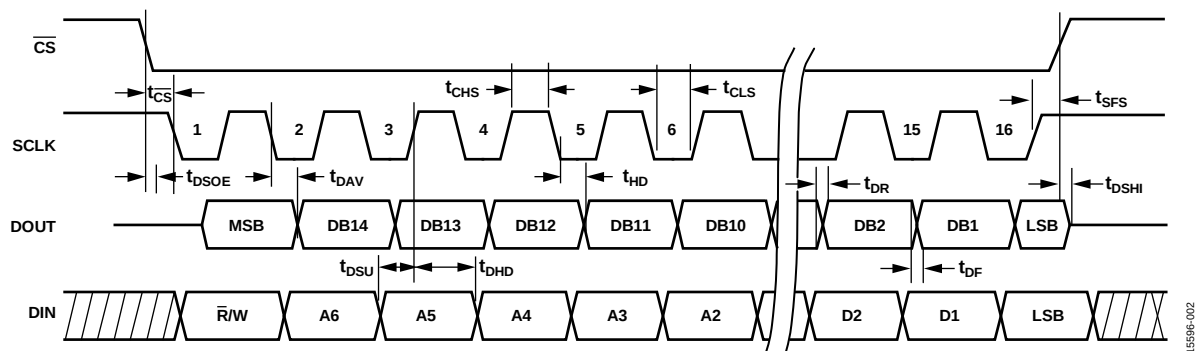


図 2. SPI のタイミングとシーケンス

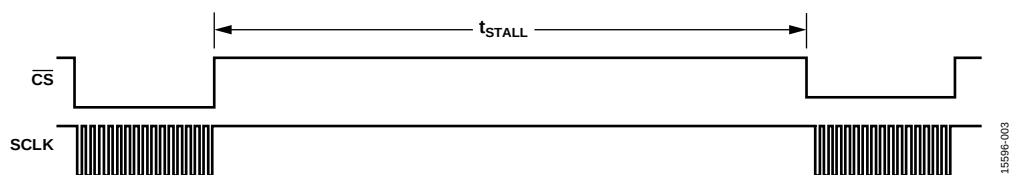


図 3. 待ち時間とデータ・レート

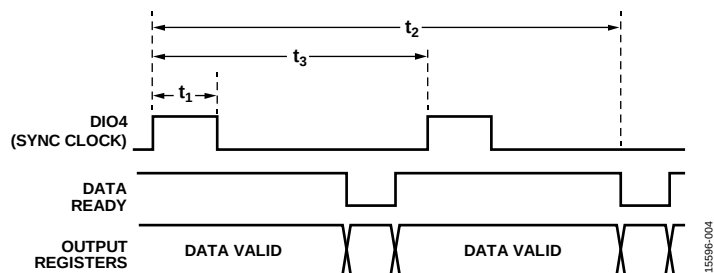


図 4. 入力クロックのタイミング図、FNCTIO_CTRL [7:4] = 0xFD

絶対最大定格

表 4.

Parameter	Rating
Shock Survivability	
Any Axis, Unpowered	2000 g
Any Axis, Powered	2000 g
VDD to GND	-0.3 V to +3.6 V
Digital Input Voltage to GND	-0.3 V to VDD + 0.2 V
Digital Output Voltage to GND	-0.3 V to VDD + 0.2 V
Operating Temperature Range	-40°C to +105°C
Storage Temperature Range ¹	-65°C to +150°C
Barometric Pressure	2 bar

¹ -55 °C 未満の低温、または +105 °C を超える高温下に長時間放置すると、工場出荷時の補正精度に悪影響を与える可能性があります。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を引き起こす場合があります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。製品を長時間絶対最大定格状態に置くと、製品の信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密封容器内で測定された、自然対流でのジャンクションから周囲への熱抵抗です。

θ_{JC} は、ジャンクションからケースへの熱抵抗です。

ADIS16489 は多数の能動部品を含むマルチチップ・モジュールです。表 5 に示す値は、ADIS16489 内部の最も高温の部品の熱応答を、モジュールの全消費電力の範囲で示したものです。この方法では、周囲温度またはケース温度に基づいて、最も温度の高いジャンクションの温度を簡単な方法で予測することができます。

例えば周囲温度が 70 °C の場合、ADIS16489 内部の最も高いジャンクション温度は 89.1 °C です。

$$T_J = \theta_{JA} \times VDD \times I_{DD} + 70\text{ °C}$$

$$T_J = 22.8\text{ °C/W} \times 3.3\text{ V} \times 0.254\text{ A} + 70\text{ °C}$$

$$T_J = 89.1\text{ °C}$$

表 5. パッケージ特性

Package Type	θ_{JA}	θ_{JC}	Device Weight
ML-24-6 ¹	22.8°C/W	10.1°C/W	48 g

¹ 熱インピーダンスのシミュレート値は、4 本の M2 × 0.4 mm ネジ（トルク = 20 インチ・オンス）を使用して ADIS16489 をプリント回路基板に固定した場合の値です。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

ADIS16489
TOP VIEW
(Not to Scale)

DNC	DNC	DNC	DNC	DNC	GND	VDD	VDD	RST	CS	DOUT	DIO4
24	22	20	18	16	14	12	10	8	6	4	2
□	□	□	□	□	□	□	□	□	□	□	□
23	21	19	17	15	13	11	9	7	5	3	1
□	□	□	□	□	□	□	□	□	□	□	□
VDDRTC	DNC	DNC	DNC	GND	GND	VDD	DIO2	DIO1	DIN	SCLK	DIO3

NOTES

1. THIS REPRESENTATION DISPLAYS THE TOP VIEW PINOUT FOR THE MATING SOCKET CONNECTOR.
2. THE ACTUAL CONNECTOR PINS ARE NOT VISIBLE FROM THE TOP VIEW.
3. MATING CONNECTOR: SAMTEC CLM-112-02 OR EQUIVALENT.
4. DNC = DO NOT CONNECT.

図 5. ピン配置

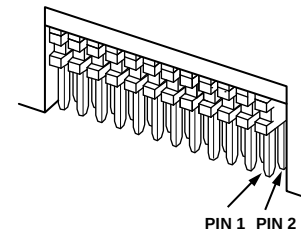
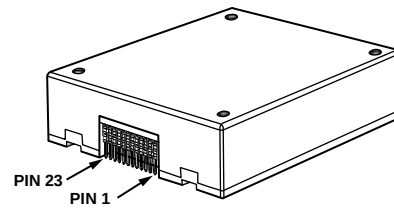
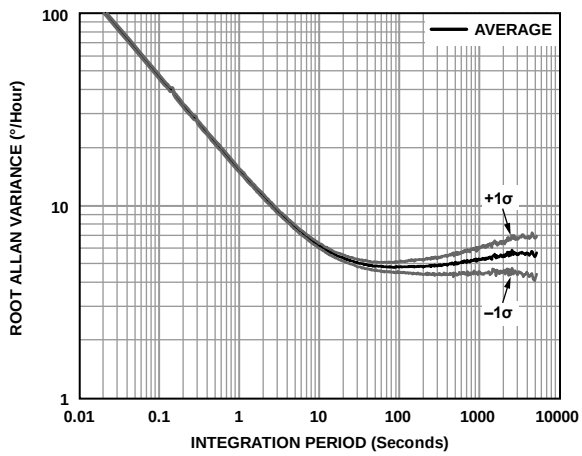


図 6. 軸の方向（正立状態）

表 6. ピン機能の説明

Pin No.	Mnemonic	Type	Description
1	DIO3	Input/output	設定可能なデジタル入出力 3。
2	DIO4	Input/output	設定可能なデジタル入出力 4。
3	SCLK	Input	SPI シリアル・クロック。
4	DOUT	Output	SPI データ出力。SCLK 立下がりエッジでのクロック出力。
5	DIN	Input	SPI データ入力。SCLK 立上がりエッジでのクロック入力。
6	CS	Input	SPI チップ・セレクト。
7	DIO1	Input/output	設定可能なデジタル入出力 1。
8	RST	Input	リセット。
9	DIO2	Input/output	設定可能なデジタル入出力 2。
10, 11, 12	VDD	Supply	電源。
13, 14, 15	GND	Supply	電源グラウンド。
16 to 22, 24	DNC	Not applicable	接続なし。これらのピンには接続しないでください。
23	VDDRTC	Supply	リアルタイム・クロック電源。

代表的な性能特性

図 7. ジャイロ・センサーのアラン分散、 $T_c = 25\text{ }^{\circ}\text{C}$

15596-007

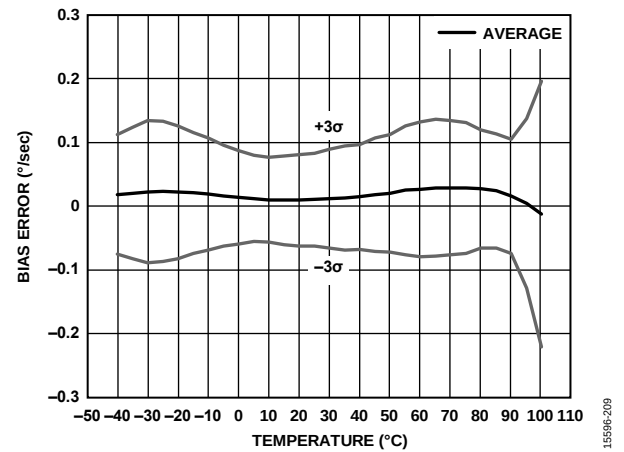
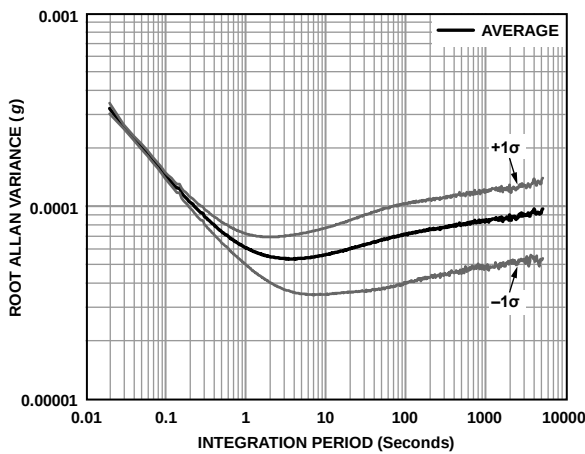


図 9. ジャイロ・センサーのバイアス誤差温度特性

15596-209

図 8. 加速度センサーのアラン分散、 $T_c = 25\text{ }^{\circ}\text{C}$

15596-008

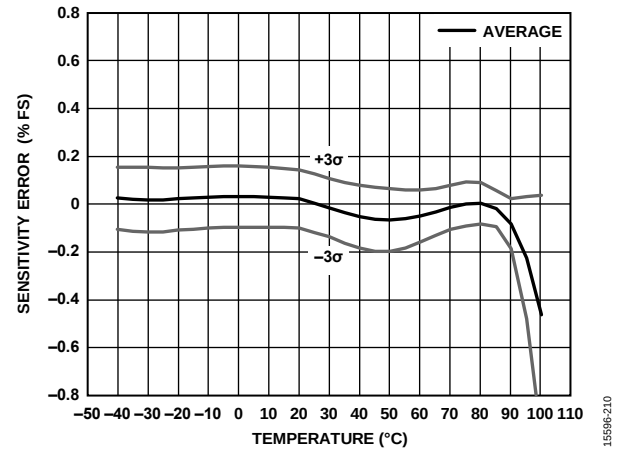


図 10. ジャイロ・センサーのスケール誤差（感度誤差）温度特性

15596-210

動作原理

はじめに

ADIS16489 は自律型センサー・システムで、電源が供給されると自動的に起動します。初期化プロセスが終了するとサンプリングと処理を開始して、補正されたセンサー・データを出力レジスタにロードします。レジスタには SPI ポートを使ってアクセスすることができます。SPI ポートは、通常、図 11 に示す接続図のとおり組込みプロセッサの互換ポートに接続しています。4 つの SPI 信号によって、同期されたシリアル・データ通信が容易に行われます。工場でのデフォルト設定では、DIO2 ピンに出力されるデータ・レディ信号により、安定したデータ・アキュジションを容易化できます（図 31 参照）。

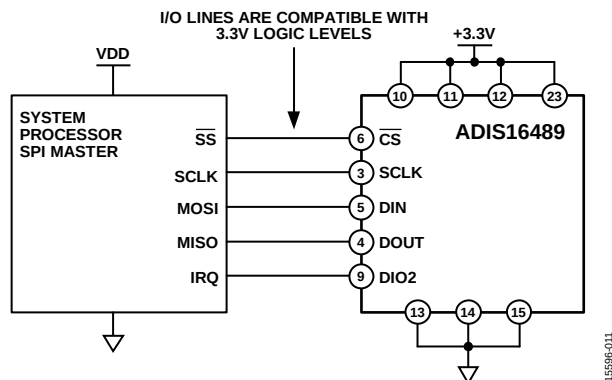


図 11. 電気接続図

表 7. 一般的なマスター・プロセッサのピン名と機能

Mnemonic	Function
SS	Slave select
SCLK	Serial clock
MOSI	Master output, slave input
MISO	Master input, slave output
IRQ	Interrupt request

通常、組み込みプロセッサは、ADIS16489 などの SPI スレーブ・デバイスと通信を行うために、制御レジスタを使用してそのシリアルポートを設定します。ADIS16489 の SPI プロトコルを記述する設定一覧を、表 8 に示します。マスター・プロセッサの初期化ルーチンは、通常、ファームウェア・コマンドを使ってこれらの設定を行い、シリアル制御レジスタにその内容を書き込みます。

表 8. 一般的なマスター・プロセッサの SPI 設定

Processor Setting	Description
Master	ADIS16489 operates as slave
SCLK ≤ 15 MHz	Maximum serial clock rate
SPI Mode 3	CPOL = 1 (polarity), CPHA = 1 (phase)
MSB First Mode	Bit sequence
16-Bit Mode	Shift register/data length

レジスタ構造

レジスタ構造と SPI ポートは、ADIS16489 と組み込みプロセッサ・プラットフォーム間の接続を容易にします。このレジスタ構造には、出力データ・レジスタと制御レジスタの両方が含まれます。出力データ・レジスタには、最新のセンサー・データ、リアルタイム・クロック、エラー・フラグ、アラーム・フラグ、および識別データが格納されます。制御レジスタには、サンプル・レート、フィルタリング、入出力、アラーム、補正、および診断構成のオプションが格納されます。ADIS16489 と外部プロセッサの間で行われるすべての通信の際には、ユーザー・レジスタのいずれか 1 つとの間で読出または書込みが行われます。

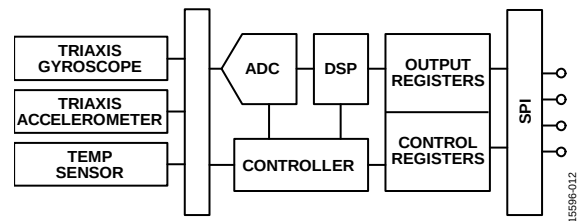
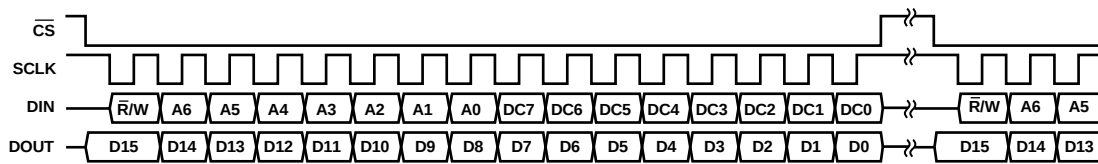


図 12. 基本動作

レジスタ構造はページ・アドレス方式を使用しますが、この方式で使用するページ数は 13 で、各ページには 64 個のレジスタ位置が格納されます。各レジスタは 16 ビット幅で、各バイトが、そのページのメモリ・マップ内に固有のアドレスを持っています。SPI ポートは、図 13 のビット・シーケンスを使って、一度に 1 ページずつアクセスを行います。SPI アクセス用にアクティブにするページの選択は、そのコードを **PAGE_ID** レジスタに書き込むことによって行います。現在どのページがアクティブになっているかを知るには、**PAGE_ID** レジスタを読み出します。各ページの **PAGE_ID** の内容と、その基本的機能を表 9 に示します。**PAGE_ID** レジスタは、各ページのアドレス 0x00 に置かれます。

表 9. ユーザー・レジスタのページ割り当て

Page	PAGE_ID	Function
0	0x00	Output data, clock, identification
1	0x01	Reserved
2	0x02	Calibration
3	0x03	Control: sample rate, filtering, I/O, alarms
4	0x04	Serial number
5	0x05	FIR Filter Bank A, Coefficient 0 to Coefficient 59
6	0x06	FIR Filter Bank A, Coefficient 60 to Coefficient 119
7	0x07	FIR Filter Bank B, Coefficient 0 to Coefficient 59
8	0x08	FIR Filter Bank B, Coefficient 60 to Coefficient 119
9	0x09	FIR Filter Bank C, Coefficient 0 to Coefficient 59
10	0x0A	FIR Filter Bank C, Coefficient 60 to Coefficient 119
11	0x0B	FIR Filter Bank D, Coefficient 0 to Coefficient 59
12	0x0C	FIR Filter Bank D, Coefficient 60 to Coefficient 119



NOTES

1. DOUT BITS ARE PRODUCED ONLY WHEN THE PREVIOUS 16-BIT DIN SEQUENCE STARTS WITH $\bar{R}/W = 0$.
2. WHEN $\overline{CS}$ IS HIGH, DOUT IS IN A THREE-STATE, HIGH IMPEDANCE MODE, WHICH ALLOWS MULTIFUNCTIONAL USE OF THE LINE FOR OTHER DEVICES.

図 13. SPI 通信のビット・シーケンス

SPI 通信

各 SPI コマンドとその応答は 16 ビット長で、図 13 に示すデジタル・コーディングを使用します。

デバイスの設定

各レジスタは 16 ビット（2 バイト）で構成されます。ビット [7:0] には各レジスタの下位バイトが格納され、ビット [15:8] には上位バイトが格納されます。各バイトには、ユーザー・レジスタ・マップ内の固有アドレスが割り当てられます（表 10 参照）。レジスタの内容を更新するには、最初にその下位バイトに書き込みを行い、その次に上位バイトへの書き込みを行う必要があります。レジスタに新しいデータ・バイトを書き込む SPI コマンドのコーディングは、3 つの部分から成ります（図 13 参照）。書き込みビット（ $\bar{R}/W = 1$ ）、バイトのアドレス（[A6:A0]）、およびその位置に書き込む新しいデータ（[DC7:DC0]）です。PAGE_ID が 0x0002 の場合に XG_BIAS_LOW レジスタに 0xFEDC を書き込むためのコーディング例を、図 14 に示します（図 109 参照）。

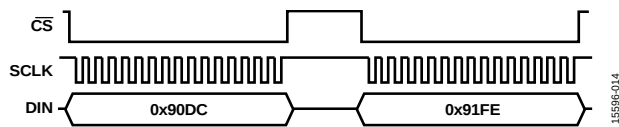


図 14. XG_BIAS_LOW に 0xFEDC を書き込むための SPI シーケンス

デュアル・メモリ構造

ADIS16489 は、デュアル・メモリ構造を採用しています（図 15 参照）。この構造では SRAM がリアルタイム動作を受け持ち、フラッシュ・メモリが不揮発ストレージとして使われます。スタートアップ・プロセスでは、通常動作をサポートするために、動作コード、補正係数、およびユーザー・レジスタ設定が、フラッシュ・メモリから SRAM にロードされます。手動フラッシュ更新コマンド（GLOB_CMD [3]、表 151 参照）は、ユーザー・レジスタ値をフラッシュ・メモリに保存するための簡単な方法を提供します（この機能を持つレジスタは、表 10 のフラッシュ・バックアップ（Flash Backup）列に「yes」と示されています）。このフラッシュ・バックアップ機能は、これらの設定を保存して、次の起動プロセスまたはリセット・リカバリ・プロセス時に自動的に設定を呼び出せるようにします。

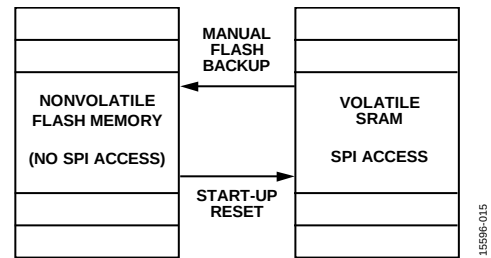


図 15. SRAM とフラッシュ・メモリの図

センサー・データの読出し

SPI での読出し要求用の 16 ビット・コマンド・コード（図 13 参照）は、3 つの部分からなります。すなわち、読出しビット（ $\bar{R}/W = 0$ ）、レジスタのアドレス（[A6:A0]）、8 個のドントケア・ビット（[DC7:DC0]）です。読出しコマンドは、その後に続く 16 ビットの通信サイクル時に、DOUT ピンからレジスタ内容を読み出します。連続する 2 つのレジスタ読出しを含む例を、図 16 に示します。この例は、Z_GYRO_OUT レジスタの内容を要求するために DIN = 0x1A00 から始まり、Z_GYRO_LOW レジスタの内容を要求するために 0x1800 がこれに続きます（PROD_ID はすでに 0x0000 に等しいものとします）。この例は全二重モードの動作を示しています。つまりこれは、ADIS16489 が、前の要求からのデータ応答を送信しながら要求を受信できることを意味しています（図 16 参照）。

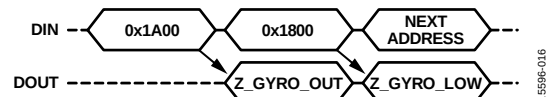


図 16. SPI 読出しの例

繰り返しパターンで PROD_ID レジスタを読み出すときの 4 つの SPI 信号の例を、図 17 に示します（表 93 参照）。このパターンを利用すれば、すべての信号を明確に予測することができるので（レジスタの内容は変わりません）、SPI インターフェースのセットアップと通信に関するトラブルシューティングの助けとなります。

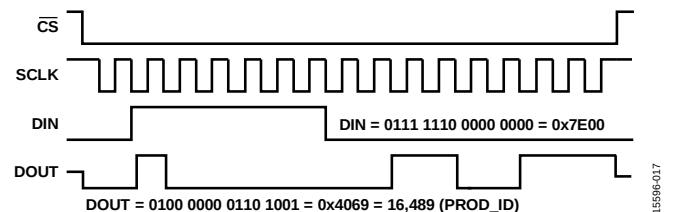


図 17. SPI の読出し例（2 番めの 16 ビット・シーケンス）

ユーザー・レジスタのメモリ・マップ

表 10. ユーザー・レジスタのメモリ・マップ（N/A は該当しないことを示します）

Name	R/W	Flash Backup	PAGE_ID	Address	Default	Register Description
PAGE_ID	R/W	No	0x00	0x00, 0x01	0x0000	ページ識別子
Reserved	N/A	N/A	0x00	0x02 to 0x05	N/A	予備
SEQ_CNT	R	No	0x00	0x06, 0x07	N/A	サンプル・シーケンス・カウンタ
SYS_E_FLAG	R	No	0x00	0x08, 0x09	0x0000	出力、システム・エラー・フラグ
DIAG_STS	R	No	0x00	0x0A, 0x0B	0x0000	出力、セルフ・テスト・エラー・フラグ
ALM_STS	R	No	0x00	0x0C, 0x0D	0x0000	出力、アラーム・エラー・フラグ
TEMP_OUT	R	No	0x00	0x0E, 0x0F	N/A	出力、温度
X_GYRO_LOW	R	No	0x00	0x10, 0x11	N/A	出力、x 軸ジャイロ・センサー、下位ワード
X_GYRO_OUT	R	No	0x00	0x12, 0x13	N/A	出力、x 軸ジャイロ・センサー、上位ワード
Y_GYRO_LOW	R	No	0x00	0x14, 0x15	N/A	出力、y 軸ジャイロ・センサー、下位ワード
Y_GYRO_OUT	R	No	0x00	0x16, 0x17	N/A	出力、y 軸ジャイロ・センサー、上位ワード
Z_GYRO_LOW	R	No	0x00	0x18, 0x19	N/A	出力、z 軸ジャイロ・センサー、下位ワード
Z_GYRO_OUT	R	No	0x00	0x1A, 0x1B	N/A	出力、z 軸ジャイロ・センサー、上位ワード
X_ACCL_LOW	R	No	0x00	0x1C, 0x1D	N/A	出力、x 軸加速度センサー、下位ワード
X_ACCL_OUT	R	No	0x00	0x1E, 0x1F	N/A	出力、x 軸加速度センサー、上位ワード
Y_ACCL_LOW	R	No	0x00	0x20, 0x21	N/A	出力、y 軸加速度センサー、下位ワード
Y_ACCL_OUT	R	No	0x00	0x22, 0x23	N/A	出力、y 軸加速度センサー、上位ワード
Z_ACCL_LOW	R	No	0x00	0x24, 0x25	N/A	出力、z 軸加速度センサー、下位ワード
Z_ACCL_OUT	R	No	0x00	0x26, 0x27	N/A	出力、z 軸加速度センサー、上位ワード
Reserved	N/A	N/A	0x00	0x28 to 0x2D	N/A	予備
BAROM_LOW	R	No	0x00	0x2E, 0x2F	N/A	出力、気圧センサー、下位ワード
BAROM_OUT	R	No	0x00	0x30, 0x31	N/A	出力、気圧センサー、上位ワード
Reserved	N/A	N/A	0x00	0x32 to 0x3F	N/A	予備
X_DELTANG_LOW	R	No	0x00	0x40, 0x41	N/A	出力、x 軸角度変化、下位ワード
X_DELTANG_OUT	R	No	0x00	0x42, 0x43	N/A	出力、x 軸角度変化、上位ワード
Y_DELTANG_LOW	R	No	0x00	0x44, 0x45	N/A	出力、y 軸角度変化、下位ワード
Y_DELTANG_OUT	R	No	0x00	0x46, 0x47	N/A	出力、y 軸角度変化、上位ワード
Z_DELTANG_LOW	R	No	0x00	0x48, 0x49	N/A	出力、z 軸角度変化、下位ワード
Z_DELTANG_OUT	R	No	0x00	0x4A, 0x4B	N/A	出力、z 軸角度変化、上位ワード
X_DELTVEL_LOW	R	No	0x00	0x4C, 0x4D	N/A	出力、x 軸速度変化、下位ワード
X_DELTVEL_OUT	R	No	0x00	0x4E, 0x4F	N/A	出力、x 軸速度変化、上位ワード
Y_DELTVEL_LOW	R	No	0x00	0x50, 0x51	N/A	出力、y 軸速度変化、下位ワード
Y_DELTVEL_OUT	R	No	0x00	0x52, 0x53	N/A	出力、y 軸速度変化、上位ワード
Z_DELTVEL_LOW	R	No	0x00	0x54, 0x55	N/A	出力、z 軸速度変化、下位ワード
Z_DELTVEL_OUT	R	No	0x00	0x56, 0x57	N/A	出力、z 軸速度変化、上位ワード
Reserved	N/A	N/A	0x00	0x58 to 0x77	N/A	予備
TIME_MS_OUT	R/W	No	0x00	0x78, 0x79	N/A	リアルタイム・クロック: 分/秒
TIME_DH_OUT	R/W	No	0x00	0x7A, 0x7B	N/A	リアルタイム・クロック: 日/時間
TIME_YM_OUT	R/W	No	0x00	0x7C, 0x7D	N/A	リアルタイム・クロック: 年/月
PROD_ID	R	N/A	0x00	0x7E, 0x7F	0x4069	出力、製品識別（16,489）
Reserved	N/A	N/A	0x01	0x00 to 0x7F	N/A	予備
PAGE_ID	R/W	No	0x02	0x00, 0x01	0x0000	ページ識別子
Reserved	N/A	N/A	0x02	0x02, 0x03	N/A	予備
X_GYRO_SCALE	R/W	Yes	0x02	0x04, 0x05	0x0000	補正、スケール、x 軸ジャイロ・センサー
Y_GYRO_SCALE	R/W	Yes	0x02	0x06, 0x07	0x0000	補正、スケール、y 軸ジャイロ・センサー
Z_GYRO_SCALE	R/W	Yes	0x02	0x08, 0x09	0x0000	補正、スケール、z 軸ジャイロ・センサー
X_ACCL_SCALE	R/W	Yes	0x02	0x0A, 0x0B	0x0000	補正、スケール、x 軸加速度センサー
Y_ACCL_SCALE	R/W	Yes	0x02	0x0C, 0x0D	0x0000	補正、スケール、y 軸加速度センサー
Z_ACCL_SCALE	R/W	Yes	0x02	0x0E, 0x0F	0x0000	補正、スケール、z 軸加速度センサー

Name	R/W	Flash Backup	PAGE_ID	Address	Default	Register Description
XG_BIAS_LOW	R/W	Yes	0x02	0x10, 0x11	0x0000	補正、オフセット、ジャイロ・センサー、x 軸、下位ワード
XG_BIAS_HIGH	R/W	Yes	0x02	0x12, 0x13	0x0000	補正、オフセット、ジャイロ・センサー、x 軸、上位ワード
YG_BIAS_LOW	R/W	Yes	0x02	0x14, 0x15	0x0000	補正、オフセット、ジャイロ・センサー、y 軸、下位ワード
YG_BIAS_HIGH	R/W	Yes	0x02	0x16, 0x17	0x0000	補正、オフセット、ジャイロ・センサー、y 軸、上位ワード
ZG_BIAS_LOW	R/W	Yes	0x02	0x18, 0x19	0x0000	補正、オフセット、ジャイロ・センサー、z 軸、下位ワード
ZG_BIAS_HIGH	R/W	Yes	0x02	0x1A, 0x1B	0x0000	補正、オフセット、ジャイロ・センサー、z 軸、上位ワード
XA_BIAS_LOW	R/W	Yes	0x02	0x1C, 0x1D	0x0000	補正、オフセット、加速度センサー、x 軸、下位ワード
XA_BIAS_HIGH	R/W	Yes	0x02	0x1E, 0x1F	0x0000	補正、オフセット、加速度センサー、x 軸、上位ワード
YA_BIAS_LOW	R/W	Yes	0x02	0x20, 0x21	0x0000	補正、オフセット、加速度センサー、y 軸、下位ワード
YA_BIAS_HIGH	R/W	Yes	0x02	0x22, 0x23	0x0000	補正、オフセット、加速度センサー、y 軸、上位ワード
ZA_BIAS_LOW	R/W	Yes	0x02	0x24, 0x25	0x0000	補正、オフセット、加速度センサー、z 軸、下位ワード
ZA_BIAS_HIGH	R/W	Yes	0x02	0x26, 0x27	0x0000	補正、オフセット、加速度センサー、z 軸、上位ワード
Reserved	N/A	N/A	0x02	0x28 to 0x73	0x0000	予備
BR_BIAS_LOW	R/W	Yes	0x02	0x40, 0x41	0x0000	補正、オフセット、気圧センサー、下位ワード
BR_BIAS_HIGH	R/W	Yes	0x02	0x42, 0x43	0x0000	補正、オフセット、気圧センサー、上位ワード
Reserved	N/A	N/A	0x02	0x28 to 0x73	0x0000	予備
USER_SCR_1	R/W	Yes	0x02	0x74, 0x75	0x0000	ユーザー・スクラッチ・レジスタ 1
USER_SCR_2	R/W	Yes	0x02	0x76, 0x77	0x0000	ユーザー・スクラッチ・レジスタ 2
USER_SCR_3	R/W	Yes	0x02	0x78, 0x79	0x0000	ユーザー・スクラッチ・レジスタ 3
USER_SCR_4	R/W	Yes	0x02	0x7A, 0x7B	0x0000	ユーザー・スクラッチ・レジスタ 4
FLSHCNT_LOW	R	N/A	0x02	0x7C, 0x7D	N/A	診断、フラッシュ・メモリ・カウント、下位ワード
FLSHCNT_HIGH	R	N/A	0x02	0x7E, 0x7F	N/A	診断、フラッシュ・メモリ・カウント、上位ワード
PAGE_ID	R/W	No	0x03	0x00, 0x01	0x0000	ページ識別子
GLOB_CMD	W	No	0x03	0x02, 0x03	N/A	制御、グローバル・コマンド
Reserved	N/A	N/A	0x03	0x04, 0x05	N/A	予備
FNCTIO_CTRL	R/W	Yes	0x03	0x06, 0x07	0x000D	制御、I/O ピン、機能定義
GPIO_CTRL	R/W	Yes	0x03	0x08, 0x09	0x00X0 ¹	制御、I/O ピン、汎用
CONFIG	R/W	Yes	0x03	0x0A, 0x0B	0x00C0	制御、クロック、および各種修正
DEC_RATE	R/W	Yes	0x03	0x0C, 0x0D	0x0000	制御、出力サンプル・レートのデシメーション
NULL_CNFG	R/W	Yes	0x03	0x0E, 0x0F	0x070A	制御、自動バイアス修正設定
SLP_CNT	W	No	0x03	0x10, 0x11	N/A	制御、パワーダウン／スリープ・モード
Reserved	N/A	N/A	0x03	0x12 to 0x15	N/A	予備
FILTR_BNK_0	R/W	Yes	0x03	0x16, 0x17	0x0000	フィルタ選択
FILTR_BNK_1	R/W	Yes	0x03	0x18, 0x19	0x0000	フィルタ選択
Reserved	N/A	N/A	0x03	0x1A to 0x1F	N/A	予備
ALM_CNFG_0	R/W	Yes	0x03	0x20, 0x21	0x0000	アラーム設定
ALM_CNFG_1	R/W	Yes	0x03	0x22, 0x23	0x0000	アラーム設定
ALM_CNFG_2	R/W	Yes	0x03	0x24, 0x25	0x0000	アラーム設定
Reserved	N/A	N/A	0x03	0x26, 0x27	N/A	予備
XG_ALM_MAGN	R/W	Yes	0x03	0x28, 0x29	0x0000	アラーム設定、x 軸ジャイロ・センサー
YG_ALM_MAGN	R/W	Yes	0x03	0x2A, 0x2B	0x0000	アラーム設定、y 軸ジャイロ・センサー
ZG_ALM_MAGN	R/W	Yes	0x03	0x2C, 0x2D	0x0000	アラーム設定、z 軸ジャイロ・センサー
XA_ALM_MAGN	R/W	Yes	0x03	0x2E, 0x2F	0x0000	アラーム設定、x 軸加速度センサー
YA_ALM_MAGN	R/W	Yes	0x03	0x30, 0x31	0x0000	アラーム設定、y 軸加速度センサー
ZA_ALM_MAGN	R/W	Yes	0x03	0x32, 0x33	0x0000	アラーム設定、z 軸加速度センサー
Reserved	N/A	N/A	0x03	0x34 to 0x39	N/A	予備
BR_ALM_MAGN	R/W	Yes	0x03	0x3A, 0x3B	0x0000	アラーム設定、気圧センサー
Reserved	N/A	N/A	0x03	0x3C to 0x77	N/A	予備
FIRM_REV	R	Yes	0x03	0x78, 0x79	N/A	ファームウェア・レビジョン
FIRM_DM	R	Yes	0x03	0x7A, 0x7B	N/A	ファームウェア・プログラミングの日付: 日／月
FIRM_Y	R	Yes	0x03	0x7C, 0x7D	N/A	ファームウェア・プログラミングの日付: 年
Reserved	N/A	N/A	0x03	0x7E, 0x7F	N/A	予備

Name	R/W	Flash Backup	PAGE_ID	Address	Default	Register Description
PAGE_ID	R/W	No	0x04	0x00, 0x01	0x0000	ページ識別子
Reserved	N/A	N/A	0x04	0x02 to 0x1F	N/A	予備
PART_ID1	R	N/A	0x04	0x20, 0x21	N/A	部品識別 1
PART_ID2	R	N/A	0x04	0x22, 0x23	N/A	部品識別 2
PART_ID3	R	N/A	0x04	0x24, 0x25	N/A	部品識別 3
PART_ID4	R	N/A	0x04	0x26, 0x27	N/A	部品識別 4
Reserved	N/A	N/A	0x04	0x28 to 0x7F	N/A	予備
PAGE_ID	R/W	No	0x05	0x00, 0x01	0x0000	ページ識別子
Reserved	N/A	N/A	0x05	0x02 to 0x07	N/A	予備
FIR_COEF_Axxx	R/W	Yes	0x05	0x08 to 0x7F	N/A	FIR フィルタ・バンク A: 係数 0 ～ 係数 59
PAGE_ID	R/W	No	0x06	0x00, 0x01	0x0000	ページ識別子
Reserved	N/A	N/A	0x06	0x02 to 0x07	N/A	予備
FIR_COEF_Axxx	R/W	Yes	0x06	0x08 to 0x7F	N/A	FIR フィルタ・バンク A: 係数 60 ～ 係数 119
PAGE_ID	R/W	No	0x07	0x00, 0x01	0x0000	ページ識別子
Reserved	N/A	N/A	0x07	0x02 to 0x07	N/A	予備
FIR_COEF_Bxxx	R/W	Yes	0x07	0x08 to 0x7F	N/A	FIR フィルタ・バンク B: 係数 0 ～ 係数 59
PAGE_ID	R/W	No	0x08	0x00, 0x01	0x0000	ページ識別子
Reserved	N/A	N/A	0x08	0x02 to 0x07	N/A	予備
FIR_COEF_Bxxx	R/W	Yes	0x08	0x08 to 0x7F	N/A	FIR フィルタ・バンク B: 係数 60 ～ 係数 119
PAGE_ID	R/W	No	0x09	0x00, 0x01	0x0000	ページ識別子
Reserved	N/A	N/A	0x09	0x02 to 0x07	N/A	予備
FIR_COEF_Cxxx	R/W	Yes	0x09	0x08 to 0x7F	N/A	FIR フィルタ・バンク C: 係数 0 ～ 係数 59
PAGE_ID	R/W	No	0x0A	0x00, 0x01	0x0000	ページ識別子
Reserved	N/A	N/A	0x0A	0x02 to 0x07	N/A	予備
FIR_COEF_Cxxx	R/W	Yes	0x0A	0x08 to 0x7F	N/A	FIR フィルタ・バンク C: 係数 60 ～ 係数 119
PAGE_ID	R/W	No	0x0B	0x00, 0x01	0x0000	ページ識別子
Reserved	N/A	N/A	0x0B	0x02 to 0x07	N/A	予備
FIR_COEF_Dxxx	R/W	Yes	0x0B	0x08 to 0x7F	N/A	FIR フィルタ・バンク D: 係数 0 ～ 係数 59
PAGE_ID	R/W	No	0x0C	0x00, 0x01	0x0000	ページ識別子
Reserved	N/A	N/A	0x0C	0x02 to 0x07	N/A	予備
FIR_COEF_Dxxx	R/W	Yes	0x0C	0x08 to 0x7F	N/A	FIR フィルタ・バンク D: 係数 60 ～ 係数 119

¹ GPIO_CTRL[7:4] ビットには DIOx ラインのロジック・レベルが反映されます。デフォルト設定はありません。

ユーザー・レジスタ定義

ページ 0 (PAGE_ID)

表 11. PAGE_ID のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x00, 0x01	0x0000	R/W	No

表 12. PAGE_ID のビット割当て

Bits	Description
[15:0]	Page number, binary numerical format

PAGE_ID レジスタの内容 (表 11 と表 12 を参照) は現在のページ設定を含んでおり、SPI アクセスのために別のページの選択を制御できます。例えば、SPI ベースのユーザー・アクセスのためページ 2 を選択するには、DIN = 0x8002 に設定します。ユーザー・アクセスが可能な各レジスタに関連するページ割り当てについては、表 10 を参照してください。

サンプル・シーケンス・カウンタ (SEQ_CNT)

内部サンプリング・クロックを使用する場合は、気圧センサー出力データ・レジスタ (BAROM_LOW と BAROM_OUT、表 53 と表 55 を参照) が 51.25 SPS のレートで更新されます。外部クロック使用時は、入力クロック周波数の 1/48 のレートで気圧センサーが更新されます。したがって、気圧センサーの更新レートは DEC_RATE レジスタ設定では変化しません。SYS_E_FLAG [9] (表 16 参照) は、気圧センサー出力データ・レジスタ内にまだ読み出されていない新しいデータがあることを示す、新データ・インジケータ・ビットです。SEQ_CNT レジスタは、気圧センサー・レジスタ内に新しいデータがあるかどうかの判断を助けるカウンタ機能を提供します。SEQ_CNT = 0x0001 のときは、気圧センサー出力レジスタ内に新しいデータがあります。連続的な読出しループを開始する場合は、SEQ_CNT を読み出し、その値を該当範囲 (DEC_RATE の設定により異なります。表 14 参照) の最大値から引いて、気圧センサー出力データ・レジスタ内の次のサンプル更新までの内部サンプリング・サイクルの数を予測します。

表 13. SEQ_CNT のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x06, 0x07	Not applicable	R	No

表 14. SEQ_CNT (ページ 0、ベース・アドレス = 0x06)

Bits	Description
[15:7]	Don't care
[6:0]	Binary counter: range = 1 to 48/(DEC_RATE + 1)

ステータス/エラー・フラグ・インジケータ (SYS_E_FLAG)

SYS_E_FLAG レジスタ (表 15 と表 16 を参照) は、さまざまなエラー・フラグを立てます。このレジスタの内容を読み出すと、ビット 7 を除くすべてのビットが 0 に戻ります。エラー状態が続く場合は、そのフラグ (ビット) が自動的にアラーム値である 1 に戻ります。

表 15. SYS_E_FLAG のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x08, 0x09	0x0000	R	No

表 16. SYS_E_FLAG のビット割り当て

Bits	Description
15	ウォッチドッグ・タイマー・フラグ。1 は、問題を解消するために ADIS16489 が自動的に自分自身をリセットすることを示します。
[14:13]	未使用。
12	ジャイロ・センサー飽和。1 は、1 つの軸の回転速度が $\pm 480^\circ/\text{sec}$ (誤差 $\pm 1\%$) 以上であることを示します。
[11:10]	未使用。
9	気圧センサーのサンプル更新。1 は、BAROM_OUT レジスタ (表 55 参照) と BAROM_LOW レジスタ (表 53 参照) に新しいデータが格納されていることを示します。
8	未使用。
7	処理オーバーラン。1 は、処理オーバーランが発生したことを示します。回復のためリセットを行ってください。エラーが再発して解消できない場合は、ADIS16489 を交換します。
6	フラッシュ・メモリ故障。1 は、最後に行ったフラッシュ・メモリ・テスト (GLOB_CMD [2]、表 151 参照) が失敗したことを示します。テストを繰り返してもこのエラーが再発して解消できない場合は、ADIS16489 を交換してください。
5	センサー故障。1 は、セルフ・テスト・プロセスで少なくとも 1 つのセンサーに故障が検出されたことを示します。装置が作動中でない場合は、オン・デマンド・セルフ・テスト (ODST、GLOB_CMD [1]、表 151 参照) を実行してください。エラーが再発して解消できない場合は、ADIS16489 を交換してください。
4	オーバーレンジ。1 は、少なくとも 1 つのセンサーのデジタル指示値が、その最大値の 99 % に達したことを示します。回復のためリセットを行ってください。エラーが再発して解消できない場合は、ADIS16489 を交換します。
3	SPI 通信エラー。1 は、SCLK サイクルの合計数が 16 の整数倍でないことを示します。回復するには、それ以前の通信シーケンスを繰り返してください。エラーが続く場合は、マスター・プロセッサからの SPI サービスに問題があることを示している可能性があります。
[2:1]	未使用。
0	アラーム・ステータス・フラグ。1 は、ユーザー・プログラマブル・アラームの 1 つがアクティブになっていることを示します。どのアラームがアクティブになっているかの指示については、ALM_STS を参照してください。

セルフ・テスト・エラー・フラグ (DIAG_STS)

表 17. DIAG_STS のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x0A, 0x0B	0x0000	R	No

表 18. DIAG_STS のビット定義

Bits	Description
[15:12]	未使用
11	セルフ・テスト・エラー、気圧センサー (1 = エラー)
[10:6]	未使用
5	セルフ・テスト・エラー、z 軸加速度センサー (1 = エラー)
4	セルフ・テスト・エラー、y 軸加速度センサー (1 = エラー)
3	セルフ・テスト・エラー、x 軸加速度センサー (1 = エラー)
2	セルフ・テスト・エラー、z 軸ジャイロ・センサー (1 = エラー)
1	セルフ・テスト・エラー、y 軸ジャイロ・センサー (1 = エラー)
0	セルフ・テスト・エラー、x 軸ジャイロ・センサー (1 = エラー)

SYS_E_FLAG [5] (表 16 参照) にはオン・デマンド・セルフ・テスト (ODST) の合否 (0 = 合格) が格納され、DIAG_STS レジスタ (表 17 と表 18 を参照) には各慣性センサーの合否フラグ (0 = 合格) が格納されます。DIAG_STS レジスタの内容を読み出すと、そのすべてのビットが 0 になります。エラー状態が続く場合は、DIAG_STS 内のビットが 1 に戻ります。

アラーム・エラー・フラグ (ALM_STS)

表 19. ALM_STS のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x0C, 0x0D	0x0000	R	No

表 20. ALM_STS のビット定義

Bits	Description
[15:12]	未使用
11	気圧センサー・アラーム・フラグ (1 = アラームがアクティブ)
[10:6]	未使用
5	Z 軸加速度センサー・アラーム・フラグ (1 = アラームがアクティブ)
4	Y 軸加速度センサー・アラーム・フラグ (1 = アラームがアクティブ)
3	X 軸加速度センサー・アラーム・フラグ (1 = アラームがアクティブ)
2	Z 軸ジャイロ・センサー・アラーム・フラグ (1 = アラームがアクティブ)
1	Y 軸ジャイロ・センサー・アラーム・フラグ (1 = アラームがアクティブ)
0	X 軸ジャイロ・センサー・アラーム・フラグ (1 = アラームがアクティブ)

ALM_STS レジスタ (表 19 と表 20 を参照) には、ALM_CNFG_0 レジスタ (表 170 参照) と ALM_CNFG_1 レジスタ (表 172 参照) レジスタのアラーム設定用のエラー・フラグが格納されます。ALM_STS レジスタの内容を読み出すと、すべてのビットが 0 になります。アラーム状態が続く場合、そのビットは次のサンプル・サイクルで 1 に戻ります。

内部温度 (TEMP_OUT)

表 21. TEMP_OUT のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x0E, 0x0F	Not applicable	R	No

表 22. TEMP_OUT のビット定義

Bits	Description
[15:0]	温度データ、2 の補数、0.00565 °C/LSB、25 °C = 0x0000

TEMP_OUT レジスタ (表 21 と表 22 を参照) は、ADIS16489 の内部温度の大まかな値を提供します。このデータは、ADIS16489 の内部温度に影響を与える相対的変化の監視に最も有効です。

表 23. TEMP_OUT のデータ・フォーマット例

Temperature (°C)	Decimal	Hex	Binary
+85	+10,619	0x297B	0010 1001 0111 1011
+25 + 0.0113	+2	0x0002	0000 0000 0000 0010
+25 + 0.00565	+1	0x0001	0000 0000 0000 0001
+25	0	0x0000	0000 0000 0000 0000
+25 - 0.00565	-1	0xFFFF	1111 1111 1111 1111
+25 - 0.0113	-2	0xFFFE	1111 1111 1111 1110
-40	-11,504	0xD310	1101 0011 0001 0000

ジャイロ・センサーのデータ

ADIS16489 のジャイロ・センサーは、3 本の直交軸 (x、y、z) 回りの回転角速度を測定します。ジャイロ・センサーの各軸の方向と、その各測定値が正の応答となる回転方向を図 18 に示します。

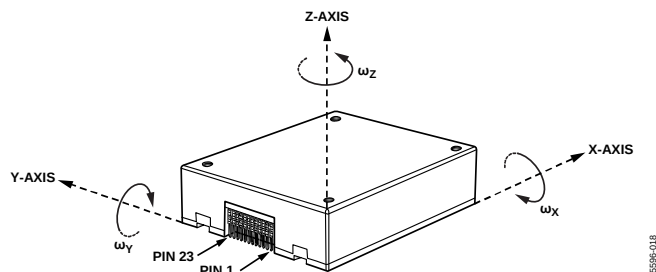


図 18. ジャイロ・センサーの軸と極性の割り当て

各ジャイロ・センサーには 2 つの出力データ・レジスタがあります。x 軸ジャイロ・センサー測定において、これら 2 つのレジスタをどのように組み合わせて 32 ビットの 2 の補数データ・フォーマットを構成するかを、図 19 に示します。このフォーマットは y 軸と z 軸にも適用されます。

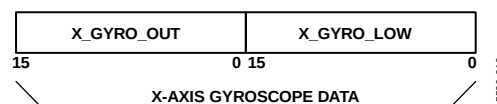


図 19. ジャイロ・センサーの出力データ構造

X 軸ジャイロ・センサー (X_GYRO_LOW、X_GYRO_OUT)

表 24. X_GYRO_LOW のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x10, 0x11	Not applicable	R	No

表 25. X_GYRO_LOW のビット定義

Bits	Description
[15:0]	X 軸ジャイロ・センサー・データ、下位ワード

表 26. X_GYRO_OUT のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x12, 0x13	Not applicable	R	No

表 27. X_GYRO_OUT のビット定義

Bits	Description
[15:0]	X 軸ジャイロ・センサー・データ、上位ワード、2 の補数、範囲 ±450°/sec、0°/sec = 0x0000、1 LSB = 0.02°/sec

X_GYRO_LOW レジスタ (表 24 と表 25 を参照) と X_GYRO_OUT レジスタ (表 26 と表 27 を参照) には、x 軸のジャイロ・センサー・データが格納されます。

Y 軸ジャイロ・センサー (Y_GYRO_LOW、Y_GYRO_OUT)

表 28. Y_GYRO_LOW のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x14, 0x15	Not applicable	R	No

表 29. Y_GYRO_LOW のビット定義

Bits	Description
[15:0]	Y 軸ジャイロ・センサー・データ、下位ワード

表 30. Y_GYRO_OUT のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x16, 0x17	Not applicable	R	No

表 31. Y_GYRO_OUT のビット定義

Bits	Description
[15:0]	Y 軸ジャイロ・センサー・データ、上位ワード、2 の補数、範囲 $\pm 450^\circ/\text{sec}$ 、 $0^\circ/\text{sec} = 0x0000$ 、1 LSB = $0.02^\circ/\text{sec}$

Y_GYRO_LOW レジスタ (表 28 と表 29 を参照) と Y_GYRO_OUT レジスタ (表 30 と表 31 を参照) には、y 軸のジャイロ・センサー・データが格納されます。

Z 軸ジャイロ・センサー (Z_GYRO_LOW、Z_GYRO_OUT)

表 32. Z_GYRO_LOW のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x18, 0x19	Not applicable	R	No

表 33. Z_GYRO_LOW のビット定義

Bits	Description
[15:0]	Z 軸ジャイロ・センサー・データ、追加分解能ビット

表 34. Z_GYRO_OUT のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x1A, 0x1B	Not applicable	R	No

表 35. Z_GYRO_OUT のビット定義

Bits	Description
[15:0]	Z 軸ジャイロ・センサー・データ、上位ワード、2 の補数、範囲 $\pm 450^\circ/\text{sec}$ 、 $0^\circ/\text{sec} = 0x0000$ 、1 LSB = $0.02^\circ/\text{sec}$

Z_GYRO_LOW レジスタ (表 32 と表 33 を参照) と Z_GYRO_OUT レジスタ (表 34 と表 35 を参照) には、z 軸のジャイロ・センサー・データが格納されます。

ジャイロ・センサーの分解能

16 ビットと 32 ビットの角速度 (ジャイロ・センサー) データのフォーマットを示すさまざまな数値の例を、表 36 と表 37 に示します。

表 36. 16 ビット・ジャイロ・センサー・データのフォーマット例

Rotation Rate ($^\circ/\text{sec}$)	Decimal	Hex	Binary
+450	+22,500	0x57E4	0101 0111 1110 0100
+0.04	+2	0x0002	0000 0000 0000 0010
+0.02	+1	0x0001	0000 0000 0000 0001
0	0	0x0000	0000 0000 0000 0000
-0.02	-1	0xFFFF	1111 1111 1111 1111
-0.04	-2	0xFFFE	1111 1111 1111 1110
-450	-22,500	0xA81C	1010 1000 0001 1100

表 37. 32 ビット・ジャイロ・センサー・データのフォーマット例

Rotation Rate ($^\circ/\text{sec}$)	Decimal	Hex
+450	+1,474,560,000	0x57E40000
+0.02/2 ¹⁵	+2	0x00000002
+0.02/2 ¹⁶	+1	0x00000001
0	0	0x00000000
-0.02/2 ¹⁶	-1	0xFFFFFFFF
-0.02/2 ¹⁵	-2	0xFFFFFFFF
-450	-1,474,560,000	0x73600000

加速度データ

ADIS16489 の加速度センサーは、3 本の直交軸 (x、y、z) に沿った動的加速度と静的加速度 (重力に対する応答) の両方を測定します。加速度センサーの各軸の方向と、その各測定値が正の応答となる加速度方向を図 20 に示します。

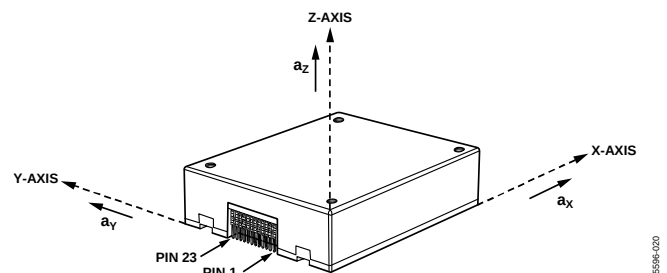


図 20. 加速度センサーの軸と極性の割り当て

各加速度センサーには 2 つの出力データ・レジスタがあります。x 軸加速度センサー測定において、これら 2 つのレジスタをどのように組み合わせて 32 ビットの 2 の補数のデータ・フォーマットを構成するかを、図 21 に示します。このフォーマットは y 軸と z 軸にも適用されます。

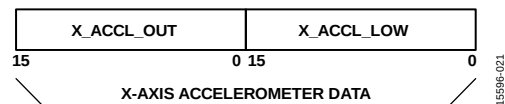


図 21. 加速度センサーの出力データ構造

X 軸加速度センサー (X_ACCL_LOW、X_ACCL_OUT)

表 38. X_ACCL_LOW のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x1C, 0x1D	Not applicable	R	No

表 39. X_ACCL_LOW のビット定義

Bits	Description
[15:0]	X 軸加速度センサー・データ、下位ワード

表 40. X_ACCL_OUT のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x1E, 0x1F	Not applicable	R	No

表 41. X_ACCL_OUT の定義

Bits	Description
[15:0]	X 軸加速度センサー・データ、上位ワード、2 の補数、範囲 $\pm 18\text{ g}$ 、 $0\text{ g} = 0x0000$ 、 $1\text{ LSB} = 0.8\text{ mg}$

X_ACCL_LOW レジスタ（表 38 と表 39 を参照）と X_ACCL_OUT レジスタ（表 40 と表 41 を参照）には、x 軸の加速度センサー・データが格納されます。

Y 軸加速度センサー (Y_ACCL_LOW、Y_ACCL_OUT)

表 42. Y_ACCL_LOW のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x20, 0x21	Not applicable	R	No

表 43. Y_ACCL_LOW のビット定義

Bits	Description
[15:0]	Y 軸加速度センサー・データ、下位ワード

表 44. Y_ACCL_OUT のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x22, 0x23	Not applicable	R	No

表 45. Y_ACCL_OUT のビット定義

Bits	Description
[15:0]	Y 軸加速度センサー・データ、2 の補数、範囲 $\pm 18\text{ g}$ 、 $0\text{ g} = 0x0000$ 、 $1\text{ LSB} = 0.8\text{ mg}$

Y_ACCL_LOW レジスタ（表 42 と表 43 を参照）と Y_ACCL_OUT レジスタ（表 44 と表 45 を参照）には、y 軸の加速度センサー・データが格納されます。

Z 軸加速度センサー (Z_ACCL_LOW、Z_ACCL_OUT)

表 46. Z_ACCL_LOW のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x24, 0x25	Not applicable	R	No

表 47. Z_ACCL_LOW のビット定義

Bits	Description
[15:0]	Z 軸加速度センサー・データ、下位ワード

表 48. Z_ACCL_OUT のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x26, 0x27	Not applicable	R	No

表 49. Z_ACCL_OUT のビット定義

Bits	Description
[15:0]	Z 軸加速度センサー・データ、上位ワード、2 の補数、範囲 $\pm 18\text{ g}$ 、 $0\text{ g} = 0x0000$ 、 $1\text{ LSB} = 0.8\text{ mg}$

Z_ACCL_LOW レジスタ（表 46 と表 47 を参照）と Z_ACCL_OUT レジスタ（表 48 と表 49 を参照）には、z 軸の加速度センサー・データが格納されます。

加速度センサーの分解能

16 ビットと 32 ビットの直線加速度データのフォーマットを示すさまざまな数値の例を、表 50 と表 51 に示します。

表 50. 16 ビット加速度センサー・データのフォーマット例

Acceleration	Decimal	Hex	Binary
+18 g	+20,000	0x4E20	0100 1110 0010 0000
+1.6 mg	+2	0x0002	0000 0000 0000 0010
+0.8 mg	+1	0x0001	0000 0000 0000 0001
0 mg	0	0x0000	0000 0000 0000 0000
-0.8 mg	-1	0xFFFF	1111 1111 1111 1111
-1.6 mg	-2	0xFFFE	1111 1111 1111 1110
-18 g	-20,000	0xB1E0	1011 0001 1110 0000

表 51. 32 ビット加速度センサー・データのフォーマット例

Acceleration (g)	Decimal	Hex
+18	+1,310,720,000	0x4E200000
+0.0008/2 ¹⁵	+2	0x00000002
+0.0008/2 ¹⁶	+1	0x00000001
0	0	0x00000000
-0.0008/2 ¹⁶	-1	0xFFFFFFF
-0.0008/2 ¹⁵	-2	0xFFFFFFF
-18	-1,310,720,000	0xB1E00000

気圧センサーのデータ

気圧センサーは気圧を測定します。気圧センサーには 2 つの出力データ・レジスタ、BAROM_LOW と BAROM_OUT があります。気圧測定において、これら 2 つのレジスタをどのように組み合わせるかを、図 22 に示します。

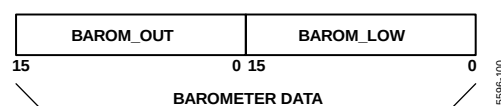


図 22. 気圧センサーの出力データ構造

気圧センサー (BAROM_LOW、BAROM_OUT)

表 52. BAROM_LOW のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x2E, 0x2F	Not applicable	R	No

表 53. BAROM_LOW のビット定義

Bits	Description
[15:0]	気圧センサーのデータ、下位ワード

表 54. BAROM_OUT のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x30, 0x31	Not applicable	R	No

表 55. BAROM_OUT のビット定義

Bits	Description
[15:0]	気圧センサー・データ、上位ワード、2 の補数、範囲 ± 1.31 , 0 bar = 0x0000, 1 LSB = 40 μ bar

BAROM_LOW レジスタ（表 52 と表 53 を参照）と BAROM_OUT レジスタ（表 54 と表 55 を参照）には、気圧センサーのデータが格納されます。

気圧センサーの分解能

16 ビットと 32 ビットの気圧（気圧センサー）データのフォーマットを示すさまざまな数値の例を、表 56 と表 57 に示します。

表 56. 16 ビット気圧センサー・データのフォーマット例

Pressure	Decimal	Hex	Binary
+1.31068 bar	+32767	0x3FFF	0111 1111 1111 1111
+80 μ bar	+2	0x0002	0000 0000 0000 0010
+40 μ bar	+1	0x0001	0000 0000 0000 0001
0	0	0x0000	0000 0000 0000 0000
-40 μ bar	-1	0xFFFF	1111 1111 1111 1111
-80 μ bar	-2	0xFFFE	1111 1111 1111 1110
-1.31072	-32768	0x4000	1000 0000 0000 0000

表 57. 32 ビット気圧センサー・データのフォーマット例

Pressure	Decimal	Hex
+1.31068 bar	+4,294,967,295	0x3FFFFFFF
+80 μ bar $\div 2^{16}$	+2	0x00000002
+40 μ bar $\div 2^{16}$	+1	0x00000001
0	0	0x00000000
-40 μ bar $\div 2^{16}$	-1	0xFFFFFFF
-80 μ bar $\div 2^{16}$	-2	0xFFFFFFF
-1.31072	-4,294,967,296	0x40000000

角度変化

各軸（x、y、z）回りの回転角速度（ジャイロ・センサー）の測定値に加えて、ADIS16489 は角度変化の測定も出力します。これはサンプル更新ごとの角度変位を計算したものです。

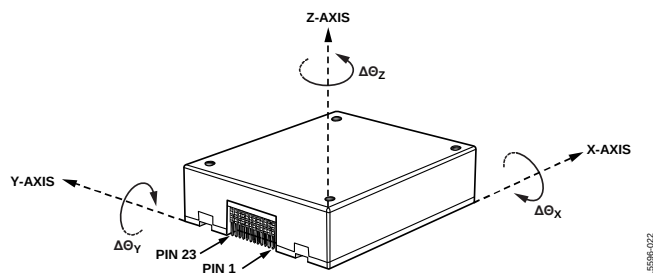


図 23. 角度変化の軸と極性割り当て

角度変化出力はジャイロ・センサー測定値の積分値を表わし、3 つの軸すべてについて以下の式を使用します（示したのは x 軸回りの式）。

$$\Delta\theta_{x,nD} = \frac{1}{2f_s} \times \sum_{d=0}^{D-1} (\omega_{x,nD+d} + \omega_{x,nD+d-1})$$

ここで、

D はデシメーション・レシオ = DEC_RATE + 1（表 159 参照）、

f_s はサンプル・レート、

d は総和公式の増分変数、

ω_x は x 軸回りの回転速度（ジャイロ・センサー）、

n はデシメーション・フィルタ前のサンプル時間です。

内部サンプル・クロックを使用する場合、 f_s は 2460 SPS です。外部クロック・オプションを使用する場合、 f_s は外部クロックの周波数に等しくなります。外部クロック周波数は、高回転速度時に角度変化データ・レジスタがオーバーフローするのを防ぐために、700 Hz 以上でなくてはなりません。

角度変化測定時は、各軸につき 2 つの出力データ・レジスタを使用します。x 軸の角度変化測定において、これら 2 つのレジスタをどのように組み合わせて 32 ビットの 2 の補数データ・フォーマットを構成するかを、図 24 に示します。このフォーマットは、y 軸と z 軸にも適用されます。

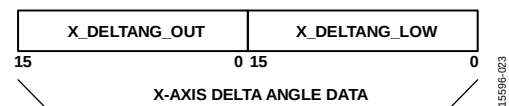


図 24. 角度変化出力のデータ構造

X 軸角度変化 (X_DELTANG_LOW、X_DELTANG_OUT)

表 58. X_DELTANG_LOW のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x40, 0x41	Not applicable	R	No

表 59. X_DELTANG_LOW のビット定義

Bits	Description
[15:0]	X 軸角度変化データ、下位ワード

表 60. X_DELTANG_OUT のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x42, 0x43	Not applicable	R	No

表 61. X_DELTANG_OUT のビット定義

Bits	Description
[15:0]	X 軸角度変化データ、2 の補数、範囲 $\pm 720^\circ$, $0^\circ = 0x0000$, 1 LSB = $720^\circ/2^{15} = \sim 0.022^\circ$

X_DELTANG_LOW レジスタ（表 58 と表 59 を参照）と X_DELTANG_OUT レジスタ（表 60 と表 61 を参照）には、x 軸の角度変化データが格納されます。

Y 軸角度変化 (Y_DELTANG_LOW、Y_DELTANG_OUT)

表 62. Y_DELTANG_LOW のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x44, 0x45	Not applicable	R	No

表 63. Y_DELTANG_LOW のビット定義

Bits	Description
[15:0]	Y 軸角度変化データ、下位ワード

表 64. Y_DELTANG_OUT のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x46, 0x47	Not applicable	R	No

表 65. Y_DELTANG_OUT のビット定義

Bits	Description
[15:0]	Y 軸角度変化データ、2 の補数、範囲 $\pm 720^\circ$ 、 $0^\circ = 0x0000$ 、1 LSB = $720^\circ/2^{15} = \sim 0.022^\circ$

Y_DELTANG_LOW レジスタ (表 62 と表 63 を参照) と Y_DELTANG_OUT レジスタ (表 64 と表 65 を参照) には、y 軸の角度変化データが格納されます。

Z 軸角度変化 (Z_DELTANG_LOW、Z_DELTANG_OUT)

表 66. Z_DELTANG_LOW のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x48, 0x49	Not applicable	R	No

表 67. Z_DELTANG_LOW のビット定義

Bits	Description
[15:0]	Z 軸角度変化データ、下位ワード

表 68. Z_DELTANG_OUT のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x4A, 0x4B	Not applicable	R	No

表 69. Z_DELTANG_OUT のビット定義

Bits	Description
[15:0]	Z 軸角度変化データ、2 の補数、範囲 $\pm 720^\circ$ 、 $0^\circ = 0x0000$ 、1 LSB = $720^\circ/2^{15} = \sim 0.022^\circ$

Z_DELTANG_LOW レジスタ (表 66 と表 67 を参照) と Z_DELTANG_OUT レジスタ (表 68 と表 69 を参照) には、z 軸の角度変化データが格納されます。

角度変化の分解能

16 ビットと 32 ビットの角度変化データのフォーマットを示すさまざまな数値の例を、表 70 と表 71 に示します。

表 70. 16 ビット角度変化データのフォーマット例

Delta Angle ($^\circ$)	Decimal	Hex	Binary
$+720 \times (2^{15} - 1)/2^{15}$	+32,767	0x7FFF	0111 1111 1110 1111
$+720/2^{14}$	+2	0x0002	0000 0000 0000 0010
$+720/2^{15}$	+1	0x0001	0000 0000 0000 0001
0	0	0x0000	0000 0000 0000 0000
$-720/2^{15}$	-1	0xFFFF	1111 1111 1111 1111
$-720/2^{14}$	-2	0xFFFFE	1111 1111 1111 1110
-720	-32,768	0x8000	1000 0000 0000 0000

表 71.32 ビット角度変化データのフォーマット例

Delta Angle ($^\circ$)	Decimal	Hex
$+720 \times (2^{31} - 1)/2^{31}$	+2,147,483,647	0x7FFFFFFF
$+720/2^{30}$	+2	0x00000002
$+720/2^{31}$	+1	0x00000001
0	0	0x00000000
$-720/2^{31}$	-1	0xFFFFFFFF
$-720/2^{30}$	-2	0xFFFFFFFFE
-720	-2,147,483,648	0x80000000

速度変化

各軸 (x、y、z) に沿った直線加速度の測定値に加えて、ADIS16489 は、各サンプル更新ごとの直線速度測定値の変化も計算します。

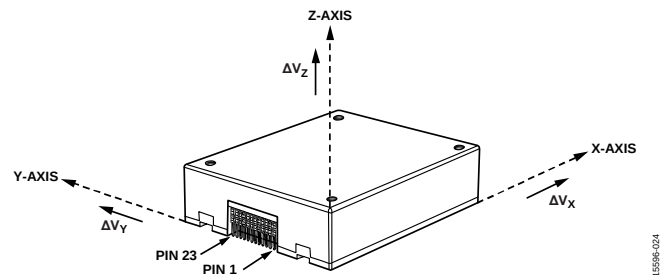


図 25. 速度変化の軸と極性割り当て

速度変化出力は加速度測定値の積分値を表わし、3 つの軸すべてについて以下の式を使用します (示したのは x 軸回りの式)。

$$\Delta V_{x,nD} = \frac{1}{2f_s} \times \sum_{d=0}^{D-1} (a_{x,nD+d} + a_{x,nD+d-1})$$

ここで、

D はデシメーション・レシオ = DEC_RATE + 1 (表 159 参照)、

f_s はサンプル・レート、 d は総和公式の増分変数、 a_x は x 軸加速度 (加速度センサー)、

n はデシメーション・フィルタ前のサンプル時間です。

内部サンプル・クロックを使用する場合、 f_s は 2460 SPS です。外部クロック・オプションを使用する場合、 f_s は外部クロックの周波数に等しくなります。外部クロック周波数は、高加速度時に速度変化データ・レジスタがオーバーフローするのを防ぐために、少なくとも 700 Hz なければなりません。

速度変化測定時は、各軸につき 2 つの出力データ・レジスタを使用します。x 軸の速度変化測定において、これら 2 つのレジスタをどのように組み合わせて 32 ビットの 2 の補数データ・フォーマットを構成するかを、図 26 に示します。このフォーマットは y 軸と z 軸にも適用されます。

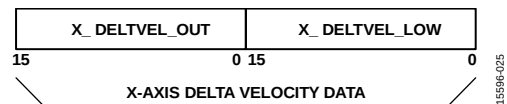


図 26. 角度変化出力のデータ構造

X 軸速度変化 (X_DELTVEL_LOW、X_DELTVEL_OUT)

表 72. X_DELTVEL_LOW のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x4C, 0x4D	Not applicable	R	No

表 73. X_DELTVEL_LOW のビット定義

Bits	Description
[15:0]	X 軸角度変化データ、下位ワード

表 74. X_DELTVEL_OUT のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x4E, 0x4F	Not applicable	R	No

表 75. X_DELTVEL_OUT のビット定義

Bits	Description
[15:0]	X 軸速度変化データ、2 の補数、範囲 ± 200 m/sec、0 m/sec = 0x0000、1 LSB = $200 \text{ m/sec} \div 2^{15} = \sim 6.104 \text{ mm/sec}$

X_DELTVEL_LOW レジスタ（表 72 と表 73 を参照）と X_DELTVEL_OUT レジスタ（表 74 と表 75 を参照）には、x 軸の速度変化データが格納されます。

Y 軸速度変化 (Y_DELTVEL_LOW、Y_DELTVEL_OUT)

表 76. Y_DELTVEL_LOW のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x50, 0x51	Not applicable	R	No

表 77. Y_DELTVEL_LOW のビット定義

Bits	Description
[15:0]	Y 軸速度変化データ、下位ワード

表 78. Y_DELTVEL_OUT のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x52, 0x53	Not applicable	R	No

表 79. Y_DELTVEL_OUT のビット定義

Bits	Description
[15:0]	Y 軸速度変化データ、2 の補数、範囲 ± 50 m/sec、0 m/sec = 0x0000、1 LSB = $50 \text{ m/sec} \div 2^{15} = \sim 1.526 \text{ mm/sec}$

Y_DELTVEL_LOW レジスタ（表 76 と表 77 を参照）と Y_DELTVEL_OUT レジスタ（表 78 と表 79 を参照）には、y 軸の速度変化データが格納されます。

Z 軸速度変化 (Z_DELTVEL_LOW、Z_DELTVEL_OUT)

表 80. Z_DELTVEL_LOW のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x54, 0x55	Not applicable	R	No

表 81. Z_DELTVEL_LOW のビット定義

Bits	Description
[15:0]	Z 軸角度変化データ、下位ワード

表 82. Z_DELTANG_OUT のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x56, 0x57	Not applicable	R	No

表 83. Z_DELTVEL_OUT のビット定義

Bits	Description
[15:0]	Z 軸速度変化データ、2 の補数、範囲 ± 200 m/sec、0 m/sec = 0x0000、1 LSB = $200 \text{ m/sec} \div 2^{15} = \sim 6.104 \text{ mm/sec}$

Z_DELTVEL_LOW レジスタ（表 80 と表 81 を参照）と Z_DELTVEL_OUT レジスタ（表 82 と表 83 を参照）には、z 軸の速度変化データが格納されます。

速度変化の分解能

16 ビットと 32 ビットの速度変化データのフォーマットを示すさまざまな数値の例を、表 84 と表 85 に示します。

表 84. 16 ビット速度変化データのフォーマット例

Velocity (m/sec)	Decimal	Hex	Binary
$+200 \times (2^{15} - 1)/2^{15}$	+32,767	0x7FFF	0111 1111 1110 1111
$+200/2^{14}$	+2	0x0002	0000 0000 0000 0010
$+200/2^{15}$	+1	0x0001	0000 0000 0000 0001
0	0	0x0000	0000 0000 0000 0000
$-200/2^{15}$	-1	0xFFFF	1111 1111 1111 1111
$-200/2^{14}$	-2	0xFFFE	1111 1111 1111 1110
-200	-32,768	0x8000	1000 0000 0000 0000

表 85. 32 ビット速度変化データのフォーマット例

Velocity (m/sec)	Decimal	Hex
$+200 \times (2^{31} - 1)/2^{31}$	+2,147,483,647	0x7FFFFFFF
$+200/2^{30}$	+2	0x00000002
$+200/2^{31}$	+1	0x00000001
0	0	0x00000000
$-200/2^{31}$	-1	0xFFFFFFFF
$-200/2^{30}$	-2	0xFFFFFFFFFE
-200	-2,147,483,648	0x80000000

リアルタイム・クロック

VDDRTC 電源ピン（表 6 のピン 23 を参照）は、リアルタイム・クロック（RTC）機能専用の電源を供給します。VDDTC ピンを専用の 3.3 V 電源に接続すれば、主電源（VDD）がオフになった場合でも RTC の動作を維持できます。

RTC 機能は、2 つあるモードの 1 つを CONFIG [0] で選択することによって設定します（表 157 参照）。リアルタイム・クロック・データは、TIME_MS_OUT レジスタ（表 87 参照）、TIME_DH_OUT レジスタ（表 89 参照）、および TIME_YM_OUT レジスタ（表 91 参照）から得ることができます。経時タイマー・モードを使用する場合、時間データ・レジスタはデバイスが起動したこと（あるいはリセットされたこと）を示す 0x0000 から開始されて、ストップ・ウォッチと同様の形で計時が続けられます。

クロック／カレンダー・モードを使用する場合は、以下の順番でリアルタイム・レジスタに現在時刻を書き込みます: 秒（TIME_MS_OUT [5:0]）、分（TIME_MS_OUT [13:8]）、時（TIME_DH_OUT [5:0]）、日（TIME_DH_OUT [12:8]）、月（TIME_YM_OUT [3:0]）、年（TIME_YM_OUT [14:8]）。タイマーの更新は、TIME_YM_OUT [14:8] バイトへの書き込みが完了して初めて有効になります。

新たに更新された値がリアルタイム・クロック・レジスタに反映されるのは、TIME_YM_OUT [14:8]（年）への書き込み終了後、最初の1秒が経過した時点です。TIME_YM_OUT [14:8] へ書き込みを行うと、すべてのタイミング値が有効になります。したがってタイマーを更新する時は、年情報を更新する必要がない場合でも、必ず最後にこの位置へ書き込みを行ってください。

CONFIG [0] = 1 (DIN = 0x8003, DIN = 0x8AC1, DIN = 0x8B00) と設定した後に、それぞれの時刻データ・レジスタに現在時刻を書き込みます。このシーケンスでは、CONFIG レジスタ内の他のビットの工場出荷時の値が維持されます。CONFIG レジスタの設定後は、GLOB_CMD [3] = 1 (DIN = 0x8003, DIN = 0x8204, DIN = 0x8300) に設定してこれらの設定をフラッシュにバックアップし、専用の 3.3 V 電源を使用して VDDRTC 機能に電源を供給します。タイム・トラッキングに電源が必要なのは VDDRTC だけで、TIME_xx_OUT レジスタ内の時間データへのアクセスは通常動作で行うことができます (VDD = 3.3 V、完全起動)。

リアルタイム・クロック: 分/秒 (TIME_MS_OUT)

表 86. TIME_MS_OUT のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x78, 0x79	Not applicable	R/W	No

表 87. TIME_MS_OUT のビット定義

Bits	Description
[15:14]	未使用
[13:8]	分、バイナリ・データ、範囲 = 0 ~ 59。
[7:6]	未使用
[5:0]	秒、バイナリ・データ、範囲 = 0 ~ 59。

リアルタイム・クロック: 日/時間 (TIME_DH_OUT)

表 88. TIME_DH_OUT のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x7A, 0x7B	Not applicable	R/W	No

表 89. TIME_DH_OUT のビット定義

Bits	Description
[15:13]	未使用
[12:8]	日、バイナリ・データ、範囲 = 1 ~ 31。
[7:6]	未使用
[5:0]	時間、バイナリ・データ、範囲 = 0 ~ 23。

リアルタイム・クロック: 年/月 (TIME_YM_OUT)

表 90. TIME_YM_OUT のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x7C, 0x7D	Not applicable	R/W	No

表 91. TIME_YM_OUT のビット定義

Bits	Description
[15]	未使用
[14:8]	年、バイナリ・データ、範囲 = 0 ~ 99、西暦 2000 年が基点。
[7:4]	未使用
[3:0]	月、バイナリ・データ、範囲 = 1 ~ 12。

製品識別 (PROD_ID)

表 92. PROD_ID のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x7E, 0x7F	0x4069	R	Not applicable

表 93. PROD_ID のビット定義

Bits	Description
[15:0]	製品識別 = 0x4069

PROD_ID レジスタ (表 92 と表 93 を参照) には、部品番号の数値部分 (16489) が格納されます。このレジスタのループ読出しを使用して通信の完全性を評価する方法の例については、図 17 を参照してください。

ページ 2 (PAGE_ID)

表 94. PAGE_ID のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x00, 0x01	0x0000	R/W	No

表 95. PAGE_ID のビット割当て

Bits	Description
[15:0]	ページ番号、2 進数フォーマット

PAGE_ID レジスタの内容 (表 94 と表 95 を参照) は現在のページ設定を含んでおり、SPI アクセスのために別のページの選択を制御できます。例えば、SPI ベースのユーザー・アクセスのためページ 2 を選択するには、DIN = 0x8002 に設定します。ユーザー・アクセスが可能な各レジスタに関連するページ割り当てについては、表 10 を参照してください。

補正

各慣性センサー (加速度センサ、ジャイロ・センサー) のシグナル・チェーンには固有の補正式が使われていますが、これらの式は、-40 °C ~ +85 °C の温度範囲で個々の ADIS16489 に対し、直線加速度 (ジャイロ・センサー) に関するバイアス、感度、アライメント、応答の広範な特性評価を行うことによって得られたものです。これらの補正式自体にはアクセスできませんが、ユーザー・アクセス可能なレジスタを通じて、個々のセンサーについてバイアスとスケール・ファクタを調整することができます。これらの補正係数は、工場で導出されたシグナル・チェーンの補正式にそのまま従っており、内部クロック使用時には 2460 Hz のレートで処理を行います (図 33 の f_s を参照)。

ジャイロ・センサーのスケール補正 (X_GYRO_SCALE)

表 96. X_GYRO_SCALE のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x04, 0x05	0x0000	R/W	Yes

表 97. X_GYRO_SCALE のビット定義

Bits	Description
[15:0]	X 軸ジャイロ・センサーのスケール補正、2 の補数、0x0000 = ゲイン 1、1 LSB = $1 \div 2^{15} = \sim 0.003052\%$

X_GYRO_SCALE レジスタ (表 96 と表 97 を参照) で、x 軸ジャイロ・センサーのスケール・ファクタを調整することができます。このスケール・ファクタが x 軸のジャイロ・センサー・データに及ぼす影響については、図 27 を参照してください。

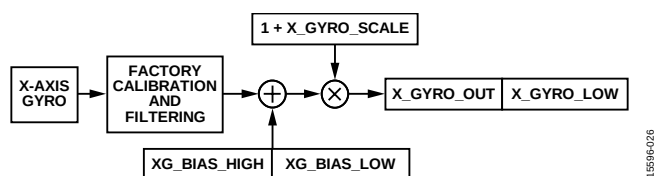


図 27. ジャイロ・センサーのユーザー補正信号パス

ジャイロ・センサーのスケール補正 (Y_GYRO_SCALE)

表 98. Y_GYRO_SCALE のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x06, 0x07	0x0000	R/W	Yes

表 99. Y_GYRO_SCALE のビット定義

Bits	Description
[15:0]	Y 軸ジャイロ・センサーのスケール補正、2 の補数、0x0000 = ゲイン 1、1 LSB = $1 \div 2^{15} = \sim 0.003052\%$

Y_GYRO_SCALE レジスタ（表 98 と表 99 を参照）は、ユーザーによる y 軸ジャイロ・センサーのスケール・ファクタ調整を可能にします。このレジスタは、X_GYRO_SCALE が x 軸のジャイロ・センサー測定値に影響を与えるのと同様に、y 軸のジャイロ・センサー測定値に影響を与えます（図 27 参照）。

ジャイロ・センサーのスケール補正 (Z_GYRO_SCALE)

表 100. Z_GYRO_SCALE のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x08, 0x09	0x0000	R/W	Yes

表 101. Z_GYRO_SCALE のビット定義

Bits	Description
[15:0]	Z 軸ジャイロ・センサーのスケール補正、2 の補数、0x0000 = ゲイン 1、1 LSB = $1 \div 2^{15} = \sim 0.003052\%$

Z_GYRO_SCALE レジスタ（表 100 と表 101 を参照）は、ユーザーによる z 軸ジャイロ・センサーのスケール・ファクタ調整を可能にします。このレジスタは、X_GYRO_SCALE が x 軸のジャイロ・センサー測定値に影響を与えるのと同様に、z 軸のジャイロ・センサー測定値にも影響を与えます（図 27 参照）。

加速度センサーのスケール補正 (X_ACCL_SCALE)

表 102. X_ACCL_SCALE のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x0A, 0x0B	0x0000	R/W	Yes

表 103. X_ACCL_SCALE のビット定義

Bits	Description
[15:0]	X 軸加速度センサーのスケール補正、2 の補数、0x0000 = ゲイン 1、1 LSB = $1 \div 2^{15} = \sim 0.003052\%$

X_ACCL_SCALE レジスタ（表 102 と表 103 を参照）は、ユーザーによる x 軸加速度センサーのスケール・ファクタ調整を可能にします。このスケール・ファクタが x 軸の加速度センサー・データに及ぼす影響については、図 28 を参照してください。

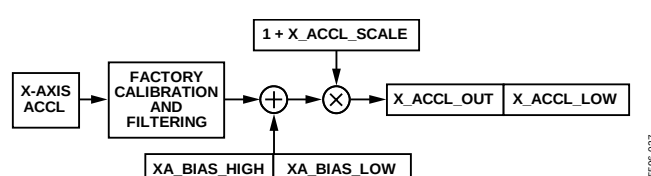


図 28. 加速度センサーのユーザー補正信号パス

加速度センサーのスケール補正 (Y_ACCL_SCALE)

表 104. Y_ACCL_SCALE のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x0C, 0x0D	0x0000	R/W	Yes

表 105. Y_ACCL_SCALE のビット定義

Bits	Description
[15:0]	Y 軸加速度センサーのスケール補正、2 の補数、0x0000 = ゲイン 1、1 LSB = $1 \div 2^{15} = \sim 0.003052\%$

Y_ACCL_SCALE レジスタ（表 104 と表 105 を参照）は、ユーザーによる y 軸加速度センサーのスケール・ファクタ調整を可能にします。このレジスタは、X_ACCL_SCALE が x 軸の加速度センサー測定値に影響を与えるのと同様に、y 軸の加速度センサー測定値にも影響を与えます（図 28 参照）。

加速度センサーのスケール補正 (Z_ACCL_SCALE)

表 106. Z_ACCL_SCALE のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x0E, 0x0F	0x0000	R/W	Yes

表 107. Z_ACCL_SCALE のビット定義

Bits	Description
[15:0]	Z 軸加速度センサーのスケール補正、2 の補数、0x0000 = ゲイン 1、1 LSB = $1 \div 2^{15} = \sim 0.003052\%$

Z_ACCL_SCALE レジスタ（表 106 と表 107 を参照）は、ユーザーによる z 軸加速度センサーのスケール・ファクタ調整を可能にします。このレジスタは、X_ACCL_SCALE が x 軸の加速度センサー測定値に影響を与えるのと同様に、z 軸の加速度センサー測定値にも影響を与えます（図 28 参照）。

ジャイロ・センサーのバイアス補正 (XG_BIAS_LOW、XG_BIAS_HIGH)

表 108. XG_BIAS_LOW のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x10, 0x11	0x0000	R/W	Yes

表 109. XG_BIAS_LOW のビット定義

Bits	Description
[15:0]	X 軸ジャイロ・センサーのオフセット補正、下位ワード

表 110. XG_BIAS_HIGH のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x12, 0x13	0x0000	R/W	Yes

表 111. XG_BIAS_HIGH のビット定義

Bits	Description
[15:0]	X 軸ジャイロ・センサーのオフセット補正、上位ワード、2 の補数、0°/sec = 0x0000、1 LSB = 0.02°/sec

XG_BIAS_LOW レジスタ（表 108 と表 109 を参照）と XG_BIAS_HIGH レジスタ（表 110 と表 111 を参照）を組み合わせると、x 軸ジャイロ・センサーのバイアスを調整できます。16 ビットと 32 ビットの両方について、このデータ・フォーマットのさまざまな数値の例を表 36 と表 37 に示します。これら 2 つのレジスタの組み合わせ方法と x 軸加速度センサー測定への影響については、図 27 を参照してください。

ジャイロ・センサーのバイアス補正 (YG_BIAS_LOW、YG_BIAS_HIGH)

表 112. YG_BIAS_LOW のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x14, 0x15	0x0000	R/W	Yes

表 113. YG_BIAS_LOW のビット定義

Bits	Description
[15:0]	Y 軸ジャイロ・センサーのオフセット補正、下位ワード

表 114. YG_BIAS_HIGH のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x16, 0x17	0x0000	R/W	Yes

表 115. YG_BIAS_HIGH のビット定義

Bits	Description
[15:0]	Y 軸ジャイロ・センサーのオフセット補正、上位ワード、2 の補数、0°/sec = 0x0000、1 LSB = 0.02°/sec

YG_BIAS_LOW レジスタ（表 112 と表 113 を参照）と YG_BIAS_HIGH レジスタ（表 114 と表 115 を参照）を組み合わせると、ユーザーが y 軸ジャイロ・センサーのバイアスを調整できます。16 ビットと 32 ビットの両方について、このデータ・フォーマットのさまざまな数値の例を図 36 と図 37 に示します。これら 2 つのレジスタの組み合わせ方法と y 軸ジャイロ・センサー測定への影響については、図 27 を参照してください。

ジャイロ・センサーのバイアス補正 (ZG_BIAS_LOW、ZG_BIAS_HIGH)

表 116. ZG_BIAS_LOW のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x18, 0x19	0x0000	R/W	Yes

表 117. ZG_BIAS_LOW のビット定義

Bits	Description
[15:0]	Z 軸ジャイロ・センサーのオフセット補正、下位ワード

表 118. ZG_BIAS_HIGH のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x1A, 0x1B	0x0000	R/W	Yes

表 119. ZG_BIAS_HIGH のビット定義

Bits	Description
[15:0]	Z 軸ジャイロ・センサーのオフセット補正、上位ワード、2 の補数、0°/sec = 0x0000、1 LSB = 0.02°/sec

ZG_BIAS_LOW レジスタ（表 116 と表 117 を参照）と ZG_BIAS_HIGH レジスタ（表 118 と表 119 を参照）を組み合わせると、ユーザーが z 軸ジャイロ・センサーのバイアスを調整できます。

16 ビットと 32 ビットの両方について、このデータ・フォーマットのさまざまな数値の例を図 36 と図 37 に示します。これら 2 つのレジスタの組み合わせ方法と z 軸ジャイロ・センサー測定への影響については、図 27 を参照してください。

加速度センサーのバイアス補正 (XA_BIAS_LOW、XA_BIAS_HIGH)

表 120. XA_BIAS_LOW のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x1C, 0x1D	0x0000	R/W	Yes

表 121. XA_BIAS_LOW のビット定義

Bits	Description
[15:0]	X 軸加速度センサーのオフセット補正、下位ワード

表 122. XA_BIAS_HIGH のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x1E, 0x1F	0x0000	R/W	Yes

表 123. XA_BIAS_HIGH のビット定義

Bits	Description
[15:0]	X 軸加速度センサーのオフセット補正、上位ワード、2 の補数、0 g = 0x0000、1 LSB = 0.8 mg

XA_BIAS_LOW レジスタ（表 120 と表 121 を参照）と XA_BIAS_HIGH レジスタ（表 122 と表 123 を参照）を組み合わせると、ユーザーが x 軸加速度センサーのバイアスを調整できます。16 ビットと 32 ビットの両方について、データ・フォーマットのさまざまな数値の例を図 50 と図 51 に示します。これら 2 つのレジスタの組み合わせ方法と x 軸加速度センサー測定への影響については、図 28 を参照してください。

加速度センサーのバイアス補正 (YA_BIAS_LOW、YA_BIAS_HIGH)

表 124. YA_BIAS_LOW のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x20, 0x21	0x0000	R/W	Yes

表 125. YA_BIAS_LOW のビット定義

Bits	Description
[15:0]	Y 軸加速度センサー・オフセット補正、下位ワード

表 126. YA_BIAS_HIGH のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x22, 0x23	0x0000	R/W	Yes

表 127. YA_BIAS_HIGH のビット定義

Bits	Description
[15:0]	Y 軸加速度センサー・オフセット補正、上位ワード、2 の補数、0 g = 0x0000、1 LSB = 0.8 mg

YA_BIAS_LOW レジスタ（表 124 と表 125 を参照）と YA_BIAS_HIGH レジスタ（表 126 と表 127 を参照）を組み合わせると、ユーザーが y 軸加速度センサーのバイアスを調整できます。16 ビットと 32 ビットの両方について、データ・フォーマットのさまざまな数値の例を図 50 と図 51 に示します。

これら 2 つのレジスタの組み合わせ方法と y 軸加速度センサー測定への影響については、図 28 を参照してください。

加速度センサーのバイアス補正 (ZA_BIAS_LOW、ZA_BIAS_HIGH)

表 128. ZA_BIAS_LOW のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x24, 0x25	0x0000	R/W	Yes

表 129. ZA_BIAS_LOW のビット定義

Bits	Description
[15:0]	Z 軸加速度センサーのオフセット補正、下位ワード

表 130. ZA_BIAS_HIGH のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x26, 0x27	0x0000	R/W	Yes

表 131. ZA_BIAS_HIGH のビット定義

Bits	Description
[15:0]	Z 軸加速度センサー・オフセット補正、上位ワード、2 の補数、0 g = 0x0000、1 LSB = 0.8 mg

ZA_BIAS_LOW レジスタ (表 128 と表 129 を参照) と ZA_BIAS_HIGH レジスタ (表 130 と表 131 を参照) を組み合わせると、ユーザーが z 軸加速度センサーのバイアスを調整できます。16 ビットと 32 ビットの両方について、データ・フォーマットのさまざまな数値の例を図 50 と図 51 に示します。これら 2 つのレジスタの組み合わせ方法と z 軸加速度センサー測定への影響については、図 28 を参照してください。

気圧センサー

気圧センサーのバイアス補正 (BR_BIAS_LOW、BR_BIAS_HIGH)

BR_BIAS_LOW レジスタ (表 132 と表 133 を参照) と BR_BIAS_HIGH レジスタ (表 134 と表 135 を参照) を使用すると、気圧センサー測定のバイアス補正機能を設定することができます。気圧センサーのシグナル・チェーンにおけるこの補正係数の位置づけとそれが及ぼす影響については、図 29 を参照してください。

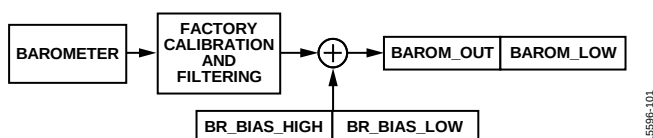


図 29. 加速度センサーのユーザー補正信号パス

表 132. BR_BIAS_LOW のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x40, 0x41	0x0000	R/W	Yes

表 133. BR_BIAS_LOW のビット定義

Bits	Description
[15:0]	気圧バイアス補正係数、下位ワード

表 134. BR_BIAS_HIGH のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x42, 0x43	0x0000	R/W	Yes

表 135. BR_BIAS_HIGH のビット定義

Bits	Description
[15:0]	気圧バイアス補正係数、上位ワード、2 の補数、測定範囲 ± 1.3 bar、0 bar = 0x0000、1 LSB = 40 μ bar

表 56 のデジタル・フォーマット例は BR_BIAS_HIGH レジスタにも適用され、表 57 のデジタル・フォーマット例は、BR_BIAS_LOW と BR_BIAS_HIGH を結合して得られる 32 ビット数に適用されます。

スクラッチ・レジスタ (USER_SCR_x)

表 136. USER_SCR_1 のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x74, 0x75	0x0000	R/W	Yes

表 137. USER_SCR_1 のビット定義

Bits	Description
[15:0]	ユーザー定義

表 138. USER_SCR_2 のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x76, 0x77	0x0000	R/W	Yes

表 139. USER_SCR_2 のビット定義

Bits	Description
[15:0]	ユーザー定義

表 140. USER_SCR_3 のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x78, 0x79	0x0000	R/W	Yes

表 141. USER_SCR_3 のビット定義

Bits	Description
[15:0]	ユーザー定義

表 142. USER_SCR_4 のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x7A, 0x7B	0x0000	R/W	Yes

表 143. USER_SCR_4 のビット定義

Bits	Description
[15:0]	ユーザー定義

USER_SCR_1 (表 136 と表 137 を参照)、USER_SCR_2 (表 138 と表 139 を参照)、USER_SCR_3 (表 140 と表 141 を参照)、USER_SCR_4 (表 142 と表 143 を参照) の 4 個のレジスタには、ユーザーが任意の情報を保存することができます。

フラッシュ・メモリ書換え回数カウンタ (FLSHCNT_LOW、FLSHCNT_HIGH)

表 144. FLSHCNT_LOW のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x7C, 0x7D	Not applicable	R	Not applicable

表 145. FLSHCNT_LOW のビット定義

Bits	Description
[15:0]	フラッシュ・メモリ書込みカウンタ、下位ワード

表 146. FLSHCNT_HIGH のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x7E, 0x7F	Not applicable	R	Not applicable

表 147. FLSHCNT_HIGH のビット定義

Bits	Description
[15:0]	フラッシュ・メモリ書込みカウンタ、上位ワード

FLSHCNT_LOW レジスタ（表 144 と表 145）と FLSHCNT_HIGH レジスタ（表 146 と表 147）は、組み合わされて、フラッシュ・メモリの書込みサイクル数を記録する 32 ビット・バイナリ・カウンタを構成します。フラッシュ・メモリは、書込みサイクルに加えてサービス寿命も有限で、その長さはジャンクション温度に依存します。特定のジャンクション温度におけるフラッシュ・メモリのデータ保持寿命予測のためのガイダンスを、図 30 に示します。ジャンクション温度は、ケース温度より約 7°C 高くなっています。

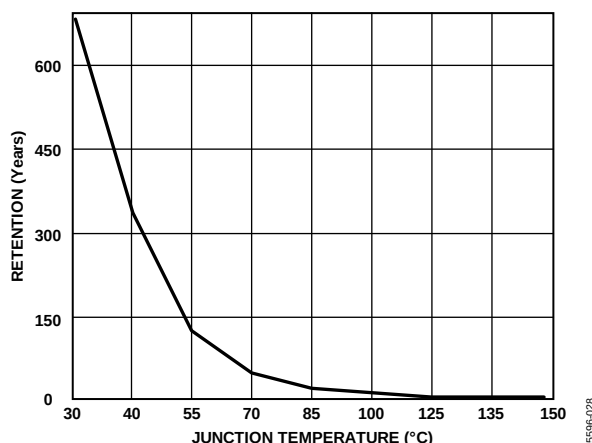


図 30. フラッシュ・メモリのデータ保持期間

ページ 3 (PAGE_ID)

表 148. PAGE_ID のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x03	0x00, 0x01	0x0000	R/W	No

表 149. PAGE_ID のビット割当て

Bits	Description
[15:0]	ページ番号、2 進数フォーマット

PAGE_ID レジスタの内容（表 148 と表 149 を参照）は現在のページ設定を含んでおり、SPI アクセスのための別ページの選択を制御できます。例えば、SPI ベースのユーザー・アクセスのためページ 2 を選択するには、DIN = 0x8002 に設定します。ユーザー・アクセスが可能な各レジスタに関連するページ割り当てについては、表 10 を参照してください。

グローバル・コマンド (GLOB_CMD)

表 150. GLOB_CMD のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x03	0x02, 0x03	Not applicable	W	No

表 151. GLOB_CMD のビット定義

Bits	Description
[15:8]	未使用
7	ソフトウェア・リセット
6	工場補正値の復元
[5:4]	未使用
3	フラッシュ・メモリの更新
2	フラッシュ・メモリ・テスト（チェックサム）
1	セルフ・テスト
0	バイアス補正の更新

GLOB_CMD レジスタ（表 150 と表 151 を参照）は、各種動作のトリガ・ビットを出力します。特定の機能を開始するには、GLOB_CMD の該当ビットに 1 を書き込んでください。

ソフトウェア・リセット

ADIS16489 の動作リセットを開始するには、ページ 3（DIN = 0x8003）を指定して GLOB_CMD [7] = 1（DIN = 0x8280、DIN = 0x8300）に設定します。このリセットは、すべてのデータを削除してすべてのレジスタをフラッシュ設定から初期化し、データのサンプリングと処理を再開します。この機能は、RST ピンにロー・パルスを加える方法（表 6 のピン 8 を参照）に代えて、ファームウェアを使用する方法を実行します。

工場補正値の復元

工場補正値を復元するには、ページ 3（DIN = 0x8003）を指定して GLOB_CMD [6] = 1（DIN = 0x8240、DIN = 0x8300）に設定します。この復元を行うと、以下のレジスタに 0x0000 が書き込まれます: X_GYRO_SCALE、Y_GYRO_SCALE、Z_GYRO_SCALE、X_ACCL_SCALE、Y_ACCL_SCALE、Z_ACCL_SCALE、XG_BIAS_LOW、XG_BIAS_HIGH、YG_BIAS_LOW、YG_BIAS_HIGH、ZG_BIAS_LOW、ZG_BIAS_HIGH、XA_BIAS_LOW、XA_BIAS_HIGH、YA_BIAS_LOW、YA_BIAS_HIGH、ZA_BIAS_LOW、ZA_BIAS_HIGH。

フラッシュ・メモリの更新

手動によるフラッシュ更新を開始するには、ページ 3（DIN = 0x8003）を指定して GLOB_CMD [3] = 1（DIN = 0x8208、DIN = 0x8300）に設定します。SYS_E_FLAG [6]（表 16 参照）は、このプロセスが成功したか（0）失敗したか（1）を示します。

フラッシュ・メモリ・テスト

フラッシュ・メモリ・バンクのチェックサム・テストを開始するには、ページ 3（DIN = 0x8003）を指定して GLOB_CMD [2] = 1（DIN = 0x8204、DIN = 0x8300）に設定します。SYS_E_FLAG [6] = 0（表 16 参照）は、合格条件を満たしていることを示します。これは、最新のチェックサム値が、装置の工場設定時のチェックサム値と同じであることを意味します。

オン・デマンド・セルフ・テスト (ODST)

ODST ルーチンを実行するには、ページ 3 (DIN = 0x8003) を指定して GLOB_CMD [1] = 1 (DIN = 0x8202、DIN = 0x8300) に設定します。この場合は以下のステップが実行されます。

1. 各センサーの出力を測定します。
2. 各センサーの機械的素子に内力を働かせます。この力は、実際の慣性動作に対応する力をシミュレートします。
3. 各センサーの出力応答を測定します。
4. 各センサーにかかる内力を無効にします。
5. 力をかけた状態と通常動作状態状態 (力をかけていない状態) の差を計算します。
6. この差と内部合否基準を比較します。
7. 各センサーの合否結果を DIAG_STS (表 18 参照) で、全体的な合否フラグを SYS_E_FLAG [5] (表 16 参照) でレポートします。

表 1 に示すセルフ・テスト実行時間は 12 ms ですが、外部クロック使用時はこの値と異なることがあります。また、デバイスが動作中に ODST を実行すると、誤って合格となることがあります。

バイアス補正の更新

連続バイアス・エスティメータ (CBE) の補正係数を使ってユーザー・オフセット・レジスタを更新するには、ページ 3 (DIN = 0x8003) を指定して GLOB_CMD [0] = 1 (DIN = 0x8201、次に DIN = 0x8300) に設定します。バイアス予測値をできるだけ正確なものとするには、平均時間全体を通じて慣性プラットフォームが安定するようにしてください。

予備 I/O ラインの設定 (FNCTIO_CTRL)

表 152. FNCTIO_CTRL のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x03	0x06, 0x07	0x000D	R/W	Yes

表 153. FNCTIO_CTRL のビット定義

Bits	Description
[15:12]	未使用
11	アラーム・インジケータ: 1 = イネーブル、0 = ディスエーブル
10	アラーム・インジケータの極性: 1 = 正、0 = 負
[9:8]	アラーム・インジケータ・ラインの選択: 00 = DIO1、01 = DIO2、10 = DIO3、11 = DIO4
7	同期クロック入力イネーブル: 1 = イネーブル、0 = ディスエーブル
6	同期クロック入力の極性: 1 = 立上りエッジ、0 = 立下りエッジ
[5:4]	同期クロック入力ラインの選択: 00 = DIO1、01 = DIO2、10 = DIO3、11 = DIO4
3	データ・レディのイネーブル: 1 = イネーブル、0 = ディスエーブル
2	データ・レディの極性: 1 = 正、0 = 負
[1:0]	データ・レディ・ラインの選択: 00 = DIO1、01 = DIO2、10 = DIO3、11 = DIO4

FNCTIO_CTRL レジスタ (表 152 と表 153 を参照) は、各入力ピン (DIO1、DIO2、DIO3、DIO4) の設定を制御します。各 DIOx ピンがサポートする機能は一度に 1 つだけです。1 つのピンに 2 つの機能が割り当てられている場合は、優先度の低い方のイネーブル・ビットがゼロにリセットされます (優先度の低い機能が無効化される)。優先順位は高い方から順に、データ・レディ、同期クロック入力、アラーム・インジケータ、汎用の順です。FNCTIO_CTRL [5:4] ビットの設定を変更するには 75 ms の実行時間が必要ですが、FNCTIO_CTRL レジスタ内の他のビットの設定変更に要する時間は 3 ms です。この実行時間 (75 ms または 3 ms) の間にレジスタの動作状態と内容が変わることはありませんが、SPI インターフェースは通常の通信をサポートします (他のレジスタへのアクセスのため)。

データ・レディ・インジケータ

FNCTIO_CTRL [3:0] ビットには、データ・レディ機能に関して 3 つの設定オプション (オン/オフ、極性、DIOx ライン) があります。この信号の主な目的は組込みプロセッサの割り込み制御ラインを駆動することですが、これはデータ収集を同期して遅延を最小にする助けとなります。工場デフォルトでは DIO2 が正極性のデータ・レディ信号として割り当てられていますが、これは、DIO2 ラインがハイのときに出力レジスタ内のデータが有効になることを意味しています (図 31 を参照)。この設定は、パルスがローからハイになる時にアクティブになる割り込みサービスピンを DIO2 が駆動する時に、うまく機能します。

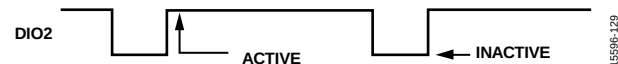


図 31. FNCTIO_CTRL [3:0] = 1101 のときのデータ・レディ (デフォルト)

この割り当てを負極性で DIO1 に変更するには、以下の手順に従ってください。

1. ページ 3 を指定します (DIN = 0x8003)。
2. FNCTIO_CTRL [3:0] = 1000 に設定します (DIN = 0x8608、次に DIN = 0x8700)。データ・レディ信号のパルス幅におけるタイミング・ジッタは、通常 $\pm 1.4 \mu\text{s}$ です。

入力同期/クロック制御

FNCTIO_CTRL [7:4] は、DIOx ラインの 1 つを、内部センサー・データをサンプリングするための入力同期信号として使用するための設定オプションを提供します。例えば、DIO4 を正極性の入力クロックピンとして設定し、データ・レディ機能に関する工場デフォルト設定を維持するには、以下の手順に従ってください。

1. ページ 3 を指定します (DIN = 0x8003)。
2. FNCTIO_CTRL [7:0] = 0xFD に設定します (DIN = 0x86FD)。
3. FNCTIO_CTRL [15:8] = 0x00 に設定します (DIN = 0x8700)。

このコマンドは、同時に内部サンプリング・クロックを無効化します。したがって、入力クロック信号がない場合、データ・サンプリングは行われません。最良の性能が得られるのは、入力クロック周波数が 2400 Hz のときです。

アラーム・インジケータ

FNCTIO_CTRL [11:8] には、DIOx ラインの 1 つをアラーム・インジケータとして使用するために、3 つの設定オプション（オン／オフ、極性、および DIOx ライン）があります。この信号の主な目的は SYS_E_FLAG レジスタ内のビットが 1 になるとアクティブになる信号を出力することです（表 16 参照）。例えば、DIO3 を負極性のアラーム・インジケータとして設定し、データ・レディ機能に関する工場デフォルト設定を保つには、以下の手順に従ってください。

1. ページ 3 を指定します（DIN = 0x8003）。
2. FNCTIO_CTRL [7:0] = 0x0D に設定します（DIN = 0x860D）。
3. FNCTIO_CTRL [15:8] = 0x0A に設定します（DIN = 0x870A）。

汎用 I/O 制御 (GPIO_CTRL)

表 154. GPIO_CTRL のレジスタ定義¹

Page	Addresses	Default	Access	Flash Backup
0x03	0x08, 0x09	0x00X0	R/W	Yes

¹ GPIO_CTRL [7:4] ビットは DIOx ラインに関するロジック・レベルを反映するもので、デフォルト設定はありません。

表 155. GPIO_CTRL のビット定義¹

Bits	Description
[15:8]	ドントケア。
7	汎用 I/O ライン 4 (DIO4) データ・レベル
6	汎用 I/O ライン 3 (DIO3) データ・レベル
5	汎用 I/O ライン 2 (DIO2) データ・レベル
4	汎用 I/O ライン 1 (DIO1) データ・レベル
3	汎用 I/O ライン 4 (DIO4) の方向制御 (1 = 出力、0 = 入力)
2	汎用 I/O ライン 3 (DIO3) の方向制御 (1 = 出力、0 = 入力)
1	汎用 I/O ライン 2 (DIO2) の方向制御 (1 = 出力、0 = 入力)
0	汎用 I/O ライン 1 (DIO1) の方向制御 (1 = 出力、0 = 入力)

¹ GPIO_CTRL [7:4] ビットは DIOx ラインに関するロジック・レベルを反映するもので、デフォルト設定はありません。

FNCTIO_CTRL が DIOx ピンを設定しないときは、GPIO_CTRL がピンの汎用使用に関するレジスタ制御を行います。GPIO_CTRL [3:0] は、各ラインの入出力割り当てを制御します。DIOx ラインが入力の場合は、GPIO_CTRL [7:4] を読み出すことによって、そのレベルをモニタします。DIOx ラインを出力として使用する場合は、GPIO_CTRL [7:4] へ書き込みを行うことによって、そのレベルを設定します。例えば、DIO1 と DIO3 をそれぞれハイ出力ラインおよびロー出力ラインとして設定し、DIO2 と DIO4 を入力ラインとして設定するには、以下の手順に従ってください。ページ 3 (DIN = 0x8003) を指定して GPIO_CTRL [7:0] = 0x15 に設定します (DIN = 0x8815、次に DIN = 0x8900)。

各種設定 (CONFIG)

表 156. CONFIG のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x03	0x0A, 0x0B	0x00C0	R/W	Yes

表 157. CONFIG のビット定義

Bits	Description
[15:8]	未使用
7	ジャイロ・センサーの直線方向 g 補償 (1 = イネーブル)
6	振動ポイント・アライメント (1 = イネーブル)
[5:2]	未使用
1	リアルタイム・クロック、夏時間 (1: イネーブル、0: ディスエーブル)
0	リアルタイム・クロック制御 (1: 相対／経時タイマー・モード、0: カレンダー・モード)

CONFIG レジスタ（表 156 と表 157 を参照）は、ジャイロ・センサーの直線 g 補償（オン／オフ）、加速度センサーの振動ポイント・アライメント（オン／オフ）、およびリアルタイム・クロック機能のための設定オプションを提供します。

振動ポイント

CONFIG [6] には、加速度センサーを図 32 に示すパッケージのコーナーにマップする、振動ポイント・アライメント機能があります。この機能を有効にするには、ページ 3 (DIN = 0x8003) を指定して CONFIG [6] = 1 (DIN = 0x8A40、DIN = 0x8B00) に設定します。

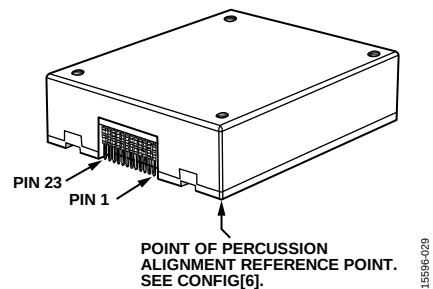


図 32. 振動ポイント基準点

直線加速度がジャイロ・センサーのバイアスに及ぼす影響

ADIS16489 には、ジャイロ・センサー内の直線 g の影響に関する 1 次補償が含まれています。これは以下のモデルを使用しています。

$$\begin{bmatrix} \omega_{XC} \\ \omega_{YC} \\ \omega_{ZC} \end{bmatrix} = \begin{bmatrix} LG_{11} & LG_{12} & LG_{13} \\ LG_{21} & LG_{22} & LG_{23} \\ LG_{31} & LG_{32} & LG_{33} \end{bmatrix} \times \begin{bmatrix} A_X \\ A_Y \\ A_Z \end{bmatrix} + \begin{bmatrix} \omega_{XPC} \\ \omega_{YPC} \\ \omega_{ZPC} \end{bmatrix}$$

直線 g 補正係数 LG_{xy} は、3 方向すべての直線加速度に関する補正を、データ・サンプルのレート（内部クロック使用時で 2460 SPS）で各ジャイロ・センサー（ ω_{XPC} 、 ω_{YPC} 、 ω_{ZPC} ）のデータ・バスに適用します。CONFIG [7] は、この補償のオン／オフ制御を行いますこのビットの工場デフォルト値では、この補償を有効にしています。この機能を無効にするには、ページ 3 (DIN = 0x8003) を指定して CONFIG [7] = 0 (DIN = 0x8A40、DIN = 0x8B00) に設定します。このコマンド・シーケンスは、同時に振動ポイント・アライメント機能のデフォルト設定（オン）を維持します。

デシメーション・フィルタ (DEC_RATE)

表 158. DEC_RATE のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x03	0x0C, 0x0D	0x0000	R/W	Yes

表 159. DEC_RATE のビット定義

Bits	Description
[15:11]	ドントケア。
[10:0]	デシメーション・レート、バイナリ・フォーマット、最大 = 2047、サンプル・レートへの影響については図 33 を参照

DEC_RATE レジスタ (表 158 と表 159 を参照) は、最終フィルタ段 (図 33 参照) を制御します。この機能は、加速度センサーとジャイロ・センサーのデータの平均とデシメーションを行う一方で、更新ごとの角度変化と速度変化を追跡する時間も延長します。出力サンプルレートは $2460 / (\text{DEC_RATE} + 1)$ です。外部クロック・オプションを使用する場合は (FNCTIO_CTRL レジスタのビット 7 とビット [5:4]、図 33 参照)、この関係式の 2460 を入力クロック周波数に置き換えてください。例えば、出力サンプル・レートを 98.4 SPS ($2460 \div 25$) に下げるには、ページ 3 (DIN = 0x8003) を指定して DEC_RATE = 0x18 (DIN = 0x8C18、土に DIN = 0x8D00) に設定します。

連続バイアス予測 (NULL_CNFG)

表 160. NULL_CNFG のレジスタ定義

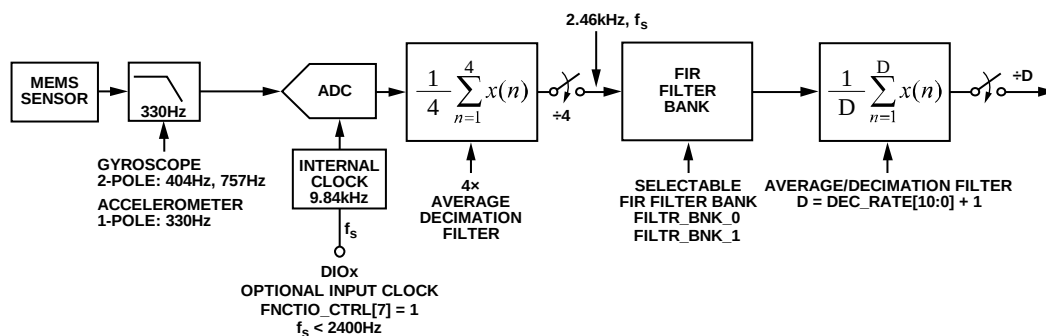
Page	Addresses	Default	Access	Flash Backup
0x03	0x0E, 0x0F	0x070A	R/W	Yes

表 161. NULL_CNFG のビット定義

Bits	Description
[15:14]	未使用
13	Z 軸加速度バイアス補正イネーブル (1 = イネーブル)
12	Y 軸加速度バイアス補正イネーブル (1 = イネーブル)
11	X 軸加速度バイアス補正イネーブル (1 = イネーブル)
10	Z 軸ジャイロ・センサー・バイアス補正イネーブル (1 = イネーブル)
9	Y 軸ジャイロ・センサー・バイアス補正イネーブル (1 = イネーブル)
8	X 軸ジャイロ・センサー・バイアス補正イネーブル (1 = イネーブル)
[7:4]	未使用
[3:0]	時間ベース制御 (TBC)、範囲: 0 ~ 13 (デフォルト = 10)、 $t_B = 2^{TBC} / 2460$ (時間ベース)、 $t_A = 64 \times t_B$ (平均時間)

NULL_CNFG レジスタ (表 160 と表 161 を参照) は、GLOB_CMD [0] (表 151 参照) 内のバイアス補正更新コマンドに関連付けられた CBE の設定を制御します。NULL_CNFG [3:0] はバイアス予測のための合計平均時間 (t_A) を設定し、NULL_CNFG [13:8] は各センサーのオン/オフ制御を行います。NULL_CNFG の工場デフォルト設定では、ジャイロ・センサー用のバイアス・ヌル・コマンドをイネーブルし、加速度センサー用のバイアス・ヌル・コマンドをディスエーブルして、平均時間を約 26.64 秒に設定しています。

NULL_CNFG のセンサー・ビットがアクティブ (=1) のときは、GLOB_CMD [0] = 1 (DIN シーケンス: 0x8003、0x8201、0x8300) に設定すると、バイアス補正レジスタが、その時点のバイアス誤差に対して (CBE により) 補正された値に自動的に更新されます。例えば、NULL_CNFG [8] = 1 に設定すると、XG_BIAS_LOW レジスタ (表 109 参照) と XG_BIAS_HIGH レジスタ (表 111 参照) が更新されます。



NOTES

1. WHEN FNCTIO_CTRL[7] = 1, EACH CLOCK PULSE ON THE DESIGNATED DIOx LINE (FNCTIO_CTRL[5:4]) STARTS A FOUR-SAMPLE BURST, AT A SAMPLE RATE OF 9.84kHz. THESE FOUR SAMPLES FEED INTO THE 4x AVERAGE/DECIMATION FILTER, WHICH PRODUCES A DATA RATE THAT IS EQUAL TO THE INPUT CLOCK FREQUENCY.

図 33. サンプリングと周波数応答の信号フロー

15594-030

パワー・マネージメント (SLP_CNT)

表 162. SLP_CNT のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x03	0x10, 0x11	Not applicable	W	No

表 163. SLP_CNT のビット定義

Bits	Description
[15:10]	未使用
9	パワーダウン・モード
8	通常スリープ・モード
[7:0]	プログラム可能時間ビット、1 sec/LSB、0x00 = 不定

SLP_CNT レジスタ (表 162 と表 163 を参照) は、パワーダウン・モードとスリープ・モードの両方を制御します。パワーダウン・モードとスリープ・モードの違いは、アイドル時の消費電力と復帰時間です。パワーダウン・モードは消費電力が最も少なくなりますが、復帰に要する時間が長くなります。さらに、パワーダウン・モードではすべての揮発性設定が失われますが、スリープ・モードではこれらの設定が維持されます。

特定時間長のスリープ・モードを開始するには、ページ 3 (DIN = 0x8003) を指定してスリープ時間の長さを SLP_CNT [7:0] に書き込み、スリープ・モード開始のため SLP_CNT [8] = 1 (DIN = 0x9101) に設定します。SLP_CNT [8] = 1 に設定した後で $\overline{CS}$ ラインがハイになると、スリープ・モードが開始されます。ADIS16489 を 100 秒間スリープ・モードに置く場合のコマンド・シーケンス例を、表 164 に示します。

表 164. 時間を指定したスリープ・モードのコマンド・シーケンス例

DIN	Description
0x8003	ページ 3 を指定
0x9064	SLP_CNT [7:0] = 0x64、スリープ時間 100 秒
0x9101	SLP_CNT [8] = 1、スリープ・モードの開始

期限を指定せずにスリープ・モードを開始するには、SLP_CNT [7:0] = 0x00 (DIN = 0x9000) に設定してから、SLP_CNT [8] = 1 (DIN = 0x9101) に設定します。100 秒間のパワーダウン期間を開始するには、表 164 の設定シーケンスを使用します。ただし、SLP_CNT [8] = 1 (DIN = 0x9101) ではなく、SLP_CNT [9] = 1 (DIN = 0x9102) に設定してください。期限を指定せずにパワーダウン・モードを開始するには、まず SLP_CNT [7:0] = 0x00 に設定してから、SLP_CNT [9] = 1 (DIN = 0x9102) に設定します。

スリープ・モードまたはパワーダウン・モードを終了してデバイスを作動させるには、以下のいずれかのオプションを使用して通常モードに復帰させます。

- $\overline{CS}$ をハイからローにアサートします。
- $\overline{RST}$ をローにしてから再びハイにします。
- 電源を一度切ってから再びオンにします。

スリープ・モード・ビットとパワーダウン・モード・ビットがともにハイに設定された場合は、通常スリープ・モード・ビット (SLP_CNT [8]) が優先されます。

FIR フィルタ制御 (FILTR_BNK_0、FILTR_BNK_1)

表 165. FILTR_BNK_0 のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x03	0x16, 0x17	0x0000	R/W	Yes

表 166. FILTR_BNK_0 のビット定義

Bits	Description
15	ドントケア。
14	Y 軸加速度センサー・フィルタのイネーブル (1 = イネーブル)
[13:12]	Y 軸加速度センサー・フィルタ・バンクの選択: 00 = バンク A、01 = バンク B、10 = バンク C、11 = バンク D
11	X 軸加速度センサー・フィルタのイネーブル (1 = イネーブル)
[10:9]	X 軸加速度センサー・フィルタ・バンクの選択: 00 = バンク A、01 = バンク B、10 = バンク C、11 = バンク D
8	Z 軸ジャイロ・センサー・フィルタのイネーブル (1 = イネーブル)
[7:6]	Z 軸ジャイロ・センサー・フィルタ・バンクの選択: 00 = バンク A、01 = バンク B、10 = バンク C、11 = バンク D
5	Y 軸ジャイロ・センサー・フィルタのイネーブル (1 = イネーブル)
[4:3]	Y 軸ジャイロ・センサー・フィルタ・バンクの選択: 00 = バンク A、01 = バンク B、10 = バンク C、11 = バンク D
2	X 軸ジャイロ・センサー・フィルタのイネーブル (1 = イネーブル)
[1:0]	X 軸ジャイロ・センサー・フィルタ・バンクの選択: 00 = バンク A、01 = バンク B、10 = バンク C、11 = バンク D

表 167. FILTR_BNK_1 のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x03	0x18, 0x19	0x0000	R/W	Yes

表 168. FILTR_BNK_1 のビット定義

Bits	Description
[15:3]	ドントケア。
2	Z 軸加速度センサー・フィルタのイネーブル (1 = イネーブル)
[1:0]	Z 軸加速度センサー・フィルタ・バンクの選択: 00 = バンク A、01 = バンク B、10 = バンク C、11 = バンク D

FILTR_BNK_0 レジスタ (表 165 と表 166 を参照) と FILTR_BNK_1 レジスタ (表 167 と表 168 を参照) は、各センサーのシグナル・チェーン内にある FIR フィルタ・バンクの設定を制御します (図 33 参照)。これらのレジスタは、各慣性センサー用の FIR バンクと、各センサーが使用する FIR バンク (A、B、C、D) のオン/オフ制御を行います。

アラーム設定 (ALM_CNFG_0、ALM_CNFG_1、ALM_CFG_2)

ALM_CNFG_0 レジスタ (表 169 と表 170 を参照)、ALM_CNFG_1 レジスタ (表 171 と表 172 を参照)、および ALM_CNFG_2 レジスタ (表 173 と表 174 を参照) は、各慣性センサーと気圧センサーのアラーム機能用に、3 つの設定制御オプションを提供します。すなわち、オン/オフ、極性、および動作モード (静的/動的) です。

表 169. ALM_CNFG_0 のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x03	0x20, 0x21	0x0000	R/W	Yes

ΔX_ACCL_OUT 、 ΔZ_GYRO_OUT 、 ΔY_GYRO_OUT 、 ΔX_GYRO_OUT の算出

ΔX_ACCL_OUT 、 ΔZ_GYRO_OUT 、 ΔY_GYRO_OUT 、 ΔX_GYRO_OUT の算出には、式 1 から式 4 を使用します。これらについては、 ALM_CFG_0 レジスタ (表 170 参照) のビット [13:12]、ビット [9:8]、ビット [5:4]、ビット [1:0] に示すビット値を使って制御することができます。

$$\Delta X_ACCL_OUT = \frac{1}{8} \left(\sum_{n=0}^7 X_A(n) - \sum_{n=0}^7 X_A(n-112) \right) \quad (1)$$

ここで、 $X_A = X_ACCL_OUT$ 。

$$\Delta Z_GYRO_OUT = \frac{1}{8} \left(\sum_{n=0}^7 Z_G(n) - \sum_{n=0}^7 Z_G(n-112) \right) \quad (2)$$

ここで、 $Z_G = Z_GYRO_OUT$ 。

$$\Delta Y_GYRO_OUT = \frac{1}{8} \left(\sum_{n=0}^7 Y_G(n) - \sum_{n=0}^7 Y_G(n-112) \right) \quad (3)$$

ここで、 $Y_G = Y_GYRO_OUT$ 。

$$\Delta X_GYRO_OUT = \frac{1}{8} \left(\sum_{n=0}^7 X_G(n) - \sum_{n=0}^7 X_G(n-112) \right) \quad (4)$$

ここで、 $X_G = X_GYRO_OUT$ 。

表 170. ALM_CNFG_0 のビット定義

Bits	Description
15	X 軸加速度センサー。0: アラーム・オフ、1: アラーム・オン
14	未使用
[13:12]	X 軸加速度センサーの極性とモードの設定。アラームのトリガ条件には、4 つあるオプションのいずれか 1 つを選択 (ALM_STS [3] = 1、表 20 参照) 00: $X_ACCL_OUT < XA_ALM_MAGN$ 01: $\Delta X_ACCL_OUT < XA_ALM_MAGN$ (式 1 参照) 10: $X_ACCL_OUT > XA_ALM_MAGN$ 11: $\Delta X_ACCL_OUT > XA_ALM_MAGN$ (式 1 参照)
11	Z 軸ジャイロ・センサー。0: アラーム・オフ、1: アラーム・オン
10	未使用
[9:8]	Z 軸ジャイロ・センサーの極性とモードの設定。アラームのトリガ条件には、4 つあるオプションのいずれか 1 つを選択 (ALM_STS [2] = 1、表 20 参照) 00: $Z_GYRO_OUT < ZG_ALM_MAGN$ 01: $\Delta Z_GYRO_OUT < ZG_ALM_MAGN$ (式 2 参照) 10: $Z_GYRO_OUT > ZG_ALM_MAGN$ 11: $\Delta Z_GYRO_OUT > ZG_ALM_MAGN$ (式 2 参照)
7	Y 軸ジャイロ・センサー。0: アラーム・オフ、1: アラーム・オン
6	未使用
[5:4]	Y 軸ジャイロ・センサーの極性とモードの設定。アラームのトリガ条件には、4 つあるオプションのいずれか 1 つを選択 (ALM_STS [1] = 1、表 20 参照) 00: $Y_GYRO_OUT < YG_ALM_MAGN$ 01: $\Delta Y_GYRO_OUT < YG_ALM_MAGN$ (式 3 参照) 10: $Y_GYRO_OUT > YG_ALM_MAGN$ 11: $\Delta Y_GYRO_OUT > YG_ALM_MAGN$ (式 3 参照)
3	X 軸ジャイロ・センサー。0: アラーム・オフ、1: アラーム・オン

Bits	Description
2	未使用
1:0	X 軸ジャイロ・センサーの極性とモードの設定。アラーム・フラグのトリガ条件には、4 つあるオプションのいずれか 1 つを選択 (ALM_STS [0] = 1、表 20 参照) 00: $X_GYRO_OUT < XG_ALM_MAGN$ 01: $\Delta X_GYRO_OUT < XG_ALM_MAGN$ (式 4 参照) 10: $X_GYRO_OUT > XG_ALM_MAGN$ 11: $\Delta X_GYRO_OUT > XG_ALM_MAGN$ (式 4 参照)

表 171. ALM_CNFG_1 のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x03	0x22, 0x23	0x0000	R/W	Yes

 ΔZ_ACCL_OUT と ΔY_ACCL_OUT の算出

表 172 のビット [5:4] とビット [1:0] に示す ΔZ_ACCL_OUT と ΔY_ACCL_OUT の算出には、式 5 と式 6 を使用します。

$$\Delta Z_ACCL_OUT = \frac{1}{8} \left(\sum_{n=0}^7 Z_A(n) - \sum_{n=0}^7 Z_A(n-112) \right) \quad (5)$$

ここで、 $Z_A = Z_ACCL_OUT$ 。

$$\Delta Y_ACCL_OUT = \frac{1}{8} \left(\sum_{n=0}^7 Y_A(n) - \sum_{n=0}^7 Y_A(n-112) \right) \quad (6)$$

ここで、 $Y_A = Y_ACCL_OUT$ 。

表 172. ALM_CNFG_1 のビット定義

Bits	Description
[15:8]	未使用
7	Z 軸加速度センサー。0: アラーム・オフ、1: アラーム・オン
6	未使用
[5:4]	Z 軸加速度センサーの極性とモードの設定。アラームのトリガ条件には、4 つあるオプションのいずれか 1 つを選択 (ALM_STS [5] = 1、表 20 参照) 00: $Z_ACCL_OUT < ZA_ALM_MAGN$ 01: $\Delta Z_ACCL_OUT < ZA_ALM_MAGN$ (式 5 参照) 10: $Z_ACCL_OUT > ZA_ALM_MAGN$ 11: $\Delta Z_ACCL_OUT > ZA_ALM_MAGN$ (式 5 参照)
4	Z 軸加速度センサーのモード。0: 静的モード、1: 動的モード
3	Y 軸加速度センサー。0: アラーム・オフ、1: アラーム・オン
2	未使用
[1:0]	Y 軸加速度センサーの極性とモードの設定。アラームのトリガ条件には、4 つあるオプションのいずれか 1 つを選択 (ALM_STS [4] = 1、表 20 参照) 00: $Y_ACCL_OUT < YA_ALM_MAGN$ 01: $\Delta Y_ACCL_OUT < YA_ALM_MAGN$ (式 6 参照) 10: $Y_ACCL_OUT > YA_ALM_MAGN$ 11: $\Delta Y_ACCL_OUT > YA_ALM_MAGN$ (式 6 参照)

表 173. ALM_CNFG_2 のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x03	0x24, 0x25	0x0000	R/W	Yes

表 174. ALM_CNFG_2

Bits	Description
[15:8]	未使用
7	気圧センサーのアラーム (1 = イネーブル)
6	未使用
5	気圧センサーのアラーム極性 (1 = 基準値より大きい)
4	気圧センサー動的モードのイネーブル (1 = イネーブル)
[3:0]	未使用

X 軸ジャイロ・センサー・アラーム (XG_ALM_MAGN)

表 175. XG_ALM_MAGN のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x03	0x28, 0x29	0x0000	R/W	Yes

表 176. XG_ALM_MAGN のビット定義

Bits	Description
[15:0]	X 軸ジャイロ・センサーのアラーム閾値設定、 2 の補数、0°/sec = 0x0000、1 LSB = 0.02°/sec

XG_ALM_MAGN レジスタ (表 175 と表 176 を参照) には、ALM_CNFG_0 [3] = 1 (表 170 参照) のときに x 軸ジャイロ・センサーのアラーム閾値が格納されます。このアラームは、ALM_STS [0] のアラーム・フラグに関連付けられます (表 20 参照)。

アラームの例

x 軸回りの回転速度が 100°/sec を超えたときに、x 軸ジャイロ・センサー・アラームをアクティブ (ALM_STS [0] = 1) に設定するコマンドの一覧を表 177 に示します。XG_ALM_MAGN レジスタの値は、以下に示すように 0x1388 です。

$$100^{\circ}/\text{sec} \div 0.02^{\circ}/\text{sec}/\text{LSB} = 5000 \text{ LSB} = 0x1388$$

表 177. アラーム設定コマンドの例

DIN	Description
0x8003	Turn to page 3
0xA888	XG_ALM_MAGN[7:0] = 0x88
0xA913	XG_ALM_MAGN[15:8] = 0x13
0xA00C	ALM_CNFG_1[7:0] = 0x0C
0xA100	ALM_CNFG_1[15:8] = 0x00

Y 軸ジャイロ・センサー・アラーム (YG_ALM_MAGN)

表 178. YG_ALM_MAGN のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x03	0x2A, 0x2B	0x0000	R/W	Yes

表 179. YG_ALM_MAGN のビット定義

Bits	Description
[15:0]	Y 軸ジャイロ・センサーのアラーム閾値設定、 2 の補数、0°/sec = 0x0000、1 LSB = 0.02°/sec

YG_ALM_MAGN レジスタ (表 178 と表 179 を参照) には、ALM_CNFG_0 [7] = 1 (表 170 参照) のときに y 軸ジャイロ・センサーのアラーム閾値が格納されます。このアラームは、ALM_STS [1] のアラーム・フラグに関連付けられます (表 20 参照)。

Z 軸ジャイロ・センサー・アラーム (ZG_ALM_MAGN)

表 180. ZG_ALM_MAGN のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x03	0x2C, 0x2D	0x0000	R/W	Yes

表 181. ZG_ALM_MAGN のビット定義

Bits	Description
[15:0]	Z 軸ジャイロ・センサーのアラーム閾値設定、 2 の補数、0°/sec = 0x0000、1 LSB = 0.02°/sec

ZG_ALM_MAGN レジスタ (表 180 と表 181 を参照) には、ALM_CNFG_0 [11] = 1 (表 170 参照) のときに z 軸ジャイロ・センサーのアラーム閾値が格納されます。このアラームは、ALM_STS [2] のアラーム・フラグに関連付けられます (表 20 参照)。

X 軸加速度センサー・アラーム (XA_ALM_MAGN)

表 182. XA_ALM_MAGN のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x03	0x2E, 0x2F	0x0000	R/W	Yes

表 183. XG_ALM_MAGN のビット定義

Bits	Description
[15:0]	X 軸加速度センサーのアラーム閾値設定、2 の補数、0 g = 0x0000、1 LSB = 0.25 mg

XA_ALM_MAGN レジスタ (表 182 と表 183 を参照) には、ALM_CNFG_0 [15] = 1 (表 170 参照) のときに x 軸加速度センサーのアラーム閾値が格納されます。このアラームは、ALM_STS [3] のアラーム・フラグに関連付けられます (表 20 参照)。

Y 軸加速度センサー・アラーム (YA_ALM_MAGN)

表 184. YA_ALM_MAGN のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x03	0x30, 0x31	0x0000	R/W	Yes

表 185. YA_ALM_MAGN のビット定義

Bits	Description
[15:0]	Y 軸加速度センサーのアラーム閾値設定、2 の補数、0 g = 0x0000、1 LSB = 0.25 mg

YA_ALM_MAGN レジスタ (表 184 と表 185 を参照) には、ALM_CNFG_1 [3] = 1 (表 172 参照) のときに y 軸加速度センサーのアラーム閾値が格納されます。このアラームは、ALM_STS [4] のアラーム・フラグに関連付けられます (表 20 参照)。

Z 軸加速度センサー・アラーム (ZA_ALM_MAGN)

表 186. ZA_ALM_MAGN のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x03	0x32, 0x33	0x0000	R/W	Yes

表 187. ZA_ALM_MAGN のビット定義

Bits	Description
[15:0]	Z 軸加速度センサーのアラーム閾値設定、2 の補数、0 g = 0x0000、1 LSB = 0.25 mg

ZA_ALM_MAGN レジスタ（表 186 と表 187 を参照）には、ALM_CNFG_1 [7] = 1（表 172 参照）のときに z 軸加速度センサーのアラーム閾値が格納されます。このアラームは、ALM_STS [5] のアラーム・フラグに関連付けられます（表 20 参照）。

気圧センサー・アラーム (BR_ALM_MAGN)

表 188. BR_ALM_MAGN のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x03	0x3A, 0x3B	0x0000	R/W	Yes

表 189. BR_ALM_MAGN のビット定義

Bits	Description
[15:0]	気圧センサーのアラーム閾値設定、2 の補数、0 g = 0x0000、1 LSB = 40 μ bar

BR_ALM_MAGN レジスタ（表 188 と表 189 を参照）には、ALM_CNFG_2 [7] = 1（表 174 参照）のときに気圧センサーのアラーム閾値が格納されます。このアラームは、ALM_STS [11] のアラーム・フラグに関連付けられます（表 20 参照）。

ファームウェア・レビジョン (FIRM_REV)

表 190. FIRM_REV のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x03	0x78, 0x79	Not applicable	R	Yes

表 191. FIRM_REV のビット定義

Bits	Description
[15:12]	ファームウェア・レビジョンの 2 進法 10 進 (BCD) コード、10 の位、数値フォーマット = 4 ビット・バイナリ、範囲 = 0 ~ 9
[11:8]	ファームウェア・レビジョンの BCD コード、1 の位、数値フォーマット = 4 ビット・バイナリ、範囲 = 0 ~ 9
[7:4]	ファームウェア・レビジョンの BCD コード、小数第 1 位、数値フォーマット = 4 ビット・バイナリ、範囲 = 0 ~ 9
[3:0]	ファームウェア・レビジョンの BCD コード、小数第 2 位、数値フォーマット = 4 ビット・バイナリ、範囲 = 0 ~ 9

FIRM_REV レジスタ（表 190 と表 191 を参照）は、内部ファームウェアのファームウェア・レビジョンを示します。このレジスタは BCD フォーマットを使用し、各ニブルが 1 つの桁を表します。例えば、FIRM_REV = 0x1234 の場合のファームウェア・レビジョンは 12.34 です。

ファームウェア・レビジョン月日 (FIRM_DM)

表 192. FIRM_DM のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x03	0x7A, 0x7B	Not applicable	R	Yes

表 193. FIRM_DM のビット定義

Bits	Description
[15:12]	工場設定月の BCD コード、10 の位、数値フォーマット = 4 ビット・バイナリ、範囲 = 0 ~ 2
[11:8]	工場設定月の BCD コード、1 の位、数値フォーマット = 4 ビット・バイナリ、範囲 = 0 ~ 9
[7:4]	工場設定日の BCD コード、10 の位、数値フォーマット = 4 ビット・バイナリ、範囲 = 0 ~ 3
[3:0]	工場設定日の BCD コード、1 の位、数値フォーマット = 4 ビット・バイナリ、範囲 = 0 ~ 9

FIRM_DM レジスタ（表 192 と表 193 を参照）には、工場設定日を表す月と日付が格納されます。FIRM_DM [15:12] と FIRM_DM [11:8] には、工場設定月を表す数値が BCD フォーマットで格納されます。例えば、11 月は FIRM_DM [15:8] = 0x11 で表されます。FIRM_DM [7:4] と FIRM_DM [3:0] には、工場設定日を表す数値が BCD フォーマットで格納されます。例えば、27 日は FIRM_DM [7:0] = 0x27 で表されます。

ファームウェア・レビジョンの年 (FIRM_Y)

表 194. FIRM_Y のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x03	0x7C, 0x7D	Not applicable	R	Yes

表 195. FIRM_Y のビット定義

Bits	Description
[15:12]	工場設定年の BCD コード、1000 の位、数値フォーマット = 4 ビット・バイナリ、範囲 = 0 ~ 9
[11:8]	工場設定年の BCD コード、100 の位、数値フォーマット = 4 ビット・バイナリ、範囲 = 0 ~ 9
[7:4]	工場設定年の BCD コード、10 の位、数値フォーマット = 4 ビット・バイナリ、範囲 = 0 ~ 3
[3:0]	工場設定年の BCD コード、1 の位、数値フォーマット = 4 ビット・バイナリ、範囲 = 0 ~ 9

FIRM_Y レジスタ（表 194 と表 195 を参照）には、工場設定日を表す西暦年が格納されます。例えば、2013 年は FIRM_Y = 0x2013 で表されます。

ページ 4 (PAGE_ID)

表 196. PAGE_ID のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x04	0x00, 0x01	0x0000	R/W	No

表 197. PAGE_ID のビット割当て

Bits	Description
[15:0]	ページ番号、2 進数フォーマット

PAGE_ID レジスタの内容（表 196 と 表 197 を参照）は現在のページ設定を含んでおり、SPI アクセスのための別ページの選択を制御できます。例えば、SPI ベースのユーザー・アクセスのためページ 2 を選択するには、DIN = 0x8002 に設定します。ユーザー・アクセスが可能な各レジスタに関連するページ割り当てについては、表 10 を参照してください。

部品識別番号（PART_ID1、PART_ID2、PART_ID3、PART_ID4）

表 198. PART_ID1 のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x04	0x20, 0x21	Not applicable	R	Not applicable

表 199. PART_ID1 のビット定義

Bits	Description
[15:0]	部品識別 1

表 200. PART_ID2 のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x04	0x22, 0x23	Not applicable	R	Not applicable

表 201. PART_ID2 のビット定義

Bits	Description
[15:0]	部品識別 2

表 202. PART_ID3 のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x04	0x24, 0x25	Not applicable	R	Not applicable

表 203. PART_ID3 のビット定義

Bits	Description
[15:0]	部品識別 3

表 204. PART_ID4 のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x04	0x26, 0x27	Not applicable	R	Not applicable

表 205. PART_ID4 のビット定義

Bits	Description
[15:0]	部品識別 4

FIR フィルタ

ADIS16489 には 4 つの FIR フィルタ・バンクがあり、FILTR_BNK_0 レジスタ（表 166 参照）と FILTR_BNK_1 レジスタ（表 168 参照）を使い、個々の慣性センサーに合わせて設定と選択を行うことができます（図 33 参照）。各 FIR フィルタ・バンク（A、B、C、D）には 120 個のタップがあり、2 ページのメモリを消費します。各フィルタ・バンク内の各タップに対応する係数には、16 ビットの 2 の補数フォーマットを使用する専用のレジスタがあります。すべての係数の合計が 32,768 の時の FIR フィルタのゲインは 1 です。必要タップ数が 120 未満のフィルタ設計では、特定タップに関わる遅延を無くすために、すべての未使用レジスタに 0x0000 を書き込みます。

ページ 5、ページ 6（PAGE_ID）

表 206. PAGE_ID のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x05, 0x06,	0x00, 0x01	0x0000	R/W	No

表 207. PAGE_ID のビット割当て

Bits	Description
[15:0]	ページ番号、2 進数フォーマット

PAGE_ID レジスタの内容（表 206 と 表 207 を参照）は現在のページ設定を含んでおり、SPI アクセスのための別ページの選択を制御できます。例えば、SPI ベースのユーザー・アクセスのためページ 2 を選択するには、DIN = 0x8002 に設定します。ユーザー・アクセスが可能な各レジスタに関連するページ割り当てについては、表 10 を参照してください。

FIR フィルタ・バンク A（FIR_COEF_A000 ~ FIR_COEF_A119）

表 208. FIR フィルタ・バンク A のメモリ・マップ

Page	PAGE_ID	Addresses	Register
5	0x05	0x00, 0x01	PAGE_ID
5	0x05	0x02 to 0x07	Not used
5	0x05	0x08, 0x09	FIR_COEF_A000
5	0x05	0x0A, 0x0B	FIR_COEF_A001
5	0x05	0x0C to 0x7D	FIR_COEF_A002 to FIR_COEF_A058
5	0x05	0x7E, 0x7F	FIR_COEF_A059
6	0x06	0x00, 0x01	PAGE_ID
6	0x06	0x02 to 0x07	Not used
6	0x06	0x08, 0x09	FIR_COEF_A060
6	0x06	0x0A, 0x0B	FIR_COEF_A061
6	0x06	0x0C to 0x7D	FIR_COEF_A062 to FIR_COEF_A118
6	0x06	0x7E, 0x7F	FIR_COEF_A119

バンク A の FIR 係数レジスタの 1 つ FIR_COEF_A071 のレジスタ定義とビット定義の詳細を、表 209 と表 210 に示します。また、このレジスタを 10 進法の -169（0xFF57）に設定する例を表 211 に示します。

表 209. FIR_COEF_A071 のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x06	0x1E, 0x1F	Not applicable	R/W	Yes

表 210. FIR_COEF_A071 のビット定義

Bits	Description
[15:0]	FIR バンク A、係数 71、2 の補数

表 211. FIR 係数の設定例

DIN	Description
0x8006	ページ 6 を指定
0x9E57	FIR_COEF_A071 [7:0] = 0x57
0x9FFF	FIR_COEF_A071 [15:8] = 0xFF

ページ 7、ページ 8 (PAGE_ID)

表 212. PAGE_ID のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x07, 0x08,	0x00, 0x01	0x0000	R/W	No

表 213. PAGE_ID のビット割当て

Bits	Description
[15:0]	ページ番号、2 進数フォーマット

PAGE_ID レジスタの内容 (表 212 と 表 213 を参照) は現在のページ設定を含んでおり、SPI アクセスのための別ページの選択を制御できます。例えば、SPI ベースのユーザー・アクセスのためページ 2 を選択するには、DIN = 0x8002 に設定します。ユーザー・アクセスが可能な各レジスタに関連するページ割り当てについては、表 10 を参照してください。

FIR フィルタ・バンク B (FIR_COEF_B000 ~ FIR_COEF_B119)

表 214. フィルタ・バンク B のメモリ・マップ

Page	PAGE_ID	Addresses	Register
7	0x07	0x00, 0x01	PAGE_ID
7	0x07	0x02 to 0x07	Not used
7	0x07	0x08, 0x09	FIR_COEF_B000
7	0x07	0x0A, 0x0B	FIR_COEF_B001
7	0x07	0x0C to 0x7D	FIR_COEF_B002 to FIR_COEF_B058
7	0x07	0x7E, 0x7F	FIR_COEF_B059
8	0x08	0x00, 0x01	PAGE_ID
8	0x08	0x02 to 0x07	Not used
8	0x08	0x08, 0x09	FIR_COEF_B060
8	0x08	0x0A, 0x0B	FIR_COEF_B061
8	0x08	0x0C to 0x7D	FIR_COEF_B062 to FIR_COEF_B118
8	0x08	0x7E, 0x7F	FIR_COEF_B119

ページ 9、ページ 10 (PAGE_ID)

表 215. PAGE_ID のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x09, 0x0A,	0x00, 0x01	0x0000	R/W	No

表 216. PAGE_ID のビット割当て

Bits	Description
[15:0]	ページ番号、2 進数フォーマット

PAGE_ID レジスタの内容 (表 215 と 表 216 を参照) は現在のページ設定を含んでおり、SPI アクセスのための別ページの選択を制御できます。例えば、SPI ベースのユーザー・アクセスのためページ 2 を選択するには、DIN = 0x8002 に設定します。ユーザー・アクセスが可能な各レジスタに関連するページ割り当てについては、表 10 を参照してください。

FIR フィルタ・バンク C (FIR_COEF_C000 ~ FIR_COEF_C119)

表 217. フィルタ・バンク C のメモリ・マップ

Page	PAGE_ID	Addresses	Register
9	0x09	0x00, 0x01	PAGE_ID
9	0x09	0x02 to 0x07	Not used
9	0x09	0x08, 0x09	FIR_COEF_C000
9	0x09	0x0A, 0x0B	FIR_COEF_C001
9	0x09	0x0C to 0x7D	FIR_COEF_C002 to FIR_COEF_C058
9	0x09	0x7E, 0x7F	FIR_COEF_C059
10	0x0A	0x00, 0x01	PAGE_ID
10	0x0A	0x02 to 0x07	Not used
10	0x0A	0x08, 0x09	FIR_COEF_C060
10	0x0A	0x0A, 0x0B	FIR_COEF_C061
10	0x0A	0x0C to 0x7D	FIR_COEF_C062 to FIR_COEF_C118
10	0x0A	0x7E, 0x7F	FIR_COEF_C119

ページ 11、ページ 12 (PAGE_ID)

表 218. PAGE_ID のレジスタ定義

Page	Addresses	Default	Access	Flash Backup
0x0B, 0x0C,	0x00, 0x01	0x0000	R/W	No

表 219. PAGE_ID のビット割当て

Bits	Description
[15:0]	ページ番号、2 進数フォーマット

PAGE_ID レジスタの内容 (表 218 と 表 219 を参照) は現在のページ設定を含んでおり、SPI アクセスのための別ページの選択を制御できます。例えば、SPI ベースのユーザー・アクセスのためページ 2 を選択するには、DIN = 0x8002 に設定します。ユーザー・アクセスが可能な各レジスタに関連するページ割り当てについては、表 10 を参照してください。

FIR フィルタ・バンク D (FIR_COEF_D000 ~ FIR_COEF_D119)

表 220. フィルタ・バンク D のメモリ・マップ

Page	PAGE_ID	Addresses	Register
11	0x0B	0x00, 0x01	PAGE_ID
11	0x0B	0x02 to 0x07	Not used
11	0x0B	0x08, 0x09	FIR_COEF_D000
11	0x0B	0x0A, 0x0B	FIR_COEF_D001
11	0x0B	0x0C to 0x7D	FIR_COEF_D002 to FIR_COEF_D058
11	0x0B	0x7E, 0x7F	FIR_COEF_D059
12	0x0C	0x00, 0x01	PAGE_ID
12	0x0C	0x02 to 0x07	Not used
12	0x0C	0x08, 0x09	FIR_COEF_D060
12	0x0C	0x0A, 0x0B	FIR_COEF_D061
12	0x0C	0x0C to 0x7D	FIR_COEF_D062 to FIR_COEF_D118
12	0x0C	0x7E, 0x7F	FIR_COEF_D119

デフォルト・フィルタの性能

FIR フィルタ・バンクのフィルタ設計は工場プログラムされたものです。これらはすべて、DC ゲイン 1 のローパス・フィルタです。各フィルタ設計の概要を表 221 に、周波数応答特性を図 34 に示します。位相遅延は、合計タップ数の 1/2 です。

表 221. デフォルト構成の FIR フィルタの概要

FIR Filter Bank	Taps	-3 dB Frequency (Hz)
A	120	310
B	120	55
C	32	275
D	32	63

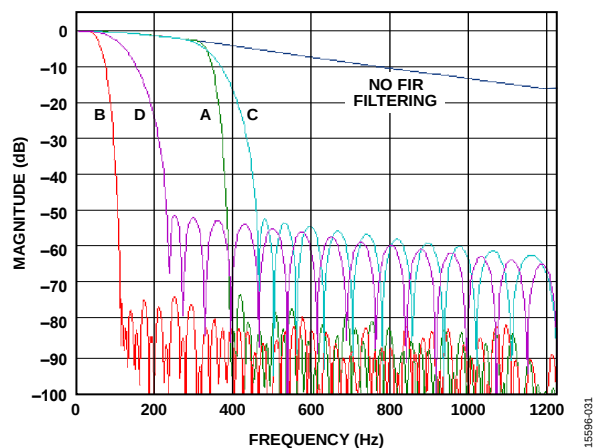


図 34. FIR フィルタの周波数応答曲線

アプリケーション情報

推奨取付け方法

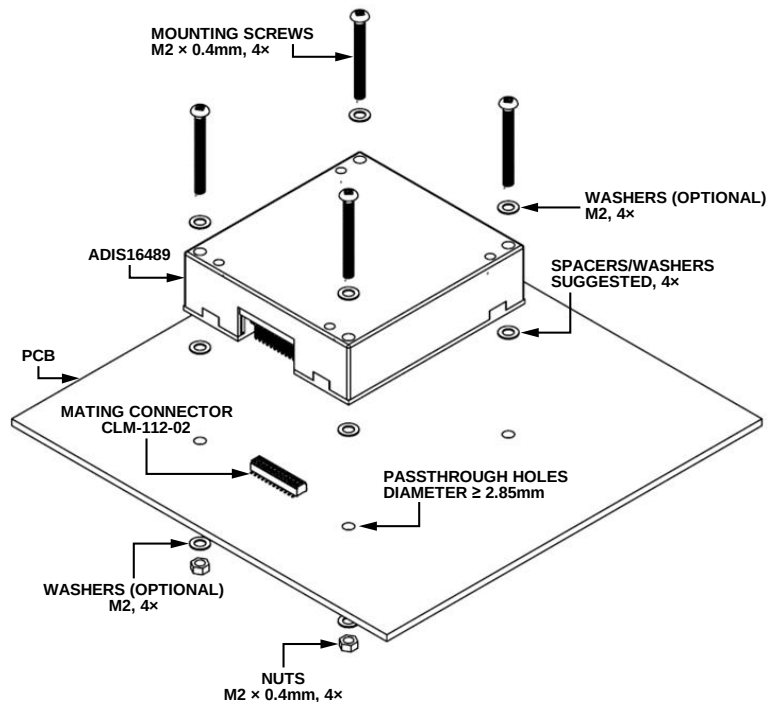


図 35. 取付け例

ADIS16489 をシステムに組み込む場合は、最大限の性能を引き出すため以下の規則に従ってください。

- 電気コネクタに直線方向の力（図 20 の x 軸および y 軸方向）がかからないようにしてください。
- 取付け力は、パッケージ表面四隅の取付け穴周囲部分だけにかかるようにしてください。
- 取付け力は、四隅に均等にかかるようにしてください。推奨トルク設定は 40 インチ・オンス (0.285 Nm) です。

上記 3 つの規則で、パッケージを歪ませてセンサーにバイアス誤差を発生させる恐れがある不規則な荷重状態を防止することができます。取付け例を図 35 に示します。この例ではワッシャを利用してパッケージを取付け面から浮かせ、2.85 mm の貫通穴と、裏面に取り付けしたワッシャとナットでパッケージを固定しています。取付け穴とコネクタ・アライメント・ピンのドリル位置の詳細を図 36 と図 37 に示します。

ADIS16489 取付けの詳細については、AN-1295 アプリケーション・ノートを参照してください。

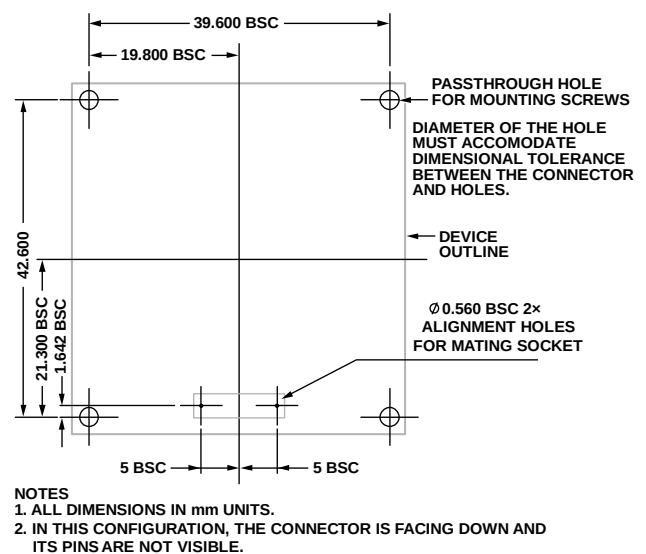


図 36. 推奨 PCB レイアウト・パターン（コネクタ下向き）

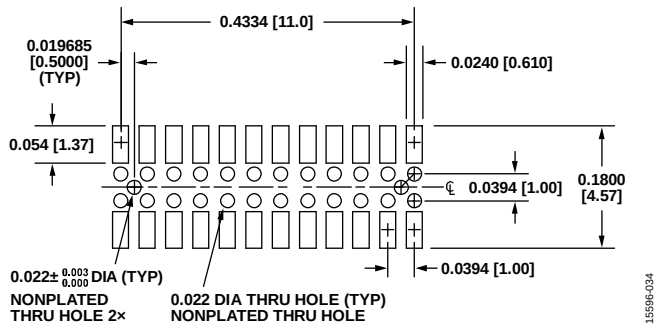


図 37. Samtec CLM-112-02-G-D-A を接続用コネクタに使用する
場合の推奨レイアウトと機械的設計

評価用ツール

ブレイクアウト・ボード、ADIS16IMU1/PCBZ

ADIS16IMU1/PCBZ（別売り）には、ADIS16489 用のブレイクアウト・ボード機能があります。これにより、標準の 1 mm リボン・ケーブルに対応した大型のコネクタを通じて、ADIS16489 にアクセスできるようになります。また、ADIS16489 をブレイクアウト・ボードに取り付けるための 4 個の取付け穴も備えています。

EVAL-ADIS による PC ベースの評価

EVAL-ADIS を使用すれば、ADIS16489 を PC ベースで評価することができます。

電源に関する考慮事項

VDD 電源は、最初のランプおよびセトリグ・プロセスにおいて、24 μF の容量（VDD ピンから GND ピンに至る ADIS16489 内部）を充電しなければなりません。VDD が 2.85 V に達すると ADIS16489 はその内部スタートアップ・プロセスを開始し、そのために新たな過渡電流が生じます。スタートアップ・プロセスの代表的な電流プロファイルを図 38 に示します。図 38 の最初のピークは 24 μF のコンデンサ・バンク充電に関するもので、2 番目のピーク（最初のピーク後約 360 ms）は ADIS16489 の初期化プロセスに関するものです。図 38 の 2 番目のピークに関わる電流プロファイルの詳細を、図 39 に示します。

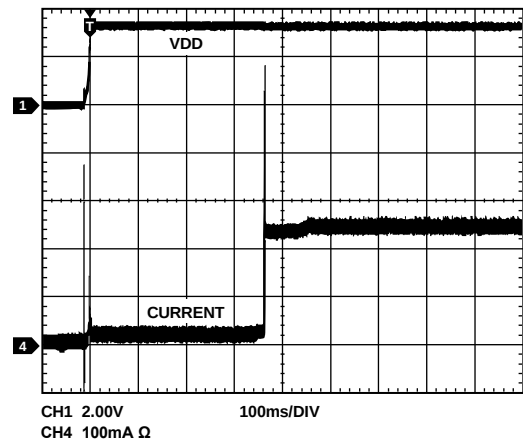


図 38. スタートアップ時の過渡電流

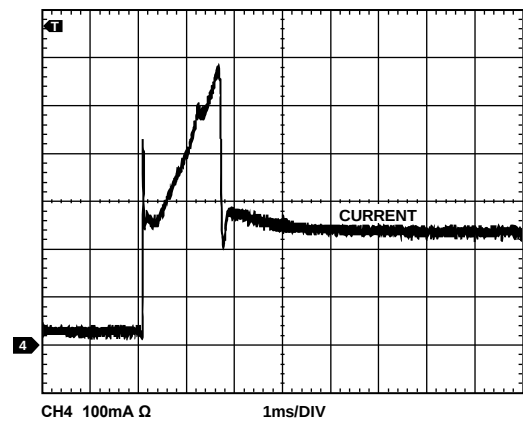


図 39. 過渡電流（ピーク値）

パッケージとオーダー情報

外形寸法

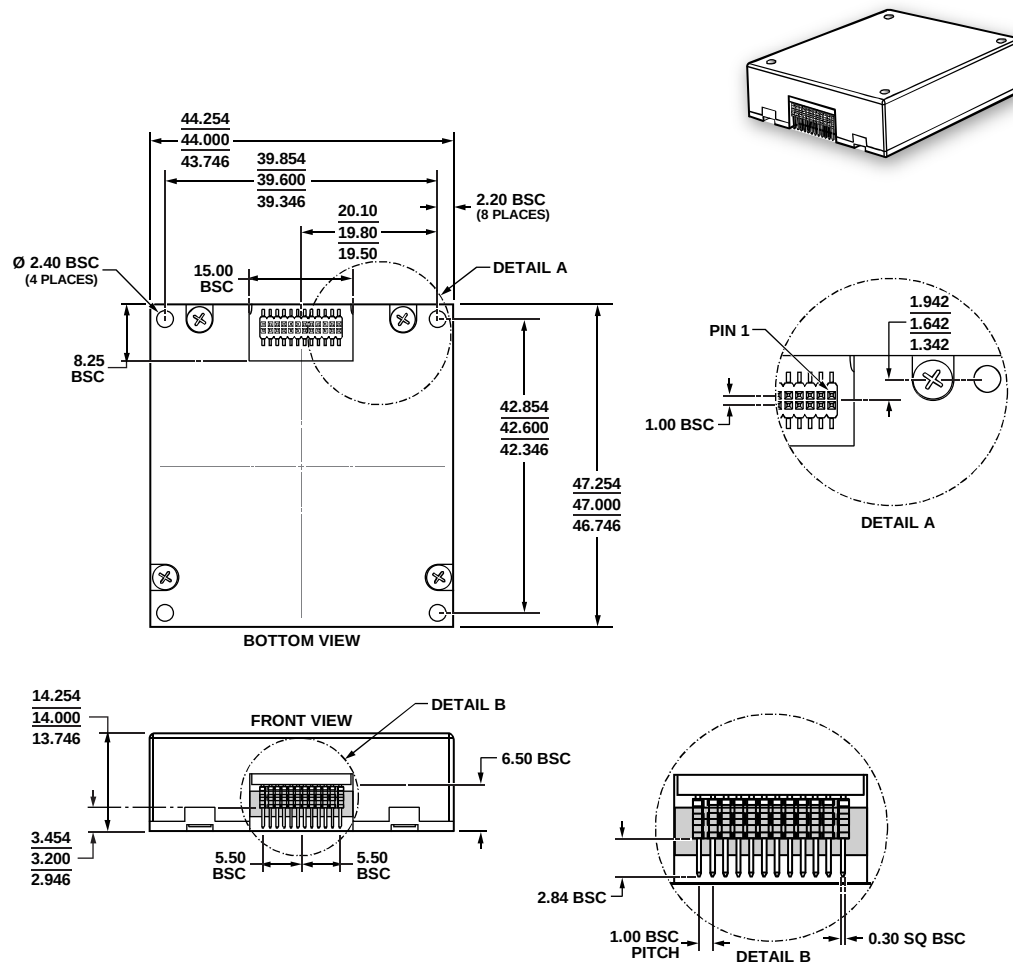


図 40. コネクタ・インターフェース付き 24 ピン・モジュール [MODULE]
(ML-24-6)
寸法: mm

12-07-2012-E

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADIS16489BMLZ-P	-40°C to +105°C	24-Lead Module with Connector Interface [MODULE]	ML-24-6

¹ Z = RoHS 準拠製品。