

特長

デジタル 3 軸加速度センサー、 $\pm 19\text{ g}$
 プログラマブル・イベント・レコーダ
 内部／外部トリガ入力
 低消費電力動作
 スリープ・モード電流：100 μA
 連続サンプリング電流：1 mA、1 kSPS
 ウェイクアップ&レコード機能
 外部トリガ入力および SPI トリガ・コマンド
 ピーク加速度サンプル&ホールド
 各ピーク加速度 X、Y、Z の平方和出力
 1600 Hz (X、Y) および 550 Hz (Z) センサー帯域幅
 デジタル制御のバイアス補正
 デジタル制御のサンプル・レート (最大 4096 SPS)
 状態監視用のプログラマブル・アラーム
 プログラマブル・デジタル出力ライン
 データ・レディ出力とアラーム・インジケータ出力
 リアルタイム・クロック
 デジタル起動のセルフテスト
 組込み温度センサー
 プログラマブル・パワーマネジメント
 SPI 互換のシリアル・インターフェース
 補助 10 ビット ADC 入力
 プログラマブル・スレッシュホールドを設定できる 2 つのアナログ・トリガ入力
 単電源動作：2.4~3.6 V
 4000 g を上回る衝撃耐性

アプリケーション

衝突／衝撃の検出
 貴重品の状態監視
 安全性、シャットオフの検出
 衝突イベントの記録
 セキュリティ検知と機器破壊検知

概要

ADIS16240 は、デジタル衝撃検出とレコーダ機能を完全に統合したシステムです。このシステムは、業界最先端の iMEMS[®]技術と低消費電力アプリケーション向けに動的性能を最適化するシグナル・プロセッシング・ソリューションを組み合わせています。3 軸センシング素子によってあらゆる方向の衝撃を測定できるため、多くのアプリケーションでセンサーや複雑な機械構造を追加する必要がありません。SPI (シリアル・ペリフェラル・インターフェース) は 4 線式を採用しており、多くのデジタル・プロセッサのプラットフォームに対応しています。SPI インターフェースを経由して、センサーのデータや設定レジスタへのアクセスが可能です。設定レジスタでは、オフセット・バイアス補正、サンプル・レート、スリープ・モード、ピーク加速度の検出、イベント時のデータ取得などの動作パラメータを制御できます。プログラマブル・イベント・レコーダは 2 つのトリガ・モードに対応しています。内部モードは、連続

機能ブロック図

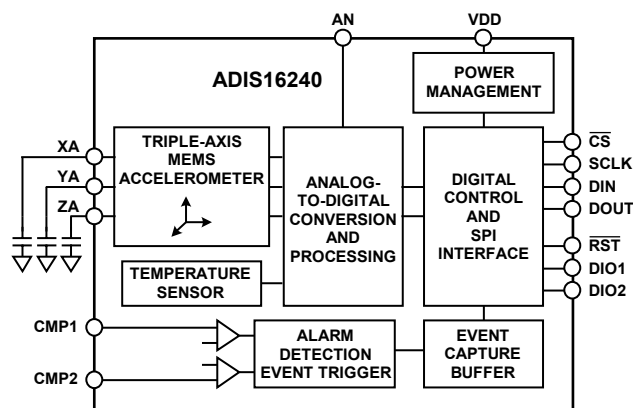


図 1.

するサンプリング・データを監視し、ユーザ設定した閾値に基づいてデータ取得機能をトリガします。外部モードは、2 つのコンパレータ入力とユーザ設定の閾値を使用してイベント発生時のデータ取得をトリガします。この機能では、データ取得長さ、トリガ前のデータ、データ保存などの設定も可能です。各イベントについて、温度、電源、時間のデータを取得し、ヘッダ付きでバッファに格納します。本製品は、スリープ・モード、ウェイクアップなど、複数のパワーマネジメント機能を備えているため、各機械システムの条件に対応して消費電力を最適化することができます。

ADIS16240 は、IPC/JEDEC 基準 (J-STD-020C、J-STD033) の鉛フリーのハンダ・リフロー工程に準拠したラミネート・ベースの 12 mm × 12 mm ボール・グリッド・アレイ (BGA) を採用しています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
 ©2009 Analog Devices, Inc. All rights reserved.

目次

特長.....	1	センシング素子.....	8
アプリケーション.....	1	データのサンプリングと処理.....	8
機能ブロック図.....	1	ユーザ・インターフェース.....	8
概要.....	1	データ取得.....	8
改訂履歴.....	2	基本動作.....	9
仕様.....	3	メモリ・マップ.....	10
タイミング仕様.....	4	出力データ・レジスタ.....	11
絶対最大定格.....	5	イベント・レコーダ.....	12
ESD に関する注意.....	5	動作制御.....	14
ピン配置と機能の説明.....	6	外形寸法.....	16
代表的な性能特性.....	7	オーダー・ガイド.....	16
動作原理.....	8		

改訂履歴

4/09—Revision 0: Initial Version

仕様

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 2.4 \sim 3.6 \text{ V}$ 。

表 1.

Parameter	Conditions	Axis	Min	Typ	Max	Unit	
ACCELEROMETER							
Dynamic Range	−40°C to +85°C 2.4 V < V _{DD} < 3.6 V Compare with best fit line	X, Y	±16	±19		g	
Initial Sensitivity				51.4		mg/LSB	
Sensitivity Temperature Coefficient				±0.01		%	
Sensitivity Change with Supply Voltage				6		%	
Nonlinearity				±2		% FS	
Sensor-to-Sensor Alignment Error				±0.1		Degrees	
Cross-Axis Sensitivity				±1		%	
Initial Bias Error				−2.7		+2.7	g
Bias Temperature Coefficient					±1		mg/°C
Bias Voltage Sensitivity						TBD	mg/V
Output Noise	No external capacitance No external capacitance	X, Y		24		mg rms	
Noise Density				480		μg/√Hz	
Bandwidth				1600		Hz	
		Z		550		Hz	
				5.5		kHz	
Sensor Resonant Frequency							
Self-Test Change in Output Response			X	−10	−21	−39	LSB
			Y	+10	+21	+39	LSB
			Z	+10	+36	+65	LSB
TEMPERATURE SENSOR SCALE FACTOR							
TEMP_OUT = 0x0133 (307) at 25°C			0.244			°C/LSB	
ADC INPUT							
Input Range			0		V _{DD}	V	
Resolution				10		Bits	
Integral Nonlinearity, INL				±1	±2	LSB	
Differential Nonlinearity, DNL				±1	±1.25	LSB	
Offset Error				±1	±2	LSB	
Gain Error				±1	±3	LSB	
Input Capacitance				11		pF	
LOGIC INPUTS ¹							
Input High Voltage, V _{INH}	V _{IH} = V _{DD} V _{IL} = 0 V		2.0			V	
Input Low Voltage, V _{INL}					0.8	V	
Logic 1 Input Current, I _{INH}				±0.2	±1	μA	
Logic 0 Input Current, I _{INL}				−40	−60	μA	
Input Capacitance, C _{IN}				10		pF	
DIGITAL OUTPUTS							
Output High Voltage, V _{OH}	I _{SOURCE} = 1.6 mA		2.4			V	
Output Low Voltage, V _{OL}	I _{SINK} = 1.6 mA				0.4	V	
START-UP TIME							
Initial, Reset Recovery					32	ms	
FLASH MEMORY							
Endurance ²	T _J = 85°C		10,000			Cycles	
Data Retention ³			20			Years	
CONVERSION RATE SETTING							
					4096	SPS	
POWER SUPPLY							
Average Supply Current ⁴	SMPL_PRD = 0x1F, V _{DD} = 2.5 V		2.4		3.6	V	
Sleep Mode Current				1		mA	
				100		μA	

¹ 入力 は 5 V 系です。

² 耐久性は JEDEC 規格 22 Method A117 に準拠し、 -40°C 、 $+25^\circ\text{C}$ 、 $+85^\circ\text{C}$ 、 $+105^\circ\text{C}$ の温度条件で測定しています。

³ JEDEC 規格 22 Method A117 に準拠した、ジャンクション温度 (T_J) = 55°C 時の等価データ保持寿命期間です。データ保持寿命期間は、ジャンクション温度にともなって短くなります。

⁴ 瞬時電流はサンプル・レートで周期的ピークを示し、最大 30 mA に達することがあります。

ADIS16240

タイミング仕様

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 3.3\text{ V}$ 。

表 2.

Parameter	Description	Min ¹	Typ	Max	Unit
f_{SCLK}	Serial clock rate ²	0.01		2.5	MHz
$t_{\text{DATABRATE}}$	Chip select period ²	60			μs
t_{CS}	Chip select to clock edge	120			ns
t_{DAV}	Data output valid after SCLK edge			30	ns
t_{DSU}	Data input setup time before SCLK rising edge	20			ns
t_{DHD}	Data input hold time after SCLK rising edge	20			ns
t_{DF}	Data output fall time		10	25	ns
t_{DR}	Data output rise time		10	25	ns
t_{SFS}	$\overline{\text{CS}}$ high after SCLK edge	430			ns

¹ 設計により保証されています。代表的な仕様はテストも保証もされていません。

² サンプル・レートに基づいています。

タイミング図

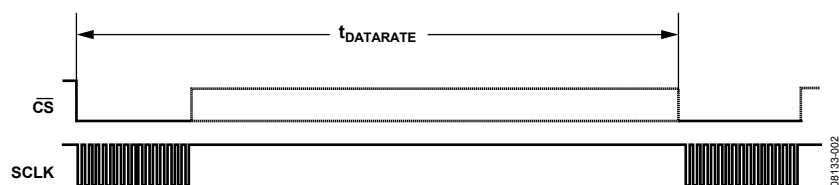


図 2. SPI チップ・セレクト・タイミング

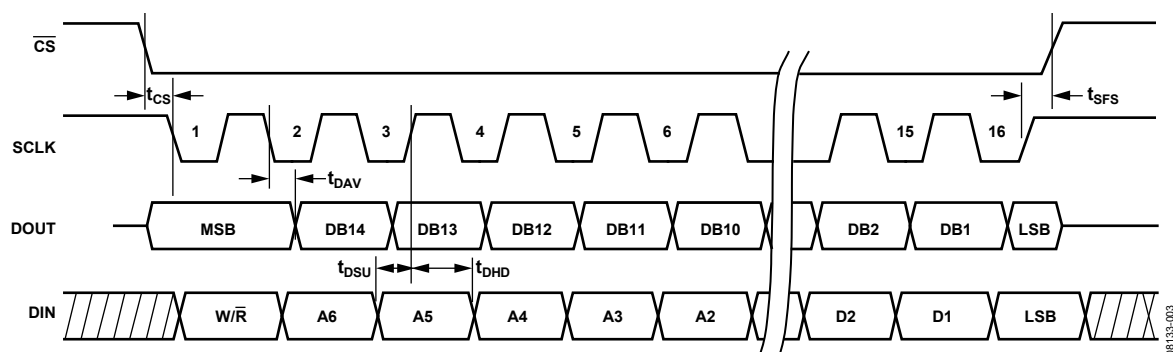


図 3. SPI タイミング（フェーズ = 1、極性 = 1 の代表的な SPI 設定を使用）

絶対最大定格

表 3.

Parameter	Rating
Acceleration	
Any Axis, Unpowered	2000 g
Any Axis, Powered	2000 g
VDD to GND	−0.3 V to +3.6 V
Digital Input Voltage to GND	−0.3 V to $V_{DD} + 0.3\text{ V}$
Analog Inputs to GND	−0.3 V to $V_{DD} + 0.3\text{ V}$
Operating Temperature Range	−40°C to +85°C
Storage Temperature Range	−65°C to +150°C

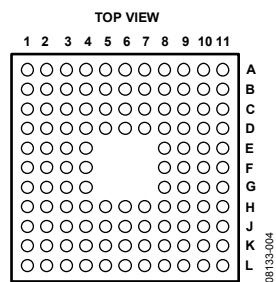
左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されな
いまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置と機能の説明



NOTES
1. THE ACTUAL PINS ARE NOT
VISIBLE FROM THE TOP VIEW.

図 4. ピン配置（上面図）

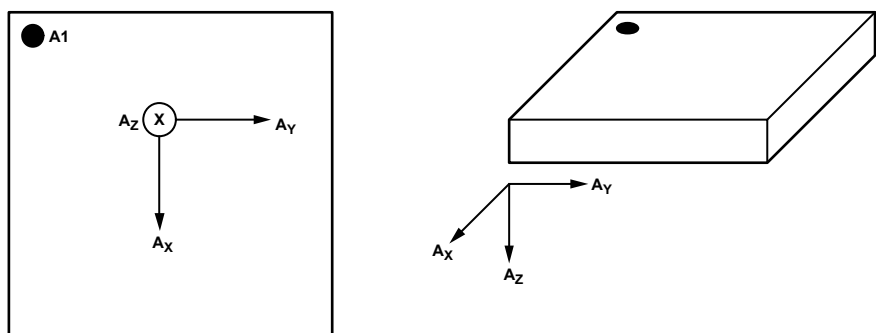


図 5. デバイスの軸の向き（上面図）

表 4. ピン機能の説明

ピン番号	記号	タイプ ¹	説明
E10, E11	SCLK	I	SPI シリアル・クロック
F10, F11	$\overline{\text{CS}}$	I	SPI チップ・セレクト、アクティブ・ロー
G10, G11	DIN	I	SPI データ入力
H10, H11	DOUT	O	SPI データ出力
J10, J11	DIO2	I/O	多機能デジタル入出力 2
K9, L9	DIO1	I/O	多機能デジタル入出力 1
K8, L8	AN	I	アナログ入力チャンネル
K7, L7	CMP2	I	アナログ・コンパレータ入力 2
K6, L6	CMP1	I	アナログ・コンパレータ入力 1
K3, L3	$\overline{\text{RST}}$	I	リセット、アクティブ・ロー、プルアップ抵抗なし
J1, J2	XA	O	X 軸加速度センサー・フィルタ・ピン
H1, H2	YA	O	Y 軸加速度センサー・フィルタ・ピン
G1, G2	ZA	O	Z 軸加速度センサー・フィルタ・ピン
A5, B5	ST	I	セルフテスト入力制御ライン
D4 to D8, E4, E8, F4, F8, G4, G8, H4 to H8	VDD	S	電源 3.3 V
A1, A2, A10, A11, B1, B2, B10, B11, C3 to C9, D3, D9, E3, E9, F3, F9, G3, G9, H3, H9, J3 to J9, K1, K2, K10, K11, L1, L2, L10, L11	GND	S	グラウンド
A3, A4, A6 to A9, B3, B4, B6 to B9, C1, C2, C10, C11, D1, D2, D10, D11, E1, E2, F1, F2, K4, K5, L4, L5	NC		無接続

¹ I = 入力、O = 出力、I/O = 入出力、S = 電源

代表的な性能特性

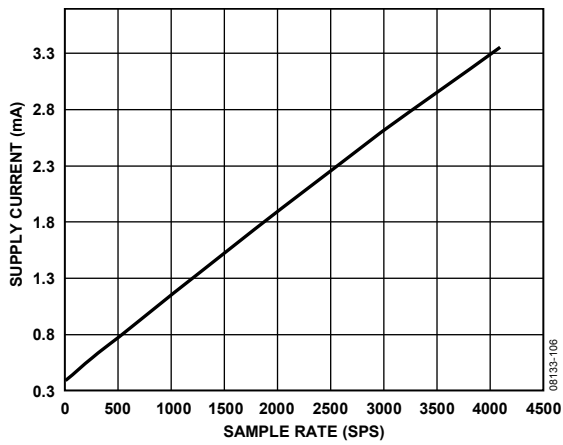


図 6. サンプル・レート 対 電源電流

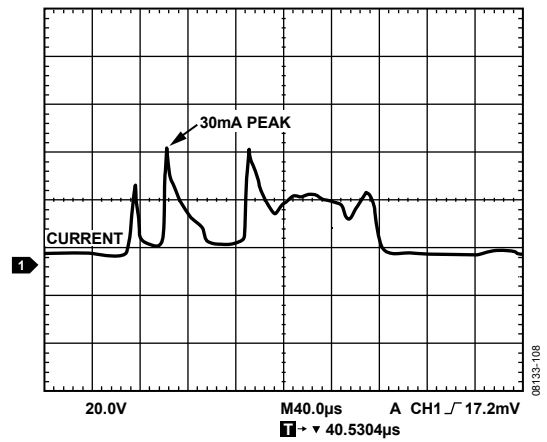


図 9. 瞬時電源電流

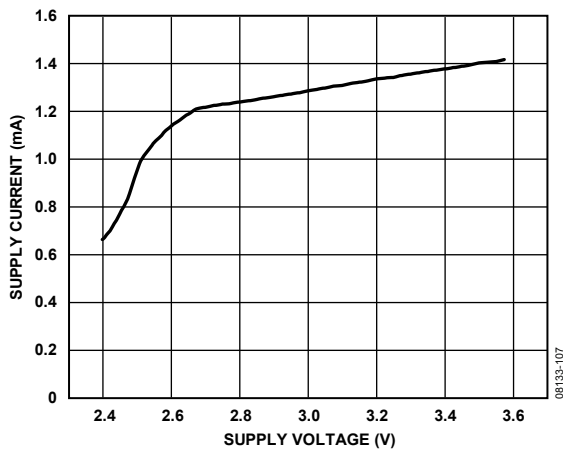


図 7. 電源電圧 対 電源電流

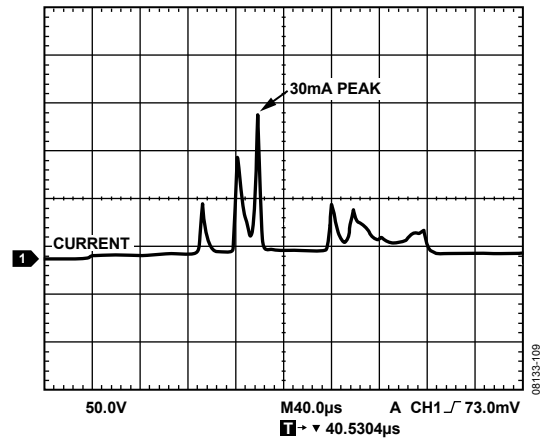


図 10. 瞬時電源電流

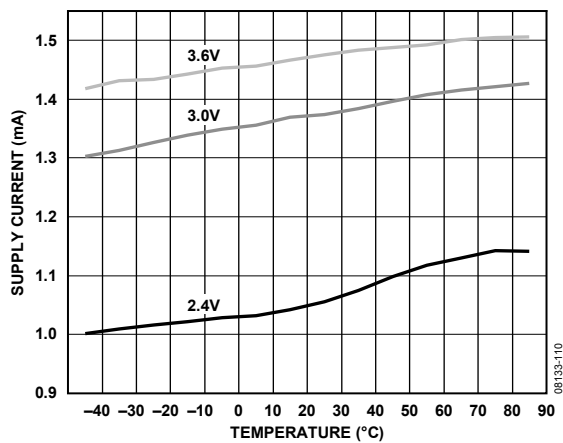


図 8. 電源電流の温度特性

動作原理

ADIS16240 は、衝撃の検出／記録アプリケーションに最適な 3 軸加速度センサー・システムです。このセンシング・システムは 4 線式シリアル・ペリフェラル・インターフェース (SPI) に対応したプロセッサ・システムにて利用可能で、データを自律的に収集します。

センシング素子

デジタル衝撃センシングは、ADIS16240 の 3 軸 MEMS センシング素子から始まります。この素子は、直線運動を電気信号に変換するトランスデューサ機能を備えています。図 11 は、センシング・素子の直線加速度に対する応答を示します。このセンサーには、複数の差動コンデンサ・ユニット・セルが内蔵されています。各セルは、固定フレームと可動フレームから構成されています。スプリングが可動フレームを固定フレームに係留し、加速度と物理的変位の関係を決定します。フレームの変位により差動容量が変化し、それが内蔵の変調回路に伝達され、デバイスに作用する加速度を計測します。

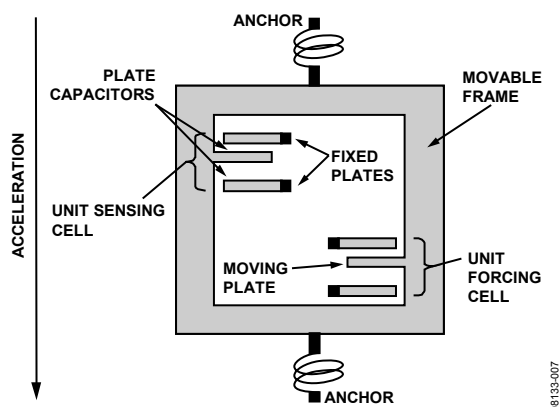


図 11. MEMS センサー

データのサンプリングと処理

アナログ加速度信号は、A/D コンバータ (ADC) に入力され、ここでデジタル化されたデータはコントローラに送信されて、データ処理とデータ取得が行われます。ADIS16240 は、ユーザ制御レジスタの設定に基づいて自律的に動作します。

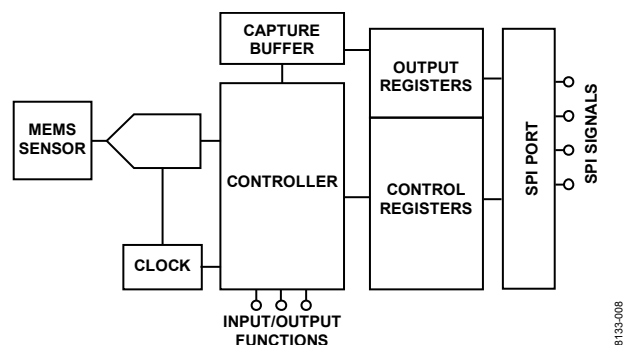


図 12. センサー信号処理の簡略図

ユーザ・インターフェース

SPI インターフェース

データ収集コマンドと設定コマンドは両方とも 4 線式の SPI を使用します。チップ・セレクト (CS) 信号が SPI インターフェースを起動し、シリアル・クロック (SCLK) がシリアル・データ・ラインの同期をとります。シリアル入力データは SCLK の立上がりエッジで DIN にクロック入力され、シリアル出力データは SCLK の立下がりエッジで DOUT からクロック出力されます。デジタル・プロセッサのプラットフォームの多くは、専用のシリアル・ポートとシンプルな命令セットによりこのインターフェースに対応しています。

ユーザ・レジスタ

ユーザ・レジスタは、SPI インターフェースを経由して、すべての I/O 動作に対しアドレス指定を行うことができます。各 16 ビット・レジスタには、固有のビット割当てがあり、2 つの 7 ビット・アドレスがあります。このうち 1 つは上位バイト、もう 1 つが下位バイトです。表 7 に、各レジスタのメモリ・マップを示します。このマップの出力レジスタは読み出し専用 (R) であり、設定レジスタは読み出し／書込み (R/W) 用か書込み専用 (W) のいずれかになります。制御レジスタはデュアル・メモリ構造であり、デバイスがオンのときは SRAM がその動作を制御し、あらゆるユーザ設定入力に対応します。フラッシュ・メモリは、表 7 のフラッシュ・バックアップ (flash backup) の欄に「yes」と記載されている制御レジスタの不揮発性記憶領域になります。フラッシュ・メモリに設定データを格納するには、マニュアル・コマンドが必要です (表 24 の GLOB_CMD[3]を参照)。デバイスが電源投入またはリセットされると、フラッシュ・メモリの値が SRAM にロードされます。この後、デバイスは制御レジスタの設定に従ってデータ生成を開始します。

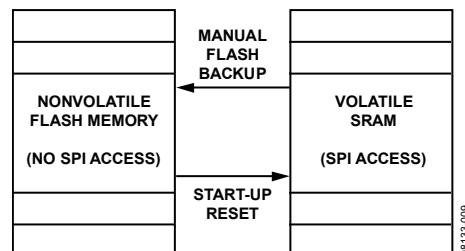


図 13. 制御レジスタの SRAM およびフラッシュ・メモリ

データ取得

ADIS16240 には、内部または外部トリガにより加速度情報を取り込むレコーダ機能があります。バッファのメモリのサイズは 3 × 8192 サンプルであり、複数のトリガ・イベントを格納できます。

基本動作

ADIS16240 は、有効な電源電圧が投入されると自動的にスタートアップして、出力レジスタにデジタル加速度データの生成を開始します。工場出荷時のデフォルト設定では、DIO1 がデータ・レディ・インジケータ信号となり、プロセッサ割込み機能を駆動します。図 14 に、SPI 互換プロセッサ・プラットフォーム（SPI マスタ）との接続図を示します。

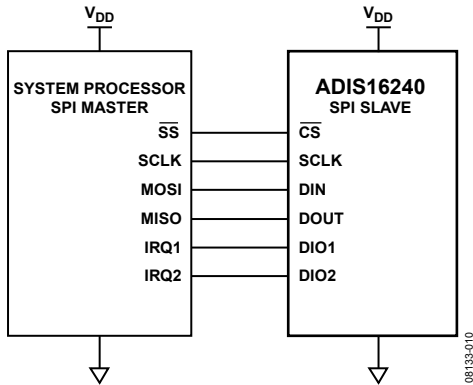


図 14. 電氣的接続図

表 5. マスタ・プロセッサの一般的なピン名と機能

ピン名	機能
SS	スレーブ・セレクト
IRQ1, IRQ2	割込み要求入力
MOSI	マスタ出力、スレーブ入力
MISO	マスタ入力、スレーブ出力
SCLK	シリアル・クロック

ADIS16240 の SPI インターフェースは full-duplex のシリアル通信（同時送受信）に対応しており、図 18 に示すビット・シーケンスを使用します。一般に、プロセッサのプラットフォームは、制御レジスタの設定に必要な汎用シリアル・ポートによる SPI 通信に対応しています。表 6 に、ADIS16240 と通信するプロセッサ・シリアル・ポートを初期設定する際に注意すべき代表的な設定を示します。

表 6. マスタ・プロセッサの一般的な SPI 設定

Processor Setting	Description
Master	The ADIS16240 operates as a slave.
SCLK Rate ≤ 2.5 MHz	Bit rate setting.
SPI Mode 3 (1,1)	Clock polarity/phase (CPOL = 1, CPHA = 1).
MSB First	Bit sequence.
16-Bit	Shift register/data length.

ユーザ・レジスタは、すべてのデータ収集と設定を管理します。表 7 に、すべてのユーザ・レジスタのメモリ・マップを示し、図 15 にはレジスタの一般的なビット割当てを示します

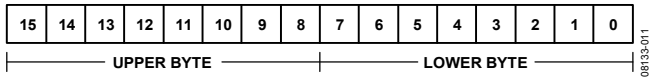


図 15. 一般的なレジスタ・ビット割当て

SPI 書き込みコマンド

マスタ・プロセッサは、図 18 のビット割当てに基づいて一度に 1 バイトずつ制御レジスタに書き込みます。表 7 のプログラマブル・レジスタは、センサー動作の最適化やさまざまな自動機能の開始を制御できます。たとえば、デバイスをウェイクアップする場合は、GLOB_CMD[8] = 1 (DIN = 0xCB01) に設定します。

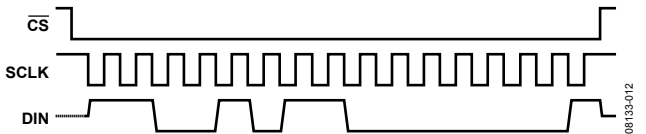


図 16. ウェイクアップ・コマンド（DIN = 0xCB01）の SPI シーケンス

設定によっては両バイトをレジスタに書き込む必要があり（アドレスとデータが必要な場合）、その場合はそれぞれに 16 ビット・シーケンスを使用します。不揮発性フラッシュ・メモリに設定データをバックアップする場合については、表 24 の GLOB_CMD[3]を参照してください。

SPI 読出しコマンド

SPI を経由してデータ読出しを行うには、2 つの連続する 16 ビット・シーケンスが必要です。最初のシーケンスでは DIN 上で読出しコマンドを送信し、2 つ目のシーケンスで DOUT からのデータを受信します。7 ビット・レジスタのアドレスは、ターゲット・レジスタの上位または下位バイト・アドレスを表します。図 17 に full-duplex mode で XACCL_OUT レジスタの読出しを行う例を示します。ここでは、SPI SEGMENT1 において DIN=0x04 にアドレスを送信すると、SPI SEGMENT2 でマスタ・プロセッサは、DOUT の出力データ DOUT=0x802B を読み出しています。そして、このタイミングと同時に、同じ SCLK パルスを使用して DIN に次のアドレス DIN=0x06 (YACCL_OUT) を送信します。つまり、マスタ・プロセッサは、DOUT の出力データを読み出すと同時に、同じ SCLK パルスを使用して、DIN の次のターゲット・アドレスを送信します。

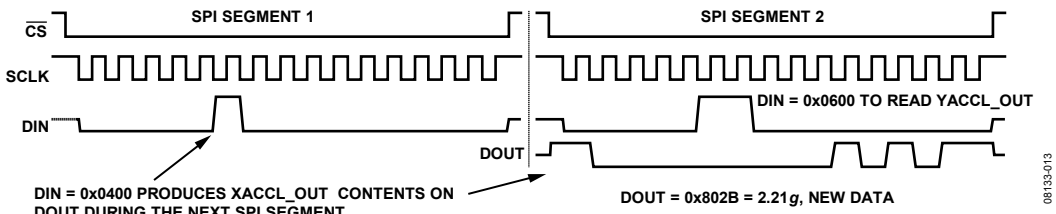


図 17. SPI 読出しシーケンスの例

ADIS16240

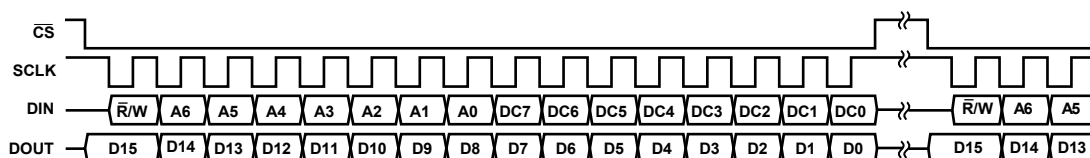
メモリ・マップ

レジスタはすべて2バイトです。未使用のメモリ領域はすべて予約となります。

表 7. ユーザ・レジスタのメモリ・マップ

Register Name	Read/Write	Flash Backup	Register Address ¹	Default	Function	Bit Assignments
FLASH_CNT	R	Yes	0x00	N/A	Flash memory write count	N/A
SUPPLY_OUT	R	No	0x02	N/A	Output, power supply	See Table 10
XACCL_OUT	R	No	0x04	N/A	Output, x-axis accelerometer	See Table 9
YACCL_OUT	R	No	0x06	N/A	Output, y-axis accelerometer	See Table 9
ZACCL_OUT	R	No	0x08	N/A	Output, z-axis accelerometer	See Table 9
AUX_ADC	R	No	0x0A	N/A	Output, auxiliary ADC input	See Table 8
TEMP_OUT	R	No	0x0C	N/A	Output, temperature	See Table 11
XPEAK_OUT	R	No	0x0E	N/A	Output, x-axis acceleration peak	See Table 9
YPEAK_OUT	R	No	0x10	N/A	Output, y-axis acceleration peak	See Table 9
ZPEAK_OUT	R	No	0x12	N/A	Output, z-axis acceleration peak	See Table 9
XYZPEAK_OUT	R	No	0x14	N/A	Output, sum-of-squares acceleration peak	See Table 8
CAPT_BUF1	R		0x16	N/A	Output, Capture Buffer 1, X and Y acceleration	See Table 18
CAPT_BUF2	R		0x18	N/A	Output, Capture Buffer 2, Z acceleration	See Table 19
DIAG_STAT	R		0x1A	0x0000	Diagnostic, error flags	See Table 28
EVNT_CNTR	R		0x1C	0x0000	Diagnostic, event counter	See Table 21
CHK_SUM	R	Yes	0x1E	N/A	Diagnostic, check sum value from firmware test	See Table 34
XACCL_OFF	R/W	Yes	0x20	0x0000	Calibration, x-axis acceleration offset adjustment	See Table 27
YACCL_OFF	R/W	Yes	0x22	0x0000	Calibration, y-axis acceleration offset adjustment	See Table 27
ZACCL_OFF	R/W	Yes	0x24	0x0000	Calibration, z-axis acceleration offset adjustment	See Table 27
CLK_TIME	R/W	Yes	0x2E	0x0000	Clock, hour and minute	See Table 29
CLK_DATE	R/W	Yes	0x30	0x0000	Clock, month and day	See Table 30
CLK_YEAR	R/W	Yes	0x32	0x0000	Clock, year	See Table 31
WAKE_TIME	R/W	Yes	0x34	0x0000	Wake-up setting, hour and minute	See Table 32
WAKE_DATE	R/W	Yes	0x36	0x0000	Wake-up setting, month and day	See Table 33
ALM_MAG1	R/W	Yes	0x38	0x9000	Alarm 1 amplitude threshold	See Table 13
ALM_MAG2	R/W	Yes	0x3A	0x9000	Alarm 2 amplitude threshold	See Table 13
ALM_CTRL	R/W	Yes	0x3C	0x0000	Alarm control	See Table 12
XTRIG_CTRL	R/W	Yes	0x3E	0x0000	Capture, external trigger control	See Table 15
CAPT_PNTR	R/W	Yes	0x40	0x0000	Capture, address pointer	See Table 20
CAPT_CTRL	R/W	Yes	0x42	0x0022	Capture, configuration and control	See Table 17
GPIO_CTRL	R/W	No	0x44	0x0000	General-purpose digital input/output control	See Table 26
MSC_CTRL	R/W	No	0x46	0x0006	Miscellaneous control	See Table 25
SMPL_PRD	R/W	Yes	0x48	0x001F	Internal sample period (rate) control	See Table 23
GLOB_CMD	W	Yes	0x4A	N/A	System command	See Table 24

¹ 各レジスタは2バイト構成ですが、ここには下位バイトのアドレスを示しています。上位バイトのアドレスは、下位バイトに1を加えたアドレス値になります。



NOTES

1. DOUT BITS ARE BASED ON THE PREVIOUS 16-BIT SEQUENCE, WHEN $\bar{R}/W = 0$.

図 18. SPI 通信のビット・シーケンス

08133-014

出力データ・レジスタ

各出力データ・レジスタは、図 19 に示すビット割当てを使用します。ND フラグは、読み出していないデータがレジスタに存在することを示します。レジスタの読出しが終了すると、このフラグはクリアされて 0 になります。次の内部サンプルによりレジスタが新しい値で更新されると、フラグは 1 に戻ります（読み出していないデータがレジスタに存在する場合は、ND ビットは 1 になります）。データ・レディ機能（DIO1 ピンと DIO2 ピンおよび MSC_CTRL レジスタ：表 25 を参照）でデータ収集を駆動するとき、ND ビットは常にハイレベルとなり、有効性を確認する必要はありません。EA フラグは、DIAG_STAT レジスタ（表 28 を参照）のエラー・フラグの 1 つがアクティブ（真）であることを示します。

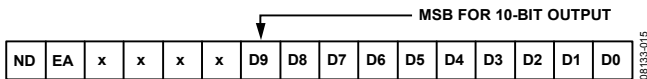


図 19. 出力レジスタのビット割当て

表 8. 出力データ・レジスタのフォーマット

Register	Bits	Format	Scale
SUPPLY_OUT	10	Binary, 0 V = 0x0000	4.88 mV
XACCL_OUT	10	Twos complement	51.4 mg
YACCL_OUT	10	Twos complement	51.4 mg
ZACCL_OUT	10	Twos complement	51.4 mg
AUX_ADC	10	Binary, 0 V = 0x0000	V _{DD} /1024
TEMP_OUT	10	Binary, 25°C = 0x0133	0.244°C
XPEAK_OUT ¹	10	Twos complement	51.4 mg
YPEAK_OUT ¹	10	Twos complement	51.4 mg
ZPEAK_OUT ¹	10	Twos complement	51.4 mg
XYZPEAK_OUT ²	12	Binary, 0 g ² = 0x0000	0.676 g ²

¹ この機能は MSC_CTRL[14] = 1 に設定する必要があります。

² この機能は MSC_CTRL[15] = 1 に設定する必要があります。

センサー・データの処理

センサーのデータを処理するには、最初に SPI 経由で該当する出力データ・レジスタの読出しを行います。たとえば、XPEAK_OUT レジスタの読出しを行うには DIN = 0x0E00 を使用してください。必要であれば、新しいデータと通常の動作状態の有効性を確認するために ND ビットと EA ビットを使用してください。次に、すべての非データ・ビットをマスクオフして、表 8 のフォーマットとスケール情報を使用してデータを計算します。たとえば、XACCL_OUT[9:0] と XYZPEAK_OUT[11:0] には、これらの機能に関連するデータがすべてあります。表 9、表 10、表 11 に、各出力レジスタの出力コードの例を示します。

表 9. 加速度センサー・データの出力フォーマット¹

Binary	Hex	Codes	Acceleration
01 0011 0111	0x137	+311	+16 g
...	...	...	...
00 0000 0010	0x002	+2	+102.8 mg
00 0000 0001	0x001	+1	+51.4 mg
00 0000 0000	0x000	0	0
11 1111 1111	0x3FF	-1	-51.4 mg
11 1111 1110	0x3FE	-2	-102.8 mg
...	...	...	...
10 1100 1001	0x2C9	-311	-16 g

¹ XACCL_OUT レジスタはアドレス 0x05[15:8] と 0x04[7:0] にあります。

YACCL_OUT レジスタはアドレス 0x07[15:8] と 0x06[7:0] にあります。

ZACCL_OUT レジスタはアドレス 0x09[15:8] と 0x08[7:0] にあります。

XPEAK_OUT レジスタはアドレス 0x0F[15:8] と 0x0E[7:0] にあります。

YPEAK_OUT レジスタはアドレス 0x11[15:8] と 0x10[7:0] にあります。

ZPEAK_OUT レジスタはアドレス 0x13[15:8] と 0x12[7:0] にあります。

MSC_CTRL[14] = 1 のとき、XPEAK_OUT、YPEAK_OUT、ZPEAK_OUT の各レジスタは各加速度出力レジスタのピーク加速度をトラッキングします。MSC_CTRL[15] = 1 のとき、次の式を使って 3 軸のピーク・レジスタの実効値 (RMS) を計算します。1 LSB あたり 0.822 g です。

$$XYZ_{rms} = \sqrt{XYZPEAK_OUT}$$

GLOB_CMD[5] = 1 に設定して、これらのレジスタを 0x0000 にリセットします。

表 10. 電源データの出力フォーマット¹

Binary	Hex	Codes	Power Supply (V)
10 1110 0010	0x2E2	738	3.6
...	...	...	...
10 1010 0101	0x2A5	677	3.30488
10 1010 0100	0x2A4	676	3.3
10 1010 0011	0x2A3	675	3.29502
...	...	...	...
01 1110 1100	0x1EC	492	2.4

¹ SUPPLY_OUT レジスタは、アドレス 0x03[15:8] と 0x02[7:0] にあります。

表 11. 温度データの出力フォーマット¹

Binary	Hex	Codes	Temperature (°C)
10 0010 1001	0x229	553	+85°C
...	...	...	...
01 0011 0100	0x134	308	+25.244°C
01 0011 0011	0x133	307	+25°C
01 0011 0010	0x132	306	+24.756°C
...	...	...	...
00 0010 1001	0x029	41	-40°C

¹ TEMP_OUT レジスタはアドレス 0x0D[15:8] と 0x0C[7:0] にあります。

ADIS16240

イベント・レコーダ

ADIS16240 には、3 軸 (x、y、z) すべての過渡的な加速度データを読み出すための 3×8192 (8 ビット) のバッファ・メモリがあります。また、最適なシステム・レベルの動作のためにイベント・レコーダを調整できる数多くのユーザ制御があります。アラーム 1 とアラーム 2 により、内部トリガまたは外部トリガを選択してデータ取得シーケンスを開始することができます。

内部トリガ・セットアップ

ALM_CTRL[15:8]で、アラーム 1 と 2 のトリガ・データ・ソースを選択します (表 12 を参照)。ALM_MAG1 および ALM_MAG2 レジスタは、それぞれアラーム 1 と 2 の閾値の大きさと設定した閾値を超える/下回る加速度が加わったかどうかの検知の設定を保持します。これらのレジスタ内にあるデータ・ビットのフォーマットは、ALM_CTRL[15:8]で設定したトリガ・データ・ソースに合致します。たとえば、ALM_CTRL[15:12]が 0010 のとき、XACCL_OUT のフォーマット (10 ビット、2 の補数、加速度分解能: 51.4 mg/LSB) に対応します。

表 12. ALM_CTRL レジスタ・ビットの説明

Bit	Description (Default = 0x0000)
[15:12]	Alarm 2 source selection 0000 = disabled 0001 = power supply voltage (SUPPLY_OUT) 0010 = x acceleration (XACCL_OUT) 0011 = y acceleration (YACCL_OUT) 0100 = z acceleration (ZACCL_OUT) 0101 = auxiliary ADC voltage (AUX_ADC) 0110 = temperature (TEMP_OUT) 0111 = XYZ peak acceleration (XYZPEAK_OUT) 1000 = external trigger
[11:8]	Alarm 1 source selection (same as Alarm 2)
[7:6]	Unused
5	Alarm 2 capture trigger: 1 = enabled, 0 = disabled
4	Alarm 1 capture trigger: 1 = enabled, 0 = disabled
3	Unused
2	Alarm indicator enable: 1 = enabled, 0 = disabled
1	Alarm indicator polarity: 1 = positive, 0 = negative
0	Alarm indicator pin: 1 = DIO2, 0 = DIO1

¹ ALM_CTRL レジスタは、アドレス 0x3D[15:8]と 0x3C[7:0]にあります。

表 13. ALM_MAG1、ALM_MAG2 レジスタ・ビットの説明¹

Bit	Description (Default = 0x9000)
15	Threshold direction 1 = active for output greater than alarm magnitude 0 = inactive for output less than alarm magnitude
14	Unused
[13:0]	Trigger threshold; bit format matches that of the register selected by ALM_CTRL[15:8] but is unsigned.

¹ ALM_MAG1 レジスタは、アドレス 0x39[15:8]と 0x38[7:0]にあります。
ALM_MAG2 レジスタは、アドレス 0x3B[15:8]と 0x3A[7:0]にあります。

表 14. 内部トリガ・セットアップの例

DIN	Description
0xBD44	Set Alarm 1 and Alarm 2 to ZACCL_OUT
0xB980, 0xB832	Set Alarm 1 to trigger on a measured acceleration that has a magnitude of $>2.57\text{ g}$
0xBB00, 0xBA0A	Set Alarm 2 to trigger on a measured acceleration that has a magnitude of $<0.5\text{ g}$
0xBC37	Activate Alarm 1 and Alarm 2 to trigger capture events, and configure DIO2 as a positive alarm indicator output.

外部トリガ・セットアップ

ALM_CTRL[15:8]と XTRIG_CTRL (表 15 を参照) では、コンパレータ・ピン (CMP1、CMP2) を外部トリガ入力として使用し、制御するための設定をすべて行うことができます。

表 15. XTRIG_CTRL レジスタ・ビットの説明¹

Bit	Description (Default = 0x0000)
[15:8]	Unused
7	External Trigger 1 direction: 0 = $<$, 1 = $>$
6	External Trigger 2 direction: 0 = $<$, 1 = $>$
5	External Trigger 1 enable: 1 = enabled, 0 = disabled
4	External Trigger 2 enable: 1 = enabled, 0 = disabled
[3:0]	External trigger-level setting (TL), binary format Note that trigger threshold = $TL \times \text{supply}/24$

¹ XTRIG_CTRL レジスタは、アドレス 0x3F[15:8]と 0x3E[7:0]にあります。

表 16. 外部トリガ・セットアップの例

DIN	Description
0xBD80	Set Alarm 2 to an external trigger (ALM_CTRL)
0xBE1C	Activate and set CMP2 to trigger on signals that are greater than one-half of the supply voltage (XTRIG_CTRL)
0xBC20	Activate Alarm 2 to trigger data capture (ALM_CTRL)

デバイスがスタンバイ・モードの場合は、CMD1 または CMD2 の外部トリガでデバイスをウェイクアップして、イベント・データ取得を開始します。最初のサンプルが取得されるのは、トリガ・エッジから $0.2\text{ ms} + \text{サンプル期間 (SMPL_PRD[7:0])}$ 後です。

バッファ・メモリの設定

CAPT_CTRL (表 17 を参照) は、2 つのプログラマブルな制御パラメータ (イベント長とプリトリガ長) を使用してイベントを記録するためのバッファ・メモリを管理します。

表 17. CAPT_CTRL レジスタ・ビットの説明¹

Bit	Description (Default = 0x0022)
[15:8]	Unused
[7:4]	Pretrigger length control factor (P), binary format
3	Unused
[2:0]	Event length control factor (T), binary format

¹ CAPT_CTRL レジスタは、アドレス 0x43[15:8]と 0x42[7:0]にあります。

イベント長 (N_E) で、バッファが一度に格納できるイベント数 (N_E) が決まります。

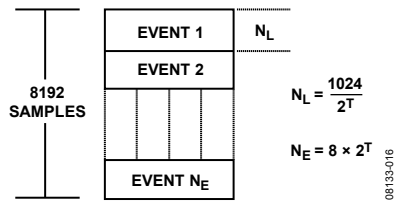


図 20. バッファ・メモリのイベント格納

たとえば、CAPT_CTRL[2:0] = 100 の場合は $T = 4$ となり、バッファ・メモリは 128 イベント×64 サンプルの構成になります。

イベントの構造

各イベントには、ヘッダ、トリガ前のデータ、トリガ後のデータが含まれています（図 21 を参照）。イベント・ヘッダは、データ取得実行時に発生する状態に関する情報を提供します。CAPT_CTRL[7:4]には、各イベントのトリガ前のサンプル数を設定します。 N_{PRE} が負の場合は、トリガ前のデータではなく、トリガ後の最初のサンプルがヘッダの後に続きます。

$$N_{PRE} = \frac{N_L}{16} - 6$$

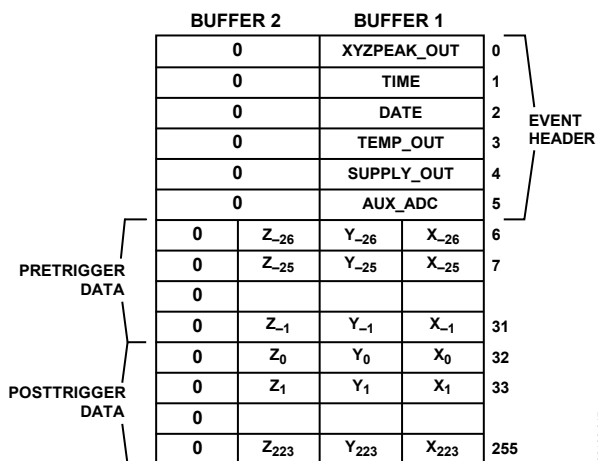


図 21. デフォルトのイベント構造

イベント・データの読出し

CAPT_BUF1、CAPT_BUF2、CAPT_PNTR の各レジスタは、データ取得用バッファのデータへのユーザ・アクセスを管理します（表 18、表 19、表 20 を参照）。アドレス・ポイント（CAPT_PNTR）で、データ取得用バッファ・レジスタにロードするデータ取得用メモリ領域が決まります。CAPT_PNTR は、CAPT_BUF2 の読出しのたびに自動的にインクリメントされます。バッファ・メモリ空間全体を読み出す場合は、読出しコマンドの CAPT_BUF1（DIN = 0x9600）と CAPT_BUF2（DIN = 0x9800）を交互に実行するのが最も効率的です。このように読出しシーケンスを交互に実行すると、CAP_PNTR が自動的にインクリメントされ、SPI の処理リソースが最適化されます。取得データ内の個々の領域にアクセスするには、CAPT_PNTR への書き込みを行います。たとえば、CAPT_PNTR レジスタに 0x0138（DIN = 0xC038、DIN = 0xC101）を書き込むと、各バッファ・メモリ内の 311 番目のサンプルが CAP_BUF1 と CAPT_BUF2 の各領域にロードされます（図 22 を参照）。

表 18. CAPT_BUF1 レジスタ・ビットの説明¹

Bit	Description	Format
[15:8]	Y-axis acceleration	Twos complement, 205.7 mg/LSB
[7:0]	X-axis acceleration	

¹ CAPT_BUF1 レジスタは、アドレス 0x17[15:8]と 0x16[7:0]にあります。

表 19. CAPT_BUF2 レジスタ・ビットの説明¹

Bit	Description	Format
[15:8]	Unused	Twos complement, 205.7 mg/LSB
[7:0]	Z-axis acceleration	

¹ CAPT_BUF2 レジスタは、アドレス 0x19[15:8]と 0x18[7:0]にあります。

表 20. CAPT_PNTR レジスタ・ビットの説明¹

Bit	Description
[15:13]	Unused
[7:0]	Buffer address that loads into CAPT_BUF1, CAPT_BUF2

¹ CAPT_PNTR レジスタは、アドレス 0x41[15:8]と 0x40[7:0]にあります。

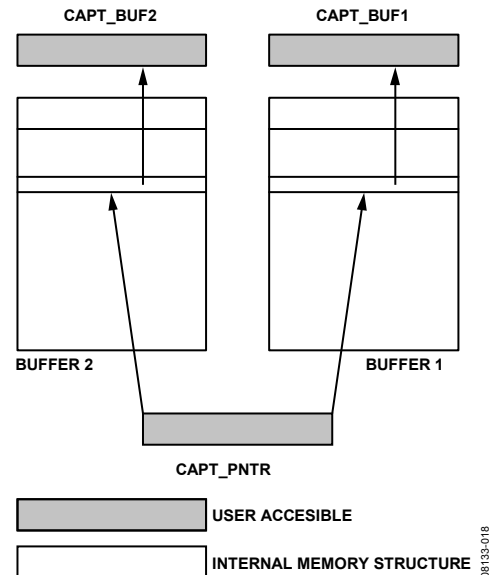


図 22. データ取得用バッファのデータ・フロー

EVNT_CNTR レジスタ（表 21 を参照）は、バッファのクリアやリセット後に発生したトリガ（内部および外部）の累計回数を提供します。この数がイベント数より多い場合は、データ取得用バッファが満杯のためにデータ取得できないトリガ・イベントが存在したことを意味します。EVNT_CNTR の値は、バッファ・クリア（DIN = 0xCA40 により GLOB_CMD[6] = 1）または工場出荷時のリセット（DIN = 0xCA02 により GLOB_CMD[1] = 1）後に 0x0000 に戻ります。パワーサイクルやソフトウェア・リセットのコマンドの後、EVNT_CNTR はバッファ・メモリに格納されたイベントの数を保持します。

表 21. EVNT_CNTR レジスタ・ビットの説明¹

Bit	Description
[15:0]	Binary event counter

¹ EVNT_CNTR レジスタは、アドレス 0x1D[15:8]と 0x1C[7:0]にあります。

ADIS16240

データ取得中の過渡動作

データ取得中は、デバイスの消費電流が短期間で増大します。データ取得後は、サンプリングが中断し、表 22 に示す休止時間のあいだ、センサーは SPI コマンドを無視します。

表 22. データ取得後の動作の休止時間

Event Length (Samples)	Pause Time (ms)
≤64	2
128	4
256	8
512	16
1024	33

動作制御

内部サンプル・レート

SMPL_PRD レジスタ (表 23 を参照) では、次式を使ってサンプル・レートを調整できます。

$$f_s = \frac{32768}{(N_{SR} + 1)}$$

たとえば、ADIS16240 が 4096 SPS の最大サンプル・レートで動作するように指定する場合は、SMPL_PRD[7:0] = 0x07 (DIN = 0xC807) に設定します。サンプル・レートは、イベント・データ取得中の消費電力やピーク分解能に影響します。

表 23. SMPL_PRD レジスタ・ビットの説明¹

Bit	Description (Default = 0x001F)
[15:0]	Sample rate scale factor, binary format (N_{SR})

¹ SMPL_PRD レジスタは、アドレス 0x49[15:8] と 0x48[7:0] にあります。

グローバル・コマンド

GLOB_CMD レジスタ (表 24 を参照) は、複数のコマンドの開始ビットがあり、各書込みによりソフトウェアのリセット等の動作が簡単に行うことができる便利なレジスタです。割当てビットを 1 に設定すると、SPI 通信シーケンスの 16 番目の SCLK の直後に各機能が起動します。その機能が完了すると、ビット値は 0 に戻ります。GLOB_CMD レジスタ内のすべてのコマンドでは、表 24 に示す実行時間の間、電源が通常の制限範囲内にとどまる必要があります。実行時間は工場出荷時のデフォルト設定を反映しており (デフォルトが適用される場合)、通常動作に戻るために必要な時間を表しています。たとえば、デバイスをスタンバイ・モードにする場合は、GLOB_CMD[2] = 1 (DIN = 0xCA04) に設定します。デバイスをウェイクアップして通常動作に戻る場合は、GLOB_CMD[8] = 1 (DIN = 0xCB01) に設定します。

入出力ライン

ADIS16240 では、複数の機能がある 2 つの汎用デジタル入出力ラインを利用できます。工場出荷時の設定では、MSC_CTRL[2:0] で DIO1 が正のデータ・レディ出力になります。DIO1 を負のデータ・レディ出力信号に設定する場合は、MSC_CTRL[2:0] の値を 100 (DIN = 0xC604) に変更します。ALM_CTRL[2:0] では、デジタル信号の 1 つをアラーム・インジケータとして設定できます。たとえば、DIO1 を正のアラーム・インジケータ出力信号に設定する場合は、ALM_CTRL[2:0] = 110 (DIN = 0xBC06) とします。汎用ラインとして設定する場合は、GPIO_CTRL レジスタに DIO1 と DIO2 を設定します。たとえば、DIO1 と DIO2 を出力に設定する場合は、GPIO_CTRL = 0x0103 (DIN = 0xC403、次に 0xC501) とします。DIO1 は「1」、DIO2 は「0」の状態です。制御レジスタの優先順位は MSC_CTRL、ALM_CTRL、GPIO_CTRL の順になります。

表 24. GLOB_CMD レジスタ・ビットの説明¹

Bit	Description	Execution Time ²
[15:9]	Unused	N/A
8	Wake up from standby mode	0.2 ms
7	Software reset	32 ms
6	Clear capture buffer flash memory	350 ms
5	Clear peak registers	N/A
4	Clear DIAG_STAT register	N/A
3	Save configuration to flash	24 ms
2	Start standby mode for low power	N/A
1	Restore factory-default settings	350 ms
0	Auto-null	N/A

¹ GLOB_CMD レジスタは、アドレス 0x4B[15:8] と 0x4A[7:0] にあります。

² SPI 処理とデータ・サンプリングは、指定の時間だけ中断されます。

表 25. MSC_CTRL レジスタ・ビットの説明¹

Bit	Description (Default = 0x0006)
15	Enables sum-of-squares output (XYZPEAK_OUT)
14	Enables peak tracking output (XPEAK_OUT, YPEAK_OUT, and ZPEAK_OUT)
[13:10]	Unused
9	No self-test on startup when set to 1
8	Self-test enable: 1 = apply electrostatic force, 0 = disabled
[7:3]	Unused
2	Data-ready enable: 1 = enabled, 0 = disabled
1	Data-ready polarity: 1 = active high, 0 = active low
0	Data-ready line selection: 1 = DIO2, 0 = DIO1

¹ MSC_CTRL レジスタは、アドレス 0x47[15:8] と 0x46[7:0] にあります。

表 26. GPIO_CTRL レジスタ・ビットの説明¹

Bit	Description (Default = 0x0000)
[15:10]	Unused
9	General-Purpose I/O Line 2 data level
8	General-Purpose I/O Line 1 data level
[7:2]	Unused
1	General-Purpose I/O Line 2, data direction control: 1 = output, 0 = input
0	General-Purpose I/O Line 1, data direction control: 1 = output, 0 = input

¹ GPIO_CTRL レジスタは、アドレス 0x45[15:8] と 0x44[7:0] にあります。

オフセット調整

XACCL_OUT、YACCL_OFF、ZACCL_OFF レジスタは、センサーの出力に加算し、各加速度センサー出力に対する便利なオフセット調整機能になります。たとえば、0x0A を YACCL_OUT[7:0] (DIN = 0xA20A) に書き込むと、YACCL_OUT 出力データに対し 514 mg のオフセット調整が行われます。

表 27. XACCL_OFF、YACCL_OFF、ZACCL_OFF¹

Bit	Description (Default = 0x0000)
[15:10]	Unused
[9:0]	Offset, twos complement, 51.4 mg/LSB

¹ XACCL_OFF レジスタは、アドレス 0x21[15:8]と 0x20[7:0]にあります。
YACCL_OFF レジスタは、アドレス 0x23[15:8]と 0x22[7:0]にあります。
ZACCL_OFF レジスタは、アドレス 0x25[15:8]と 0x24[7:0]にあります。

診断

DIAG_STAT レジスタは、全エラー・フラグを示します（表 28 を参照）。エラー・フラグは、一般的なシステム・レベルの問題に対するインジケータ機能になります。エラー・フラグが 1 の時はエラー状態、0 の時は通常動作を示します。フラグはすべて、DIAG_STAT の読出し後に 0 に戻ります。次のサンプル・サイクル中に電源が範囲外のままだと、DIAG_STAT[0] と DIAG_STAT[1] の値は 1 に戻ります。DIAG_STAT[9:8] は、ALM_CTRL レジスタと ALM_MAGx レジスタ内の状態に基づいてアラーム・チェック用のフラグを提供します。DIAG_STAT[6] は、内部メモリのチェックサム結果を保持します。ファームウェア・プログラム・メモリの合計値が期待値と異なると、このフラグは 1 になります。 $\overline{CS}$ がハイレベルになり SPI 転送中の SCLK パルスの数が 16 の倍数にならないときは、SPI 通信フラグ (DIAG_STAT[3]) が 1 に変わります。

表 28. DIAG_STAT レジスタ・ビットの説明¹

Bit	Description (Default = 0x0000)
[15:10]	Unused
9	Alarm 2 status: 1 = alarm active, 0 = alarm inactive
8	Alarm 1 status: 1 = alarm active, 0 = alarm inactive
7	Capture buffer full: 1 = capture buffer is full
6	Flash test, checksum flag: 1 = mismatch, 0 = match
5	Power-on, self-test flag: 1 = failure, 0 = pass
4	Power-on self-test: 1 = in-progress, 0 = complete
3	SPI communications failure: 1 = error, 0 = normal
2	Flash update failure: 1 = failure, 0 = pass
1	Power supply above 3.625 V: 1 = above, 0 = below
0	Power supply below 2.225 V: 1 = below, 0 = above

¹ DIAG_STAT レジスタは、アドレス 0x1B[15:8]と 0x1A[7:0]にあります。

クロック

CLK_TIME、CLK_DATE、CLK_YEAR の各レジスタは内部タイム・スタンプを提供し、イベント・ヘッダにユーザがアクセスした時刻を入力することができます。CLK_TIME = 0x2231 の場合、時間は 22:31 すなわち 10:31 p.m. になります。CLK_DATE と CLK_YEAR の各レジスタは、同じ 2 進化 10 進数フォーマットを使用します。

表 29. CLK_TIME レジスタ・ビットの説明¹

Bit	Description
[15:14]	Unused
[13:12]	Hours, 10s digit
[11:8]	Hours, 1s digit
7	Unused
[6:4]	Minutes, 10s digit
[3:0]	Minutes, 1s digit

¹ CLK_TIME レジスタは、アドレス 0x2F[15:8]と 0x2E[7:0]にあります。

表 30. CLK_DATE レジスタ・ビットの説明¹

Bit	Description (Default = 0x0000)
[15:13]	Unused
12	Month, 10s digit
[11:8]	Month, 1s digit
[7:6]	Unused
[5:4]	Day, 10s digit
[3:0]	Day, 1s digit

¹ CLK_DATE レジスタは、アドレス 0x31[15:8]と 0x30[7:0]にあります。

表 31. CLK_YEAR レジスタ・ビットの説明¹

Bit	Description (Default = 0x0000)
[15:8]	Unused
[7:4]	Year, 10s digit
[3:0]	Year, 1s digit

¹ CLK_YEAR レジスタは、アドレス 0x33[15:8]と 0x32[7:0]にあります。

WAKE_TIME と WAKE_DATE の各レジスタで、ADIS16240 のスタンバイ・モードを解除するための時間を設定できます。この機能を有効にするには、これらのレジスタにウェイクアップの日時を書き込みます。

表 32. WAKE_TIME レジスタ・ビットの説明¹

Bit	Description (Default = 0x0000)
15	Wake time enable (1 = enabled, 0 = disabled)
14	Unused
[13:12]	Hours, 10s digit
[11:8]	Hours, 1s digit
7	Unused
[6:4]	Minutes, 10s digit
[3:0]	Minutes, 1s digit

¹ WAKE_TIME レジスタは、アドレス 0x35[15:8]と 0x34[7:0]にあります。

表 33. WAKE_DATE レジスタ・ビットの説明¹

Bit	Description (Default = 0x0000)
[15:14]	Unused
[13:12]	Month, 10s digit
[11:8]	Month, 1s digit
[7:6]	Unused
[5:4]	Day, 10s digit
[3:0]	Day, 1s digit

¹ WAKE_DATE レジスタは、アドレス 0x37[15:8]と 0x36[7:0]にあります。

チェックサム

表 34. CHK_SUM レジスタ・ビットの説明¹

Bit	Description
[15:0]	Sum of memory locations used to verify code integrity

¹ CHK_SUM レジスタは、アドレス 0x1F[15:8]と 0x1E[7:0]にあります。

ADIS16240

外形寸法

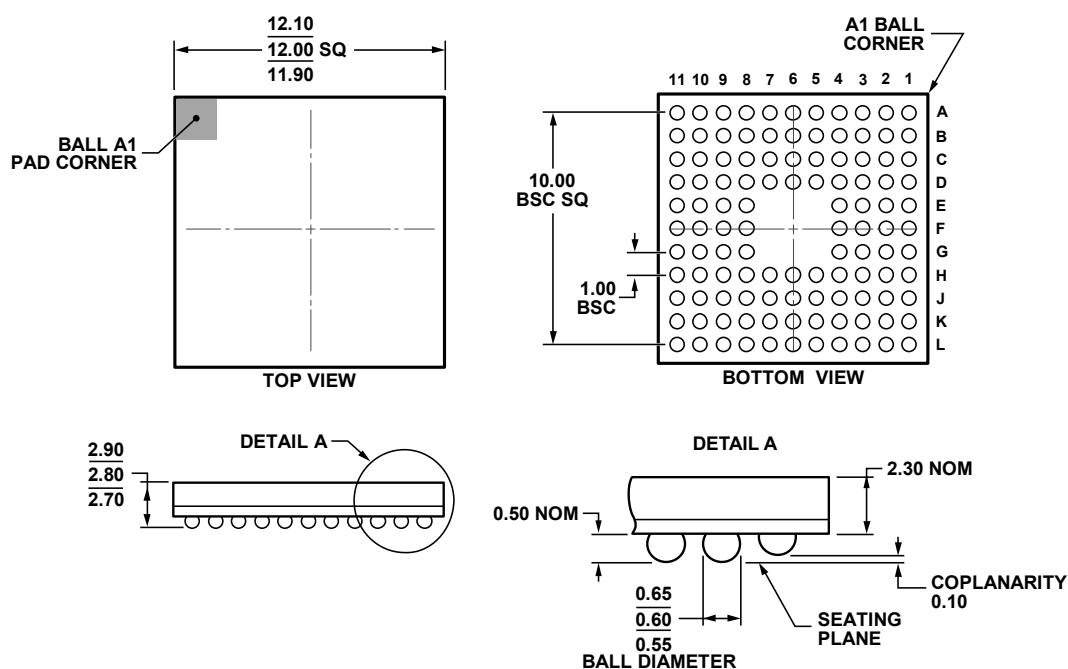


図 23. 112 ピンのプラスチック・ボール・グリッド・アレイ [PBGA]
(B-112-1)
寸法単位：mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
ADIS16240ABCZ ¹	-40°C to +85°C	112-Ball Plastic Ball Grid Array [PBGA]	B-112-1
ADIS16240/PCBZ ¹		Evaluation Board	

¹ Z = RoHS 準拠製品。