



24V~220V、高精度オペアンプ

データシート

ADHV4702-1

特長

広い動作電圧範囲

両電源動作：±12V~±110V

非対称な電源動作：24V~220V

広い入力コモンモード電圧範囲：レールから 3V

高い同相ノイズ除去比：160dB（代表値）

高い A_{OL}：170dB（代表値）

高速スルー・レート

74V/μs（代表値）

外部入力クランプ・ダイオード使用時に 24V/μs（代表値）

低入力バイアス電流：2pA（最大値）

低入力オフセット電圧：1mV（最大値）

低入力オフセット電圧ドリフト：2μV/°C（最大値）

低入力電圧ノイズ：10kHz で 8nV/√Hz（代表値）

広い小信号帯域幅：10MHz（代表値）

抵抗により調整可能な静止電流：0.6mA~3mA（V_S = ±110V）

ユニティ・ゲインで安定動作

熱モニタリング

小型フットプリント：IEC 61010-1 のスペースに準拠した

12 ピン、7mm × 7mm LFCSP

シャットダウン・モード

アプリケーション

ハイスайд電流検出

ATE（自動試験装置）

高電圧ドライバ

ピエゾ変換器

D/A コンバータ（DAC）出力バッファ

光による検出および測距（LiDAR）、アバランシェ・

フォトダイオード（APD）、シングル・フォトン・

アバランシェ・ダイオード（SPAD）のバイアス

概要

ADHV4702-1 は高電圧（220V）、ユニティ・ゲインで安定動作の高精度オペアンプです。このデバイスは高精度が求められるアプリケーション向けに、低入力バイアス電流、低入力オフセット電圧、低ドリフト、低ノイズで高い入力インピーダンスを実現します。アナログ・デバイセズが提供する独自の次世代半導体プロセスと革新的なアーキテクチャにより、この高精度オペアンプは±110V の対称な両電源、非対称な両電源、または 220V の単電源で動作します。

ADHV4702-1 は、図 2 に示すように、170dB（代表値）のオープンループ・ゲイン（A_{OL}）、および 160dB（代表値）の同相ノイズ除去比（CMRR）という特性を持つため、高精度の性能を実現します。また、ADHV4702-1 では 2μV/°C（最大値）の入力オフセット電圧（V_{OS}）ドリフトと 8nV/√Hz の入力電圧ノイズを実現しています。

代表的なアプリケーション回路

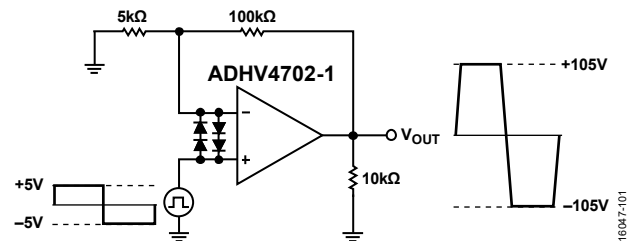


図 1.

ADHV4702-1 の優れた DC 精度は、10MHz の小信号帯域幅と 74V/μs のスルー・レートという優れた動的性能によって補完されています。ADHV4702-1 の出力電流は 20mA（代表値）です。

ADHV4702-1 は高い電圧入力コモンモード幅と高い電圧出力幅を備えており、ハイスайд電流検出などの高精度で高電圧の用途に対応できます。また、高精度のバイアスと制御が要求されるアプリケーションへの電圧供給に適しています。

ADHV4702-1 は、国際電気標準会議（IEC）61010-1 に規定される沿面距離とクリアランス基準に準拠した、露出パッド（EPAD）付きの 12 ピン、7mm × 7mm リード・フレーム・チップ・スケール・パッケージ（LFCSP）を採用しています。銅製の EPAD により低い熱抵抗のパスで放熱性を高めていると共に、高電圧絶縁が確保されているため、VCC または VEE の電圧に関係なく、0V のグランド・プレーンと安全に接続できます。ADHV4702-1 は -40°C ~ +85°C の工業用温度範囲で動作します。

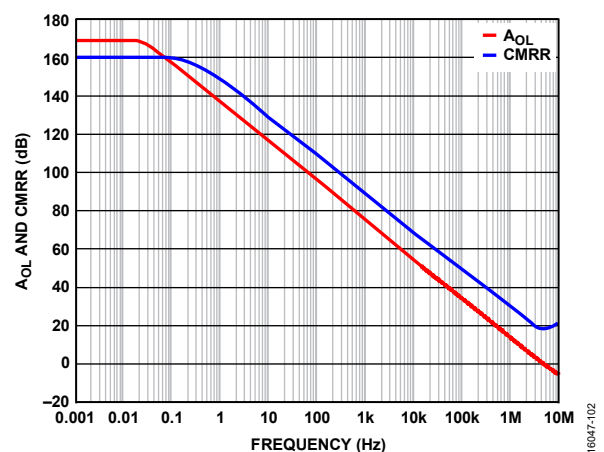


図 2. ADVH4702-1 の高い精度性能

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2019 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本 社／〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大 阪営業所／〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所／〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	シャットダウン・ピン ($\overline{SD}$)	17
アプリケーション	1	温度モニタ (TMP)	17
概要	1	過熱保護	17
代表的なアプリケーション回路	1	出力電流駆動と短絡保護	18
改訂履歴	2	外部補償と容量性負荷 (C_{LOAD}) の駆動	18
機能ブロック図	3	安全動作領域	19
仕様	4	LFCSP パッケージと高電圧ピンの間隔	19
電源電圧 $\pm 12V \sim \pm 110V$	4	露出パッド (EPAD)	19
絶対最大定格	6	アプリケーション情報	20
最大消費電力	6	電源とデカップリング	20
熱抵抗	6	高電圧ガード・リング	20
ESD に関する注意	6	高電圧 DAC による電圧減算器	20
ピン配置およびピン機能の説明	7	高電流出力ドライバ	20
代表的な性能特性	8	信号範囲の拡大	20
動作原理	15	外形寸法	21
内部静電放電 (ESD) 保護回路	15	オーダー・ガイド	21
スルー・ブースト回路および保護	15		
デジタル・グラウンド (DGND)	16		
抵抗により調整可能な静止電流 (RADJ)	16		

改訂履歴

11/2018—Revision 0: Initial Version

機能ブロック図

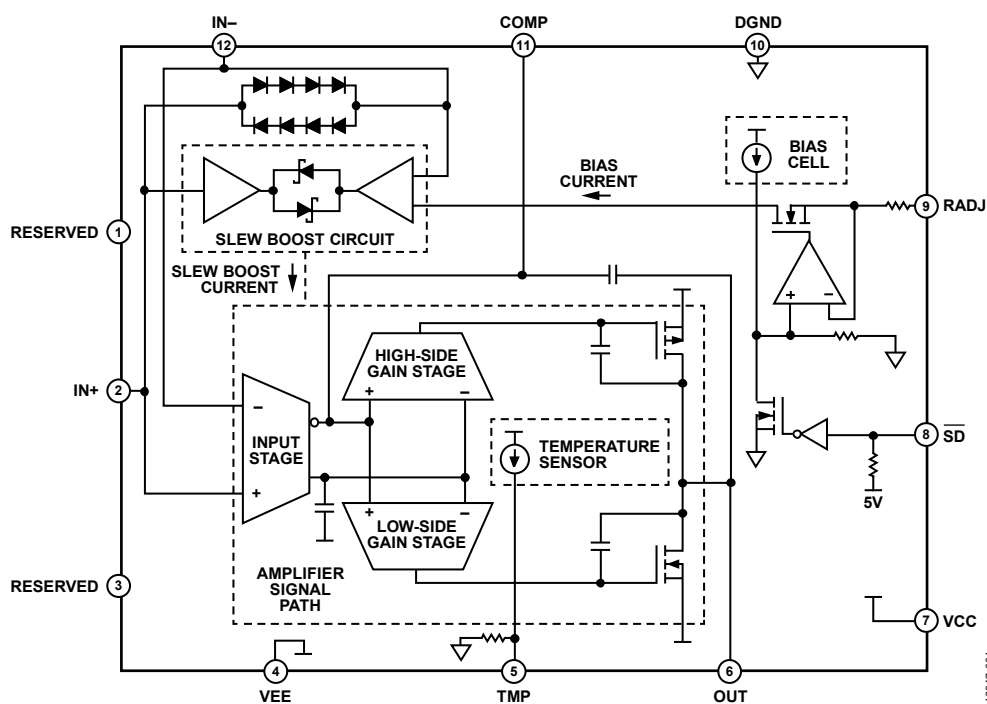


図 3.

仕様

電源電圧 $\pm 12\text{V} \sim \pm 110\text{V}$

特に指定のない限り、電源電圧 (V_S) = $\pm 12\text{V} \sim \pm 110\text{V}$ 、 $T_A = 25^\circ\text{C}$ 、EPAD を 0V のアナログ・グラウンド (AGND) に接続、DGND ピンを 0V AGND に接続、 $R_{\text{ADJ}}^1 = 0\Omega$ 、ゲイン (A_V) = 1、帰還抵抗 (R_F) = $100\text{k}\Omega$ 、負荷抵抗 (R_{LOAD}) = $10\text{k}\Omega$ 。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
–3 dB Bandwidth	$A_V = 1$, output voltage (V_{OUT}) = 200 mV p-p, $R_F = 0\Omega$		10		MHz
Slew Rate	$A_V = 20$, $V_{\text{OUT}} = 200\text{ V p-p}$, 20% to 80%		74		V/ μs
	$A_V = 20$, $V_{\text{OUT}} = 200\text{ V p-p}$, 20% to 80%, with external input clamping diodes ²		24		V/ μs
Settling Time to 0.1%	$A_V = 1$, $V_{\text{OUT}} = 40\text{ V p-p}$, $R_F = 0\Omega$		8.4		μs
	$A_V = 20$, $V_{\text{OUT}} = 40\text{ V p-p}$		6.2		μs
	$A_V = 40$, $V_{\text{OUT}} = 40\text{ V p-p}$		13		μs
NOISE PERFORMANCE					
Input Voltage Noise	Frequency = 10 kHz		8		nV/ $\sqrt{\text{Hz}}$
Input Voltage Noise 1/f Corner			10		Hz
Input Current Noise	Frequency = 40 Hz		1		fA/ $\sqrt{\text{Hz}}$
DC PERFORMANCE					
Input Offset Voltage		–1	± 0.15	+1	mV
Drift	$V_S = \pm 110\text{ V}$, $T_A = 25^\circ\text{C}$ to 85°C	–2	± 0.25	+2	$\mu\text{V}/^\circ\text{C}$
	$V_S = \pm 12\text{ V}$, $T_A = 25^\circ\text{C}$ to 85°C	–3	± 0.25	+3	$\mu\text{V}/^\circ\text{C}$
Input Bias Current	$T_A = 25^\circ\text{C}$	–2	± 0.3	+2	pA
	$T_A = 85^\circ\text{C}$	–100	± 19	+100	pA
Drift	$T_A = 25^\circ\text{C}$ to 85°C		± 0.3		pA/ $^\circ\text{C}$
Input Offset Current	$T_A = 25^\circ\text{C}$	–2	± 0.15	+2	pA
	$T_A = 85^\circ\text{C}$	–50	± 8	+50	pA
Drift	$T_A = 25^\circ\text{C}$ to 85°C		± 0.13		pA/ $^\circ\text{C}$
Open-Loop Gain	$V_S = \pm 110\text{ V}$	146	170		dB
	$V_S = \pm 12\text{ V}$	130	150		dB
INPUT CHARACTERISTICS					
Input Resistance					
Common-Mode	Common-mode voltage (V_{CM}) = -60 V to $+60\text{ V}$		45		T Ω
	$V_{\text{CM}} = -90\text{ V}$ to $+90\text{ V}$		30		T Ω
Differential			4.2		T Ω
Input Capacitance					
Common-Mode			7.9		pF
Differential			17.9		pF
Input Common-Mode Voltage Range			± 107		V
CMRR		140	160		dB
SHUTDOWN PIN (SD)					
SD Input Voltage					
Low	Disabled			0.8	V
High	Enabled	1.6			V
SD Input Current					
Low	$\overline{\text{SD}} = 0\text{ V}$		–11		μA
High	$\overline{\text{SD}} = 5\text{ V}$		–1		μA

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
OUTPUT CHARACTERISTICS					
Output Voltage Range	$R_{LOAD} = 5\text{ k}\Omega$, $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$	108	108.5 -108.5	-108	V
High					
Low					
Output Current			20		mA
THERMAL MONITOR					
TMP Pin Voltage ³	$T_A = 25^\circ\text{C}$		1.9		V
TMP Pin Voltage Drift	$T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$		-4.5		mV/ $^\circ\text{C}$
POWER SUPPLY					
Operating Range	Symmetrical and asymmetrical supplies	24		220	V
Quiescent Current $\overline{SD} = 5\text{ V}$ (Enabled) ⁴	$R_{ADJ}^1 = 0\text{ }\Omega$, $T_A = 25^\circ\text{C}$, $V_S = \pm 110\text{ V}$		3	3.3	mA
	$R_{ADJ}^1 = 0\text{ }\Omega$, $T_A = 25^\circ\text{C}$, $V_S = \pm 12\text{ V}$		2.7	3.3	mA
	$R_{ADJ}^1 = 0\text{ }\Omega$, $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$			3.3	mA
	$R_{ADJ}^1 = 50\text{ k}\Omega$, $T_A = 25^\circ\text{C}$, $V_S = \pm 110\text{ V}$		0.9	1	mA
	$R_{ADJ}^1 = 50\text{ k}\Omega$, $T_A = 25^\circ\text{C}$, $V_S = \pm 12\text{ V}$		0.8	1	mA
	$R_{ADJ}^1 = 50\text{ k}\Omega$, $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$			1	mA
	$R_{ADJ}^1 = 100\text{ k}\Omega$, $T_A = 25^\circ\text{C}$, $V_S = \pm 110\text{ V}$		0.6		mA
			0.18	0.2	mA
Positive Power Supply Rejection Ratio (PSRR)	Positive supply voltage ($+V_S$) = 107 V to 112.5 V, negative supply voltage ($-V_S$) = 110 V	130	155		dB
	$+V_S = 10\text{ V}$ to 14 V , $-V_S = -12\text{ V}$	110	130		dB
Negative Power Supply Rejection Ratio	$+V_S = 110\text{ V}$, $-V_S = -107\text{ V}$ to -112.5 V	130	155		dB
	$+V_S = 12\text{ V}$, $-V_S = -10\text{ V}$ to -14 V	110	130		dB

¹ R_{ADJ} は RADJ ピンと DGND の間に接続される抵抗です。

² ここに示すスルー・レートは、ON Semiconductor®の SBAV199LT1G を使用して、2 個のダイオードの順方向バイアス電圧で ADV4702-1 の入力をクランプした状態で測定しています。詳細については、スルー・ブースト回路および保護のセクションを参照してください。

³ TMP ピンの電圧は、デバイスごとに異なる可能性があります。詳細については、温度モニタ (TMP) のセクションを参照してください。

⁴ この仕様は静止電流にのみ適用されます。電源電流または動的な電源電流の詳細については、動作原理のセクションを参照してください。

絶対最大定格

表 2.

Parameter	Rating
Supply Voltage (VCC to VEE)	225 V
Output Voltage	VCC to VEE
Common-Mode Input Voltage	VCC to VEE
Differential Input Voltage	±2.0 V
Input Current	±5 mA
DGND Voltage	VCC – 12 V to VEE
Voltage RESERVED, $\overline{\text{SD}}$, and TMP Pins	DGND to DGND + 6 V
COMP Pin	VCC – 5 V to VCC
RADJ Pin	DGND to DGND + 0.6 V
Storage Temperature Range	–65°C to +150°C
Operating Temperature Range	–40°C to +85°C
Lead Temperature (Soldering 10 sec) ¹	260°C
Junction Temperature (T _J)	150°C

¹ 詳細については、IPC/JEDEC J-STD-020 を参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

最大消費電力

パッケージの最大安全消費電力は、チップの T_J の上昇により制限されます。ガラス転移温度である約 150°C において、プラスチックの性質は変化し始めます。T_J が 150°C を超えるとシリコン・デバイス内に変化が生じ、故障を招くおそれがあります。表 3 に LFCSP のジャンクションとケースの間の熱抵抗 (θ_{JC}) を示します。消費電力と温度管理の詳細については、アプリケーション情報のセクションを参照してください。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密封筐体内で測定された、自然対流でのジャンクションと周囲の間の熱抵抗です。θ_{JC} は、ジャンクションとケースの間の熱抵抗です。

表 3. 熱抵抗

Package Type	θ _{JA}	θ _{JC}	Unit
CP-12-8 ¹	37	1	°C/W

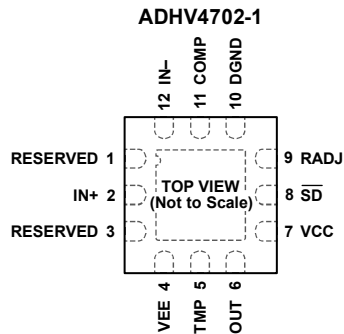
¹ データは 2S2P 基板を使用して取得しています。θ_{JC} のシミュレーションでは、PCB の底面に 100μm の熱界面材料 (TIM) を使用して冷却板が取り付けられています。詳細については JEDEC 規格を参照してください。

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES

1. RESERVED. THESE PINS ARE INTERNALLY CONNECTED. FLOAT OR TIE THESE PINS TO THE DIGITAL GROUND.
2. EXPOSED THERMAL PAD. NO INTERNAL ELECTRICAL CONNECTION. TIE EPAD TO EXTERNAL GROUND PLANE AND/OR HEAT SINK FOR THERMAL MANAGEMENT.

16047-103

図 4. ピン配置

表 4. ピン機能の説明

ピン番号	記号	説明
1, 3	RESERVED	予備。これらのピンは、内部で接続されています。フローティングさせるかデジタル・グラウンドに接続してください。
2	IN+	非反転入力。
4	VEE	負側電源入力。
5	TMP	温度モニタ出力。
6	OUT	出力。
7	VCC	正側電源入力。
8	$\overline{SD}$	シャットダウン（アクティブ・ロー）。 $\overline{SD}$ は DGND を基準としています。
9	RADJ	抵抗により調整可能な静止電流。アンプをフルにバイアスするには、RADJ を DGND に接続してください。
10	DGND	RADJ および $\overline{SD}$ のロジック・リファレンス。DGND を 0V のアナログ・グラウンドに接続してください。
11	COMP	外部補償。
12	IN-	反転入力。
	EPAD	露出サーマル・パッド。内部で電氣的に接続されていません。温度管理のために EPAD を外部のグラウンド・プレーンかヒート・シンクに接続してください。

代表的な性能特性

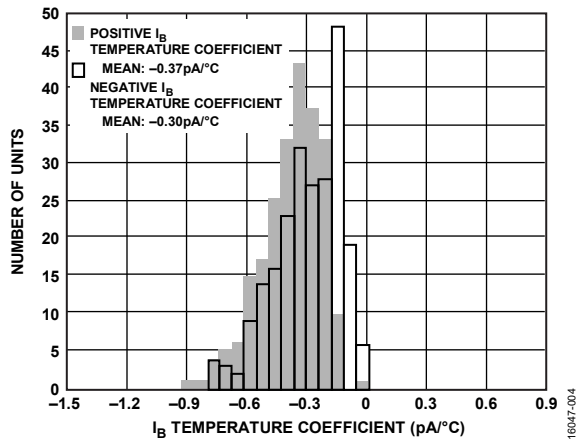


図 5. 正と負の入力バイアス (I_B) 電流ドリフトの分布、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 110\text{V}$ 、 $V_{CM} = 0\text{V}$ 、 $\Delta T_A = 60^\circ\text{C}$ 、 $R_{ADJ} = 0\Omega$

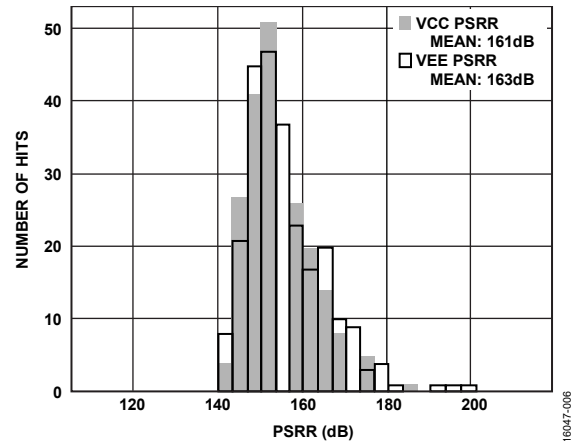


図 8. PSRR の分布、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 110\text{V}$ 、 $R_{ADJ} = 0\Omega$

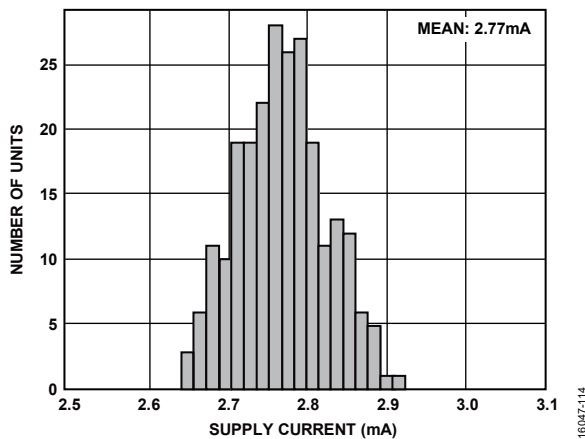


図 6. 電源電流の分布、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 110\text{V}$ 、 $R_{ADJ} = 0\Omega$

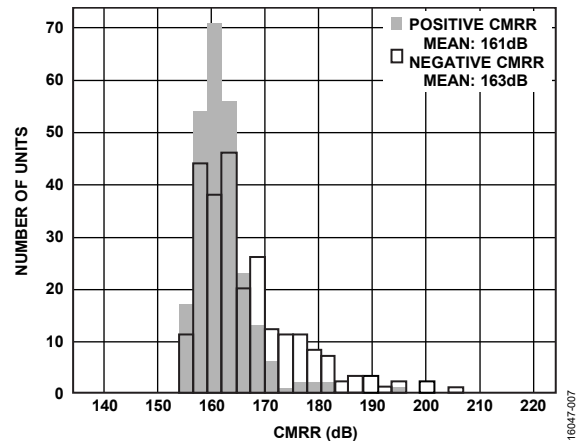


図 9. CMRR の分布、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 110\text{V}$ 、 $R_{ADJ} = 0\Omega$

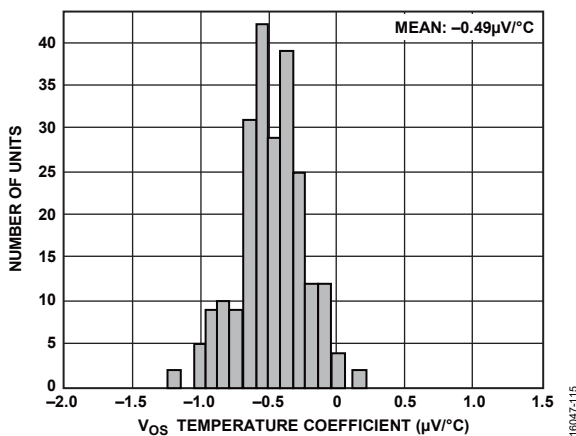


図 7. 入力オフセット電圧ドリフトの分布、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 110\text{V}$ 、 $V_{CM} = 0\text{V}$ 、 $\Delta T_J = 60^\circ\text{C}$ 、 $R_{ADJ} = 0\Omega$

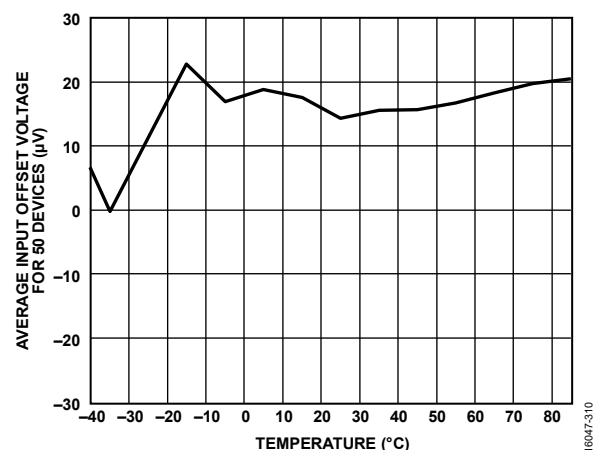


図 10. 入力オフセット電圧（デバイス 50 個の平均値）の温度特性、 $V_S = \pm 110\text{V}$

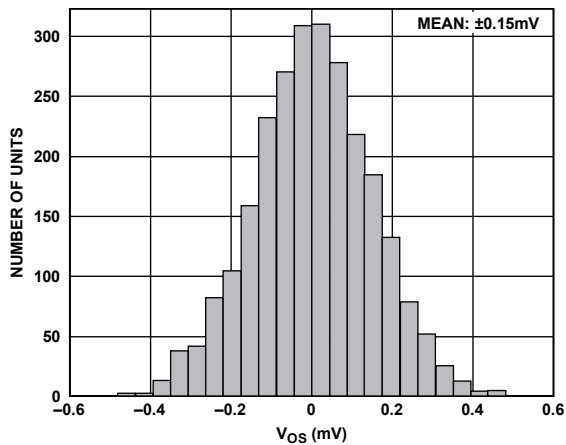


図 11. 入力オフセット電圧の分布、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 110\text{V}$ 、 $V_{CM} = 0\text{V}$ 、 $R_{ADJ} = 0\Omega$

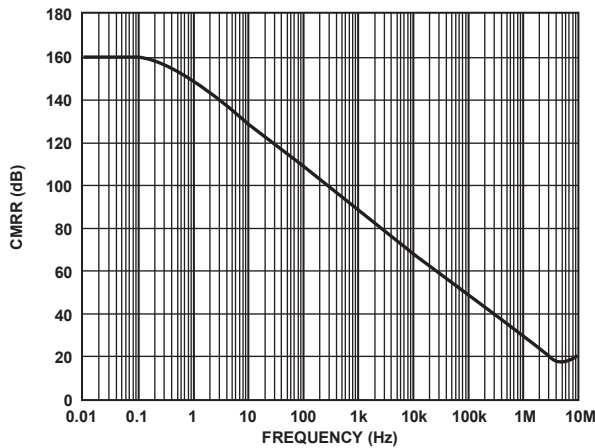


図 12. CMRR の周波数特性、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 110\text{V}$ 、 $R_{LOAD} = 10\text{k}\Omega$ 、 $R_{ADJ} = 0\Omega$

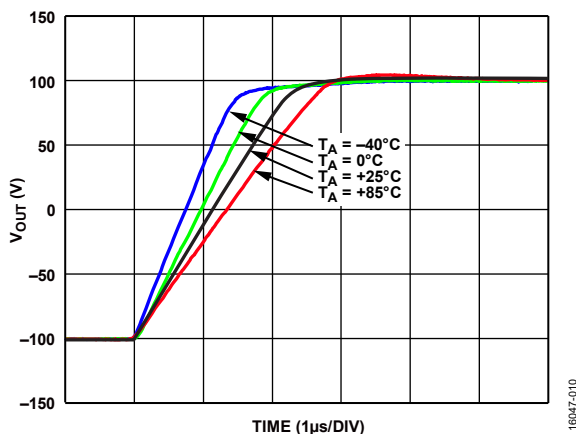


図 13. 様々な T_A での大信号パルス応答、立上がりエッジ、 $A_V = 20$ 、 $V_S = \pm 110\text{V}$ 、 $V_{OUT} = 200\text{Vp-p}$ 、 $R_F = 100\text{k}\Omega$ 、 $R_{LOAD} = 10\text{k}\Omega$ 、 $R_{ADJ} = 0\Omega$

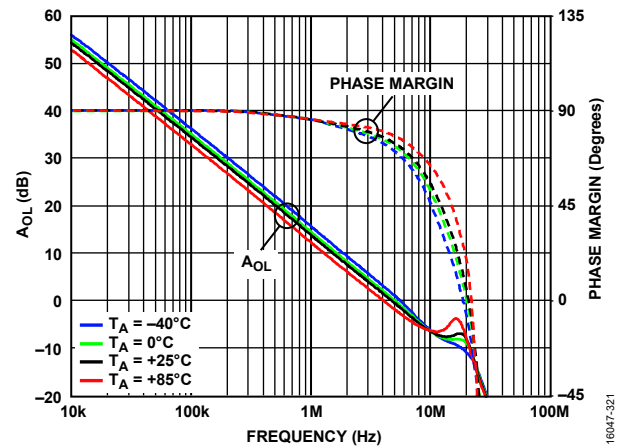


図 14. 様々な T_A での A_{OL} および位相マージンの周波数特性、 $V_S = \pm 110\text{V}$ 、 $R_{ADJ} = 0\Omega$

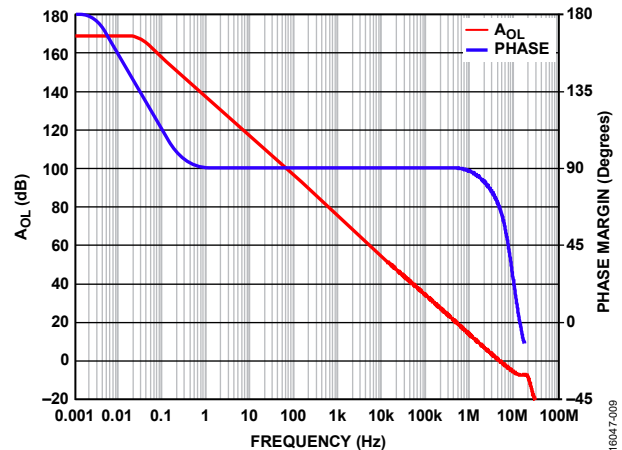


図 15. A_{OL} および位相マージンの周波数特性、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 110\text{V}$ 、 $R_{ADJ} = 0\Omega$

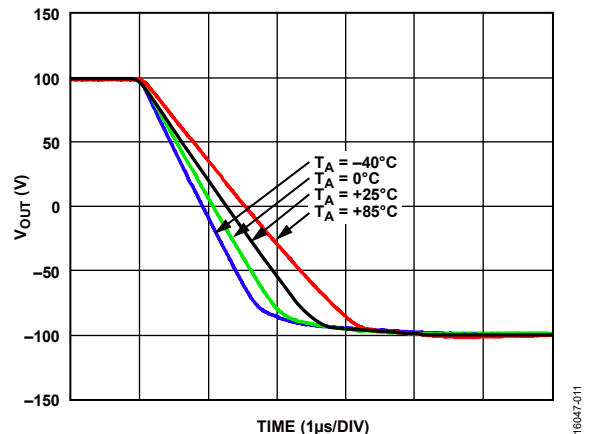


図 16. 様々な T_A での大信号パルス応答、立下がりエッジ、 $A_V = 20$ 、 $V_S = \pm 110\text{V}$ 、 $V_{OUT} = 200\text{Vp-p}$ 、 $R_F = 100\text{k}\Omega$ 、 $R_{LOAD} = 10\text{k}\Omega$ 、 $R_{ADJ} = 0\Omega$

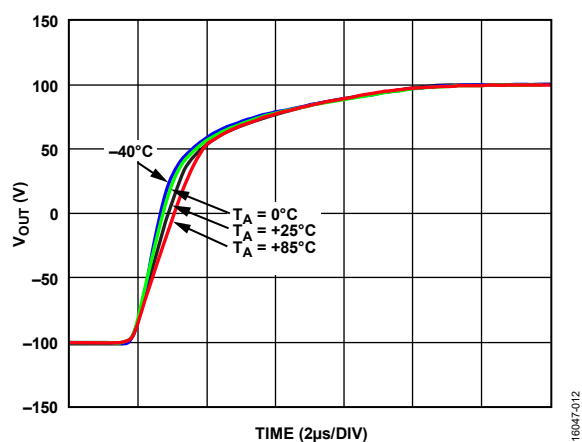


図 17. 様々な T_A での大信号パルス応答、立上がりエッジ、
 $A_V = 40$ 、 $V_S = \pm 110V$ 、 $V_{OUT} = 200V_{p-p}$ 、 $R_F = 100k\Omega$ 、
 $R_{LOAD} = 10k\Omega$ 、 $R_{ADJ} = 0\Omega$

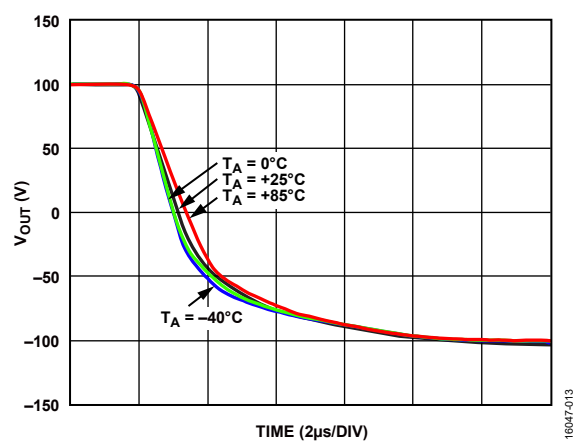


図 20. 様々な T_A での大信号パルス応答、立下がりエッジ、
 $A_V = 40$ 、 $V_S = \pm 110V$ 、 $V_{OUT} = 200V_{p-p}$ 、 $R_F = 100k\Omega$ 、
 $R_{LOAD} = 10k\Omega$ 、 $R_{ADJ} = 0\Omega$

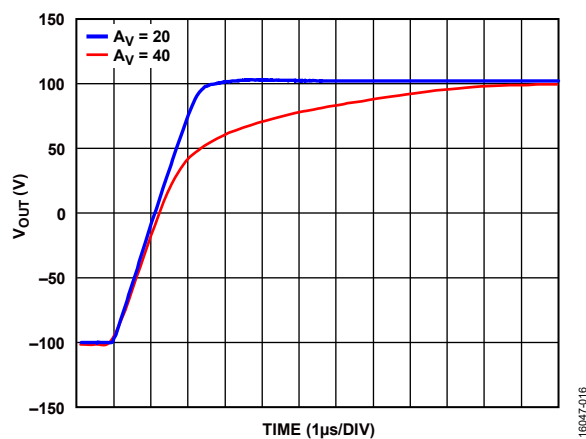


図 18. 様々なゲインでの大信号パルス応答、立上がりエッジ、
 $T_A = 25^\circ C$ 、 $V_S = \pm 110V$ 、 $V_{OUT} = 200V_{p-p}$ 、 $R_F = 100k\Omega$ 、
 $R_{LOAD} = 10k\Omega$ 、 $R_{ADJ} = 0\Omega$

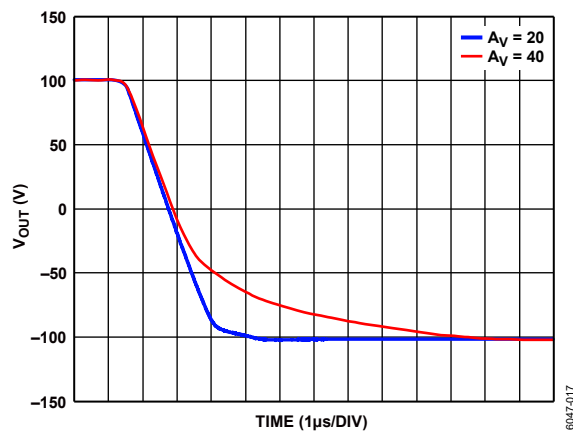


図 21. 様々なゲインでの大信号パルス応答、立下がりエッジ、
 $T_A = 25^\circ C$ 、 $V_S = \pm 110V$ 、 $V_{OUT} = 200V_{p-p}$ 、 $R_F = 100k\Omega$ 、
 $R_{LOAD} = 10k\Omega$ 、 $R_{ADJ} = 0\Omega$

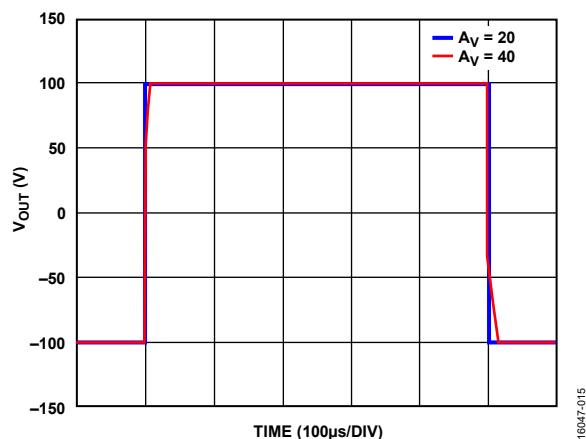


図 19. 様々なゲインでの大信号パルス応答、 $T_A = 25^\circ C$ 、
 $V_S = \pm 110V$ 、 $V_{OUT} = 200V_{p-p}$ 、 $R_F = 100k\Omega$ 、 $R_{LOAD} = 10k\Omega$ 、
 $R_{ADJ} = 0\Omega$

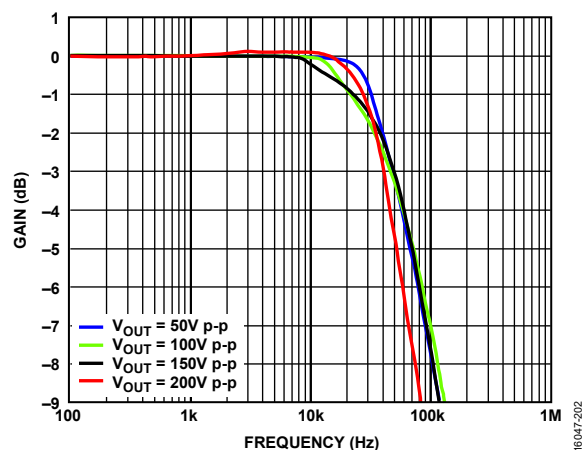


図 22. 様々な出力振幅での大信号周波数応答、
 入力クランプ・ダイオードを使用
 (スルー・ブースト回路および保護のセクション参照)
 $T_A = 25^\circ C$ 、 $A_V = 40$ 、 $V_S = \pm 110V$ 、 $R_F = 100k\Omega$ 、
 $R_{LOAD} = 10k\Omega$ 、 $R_{ADJ} = 0\Omega$

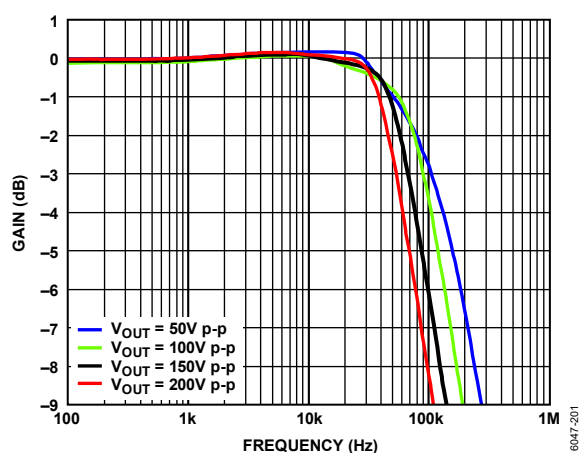


図 23. 様々な出力振幅での大信号周波数応答、入力クランプ・ダイオードを使用（スルー・ブースト回路および保護のセクション参照） $T_A = 25^\circ\text{C}$ 、 $A_V = 20$ 、 $V_S = \pm 110\text{V}$ 、 $R_F = 100\text{k}\Omega$ 、 $R_{\text{LOAD}} = 10\text{k}\Omega$ 、 $R_{\text{ADJ}} = 0\Omega$

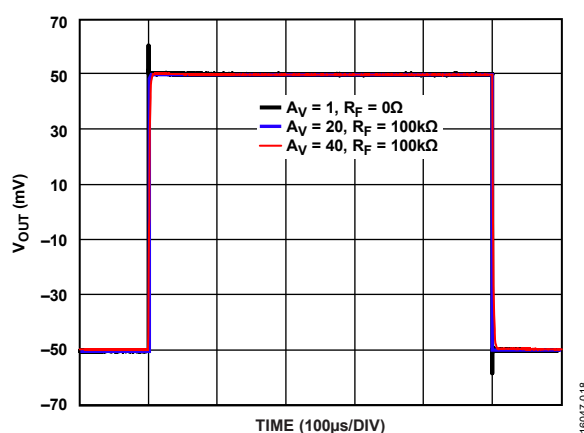


図 26. 様々なゲインでの小信号パルス応答、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 110\text{V}$ 、 $V_{\text{OUT}} = 100\text{mVp-p}$ 、 $R_{\text{LOAD}} = 10\text{k}\Omega$ 、 $R_{\text{ADJ}} = 0\Omega$

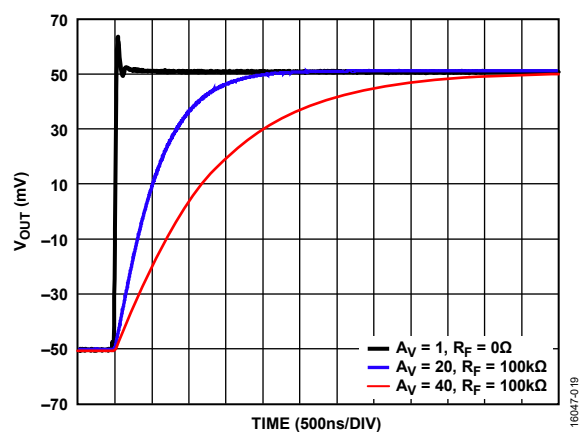


図 24. 様々なゲインでの小信号パルス応答、立上がりエッジ、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 110\text{V}$ 、 $V_{\text{OUT}} = 100\text{mVp-p}$ 、 $R_{\text{LOAD}} = 10\text{k}\Omega$ 、 $R_{\text{ADJ}} = 0\Omega$

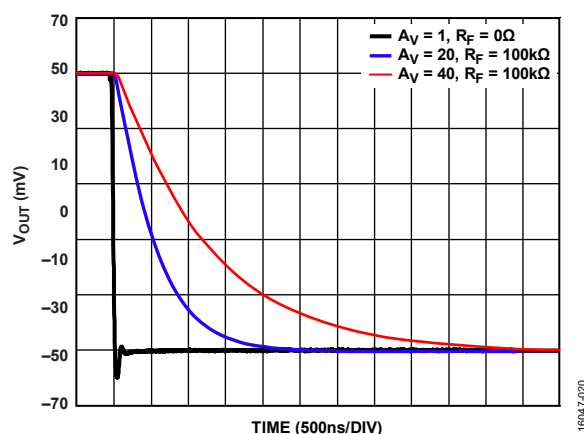


図 27. 様々なゲインでの小信号パルス応答、立下がりエッジ、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 110\text{V}$ 、 $V_{\text{OUT}} = 100\text{mVp-p}$ 、 $R_{\text{LOAD}} = 10\text{k}\Omega$ 、 $R_{\text{ADJ}} = 0\Omega$

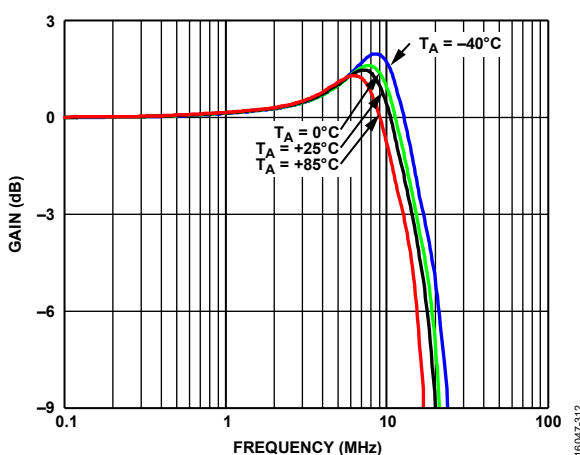


図 25. 様々な T_A での小信号周波数応答、 $A_V = 1$ 、 $V_S = \pm 110\text{V}$ 、 $V_{\text{OUT}} = 100\text{mVp-p}$ 、 $R_L = 10\text{k}\Omega$ 、 $R_{\text{ADJ}} = 0\Omega$

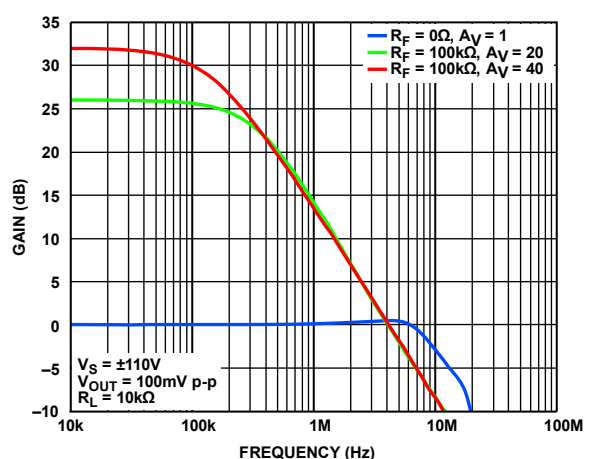


図 28. 様々なゲインでの小信号周波数応答、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 110\text{V}$ 、 $V_{\text{OUT}} = 100\text{mVp-p}$ 、 $R_L = 10\text{k}\Omega$ 、 $R_{\text{ADJ}} = 0\Omega$

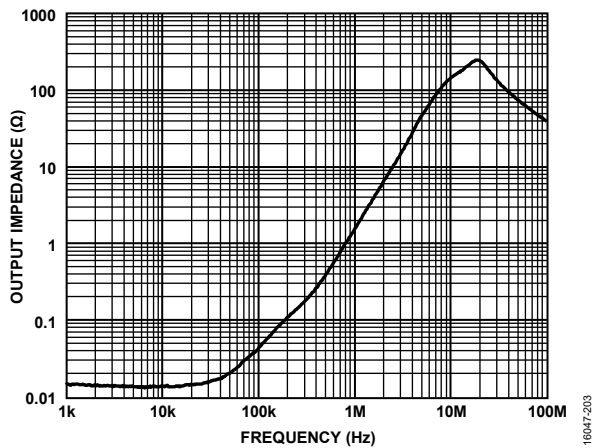


図 29. 出力インピーダンスの周波数特性、 $T_A = 25^\circ\text{C}$ 、 $A_V = 1$ 、 $V_S = \pm 110\text{V}$ 、 $V_{OUT} = 100\text{mVp-p}$ 、 $R_F = 0\Omega$ 、 $R_{ADJ} = 0\Omega$

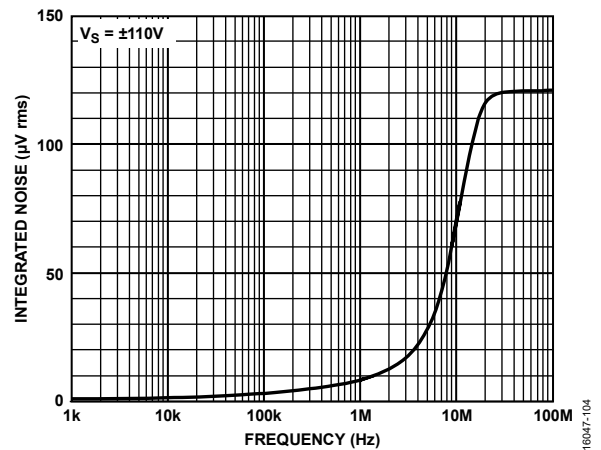


図 32. 積分ノイズの周波数特性、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 110\text{V}$ 、 $R_{ADJ} = 0\Omega$

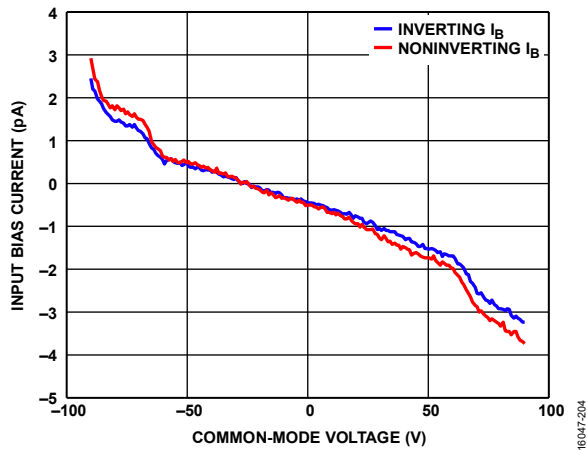


図 30. 入力バイアス電流とコモンモード電圧の関係、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 110\text{V}$ 、 $R_{ADJ} = 0\Omega$

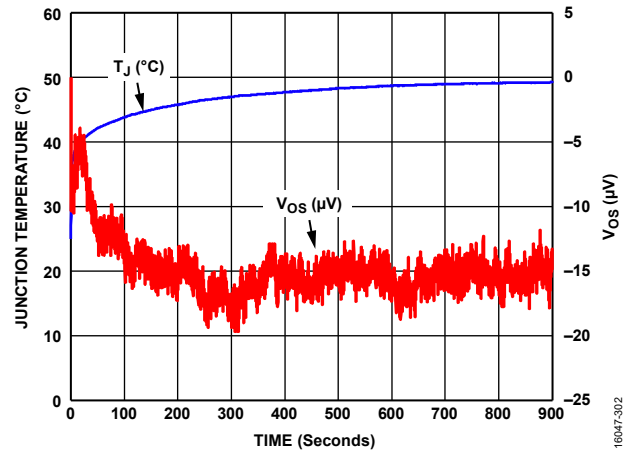


図 33. オフセット電圧のウォームアップ・ドリフトと T_J の関係、 $V_S = \pm 110\text{V}$ 、 $R_{ADJ} = 0\Omega$

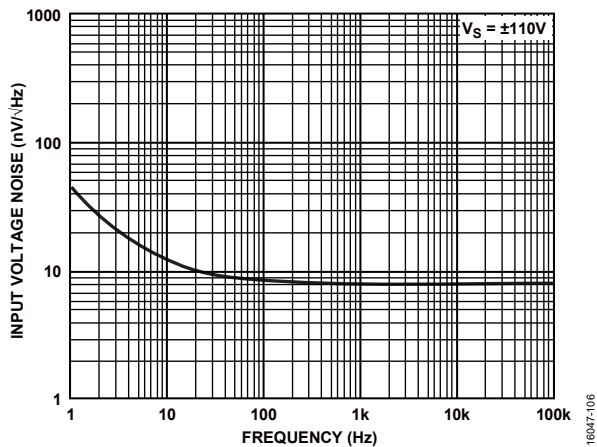


図 31. 入力電圧ノイズの周波数特性、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 110$ 、 $R_{ADJ} = 0\Omega$

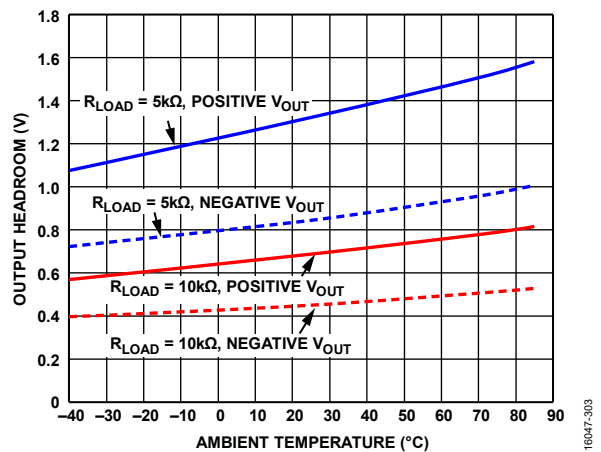


図 34. 様々な R_{LOAD} での出力ヘッドルームと周囲温度の関係、 $V_S = \pm 110\text{V}$ 、 $R_{ADJ} = 0\Omega$

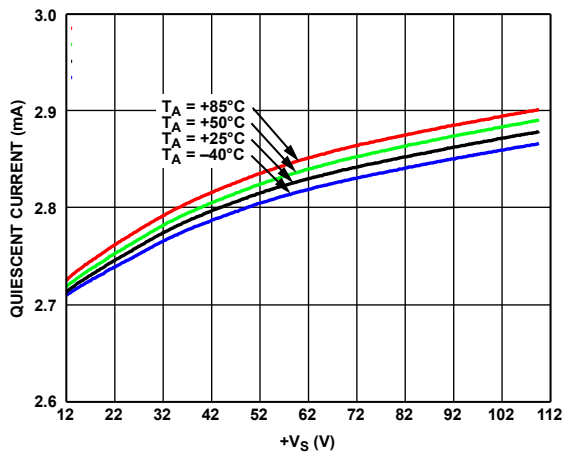


図 35. 様々な T_A での静止電流と正側電源電圧の関係
 $R_{ADJ} = 0\Omega$

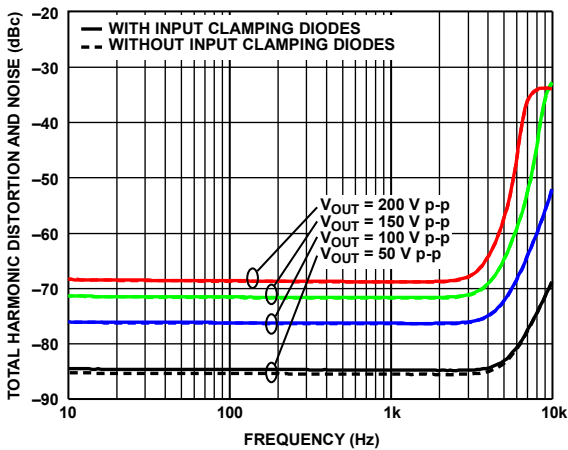


図 36. 様々な大出力振幅での全高調波歪み+ノイズの
周波数特性、 $T_A = 25^\circ\text{C}$ 、 $A_V = 20$ 、 $V_S = \pm 110\text{V}$ 、 $R_F = 100\text{k}\Omega$ 、 $R_{LOAD} = 10\text{k}\Omega$ 、 $R_{ADJ} = 0\Omega$

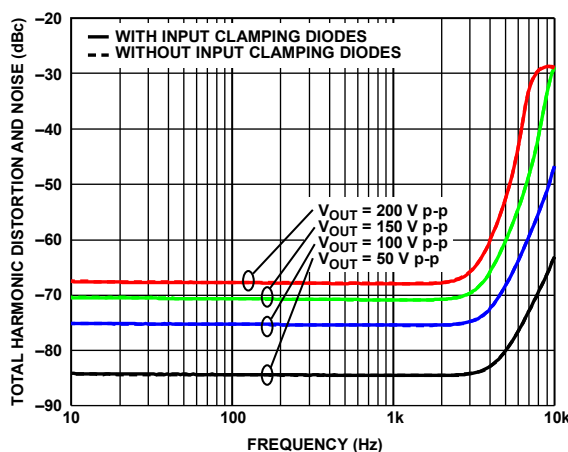


図 37. 様々な大出力振幅での全高調波歪み+ノイズの
周波数特性、 $T_A = 25^\circ\text{C}$ 、 $A_V = 40$ 、 $V_S = \pm 110\text{V}$ 、 $R_F = 100\text{k}\Omega$ 、 $R_{LOAD} = 10\text{k}\Omega$ 、 $R_{ADJ} = 0\Omega$

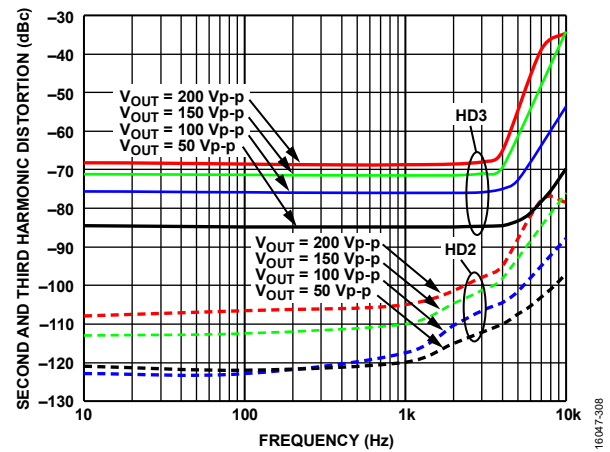


図 38. 様々な出力振幅での 2 次高調波歪み (HD2) および
3 次高調波歪み (HD3) の周波数特性、 $T_A = 25^\circ\text{C}$ 、 $A_V = 20$ 、 $V_S = \pm 110\text{V}$ 、 $R_F = 100\text{k}\Omega$ 、 $R_{LOAD} = 10\text{k}\Omega$ 、 $R_{ADJ} = 0\Omega$

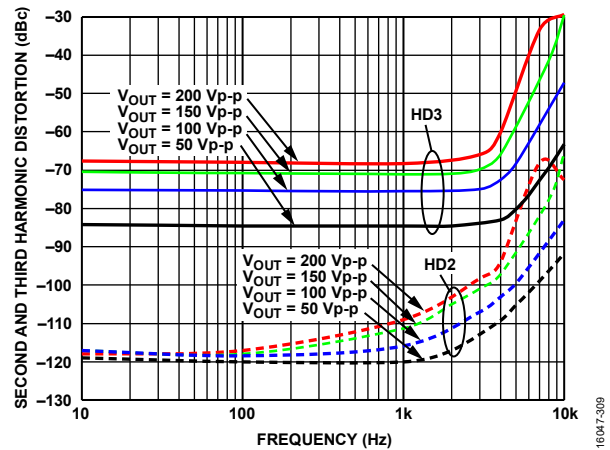


図 39. 様々な出力振幅での 2 次高調波歪み (HD2) および
3 次高調波歪み (HD3) の周波数特性、 $T_A = 25^\circ\text{C}$ 、 $A_V = 40$ 、 $V_S = \pm 110\text{V}$ 、 $R_F = 100\text{k}\Omega$ 、 $R_{LOAD} = 10\text{k}\Omega$ 、 $R_{ADJ} = 0\Omega$

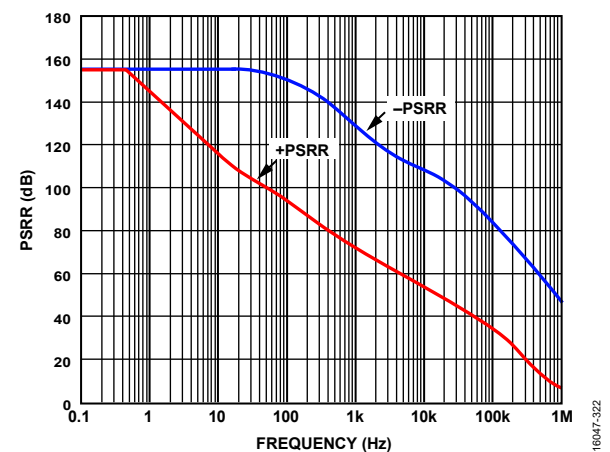


図 40. PSRR の周波数特性、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 110\text{V}$ 、 $R_{LOAD} = 10\text{k}\Omega$ 、 $R_{ADJ} = 0\Omega$

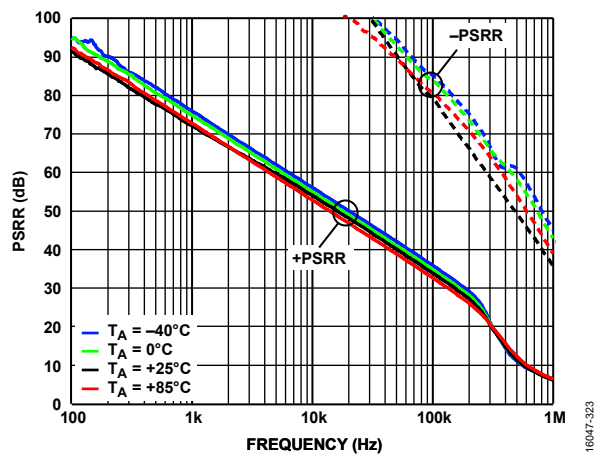


図 41. 様々な T_A での PSRR の周波数特性、 $V_S = \pm 110\text{V}$ 、 $R_{\text{LOAD}} = 10\text{k}\Omega$ 、 $R_{\text{ADJ}} = 0\Omega$

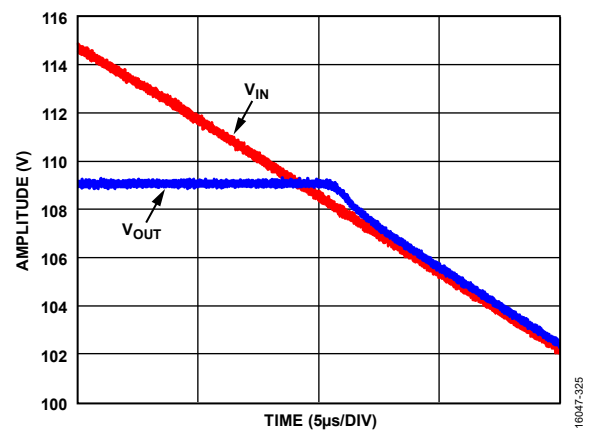


図 42. 出力オーバードライブ回復特性、 $V_S = \pm 110\text{V}$ 、 $A_v = 40$ 、 $R_{\text{LOAD}} = 10\text{k}\Omega$ 、 $R_{\text{ADJ}} = 0\Omega$

動作原理

ADHV4702-1 は、アナログ・デバイスによる独自の次世代プロセスであるバイポーラ／相補型金属酸化膜半導体（CMOS）／横方向拡散金属酸化膜半導体（BCDMOS）プロセスを使用して設計された高電圧（220V）高精度アンプです。図 3 に機能ブロック図を示します。入力段のアーキテクチャは、自動試験装置（ATE）などの高精度が求められるアプリケーション向けに、低入力バイアス電流、低入力オフセット電圧、低ドリフト、低ノイズで高い入力インピーダンスというメリットを提供します。

内部静電放電（ESD）保護回路

図 43 に示すように、ADHV4702-1 には過電圧による損傷を防ぐ目的で、ESD に対応するための構成が内蔵されています。ESD 保護回路には、入出力ピンから電源レールに接続されたカレント・ステアリング型ダイオードが含まれています。また、ADHV4702-1 には、反転入力と非反転入力の間に入力クランプ・ダイオードが内蔵されており、大きな差動入力電圧による入力段のトランジスタ損傷を防止します。この入力クランプ回路により、差動入力電圧の入力インピーダンスは、4 個のダイオードの順方向バイアス電圧（ V_F ）より大幅に低くなります。

ESD 保護回路は、通常動作時には非アクティブの状態になっています。ESD ダイオードに順方向バイアスがかからないようにするため、絶対最大定格を超える電圧をピンにオーバードライブしないでください。また、入力差動電圧が $4V_F$ を超えないようにしてください。スルー・ブースト回路を保護するには、外部入力クランプ・ダイオードを追加する必要があります。スルー・ブースト回路および保護のセクションを参照してください。

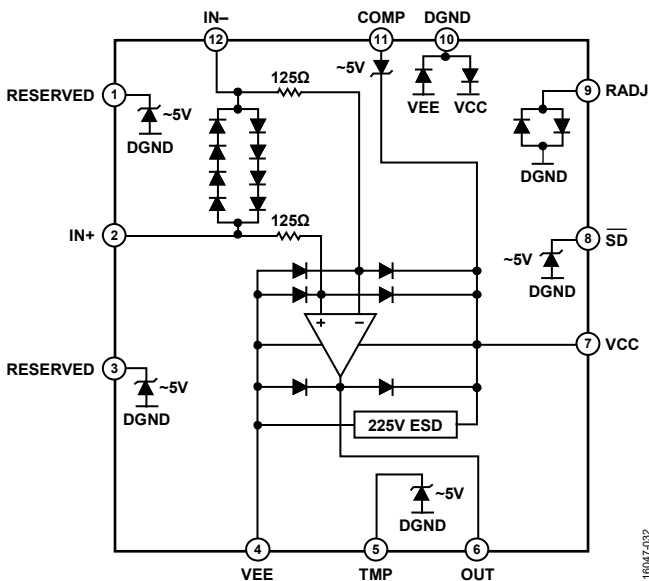


図 43. 簡略化した ESD 構成図

スルー・ブースト回路および保護

ADHV4702-1 には、ユニティ・ゲインで 200V_{p-p} の出力範囲にわたり 74V/μs のスルー・レート（代表値）を達成するため、スルー・ブースト回路が追加されています。このスルー・ブースト回路は、アンプの差動入力電圧を検出し、この電圧を動的な電流に変換してアンプの信号パス内のコンデンサを駆動するという方法で動作します。入力に大きな入力電圧がかかるほど、より大きな動的電流が発生するため、アンプのスルー・レートを速くできます。スルー・ブースト回路で生成された電流は、スルーイング時にアンプのすべての段に送られます。

ADHV4702-1 の内部には、差動信号のトランジェントを $4V_F$ に制限する差動入力電圧クランプが配置され、これによりスルー・ブーストの上限が設定されます。大きな差動入力電圧（信号周波数がフルパワー帯域幅に近づくとき発生します）によってスルー・ブースト回路はトリガされ、動的電源電流が増加します。スルー・レートとフルパワー帯域幅（ f_M ）の関係は次式で与えられます。

$$SR = V_O \times 2\pi f_M$$

ここで、 V_O はピーク出力電圧。

フルパワー帯域幅またはその付近で連続的に動作させると、電源電流の増加によって T_J が安全動作温度を超えるまで上昇し、デバイスに損傷を与える可能性があります。EVAL-ADHV4702-1CPZ 評価用ボードの動的な安全動作領域（SOA）を、安全動作領域のセクションの図 59 に示します。この動的な SOA は、パルス応答での出力振幅と最大入出力周波数の関係を表すものです。SOA 曲線を拡大するには、温度管理を追加するか外付けダイオードによって差動入力電圧を $2V_F$ に制限することによって、スルー・ブースト回路で生成される電流を制限し、内部の消費電力を低減させます。この方法で ADHV4702-1 の差動入力電圧をクランプすることによって動的に動作するアンプを保護できますが、スルー・レートと大信号帯域幅は制限されます。図 44 に外部入力クランプ・ダイオードを使用したときの簡略化された回路図を示します。図 45～図 48 に、ON Semiconductor の SBAV199LT1G ダイオードを 2 個使用して ADHV4702-1 の入力を $2V_F$ にクランプしたときの、様々な温度とゲインでの大信号パルス応答を示します。

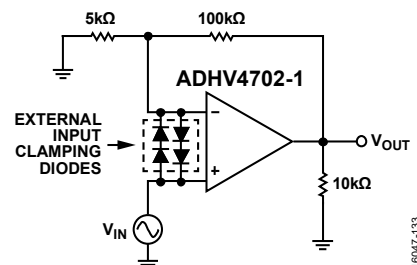


図 44. 外部入力クランプ・ダイオードの回路図

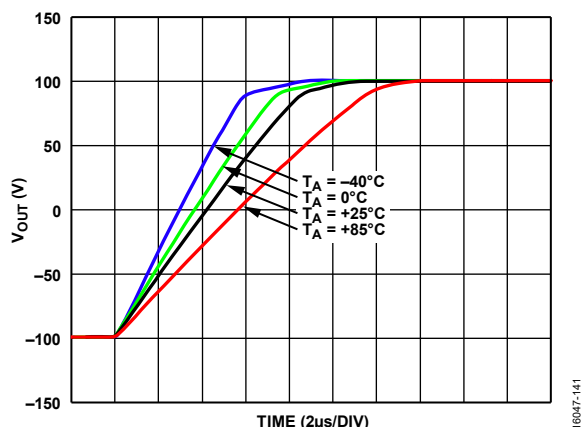


図 45. 様々な T_A での大信号パルス応答、2 個のダイオードの順方向電圧使用時、立上がりエッジ、 $A_V = 20$ 、 $V_S = \pm 110V$ 、 $V_{OUT} = 200Vp-p$ 、 $R_F = 100k\Omega$ 、 $R_{LOAD} = 10k\Omega$ 、 $R_{ADJ} = 0\Omega$

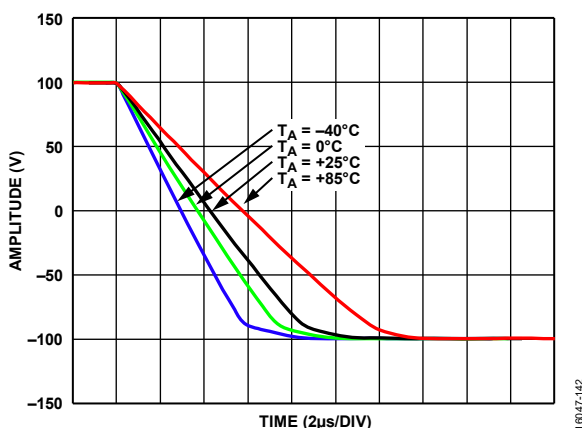


図 46. 様々な T_A での大信号パルス応答、2 個のダイオードの順方向電圧使用時、立下がりエッジ、 $A_V = 20$ 、 $V_S = \pm 110V$ 、 $V_{OUT} = 200Vp-p$ 、 $R_F = 100k\Omega$ 、 $R_{LOAD} = 10k\Omega$ 、 $R_{ADJ} = 0\Omega$

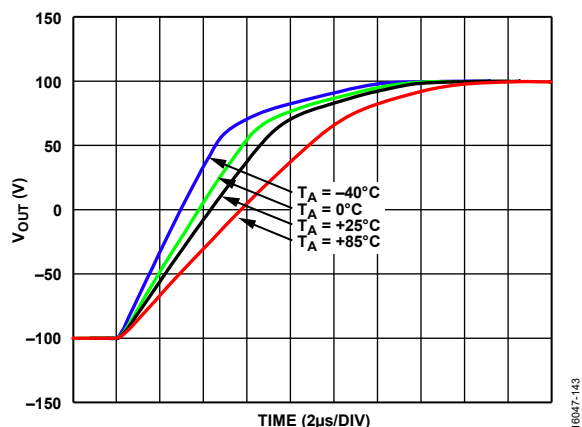


図 47. 様々な T_A での大信号パルス応答、2 個のダイオードの順方向電圧使用時、立上がりエッジ、 $A_V = 40$ 、 $V_S = \pm 110V$ 、 $V_{OUT} = 200Vp-p$ 、 $R_F = 100k\Omega$ 、 $R_{LOAD} = 10k\Omega$ 、 $R_{ADJ} = 0\Omega$

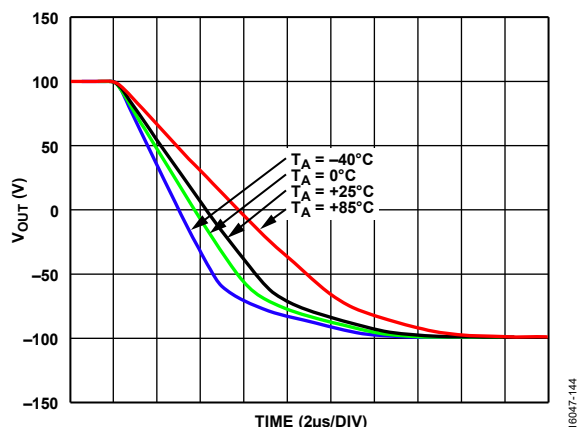


図 48. 様々な T_A での大信号パルス応答、2 個のダイオードの順方向電圧使用時、立下がりエッジ、 $A_V = 40$ 、 $V_S = \pm 110V$ 、 $V_{OUT} = 200Vp-p$ 、 $R_F = 100k\Omega$ 、 $R_{LOAD} = 10k\Omega$ 、 $R_{ADJ} = 0\Omega$

デジタル・グラウンド (DGND)

DGND は、アンプのすべての低電圧ピン (R_{ADJ} 、TMP、 $\overline{SD}$) の基準となります。また、マイクロプロセッサや他の低電圧デジタル回路との通信において信号グラウンドとして機能します。DGND は、0V のデジタル・グラウンドまたはアナログ・グラウンドに接続してください。DGND をフロート状態にしないでください。

抵抗により調整可能な静止電流 (R_{ADJ})

R_{ADJ} ピンと DGND の間に抵抗 (R_{ADJ}) を配置して ADHV4702-1 の静止電流を調整することで、消費電力を更に低減することができます。

アンプをフルにバイアスするには、 R_{ADJ} ピンを直接 DGND に短絡させて動的性能を最大化します。静止電力を最小限に抑えてアンプをバイアスするには、 R_{ADJ} と DGND の間に $100k\Omega$ の抵抗を配置します。この抵抗は、静止電源電流を約 $0.6mA$ まで低減させます。低静止電流でアンプを動作させると、DC 性能への影響はわずかですが、帯域幅やノイズといった動的性能が低下する可能性があります。図 49 と図 50 に、様々な R_{ADJ} 値での小信号周波数応答とノイズ性能を示します。

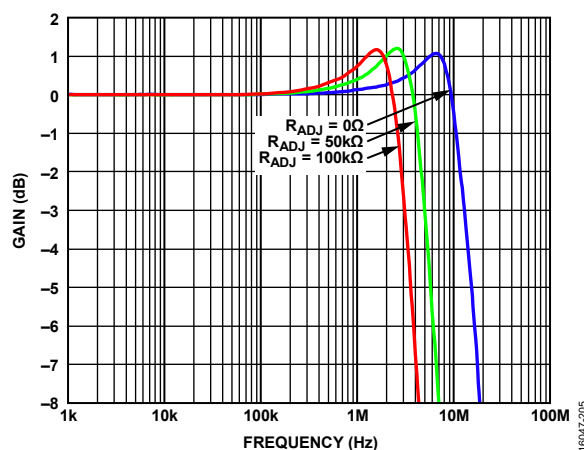


図 49. 様々な R_{ADJ} での小信号周波数応答、 $T_A = 25^\circ C$ 、 $A_V = 1$ 、 $V_S = \pm 110V$ 、 $V_{OUT} = 100mVp-p$ 、 $R_F = 0\Omega$ 、 $R_{LOAD} = 10k\Omega$

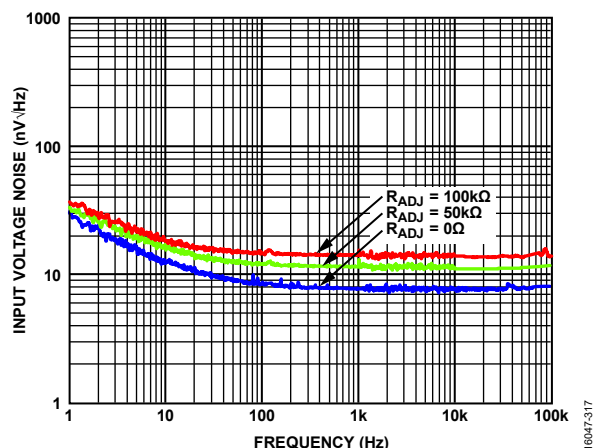


図 50. 様々な R_{ADJ} での入力電圧ノイズ、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 110\text{V}$

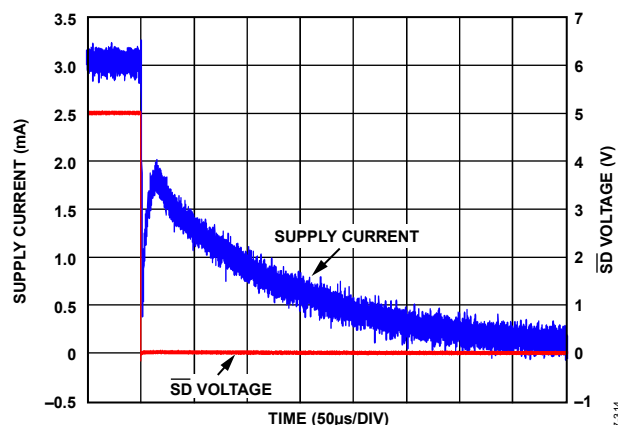


図 52. $\overline{\text{SD}}$ ピンの応答時間、ターン・オフ時

シャットダウン・ピン ($\overline{\text{SD}}$)

ADHV4702-1 には、消費電力を抑えるシャットダウン機能が搭載されています。 $\overline{\text{SD}}$ ピンの電圧が DGND の 0.8V 以内まで低下すると、アンプはディスエーブルされて低消費電力状態に入ります。これにより、静止電流を約 0.18mA まで低減できます。 $\overline{\text{SD}}$ ピンには約 400k Ω のプルアップ抵抗が内蔵されており、 $\overline{\text{SD}}$ がフロート状態のままの場合、アンプをイネーブルします。アンプをシャットダウン状態からオンにするときは、 $\overline{\text{SD}}$ ピンを DGND ピンより 1.6V 以上ハイにしてください。シャットダウンの開始時および終了時での $\overline{\text{SD}}$ ピンの応答時間を図 51 と図 52 に示します。 $\overline{\text{SD}}$ ピンは最小 2.5V までのデジタル・ロジック・レベルに対応できます。 $\overline{\text{SD}}$ ピンは、ADHV4702-1 の温度モニタ機能と共に使用することで、サーマル・シャットダウンと短絡保護の実行に使用できます。

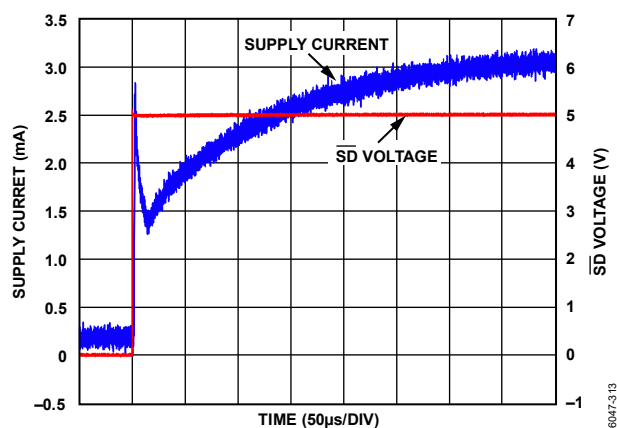


図 51. $\overline{\text{SD}}$ ピンの応答時間、ターン・オン時

温度モニタ (TMP)

ADHV4702-1 には、チップ温度が最大になる出力段の近傍に温度センサーが内蔵されています。温度センサーの出力電圧は TMP ピンに現れます。TMP 電圧はチップのおおよその温度を表すので、消費電力のモニタリングやサーマル・シャットダウンの起動に使用できます。TMP 電圧は、室温で 1.9V (公称値) で、およそ $-4.5\text{mV}/^\circ\text{C}$ の比率で変化します (図 53 参照)。より正確に温度を測定するには、室温で TMP ピンのワンタイム・キャリブレーションを行います。

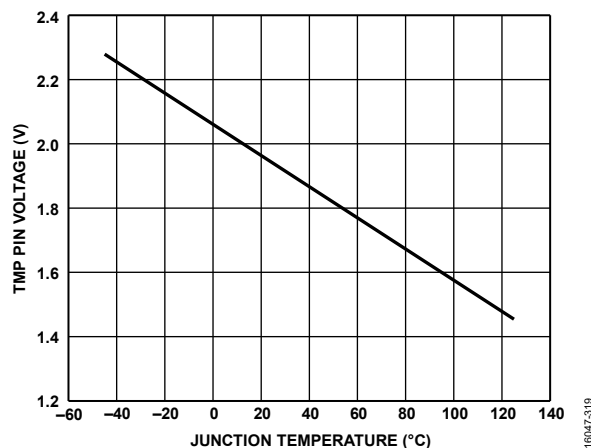


図 53. TMP ピン電圧とジャンクション温度の関係

過熱保護

絶対最大定格のセクションで仕様規定されている動作温度以上で動作させると、製品の信頼性に影響を与えることがあります。このリスクを最小にするため、ADHV4702-1 は抵抗により調整可能なサーマル・シャットダウンのオプションを備えています。この場合、TMP ピンの電圧が $\overline{\text{SD}}$ ピンをアサートします。過熱状態からアンプを保護するため、ヒート・シンクを適切に使用することに加えて、サーマル・シャットダウンの使用を推奨します。サーマル・シャットダウン機能を使用するには、図 54 に示すように、TMP を $\overline{\text{SD}}$ に接続し、TMP および $\overline{\text{SD}}$ と DGND の間の、ADHV4702-1 とできるだけ近くの位置に 200k Ω の抵抗 (R_{TMP}) を接続します。

TMP ピンの電圧はデバイスごとに異なるため、 $200\text{k}\Omega$ の R_{TMP} 実装時のシャットダウン閾値温度やシャットダウン応答時間がデバイスによって異なる可能性があります。シャットダウンの閾値は、 R_{TMP} の抵抗を小さくすることで低い温度に調整できます。

R_{TMP} と TMP の内部抵抗が分圧器を形成し、TMP ピンの測定値と TMP の電圧ドリフトに影響を与えます。表 1 と温度モニタ (TMP) のセクションに示す TMP データは、 R_{TMP} が挿入されていない場合にのみ有効です。

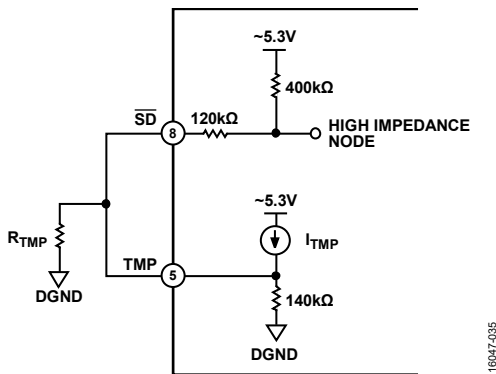


図 54. 短絡保護とサーマル・シャットダウン用の TMP および SD ピンの構成

出力電流駆動と短絡保護

ADHV4702-1 は、カスケード接続された二重拡散金属酸化膜半導体 (DMOS) 高電圧トランジスタで構成された出力段を使用しており、幅広い出力振幅を実現します。このデバイスは、通常、 20mA の負荷電流を連続的に駆動できます。また、温度管理を適切に行うことにより、最大 50mA の電流を供給できます。短絡保護はサーマル・シャットダウン機能によって行われます。短絡保護をイネーブルするには、SD と TMP ピンを接続し、この両方のピンと DGND を $200\text{k}\Omega$ の R_{TMP} で接続します。

外部補償と容量性負荷 (C_{LOAD}) の駆動

C_{LOAD} を駆動すると、アンプの出力抵抗と負荷容量によってアンプの伝達関数にポールが形成されます。この追加のポールにより、高い周波数での位相マージンが減少するため、これを補償しないと、過度のピーキングが発生し不安定になる可能性があります。アンプの出力と C_{LOAD} の間に直列抵抗 (R_s) を配置すると、ADHV4702-1 は $1\mu\text{F}$ を超える容量性負荷を駆動できます (図 55 参照)。図 55 の回路で最大 2dB のピーキングにおける直列抵抗値と負荷容量の関係を図 56 に示します。

直列抵抗に加えて、ADHV4702-1 は容量性負荷駆動用の外部補償機能をオプションで備えています。COMP と DGND の間にコンデンサ (C_{COMP}) を挿入することで容量性負荷による出力段のピーキングを低減することができます。 C_{COMP} の値は、フルスケールの差動電源電圧範囲で見積もる必要があります。図 58 に様々な容量性負荷への C_{COMP} の影響を示します。

図 56、57、58 に示す値は、 C_{LOAD} だけを使用したユニティ・ゲイン設定での値です。ゲインを上げ負荷容量と並列に抵抗性負荷を使用した方がアンプはより安定になるため、これは最も厳しい条件のシナリオです。 R_s または C_{COMP} は、 C_{LOAD} の駆動時には安定性を大きく向上させますが、抵抗性負荷の駆動時にはヘッドルームと帯域幅を減少させます。抵抗性負荷を駆動する場合は、COMP ピンをフロート状態のままにしてください。

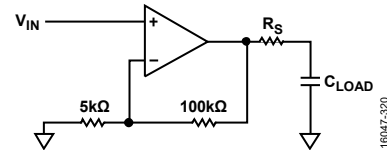


図 55. C_{LOAD} 駆動用回路

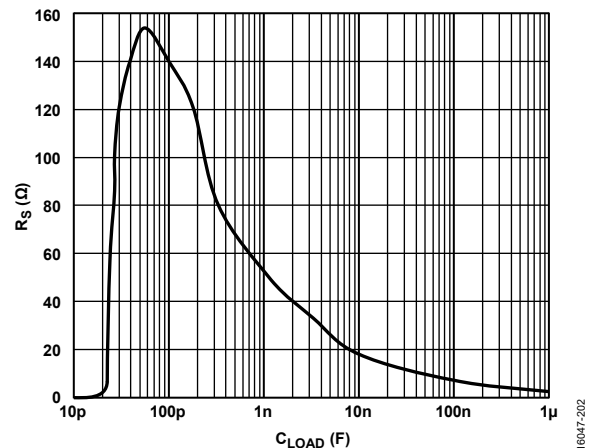


図 56. 図 55 の回路における最大 2dB のピーキングでの R_s と C_{LOAD} の関係、 $T_A = 25^\circ\text{C}$ 、 $A_V = 1$ 、 $V_S = \pm 110\text{V}$ 、 $V_{\text{OUT}} = 100\text{mVp-p}$ 、 $R_F = 0\Omega$ 、 $R_{\text{ADJ}} = 0\Omega$

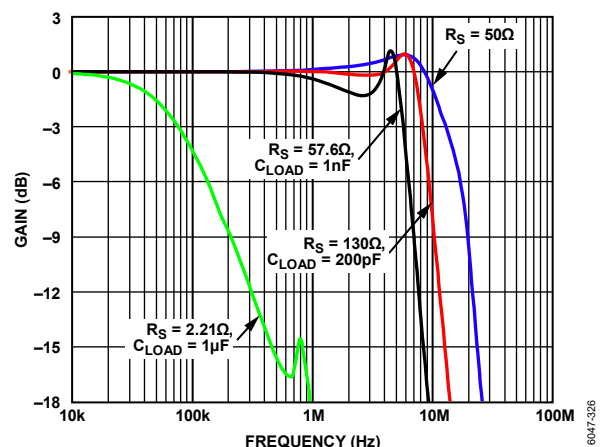


図 57. 様々な C_{LOAD} および R_s 値での小信号の応答、 $T_A = 25^\circ\text{C}$ 、 $A_V = 1$ 、 $V_S = \pm 110\text{V}$ 、 $V_{\text{OUT}} = 100\text{mVp-p}$ 、 $R_F = 0\Omega$ 、 $R_{\text{ADJ}} = 0\Omega$

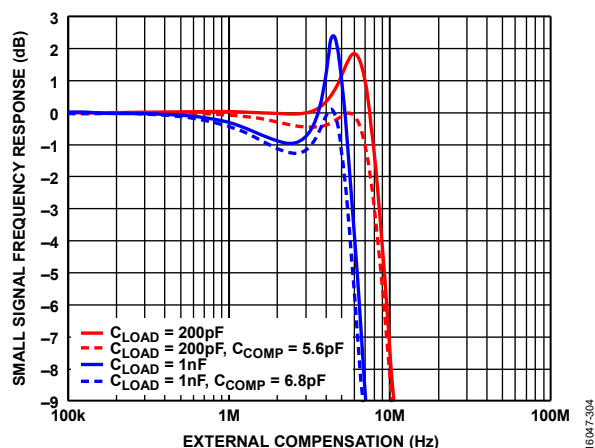


図 58. 小信号周波数応答と外部補償の関係、
 $T_A = 25^\circ\text{C}$, $A_V = 1$, $V_S = \pm 110\text{V}$, $V_{OUT} = 100\text{mVp-p}$,
 $R_F = 0\Omega$, $R_{ADJ} = 0\Omega$

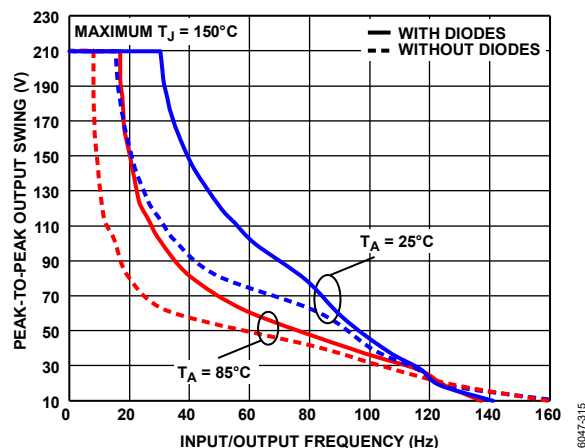


図 59. 入力クランプ・ダイオードを使用する場合と
 使用しない場合、および $T_A = 25^\circ\text{C}$ と $T_A = 85^\circ\text{C}$ での動的 SOA、
 $A_V = 20$, $V_S = \pm 110\text{V}$, $R_F = 100\text{k}\Omega$, $R_{LOAD} = 10\text{k}\Omega$, $R_{ADJ} = 0\Omega$

安全動作領域

SOA は、様々な条件下でのデバイスの電力処理能力を表します。

ADHV4702-1 は、主にスルー・ブースト回路と出力段で電力を消費します。スルー・ブースト回路には、追加の電源電流が必要となります。大きな振幅または高い周波数において最大スルー・レートでアンプを動作させると、スルー・ブースト回路の消費電流が増加し、 T_J が上昇します。図 59 に、 T_J を 150°C 以下に維持する動的 SOA を示します。この曲線は、ある振幅での安全な最大方形波周波数を表しています。ADHV4702-1 をこの境界の外側で動作させると、恒久的な損傷が生じる可能性があります。追加で温度管理や入力クランプ・ダイオードを使用すると動的 SOA は大幅に拡大します。ただし、入力クランプ・ダイオードを使用すると、スルー・レートと大信号帯域幅が損なわれることがあります。

DC SOA は、出力電流と出力段全体の電圧の関係を表す曲線で、この出力段の電圧は、アンプが安全な T_J で動作しているときの電源電圧と出力電圧の差分 ($V_S - V_{OUT}$) です。図 60 に示す曲線の下側の領域は、ADHV4702-1 が $T_J \leq 150^\circ\text{C}$ を維持する動作領域です。

この SOA 曲線は、PCB、ヒート・シンク、 T_A などの設計条件によって異なります。すべての試験は自然空冷の環境で実施されています。いずれの試験においても、強制空冷を行うと θ_{JA} を低下させることができるので、SOA が拡大します。

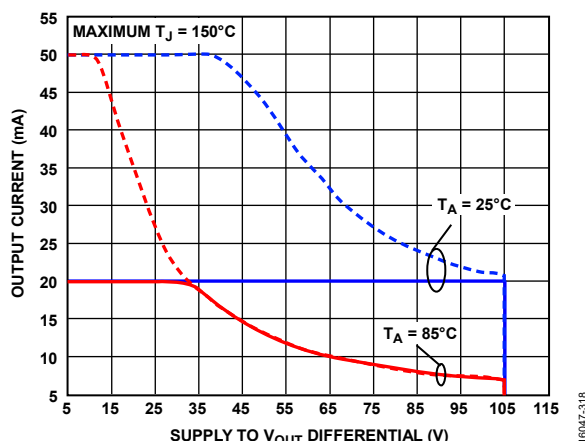


図 60. $T_A = 25^\circ\text{C}$ と $T_A = 85^\circ\text{C}$ での DC SOA, $A_V = 20$,
 $V_S = \pm 110\text{V}$, $R_F = 100\text{k}\Omega$, $R_{ADJ} = 0\Omega$

LFCSP パッケージと高電圧ピンの間隔

ADHV4702-1 は、EPAD 付きの 12 ピン、 $7\text{mm} \times 7\text{mm}$ の LFCSP を採用しており、高い信頼性を提供します。また、絶縁耐圧（クリアランス）とパッケージ表面の炭化（沿面距離）に関して、各地域およびグローバルでの高電圧の規格に準拠しています。パッケージ寸法を図 64 に示します。ADHV4702-1 は、IEC 61010-1 規格の沿面距離に規定された最小間隔の 1.25mm を満足しており、 250Vrms でカーボン・トラッキング現象による損傷を防ぐことができます。この絶縁性能を維持するには、パッケージのピンおよび露出パッドの周りのフラックスとハンダ残留物をすべて取り除くことが重要です。詳細については、IEC 61010-1 規格を参照してください。

露出パッド (EPAD)

LFCSP の銅製 EPAD は PCB との熱伝導パスを形成します。またヒート・シンクに接続して放熱性を向上させることができます。EPAD は内部で電氣的に接続されていません。高電圧絶縁となっているため、EPAD は VCC または VEE 電圧に関係なく、安全に 0V のグランド・プレーンにバイアスすることができます。

アプリケーション情報

電源とデカップリング

ADHV4702-1 は単電源または両電源で動作させることができます。電源電圧の全体 ($V_{CC} - V_{EE}$) は 24V~220V にする必要があります。各電源ピンは、高品質で等価直列抵抗 (ESR) が小さい 0.1 μ F のコンデンサを使用して、グラウンドへデカップリングしてください。デカップリング・コンデンサはできる限り電源ピンの近くに配置します。更に、各電源とグラウンドの間に 1.2 μ F のタンタル・コンデンサを配置することによって十分に低い周波数でデカップリングし、スルー・レートの速い大信号を出力できるだけの電流を供給することができます。高電圧で信頼性の高い動作を実現するには、バイパス・コンデンサの定格電圧を ADVH4702-1 の電源電圧より高くする必要があります。

高電圧ガード・リング

ADHV4702-1 は、アンプの非反転入力にガード・リングを容易に使用できるピン配置になっています。ガーディングによって近くのピンからのリークを最小限に抑え、低入力バイアス電流のメリットを実現しやすくなります。ガードは、ハンダ・マスクで覆わず、PCB 表面に露出させたままにしなければなりません。ガード・リングは、アンプの入力に追従する電位で駆動します。

高電圧 DAC による電圧減算器

ADHV4702-1 を [AD5752R](#) などのデュアル 16 ビット電圧出力 DAC と組み合わせることで、多機能の高電圧 DAC ソリューションを実現できます。この構成で、ADHV4702-1 をゲインが 20 の電圧減算器としてセットアップすると、化学分析（質量分析）、ピエゾの駆動、走査電子顕微鏡 (SEM)、LiDAR APD/SPAD、シリコン光電子増倍管などのバイアス制御に最適です。

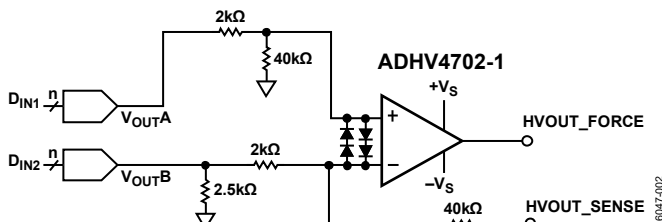


図 61. DAC を使用して電圧減算器として構成された ADVH4702-1

高電流出力ドライバ

図 62 に、ADHV47021 の出力電流を増幅するシステム・レベルのアプリケーションを示します。ディスクリート部品を使用したユニティ・ゲインの出力段を導入することで、ADHV47021 を高電力出力ドライバとして使用することができます。オフセット、ドリフト、オープンループ・ゲイン、CMRR といったアンプ単独での高精度性能を維持しながら、出力電流駆動をディスクリート製品で対応可能な電流まで増幅させることができます。

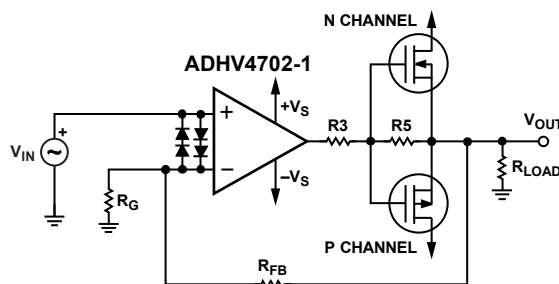


図 62. 高電流出力ドライバの回路図

信号範囲の拡大

信号範囲を拡大する構成の例を図 63 に示します。高電力、金属酸化膜半導体電界効果トランジスタ (MOSFET) のディスクリート部品を 2 個追加することで、アンプの性能特性を維持したまま、信号範囲を 2 倍以上 (MOSFET の選択による) 拡大することができます。

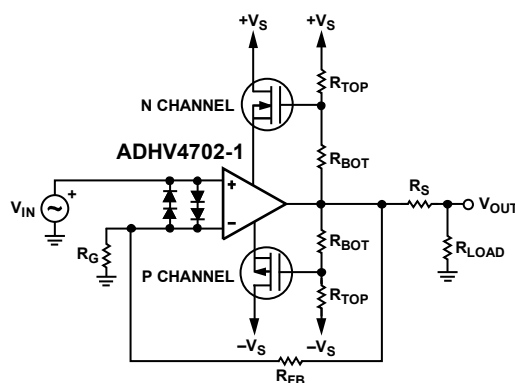


図 63. 電圧拡大用の回路図

外形寸法

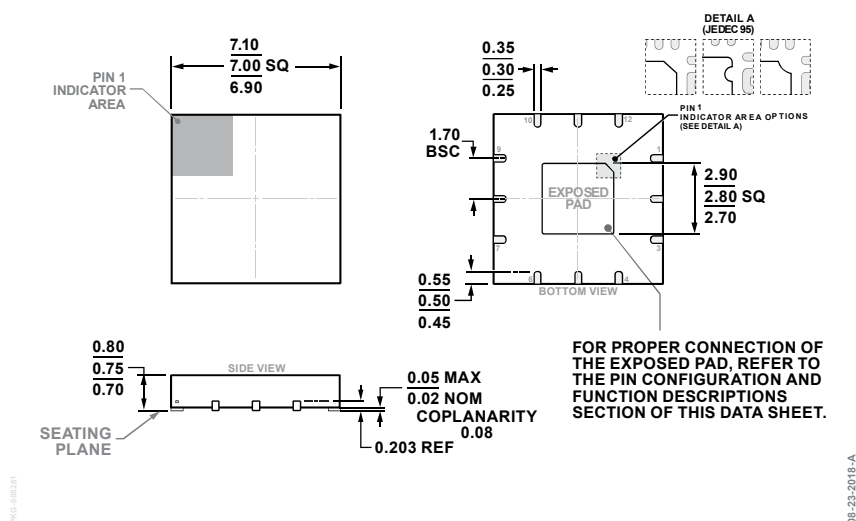


図 64. 12 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]
 7 mm × 7 mm ボディ、0.75mm パッケージ高
 (CP-12-8)
 寸法：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADHV4702-1BCPZ	-40°C to +85°C	12-Lead Frame Chip Scale Package [LFCSP]	CP-12-8
ADHV4702-1BCPZ-R7	-40°C to +85°C	12-Lead Frame Chip Scale Package [LFCSP]	CP-12-8
EVAL-ADHV4702-1CPZ		Evaluation Board	

¹ Z = RoHS 準拠製品