

特長

ラッチアップ保護機能を内蔵

人体モデル (HBM)ESD 定格

ADG5408 = 4 kV

ADG5409 = 8 kV

小さいオン抵抗 : 13.5 Ω

両電源動作: ±9 V ~ ±22 V

単電源動作: 9 V ~ 40 V

最大電源電圧定格: 48 V

仕様を±15 V、±20 V、+12 V、+36 V 電源で規定

アナログ信号範囲: $V_{SS} \sim V_{DD}$

アプリケーション

リレーの置き換え

自動テスト装置

データ・アキュイジション

計装機器

航空電子機器

オーディオとビデオのスイッチング

通信システム

概要

ADG5408/ADG5409 は、それぞれ 8 チャンネルと差動 4 チャンネルで構成されたモノリシック CMOS アナログ・マルチプレクサです。ADG5408 は、3 ビットのバイナリ・アドレス・ライン A0、A1、A2 による指定に基づき、8 入力の中の 1 つを共通出力に接続します。ADG5409 は、2 ビットのバイナリ・アドレス・ライン A0 と A1 による指定に基づき、4 差動入力の中の 1 つを共通差動出力に接続します。

両デバイスの EN 入力は、デバイスをイネーブルまたはディスエーブルするときに使います。EN でディスエーブルすると、すべてのチャンネルはスイッチ・オフされます。オン抵抗はフル・アナログ入力範囲で平坦であるため、オーディオ信号のスイッチングで優れた直線性と低歪みを提供します。高速なスイッチング速度により、ビデオ信号のスイッチングにも適しています。

各スイッチはオンのとき等しく両方向に導通し、入力信号範囲は電源電圧まで可能です。オフ状態では、電源電圧までの信号レベルを阻止します。

機能ブロック図

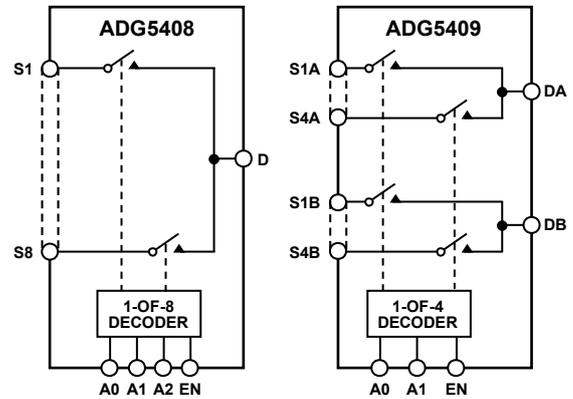


図 1.

ADG5408/ADG5409 には V_L ピンがなく、ロジック電源は内蔵の電圧ジェネレータで発生されます。

製品のハイライト

1. トレンチ・アイソレーションによりラッチアップから保護します。絶縁トレンチにより p チャンネルと n チャンネルのトランジスタを分離することにより、厳しい過電圧状態でもラッチアップを防止します。
2. R_{ON} が小さい。
3. 両電源動作。アナログ信号がバイポーラであるアプリケーションに対して、ADG5408/ADG5409 は ±22 V までの両電源で動作することができます。
4. 単電源動作。アナログ信号がユニポーラであるアプリケーションに対して、ADG5408/ADG5409 は 40 V までの単電源で動作することができます。
5. 3 V ロジック互換デジタル入力: $V_{INH} = 2.0 V$ 、 $V_{INL} = 0.8 V$ 。
6. V_L ロジック電源が不要。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©2010 Analog Devices, Inc. All rights reserved.

Rev. 0

目次

特長	1	絶対最大定格	9
アプリケーション	1	ESDの注意	9
機能ブロック図	1	ピン配置およびピン機能説明	10
概要	1	代表的な性能特性	12
製品のハイライト	1	テスト回路	16
仕様	3	用語	18
±15 V両電源	3	トレンチ・アイソレーション	19
±20 V両電源	4	アプリケーション情報	20
12 V単電源	5	外形寸法	21
36 V単電源	6	オーダー・ガイド	21
チャンネルあたりの連続電流、 S_X またはD	8		

改訂履歴

9/10—Revision 0: Initial Version

仕様

±15 V両電源

特に指定がない限り、 $V_{DD} = +15\text{ V} \pm 10\%$ 、 $V_{SS} = -15\text{ V} \pm 10\%$ 、 $GND = 0\text{ V}$ 。

表 1.

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range			V_{DD} to V_{SS}	V	
On Resistance, R_{ON}	13.5			Ω typ	$V_S = \pm 10\text{ V}$, $I_S = -10\text{ mA}$; see Figure 26
	15	18	22	Ω max	$V_{DD} = +13.5\text{ V}$, $V_{SS} = -13.5\text{ V}$
On-Resistance Match Between Channels, ΔR_{ON}	0.3			Ω typ	$V_S = \pm 10\text{ V}$, $I_S = -10\text{ mA}$
	0.8	1.3	1.4	Ω max	
On-Resistance Flatness, $R_{FLAT(ON)}$	1.8			Ω typ	$V_S = \pm 10\text{ V}$, $I_S = -10\text{ mA}$
	2.2	2.6	3	Ω max	
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	± 0.05			nA typ	$V_{DD} = +16.5\text{ V}$, $V_{SS} = -16.5\text{ V}$
	± 0.25	± 1	± 7	nA max	$V_S = \pm 10\text{ V}$, $V_D = \mp 10\text{ V}$; see Figure 29
Drain Off Leakage, I_D (Off)	± 0.1			nA typ	$V_S = \pm 10\text{ V}$, $V_D = \mp 10\text{ V}$; see Figure 29
	± 0.4	± 4	± 30	nA max	
Channel On Leakage, I_D (On), I_S (On)	± 0.1			nA typ	$V_S = V_D = \pm 10\text{ V}$; see Figure 25
	± 0.4	± 4	± 30	nA max	
DIGITAL INPUTS					
Input High Voltage, V_{INH}			2.0	V min	
Input Low Voltage, V_{INL}			0.8	V max	
Input Current, I_{INL} or I_{INH}	0.002			μA typ	$V_{IN} = V_{GND}$ or V_{DD}
			± 0.1	μA max	
Digital Input Capacitance, C_{IN}	3			pF typ	
DYNAMIC CHARACTERISTICS¹					
Transition Time, $t_{TRANSITION}$	170			ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
	217	258	292	ns max	$V_S = 10\text{ V}$; see Figure 32
t_{ON} (EN)	140			ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
	175	213	242	ns max	$V_S = 10\text{ V}$; see Figure 34
t_{OFF} (EN)	130			ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
	161	183	198	ns max	$V_S = 10\text{ V}$; see Figure 34
Break-Before-Make Time Delay, t_D	50			ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
			16	ns min	$V_{S1} = V_{S2} = 10\text{ V}$; see Figure 33
Charge Injection, Q_{INJ}	115			pC typ	$V_S = 0\text{ V}$, $R_S = 0\ \Omega$, $C_L = 1\text{ nF}$; see Figure 35
Off Isolation	-60			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 28
Channel-to-Channel Crosstalk	-60			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 27
Total Harmonic Distortion + Noise	0.01			% typ	$R_L = 1\text{ k}\Omega$, 15 V p-p , $f = 20\text{ Hz to }20\text{ kHz}$; see Figure 30
-3 dB Bandwidth					$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$; see Figure 31
ADG5408	50			MHz typ	
ADG5409	87			MHz typ	
Insertion Loss	0.9			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; Figure 31
C_S (Off)	15			pF typ	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
C_D (Off)					
ADG5408	102			pF typ	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
ADG5409	50			pF typ	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
C _D (On), C _S (On)					
ADG5408	133			pF typ	V _S = 0 V, f = 1 MHz
ADG5409	81			pF typ	V _S = 0 V, f = 1 MHz
POWER REQUIREMENTS					
I _{DD}	45			μA typ	V _{DD} = +16.5 V, V _{SS} = -16.5 V
	55		70	μA max	Digital inputs = 0 V or V _{DD}
I _{SS}	0.001			μA typ	Digital inputs = 0 V or V _{DD}
			1	μA max	
V _{DD} /V _{SS}			±9/±22	V min/V max	GND = 0 V

±20 V両電源

特に指定がない限り、V_{DD} = +20 V ± 10%、V_{SS} = -20 V ± 10%、GND = 0 V。

表 2.

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range			V _{DD} to V _{SS}	V	
On Resistance, R _{ON}	12.5			Ω typ	V _S = ±15 V, I _S = -10 mA; see Figure 26
	14	17	21	Ω max	V _{DD} = +18 V, V _{SS} = -18 V
On-Resistance Match Between Channels, ΔR _{ON}	0.3			Ω typ	V _S = ±15 V, I _S = -10 mA
	0.8	1.3	1.4	Ω max	
On-Resistance Flatness, R _{FLAT (ON)}	2.3			Ω typ	V _S = ±15 V, I _S = -10 mA
	2.7	3.1	3.5	Ω max	
LEAKAGE CURRENTS					
Source Off Leakage, I _S (Off)	±0.05			nA typ	V _{DD} = +22 V, V _{SS} = -22 V
	±0.25	±1	±7	nA max	V _S = ±15 V, V _D = ∓15 V; see Figure 29
Drain Off Leakage, I _D (Off)	±0.1			nA typ	V _S = ±15 V, V _D = ∓15 V; see Figure 29
	±0.4	±4	±30	nA max	
Channel On Leakage, I _D (On), I _S (On)	±0.1			nA typ	V _S = V _D = ±15 V; see Figure 25
	±0.4	±4	±30	nA max	
DIGITAL INPUTS					
Input High Voltage, V _{INH}			2.0	V min	
Input Low Voltage, V _{INL}			0.8	V max	
Input Current, I _{INL} or I _{INH}	0.002			μA typ	V _{IN} = V _{GND} or V _{DD}
			±0.1	μA max	
Digital Input Capacitance, C _{IN}	3			pF typ	
DYNAMIC CHARACTERISTICS²					
Transition Time, t _{TRANSITION}	160			ns typ	R _L = 300 Ω, C _L = 35 pF
	207	237	262	ns max	V _S = 10 V; see Figure 32
t _{ON} (EN)	140			ns typ	R _L = 300 Ω, C _L = 35 pF
	165	194	218	ns max	V _S = 10 V; see Figure 34
t _{OFF} (EN)	133			ns typ	R _L = 300 Ω, C _L = 35 pF
	153	174	189	ns max	V _S = 10 V; see Figure 34
Break-Before-Make Time Delay, t _D	38			ns typ	R _L = 300 Ω, C _L = 35 pF
			11	ns min	V _{S1} = V _{S2} = 10 V; see Figure 33
Charge Injection, Q _{INJ}	155			pC typ	V _S = 0 V, R _S = 0 Ω, C _L = 1 nF; see Figure 35
Off Isolation	-60			dB typ	R _L = 50 Ω, C _L = 5 pF, f = 1 MHz; see Figure 28
Channel-to-Channel Crosstalk	-60			dB typ	R _L = 50 Ω, C _L = 5 pF, f = 1 MHz; see Figure 27
Total Harmonic Distortion + Noise	0.012			% typ	R _L = 1 kΩ, 20 V p-p, f = 20 Hz to 20 kHz; see Figure 30
-3 dB Bandwidth					R _L = 50 Ω, C _L = 5 pF; see Figure 31
ADG5408	50			MHz typ	
ADG5409	88			MHz typ	

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
Insertion Loss	0.8			dB typ	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 1 \text{ MHz}$; see Figure 31
C_S (Off)	17			pF typ	$V_S = 0 \text{ V}$, $f = 1 \text{ MHz}$
C_D (Off)					
ADG5408	98			pF typ	$V_S = 0 \text{ V}$, $f = 1 \text{ MHz}$
ADG5409	48			pF typ	$V_S = 0 \text{ V}$, $f = 1 \text{ MHz}$
C_D (On), C_S (On)					
ADG5408	128			pF typ	$V_S = 0 \text{ V}$, $f = 1 \text{ MHz}$
ADG5409	80			pF typ	$V_S = 0 \text{ V}$, $f = 1 \text{ MHz}$
POWER REQUIREMENTS					$V_{DD} = +22 \text{ V}$, $V_{SS} = -22 \text{ V}$
I_{DD}	50			μA typ	Digital inputs = 0 V or V_{DD}
	70		110	μA max	
I_{SS}	0.001			μA typ	Digital inputs = 0 V or V_{DD}
V_{DD}/V_{SS}			$\pm 9/\pm 22$	V min/V max	GND = 0 V

¹ 設計上保証しますが、出荷テストは行いません。

² 設計上保証しますが、出荷テストは行いません。

12 V単電源

特に指定がない限り、 $V_{DD} = 12 \text{ V} \pm 10\%$ 、 $V_{SS} = 0 \text{ V}$ 、 $\text{GND} = 0 \text{ V}$ 。

表 3.

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range			0 V to V_{DD}	V	
On Resistance, R_{ON}	26			Ω typ	$V_S = 0 \text{ V}$ to 10 V, $I_S = -10 \text{ mA}$; see Figure 26
	30	36	42	Ω max	$V_{DD} = 10.8 \text{ V}$, $V_{SS} = 0 \text{ V}$
On-Resistance Match Between Channels, ΔR_{ON}	0.3			Ω typ	$V_S = 0 \text{ V}$ to 10 V, $I_S = -10 \text{ mA}$
On-Resistance Flatness, $R_{FLAT(ON)}$	1	1.5	1.6	Ω max	
	5.5			Ω typ	$V_S = 0 \text{ V}$ to 10 V, $I_S = -10 \text{ mA}$
	6.5	8	12	Ω max	
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	± 0.05			nA typ	$V_{DD} = 13.2 \text{ V}$, $V_{SS} = 0 \text{ V}$
	± 0.25	± 1	± 7	nA max	$V_S = 1 \text{ V}/10 \text{ V}$, $V_D = 10 \text{ V}/1 \text{ V}$; see Figure 29
Drain Off Leakage, I_D (Off)	± 0.1			nA typ	$V_S = 1 \text{ V}/10 \text{ V}$, $V_D = 10 \text{ V}/1 \text{ V}$; see Figure 29
	± 0.4	± 4	± 30	nA max	
Channel On Leakage, I_D (On), I_S (On)	± 0.1			nA typ	$V_S = V_D = 1 \text{ V}/10 \text{ V}$; see Figure 25
	± 0.4	± 4	± 30	nA max	
DIGITAL INPUTS					
Input High Voltage, V_{INH}			2.0	V min	
Input Low Voltage, V_{INL}			0.8	V max	
Input Current, I_{INL} or I_{INH}	0.002			μA typ	$V_{IN} = V_{GND}$ or V_{DD}
			± 0.1	μA max	
Digital Input Capacitance, C_{IN}	3			pF typ	
DYNAMIC CHARACTERISTICS¹					
Transition Time, $t_{TRANSITION}$	230			ns typ	$R_L = 300 \Omega$, $C_L = 35 \text{ pF}$
	321	388	430	ns max	$V_S = 8 \text{ V}$; see Figure 32
t_{ON} (EN)	215			ns typ	$R_L = 300 \Omega$, $C_L = 35 \text{ pF}$
	276	345	397	ns max	$V_S = 8 \text{ V}$; see Figure 34
t_{OFF} (EN)	134			ns typ	$R_L = 300 \Omega$, $C_L = 35 \text{ pF}$
	161	187	209	ns max	$V_S = 8 \text{ V}$; see Figure 34
Break-Before-Make Time Delay, t_D	118			ns typ	$R_L = 300 \Omega$, $C_L = 35 \text{ pF}$
			55	ns min	$V_{S1} = V_{S2} = 8 \text{ V}$; see Figure 33

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
Charge Injection, Q_{INJ}	45			pC typ	$V_S = 6\text{ V}$, $R_S = 0\ \Omega$, $C_L = 1\text{ nF}$; see Figure 35
Off Isolation	-60			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 28
Channel-to-Channel Crosstalk	-60			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 27
Total Harmonic Distortion + Noise	0.1			% typ	$R_L = 1\text{ k}\Omega$, 6 V p-p , $f = 20\text{ Hz to }20\text{ kHz}$; see Figure 30
-3 dB Bandwidth					$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$; see Figure 31
ADG5408	35			MHz typ	
ADG5409	74			MHz typ	
Insertion Loss	-1.8			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 31
C_S (Off)	22			pF typ	$V_S = 6\text{ V}$, $f = 1\text{ MHz}$
C_D (Off)					
ADG5408	119			pF typ	$V_S = 6\text{ V}$, $f = 1\text{ MHz}$
ADG5409	59			pF typ	$V_S = 6\text{ V}$, $f = 1\text{ MHz}$
C_D (On), C_S (On)					
ADG5408	146			pF typ	$V_S = 6\text{ V}$, $f = 1\text{ MHz}$
ADG5409	86			pF typ	$V_S = 6\text{ V}$, $f = 1\text{ MHz}$
POWER REQUIREMENTS					$V_{DD} = 13.2\text{ V}$
I_{DD}	40			$\mu\text{A typ}$	Digital inputs = 0 V or V_{DD}
	50		65	$\mu\text{A max}$	
V_{DD}			9/40	V min/V max	GND = 0 V, $V_{SS} = 0\text{ V}$

¹ 設計上保証しますが、出荷テストは行いません。

36 V単電源

特に指定がない限り、 $V_{DD} = 36\text{ V} \pm 10\%$ 、 $V_{SS} = 0\text{ V}$ 、 $GND = 0\text{ V}$ 。

表 4.

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range			0 V to V_{DD}	V	
On Resistance, R_{ON}	14.5			Ω typ	$V_S = 0\text{ V to }30\text{ V}$, $I_S = -10\text{ mA}$; see Figure 26
	16	19	23	Ω max	$V_{DD} = 32.4\text{ V}$, $V_{SS} = 0\text{ V}$
On-Resistance Match Between Channels, ΔR_{ON}	0.3			Ω typ	$V_S = 0\text{ V to }30\text{ V}$, $I_S = -10\text{ mA}$
	0.8	1.3	1.4	Ω max	
On-Resistance Flatness, $R_{FLAT(ON)}$	3.5			Ω typ	$V_S = 0\text{ V to }30\text{ V}$, $I_S = -10\text{ mA}$
	4.3	5.5	6.5	Ω max	
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	± 0.05			nA typ	$V_{DD} = 39.6\text{ V}$, $V_{SS} = 0\text{ V}$ $V_S = 1\text{ V}/30\text{ V}$, $V_D = 30\text{ V}/1\text{ V}$; see Figure 29
	± 0.25	± 1	± 7	nA max	
Drain Off Leakage, I_D (Off)	± 0.1			nA typ	$V_S = 1\text{ V}/30\text{ V}$, $V_D = 30\text{ V}/1\text{ V}$; see Figure 29
	± 0.4	± 4	± 30	nA max	
Channel On Leakage, I_D (On), I_S (On)	± 0.1			nA typ	$V_S = V_D = 1\text{ V}/30\text{ V}$; see Figure 25
	± 0.4	± 4	± 30	nA max	
DIGITAL INPUTS					
Input High Voltage, V_{INH}			2.0	V min	
Input Low Voltage, V_{INL}			0.8	V max	
Input Current, I_{INL} or I_{INH}	0.002			$\mu\text{A typ}$	$V_{IN} = V_{GND}$ or V_{DD}
			± 0.1	$\mu\text{A max}$	
Digital Input Capacitance, C_{IN}	3			pF typ	
DYNAMIC CHARACTERISTICS ¹					
Transition Time, $t_{TRANSITION}$	187			ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
t_{ON} (EN)	242	257	281	ns max	$V_S = 18\text{ V}$; see Figure 32
	160			ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
t_{OFF} (EN)	195	219	237	ns max	$V_S = 18\text{ V}$; see Figure 34
	147			ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
Break-Before-Make Time Delay, t_D	184	184	190	ns max	$V_S = 18\text{ V}$; see Figure 34
	53			ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
Charge Injection, Q_{INJ}			17	ns min	$V_{S1} = V_{S2} = 18\text{ V}$; see Figure 33
	150			pC typ	$V_S = 18\text{ V}$, $R_S = 0\ \Omega$, $C_L = 1\text{ nF}$; see Figure 35
Off Isolation	-60			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 28
Channel-to-Channel Crosstalk	-60			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 27
Total Harmonic Distortion + Noise	0.4			% typ	$R_L = 1\text{ k}\Omega$, 18 V p-p , $f = 20\text{ Hz to }20\text{ kHz}$; see Figure 30
-3 dB Bandwidth					$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$; see Figure 31
	ADG5408	45		MHz typ	
ADG5409	76			MHz typ	
Insertion Loss	-1			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 31
C_S (Off)	18			pF typ	$V_S = 18\text{ V}$, $f = 1\text{ MHz}$
C_D (Off)					
	ADG5408	120		pF typ	$V_S = 18\text{ V}$, $f = 1\text{ MHz}$
ADG5409	60			pF typ	$V_S = 18\text{ V}$, $f = 1\text{ MHz}$
C_D (On), C_S (On)					
	ADG5408	137		pF typ	$V_S = 18\text{ V}$, $f = 1\text{ MHz}$
ADG5409	80			pF typ	$V_S = 18\text{ V}$, $f = 1\text{ MHz}$
POWER REQUIREMENTS					$V_{DD} = 39.6\text{ V}$
I_{DD}	80			$\mu\text{A typ}$	Digital inputs = 0 V or V_{DD}
	100		130	$\mu\text{A max}$	
V_{DD}			9/40	V min/V max	GND = 0 V, $V_{SS} = 0\text{ V}$

¹ 設計上保証しますが、出荷テストは行いません。

チャンネルあたりの連続電流、S_xまたはD

表 5.ADG5408

Parameter	25°C	85°C	125°C	Unit
CONTINUOUS CURRENT, S _x OR D				
V _{DD} = +15 V, V _{SS} = -15 V				
TSSOP (θ _{JA} = 112.6°C/W)	100	44	16	mA maximum
LFCSP (θ _{JA} = 30.4°C/W)	170	54	16	mA maximum
V _{DD} = +20 V, V _{SS} = -20 V				
TSSOP (θ _{JA} = 112.6°C/W)	106	45	16	mA maximum
LFCSP (θ _{JA} = 30.4°C/W)	178	55	16	mA maximum
V _{DD} = 12 V, V _{SS} = 0 V				
TSSOP (θ _{JA} = 112.6°C/W)	81	39	15	mA maximum
LFCSP (θ _{JA} = 30.4°C/W)	140	51	16	mA maximum
V _{DD} = 36 V, V _{SS} = 0 V				
TSSOP (θ _{JA} = 112.6°C/W)	104	44	16	mA maximum
LFCSP (θ _{JA} = 30.4°C/W)	175	55	16	mA maximum

表 6.ADG5409

Parameter	25°C	85°C	125°C	Unit
CONTINUOUS CURRENT, S _x OR D				
V _{DD} = +15 V, V _{SS} = -15 V				
TSSOP (θ _{JA} = 112.6°C/W)	75	37	15	mA maximum
LFCSP (θ _{JA} = 30.4°C/W)	130	49	16	mA maximum
V _{DD} = +20 V, V _{SS} = -20 V				
TSSOP (θ _{JA} = 112.6°C/W)	79	38	15	mA maximum
LFCSP (θ _{JA} = 30.4°C/W)	136	50	16	mA maximum
V _{DD} = 12 V, V _{SS} = 0 V				
TSSOP (θ _{JA} = 112.6°C/W)	60	32	14	mA maximum
LFCSP (θ _{JA} = 30.4°C/W)	105	44	16	mA maximum
V _{DD} = 36 V, V _{SS} = 0 V				
TSSOP (θ _{JA} = 112.6°C/W)	78	38	15	mA maximum
LFCSP (θ _{JA} = 30.4°C/W)	133	50	16	mA maximum

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 7.

Parameter	Rating
V_{DD} to V_{SS}	48 V
V_{DD} to GND	-0.3 V to +48 V
V_{SS} to GND	+0.3 V to -48 V
Analog Inputs ¹	$V_{SS} - 0.3$ V to $V_{DD} + 0.3$ V or 30 mA, whichever occurs first
Digital Inputs ¹	$V_{SS} - 0.3$ V to $V_{DD} + 0.3$ V or 30 mA, whichever occurs first
Peak Current, Sx or D Pins ADG5408	370 mA (pulsed at 1 ms, 10% duty cycle maximum)
ADG5409	275 mA (pulsed at 1 ms, 10% duty cycle maximum)
Continuous Current, Sx or D ²	Data + 15%
Temperature Range	
Operating	-40°C to +125°C
Storage	-65°C to +150°C
Junction Temperature	150°C
Thermal Impedance, θ_{JA}	
16-Lead TSSOP (4-Layer Board)	112.6°C/W
16-Lead LFCSP (4-Layer Board)	30.4°C/W
Reflow Soldering Peak Temperature, Pb Free	260(+0/-5)°C

¹Ax, EN, Sx,、D ピンでの過電圧は内部ダイオードでクランプされます。
電流は、規定された最大定格に制限してください。

²表 5 を参照。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

同時に複数の絶対最大定格条件を適用することはできません。

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

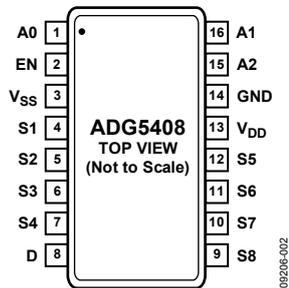
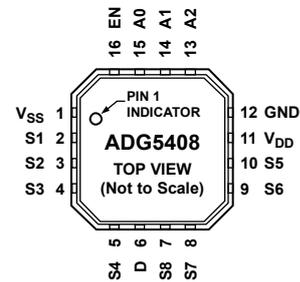


図 2.ADG5408 のピン配置 (TSSOP)



NOTES
 1. THE EXPOSED PAD IS CONNECTED INTERNALLY. FOR INCREASED RELIABILITY OF THE SOLDER JOINTS AND MAXIMUM THERMAL CAPABILITY, IT IS RECOMMENDED THAT THE PAD BE SOLDERED TO THE SUBSTRATE, V_{SS}.

図 3.ADG5408 のピン配置 (LFCSP)

表 8.ADG5408 のピン機能説明

ピン番号		記号	説明
TSSOP	LFCSP		
1	15	A0	ロジック・コントロール入力。
2	16	EN	アクティブ・ハイのデジタル入力。ロー・レベルのとき、デバイスがディスエーブルされて、すべてのチャンネルはスイッチ・オフされます。ハイ・レベルのとき、A _x ロジック入力によりオン・スイッチが指定されます。
3	1	V _{SS}	負電源電位。単電源アプリケーションでは、グラウンドへ接続可能。
4	2	S1	ソース・ピン 1。入力または出力に設定することができます。
5	3	S2	ソース・ピン 2。入力または出力に設定することができます。
6	4	S3	ソース・ピン 3。入力または出力に設定することができます。
7	5	S4	ソース・ピン 4。入力または出力に設定することができます。
8	6	D	ドレイン・ピン。このピンは、入力または出力に設定することができます。
9	7	S8	ソース・ピン 8。入力または出力に設定することができます。
10	8	S7	ソース・ピン 7。入力または出力に設定することができます。
11	9	S6	ソース・ピン 6。入力または出力に設定することができます。
12	10	S5	ソース・ピン 5。入力または出力に設定することができます。
13	11	V _{DD}	正電源電位。
14	12	GND	グラウンド・リファレンス(0 V)。
15	13	A2	ロジック・コントロール入力。
16	14	A1	ロジック・コントロール入力。
	EP	エクスポーズド・パッド	エクスポーズド・パッドは内部で接続されています。ハンダ接続の信頼性と熱能力を向上させるために、このパッドをサブストレート V _{SS} にハンダ付けすることが推奨されます。

表 9.ADG5408 の真理値表

A2	A1	A0	EN	On Switch
X	X	X	0	None
0	0	0	1	1
0	0	1	1	2
0	1	0	1	3
0	1	1	1	4
1	0	0	1	5
1	0	1	1	6
1	1	0	1	7
1	1	1	1	8

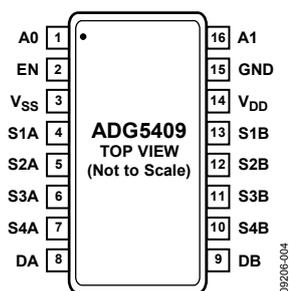
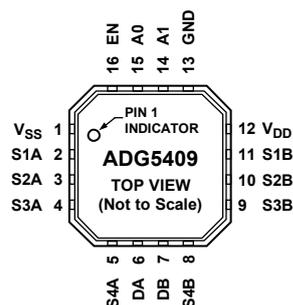


図 4. ADG5409 のピン配置 (TSSOP)



NOTES
 1. THE EXPOSED PAD IS CONNECTED INTERNALLY. FOR INCREASED RELIABILITY OF THE SOLDER JOINTS AND MAXIMUM THERMAL CAPABILITY, IT IS RECOMMENDED THAT THE PAD BE SOLDERED TO THE SUBSTRATE, V_{SS} .

図 5. ADG5409 のピン配置 (LFCSP)

表 10. ADG5409 のピン機能説明

ピン番号		記号	説明
TSSOP	LFCSP		
1	15	A0	ロジック・コントロール入力。
2	16	EN	アクティブ・ハイのデジタル入力。ロー・レベルのとき、デバイスがディスエーブルされて、すべてのチャンネルはスイッチ・オフされます。ハイ・レベルのとき、 A_x ロジック入力によりオン・スイッチが指定されます。
3	1	V_{SS}	負電源電位。単電源アプリケーションでは、グラウンドへ接続可能。
4	2	S1A	ソース・ピン 1A。このピンは、入力または出力に設定することができます。
5	3	S2A	ソース・ピン 2A。このピンは、入力または出力に設定することができます。
6	4	S3A	ソース・ピン 3A。このピンは、入力または出力に設定することができます。
7	5	S4A	ソース・ピン 4A。このピンは、入力または出力に設定することができます。
8	6	DA	ドレイン・ピン A。入力または出力に設定することができます。
9	7	DB	ドレイン・ピン B。入力または出力に設定することができます。
10	8	S4B	ソース・ピン 4B。このピンは、入力または出力に設定することができます。
11	9	S3B	ソース・ピン 3B。このピンは、入力または出力に設定することができます。
12	10	S2B	ソース・ピン 2B。このピンは、入力または出力に設定することができます。
13	11	S1B	ソース・ピン 1B。このピンは、入力または出力に設定することができます。
14	12	V_{DD}	正電源電位。
15	13	GND	グラウンドリファレンス(0 V)。
16	14	A1	ロジック・コントロール入力。
	EP	エクスポーズド・パッド	エクスポーズド・パッドは内部で接続されています。ハンダ接続の信頼性と熱能力を向上させるために、このパッドをサブストレート V_{SS} にハンダ付けすることが推奨されます。

表 11. ADG5409 の真理値表

A1	A0	EN	On Switch Pair
X	X	0	None
0	0	1	1
0	1	1	2
1	0	1	3
1	1	1	4

代表的な性能特性

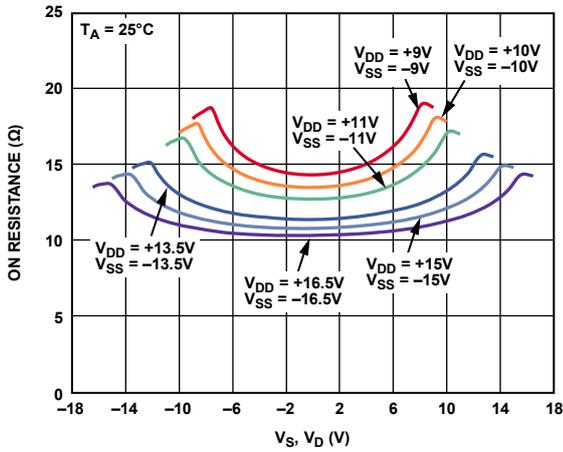


図 6. V_S 、 V_D の関数としての R_{ON} 、両電源

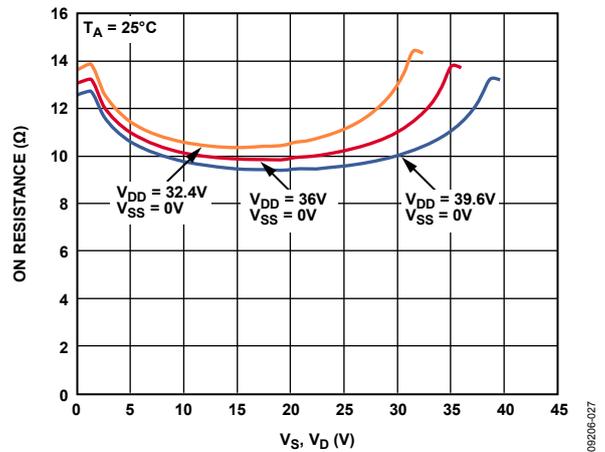


図 9. V_S 、 V_D の関数としての R_{ON} 、単電源

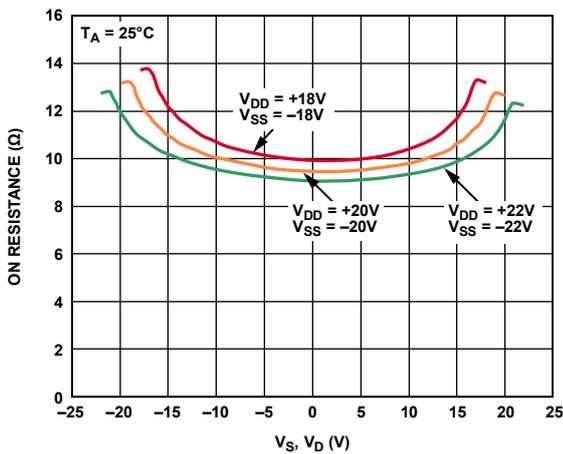


図 7. V_S 、 V_D の関数としての R_{ON} 、両電源

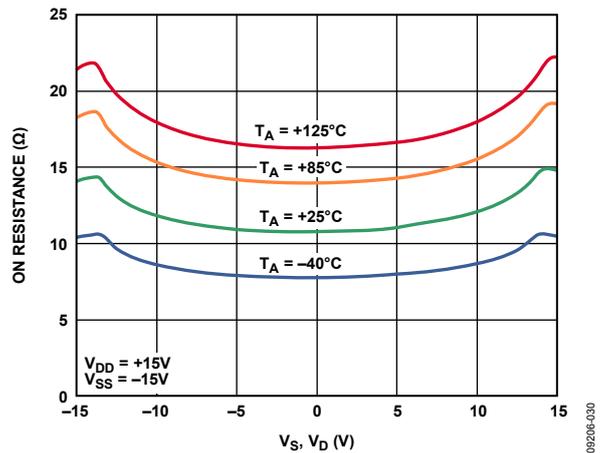


図 10. V_S (V_D) の関数としての様々な温度での R_{ON} 、 ± 15 V 両電源

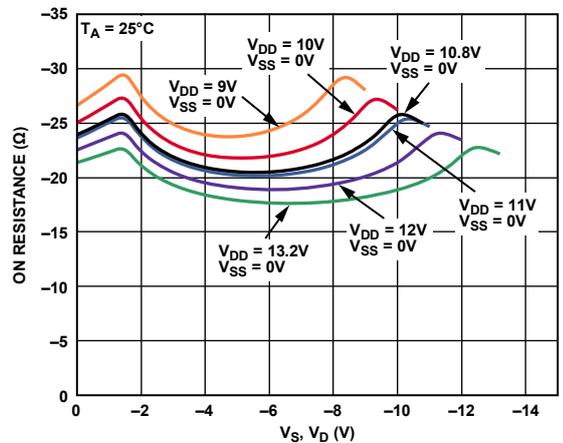


図 8. V_S 、 V_D の関数としての R_{ON} 、単電源

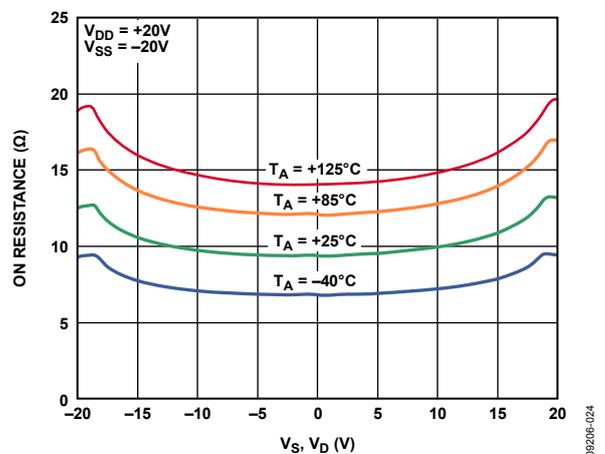


図 11. V_S (V_D) の関数としての様々な温度での R_{ON} 、 ± 20 V 両電源

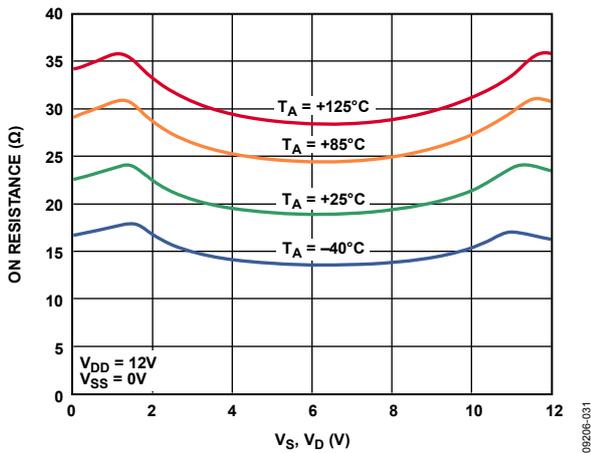


図 12. V_S (V_D) の関数としての様々な温度での R_{ON} 、12 V 単電源

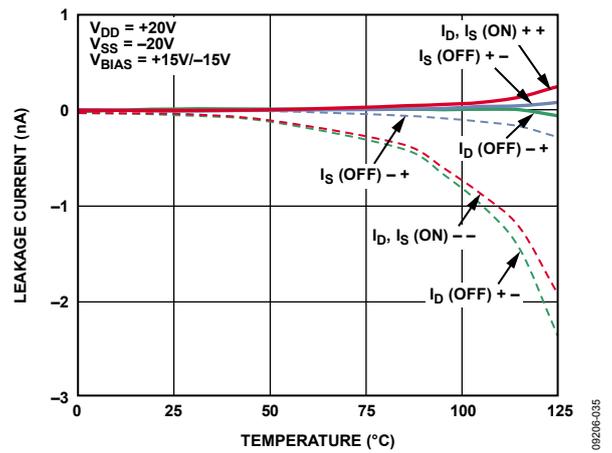


図 15. リーク電流の温度特性、±20 V 両電源

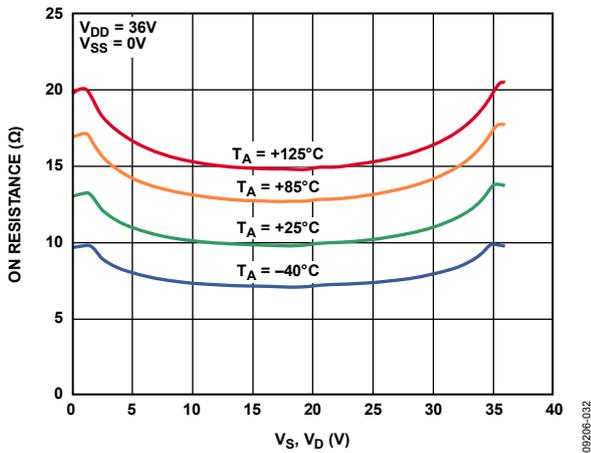


図 13. V_D (V_S) の関数としての様々な温度での R_{ON} 、36 V 単電源

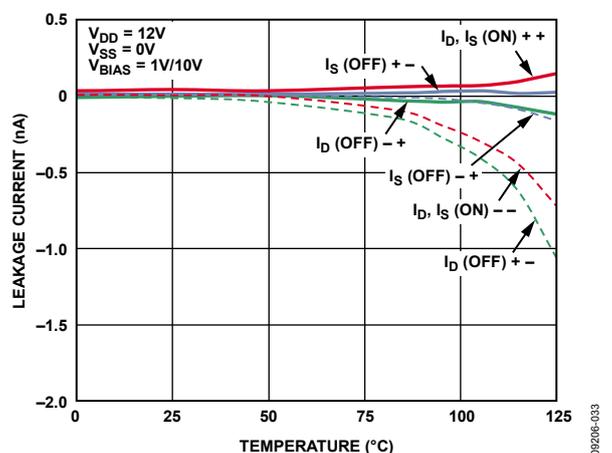


図 16. リーク電流の温度特性、12 V 単電源

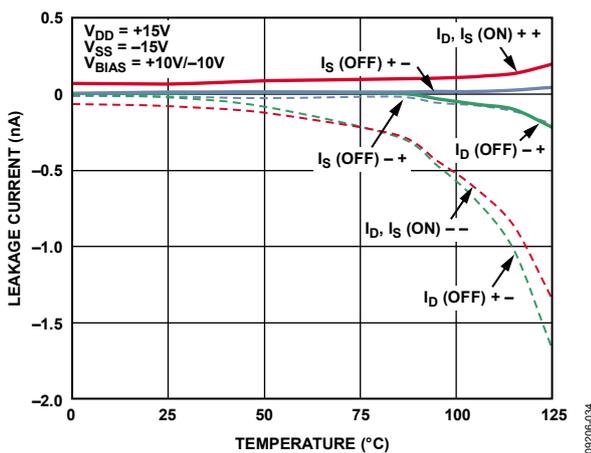


図 14. リーク電流の温度特性、±15 V 両電源

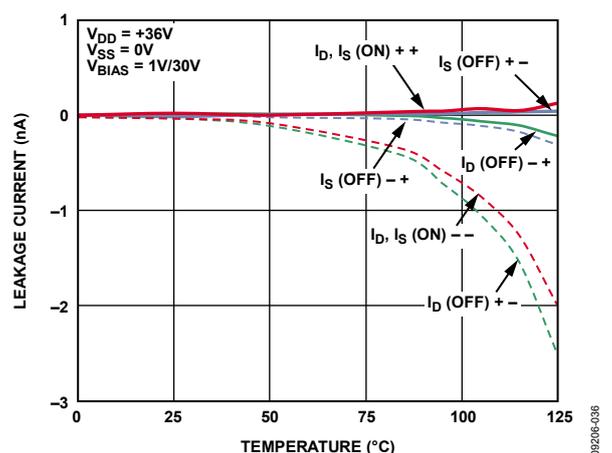


図 17. リーク電流の温度特性、36 V 単電源

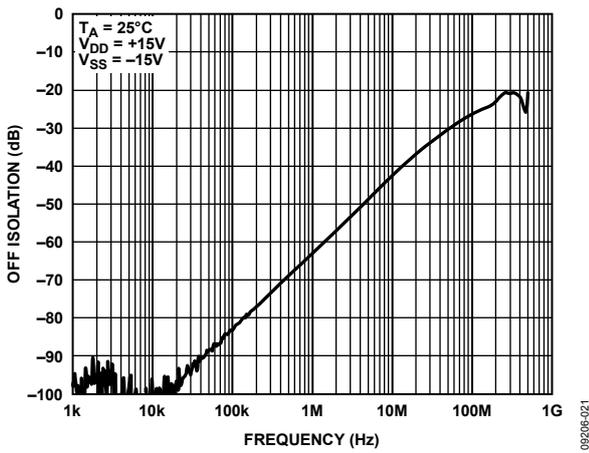


図 18. オフ時アイソレーションの周波数特性、±15 V 両電源

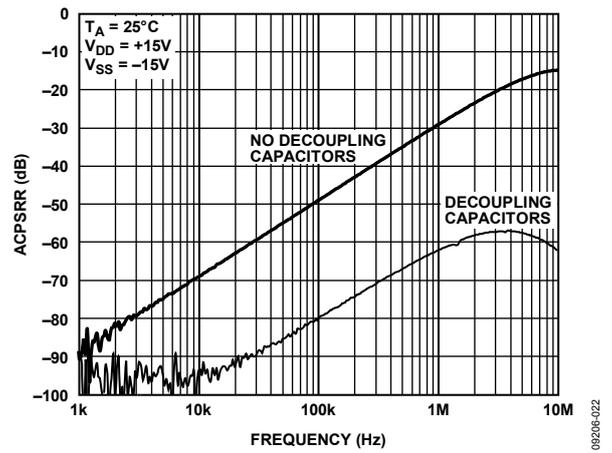


図 21. ACPSRR の周波数特性、±15 V 両電源

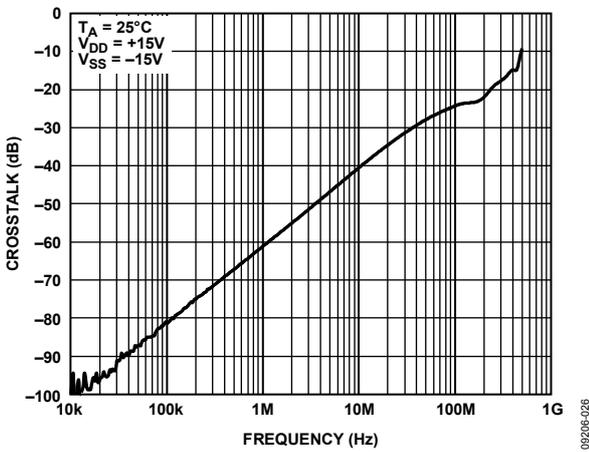


図 19. クロストークの周波数特性、±15 V 両電源

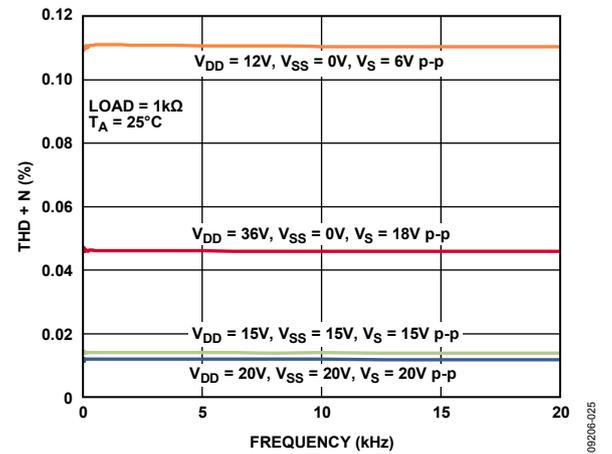


図 22. THD + N の周波数特性

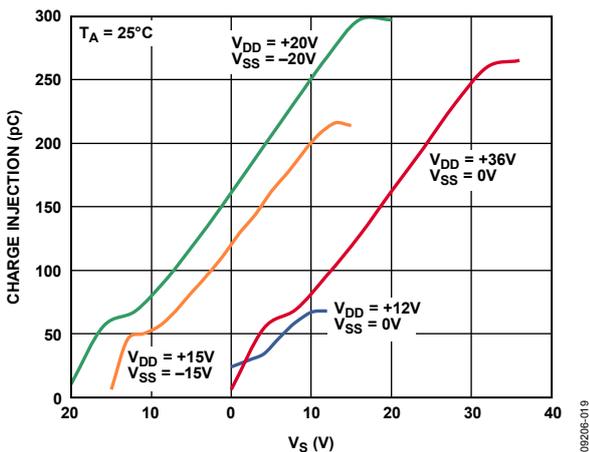


図 20. ソース電圧対チャージ・インJECTION

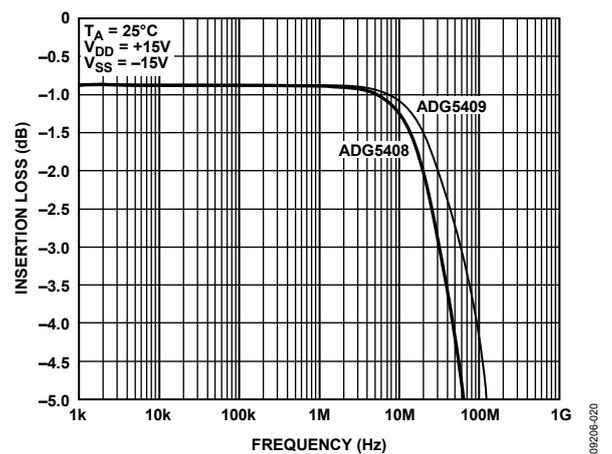
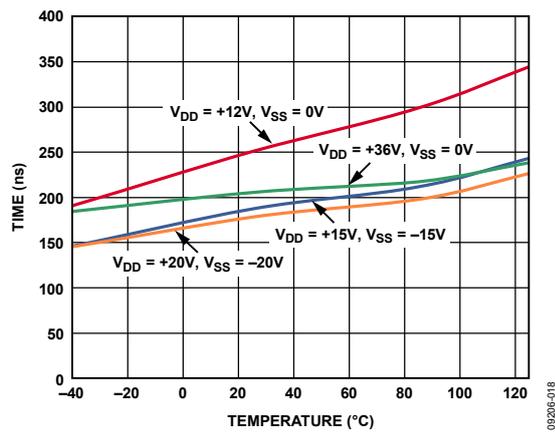


図 23. 帯域幅

図 24. $t_{\text{TRANSITION}}$ 時間の温度特性

テスト回路

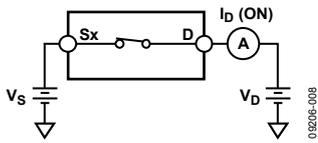


図 25. オン時リーク

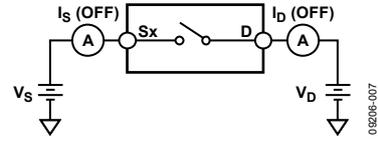


図 29. オフ時リーク

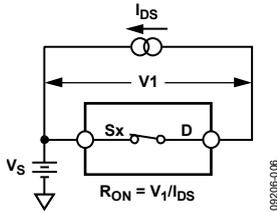


図 26. オン抵抗

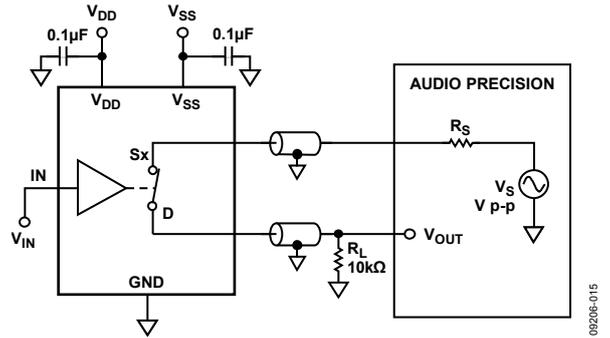


図 30. THD + ノイズ係数

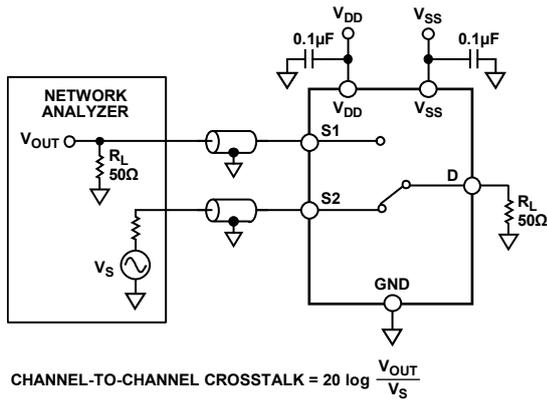


図 27. チャンネル間クロストーク

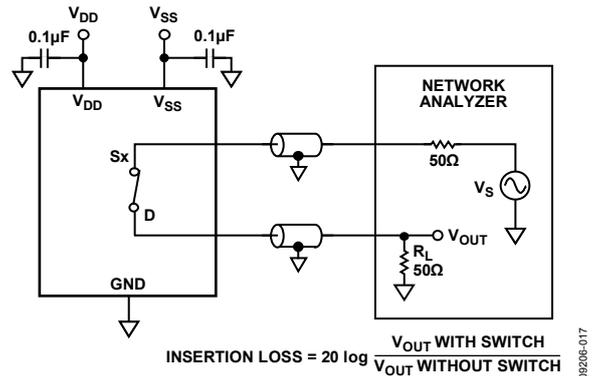


図 31. 帯域幅

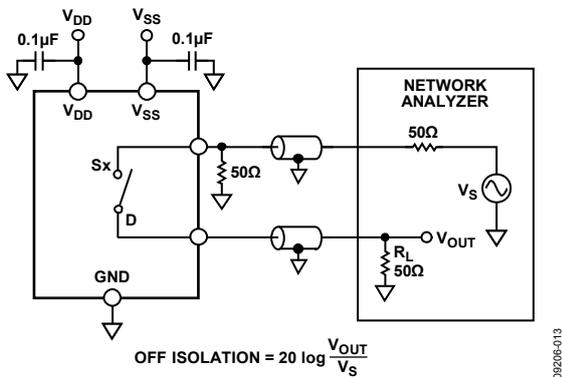


図 28. オフ時アイソレーション

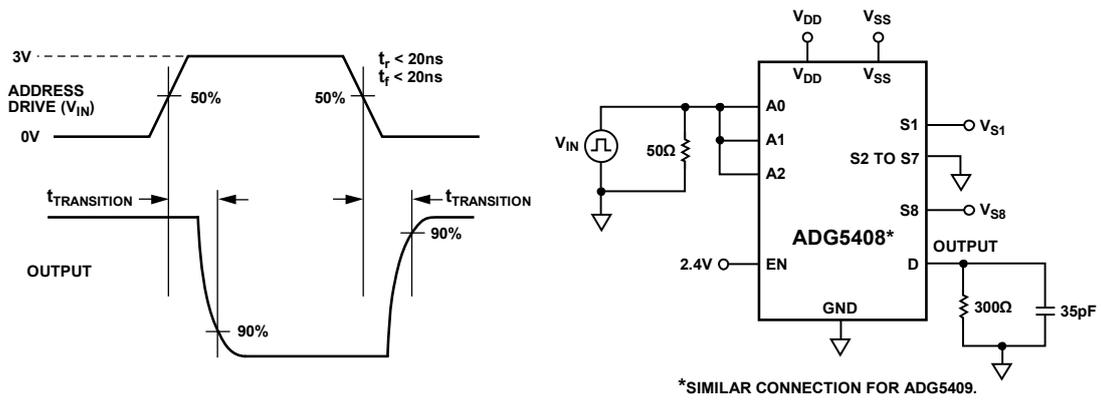


図 32. アドレス—出力間のスイッチング時間 $t_{\text{TRANSITION}}$

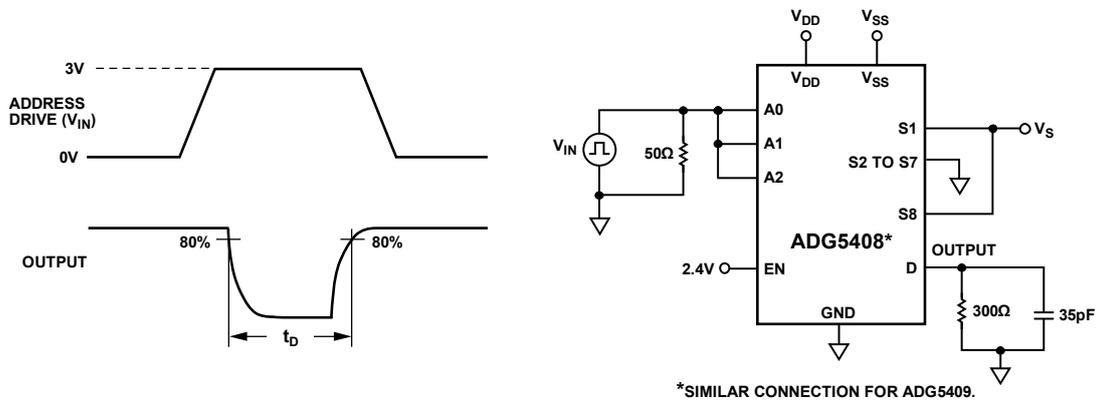


図 33. ブレーク・ビフォア・メーク遅延 t_D

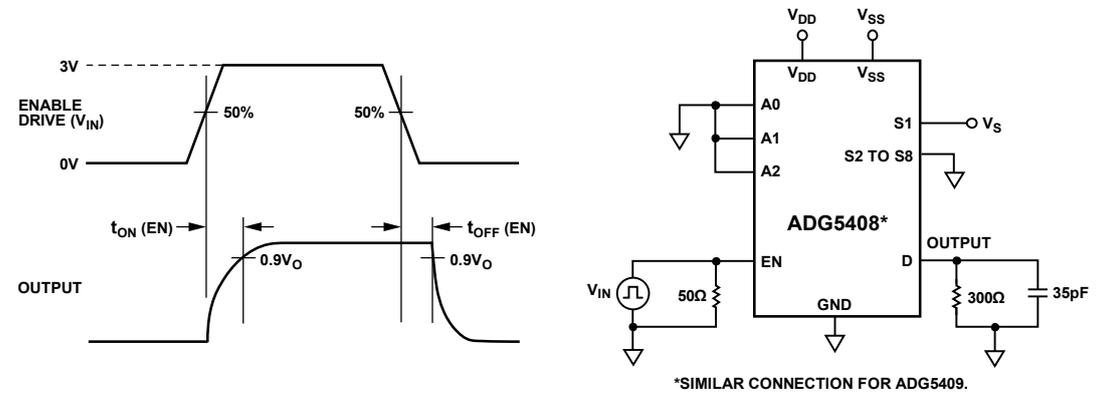


図 34. イネーブル遅延、 $t_{\text{ON}}(\text{EN})$ 、 $t_{\text{OFF}}(\text{EN})$

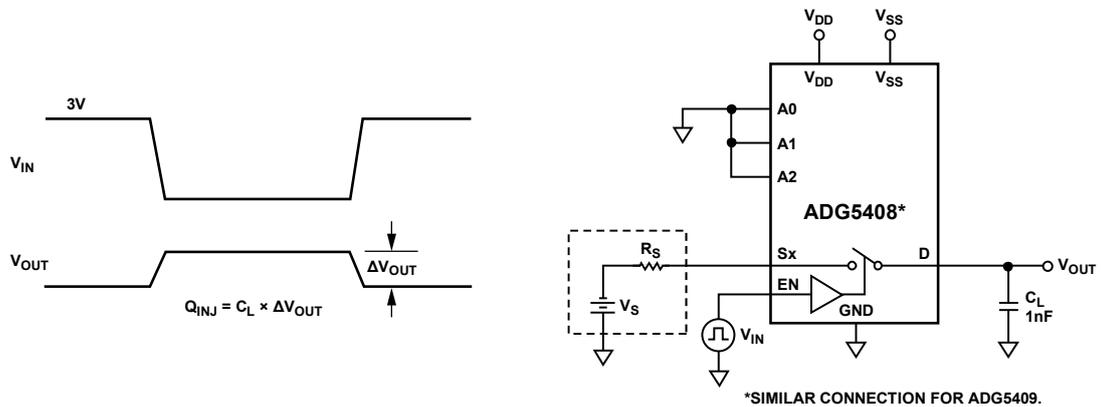


図 35. チャージ・インJECTION

用語

I_{DD}

正の電源電流。

I_{SS}

負の電源電流。

V_D 、 V_S

それぞれ、D、S ピンのアナログ電圧。

R_{ON}

D-S ピン間の抵抗。

ΔR_{ON}

任意の 2 チャンネル間の R_{ON} の差。

$R_{FLAT(ON)}$

平坦性は、仕様が規定されたアナログ信号範囲におけるオン抵抗の最大値と最小値の差として定義され、 $R_{FLAT(ON)}$ で著されます。

I_S (Off)

スイッチ・オフ時のソース・リーク電流。

I_D (Off)

スイッチ・オフ時のドレイン・リーク電流。

I_D (On)、 I_S (On)

スイッチ・オン時のチャンネル・リーク電流。

V_{INL}

ロジック 0 の最大入力電圧。

V_{INH}

ロジック 1 の最小入力電圧。

I_{INL} 、 I_{INH}

デジタル入力のそれぞれロー・レベルおよびハイ・レベルでの入力電流。

C_D (Off)

スイッチ・オフ時のドレイン容量。グラウンドを基準として測定。

C_S (Off)

スイッチ・オフ時のソース容量。グラウンドを基準として測定。

C_D (On)、 C_S (On)

スイッチ・オン時の容量。グラウンドを基準として測定。

C_{IN}

デジタル入力容量。

t_{ON} (EN)

デジタル入力の 50%/90%ポイントとスイッチ・オン状態との間の遅延時間。

t_{OFF} (EN)

デジタル入力の 50%/90%ポイントとスイッチ・オフ状態との間の遅延時間。

$t_{TRANSITION}$

あるアドレス状態から別のアドレス状態へ切り替わる時のデジタル入力の 50%/90%ポイントとスイッチ・オン状態との間の遅延時間。

t_D

あるアドレス状態から別のアドレス状態へ切り替わる時の両スイッチの 80%ポイント間で測定したオフ時間。

オフ時アイソレーション

オフ状態のチャンネルを通過する不要信号の大きさ。

チャージ・インジェクション

スイッチング時にデジタル入力からアナログ出力へ伝達されるグリッチ・インパルスの大きさを表します。

クロストーク

寄生容量に起因して 1 つのチャンネルから別のチャンネルに混入する不要信号の大きさ。

帯域幅

帯域幅は、出力が 3 dB 減衰する周波数です。

オン応答

オン状態にあるスイッチの周波数応答。

総合高調波歪+ノイズ(THD + N)

高調波振幅と信号ノイズの和の基本波に対する比。THD + N で表されます。

AC 電源変動除去比(ACPSRR)

ACPSRR は、電源電圧ピンに現れるノイズとスプリアス信号がスイッチ出力へ混入するのを防止するデバイスの能力を表します。デバイスの DC 電圧が 0.62 V p-p の正弦波で変調されます。出力の信号振幅の、変調振幅に対する比が ACPSRR です。

トレンチ・アイソレーション

ADG5408/ADG5409では、各 CMOS スイッチの NMOS トランジスタと PMOS トランジスタの間に絶縁酸化物層(トレンチ)が設けてあります。接合で絶縁されたスイッチ内の複数のトランジスタ間に発生する寄生接合がなくなるため、ラッチアップを完全に防止したスイッチが得られます。

接合アイソレーションでは、PMOS トランジスタと NMOS トランジスタの N ウェルと P ウェルが、通常動作では逆バイアスされるダイオードを形成しますが、過電圧状態では、このダイオードが順方向バイアスされるようになります。2 個のトランジスタによりシリコン制御整流子(SCR)タイプの回路が形成されるため、電流が大幅に増幅されて、ラッチアップが発生します。トレンチ・アイソレーションでは、このダイオードがなくなるため、ラッチアップのないスイッチが実現できます。

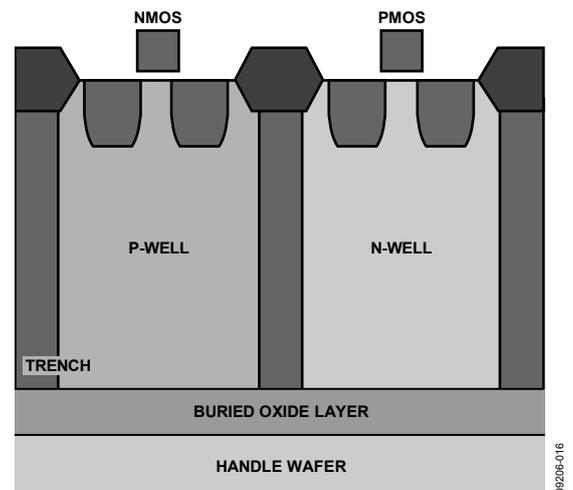


図 36. トレンチ・アイソレーション

アプリケーション情報

ADG54xx ファミリーのスイッチ/マルチプレクサは、ラッチアップが発生しやすい計装、工業用、車載、航空宇宙、その他の厳しい環境に対して強固なソリューションを提供します。ラッチアップは、デバイス故障に至る高電流状態を発生させて、電源をオフするまで継続します。ADG5408/ADG5409 高電圧スイッチでは、9 V~40 V の単電源動作と ± 9 V~ ± 22 V の

両電源動作が可能です。ADG5408/ADG5409 (および同じファミリーから選択した他のデバイス)は、4 kV(ADG5408)と 8 kV (ADG5409)の人体モデル ESD 定格を実現しているため、アプリケーションによっては、外付けの保護回路が不要な強固なソリューションを実現することができます。

外形寸法

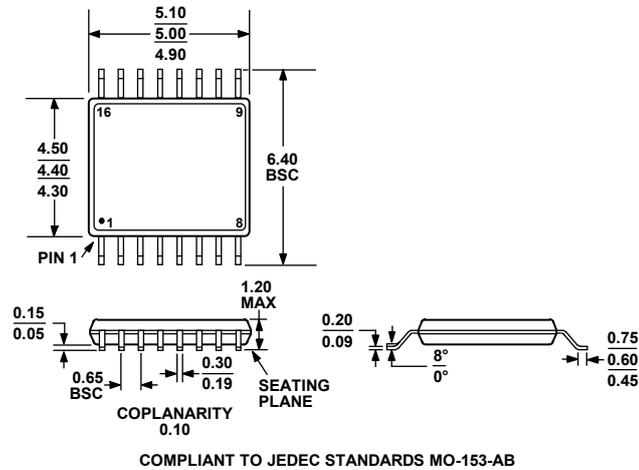


図 37.16 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP] (RU-16)
寸法: mm

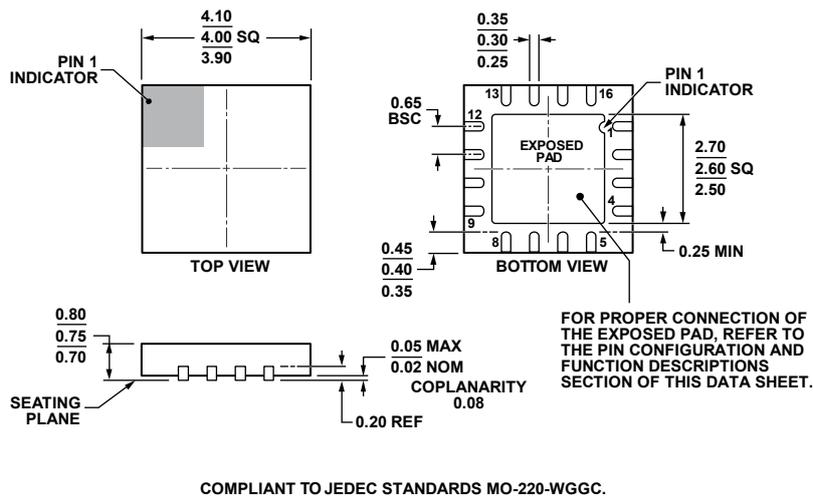


図 38.16 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP_VQ] 4 mm × 4 mm ボディ、極薄クワッド (CP-16-17)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADG5408BRUZ	-40°C to +125°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
ADG5408BRUZ-REEL7	-40°C to +125°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
ADG5408BCPZ-REEL7	-40°C to +125°C	16-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-16-17
ADG5409BRUZ	-40°C to +125°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
ADG5409BRUZ-REEL7	-40°C to +125°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
ADG5409BCPZ-REEL7	-40°C to +125°C	16-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-16-17

¹ Z = RoHS 準拠製品。