



VCO 内蔵 マイクロ波広帯域シンセサイザ

データシート

ADF4372

特長

RF 出力周波数範囲：62.5MHz～16,000MHz
フラクショナル N シンセサイザおよび
インテジャー N シンセサイザ
高分解能 39 ビット・フラクショナル・モジュール
 f_{PFD} スプリアス（代表値）：-90dBc
積算実効値ジッタ：38fs（1kHz～100MHz）
正規化位相ノイズ・フロア：-234dBc/Hz
位相周波数検出器の動作周波数：最大 250MHz
リファレンス入力の動作周波数：最大 600MHz
1、2、4、8、16、32、または 64 の分周出力を設定可能
RF8x および RFAUX8x で 62.5MHz～8,000MHz 出力
RF16x で 8,000MHz～16,000MHz 出力
ロック時間：自動キャリブレーション使用時は約 3ms
ロック時間：自動キャリブレーションをバイパスする場合は
<30 μ s（代表値）
アナログ電源とデジタル電源：3.3V（代表値）
VCO 供給電圧：3.3V および 5V
RF 出力のミュート機能
7mm × 7mm 48 ピン LGA パッケージ

アプリケーション

ワイヤレス・インフラストラクチャ
（移動通信用マルチキャリア・グローバル・システム
（MC-GSM）、5G）
試験装置／計測器
クロック生成
航空宇宙／防衛

概要

ADF4372 を外部ループ・フィルタおよび外部リファレンス周波数と併せて使用することで、フラクショナル N またはインテジャー N のフェーズ・ロック・ループ（PLL）シンセサイザが実現できます。広帯域マイクロ波の電圧制御発振器（VCO）設計により、62.5MHz～16GHz の周波数の生成が可能です。

ADF4372 には基本出力周波数 4000MHz～8000MHz の VCO が搭載されています。更に、VCO 周波数を 1、2、4、8、16、32、または 64 の分周回路に接続することで、RF8x で 62.5MHz という低い無線周波数（RF）の出力周波数を生成できるようになりました。周波数乗算器は、RF16x で 8GHz～16GHz の周波数を生成します。RFAUX8x は RF8x の周波数範囲を 2 倍にする他、VCO 出力への直接アクセスを可能にします。不要な周波数通倍積を抑えるために、乗算器と RF16x の出力段の間には高調波フィルタがあります。

すべての内蔵レジスタは、3 線式インターフェースによって制御されます。ADF4372 は、3.15V～3.45V のアナログ電源とデジタル電源で動作し、VCO 電源では 5V で動作します。また、ADF4372 には、ハードウェアおよびソフトウェア向けのパワーダウン・モードも搭載されています。

機能ブロック図

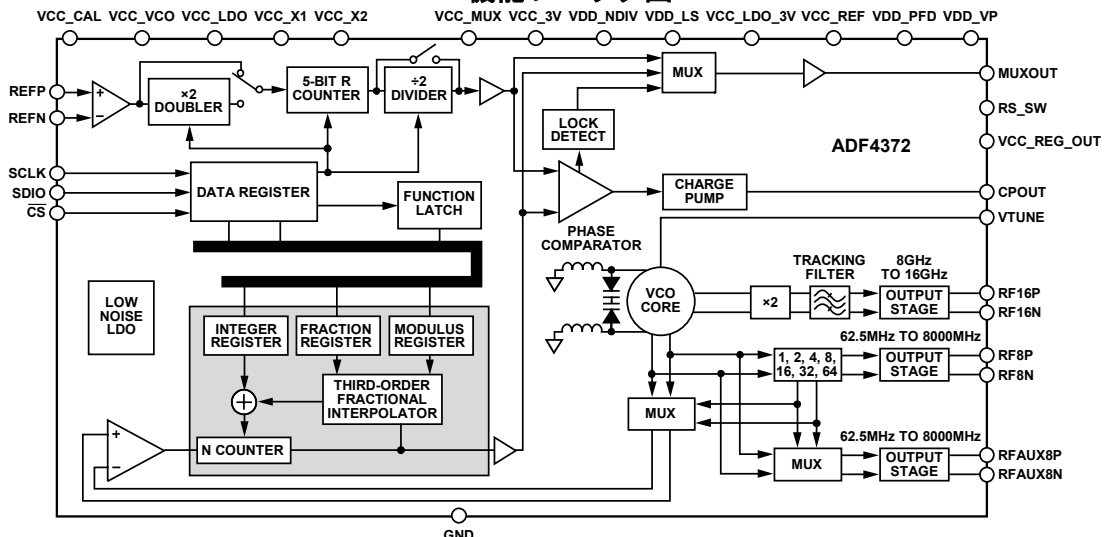


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2019 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社／〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所／〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所／〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	RF N 分周器	18
アプリケーション	1	PFD とチャージ・ポンプ	19
概要	1	MUXOUT とロック検出	19
機能ブロック図	1	ダブル・バッファ	19
改訂履歴	2	VCO	20
仕様	3	出力段	20
タイミング仕様	6	ダブル	21
絶対最大定格	8	出力段のミュート	21
熱抵抗	8	SPI	21
ESD に関する注意	8	デバイス設定	22
ピン配置およびピン機能の説明	9	ステップ 1 : SPI インターフェースの設定	22
代表的な性能特性	11	ステップ 2 : 初期化シーケンス	22
動作原理	15	ステップ 3 : 周波数更新シーケンス	22
RF シンセサイザ、実際例	15	アプリケーション情報	23
リファレンス入力感度	15	電源	23
リファレンス・ダブルとリファレンス分周器	16	LGA パッケージの PCB 設計ガイドライン	23
スプリアス最適化と高速ロック	16	出力マッチング	23
ジッタの最適化	16	レジスタの一覧	24
スプリアスのメカニズム	16	レジスタの詳細	26
ロック時間	16	外形寸法	47
回路の説明	18	オーダー・ガイド	47
リファレンス入力	18		

改訂履歴

8/2019—Revision 0: Initial Version

仕様

特に指定のない限り、 $4.75\text{V} \leq \text{VCC_VCO} \leq 5.25\text{V}$ 、他のすべての電源ピン ($\text{AV}_{\text{DD}} = 3.3\text{V} \pm 5\%$ 、 $\text{GND} = 0\text{V}$ 、 50Ω を基準とする dBm 、 $\text{T}_\text{A} =$ 全動作温度範囲。

表 1.

パラメータ	記号	Min.	Typ.	Max.	単位	テスト条件／コメント
REFP AND REFN CHARACTERISTICS						
Input Frequency						
Single-Ended Mode		10		500	MHz	ダブルをディスエーブル
Differential Mode		10		600	MHz	ダブルをディスエーブル
Single-Ended or Differential Mode		10		125	MHz	ダブルをイネーブル
Input Sensitivity						
Single-Ended Mode		0.4		AVDD	V p-p	REFP を AV _{DD} /2 でバイアス、AC カップリングにより AV _{DD} /2 バイアスを確保
Differential Mode		0.4		1.8	V p-p	LVDS（低電圧差動伝送）および LVPECL（低電圧ポジティブ・エミッタ結合ロジック）互換、REFP および REFN は 2.1V にバイアス、AC カップリングにより 2.1V バイアスを確保
Input Capacitance						
Single-Ended Mode			6.9		pF	
Differential Mode			1.4		pF	
Input Current				±150	μA	シングルエンド・リファレンスに設定
				300	μA	差動リファレンスに設定
Phase Frequency Detector Frequency (f _{PFD})				160	MHz	フラクショナル・モード
				250	MHz	インテジャー・モード
CHARGE PUMP						
Charge Pump Current, Sink and Source	I _{CP}					
High Value			5.6		mA	
Low Value			0.35		mA	
Current Matching			3		%	0.5V ≤ CPOUT ピンの電圧（V _{CP} ） ≤ VDD_VP − 0.5V
I _{CP} vs. V _{CP}			3		%	0.5V ≤ VCP ≤ VDD_VP − 0.5V
I _{CP} vs. Temperature			1.5		%	V _{CP} = 2.5V
LOGIC INPUTS						
Input High Voltage	V _{INH}	1.17			V	CS、SDIO、SCLK、CE は 3V ロジック
Input Low Voltage	V _{INL}			0.63	V	
Input Current	I _{INH} /I _{INL}			±1	μA	
Input Capacitance	C _{IN}		3.0		pF	
LOGIC OUTPUTS						
Output High Voltage	V _{OH}	AVDD − 0.4			V	3.3V 出力を選択
		1.5	1.875		V	1.8V 出力を選択
Output High Current	I _{OH}			500	μA	出力ロー電流（IOL） = 500μA
Output Low Voltage	V _{OL}			0.4	V	
POWER SUPPLIES						
Supply Voltage (Except VCO)	AV _{DD}	3.15		3.45	V	VCC_CAL、VCC_X1、VDD_X1、VCC_X2、VCC_MUX、VCC_3V、VDD_NDIV、VDD_LS、VCC_LDO_3V、VCC_REF、VDD_PFD、VDD_VP は AV _{DD} としてグループ化され、同電圧すべての出力をディスエーブル
Supply Current (Except VCO) ¹	AIDD		190	260	mA	

パラメータ	記号	Min.	Typ.	Max.	単位	テスト条件／コメント
Output Dividers	VCC_VCO					
Divider = 2			14	20	mA	2 分周ごとに 7mA 電流（代表値）を追加消費
Divider = 64			50	65	mA	
VCO Supply Voltage		3.15	3.3	3.45	V	3.3V 条件
		4.75	5	5.25	V	5V 条件
VCO Supply Current	IVCO		80	120	mA	3.3V 条件
			135	180	mA	5V 条件
RF8x Supply Current						RF8P と RF8N の出力段はプログラマブルであり、VCC_X1 に追加電流が流れる
			25		mA	-4dBm 設定
			39		mA	-1dBm 設定
			52		mA	2dBm 設定
			65		mA	5dBm 設定
RF8x Supply Current			42		mA	-4dBm 設定
			56		mA	-1dBm 設定
			70		mA	2dBm 設定
			84		mA	5dBm 設定
RF16x Supply Current			90	120	mA	
Low Power Sleep Mode			5.1	6.2	mA	ハードウェア・パワーダウン 3.3V VCO の場合
			8	9.5	mA	ハードウェア・パワーダウン 5V VCO の場合
			21.5	25	mA	ソフトウェア・パワーダウン 3.3V VCO の場合
			23.7	28	mA	ソフトウェア・パワーダウン 5V VCO の場合
RF OUTPUT CHARACTERISTICS						
VCO Frequency Range	K _v	4000		8000	MHz	基本波 VCO の範囲
RF8P and RF8N Output Frequency		62.5		8000	MHz	
RFAUX8P and RFAUX8N Output Frequency		62.5		8000	MHz	
RF16P and RF16N Output Frequency		8000		16000	MHz	2×VCO 出力
VCO Sensitivity						
For 5 V			80		MHz/V	VCO 周波数 = 6GHz、K _v プロットについては図 33 を参照
For 3.3 V			60		MHz/V	VCO 周波数 = 6GHz、K _v プロットについては図 34 を参照
Frequency Pushing (Open-Loop)			8		MHz/V	
Frequency Pulling (Open-Loop)			0.5		MHz	電圧定在波比 (VSWR) = 2:1 RF8P および RF8N
			30		MHz	VSWR = 2:1 RF16x
Maintain Lock Temperature Range ²				125	°C	デバイスを再設定しなくともロックを維持
Harmonic Content						
Second Harmonic RF8P and RF8N			-25		dBc	VCO 基本出力 (RF8x)
			-25		dBc	VCO 分周出力 (RF8x)
Third Harmonic RF8P and RF8N			-12		dBc	VCO 基本出力 (RF8x)
			-15		dBc	VCO 分周出力 (RF8x)
Second Harmonic RF16P and RF16N			-30		dBc	20GHz で測定
Third Harmonic RF16P and RF16N			-30		dBc	30GHz で測定
Fundamental VCO Feedthrough			-62		dBc	RF16x = 10GHz、VCO 周波数 = 5GHz
			-30		dBc	RF8P および RF8N = 1GHz、VCO 周波数 = 4GHz
RF Output Power Maximum Setting ³			7		dBm	RF8P = 4GHz、VCC_X1 へ 7.5nH インダクタ
			5		dBm	RF8P = 8GHz、VCC_X1 へ 7.5nH インダクタ
			0		dBm	RF16x = 8GHz

パラメータ	記号	Min.	Typ.	Max.	単位	テスト条件／コメント
RF Output Power Variation			4 ±1		dBm dB	RF16x = 16GHz RF8P および RF8N = 5GHz
RF Output Power Variation (Over Frequency)			±1 ±2		dB	RF16x = 10GHz RF8x および RFAUX8x = 4GHz~8GHz
Level of Signal with RF Output Disabled			±2.5 -50 -44 -41 -75 -55		dB dBm dBm dBm dBm dBm	RF16x = 8GHz~16GHz RF8P および RF8N = 1GHz RF8P および RF8N = 8GHz RF8P および RF8N = 8GHz、5V VCO の場合 RF16P = 8GHz RF16P = 16GHz
NOISE CHARACTERISTICS						
Fundamental VCO Phase Noise Performance where VCC_VCO = 5 V						オープンループ状態での VCO ノイズ、 VCC_VCO = 5V
			-117		dBc/Hz	4.0GHz 搬送波から 100kHz のオフセット
			-139		dBc/Hz	4.0GHz 搬送波から 1MHz オフセット
			-156		dBc/Hz	4.0GHz 搬送波から 10MHz オフセット
			-112		dBc/Hz	5.7GHz 搬送波から 100kHz オフセット
			-136		dBc/Hz	5.7GHz 搬送波から 1MHz オフセット
			-153		dBc/Hz	5.7GHz 搬送波から 10MHz オフセット
			-109		dBc/Hz	8.0GHz 搬送波から 100kHz オフセット
			-133		dBc/Hz	8.0GHz 搬送波から 1MHz オフセット
			-152		dBc/Hz	8.0GHz 搬送波から 10MHz オフセット
RF16x Output Phase Noise Performance where VCC_VCO = 5 V						VCC_VCO = 5V
			-106		dBc/Hz	11.4GHz 搬送波から 100kHz オフセット
			-130		dBc/Hz	11.4GHz 搬送波から 1MHz オフセット
			-146		dBc/Hz	11.4GHz 搬送波から 10MHz オフセット
			-103		dBc/Hz	16GHz 搬送波から 100kHz オフセット
			-127		dBc/Hz	16GHz 搬送波から 1MHz オフセット
			-145		dBc/Hz	16GHz 搬送波から 10MHz オフセット
Fundamental VCO Phase Noise Performance where VCC_VCO = 3.3 V						オープンループ状態での VCO ノイズ、 VCC_VCO = 3.3V
			-116		dBc/Hz	4.0GHz 搬送波から 100kHz オフセット
			-137		dBc/Hz	4.0GHz 搬送波から 1MHz オフセット
			-156		dBc/Hz	4.0GHz 搬送波から 10MHz オフセット
			-111		dBc/Hz	5.7GHz 搬送波から 100kHz オフセット
			-133		dBc/Hz	5.7GHz 搬送波から 1MHz オフセット
			-153		dBc/Hz	5.7GHz 搬送波から 10MHz オフセット
			-109		dBc/Hz	8.0GHz 搬送波から 100kHz オフセット
			-132		dBc/Hz	8.0GHz 搬送波から 1MHz オフセット
			-153		dBc/Hz	8.0GHz 搬送波から 10MHz オフセット
Normalized Inband Phase Noise Floor						
Fractional Channel ⁴			-233		dBc/Hz	
Integer Channel ⁵			-234		dBc/Hz	
Normalized 1/f Noise ⁶	PN1_f		-127		dBc/Hz	10kHz のオフセット、1GHz に正規化
Integrated RMS Jitter			38		fs	Wenzel オープン制御の水晶発振器 (OCXO) を リファレンス周波数入力 (REFIN) として使用、 インテグジャー-N モード、f _{PD} = 245.76MHz、 300kHz ループ・フィルタ帯域幅、1kHz~ 100MHz
Integer Boundary Spurs (Filtered)			-90		dBc	インテグジャー・チャンネルから 960kHz のオフセ ット
Inband Integer Boundary Spur (Unfiltered)			-55		dBc	インテグジャー・チャンネルから 5kHz のオフセ ットで測定
Spurious Signals Due to f _{PD}			-90		dBc	

パラメータ	記号	Min.	Typ.	Max.	単位	テスト条件／コメント
FREQUENCY LOCK TIME ⁷						
Lock Time with Automatic Calibration			3		ms	
Lock Time with Automatic Calibration Bypassed			30		μs	

¹ T_A = 25°C、AV_{DD} = 3.3V、VCC_VCO = 5.0V、プリスケアラ = 4/5、リファレンス周波数 (f_{REFP}) = 50MHz、f_{PF}D = 50MHz、RF 周波数 (f_{RF}) = 5001MHz。RF8x イネーブル。すべての RF 出力をディスエーブル。

² 設計および特性評価により確保。

³ EV-ADF4372SD2Z の差動出力を Marki BAL-0036 バランを使用して結合し、評価用ボードとケーブルの損失を除いて、スペクトラム・アナライザで測定した RF 出力電力。RF8P、RF8N、RFAUX8P、および RFAUX8N 用に選択された最大の電力出力。

⁴ この値を使用して、アプリケーションの位相ノイズを計算します。VCO 出力から見た帯域内位相ノイズ性能を計算するには、次式を使用します。-233 + 10log(f_{PF}D) + 20logN。結果は、フラクショナル・チャンネルの最低ノイズ・モードになります。

⁵ この値を使用して、アプリケーションの位相ノイズを計算します。VCO 出力から見た帯域内位相ノイズ性能を計算するには、次式を使用します。-234 + 10log(f_{PF}D) + 20logN。結果は、インテジャー・チャンネルの最低ノイズ・モードになります。

⁶ PLL の位相ノイズは、1/f (フリッカ) ノイズと正規化 PLL ノイズ・フロアで構成されています。ある無線周波数 (f_{RF}) およびある周波数オフセット (f_{OFFSET}) での 1/f ノイズの寄与分を計算する式は、PN1_f + 10log (10kHz/f_{OFFSET}) + 20log (f_{RF}/1GHz) で与えられます。正規化位相ノイズ・フロアとフリッカ・ノイズは共に ADIsimPLL 設計ツールでモデル化されています。

⁷ ロック時間は、代表的な評価用ボード構成で 100MHz ジャンプでの測定です。

タイミング仕様

表 2.

パラメータ	記号	テスト条件／コメント	Min.	Typ.	Max.	単位
Serial Port Interface (SPI) Timing		図 2、図 3、図 4 を参照				
SCLK Frequency	f _{SCLK}				50	MHz
SCLK Period	t _{SCLK}		20			ns
SCLK Pulse Width High	t _{HIGH}		10			ns
SCLK Pulse Width Low	t _{LOW}		10			ns
SDIO Setup Time	t _{DS}		2			ns
SDIO Hold Time	t _{DH}		2			ns
SCLK Falling Edge to SDIO Valid Propagation Delay	t _{ACCESS}		10			ns
$\overline{\text{CS}}$ Rising Edge to SDIO High-Z	t _Z		10			ns
$\overline{\text{CS}}$ Fall to SCLK Rise Setup Time	t _S		2			ns
SCLK Rise to $\overline{\text{CS}}$ Rise Hold Time	t _H		2			ns

タイミング図

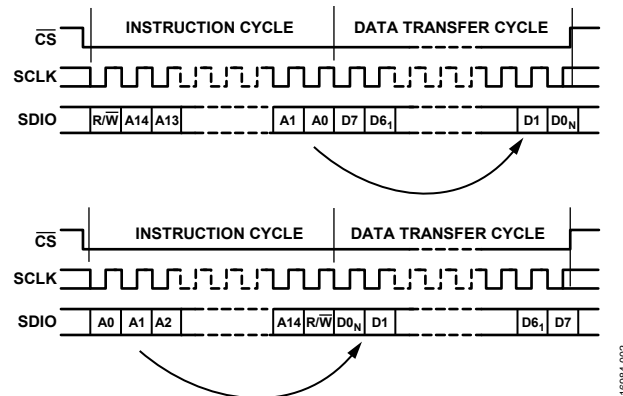


図 2. SPI タイミング、MSB ファースト（上）および LSB ファースト（下）

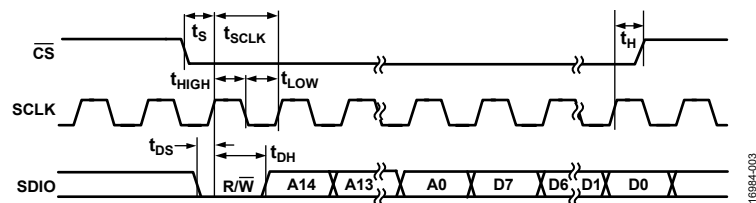


図 3. SPI 書き込み動作のタイミング

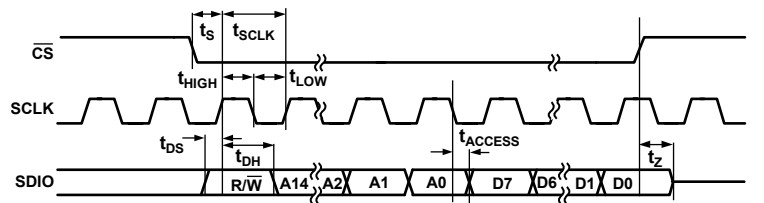


図 4. SPI 読み出し動作のタイミング

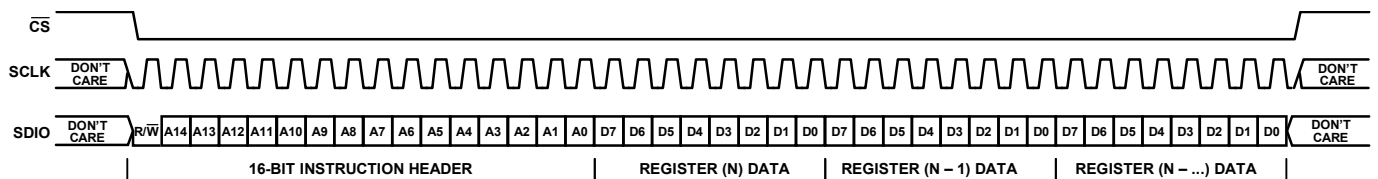


図 5.3 線式、MSB ファースト、降順データ、ストリーミング

絶対最大定格

特に指定のない限り、 $T_A = 25^{\circ}\text{C}$ 。

表 3.

Parameter	Rating
AV_{DD} Rails to GND ¹	-0.3 V to +3.6 V
AV_{DD} Rails to Each Other	-0.3 V to +0.3 V
VCC_VCO to GND ¹	-0.3 V to +5.5 V
VCC_VCO to AV_{DD}	-0.3 V to $AV_{DD} + 2.8$ V
CPOUT to GND ¹	-0.3 V to $AV_{DD} + 0.3$ V
VTUNE to GND	-0.3 V to $AV_{DD} + 0.3$ V
Digital Input and Output Voltage to GND ¹	-0.3 V to $AV_{DD} + 0.3$ V
Analog Input and Output Voltage to GND ¹	-0.3 V to $AV_{DD} + 0.3$ V
REFP and REFN to GND ¹	-0.3 V to $AV_{DD} + 0.3$ V
REFP to REFN	± 2.1 V
Temperature	
Operating Range	-40°C to +105°C
Storage Range	-65°C to +125°C
Maximum Junction	125 °C
Reflow Soldering	
Peak	260°C
Time at Peak	30 sec
Electrostatic Discharge (ESD)	
Charged Device Model	1.0 kV
Human Body Model	4.0 kV
Transistor Count	
Complementary Metal-Oxide Semiconductor (CMOS)	131,439
Bipolar	4063

¹ GND = 0V.

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意が必要です。

θ_{JA} は、1 立方フィートの密閉容器内で測定された、自然体流での周囲とジャンクションの間の熱抵抗です。 θ_{JC} は、ジャンクションとケースの間の熱抵抗です。

表 4. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
CC-48-4 ¹	25	14.4	°C/W

¹ テスト条件 1：熱抵抗のシミュレーション値は JESD51 規格に基づく値です。

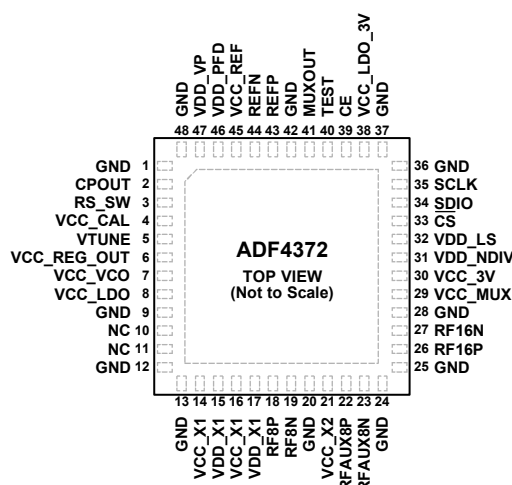
ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
1. THE LAND GRID ARRAY (LGA) HAS AN EXPOSED PAD THAT MUST BE SOLDERED TO A METAL PLATE ON THE PCB FOR MECHANICAL REASONS AND TO GND.

16984-008

図 6. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1, 9, 12, 13, 20, 24, 25, 28, 36, 37, 42, 48	GND	グラウンド・リターン。
2	CPOUT	チャージ・ポンプ (CP) 出力。イネーブルすると、この出力は外部ループ・フィルタに $\pm I_{CP}$ を供給します。ループ・フィルタの出力は VTUNE に接続され、内部 VCO を駆動します。
3	RS_SW	ループ・フィルタ・スイッチ。高速ロックのアプリケーションでループ・フィルタ抵抗のスイッチングに使用されます。
4	VCC_CAL	内部キャリブレーション・モニタ回路用電源。このピンの電圧は 3.15V~3.45V の範囲です。VCC_CAL は AV_{DD} と同じ値、すなわち、公称 3.3V でなければなりません。
5	VTUNE	VCO への制御入力。この電圧は出力周波数を決定し、CPOUT 出力電圧をフィルタ処理して得られます。
6	VCC_REG_OUT	VCO 電源レギュレータ出力。VCO レギュレータの出力電源電圧はこのピンで得られ、10 μ F のコンデンサで GND にデカップリングし、VCC_VCO ピンに短絡する必要があります。外付け LDO レギュレータを VCC_VCO に接続する場合は、このピンをオープンにします。
7	VCC_VCO	VCO の電源。このピンの電圧は 4.75V~5.25V の範囲です。このピンのできるだけ近くにデカップリング・コンデンサを配置し、アナログ・グラウンド・プレーンに接続します。最適な性能を得るために、この電源はクリーンで低ノイズでなければなりません。
8	VCC_LDO	VCO レギュレータへの電源ピン。内部レギュレータを使用する場合は、電源を VCC_LDO に接続します。このピンの電圧は 4.75V~5.25V の範囲です。外部レギュレータを使用する場合は、このピンを VCC_VCO に短絡します。
10, 11	NC	接続なし。
14, 16	VCC_X1	メイン RF 出力の電源。このピンの電圧は AV_{DD} と同じ値でなければなりません。
15, 17	VDD_X1	メイン RF 出力のデジタル電源。このピンの電圧は AV_{DD} と同じ値でなければなりません。
18	RF8P	メイン RF 出力。次段に AC カップリングします。出力レベルはプログラマブルです。VCO の基本出力または分周出力を取り出せます。
19	RF8N	相補メイン RF 出力。このピンは次段に AC カップリングします。出力レベルはプログラマブルです。VCO の基本出力または分周出力を取り出せます。
21	VCC_X2	2 通倍 RF 出力の電源。このピンの電圧は AV_{DD} と同じ値でなければなりません。
22	RFAUX8P	補助 RF 出力。次段に AC カップリングします。未使用時はこのピンをパワーオフできます。
23	RFAUX8N	相補補助 RF 出力。このピンは次段に AC カップリングします。未使用時はこのピンをパワーオフできます。
26	RF16P	2 通倍 VCO 出力。このピンは次段に AC または DC カップリングします。未使用時はこのピンをパワーオフできます。使用しない場合、このピンはオープン状態にできます。
27	RF16N	相補 2 通倍 VCO 出力。このピンは次段に AC または DC カップリングします。未使用時はこのピンをパワーオフできます。使用しない場合、このピンはオープン状態にできます。

ピン番号	記号	説明
29	VCC_MUX	VCO マルチプレクサの電源。このピンの電圧は AV_{DD} と同じ値でなければなりません。
30	VCC_3V	アナログ電源。このピンの電圧は AV_{DD} と同じ値でなければなりません。
31	VDD_NDIV	N 分周器電源。このピンの電圧は AV_{DD} と同じ値でなければなりません。
32	VDD_LS	レベル・シフト電源。このピンの電圧は AV_{DD} と同じ値でなければなりません。
33	$\overline{CS}$	チップ・セレクト、CMOS 入力。 $\overline{CS}$ がハイになると、シフト・レジスタに格納されているデータが、アドレス・ビットで選択されているレジスタにロードされます。
34	SDIO	シリアル・データ入出力。この入力は、高インピーダンスの CMOS 入力です。
35	SCLK	シリアル・クロック入力。データは、クロックの立上がり（または立下がり）エッジで 24 ビット・シフト・レジスタにクロック入力されます。この入力は、高インピーダンスの CMOS 入力です。
38	VCC_LDO_3V	1.8V デジタル・ロジックのレギュレータ入力。このピンの電圧は AV_{DD} と同じ値でなければなりません。
39	CE	チップ・イネーブル。3.3V または AV_{DD} に接続します。
40	TEST	工場テスト・ピン。このピンはグラウンドに接続します。
41	MUXOUT	マルチプレクサ出力。マルチプレクサ出力により、デジタル・ロック検出、アナログ・ロック検出、スケーリングされた RF、またはスケーリングされた基準周波数に外部からアクセスできます。このピンは、4 線式 SPI モードでレジスタ設定を出力するように設定できます。
43	REFP	リファレンス入力。シングルエンド・リファレンスでデバイスを駆動する場合は、信号を REFP ピンに AC カップリングします。
44	REFN	相補リファレンス入力。使用しない場合、このピンは GND に AC カップリングします。差動で駆動する場合、REFP と REFN を AC カップリングする必要があります。シングルエンドで駆動する場合、リファレンス信号を REFP に接続し、REFN を GND に AC カップリングする必要があります。差動構成では、差動インピーダンスは 100 Ω です。
45	VCC_REF	リファレンス・バッファへの電源。このピンの電圧は AV_{DD} と同じ値でなければなりません。
46	VDD_PFD	位相周波数検出器 (PFD) への電源。このピンの電圧は AV_{DD} と同じ値でなければなりません。
47	VDD_VP	チャージ・ポンプ電源。このピンの電圧は AV_{DD} と同じ値でなければなりません。スプリアス信号を最小限に抑えるために、GND に 1 μ F のデカップリング・コンデンサを接続する必要があります。
	EP	露出パッド。ランド・グリッドアレイ (LGA) には露出パッドがあり、機械的な理由により PCB の金属面にハンダ付けすると共に、GND にハンダ付けする必要があります。

代表的な性能特性

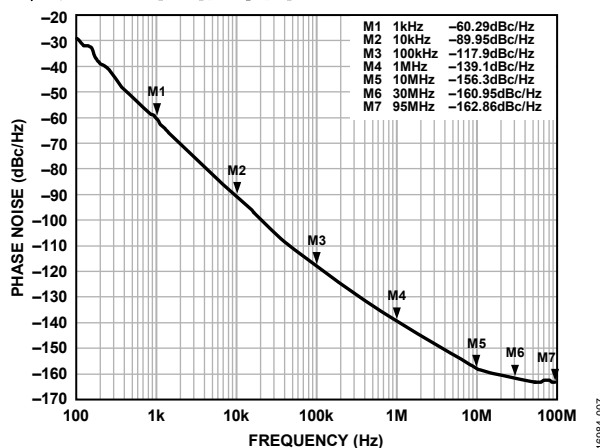


図 7. オープンループ VCO 位相ノイズ、4.0GHz、VCC_VCO = 5V

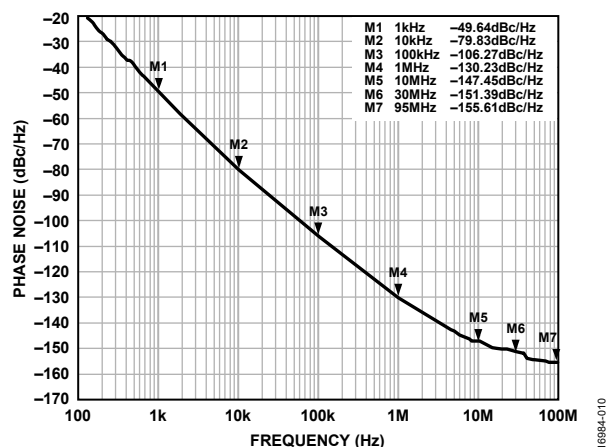


図 10. RF16x 出力でのオープンループ VCO 位相ノイズ、11.4GHz、VCC_VCO = 5V

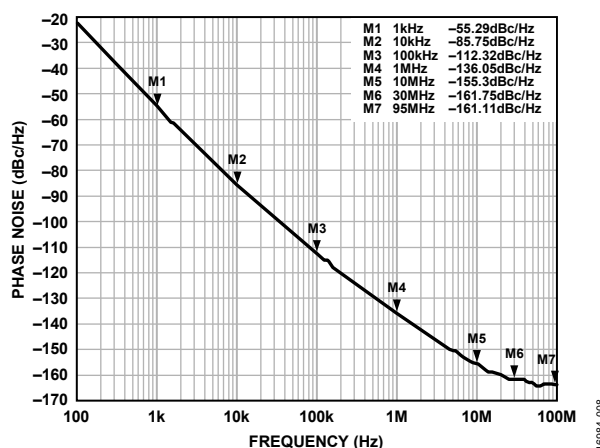


図 8. オープンループ VCO 位相ノイズ、5.7GHz、VCC_VCO = 5V

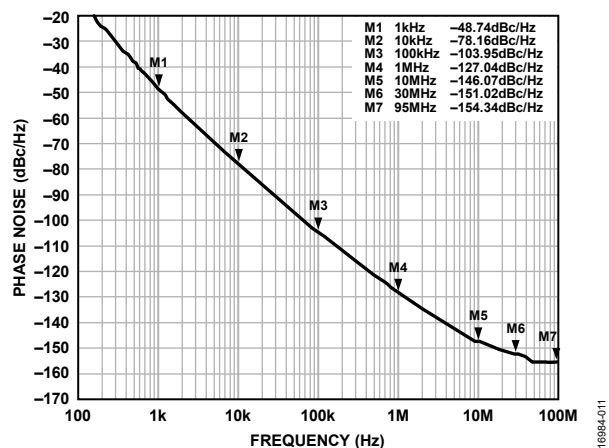


図 11. RF16x 出力でのオープンループ VCO 位相ノイズ、16.0GHz、VCC_VCO = 5V

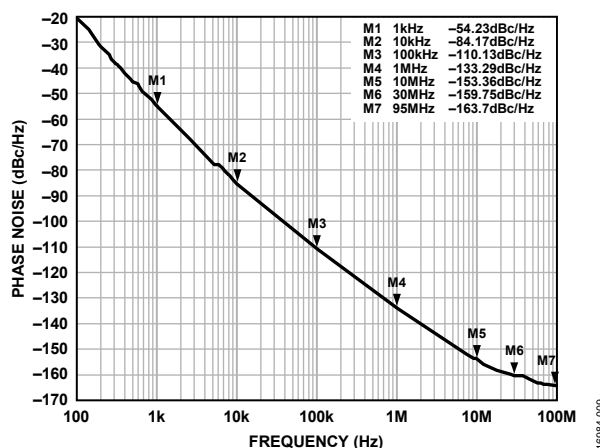


図 9. オープンループ VCO 位相ノイズ、8.0GHz、VCC_VCO = 5V

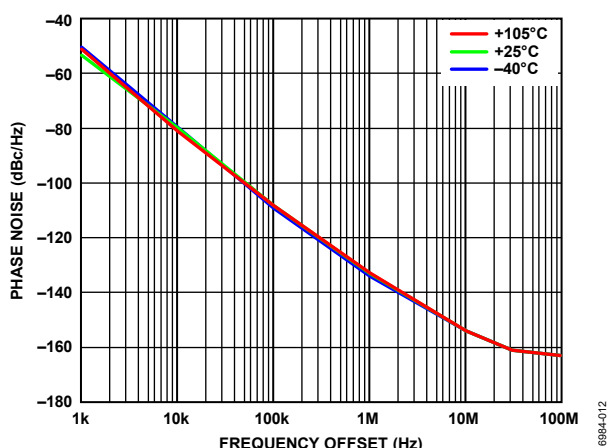


図 12. オープンループ VCO 位相ノイズの温度特性、8.0GHz、VCC_VCO = 5V

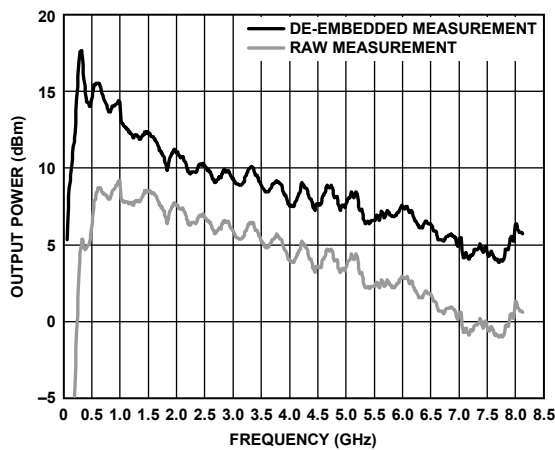


図 13. RF8P および RF8N の出力電力、ボードおよびケーブルの損失を除外、バランによる結合 (7.4nH インダクタ、10pF AC カップリング・コンデンサによる低周波数での電力制限)

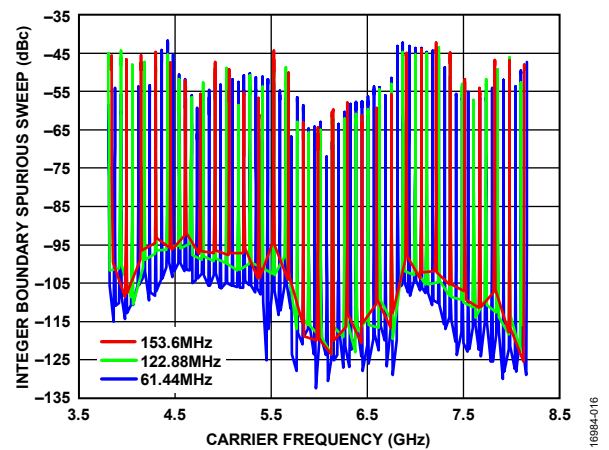


図 16. 整数境界スプリアス掃引とコーナ周波数の関係、 $f_{PFD} = 61.44\text{MHz}$ 、 122.88MHz 、および 153.6MHz 、ループ・フィルタ帯域幅 = 100kHz

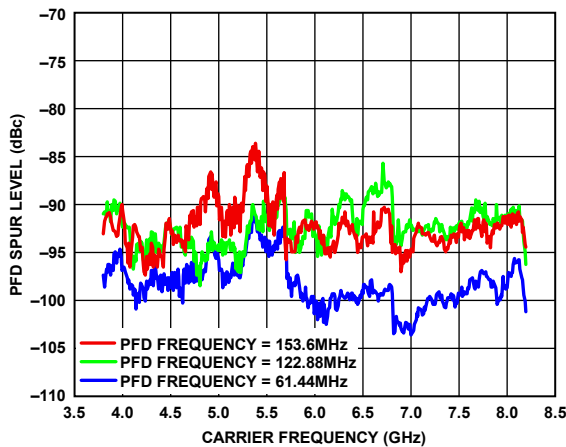


図 14. PFD スプリアス掃引、 $f_{PFD} = 61.44\text{MHz}$ 、ループ・フィルタ帯域幅 = 100kHz

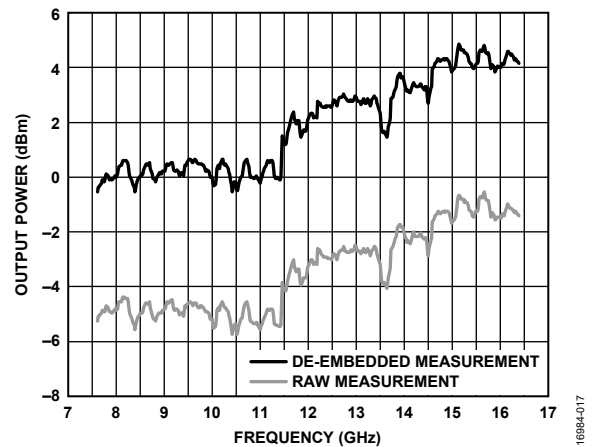


図 17. RF16P および RF16N の出力電力、ボードおよびケーブルの損失を除外、バランによる結合

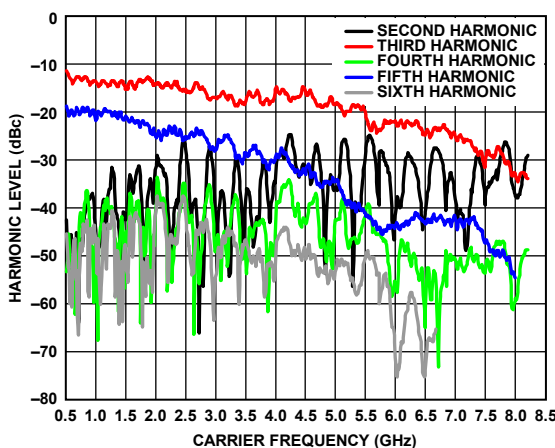


図 15. RF8P および RF8N の出力高調波、ボードおよびケーブルの損失を除外、バランによる結合

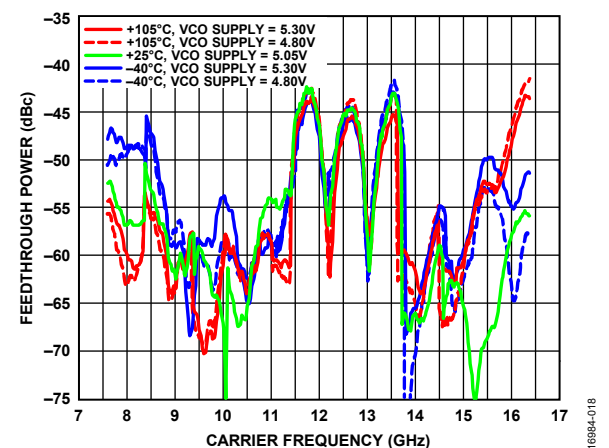


図 18. RF16P および RF16N の VCO フィードスルー、ボードおよびケーブルの損失を除外、バランによる結合

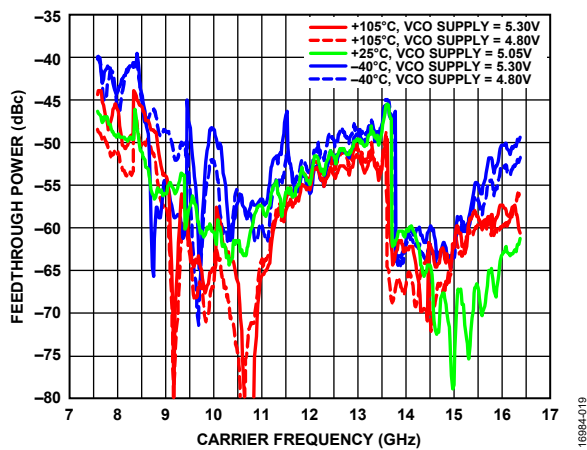


図 19. RF16P および RF16N の VCO × 3 フィードスルー、ボードおよびケーブルの損失を除外、バランによる結合

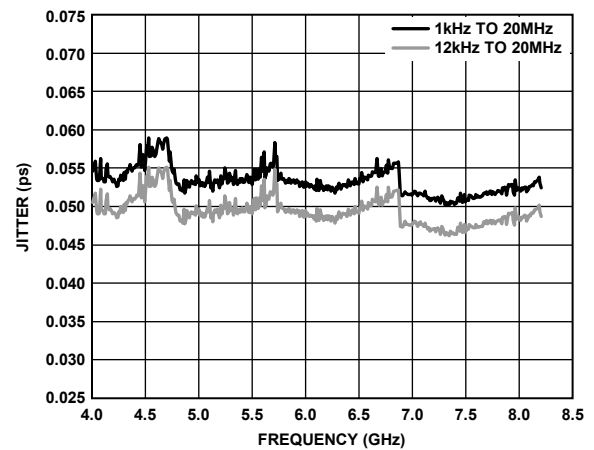


図 22. RMS ジッタ、フラクショナル N、 $f_{\text{PFD}} = 153.6\text{MHz}$ 、 $V_{\text{CC_VCO}} = 5\text{V}$

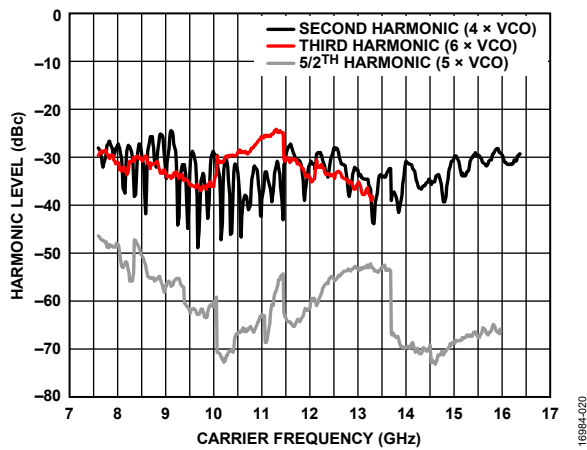


図 20. RF16P および RF16N の出力高調波、ボードおよびケーブルの損失を除外、バランによる結合

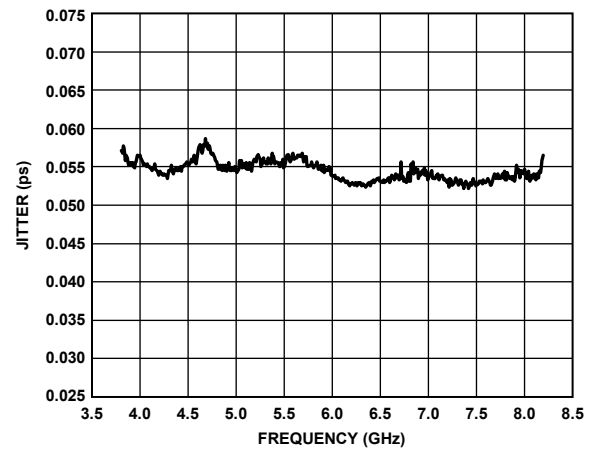


図 23. 1kHz～100MHz で積分した RMS ジッタ、フラクショナル N、 $f_{\text{PFD}} = 153.6\text{MHz}$ 、 $V_{\text{CC_VCO}} = 3.3\text{V}$

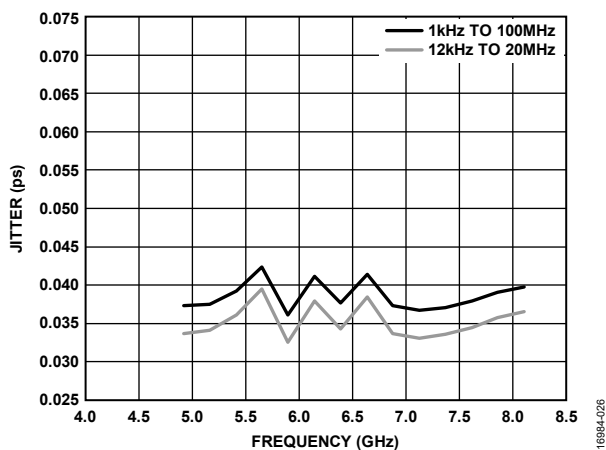


図 21. RMS ジッタ、インテジャー N、 $f_{\text{PFD}} = 245.76\text{MHz}$ 、ループ・フィルタ帯域幅 = 220kHz、 $V_{\text{CC_VCO}} = 5\text{V}$

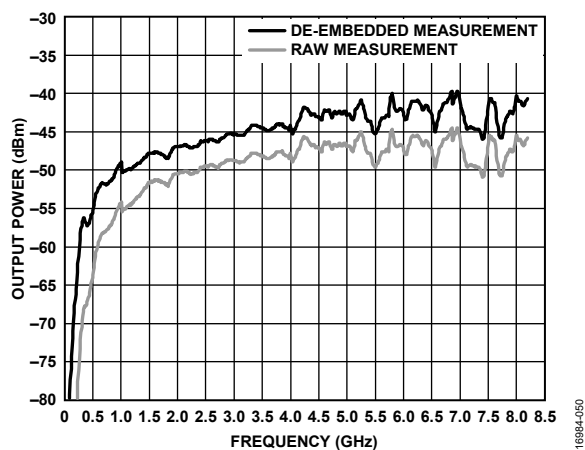


図 24. RF8P および RF8N のディスエーブル時の出力電力、ボードおよびケーブルの損失を除外、バランによる結合

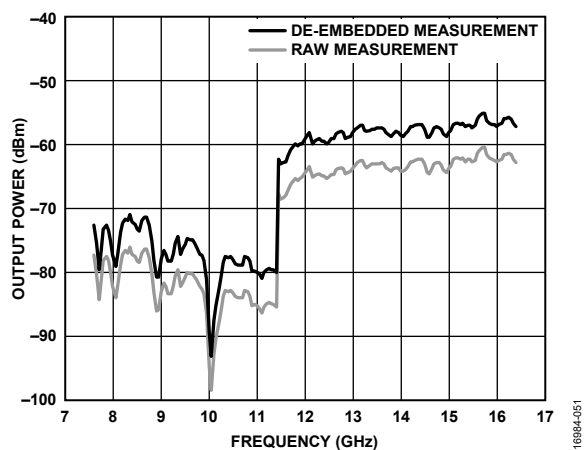


図 25. RF16P および RF16N のディスエーブル時の出力電力、ボードおよびケーブルの損失を除外、バランによる結合

動作原理

RF シンセサイザ、実際例

次式を使って ADF4372 シンセサイザを設定します。

$$f_{RFOUT} = \left(INT + \frac{FRAC1 + \frac{FRAC2}{MOD2}}{MOD1} \right) \times \frac{f_{PFD}}{RF \text{ Divider}} \quad (1)$$

ここで、

f_{RFOUT} は RF 出力周波数。

INT はインテジャ分周係数。

$FRAC1$ はフラクショナル。

$FRAC2$ は補助フラクショナル。

$MOD2$ は補助モジュラス。

$MOD1$ は固定の 25 ビット・モジュラス。

$RF \text{ Divider}$ は VCO 周波数を分周する出力分周比。

$$f_{PFD} = REF_{IN} \times ((1 + D)/(R \times (1 + T))) \quad (2)$$

ここで、

REF_{IN} はリファレンス周波数入力。

D は REF_{IN} ダブル・ビット。

R はリファレンス分周係数。

T はリファレンス 2 分周ビット (0 または 1)。

例えば、2112.8MHz の f_{RFOUT} が必要とされるユニバーサル・モバイル・テレコミュニケーション・システム (UMTS) では、122.88MHz の REF_{IN} を使用できます。ADF4372 の VCO は 4GHz ~ 8GHz の周波数範囲で動作します。したがって、RF を 2 分周する必要があります ($VCO \text{ 周波数} = 4225.6\text{MHz}$, $f_{RFOUT} = VCO \text{ 周波数}/RF \text{ 分周比} = 4225.6\text{MHz}/2 = 2112.8\text{MHz}$)。

フィードバック・パスも重要です。この例では、VCO 出力は出力分周器の前でフィードバックされています (図 26 を参照)。

この例では、122.88MHz のリファレンス信号を 2 分周して 61.44MHz の f_{PFD} を生成します。必要なチャンネル間隔は 200kHz です。

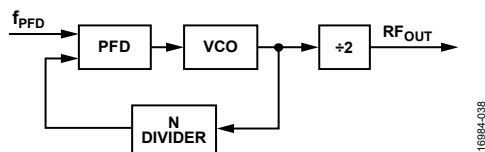


図 26. 出力分周器の前に配置されたクローズドループ

この実際例で使用されている値は次のとおりです。

$$N = f_{VCO_OUT}/f_{PFD} = 4225.6\text{MHz}/61.44\text{MHz} = 68.7760416666666667 \quad (3)$$

ここで、

N は希望するフィードバック・カウンタ N の値。 f_{VCO_OUT} は出力分周器を使用しない VCO 電圧制御発振器の出力周波数。

f_{PFD} は位相周波数検出器の周波数。

$$INT = INT(VCO \text{ 周波数}(f_{PFD})) = 68 \quad (4)$$

$$FRAC = 0.7760416666666667 \quad (5)$$

ここで、

$FRAC$ は N のフラクショナル部。

$$MOD1 = 33,554,432 \quad (6)$$

$$FRAC1 = INT(MOD1 \times FRAC) = 26,039,637 \quad (7)$$

$$\text{剰余} = 0.333333333 \text{ または } 1/3 \quad (8)$$

$$MOD2 = f_{PFD}/GCD(f_{PFD}, f_{CHSP}) = 61.44\text{MHz}/GCD(61.44\text{MHz}, 200\text{kHz}) = 1536 \quad (9)$$

ここで、

GCD は最大公約数演算子。

$$FRAC2 = \text{剰余} \times 1536 = 512 \quad (10)$$

式 2 から、

$$f_{PFD} = (122.88\text{MHz} \times (1 + 0)/2) = 61.44\text{MHz} \quad (11)$$

$$2112.8\text{MHz} = 61.44\text{MHz} \times (INT + (FRAC1 + FRAC2/MOD2) / 2^{25}) / 2 \quad (12)$$

ここで、

$INT = 68$ 。

$FRAC1 = 26,039,637$ 。

$FRAC2 = 512$ 。

$MOD2 = 1536$ 。

$RF \text{ 分周比} = 2$ 。

リファレンス入力感度

入力リファレンス信号のスルー・レートは性能に大きく影響します。このデバイスは、0.4Vp-pまでの非常に小さな振幅の信号と 21V/μsのスルー・レートで機能します。ただし、最適性能は、1000V/μsもの高スルー・レートで実現されます。正弦波でこのスルー・レートを実現するには大きな振幅が必要であり、低周波数では不可能なことがあります。ADF4372のジッタと位相ノイズ性能を、PFD周波数が250MHzの場合について図27に、100MHzの場合について図28に示します。最高の性能を実現するには、リファレンス入力信号としてスルー・レートの高い高品質の方形波信号を推奨します。

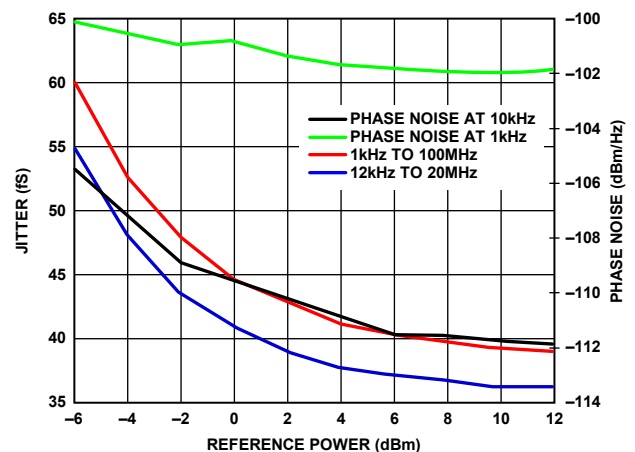
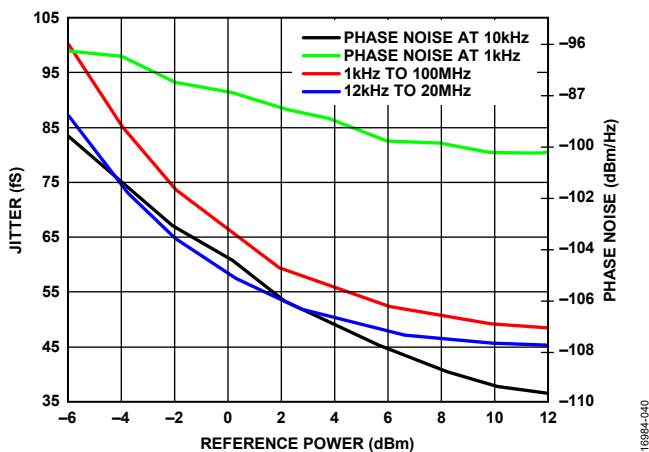


図 27. ジッタと位相ノイズ、 $f_{PFD} = 250\text{MHz}$

図 28. ジッタと位相ノイズ、 $f_{\text{PFD}} = 100\text{MHz}$

リファレンス・ダブラとリファレンス分周器

内蔵のリファレンス・ダブラは、入力リファレンス信号を2通倍できます。ダブラは、PFDの比較周波数を増やすのに役立ちます。システムのノイズ性能を改善するには、PFD周波数を上昇させます。PFD周波数を2倍にすると、ノイズ性能が3dB（代表値）改善されます。

リファレンス 2 分周機能によりリファレンス信号が 2 分周されるので、PFD 周波数のデューティ・サイクルは 50%になります。

スプリアス最適化と高速ロック

ループ帯域幅を狭くすると、不要なスプリアス信号をフィルタ処理できます。ただし、こうした帯域幅では通常はロック時間が長くなります。ループ帯域幅が広いとロック時間は短くなりますが、ループ帯域幅内のスプリアス信号が増加する可能性があります。

ジッタの最適化

ジッタを最小にしたいアプリケーションでは、PLL の帯域内ノイズの影響をできるだけ小さくするために、できるだけ高い PFD 周波数を使用します。PLL フィルタの帯域幅は、PLL の帯域内ノイズが VCO のオープンループ・ノイズと交差するように設定して、これらのノイズが全体的なノイズに及ぼす影響をできるだけ小さくできるようにします。

この作業には、ADIsimPLL 設計ツールを使用します。

ループ・フィルタのさらなる最適化

PLL フィルタは、システム条件に応じて、リファレンス、PFD、VCO ノイズに最適な帯域幅となるように設計されます。この設計に加えて、シグマ・デルタ ($\Sigma\Delta$) モジュレータ (SDM) をイネーブルしている場合は、SDM ノイズのフィルタ処理のために更に最適化が必要になることがあります。

$\Sigma\Delta$ モジュレータのノイズ低減

フラクショナル・モードでは、SDM ノイズが明確になり、全体的な位相ノイズに影響し始めます。CPOUT ピンとループ・フィルタの間に直列抵抗を接続すると、このノイズを無視できるレベルにまで低減できます。この抵抗はCPOUTピンの近くに配置します。妥当な抵抗値であれば、設計されたループ・フィルタのループ帯域幅と位相余裕に影響を与えません。ほとんどの場合、 91Ω で最良の結果が得られます。インテジャー・モードの (SDM をイネーブルしない) 場合または狭帯域ループ・フィルタを使用する (SDM ノイズが減衰される) 場合、この抵抗は不要です。

スプリアスのメカニズム

このセクションでは、フラクショナル N シンセサイザで発生する 2 つの異なるスプリアスのメカニズムと、それらを ADF4372 で最小化する方法について説明します。

整数境界スプリアス

フラクショナル・スプリアス発生メカニズムの 1 つは、RF VCO 周波数とリファレンス周波数の間の相互作用です。これらの周波数が整数に関連しない場合（これがフラクショナル N シンセサイザの目的です）、スプリアス・サイドバンドはビート・ノートすなわち、リファレンスの整数倍と VCO 周波数の間の周波数差に対応するオフセット周波数で VCO 出力スペクトルに現れます。これらのスプリアスは、ループ・フィルタで減衰されますが、差周波数がループ帯域内に入る可能性のあるリファレンスの整数倍に近いチャンネルではより顕著になります。

リファレンス・スプリアス

リファレンス・スプリアスは通常、フラクショナル N シンセサイザでは問題になりません。リファレンス・オフセットがループ帯域幅から大きく外れるためです。ただし、ループをバイパスするリファレンス・フィードスルー・メカニズムにより、問題が発生することがあります。低レベルの内蔵リファレンス・スイッチング・ノイズがブリスケーラを介して VCO にフィードスルーすると、リファレンス・スプリアス・レベルは最大で -100dBc になる可能性があります。

ロック時間

PLL ロック時間はいくつかの設定値に分割されます。周波数変更に要する合計ロック時間は、シンセサイザ・ロック、VCO 帯域の選択、自動レベル・キャリブレーション (ALC)、および PLL セトリング時間の 4 つの別々の時間の合計です。

シンセサイザ・ロック

シンセサイザ・ロックのタイムアウトにより、帯域選択回路に対して VCO キャリブレーション DAC が VCO 調整電圧 (V_{TUNE}) の値を安定させることができます。SYNTH_LOCK_TIMEOUT ビットと TIMEOUT ビットは、VCO キャリブレーションのプロセスが次のフェーズ (VCO 帯域の選択) に進むまでに DAC が最終電圧に安定するための許容時間を選択するものです。

PFD 周波数はこのロジック用のクロックであり、この時間は次式を使用して設定します。

$$\frac{\text{SYNTH_LOCK_TIMEOUT} \times 1024 + \text{TIMEOUT}}{f_{\text{PFD}}} \quad (13)$$

ここで、

SYNTH_LOCK_TIMEOUT はアドレス 0x33 で設定。

TIMEOUT はアドレス 0x31 とアドレス 0x32 で設定。

計算される時間は $20\mu\text{s}$ 以上でなければなりません。

SYNTH_LOCK_TIMEOUT ビットの最小値は 2、最大値は 31 です。TIMEOUT ビットの最小値は 2、最大値は 1023 です。

VCO 帯域の選択

VCO 帯域選択クロックを生成するには、次式のように VCO_BAND_DIV ビット（アドレス 0x30 で設定）および f_{PFD} を使用します。

$$f_{BSC} = \frac{f_{PFD}}{VCO_BAND_DIV} \quad (14)$$

計算される時間は 2.4MHz 以下でなければなりません。

1 つの VCO コアと帯域キャリブレーションのステップには 16 クロック・サイクルが必要で、全帯域の選択プロセスには 11 ステップかかるため、次式が得られます。

$$11 \times \frac{16 \times VCO_BAND_DIV}{f_{PFD}} \quad (15)$$

VCO_BAND_DIV の最小値は 1、最大値は 255 です。

ALC

ALC 機能を使用して、ADF4372 の VCO コアに適切なバイアス電流を選択します。各ステップで VCO バイアス電圧が安定するのには時間は、次式で求めます。

$$\frac{VCO_ALC_TIMEOUT \times 1024 + TIMEOUT}{f_{PFD}} \quad (16)$$

ここで、

VCO_ALC_TIMEOUT および TIMEOUT は、アドレス 0x34、アドレス 0x32、およびアドレス 0x31 で設定します。

計算される時間は 50μs 以上でなければなりません。

ALC 全体では 63 ステップ必要です。ALC の合計時間は、次式で計算します。

$$63 \times \frac{VCO_ALC_TIMEOUT \times 1024 + TIMEOUT}{f_{PFD}} \quad (17)$$

VCO_ALC_TIMEOUT の最小値は 2、最大値は 31 です。

PLL のセトリング時間

ループの安定に必要な時間は、ローパス・フィルタの帯域幅に反比例します。セトリング時間は ADIsimPLL 設計ツールで正確にモデル化されています。

ロック時間、実際例

$f_{PFD} = 61.44\text{MHz}$ と仮定します。

$$VCO_BAND_DIV = \text{Ceiling}(f_{PFD}/2,400,000) = 26 \quad (18)$$

ここで、Ceiling () は最も近い整数に切り上げます。

$$SYNTH_LOCK_TIMEOUT \times 1024 + TIMEOUT > 1228.8 \quad (19)$$

$$VCO_ALC_TIMEOUT \times 1024 + TIMEOUT > 3072 \quad (20)$$

これらの基準を満たす適切な値はいくつかあります。最小仕様を考慮すると、以下の値が最適です。

- SYNTH_LOCK_TIMEOUT = 2（最小値）
- VCO_ALC_TIMEOUT = 3
- TIMEOUT = 2

キャリブレーション・プロセスをバイパスすることによって、このデータシートに記載されている値よりもはるかに短いロック時間が可能です。詳細については、アナログ・デバイズの販売代理店にお問い合わせください。

回路の説明

リファレンス入力

リファレンス入力段を図 29 に示します。リファレンス入力は、シングルエンド信号と差動信号の両方に対応できます。信号を選択するには、リファレンス・モード・ビット（アドレス 0x22 のビット 6）を使用します。リファレンス入力に差動信号を使用するには、このビットをハイに設定します。この場合、SW1 と SW2 が開き、SW3 と SW4 が閉じ、差動トランジスタのペアを駆動する電流源がオンになります。差動信号はバッファされ、CMOS バッファへのエミッタ結合ロジック（ECL）に供給されます。

シングルエンド信号をリファレンスとして使用する場合は、リファレンス信号を REFP に接続し、アドレス 0x22 のビット 6 を 0 に設定します。この場合、SW1 と SW2 が閉じ、SW3 と SW4 が開き、差動トランジスタのペアを駆動する電流源がオフになります。

整数境界スプリアスと位相ノイズ性能を最適化するには、500MHz までのすべてのリファレンスでシングルエンド設定を使用します（差動信号を使用する場合においても）。500MHz を超えるリファレンス周波数には差動設定を使用します。

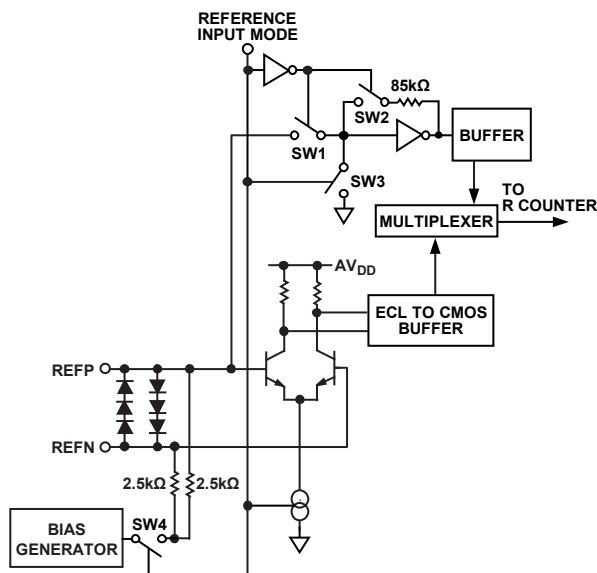


図 29. リファレンス入力段、差動モード

RF N 分周器

RF N 分周器により、PLL フィードバック・パスで分周比の設定が可能になります。この分周器が構成される INT、FRAC1、FRAC2、MOD2 の値で分周比を決定します。

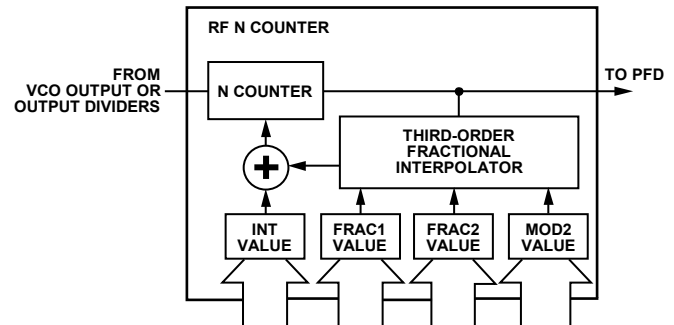


図 30. RF N 分周器

INT、FRAC、MOD と R カウンタの関係

INT、FRAC1、FRAC2、MOD1、MOD2 の値を R カウンタと組み合わせると、非整数の f_{PFD} 間隔を持つ出力周波数を生成できます。詳細については、RF シンセサイザの実例のセクションを参照してください。

f_{VCO_OUT} は次式で計算します。

$$f_{VCO_OUT} = f_{PFD} \times N \quad (21)$$

f_{PFD} は次式で計算します。

$$f_{PFD} = REF_{IN} \times \frac{1+D}{R \times (1+T)} \quad (22)$$

ここで、

REF_{IN} は基準周波数入力。

D は REF_{IN} ダブル・ビット。

R は 10 ビット・バイナリのプログラマブル・リファレンス・カウンタのプリセット分周比（1~1023）。

T は REF_{IN} の 2 分周ビット（0 または 1）。

目的のフィードバック・カウンタ N の値は次式で計算します。

$$N = INT + \frac{FRAC1 + \frac{FRAC2}{MOD2}}{MOD1} \quad (23)$$

ここで、

INT は 16 ビットのインテジャー値。インテジャー・モードの場合、4/5 プリスケアラでは $INT = 20 \sim 32,767$ 、8/9 プリスケアラでは $64 \sim 65,535$ 。フラクショナル・モードの場合、4/5 プリスケアラでは $INT = 23 \sim 32,767$ 、8/9 プリスケアラでは $75 \sim 65,535$ 。

$FRAC1$ は 1 次モジュラスの分子（0~33,554,431）。

$FRAC2$ は 14 ビット補助モジュラスの分子（0~16,383）。

$MOD2$ は、プログラマブルな 14 ビット補助フラクショナル・モジュラス（2~16,383）。

$MOD1$ は、 $2^{25} = 33,554,432$ の固定値を持つ 25 ビットの 1 次モジュラス。

これらの計算により、残留周波数誤差のない非常に高い周波数分解能が得られます。式 23 を適用するには、以下の手順を実行します。

1. VCO_{OUT}/f_{PFD} の除算により N を計算します。この数の整数値が INT になります。
2. N の全部の値から INT を引きます。
3. 差に 2^{25} を乗算します。この数の整数値が $FRAC1$ になります。
4. チャンネル間隔 (f_{CHSP}) に基づく $MOD2$ を次式で計算します。

$$MOD2 = f_{PFD}/GCD(f_{PFD}, f_{CHSP}) \quad (24)$$

ここで、 $GCD(f_{PFD}, f_{CHSP})$ は PFD 周波数とチャンネル間隔周波数の最大公約数。
 f_{CHSP} は目的のチャンネル間隔周波数。

5. $FRAC2$ を次式により計算します。

$$FRAC2 = ((N - INT) \times 2^{25} - FRAC1) \times MOD2 \quad (25)$$

非整数の $FRAC2$ と $MOD2$ は、以下の場合にチャンネル間隔に対するゼロ周波数誤差の出力になります。

$$f_{PFD}/GCD(f_{PFD}, f_{CHSP}) = MOD2 < 16,383 \quad (26)$$

ゼロ周波数誤差が不要な場合、 $MOD1$ と $MOD2$ の分母は共に作用して 39 ビットの分解能モジュラスを生成します。

インテジャーNモード

$FRAC1$ と $FRAC2$ が 0 の場合、シンセサイザはインテジャーNモードで動作します。アドレス 0x2B の SD_EN_FRAC0 ビットを 1 に設定して SDM をディスエーブルすることを推奨します。これにより、帯域内位相ノイズが改善され、追加される $\Sigma \Delta$ ノイズが減少します。

R カウンタ

5 ビット R カウンタにより、入力リファレンス周波数 ($REFP$ と $REFN$ への入力) を分周して、 PFD へのリファレンス・クロックを生成できます。1~32 の分周比が可能です。

PFD とチャージ・ポンプ

PFD は R カウンタと N カウンタから入力を受け取り、それらの位相と周波数の差に比例した出力を生成します。図 31 は、 PFD の簡略化した回路図です。 PFD には、バックラッシュ防止パルスの幅を設定する固定の遅延要素が含まれています。このパルスは、 PFD 伝達関数内で不感帯の発生を確実に防止し、リファレンス・スプリアス・レベルを一定にします。 VCO が正の調整勾配であるため、このデバイスでは位相検出器の極性を正に設定します。

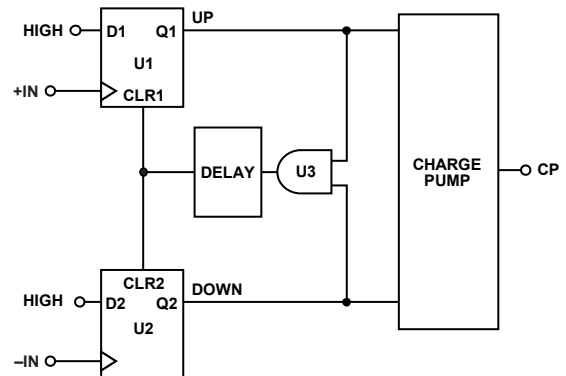


図 31. PFD の簡略化した回路図

MUXOUT とロック検出

ADF4372 の出力マルチプレクサにより、チップ上の様々な内部ポイントにアクセスできます。MUXOUT セクションのブロック図を図 32 に示します。

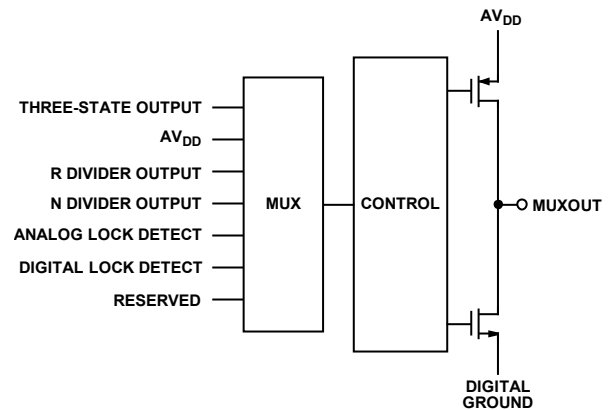


図 32. MUXOUT の回路図

ダブル・バッファ

ADF4372 では、メイン・フラクショナル値 ($FRAC1$)、補助モジュラス値 ($MOD2$)、補助フラクショナル値 ($FRAC2$)、リファレンス・ダブル、リファレンス 2 分周 ($RDIV2$)、R カウンタ値、およびチャージ・ポンプ電流設定がダブル・バッファ付きとなっています。ADF4372 がダブル・バッファ設定で新しい値を使用する前に、2 つのイベントを実行する必要があります。最初に該当するレジスタへの書き込みによって新しい値をデバイスにラッチさせ、次いでアドレス 0x10 に新しい書き込みを実行する必要があります。

例えば、モジュラス値が正しく読み込まれるようにするには、モジュラス値が更新されるたびにアドレス 0x10 に書き込む必要があります。

VCO

ADF4372 の VCO は、コア A、コア B、コア C、コア D の 4 つの個別の VCO コアで構成され、それぞれ 256 の重複する帯域を使用するため、VCO 感度 (K_V) を上げなくとも広い周波数範囲をカバーできます。その結果、位相ノイズおよびスプリアス性能の低下を防ぐことができます。

アドレス 0x10 が更新されて自動キャリブレーションが有効になるときに、VCO と帯域選択ロジックによって適切な VCO と帯域が自動的に選択されます。VCO の調整電圧がループ・フィルタの出力から切り離され、内部リファレンス電圧に接続されます。

R カウンタ出力は、帯域選択ロジック用のクロックとして使用されます。帯域選択後、通常の PLL 動作が再開されます。N 分周器が VCO 出力から駆動される場合、 K_V の公称値は 50MHz/V になります。あるいは K_V 値は D で除算されます。N 分周器が RF 出力分周器から駆動される場合、D は出力分周器の値です。

調整電圧 V_{TUNE} が帯域内および帯域間で変化するのに応じて、VCO の K_V は変動します。広い周波数範囲をカバーする（および出力分周比が変化する）広帯域アプリケーションでは、50MHz/V の値が平均値に最も近い最も正確な K_V になります。 K_V が基本 VCO 周波数によってどのように変化するかを、周波数帯域の平均値と共に、図 33 と図 34 に示します。狭帯域設計を使用する場合は図 33 と図 34 のほうが役に立つ可能性があります。

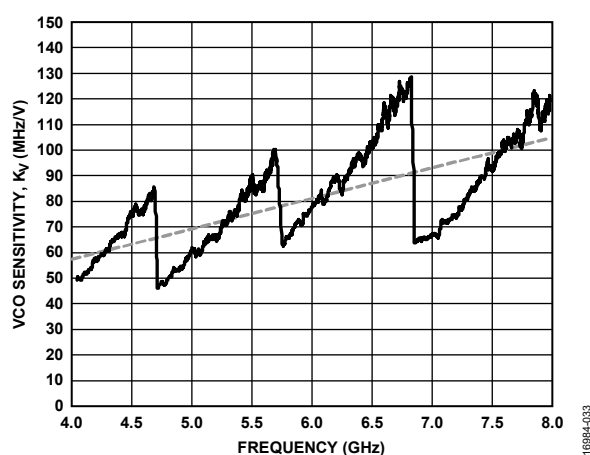


図 33. VCO 感度 K_V の周波数特性、 $VCC_VCO = 5V$

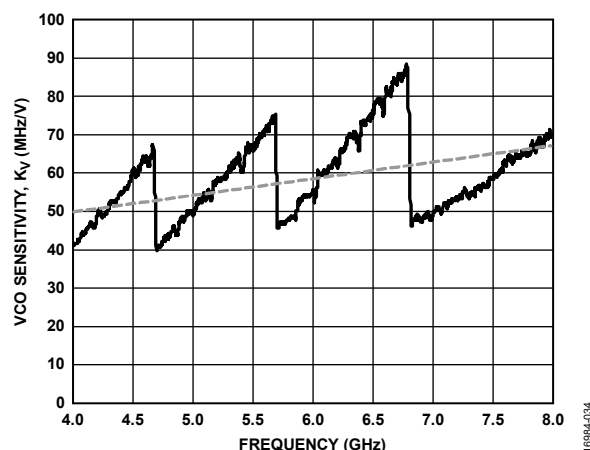


図 34. VCO 感度 K_V の周波数特性、 $VCC_VCO = 3.3V$

出力段

図 35 に示すように、ADF4372 の RF8P ピンと RF8N ピンは、VCO のバッファ付き出力で駆動されるバイポーラ NPN 差動ペアのコレクタに接続します。ADF4372 は、 VCC_X1 ピンに接続された 50 Ω の内部抵抗を内蔵しています。消費電力と出力電力の間の条件を最適化するために、差動ペアのテール電流はアドレス 0x25 のビット [1:0] で設定できます。4 つの電流レベルが設定可能です。これらのレベルでは、約 -4dBm、-1dBm、2dBm、5dBm の出力電力レベルが得られます。50 Ω 負荷への AC カップリングによって、-4dBm、-1dBm、2dBm のレベルを実現できます。5dBm レベルでは、 VCC_X1 に外付けのシャント・インダクタが必要です。インダクタでは 50 Ω 抵抗よりも動作周波数が狭くなります。正確な電力レベルについては、代表的な性能特性のセクションを参照してください。電力レベルを更に高くするには外付けシャント・インダクタを追加します。この場合、内部バイアスのみの場合よりも帯域幅が狭くなります。未使用の相補出力は、使用する出力と同様の回路で終端します。

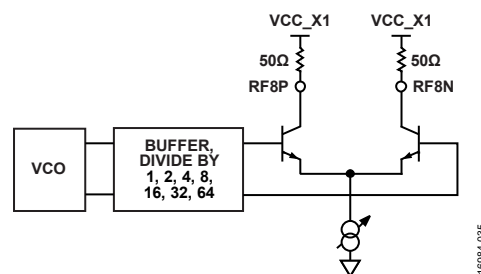


図 35. 出力段

2 通倍の VCO 出力 (8GHz~16GHz) は RF16P ピンと RF16N ピンで得られ、これは次段の回路に直接接続できます。RFAUX8P および RFAUX8N は、RF8x 出力と同じ機能を提供しますが、必要に応じて、分周した RF8x 周波数または VCO 周波数を出力することもできます。

ダブラ

VCO 周波数を 2 通倍した周波数は RF16P ピンと RF16N ピンで得られます。未使用時はこの出力をパワーダウンさせることが可能で、その場合は RF16P ピンと RF16N ピンをオープンのままにすることができます。

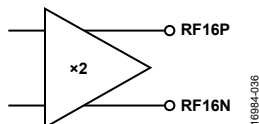


図 36. ダブラの出力段

ADF4372 には、VCO とその他の不要な周波数成分を抑制する自動トラッキング・フィルタが搭載されているため、2 通倍出力が最大化され、VCO と $3 \times \text{VCO}$ の周波数が出力周波数に関係なく抑制されます。抑圧特性は代表値で 50dB 未満です。アドレス 0x23 のビット 1 を使用して自動トラッキングを有効にすると、最適値が自動的に設定されます。

最適な出力電力、位相ノイズ、高調波除去の設定を表 6 に示します。

表 6. 2 通倍出力時のフィルタとバイアスの設定

Frequency (GHz)	Filter	Bias
<8.4	7	3
8.4 to 9.4	6	3
9.4 to 10	5	3
10 to 11.5	4	3
11.5 to 12.2	3	3
12.2 to 13.7	2	3
13.7 to 14.5	1	3
>14.5	0	3

出力段のミュート

ADF4372 のもう 1 つの特長は、ADF4372 がロックしたとデジタル・ロック検出回路で測定されるまで、RF8P および RF8N の出力段への供給電流をシャットダウンできることです。アドレス 0x25 のロック検出ミュート・ビット (MUTE_LD) によって、この機能が有効になります。

SPI

ADF4372 の SPI により、必要に応じて 3 線式または 4 線式の SPI ポートを介してデバイスを設定できます。このインターフェースにより柔軟性が高まり、カスタマイズが容易になります。シリアル・ポート・インターフェースは、4 本の制御線、すなわち、SCLK、SDIO、CS、MUXOUT (3 線式 SPI では不使用) で構成されます。SPI ポートのタイミング条件を表 2 に詳述します。

SPI プロトコルは、読み書きビットと 15 個のレジスタ・アドレス・ビット、それに続く 8 個のデータ・ビットで構成されています。アドレスとデータの両方のフィールドは、デフォルトで MSB を先頭にし LSB で終了するように構成されます。読出しモードのタイミングを図 3 に、書込みモードのタイミングを図 4 に示します。上位ビットの順序は、アドレス 0x00 のビット 1 (LSB_FIRST) の設定で変更できます。関連するタイミング図を図 2 に示します。

書込みサイクル時の ADF4372 入力ロジック・レベルは、1.8V ロジック・レベルと互換性があります (表 1 のロジック・パラメータを参照)。読出しサイクルでは、LEV_SEL ビットの設定により、SDIO ピンと MUXOUT ピンの両方を 1.8V (デフォルト) または 3.3V の出力レベルに設定できます。

SPI ストリーム・モード

ADF4372 はストリーム・モードをサポートしています。このモードでは、レジスタ・アドレス (命令ワード) の書込みを行うことなく、データ・ビットがシリアルにレジスタにロードされるか、レジスタから読み出されます。このモードは、大量のデータを転送する必要があるとき、または一部のレジスタを繰り返し更新する必要があるときに、タイム・クリティカルなアプリケーションで役立ちます。

スレーブ・デバイスがこのアドレスへのデータの読書きを開始すると、CS がアサートされ、シングル・バイトの書込みが有効 (アドレス 0x01 のビット 7) にならない限り継続します。スレーブ・デバイスは、アドレス拡張ビット (アドレス 0x00 のビット 2) の設定に応じて、アドレスを自動的にインクリメントまたはデクリメントします。

3 バイト・ストリーミングの図を図 5 に示します。命令ヘッダはロジック 0 で始まって書込みシーケンスであることを示し、レジスタをアドレス指定します。CS がアサートされることなく、レジスタ (N、N-1、N-2) のデータが連続してロードされます。

レジスタは 8 ビットで構成され、レジスタが 8 ビット以上を必要とする場合は、シーケンシャル・レジスタ・アドレスが使用されます。この構成により、ストリーム・モードの使用が可能になり、ロードが簡単になります。例えば、FRAC1WORD はアドレス 0x16、アドレス 0x15、およびアドレス 0x14 (MSB から LSB) に格納されます。これらのレジスタは、図 5 に示すように、アドレス 0x16 を使用し、その後 24 ビットのデータ全体を送信することによってロードできます。

デバイス設定

ADF4372 を設定するための推奨手順は以下のとおりです。

1. SPI インターフェースを設定。
2. 初期化シーケンスを実行。
3. 周波数更新シーケンスを実行。

ステップ 1：SPI インターフェースの設定

最初に SPI を初期化します。表 7 の値をアドレス 0x00 とアドレス 0x01 に書き込みます。

表 7. SPI インターフェースの設定

Address	Setting	Notes
0x00	0x18	4-wire SPI
0x01	0x00	Stalling, master readback control

ステップ 2：初期化シーケンス

アドレス 0x7C からアドレス 0x10 への逆の順序で各レジスタに書き込みます。目的の周波数を生成するための適切な値を選択します。データシートに記載されていないレジスタは、通常の SPI モードでは省略できます。SPI ストリーム・モードを使用する場合は、レジスタの一覧セクションにないレジスタに 0x00 を書き込みます。

周波数更新シーケンスの後に、目的の出力周波数が生成されます。

ステップ 3：周波数更新シーケンス

周波数を更新するには、MOD2、FRAC1、FRAC2、および INT を更新する必要があります。したがって、更新シーケンスは以下ようになります。

1. アドレス 0x1A (新規 MOD2WORD [13:8])
2. アドレス 0x19 (新規 MOD2WORD [7:0])
3. アドレス 0x18 (新規 FRAC2WORD [13:7])
4. アドレス 0x17 (新規 FRAC2WORD [6:0])
5. アドレス 0x16 (新規 FRAC1WORD [23:16])
6. アドレス 0x15 (新規 FRAC1WORD [15:8])
7. アドレス 0x14 (新規 FRAC1WORD [7:0])
8. アドレス 0x11 (新規 BIT_INTEGER_WORD [15:8])
9. アドレス 0x10 (新規 BIT_INTEGER_WORD [7:0])

周波数変更はアドレス 0x10 への書き込みで実行されます。

変更しないレジスタは更新する必要はありません。例えば、インテジャー N PLL の設定（フラクション部分は未使用）の場合、手順 1 から手順 7 を省略します。この場合、必要な更新はアドレス 0x11 とアドレス 0x10 だけです。

アプリケーション情報

電源

ADF4372 は 4 つのマルチバンド VCO を内蔵しており、全体で 1 オクターブの周波数範囲をカバーします。VCO 位相ノイズ性能を最適化するには、[ADM7150](#) または [LT3045](#) などの低ノイズ・レギュレータを VCC_VCO ピンに接続することを推奨します。同じレギュレータを VCC_VCO ピンと VCC_LDO ピンに接続します。1 μ F のデカップリング・コンデンサを 5V の VCO 電源に接続することを推奨します。

他のすべての 3.3V 電源ピンには、1 つの ADM7150 または 1 つの LT3045 レギュレータを使用します。VDD_VP ピンにも 1 μ F のコンデンサを推奨します。他の電源ピンへの追加のデカップリングは不要です。

LGA パッケージの PCB 設計ガイドライン

チップ・スケール・パッケージの底面には、中央に露出サーマル・パッドがあります。PCB 上のサーマル・パッドは、少なくとも露出パッドと同じ大きさである必要があります。PCB 上で、サーマル・パッドとパッド・パターンの内側の端との間に最低 0.25mm の隙間が必要です。この隙間によって短絡を回避します。

パッケージの熱性能を向上させるには、PCB サーマル・パッドにサーマル・ビアを使用します。ビアを使用する場合は、それらを 1.2mm ピッチのグリッドでサーマル・パッドに組み込みます。ビア直径は 0.3mm~0.33mm とし、ビア・パレルを 1 オンスの銅でメッキしてビアをパレルに埋め込む必要があります。

ADF4372 などのマイクロ波 PLL や VCO シンセサイザの場合は、ボードのスタックアップとレイアウトに注意します。FR4 材料を使用すると、3GHz を超える信号で振幅が減少するため、使用しないでください。代わりに、Rogers 4350、Rogers 4003、または Rogers 3003 の誘電体材料が適しています。

不連続性を最小限に抑え、信号の完全性を最大化するために、RF 出力のトレースに注意します。ビアの配置と接地は重要です。

出力マッチング

必要に応じて、低周波出力を次段の回路に AC カップリングできます。ただし、より大きな出力電力が必要な場合は、プルアップ・インダクタを使って出力電力レベルを上昇させます。

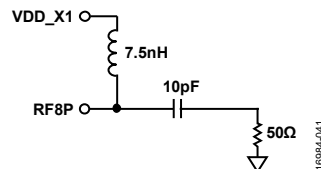


図 37. 最適な出力段

差動出力が不要な場合は、未使用の出力を終端するか、バランを使用して両方の出力を結合します。

1GHz より低い周波数では、RF8P ピンと RF8N ピンに 100nH のインダクタを使用することを推奨します。

RF8P ピンと RF8N ピンは差動回路を形成します。可能であれば各出力に同じ（または類似の）部品を使用します。例えば、同じシャント・インダクタの値、バイパス・コンデンサ、および終端を使用します。

RFAUX8P ピンと RFAUX8N ピンは実質的に RF8P ピンと RF8N ピンと同じであり、RF8P ピンと RF8N ピンについて述べた方法で処理する必要があります。

RF16P ピンと RF16N ピンは、次段の回路に直接接続できます。これらのピンは内部で 50 Ω に整合されており、追加のデカップリングは不要です。

レジスタの一覧

表 8. ADF4372 のレジスタの一覧

Reg Addr.	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Default	R/W	
0x00	[7:0]	SOFT_RESET_R	LSB_FIRST_R	ADDRESS_ASCENSION_R	SDO_ACTIVE_R	SDO_ACTIVE	ADDRESS_ASCENSION	LSB_FIRST	SOFT_RESET	0x18	R/W	
0x01	[7:0]	SINGLE_INSTRUCTION	STALLING	MASTER_READBACK_CONTROL	RESERVED					0x00	R/W	
0x03	[7:0]	RESERVED				CHIP_TYPE				0x0X	R	
0x04	[7:0]	PRODUCT_ID[7:0]									0xXX	R/W
0x05	[7:0]	PRODUCT_ID[15:8]									0xXX	R/W
0x06	[7:0]	PRODUCT_GRADE				DEVICE_REVISION				0xXX	R	
0x10	[7:0]	BIT_INTEGER_WORD[7:0]									0x32	R/W
0x11	[7:0]	BIT_INTEGER_WORD[15:8]									0x00	R/W
0x12	[7:0]	RESERVED	EN_AUTOCAL	PRE_SEL	RESERVED					0x40	R/W	
0x14	[7:0]	FRAC1WORD[7:0]									0x00	R/W
0x15	[7:0]	FRAC1WORD[15:8]									0x00	R/W
0x16	[7:0]	FRAC1WORD[23:16]									0x00	R/W
0x17	[7:0]	FRAC2WORD[6:0]							FRAC1WORD[24]	0x00	R/W	
0x18	[7:0]	RESERVED	FRAC2WORD[13:7]							0x00	R/W	
0x19	[7:0]	MOD2WORD[7:0]									0xE8	R/W
0x1A	[7:0]	RESERVED	PHASE_ADJ	MOD2WORD[13:8]							0x03	R/W
0x1B	[7:0]	PHASE_WORD[7:0]									0x00	R/W
0x1C	[7:0]	PHASE_WORD[15:8]									0x00	R/W
0x1D	[7:0]	PHASE_WORD[23:16]									0x00	R/W
0x1E	[7:0]	CP_CURRENT					PD_POL	PD	RESERVED	CNTR_RESET	0x48	R/W
0x1F	[7:0]	RESERVED			R_WORD					0x01	R/W	
0x20	[7:0]	MUXOUT				MUXOUT_EN	LEV_SEL	RESERVED			0x14	R/W
0x22	[7:0]	RESERVED	REFIN_MODE	REF_DOUB	RDIV2	RESERVED				0x00	R/W	
0x23	[7:0]	RESERVED		CLK_DIV_MODE		RESERVED			TRACKING_FILTER_MUX_SEL	RESERVED	0x00	R/W
0x24	[7:0]	FB_SEL	DIV_SEL				RESERVED				0x80	R/W
0x25	[7:0]	MUTE_LD	RESERVED	RF_DIVSEL_DB	X4_EN	X2_EN	RF_EN	RF_OUT_POWER			0x07	R/W
0x26	[7:0]	BLEED_ICP									0x32	R/W
0x27	[7:0]	LD_BIAS		LDP	BLEED_GATE	BLEED_EN	VCOLDO_PD	RF_PBS			0xC5	R/W
0x28	[7:0]	DOUBLE_BUFF	RESERVED				LD_COUNT		LOL_EN	0x03	R/W	
0x2A	[7:0]	RESERVED		BLEED_POL	RESERVED	LE_SEL	RESERVED		READ_SEL	0x00	R/W	
0x2B	[7:0]	RESERVED		LSB_P1	VAR_MOD_EN	RESERVED	SD_LOAD_ENB	RESERVED	SD_EN_FRAC0	0x01	R/W	
0x2C	[7:0]	RESERVED	ALC_RECT_SELECT_VCO1	ALC_REF_DAC_LO_VCO1	ALC_REF_DAC_NOM_VCO1			VTUNE_CALSET_EN	DISABLE_ALC	0x44	R/W	
0x2D	[7:0]	RESERVED			ALC_RECT_SELECT_VCO2	ALC_REF_DAC_LO_VCO2	ALC_REF_DAC_NOM_VCO2				0x11	R/W
0x2E	[7:0]	RESERVED			ALC_RECT_SELECT_VCO3	ALC_REF_DAC_LO_VCO3	ALC_REF_DAC_NOM_VCO3				0x12	R/W
0x2F	[7:0]	SWITCH_LDO_3P3V_5V	RESERVED		ALC_RECT_SELECT_VCO4	ALC_REF_DAC_LO_VCO4	ALC_REF_DAC_NOM_VCO4				0x94	R/W
0x30	[7:0]	VCO_BAND_DIV									0x3F	R/W
0x31	[7:0]	TIMEOUT[7:0]									0xA7	R/W
0x32	[7:0]	ADC_MUX_SEL	RESERVED	ADC_FAST_CONV	ADC_CTS_CONV	ADC_CONVERSION	ADC_ENABLE	TIMEOUT[9:8]		0x04	R/W	
0x33	[7:0]	RESERVED			SYNTH_LOCK_TIMEOUT				0x0C	R/W		
0x34	[7:0]	VCO_FSM_TEST_MODES			VCO_ALC_TIMEOUT				0x9E	R/W		
0x35	[7:0]	ADC_CLK_DIVIDER									0x4C	R/W
0x36	[7:0]	ICP_ADJUST_OFFSET									0x30	R/W
0x37	[7:0]	SI_BAND_SEL									0x00	R/W
0x38	[7:0]	SI_VCO_SEL					SI_VCO_BIAS_CODE				0x00	R/W
0x39	[7:0]	RESERVED	VCO_FSM_TEST_MUX_SEL				SI_VTUNE_CAL_SET				0x07	R/W
0x3A	[7:0]	ADC_OFFSET									0x55	R/W
0x3D	[7:0]	RESERVED	SD_RESET	RESERVED						0x00	R/W	
0x3E	[7:0]	RESERVED				CP_TMODE			RESERVED		0x0C	R/W

Reg Addr.	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Default	R/W
0x3F	[7:0]	CLK1_DIV[7:0]								0x80	R/W
0x40	[7:0]	RESERVED	TRM_IB_VCO_BUF				CLK1_DIV[11:8]			0x50	R/W
0x41	[7:0]	CLK2_DIVIDER_1[7:0]								0x28	R/W
0x47	[7:0]	TRM_RES2_VCO_MUX			RESERVED					0xC0	R/W
0x52	[7:0]	TRM_RES2_VCO_BUF			TRM_RES1_VCO_BUF			RESERVED		0xF4	R/W
0x6E	[7:0]	VCO_DATA_READBACK[7:0]								0x00	R
0x6F	[7:0]	VCO_DATA_READBACK[15:8]								0x00	R
0x70	[7:0]	BAND_SEL_X2			RESERVED			BIAS_SEL_X2		0x03	R/W
0x71	[7:0]	BAND_SEL_X4			RESERVED			BIAS_SEL_X4		0x60	R/W
0x72	[7:0]	RESERVED	AUX_FREQ_SEL	POUT_AUX		PDB_AUX	RESERVED	COUPLED_VCO	RESERVED	0x32	R/W
0x73	[7:0]	RESERVED					ADC_CLK_DISABLE	PD_NDIV	LD_DIV	0x00	R/W
0x7C	[7:0]	RESERVED							LOCK_DETECT_READBACK	0x00	R

レジスタの詳細

アドレス：0x00、デフォルト：0x18、レジスタ名：REG0000

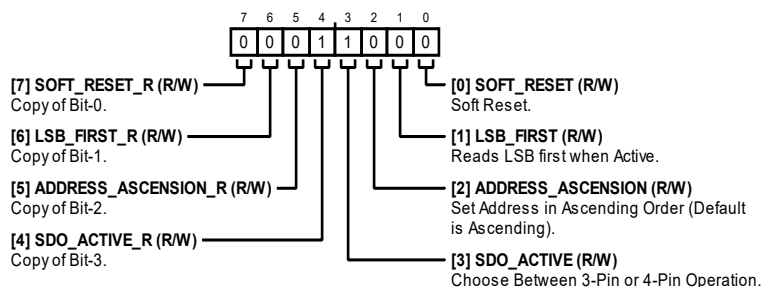


表 9. REG0000 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
7	SOFT_RESET_R	ビット 0 のコピー。	0x0	Read/Write (R/W)
6	LSB_FIRST_R	ビット 1 のコピー。	0x0	R/W
5	ADDRESS_ASCENSION_R	ビット 2 のコピー。	0x0	R/W
4	SDO_ACTIVE_R	ビット 3 のコピー。	0x1	R/W
3	SDO_ACTIVE	3 ピン動作か 4 ピン動作かを選択。 0：3 ピン。 1：4 ピン。SDIO ピンをイネーブルすると、SDIO ピンは入力専用になります。	0x1	R/W
2	ADDRESS_ASCENSION	アドレスを昇順に設定（デフォルトは昇順）。 0：降順 1：昇順	0x0	R/W
1	LSB_FIRST	アクティブのとき LSB ファーストで読出し。	0x0	R/W
0	SOFT_RESET	ソフト・リセット。 0：通常動作。 1：ソフト・リセット。	0x0	R/W

アドレス：0x01、デフォルト：0x00、レジスタ名：REG0001

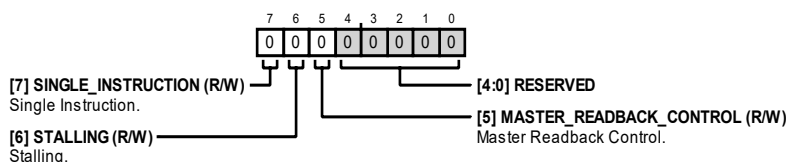


表 10. REG0001 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
7	SINGLE_INSTRUCTION	単一命令。このビットを 1 に設定すると、SPI ストリーム・モードは無効になります。	0x0	R/W
6	STALLING	ストーリング。内部使用。	0x0	R/W
5	MASTER_READBACK_C ONTROL	マスタ・リードバック制御。内部使用。	0x0	R/W
[4:0]	RESERVED	予備。	0x0	Read Only (R)

アドレス：0x03、デフォルト：0x0X、レジスタ名：REG0003

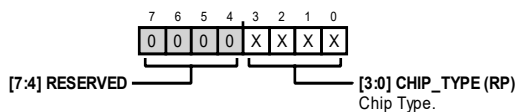


表 11. REG0003 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:4]	RESERVED	予備。	0x0	R
[3:0]	CHIP_TYPE	チップ・タイプ。	0x0	Read Programmable (RP)

アドレス：0x04、デフォルト：0xXX、レジスタ名：REG0004

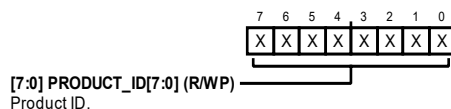


表 12. REG0004 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	PRODUCT_ID[7:0]	製品 ID。	0x0	Read/Write Programmable (R/WP)

アドレス：0x05、デフォルト：0xXX、レジスタ名：REG0005

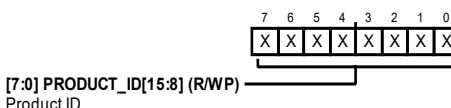


表 13. REG0005 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	PRODUCT_ID[15:8]	製品 ID。	0x0	R/WP

アドレス：0x06、デフォルト：0xXX、レジスタ名：REG0006

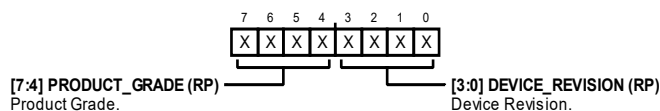


表 14. REG0006 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:4]	PRODUCT_GRADE	製品グレード。	0x0	RP
[3:0]	DEVICE_REVISION	デバイスのリビジョン。	0x0	RP

アドレス：0x10、デフォルト：0x32、レジスタ名：REG0010



表 15. REG0010 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	BIT_INTEGER_WORD[7:0]	16 ビットのインテジャー・ワード。N のインテジャー値を設定します。FRAC1、FRAC2、MOD2 などの PLL N カウンタへの更新は、このビット・フィールドによってダブル・バッファされます	0x32	R/W

アドレス : 0x11、デフォルト : 0x00、レジスタ名 : REG0011

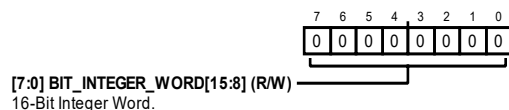


表 16. REG0011 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	BIT_INTEGER_WORD[15:8]	16 ビットのインテジャー・ワード。N のインテジャー値を設定します。	0x0	R/W

アドレス : 0x12、デフォルト : 0x40、レジスタ名 : REG0012

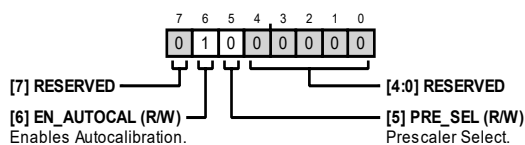


表 17. REG0012 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
7	RESERVED	予備。	0x0	R
6	EN_AUTOCAL	自動キャリブレーションの有効化。 0 : VCO 自動キャリブレーションを無効化。 1 : VCO 自動キャリブレーションを有効化。	0x1	R/W
5	PRE_SEL	プリスケラ選択。デュアル・モジュラス・プリスケラはこのビットで設定します。N 分周器への入力にあるプリスケラは、VCO 信号を分周します。これにより、N 分周器が信号を処理できます。プリスケラの設定は RF 周波数と最小および最大の INT 値に影響します。 0 : 4/5 プリスケラ。 1 : 8/9 プリスケラ。	0x0	R/W
[4:0]	RESERVED	予備。	0x0	R

アドレス : 0x14、デフォルト : 0x00、レジスタ名 : REG0014

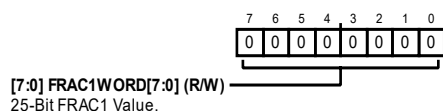


表 18. REG0014 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	FRAC1WORD[7:0]	25 ビットの FRAC1 値。FRAC1 値を設定します。	0x0	R/W

アドレス : 0x15、デフォルト : 0x00、レジスタ名 : REG0015

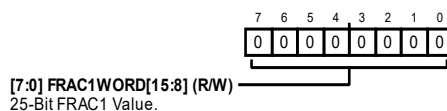


表 19. REG0015 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	FRAC1WORD[15:8]	25 ビットの FRAC1 値。FRAC1 値を設定します。	0x0	R/W

アドレス : 0x16、デフォルト : 0x00、レジスタ名 : REG0016

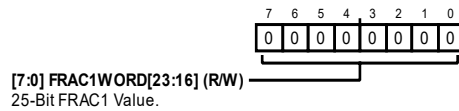


表 20. REG0016 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	FRAC1WORD[23:16]	25 ビットの FRAC1 値。FRAC1 値を設定します。	0x0	R/W

アドレス : 0x17、デフォルト : 0x00、レジスタ名 : REG0017

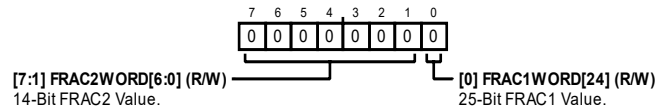


表 21. REG0017 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:1]	FRAC2WORD[6:0]	14 ビットの FRAC2 値。FRAC2 値を設定します。	0x0	R/W
0	FRAC1WORD[24:24]	25 ビットの FRAC1 値。FRAC1 値を設定します。	0x0	R/W

アドレス : 0x18、デフォルト : 0x00、レジスタ名 : REG0018

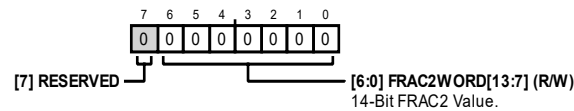


表 22. REG0018 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
7	RESERVED	予備。	0x0	R
[6:0]	FRAC2WORD[13:7]	14 ビットの FRAC2 値。FRAC2 値を設定します。	0x0	R/W

アドレス : 0x19、デフォルト : 0xE8、レジスタ名 : REG0019

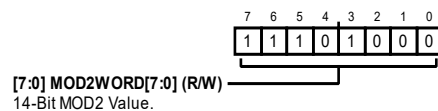


表 23. REG0019 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	MOD2WORD[7:0]	14 ビットの MOD2 値。MOD2 値を設定します。	0xE8	R/W

アドレス : 0x1A、デフォルト : 0x03、レジスタ名 : REG001A

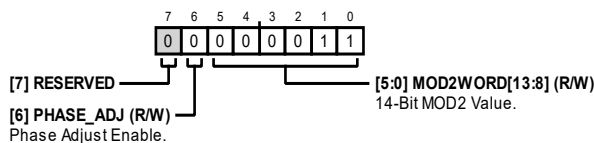


表 24. REG001A のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
7	RESERVED	予備。	0x0	R
6	PHASE_ADJ	位相調整イネーブル。位相調整を有効にするには 1 に設定します。位相調整は、電流位相に対して出力の位相を大きくします。 0 : 位相調整を無効化。 1 : 位相調整を有効化。	0x0	R/W
[5:0]	MOD2WORD[13:8]	14 ビットの MOD2 値。MOD2 値を設定します。	0x3	R/W

アドレス : 0x1B、デフォルト : 0x00、レジスタ名 : REG001B

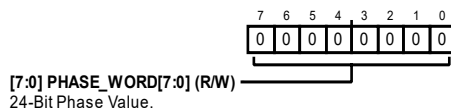


表 25. REG001B のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	PHASE_WORD[7:0]	24 ビットの位相値。位相調整用の位相ワードを設定します。位相調整を使用しない場合は、位相値を 0 に設定します。RF 出力周波数の位相は 24 ビット・ステップで調整できます。位相ステップ = 位相ワード ÷ 16,777,216 × 360。	0x0	R/W

アドレス : 0x1C、デフォルト : 0x00、レジスタ名 : REG001C

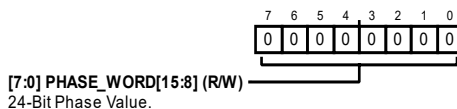


表 26. REG001C のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	PHASE_WORD[15:8]	24 ビットの位相値。位相調整用の位相ワードを設定します。位相調整を使用しない場合は、位相値を 0 に設定します。RF 出力周波数の位相は 24 ビット・ステップで調整できます。位相ステップ = 位相ワード ÷ 16,777,216 × 360。	0x0	R/W

アドレス : 0x1D、デフォルト : 0x00、レジスタ名 : REG001D

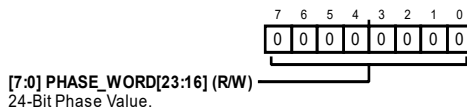


表 27. REG001D のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	PHASE_WORD[23:16]	24 ビットの位相値。位相調整用の位相ワードを設定します。位相調整を使用しない場合は、位相値を 0 に設定します。RF 出力周波数の位相は 24 ビット・ステップで調整できます。位相ステップ = 位相ワード ÷ 16,777,216 × 360。	0x0	R/W

アドレス：0x1E、デフォルト：0x48、レジスタ名：REG001E

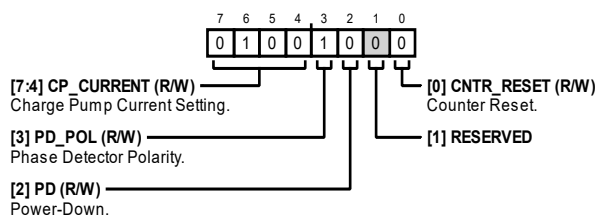


表 28. REG001E のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:4]	CP_CURRENT	チャージ・ポンプ電流設定。チャージ・ポンプ電流を設定します。これらのビットは、ループ・フィルタ設計で使用するチャージ・ポンプの電流を設定します。 0 : 0.35mA 1 : 0.70mA 10 : 1.05mA 11 : 1.4mA 100 : 1.75mA 101 : 2.8mA 110 : 2.45mA 111 : 2.8mA 1000 : 3.15mA 1001 : 3.5mA 1010 : 3.85mA 1011 : 4.2mA 1100 : 4.55mA 1101 : 4.9mA 1110 : 5.25mA 1111 : 5.6mA	0x4	R/W
3	PD_POL	位相検出器の極性。非反転ループ・フィルタと調整勾配が正の VCO を使用する場合は、位相検出器の極性を正に設定します。反転ループ・フィルタと調整勾配が負の VCO を使用する場合は、位相検出器の極性を正に設定します。非反転ループ・フィルタと調整勾配が負の VCO を使用する場合は、位相検出器の極性を負に設定します。反転ループ・フィルタと調整勾配が正の VCO を使用する場合は、位相検出器の極性を負に設定します。 0 : 負の位相検出器極性。 1 : 正の位相検出器極性。	0x1	R/W
2	PD	パワーダウン。1 に設定すると、ADF4372 のすべての内部 PLL ブロックがパワーダウンします。VCO と乗算器はパワーアップしたままです。レジスタの値は失われません。ADF4372 がパワーダウン状態から抜け出た (0 に設定) 後、ループを再ロックするにはアドレス 0x10 への書込みが必要です。 0 : 通常動作。 1 : パワーダウン。	0x0	R/W
1	RESERVED	予備。	0x0	R
0	CNTR_RESET	カウンタ・リセット。1 に設定すると、N 分周器と R カウンタがリセットされます。PFD に信号は入力されません。 0 : 通常動作。 1 : カウンタ・リセット。	0x0	R/W

アドレス : 0x1F、デフォルト : 0x01、レジスタ名 : REG001F

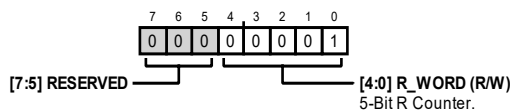


表 29. REG001F のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:5]	RESERVED	予備。	0x0	R
[4:0]	R_WORD	5 ビット R カウンタ。b'00000 は 32 分周に相当します。	0x1	R/W

アドレス : 0x20、デフォルト : 0x14、レジスタ名 : REG0020

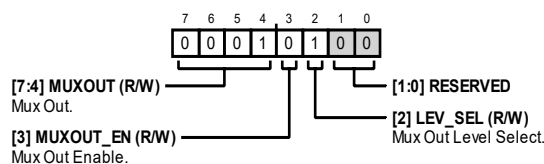


表 30. REG0020 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:4]	MUXOUT	マルチプレクサ出力。このビットは、MUXOUT_EN = 1 のときのマルチプレクサ出力信号の設定に使用します。 0 : トライステート、ハイ・インピーダンス出力 (MUXOUT_EN = 0 の場合にのみ機能)。 1 : デジタル・ロック検出。 10 : チャージ・ポンプ起動。 11 : チャージ・ポンプ停止。 100 : RDIV2 を選択 101 : N 分周器出力。 110 : VCO テスト・モード。 111 : 予備。 1000 : ハイ。 1001 : VCO キャリブレーション R 帯域/2。 1010 : VCO キャリブレーション N 帯域/2。	0x1	R/W
3	MUXOUT_EN	マルチプレクサ出力イネーブル。SDIO ピンをレジスタのリードバックに使用する場合は 0 に設定します。 0 : データピンをリードバックに使用。 1 : マルチプレクサ出力ピンをリードバックに使用。	0x0	R/W
2	LEV_SEL	マルチプレクサ出力レベルの選択。マルチプレクサ出力でのロジックの電圧レベルを選択します。 0 : 1.8V ロジック。 1 : 3.3V ロジック。	0x1	R/W
[1:0]	RESERVED	予備。	0x0	R

アドレス : 0x22、デフォルト : 0x00、レジスタ名 : REG0022

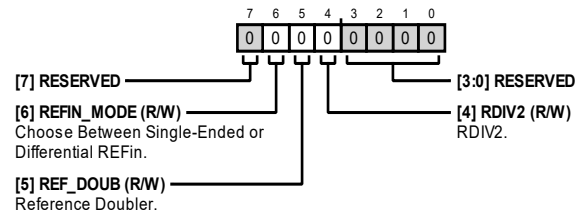


表 31. REG0022 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
7	RESERVED	予備。	0x0	R
6	REFIN_MODE	REF _{IN} をシングルエンドにするか差動にするかを選択。 0 : シングルエンド REF _{INo} 。 1 : 差動 REF _{INo} 。	0x0	R/W
5	REF_DOUB	リファレンス・ダブラ。リファレンス・ダブラのブロックを制御します。 0 : ダブラをディスエーブル。 1 : ダブラをイネーブル。	0x0	R/W
4	RDIV2	RDIV2 を選択リファレンス・クロックの 2 分周制御。この機能を使用して、50% デューティ・サイクルの信号を PFD に供給できます。 0 : RDIV2 をディスエーブル。 1 : RDIV2 をイネーブル。	0x0	R/W
[3:0]	RESERVED	予備。	0x0	R

アドレス : 0x23、デフォルト : 0x00、レジスタ名 : REG0023

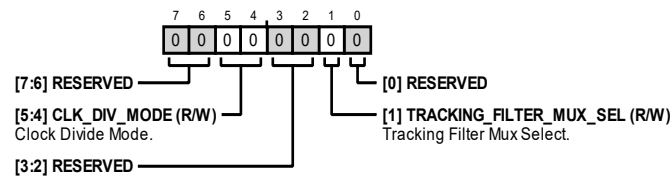


表 32. REG0023 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:6]	RESERVED	予備。	0x0	R
[5:4]	CLK_DIV_MODE	クロック分周モード。位相再同期を有効にするには、10 に設定します。位相再同期を使用しない場合は、00 に設定します。 0 : クロック分周器オフ（通常動作）。 10 : 再同期を有効化。	0x0	R/W
[3:2]	RESERVED	予備。	0x0	R
1	TRACKING_FILTER_MUX_SEL	トラッキング・フィルタのマルチプレクサ選択。 0 : 通常。トラッキング・フィルタ係数は自動的に設定。 1 : トラッキング・フィルタ係数を SPI から手動で設定（アドレス 0x70 とアドレス 0x71）。	0x0	R/W
0	RESERVED	予備。	0x0	R

アドレス : 0x24、デフォルト : 0x80、レジスタ名 : REG0024

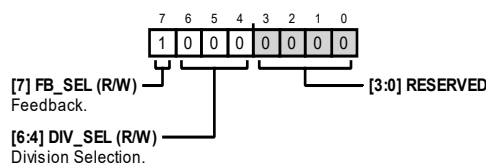


表 33. REG0024 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
7	FB_SEL	フィードバック。 0 : N カウンタへの分周フィードバック。 1 : N カウンタへの基本フィードバック。	0x1	R/W
[6:4]	DIV_SEL	分周選択。 0 : 1 分周。 1 : 2 分周。 10 : 4 分周。 11 : 8 分周。 100 : 16 分周。 101 : 32 分周。 110 : 64 分周。 111 : 予備。	0x0	R/W
[3:0]	RESERVED	予備。	0x0	R

アドレス : 0x25、デフォルト : 0x07、レジスタ名 : REG0025

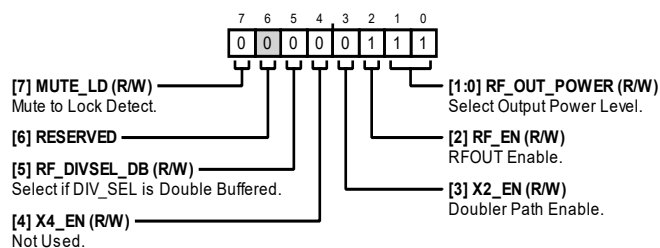


表 34. REG0025 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
7	MUTE_LD	ロック検出までミュート。 0 : ロック検出までのミュートを無効化。 1 : ロック検出までのミュートを有効にし、デジタル・ロック検出によるロジック・ハイのアサートにより RF 出力段がゲートされる。	0x0	R/W
6	RESERVED	予備。	0x0	R
5	RF_DIVSEL_DB	DIV_SEL をダブル・バッファ付きにするかどうかを選択。	0x0	R/W
4	X4_EN	未使用。	0x0	R/W
3	X2_EN	ダブル・パスをイネーブル。 0 : RF ダブラをオフ。 1 : RF ダブラをオン。	0x0	R/W
2	RF_EN	RF_OUT イネーブル。 0 : RF_OUT をディスエーブル。 1 : RF_OUT をイネーブル。	0x1	R/W
[1:0]	RF_OUT_POWER	出力電力レベルの選択。 0 : -4dBm ₀ 。 1 : -1dBm ₀ 。 10 : 2dBm ₀ 。 11 : 5dBm ₀ 。	0x3	R/W

アドレス：0x26、デフォルト：0x32、レジスタ名：REG0026

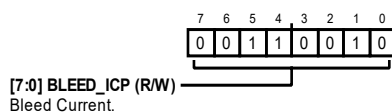


表 35. REG0026 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	BLEED_ICP	ブリード電流。ブリード電流を設定します。最適ブリード電流は $(4/N) \times I_{CP}$ / 3.75 で設定します。ここで、 I_{CP} はチャージ・ポンプ電流 (μA) です。	0x32	R/W

アドレス：0x27、デフォルト：0xC5、レジスタ名：REG0027

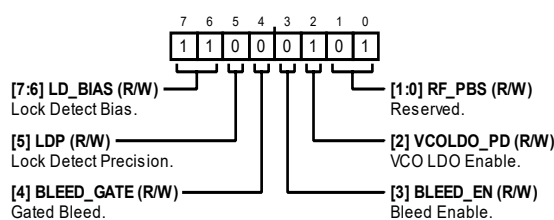


表 36. REG0027 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:6]	LD_BIAS	ロック検出バイアス。ロック検出器のウィンドウ・サイズは、ロック検出器のバイアスをロック検出器の精度と共に調整することによって設定します。 0：LDP = 0 の場合、ロック検出遅延は 5ns。 1：6ns。 10：8ns。 11：ロック検出遅延は 12ns（ブリードが大きい場合）	0x3	R/W
5	LDP	ロック検出精度。選択した INT または FRAC 操作に応じて、デジタル・ロック検出器の感度を制御します。 0：FRAC モード（5ns） 1：INT モード（2.4ns）	0x0	R/W
4	BLEED_GATE	ゲート・ブリード。 0：ゲート・ブリードをディスエーブル。 1：ゲート・ブリードをオン、デジタル・ロック検出（デジタル・ロック検出を有効にする必要があります）。	0x0	R/W
3	BLEED_EN	ブリード・イネーブル。ブリード電流がチャージ・ポンプ内部の電流に印加され、チャージ・ポンプの直線性が向上します。この電流により、位相ノイズが減少し、スプリアス性能が向上します。ネガティブ・ブリードをイネーブルするには 1 に設定します。 0：ネガティブ・ブリードをディスエーブル。 1：ネガティブ・ブリードをイネーブル。	0x0	R/W
2	VCOLD0_PD	VCO LDO イネーブル。スプリアスおよび位相ノイズ性能を最適化するには、VCO LDO をディスエーブルします。 0：VCO LDO をイネーブル。 1：VCO LDO をディスエーブル。	0x1	R/W
[1:0]	RF_PBS	予備。	0x1	R/W

アドレス：0x28、デフォルト：0x03、レジスタ名：REG0028

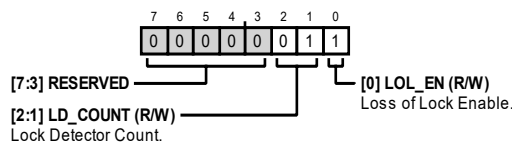


表 37. REG0028 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	RESERVED	予備。	0x0	R
[2:1]	LD_COUNT	ロック検出器カウント。ロック検出器の初期値。このフィールドは、デジタル・ロック検出をハイにアサートする前のロック・ウィンドウ内の PFD カウント数を設定します。 0：1024 サイクル 1：2048 サイクル 10：4096 サイクル 11：8192 サイクル	0x1	R/W
0	LOL_EN	ロック喪失イネーブル。ロック喪失を有効にした場合、デジタル・ロック検出がアサートされ、リファレンス信号が失われるとデジタル・ロック検出はローになります。ロック喪失機能を有効にするためにこのビットを 1 に設定することを推奨します。 0：ロック喪失を無効化。 1：ロック喪失を有効化。	0x1	R/W

アドレス：0x2A、デフォルト：0x00、レジスタ名：REG002A

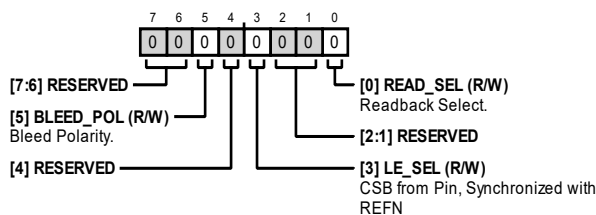


表 38. REG002A のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:6]	RESERVED	予備。	0x0	R
5	BLEED_POL	ブリード極性。ブリード電流の極性を制御します。通常はネガティブで使します。 0：ネガティブ・ブリード。 1：ポジティブ・ブリード（非推奨）。	0x0	R/W
4	RESERVED	予備。	0x0	R
3	LE_SEL	ピンからの $\overline{CS}$ 。REFN と同期。 0： $\overline{CS}$ 同期ディスエーブル。 1： $\overline{CS}$ 同期イネーブル。	0x0	R/W
[2:1]	RESERVED	予備。	0x0	R
0	READ_SEL	リードバック選択。リードバックする値を選択します。 0：VCO、帯域、およびバイアス補償データをリードバック。 1：デバイスのバージョン ID をリードバック。	0x0	R/W

アドレス : 0x2B、デフォルト : 0x01、レジスタ名 : REG002B

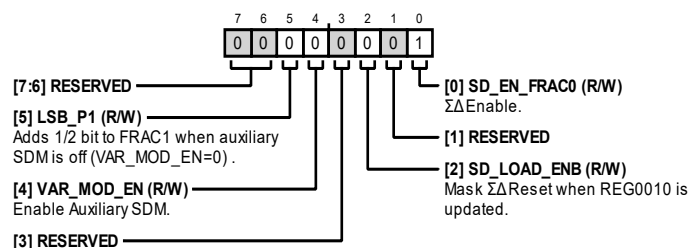


表 39. REG002B のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:6]	RESERVED	予備。	0x0	R
5	LSB_P1	補助 SDM がオフの場合 (VAR_MOD_EN = 0)、FRAC1 にハーフ・ビットを追加。通常動作では 0 に設定します。	0x0	R/W
4	VAR_MOD_EN	補助 SDM のイネーブル。FRAC2 が 0 以外の場合、このビットは 1 に設定します。 0 : 通常動作。 1 : 補助 SDM をイネーブル。	0x1	R/W
3	RESERVED	予備。	0x0	R
2	SD_LOAD_ENB	アドレス 0x10 の更新時にマスク $\Sigma\Delta$ リセット。	0x0	R/W
1	RESERVED	予備。	0x0	R
0	SD_EN_FRAC0	Σ - Δ イネーブル。インテジャー・モードでは (FRAC1 = FRAC2 = 0 のとき) 1 に設定し、ファンクショナル・モードでは 0 に設定します。 0 : $\Sigma\Delta$ をイネーブル (フラクショナル・モードの場合)。 1 : $\Sigma\Delta$ をディスエーブル (インテジャー・モードの場合)。	0x1	R/W

アドレス : 0x2C、デフォルト : 0x44、レジスタ名 : REG002C

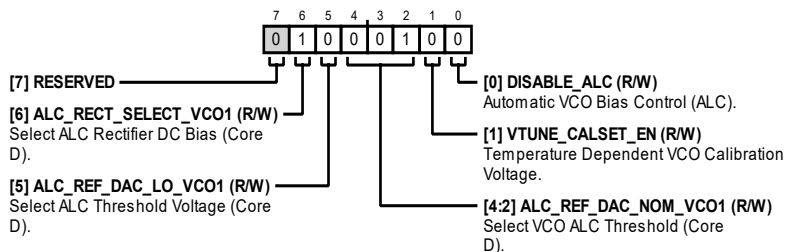


表 40. REG002C のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
7	RESERVED	予備。	0x0	R
6	ALC_RECT_SELECT_VCO1	ALC 整流 DC バイアス (コア D) の選択。 0 : 3.3V VCO 動作。 1 : 5V VCO 動作。	0x1	R/W
5	ALC_REF_DAC_LO_VCO1	ALC スレッシュホールド電圧 (コア D) の選択。 0 : 5V VCO 動作。 1 : 3.3V VCO 動作。	0x0	R/W
[4:2]	ALC_REF_DAC_NOM_VCO1	VCO ALC スレッシュホールド電圧 (コア D) の選択。 001 : 3.3V および 5V の VCO 動作。	0x1	R/W
1	VTUNE_CALSET_EN	温度依存 VCO キャリブレーション電圧。 0 : 温度依存 VCO キャリブレーション電圧をディスエーブル。 1 : 温度依存 VCO キャリブレーション電圧をイネーブル。	0x0	R/W
0	DISABLE_ALC	自動 VCO バイアス制御 (ALC)。 0 : ALC を有効化。 1 : ALC を無効化。	0x0	R/W

アドレス : 0x2D、デフォルト : 0x11、レジスタ名 : REG002D

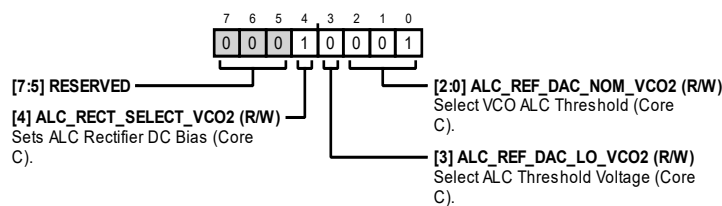


表 41. REG002D のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:5]	RESERVED	予備。	0x0	R
4	ALC_RECT_SELECT_VCO2	ALC 整流 DC バイアス (コア C) の設定。 0 : 3.3V VCO 動作。 1 : 5V VCO 動作。	0x1	R/W
3	ALC_REF_DAC_LO_VCO2	ALC スレッシュホールド電圧 (コア C) の選択。 0 : 5V VCO 動作。 1 : 3.3V VCO 動作。	0x0	R/W
[2:0]	ALC_REF_DAC_NOM_VCO2	VCO ALC スレッシュホールド電圧 (コア C) の選択。 001 : 3.3V および 5V の VCO 動作。	0x1	R/W

アドレス : 0x2E、デフォルト : 0x12、レジスタ名 : REG002E

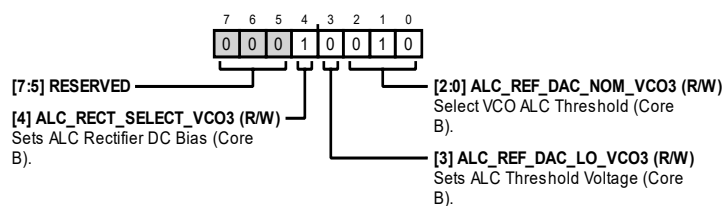


表 42. REG002E のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:5]	RESERVED	予備。	0x0	R
4	ALC_RECT_SELECT_VCO3	ALC 整流 DC バイアス (コア B) の設定。 0 : 3.3V VCO 動作。 1 : 5V VCO 動作。	0x1	R/W
3	ALC_REF_DAC_LO_VCO3	ALC スレッシュホールド電圧 (コア B) の設定。 0 : 5V VCO 動作。 1 : 3.3V VCO 動作。	0x0	R/W
[2:0]	ALC_REF_DAC_NOM_VCO3	VCO ALC スレッシュホールド電圧 (コア B) の選択。 010 : 3.3V および 5V の VCO 動作。	0x2	R/W

アドレス：0x2F、デフォルト：0x94、レジスタ名：REG002F

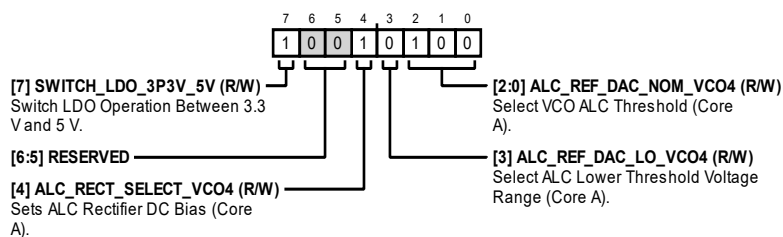


表 43. REG002F のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
7	SWITCH_LDO_3P3V_5V	LDO 動作を 3.3V と 5V との間で切替え。 0：3.3V VCO 動作。 1：5V VCO 動作。	0x1	R/W
[6:5]	RESERVED	予備。	0x0	R
4	ALC_RECT_SELECT_VCO4	ALC 整流 DC バイアス（コア A）の設定。 0：3.3V VCO 動作。 1：5V VCO 動作。	0x1	R/W
3	ALC_REF_DAC_LO_VCO4	ALC スレッシュホールド電圧範囲（コア A）の選択。 0：5V VCO 動作。 1：3.3V VCO 動作。	0x0	R/W
[2:0]	ALC_REF_DAC_NOM_VCO4	VCO ALC スレッシュホールド電圧（コア A）の選択。 010：3.3V VCO 動作。 100：5V VCO 動作。	0x4	R/W

アドレス：0x30、デフォルト：0x3F、レジスタ名：REG0030

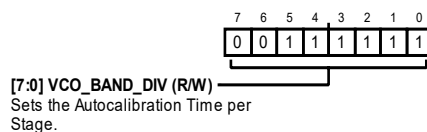


表 44. REG0030 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	VCO_BAND_DIV	1 段あたりの自動キャリブレーション時間の設定。詳細については、ロック時間のセクションを参照してください。	0x3F	R/W

アドレス：0x31、デフォルト：0xA7、レジスタ名：REG0031

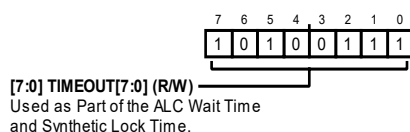


表 45. REG0031 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	TIMEOUT[7:0]	ALC 待機時間および合成ロック時間の一部として使用されます。詳細については、ロック時間のセクションを参照してください。	0xA7	R/W

アドレス：0x32、デフォルト：0x04、レジスタ名：REG0032

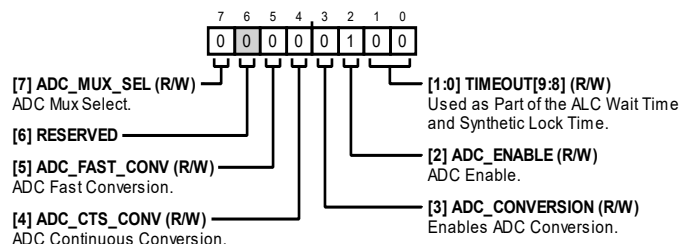


表 46. REG0032 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
7	ADC_MUX_SEL	A/D コンバータ（ADC）のマルチプレクサ選択。 0：絶対温度電圧に比例した（PTAT）電圧を ADC に入力。 1：VTUNE 電圧に比例した電圧を ADC に入力。	0x0	R/W
6	RESERVED	予備。	0x0	R
5	ADC_FAST_CONV	ADC 高速変換 0：無効化。 1：有効化。	0x0	R/W
4	ADC_CTS_CONV	ADC 逐次変換。 0：無効化。 1：有効化。	0x0	R/W
3	ADC_CONVERSION	ADC 変換の有効化。 0：ADC 変換を実行しない。 1：ADC 変換を実行する。	0x0	R/W
2	ADC_ENABLE	ADC イネーブル。 0：無効化。 1：有効化。	0x1	R/W
[1:0]	TIMEOUT[9:8]	ALC 待機時間および合成ロック時間の一部として使用されます。詳細については、ロック時間のセクションを参照してください。	0x0	R/W

アドレス：0x33、デフォルト：0x0C、レジスタ名：REG0033

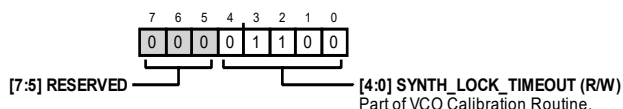


表 47. REG0033 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:5]	RESERVED	予備。	0x0	R
[4:0]	SYNTH_LOCK_TIMEOUT	VCO キャリブレーション・ルーチンの一部。詳細については、ロック時間のセクションを参照してください。	0xC	R/W

アドレス：0x34、デフォルト：0x9E、レジスタ名：REG0034

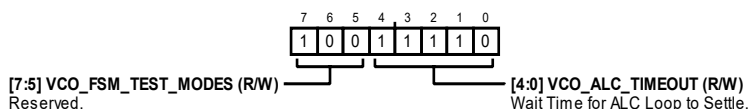


表 48. REG0034 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:5]	VCO_FSM_TEST_MODES	予備。	0x4	R/W
[4:0]	VCO_ALC_TIMEOUT	ALC ループが安定するまでの待機時間。詳細については、ロック時間のセクションを参照してください。	0x1E	R/W

アドレス：0x35、デフォルト：0x4C、レジスタ名：REG0035

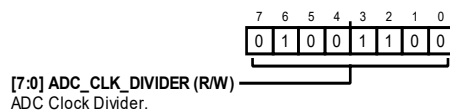


表 49. REG0035 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	ADC_CLK_DIVIDER	ADC クロック・ドライバ。ADC_CLK = $f_{PFD} / ((ADC_CLK_DIV \times 4) + 2)$ 。	0x4C	R/W

アドレス：0x36、デフォルト：0x30、レジスタ名：REG0036

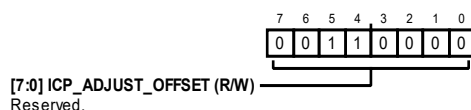


表 50. REG0036 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	ICP_ADJUST_OFFSET	予備。	0x30	R/W

アドレス：0x37、デフォルト：0x00、レジスタ名：REG0037

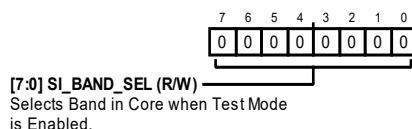


表 51. REG0037 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	SI_BAND_SEL	テスト・モード有効時のコア内帯域を選択。	0x0	R/W

アドレス：0x38、デフォルト：0x00、レジスタ名：REG0038

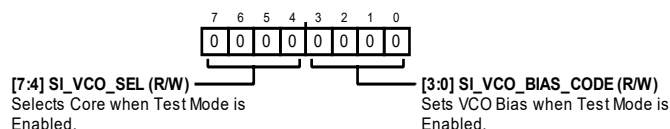


表 52. REG0038 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:4]	SI_VCO_SEL	テスト・モード有効時のコアを選択。 0：すべてのコアをオフ。 1：VCO コア D。 10：VCO コア C。 100：VCO コア B。 1000：VCO コア A。	0x0	R/W
[3:0]	SI_VCO_BIAS_CODE	テスト・モード有効時の VCO バイアスを設定。 0000：最大 VCO バイアス（約 3.2V）。 1111：最大 VCO バイアス（約 1.8V）。	0x0	R/W

アドレス : 0x39、デフォルト : 0x07、レジスタ名 : REG0039

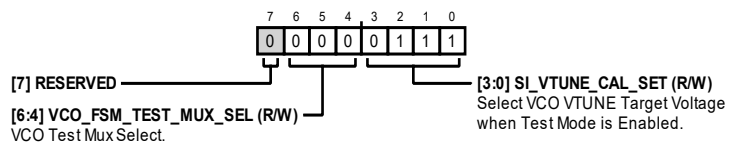


表 53. REG0039 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
7	RESERVED	予備。	0x0	R
[6:4]	VCO_FSM_TEST_MUX_SEL	VCO テスト・マルチプレクサ選択。 0 : ビジー。 1 : N 帯域。 10 : R 帯域。 11 : 予備。 100 : タイムアウト・クロック。 101 : 最小バイアス。 110 : ADC ビジー。 111 : ロジック・ロー。	0x0	R/W
[3:0]	SI_VTUNE_CAL_SET	テスト・モード有効時の VCO V_{TUNE} の目標電圧を選択します。 0 : 0.58V 1 : 0.73V 10 : 0.88V 11 : 1.03V 100 : 1.18V 101 : 1.33V 110 : 1.48V 111 : 1.63V 1000 : 1.78V 1001 : 1.93V 1010 : 2.08V 1011 : 2.23V 1100 : 2.38V 1101 : 2.53V 1110 : 2.68V 1111 : 2.83V	0x7	R/W

アドレス : 0x3A、デフォルト : 0x55、レジスタ名 : REG003A

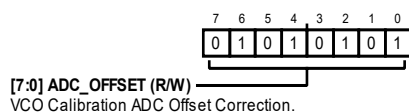


表 54. REG003A のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	ADC_OFFSET	VCO キャリブレーション ADC のオフセット補正。	0x55	R/W

アドレス : 0x3D、デフォルト : 0x00、レジスタ名 : REG003D

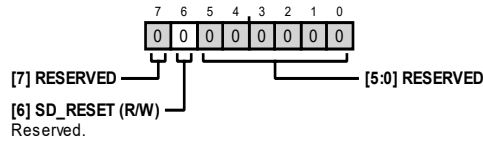


表 55. REG003D のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
7	RESERVED	予備。	0x0	R
6	SD_RESET	予備。	0x0	R/W
[5:0]	RESERVED	予備。	0x0	R

アドレス : 0x3E、デフォルト : 0x0C、レジスタ名 : REG003E

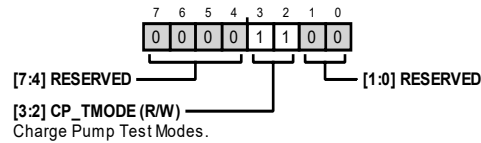


表 56. REG003E のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:4]	RESERVED	予備。	0x0	R
[3:2]	CP_TMODE	CP テスト・モード 0 : CP トライステート。 11 : 通常動作。	0x3	R/W
[1:0]	RESERVED	予備。	0x0	R

アドレス : 0x3F、デフォルト : 0x80、レジスタ名 : REG003F

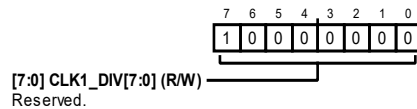


表 57. REG003F のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	CLK1_DIV[7:0]	予備。	0x80	R/W

アドレス : 0x40、デフォルト : 0x50、レジスタ名 : REG0040

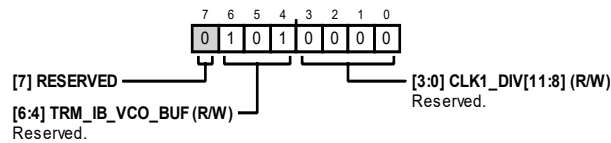


表 58. REG0040 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
7	RESERVED	予備。	0x0	R
[6:4]	TRM_IB_VCO_BUF	予備。	0x5	R/W
[3:0]	CLK1_DIV[11:8]	予備。	0x0	R/W

アドレス：0x41、デフォルト：0x28、レジスタ名：REG0041

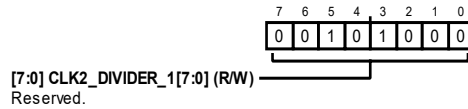


表 59. REG0041 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	CLK2_DIVIDER_1[7:0]	予備。	0x28	R/W

アドレス：0x47、デフォルト：0xC0、レジスタ名：REG0047

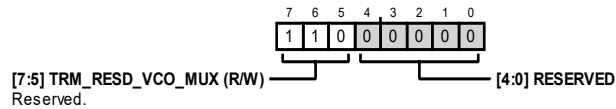


表 60. REG0047 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:5]	TRM_RES_D_VCO_MUX	予備。	0x6	R/W
[4:0]	RESERVED	予備。	0x0	R

アドレス：0x52、デフォルト：0xF4、レジスタ名：REG0052

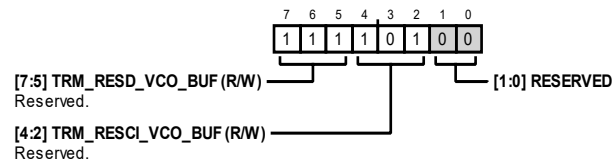


表 61. REG0052 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:5]	TRM_RES_D_VCO_BUF	予備。VCO バッファ・トリム。	0x7	R/W
[4:2]	TRM_RES_C_VCO_BUF	予備。	0x5	R/W
[1:0]	RESERVED	予備。	0x0	R

アドレス：0x6E、デフォルト：0x00、レジスタ名：REG006E

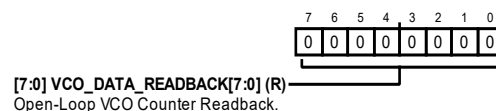


表 62. REG006E のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	VCO_DATA_READBACK[7:0]	オープンループ VCO カウンタのリードバック。	0x0	R

アドレス：0x6F、デフォルト：0x00、レジスタ名：REG006F

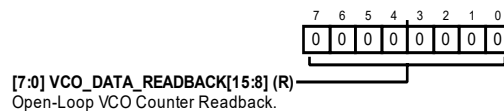


表 63. REG006F のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	VCO_DATA_READBACK[15:8]	オープンループ VCO カウンタのリードバック。	0x0	R

アドレス : 0x70、デフォルト : 0x03、レジスタ名 : REG0070

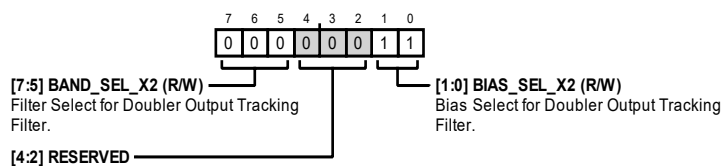


表 64. REG0070 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:5]	BAND_SEL_X2	ダブラ出力トラッキング・フィルタのフィルタを選択。	0x0	R/W
[4:2]	RESERVED	予備。	0x0	R
[1:0]	BIAS_SEL_X2	ダブラ出力トラッキング・バイアスのバイアスを選択。	0x3	R/W

アドレス : 0x71、デフォルト : 0x60、レジスタ名 : REG0071

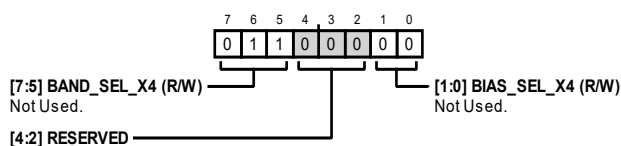


表 65. REG0071 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:5]	BAND_SEL_X4	未使用。	0x3	R/W
[4:2]	RESERVED	予備。	0x0	R
[1:0]	BIAS_SEL_X4	未使用。	0x0	R/W

アドレス : 0x72、デフォルト : 0x32、レジスタ名 : REG0072

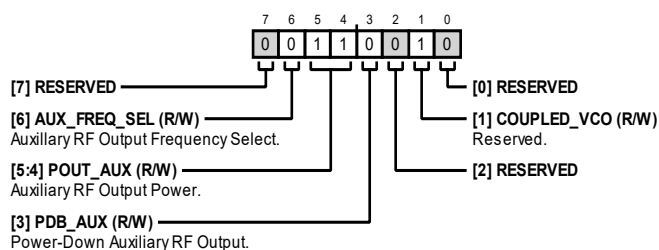


表 66. REG0072 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
7	RESERVED	予備。	0x0	R
6	AUX_FREQ_SEL	補助 RF 出力周波数の選択。 0 : 分周出力。 1 : VCO 出力。	0x0	R/W
[5:4]	POUT_AUX	補助 RF 出力電力。補助 RF 出力ポートの出力電力を設定します。 0 : -4.5dBm シングルエンド ÷ -1.5dBm 差動。 1 : 1dBm シングルエンド ÷ 4dBm 差動。 10 : 4dBm シングルエンド ÷ 7dBm 差動。 11 : 6dBm シングルエンド ÷ 9dBm 差動。	0x3	R/W
3	PDB_AUX	パワーダウン補助 RF 出力。 0 : 補助 RF をオフ。 1 : 補助 RF をオン。	0x0	R/W
2	RESERVED	予備。	0x0	R
1	COUPLED_VCO	予備。	0x1	R/W
0	RESERVED	予備。	0x0	R

アドレス：0x73、デフォルト：0x00、レジスタ名：REG0073

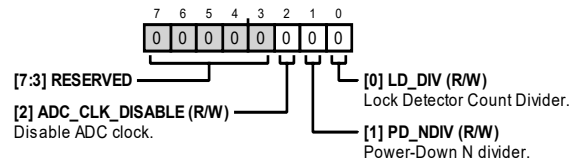


表 67. REG0073 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:3]	RESERVED	予備。	0x0	R
2	ADC_CLK_DISABLE	ADC クロックをディスエーブル。ADC_ENABLE 設定により、このビットは上書きされます。	0x0	R/W
1	PD_NDIV	N 分周器をパワーダウン。	0x0	R/W
0	LD_DIV	ロック検出器カウント分周比。アドレス 0x28 の LD_COUNT ビットを 32、64、128、256 として選択できるように、ロック検出器のカウント・サイクルを 32 分周します。	0x0	R/W

アドレス：0x7C、デフォルト：0x00、レジスタ名：REG007C

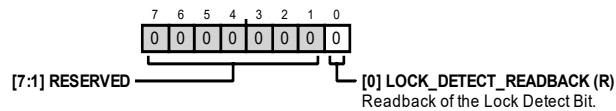


表 68. REG007C のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:1]	RESERVED	予備。	0x0	R
0	LOCK_DETECT_READBACK	ロック検出ビットのリードバック。	0x0	R

外形寸法

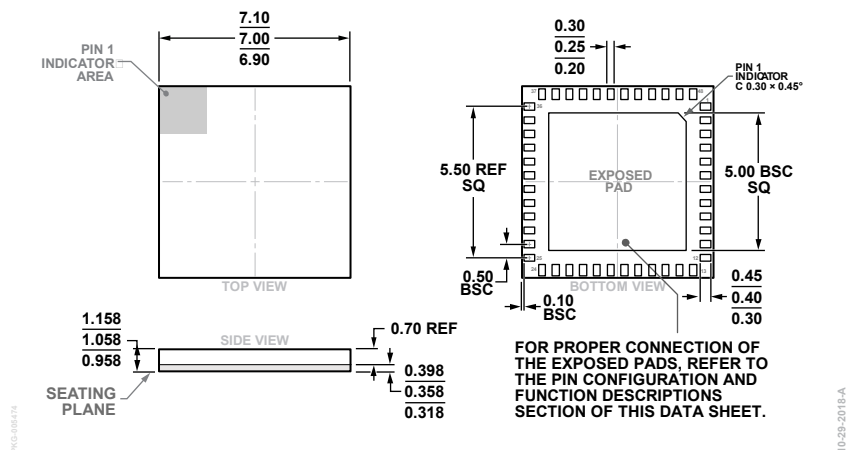


図 38.48 端子ランド・グリッド・アレイ・パッケージ [LGA]
(CC-48-4)
寸法：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADF4372BCCZ	-40°C to +105°C	48-Terminal Land Grid Array Package [LGA]	CC-48-4
ADF4372BCCZ-RL7	-40°C to +105°C	48-Terminal Land Grid Array Package [LGA]	CC-48-4
EV-ADF4372SD2Z		Evaluation Board	

¹ Z = RoHS 準拠製品