デュアルRF PLL周波数シンセサイザ

ADF4206/ADF4207/ADF4208

特長

ADF4206：550MHz/550MHz
ADF4207：1.1GHz/1.1GHz
ADF4208：2.0GHz/1.1GHz
2.7～5.5V電源
選択可能なチャージ・ポンプ電源（VP）により3Vシステムにおける電圧調整を拡張
チャージ・ポンプ電流を選択可能
オンチップの発振回路
選択可能なデュアル係数プリスケーラ
RF2：32/33または64/65
RF1：32/33または64/65
3線式シリアル・インターフェース
パワー・ダウン・モード

アプリケーション

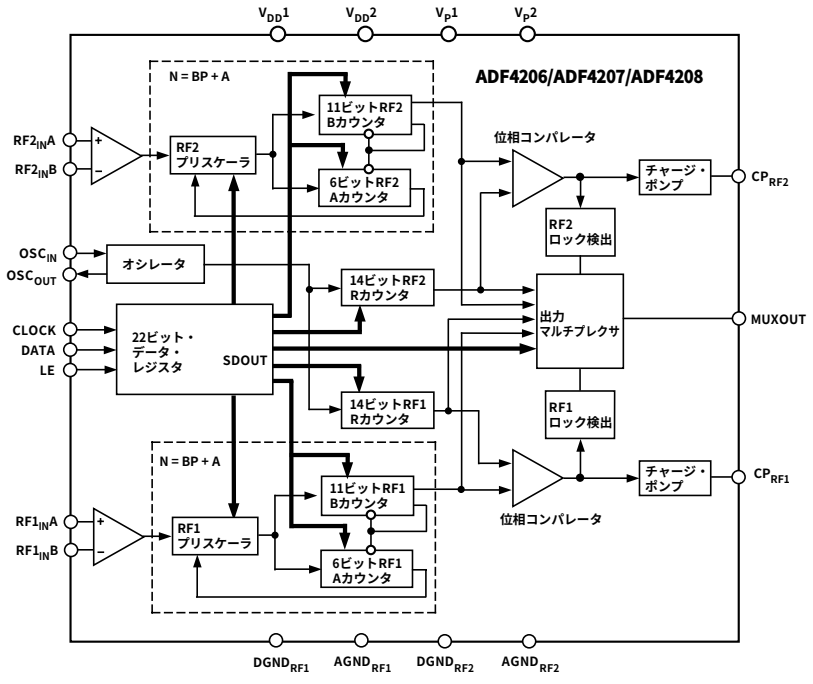
無線ハンドセット（GSM、PCS、DCS、CDMA、WCDMA）
無線ラジオ基地局（GSM、PCS、DCS、CDMA、WCDMA）
無線LAN
通信テスト機器
CATV機器

概要

デュアル周波数シンセサイザADF4206/ADF4207/ADF4208を使用することにより、無線トランスミッタおよびレシーバにおけるアップ／ダウン・コンバージョンの各セクションでのローカル・オシレータを実現できます。各シンセサイザは、ローノイズのデジタルPFD（Phase Frequency Detector：位相周波数検出器）、高精度チャージ・ポンプ、プログラマブルなリファレンス・ディバイダ、プログラマブルなA、Bカウンタおよびデュアル係数プリスケーラ（P/P+1）で構成されます。Aカウンタ（6ビット）およびBカウンタ（11ビット）は、デュアル係数プリスケーラ（P/P+1）とともにNディバイダ（N=BP+A）を実現します。さらに、14ビットのリファレンス・カウンタ（Rカウンタ）は、PFDの入力において選択可能なREFIN周波数を提供します。オンチップの発振回路により、水晶オシレータからリファレンス入力を得ることができます。

シンセサイザを外部のループ・フィルタおよびVCO（Voltage Controlled Oscillator：電圧制御オシレータ）とともに使用することにより、完全なPLL（Phase-Locked Loop：位相ロック・ループ）が実現できます。

内蔵レジスタの制御は、3線式インターフェース経由で行います。これらのデバイスは、2.7～5.5Vの電源電圧範囲で動作し、使用しないときにはパワー・ダウンできます。



アナログ・デバイセズ社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第3者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイセズ社の特許または特許の権利の使用を許諾するものでもありません。

REV.0

アナログ・デバイセズ株式会社

本　　社／東京都港区海岸1-16-1　電話03(5402)8400　〒105-6891
ニューピア竹芝サウスタワービル
大阪営業所／大阪市淀川区宮原3-5-36　電話06(6350)6868(代)　〒532-0003
新大阪第二森ビル

ADF4206/ADF4207/ADF4208ー仕様[1]

(特に指示のない限り、$V_{DD}1=V_{DD}2=3V \pm 10\%$、$V_{DD}1$、$V_{DD}2 \leqq V_P1$、$V_P2 \leqq 6.0V$、$AGND_{RF1}=DGND_{RF1}=AGND_{RF2}=DGND_{RF2}=0V$、$T_A=T_{MIN}$～$T_{MAX}$、dBm値は50Ωに対するものです。)

パラメータ	Bバージョン	Bチップ[2]	単位	テスト条件／備考
RF/IF特性（3V）				入力回路について図2参照
RF1入力周波数（$REF1_{IN}$）				f_{MIN}より低い周波数については矩形波を使用
ADF4206	0.05/0.55	0.05/0.55	GHz min/max	
ADF4207	0.08/1.1	0.08/1.1	GHz min/max	
ADF4208	0.08/2.0	0.08/2.0	GHz min/max	
RF入力感度	−15/+4	−15/+4	dBm min/max	
IF入力周波数（$RF2_{IN}$）				
ADF4206	0.05/0.55	0.05/0.55	GHz min/max	
ADF4207/ADF4208	0.08/1.1	0.08/1.1	GHz min/max	
IF入力感度	−15/+4	−5/+4	dBm min/max	
最大許容プリスケーラ出力周波数[3]	165	165	MHz max	
RF特性（5V）				
RF1入力周波数（$RF1_{IN}$）				f_{MIN}より低い周波数については矩形波を使用
ADF4206	0.05/0.55	0.05/0.55	GHz min/max	
ADF4207	0.08/1.1	0.08/1.1	GHz min/max	
ADF4208	0.08/2.0	0.08/2.0	GHz min/max	
RF入力感度	−10/+4	−10/+4	dBm min/max	
IF入力周波数（$RF2_{IN}$）			MHz min/max	
ADF4206	0.05/0.55	0.05/0.55	GHz min/max	
ADF4207/ADF4208	0.08/1.1	0.08/1.1	GHz min/max	
IF入力感度	−10/+4	−10/+4	dBm min/max	
最大許容プリスケーラ出力周波数[3]	200	200	MHz max	
REFIN特性				
REFIN入力周波数	5/40	5/40	MHz min/max	5MHz未満についてはAC結合された0～V_{DD}の
REFIN入力感度[4]	−2	−2	dBm min	矩形波を使用。DC結合の場合には、
				0～V_{DD} Max（CMOSコンパチブル）
REFIN入力容量	10	10	pF max	
REFIN入力電流	±100	±100	μA max	
位相検出器				
位相検出器周波数[5]	55	55	MHz max	
チャージ・ポンプ				
I_{CP}シンク／ソース				
最高値	5	5	mA typ	
最低値	1.25	1.25	mA typ	
絶対精度	2.5	2.5	% typ	
I_{CP}トライアステート・リーク電流	1	1	nA typ	
ロジック入力				
V_{INH}、入力ハイ電圧	$0.8 \times V_{DD}$	$0.8 \times V_{DD}$	V min	
V_{INL}、入力ロー電流	$0.2 \times V_{DD}$	$0.2 \times V_{DD}$	V max	
I_{INH}/I_{NL}、入力電流	±1	±1	μA max	
C_{IN}、入力容量	10	10	pF max	
ロジック出力				
V_{OH}、出力ハイ電圧	$V_{DD}-0.4$	$V_{DD}-0.4$	V min	$I_{OH}=500\ \mu A$
V_{OL}、出力ロー電圧	0.4	0.4	V max	$I_{OL}=500\ \mu A$
電源				
$V_{DD}1$	2.7/5.5	2.7/5.5	V min/V max	
$V_{DD}2$	$V_{DD}1$	$V_{DD}1$		
V_P	$V_{DD}1$/6.0	$V_{DD}1$/6.0	V min/V max	$V_{DD}1$、$V_{DD}2 \leqq V_P1$、$V_P2 \leqq 6.0V$
I_{DD}（$I_{DD}1+I_{DD}2$）[6]				
ADF4206	14	14	mA max	$V_{DD}=3V$、$T_A=25°C$において9.5mA typ
ADF4207	16.5	16.5	mA max	$V_{DD}=3V$、$T_A=25°C$において11mA typ
ADF4208	21	21	mA max	$V_{DD}=3V$、$T_A=25°C$において14mA typ
$I_{DD}1$				
ADF4206	8	8	mA max	$V_{DD}=3V$、$T_A=25°C$において5.5mA typ
ADF4207	9	9	mA max	$V_{DD}=3V$、$T_A=25°C$において6mA typ
ADF4208	14	14	mA max	$V_{DD}=3V$、$T_A=25°C$において9mA typ
$I_{DD}2$				
ADF4206	7.5	7.5	mA max	$V_{DD}=3V$、$T_A=25°C$において5mA typ
ADF4207	8.5	8.5	mA max	$V_{DD}=3V$、$T_A=25°C$において5.5mA typ
ADF4208	9	9	mA max	$V_{DD}=3V$、$T_A=25°C$において5.5mA typ
I_P（I_P1+I_P2）	1	1	mA max	$T_A=25°C$
ロー・パワー・スリープ・モード	0.5	0.5	μA typ	

パラメータ	Bバージョン	Bチップ[2]	単位	テスト条件／備考
ノイズ特性				
位相ノイズ・フロア（RF1）[7]				
ADF4206	−169	−169	dBc/Hz typ	@25kHz PFD周波数
ADF4207	−171	−171	dBc/Hz typ	@25kHz PFD周波数
ADF4208	−173	−173	dBc/Hz typ	@25kHz PFD周波数
ADF4206	−160	−160	dBc/Hz typ	@200kHz PFD周波数
ADF4207	−162	−162	dBc/Hz typ	@200kHz PFD周波数
ADF4208	−164	−164	dBc/Hz typ	@200kHz PFD周波数
位相ノイズ特性[8]				@VCO出力
ADF4206（RF1、RF2）	−92	−92	dBc/Hz typ	@540MHz出力、200kHz PFD周波数
ADF4207（RF1、RF2）	−90	−90	dBc/Hz typ	@900MHz出力、200kHz PFD周波数
ADF4207（RF1、RF2）[9]	−81	−81	dBc/Hz typ	@836MHz、30kHz PFD周波数
ADF4208（RF1）	−85	−85	dBc/Hz typ	@1750MHZ出力、200kHz PFD周波数
ADF4208（RF1）	−91	−91	dBc/Hz typ	@900MHZ出力、200kHz PFD周波数
ADF4208（RF1）[10]	−66	−66	dBc/Hz typ	@1750MHZ出力、200kHz PFD周波数
ADF4208（RF2）	−89	−89	dBc/Hz typ	@900Mhz出力、200kHz PFD周波数
スプリアス信号				
RF1、RF2（20kHzループ帯域幅）	−80/−84	−80/−84	dB typ	@200kHz/400kHzおよび200kHz PFD周波数
RF1、RF2（1kHzループ帯域幅）	−65/−73	−65/−73	dB typ	@10kHz/20kHzおよび10kHz PFD周波数

注

1 動作温度は次のとおりです。Bバージョン：−40〜＋85℃

2 Bチップの仕様は代表値です。

3 これはCMOSカウンタの最大動作周波数です。プレスケーラ値は、RF入力がこの値に達しない周波数に分割されるように選択してください。

4 $V_{DD}1=V_{DD}2=3V$、$V_{DD}1=V_{DD}2=5V$とするには、CMOSコンパチブルのレベルにする必要があります。

5 設計により保証されています。サンプル・テストによりコンプライアンスが保証されています。

6 $V_{DD}=3V$、P＝32、ADF4206に対する$RF_{IN}/RF2_{IN}=540MHz$、AD4207に対する$RF_{IN}1/RF_{IN}2=900MHz$、AD4208に対する$RF1_{IN}/RF2_{IN}=900MHz$が代表値となっています。

7 シンセサイザの位相ノイズ・フロアはVCOの出力で帯域内ノイズを測定し20logN（Nは分割比）を減算して求められています。

8 位相ノイズは、特に指定のない限り、1kHzにおいて測定されています。位相ノイズはEVAL-ADF4206／ADF4207EBまたはEVAL-AD4208Bの評価ボードおよびスペクトラム・アナライザHP8562Eを用いて測定されています。スペクトラム・アナライザによりシンセサイザのREFINが供給されます。（$f_{REFOUT}=10MHz@0dBm$）。

9 $f_{REFIN}=10MHz$、$f_{PFD}=30kHz$、オフセット周波数＝300Hz、$f_{RF/IF}=836MHz$、N＝27866、ループ帯域幅＝3kHz。

10 $f_{REFIN}=10MHz$、$f_{PFD}=10kHz$、オフセット周波数＝200Hz、$f_{RF}=1750MHz$、N＝175000、ループ帯域幅＝1kHz。

仕様は予告なく変更されることがあります。

タイミング特性（特に指示のない限り、$V_{DD}1=V_{DD}2=3V\pm10\%$、$5V\pm10\%$、$V_{DD}1$、$V_{DD}2 \leqq V_P1$、$V_P2 \leqq 6.0V$、$AGND_{RF1}=DGND_{RF1}=AGND_{RF2}=DGND_{RF2}=0V$、$T_A=T_{MIN}\sim T_{MAX}$、dBm値は50Ωに対するものです。）

パラメータ	$T_{MIN}\sim T_{MAX}$における限界（Bバージョン）	単位	テスト条件/備考
t_1	10	ns min	データからクロックへのセットアップ・タイム
t_2	10	ns min	データからクロックへのホールド・タイム
t_3	25	ns min	クロック・ハイ期間
t_4	25	ns min	クロック・ロー期間
t_5	10	ns min	クロックからLEへのセットアップ・タイム
t_6	20	ns min	LEパルス幅

注
設計において保証されていますが製造テストは行われていません。
仕様は予告なく変更されることがあります。

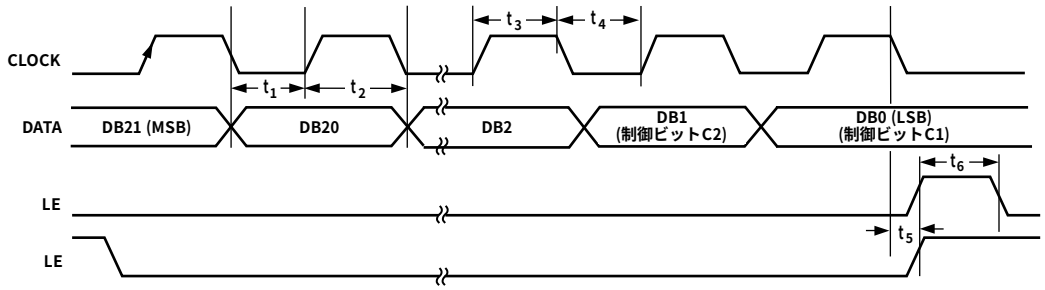


図1　タイミング図

絶対最大定格[1,2]

（特に指示のない限り、$T_A=25℃$）

$V_{DD}1\sim GND$[3] ……－0.3～＋7V
$V_{DD}1\sim V_{DD}2$ ……－0.3～＋0.3V
$V_P1,V_P2\sim GND$ ……－0.3～＋7V
$V_P1,V_P2\sim V_{DD}1$ ……－0.3～＋5.5V
デジタルI/O電圧～GND……－0.3V～DV_{DD}＋0.3V
アナログI/O電圧～GND ……－0.3V～V_P＋0.3V
OSC_{IN},OSC_{OUT},RF_{IN}（A,B）,
　$RF2_{IN}$（A,B）～GND ……－0.3V～V_{DD}＋0.3V
$RF_{IN}A\sim RF_{IN}B$（RF1,RF2）……±320mV
動作温度範囲
　工業用（Bバージョン）……－40～＋85℃
保管温度範囲……－65～＋150℃
最大接合温度……＋150℃
TSSOP θ_{JA}熱抵抗 ……150.4℃/W
CSP θ_{JA}（パドル・ハンダ付け） ……122℃/W
CSP θ_{JA}（パドル・ハンダ付けなし） ……216℃/W
ピン温度、ハンダ付け
　蒸着（60秒） ……215℃
　赤外線（15秒） ……220℃

注
1 上記の絶対最大定格を超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この定格はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長期間絶対最大定格条件に置くと、デバイスの信頼度に影響を与えることがあります。
2 このデバイスはESD定格＜2kVの高性能RF集積回路でありESDに敏感です。デバイスの取扱いと組み立てには適切な配慮が必要です。
3 GND＝AGND＝DGND＝0V

トランジスタ値

11749（CMOS）および522（バイポーラ）

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション*
ADF4206BRU	－40～＋85℃	薄型シュリンク・スモール・アウトライン・パッケージ（TSSOP）	RU-16
ADF4207BRU	－40～＋85℃	薄型シュリンク・スモール・アウトライン・パッケージ（TSSOP）	RU-16
ADF4208BRU	－40～＋85℃	薄型シュリンク・スモール・アウトライン・パッケージ（TSSOP）	RU-20

*チップの供給状況についてはお問い合わせください。

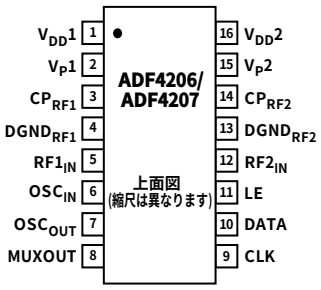
注意
ESD（静電放電）の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。

ピン機能説明

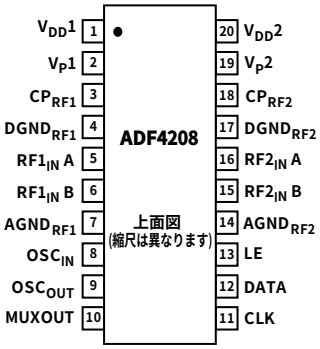
ピン番号	記号 ADF4206/ ADF4207	記号 ADF4028	機能
1	$V_{DD}1$	$V_{DD}1$	RF1セクションの正極性電源。このピンとRF1のグラウンド・ピン$DGND_{RF1}$との間に0.1μFのコンデンサを接続する必要があります、$V_{DD}1$は、2.7～5.5Vの電圧値とする必要があります。$V_{DD}1$の電圧は$V_{DD}2$の電圧と等しくする必要があります。
2	V_P1	V_P1	RF1のチャージ・ポンプへの電源。これはV_{DD}以上とする必要があります。
3	CP_{RF1}	CP_{RF1}	RF1のチャージ・ポンプの出力。これは、通常、ループ・フィルタに接続され、これにより、外部のVCOをドライブします。
4	$DGND_{RF1}$	$DGND_{RF1}$	RF1のデジタル回路のグランド・ピン。
5	$RF1_{IN}$	$RF1_{IN}A$	RFIのプリスケーラへの入力。この低レベルの入力信号は、通常、RFIのVCOから供給されます。
6	OSC_{IN}	$RF1_{IN}B$	AD4208のRF1プリスケーラへのコンプリメンタリ入力。この点は小さな値のバイパス・コンデンサでグランド・プレーンからデカップリングする必要があります。
7	OSC_{OUT}	$AGND_{RF1}$	RF1のアナログ回路のグラウンド・ピン。
8	MUXOUT	OSC_{IN}	オシレータの入力。スレショルドは$V_{DD}/2$であり、外部のCMOSまたはTTLのロジック・ゲートによりドライブできます。
9	CLK	OSC_{OUT}	オシレータの出力。
10	DATA	MUXOUT	このマルチプレクサの出力により、IF/RFのロック検出、RFのスケール処理、外部的にアクセスされるスケールされたリファレンス周波数が可能となります。表Vを参照してください。
11	LE	CLK	シリアル・クロック入力。このシリアル・クロックはシリアル・データをレジスタにクロック入力するために使用されます。このデータは、CLKの立ち上がりエッジで22ビットのシフト・レジスタにラッチされます。この入力は、ハイ・インピーダンスのCMOS入力です。
12	$REF2_{IN}$	DATA	シリアル・データ入力。このシリアル・データはMSB先頭でロードされ、LSB側の2つのビットが制御ビットとなります。この入力は、ハイ・インピーダンスのCMOS入力です。
13	$DGND_{RF2}$	LE	CMOS入力のロード・イネーブル。LEがハイとなったときに、シフト・レジスタに保持されたデータが4つのラッチの1つにロードされます。このラッチは制御ビットにより選択されます。
14	CP_{RF2}	$AGND_{RF2}$	RF2のアナログ回路のグラウンド・ピン。
15	V_P2	$RF2_{IN}B$	RF2のプリスケーラへのコンプリメンタリ入力。この点は小さな値のバイパス・フィルタでグラウンド・プレーンからデカップリングする必要があります。
16	$V_{DD}2$	$RF2_{IN}A$	PF2のプリスケーラへの入力。この低レベルの信号は、通常、外部のVFOにAC結合されます。
17		$DGND_{RF2}$	RF2のグラウンド・ピン、デジタル、インターフェース、制御回路です。
18		CP_{RF2}	RF2のチャージ・ポンプの出力。これは、通常、外部のVCOの入力をドライブするループ・フィルタに接続されます。
19		V_P2	RF2のチャージ・ポンプへの電源。これはV_{DD}以上とする必要があります。
20		$V_{DD}2$	RF2のチャージ・ポンプ、インターフェース、発振セクションへの正極性の電源です。このピンとRF2のグラウンド・ピン$DGND_{RF2}$との間に0.1μFのコンデンサを接続する必要があります、$V_{DD}2$は、2.7～5.5Vの電圧値とする必要があります。$V_{DD}2$の電圧は$V_{DD}1$の電圧と等しくする必要があります。

ピン配置

TSSOP



TSSOP

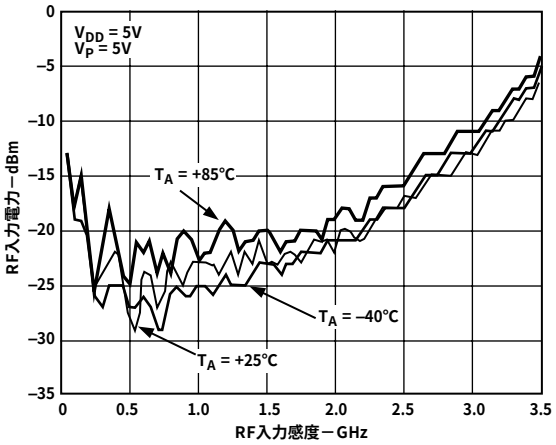


ADF4206/ADF4207/ADF4208－代表的な性能特性

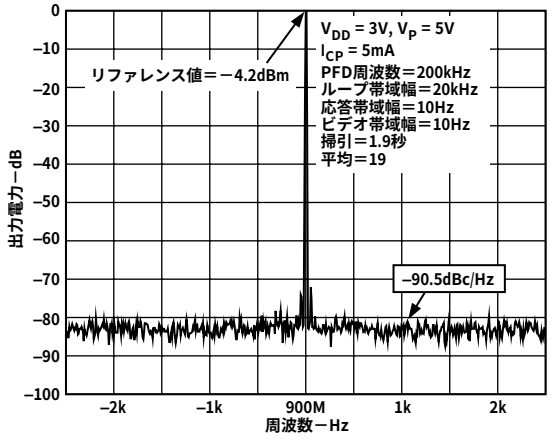
FREQ-UNIT GHz　PARAM-TYPE S　DATA-FORMAT MA　KEYWORD R　IMPEDANCE – OHMS 50

FREQ	MAGS11	ANGS11	FREQ	MAGS11	ANGS11
0.0	0.957111193	–3.130429321	1.35	0.816886959	–51.80711782
0.15	0.963546793	–6.686426265	1.45	0.825983016	–56.20373378
0.25	0.953621785	–11.19913586	1.55	0.791737125	–61.21554647
0.35	0.953757706	–15.35637483	1.65	0.770543186	–61.88187496
0.45	0.929831379	–20.3793432	1.75	0.793897072	–65.39516615
0.55	0.908459709	–22.69144845	1.85	0.745765233	–69.24884474
0.65	0.897303634	–27.07001443	1.95	0.7517547	–71.21608147
0.75	0.876862863	–31.32240763	2.05	0.745594889	–75.93169947
0.85	0.849338092	–33.68058163	2.15	0.713387801	–78.8391674
0.95	0.858403269	–38.57674885	2.25	0.711578577	–81.71934806
1.05	0.841888714	–41.48606772	2.35	0.698487131	–85.49067481
1.15	0.840354983	–45.97597958	2.45	0.669871818	–88.41958754
1.25	0.822165839	–49.19163116	2.55	0.668353367	–91.70921678

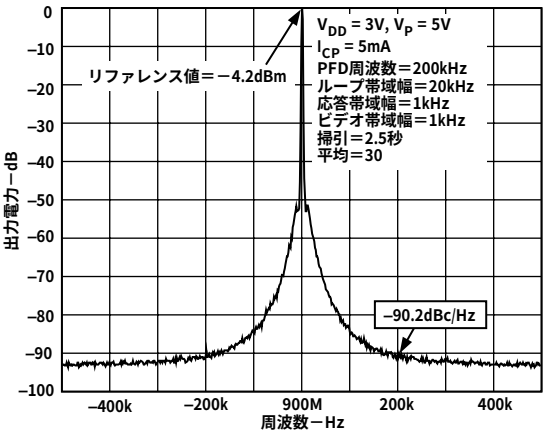
特性1　ADF4208 RF1入力のS－パラメータ・データ
（2.5GHzまで）



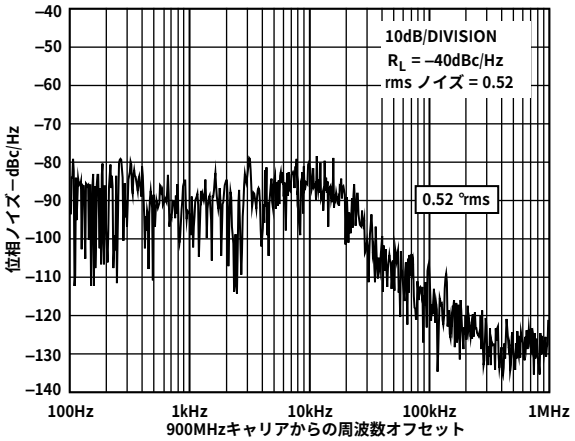
特性2　ADF4208（RF1）入力感度



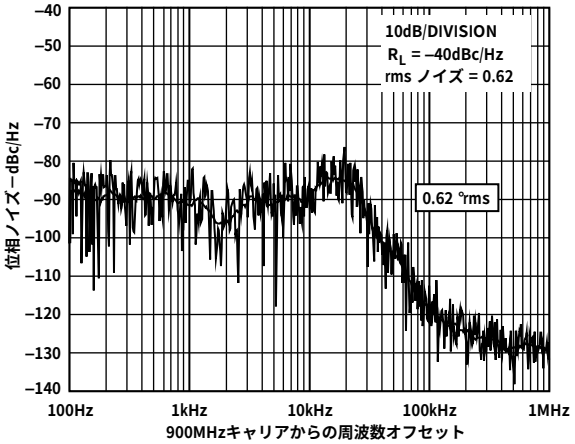
特性3　ADF4208 RF1位相ノイズ
（900MHz,200kHz,20kHz）



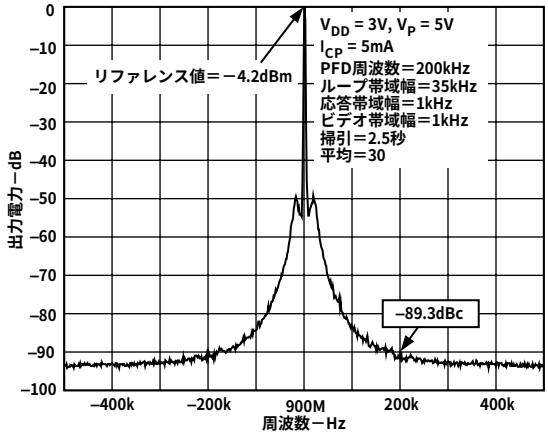
特性4　ADF4208 RF1リファレンス・スプリアス
（900MHz,200kHz,20kHz）



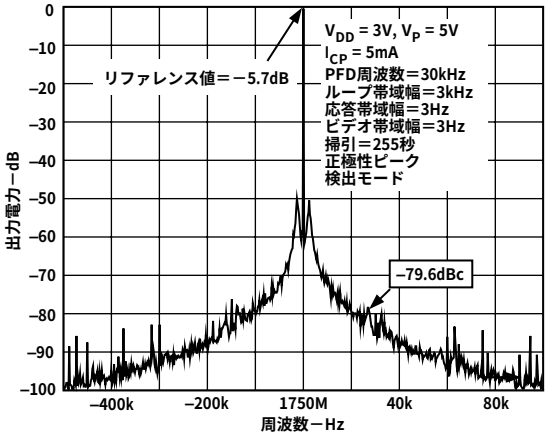
特性5　ADF4208 RF1積分位相ノイズ
（900MHz,200kHz,20kHz）



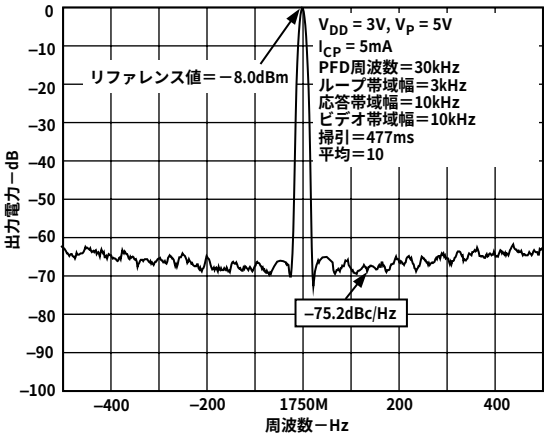
特性6　ADF4208 RF1積分位相ノイズ
（900MHz,200kHz,20kHz）



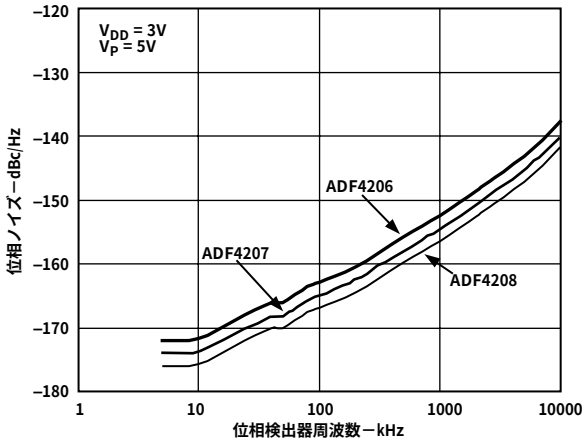
特性7　AD4208 RF1リファレンス・スプリアス
（900MHz,200kHz,35kHz）



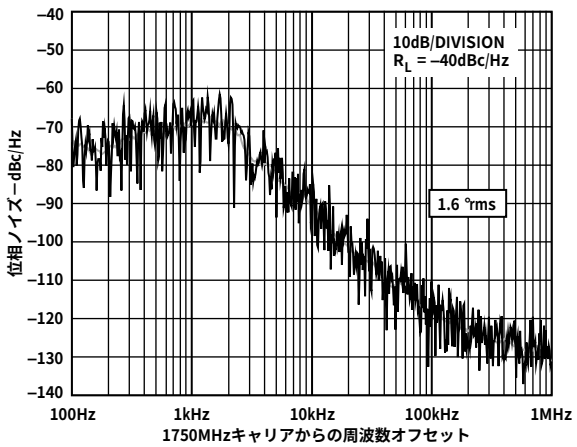
特性10　ADF4208 RF1リファレンス・スプリアス
（1750MHz,30kHz,3kHz）



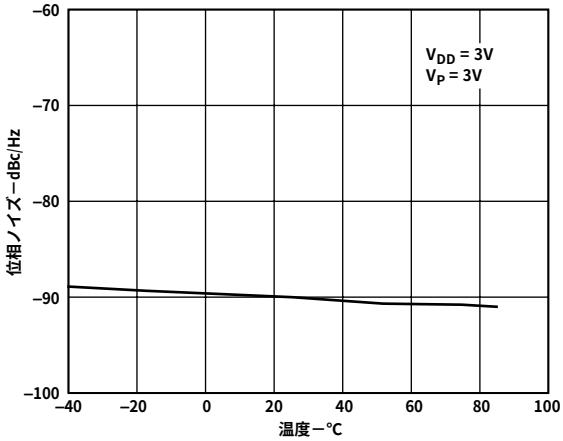
特性8　ADF4208 RF1位相ノイズ（1750MHz,30kHz,3kHz）



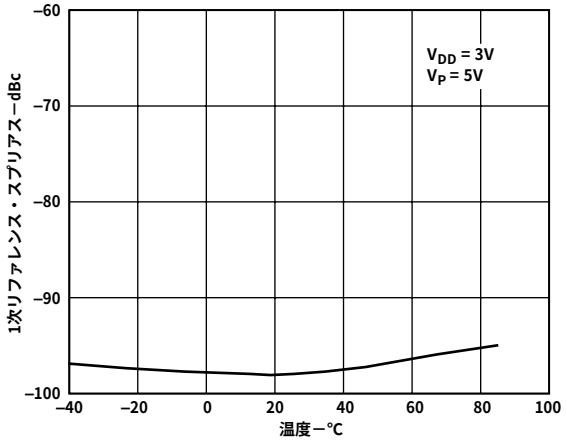
特性11　ADF4208 RF1周波数ノイズ 対 PFD周波数



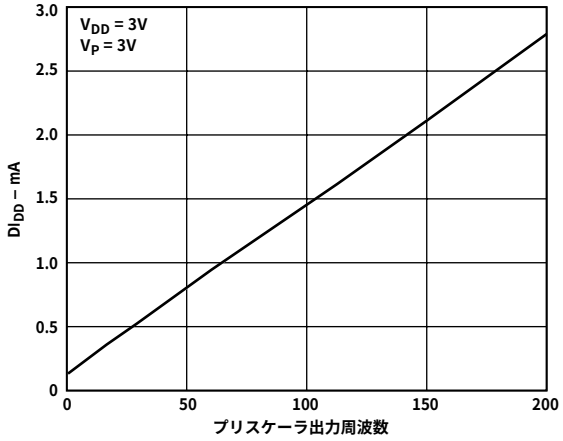
特性9　ADF4208 RF1積分位相ノイズ
（1750MHz,30kHz,3kHz）



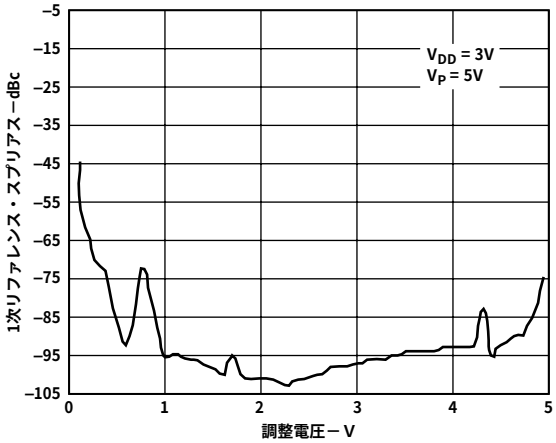
特性12　AD4208 RF1位相ノイズ 対 温度
（900MHz,200kHz,20kHz）



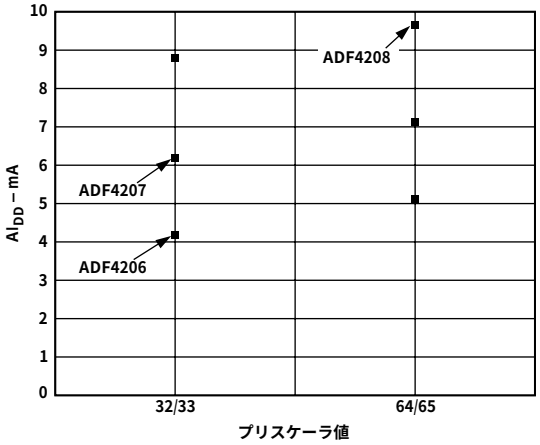
特性13　ADF4208 RF1リファレンス・スプリアス 対 温度
（900MHz,200kHz,20kHz）



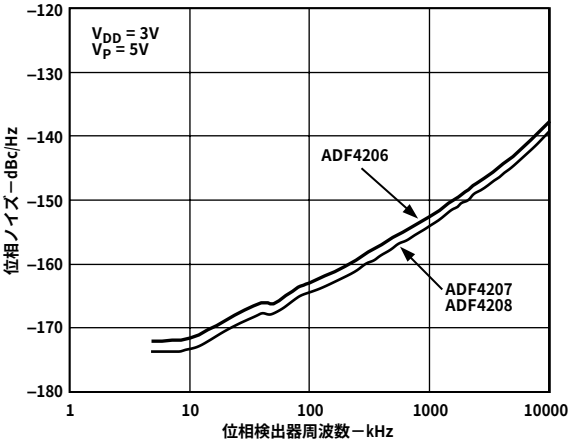
特性16　DI_{DD} 対 プリスケーラ出力周波数
（すべてのモード,RF1およびRF2）



特性14　ADF4208 RF1リファレンス・スプリアス 対 V_{TUNE}
（900MHz,200kHz,20kHz）



特性17　ADF4206/ADF4207/ADF4208 AI_{DD} 対
プリスケーラ値（RF1）



特性15　ADF4208 RF2位相ノイズ 対 周波数

回路の解説

リファレンス入力部

図2にリファレンス入力段を示します。SW1およびSW2は通常は閉のスイッチです。SW3は通常は開のスイッチです。パワーダウンが開始されると、SW3は閉じられSW1およびSW2は開かれます。図2に代表的な推奨外部部品を示します。

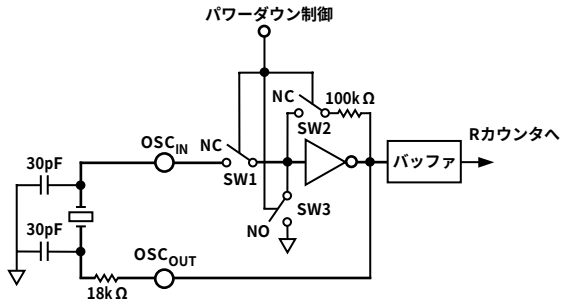


図2　リファレンス入力段

RF入力段

図3にRF入力段を示します。これはプリスケーラによって必要とされるCMLクロック・レベルを生成するための2段の制限アンプに接続されます。

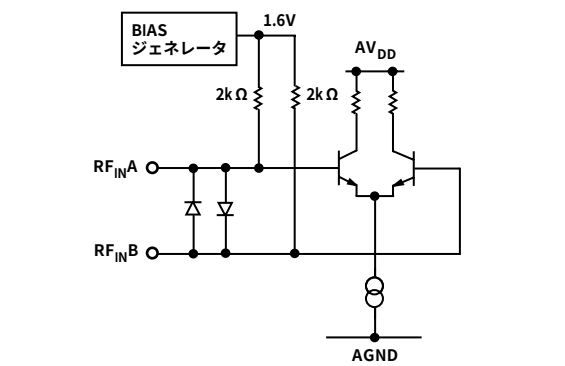


図3　RF入力段

プリスケーラ

デュアル係数プリスケーラ（P/P+1）は、A、Bカウンタとともに、大きな分周比であるNを実現します（N＝BP＋A）。このプリスケーラは、CMLレベルで動作し、RF入力段からクロックを得て、これをCMOS A、Bカウンタで管理可能な周波数に分周します。これは同期型の4/5コアに基づいています。

このプリスケーラは選択することができます。RF1およびRF2の両方は、32/33または64/65に設定することができます。ABカウンタ・ラッチのDB20によって、この値を選択します。表IVおよびVIを参照してください。

AおよびBカウンタ

AおよびBのCMOSカウンタはデュアル係数プリスケーラとの組合わせにより、PLLフィードバック・カウンタの広範囲の分割比を実現します。これらのデバイスは、プリスケーラの出力が200MHz以下のときに動作することが保証されています。

パルス・スワロー機能

AおよびBカウンタは、デュアル係数プリスケーラとの組合わせにより、リファレンス周波数をRで除算した値でのみスペースされる出力周波数を生成できます。以下はVCO周波数の式です。

$$f_{VCO} = [(P \times B) + A] \times f_{REFIN}/R$$

f_{VCO} = 外部電圧制御オシレータ（VCO）の出力周波数

P = デュアル係数プリスケーラのプリセット係数（32/33,64/65）

B = バイナリ11ビット・カウンタのプリセット分周比（1～2047）

A = バイナリ6ビットAカウンタのプリセット分周比（0～63）

f_{REFIN} = 外部リファレンス周波数オシレータの出力周波数

R = 14ビット・プログラマブル・リファレンス・カウンタのプリセット分周比（1～16383）

Rカウンタ

Rカウンタにより入力リファレンス周波数を分周して位相周波数検出器（Phase Frequency Detector, PFD）のリファレンス・クロックを生成できます。1～16,383までの分周比を選択できます。

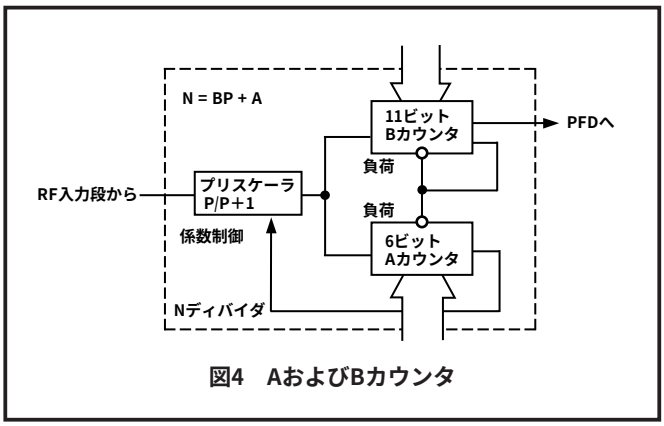


図4　AおよびBカウンタ

位相周波数検出器（Phase Frequency Detector, PFD）およびチャージ・ポンプ

PFDは、RカウンタおよびNカウンタ（N＝BP＋A）から入力を得て、これらの間の位相と周波数の差異に比例した出力を生成します。図5に概略図を示します。

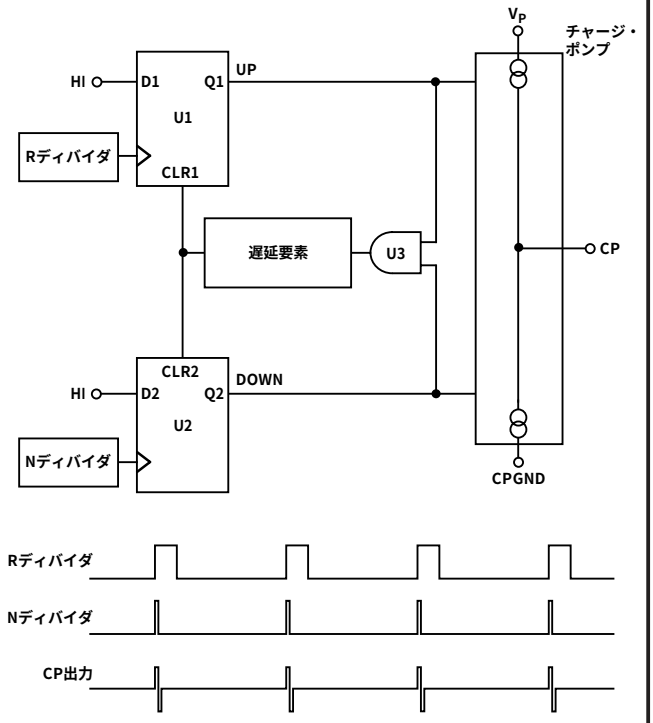


図5　PFDの概略図およびタイミング（ロック時）

PFDは、アンチ・バックラッシュ位相の幅を制御する遅延要素を備えています。ADF420xファミリーにおけるこの値の代表値は3nsです。このパルスにより、PDFの伝達関数にデッド・ゾーンが存在しないこととなり、位相ノイズおよびリファレンス・スプリアスが最小に抑えられます。

MUXOUTおよびロック検出

ADF4206ファミリーの出力マルチプレクサは、チップ上の様々な内部ポイントへのアクセスを可能とします。MUXOUTの状態はP3、P4、P11、P12により制御されます。図6はMUXOUT部のブロック図です。

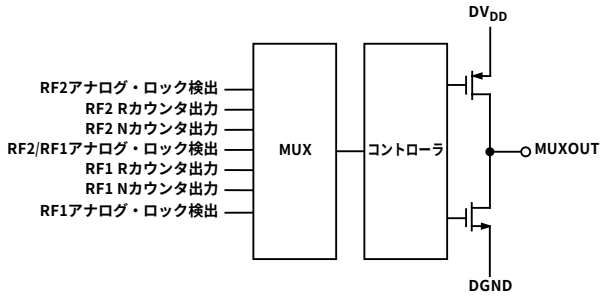


図6　MUXOUT回路

ロック検出

MUXOUTは、アナログ・ロック検出にプログラムできます。Nチャンネルのオープン・ドレイン・アナログ・ロック検出は、公称値10kΩの外部プルアップ抵抗によって操作してください。ロックが検出されている場合には、狭い幅の立ち下がりパルスによりハイとなります。

入力シフト・レジスタ

ADF420xファミリーの機能ブロック図が1ページにあります。メインのブロックには、22ビット入力シフト・レジスタ、14ビットRカウンタ、6ビット Aカウンタと11ビットBカウンタによって構成される17ビットNカウンタが備えられています。データはCLKの各立ち上がりエッジで22ビット・シフト・レジスタにクロック入力されます。データは、MSB先頭でクロック入力されます。データはLEの立ち上がりエッジでシフト・レジスタから4つのラッチのうちに1つに転送されます。目的とされるラッチは、シフト・レジスタの2つの制御ビット（C2、C1）により決定されます。これらは、図1のタイミング図に示すように、2つのLSBであるDB1およびDB0です。表Iにこれらのビットについての真理表を示します。

表I　C2、C1真理値表

ビット C2	C1	データ・ラッチ
0	0	RF2 Rカウンタ
0	1	RF2 ABカウンタ（およびプリスケーラ選択）
1	0	RF1 Rカウンタ
1	1	RF1 ABカウンタ（およびプリスケーラ選択）

表II　ADF420xファミリーのラッチのまとめ

RF2リファレンス・カウンタ・ラッチ

RF2 F_O	RF2 ロック検出	トライアステート CP_{RF2}	RF2 CP ゲイン	RF2 PD 極性	未使用	14ビット・リファレンス・カウンタ、R														制御ビット	
DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
P4	P3	P2	P5	P1		R14	R13	R12	R11	R10	R9	R8	R7	R6	R5	R4	R3	R2	R1	C2 (0)	C1 (0)

RF2 ABカウンタ・ラッチ

RF2 パワーダウン	RF2 プリスケーラ	11ビットBカウンタ											未使用	6ビットAカウンタ						制御ビット	
DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
P7	P6	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1		A6	A5	A4	A3	A2	A1	C2 (0)	C1 (0)

RF1リファレンス・カウンタ・ラッチ

RF1 F_O	RF1 ロック検出	トライアステート CP_{RF1}	RF1 CP ゲイン	RF1 PD 極性	未使用	14ビット・リファレンス・カウンタ、R														制御ビット	
DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
P12	P11	P10	P13	P9		R14	R13	R12	R11	R10	R9	R8	R7	R6	R5	R4	R3	R2	R1	C2 (1)	C1 (0)

RF1 ABカウンタ・ラッチ

RF1 パワーダウン	RF1 プリスケーラ	11ビットBカウンタ											未使用	6ビットAカウンタ						制御ビット	
DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
P16	P14	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1		A6	A5	A4	A3	A2	A1	C2 (1)	C1 (1)

表III　RF2リファレンス・カウンタ・ラッチ・マップ

RF2リファレンス・カウンタ・ラッチ

RF2 F_O	RF2 ロック検出	トライアステート CP_{RF2}	RF2 CP ゲイン	RF2 PD 極性		14ビット・リファレンス・カウンタ、R														制御ビット	
DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
P4	P3	P2	P5	P1		R14	R13	R12	R11	R10	R9	R8	R7	R6	R5	R4	R3	R2	R1	C2 (0)	C1 (0)

R14	R13	R12	.....	R3	R2	R1	分周比
0	0	0	.....	0	0	1	1
0	0	0	.....	0	1	0	2
0	0	0	.....	0	1	1	3
0	0	0	.....	1	0	0	4
.	.	.	.....	.	.	.	.
.	.	.	.....	.	.	.	.
.	.	.	.....	.	.	.	.
1	1	1	.....	1	0	0	16380
1	1	1	.....	1	0	1	16381
1	1	1	.....	1	1	0	16382
1	1	1	.....	1	1	1	16383

P1	PD極性
0	負極性
1	正極性

P5	I_{CP}
0	1.25 mA
1	4.375 mA

P2	チャージ・ポンプ出力
0	通常動作
1	スリーステート

P12 RF1 ラッチから	P11	P4	P3	MUXOUT
0	0	0	0	ロジック・ロー状態
0	0	0	1	RF2アナログ・ロック検出
0	X	1	0	RF2リファレンス・ディバイダ出力
0	X	1	1	RF2 Nディバイダ出力
0	1	0	0	RF1アナログ・ロック検出
0	1	0	1	RF1/RF2アナログ・クロック検出
1	X	0	0	RF1リファレンス・ディバイダ
1	X	0	1	RF1 Nディバイダ
1	0	1	0	高速ロック出力スイッチ・オンおよびMAXOUTに接続
1	0	1	1	RF2カウンタ・リセット
1	1	1	0	RF1カウンタ・リセット
1	1	1	1	RF2およびRF1カウンタ・リセット

表IV　RF2 ABカウンタ・ラッチ・マップ

RF2 ABカウンタ・ラッチ

RF2 パワーダウン	RF2 プリスケーラ	11ビットBカウンタ												6ビットAカウンタ						制御ビット	
DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
P7	P6	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1		A6	A5	A4	A3	A2	A1	C2 (0)	C1 (1)

A6	A5	A4	A3	A2	A1	カウンタ分周比
X	X	0	0	0	0	0
X	X	0	0	0	1	1
X	X	0	0	1	0	2
X	X	0	0	1	1	3
.	.	.	.	.	.	
.	.	.	.	.	.	
.	.	.	.	.	.	
X	X	1	1	1	0	14
X	X	1	1	1	1	15

B11	B10	B9		B3	B2	B1	Bカウンタ分周比
0	0	0	.....	0	0	0	不許可
0	0	0	.....	0	0	1	不許可
0	0	0	.....	0	1	0	不許可
0	0	0	.....	0	1	1	3
.	.	.	.....	.	.	.	.
.	.	.	.....	.	.	.	.
.	.	.	.....	.	.	.	.
1	1	1	.....	1	0	0	2044
1	1	1	.....	1	0	1	2045
1	1	1	.....	1	1	0	2046
1	1	1	.....	1	1	1	2047

P6	RF2プリスケーラ
0	64/65
1	32/33

P7	RF2部
0	通常動作
1	パワーダウン

N＝BP＋A。PはP6によって設定されるプリスケーラ値。BはA以上に設定する必要があります。連続的に隣接したNxF_{REF}とするためには、N_{MIN}を（P^2-P）に設定する必要があります。

表V　RF1リファレンス・カウンタ・ラッチ・マップ

RF1リファレンス・カウンタ・ラッチ

RF1 F_O	RF1 ロック検出	トライアステート CP_{RF1}	RF1 CP ゲイン	RF1 PD 極性		14ビット・リファレンス・カウンタ、R														制御ビット	
DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
P12	P11	P10	P13	P9		R14	R13	R12	R11	R10	R9	R8	R7	R6	R5	R4	R3	R2	R1	C2 (1)	C1 (0)

R14	R13	R12	.....	R3	R2	R1	分周比
0	0	0	.....	0	0	1	1
0	0	0	.....	0	1	0	2
0	0	0	.....	0	1	1	3
0	0	0	.....	1	0	0	4
.	.	.	.....	.	.	.	.
.	.	.	.....	.	.	.	.
.	.	.	.....	.	.	.	.
1	1	1	.....	1	0	0	16380
1	1	1	.....	1	0	1	16381
1	1	1	.....	1	1	0	16382
1	1	1	.....	1	1	1	16383

P9	極性
0	負極性
1	正極性

P13	I_{CP}
0	1.25 mA
1	4.375 mA

P10	チャージ・ポンプ出力
0	通常
1	トライアステート

P12	P11	P4 RF2ラッチから	P3	MUXOUT
0	0	0	0	ロジック・ロー状態
0	0	0	1	RF2アナログ・ロック検出
0	X	1	0	RF2リファレンス・ディバイダ出力
0	X	1	1	RF2 Nディバイダ出力
0	1	0	0	RF1アナログ・ロック検出
0	1	0	1	RF1/RF2アナログ・ロック検出
1	X	0	0	RF1リファレンス・ディバイダ
1	X	0	1	RF1 Nディバイダ
1	0	1	0	高速ロック出力スイッチ・オンおよびMUXOUTへの接続
1	0	1	1	RF2カウンタ・リセット
1	1	1	0	RF1カウンタ・リセット
1	1	1	1	RF2およびRF1カウンタ・リセット

表VI　RF1 ABカウンタ・ラッチ・マップ

RF1 ABカウンタ・ラッチ

RF1 パワーダウン	RF1 プリスケーラ	11ビットBカウンタ												6ビットAカウンタ						制御ビット	
DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
P16	P14	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1		A6	A5	A4	A3	A2	A1	C2 (1)	C1 (1)

A6	A5	A4	A3	A2	A1	Aカウンタ 分周比
0	0	0	0	0	0	0
0	0	0	0	0	1	1
0	0	0	0	1	0	2
0	0	0	0	1	1	3
.	.	.	.	.	.	
.	.	.	.	.	.	
.	.	.	.	.	.	
1	1	1	1	1	0	62
1	1	1	1	1	1	63

B11	B10	B9		B3	B2	B1	Bカウンタ分周比
0	0	0	.....	0	0	1	1
0	0	0	.....	0	1	0	2
0	0	0	.....	0	1	1	3
0	0	0	.....	1	0	0	3
.	.	.	.....	.	.	.	.
.	.	.	.....	.	.	.	.
.	.	.	.....	.	.	.	.
1	1	1	.....	1	0	0	2044
1	1	1	.....	1	0	1	2045
1	1	1	.....	1	1	0	2046
1	1	1	.....	1	1	1	2047

P14	RF1プリスケーラ
0	64/65
1	32/33

P16	RF1部
0	通常動作
1	パワーダウン

N＝BP＋A。PはP6によって設定されるプリスケーラ値。BはA以上に設定する必要があります。連続的に隣接したNとするためには、N_{MIN}を（P^2-P）に設定する必要があります。

プログラム・モード
表IIIおよびVに、ADF420xファミリーにおけるプログラム・モードの設定方法を示します。以下の事項についての注意が必要です。

1. RF2およびRF1のアナログ・ロック検出は、PLLがロックされた時点を示します。ループがロックされ、RF2またはRF1のアナログ・ロック検出が選択されたときに、MUXOUTピンは狭い立ち下がりパルスとともにロジック・ハイとなります。RF2/RF1のアナログ・ロック検出が選択されたときに、RF2およびRF1のループの両方がロックされているときにのみ、ロック状態が示されます。

2. RF2カウンタのリセット・モードは、RF2部のRおよびABカウンタをリセットするとともに、RF2のチャージ・ポンプをスリーステートとします。RF1カウンタのリセット・モードは、RF1部のRおよびABカウンタをリセットするとともに、RF1のチャージ・ポンプをスリーステートとします。RF2およびRF1のカウンタ・リセット・モードは上記の両方の動作を行います。
   リセット・ビットが解除されると、ABカウンタはRカウンタと近接した状態でカウントを開始します（最大誤差は、1つのプリスケーラ出力サイクルです）。

3. 高速ロック・モードは、高速ロック動作の間にMUXOUTを用いて第二のループ・フィルタ・ダンピング・レジスタをグランドに切り替えます。RF1リファレンス・カウンタのRF1 CPゲインが“1”に設定されたときには、常に、高速ロックが動作状態とされます。

パワーダウン
AD420xファミリーでは、RF2またはRF1のいずれかによって同期または非同期のパワーダウンを行うかをプログラムすることができます。

同期RF2パワーダウン
AD420xファミリーのP7を“1”に設定することにより、パワーダウンが開始されます。ADF420xファミリーのP2が“0”（通常動作）に設定されている場合には、同期パワーダウンが実行されます。デバイスは自動的にチャージ・ポンプをスリーステートの状態とし、次いでパワーダウンを終了します。

非同期RF2パワーダウン
ADF420xファミリーのP2が“1”（RF2のチャージ・ポンプをスリーステートとする）に設定されている場合に、次いでP7を“1”に設定すると、非同期パワーダウンが実行されます。デバイスはLEの立ち上がりエッジでパワーダウン状態となり、RF2のパワーダウン・ビット（P7）に“1”をラッチします。

同期RF1パワーダウン
ADF420xファミリーのP16に“1”を設定することにより、パワーダウンが開始されます。ADF420xファミリーのP10が“0”（通常動作）に設定されている場合には、非同期パワーダウンが実行されます。デバイスは自動的にチャージ・ポンプをスリーステートの状態とし、次いでパワーダウンを終了します。

非同期RF1パワーダウン
AD420xファミリーのP10が“1”（RF1のチャージ・ポンプをトライアステートとする）に設定されている場合に、次いでP16を1に設定すると、非同期パワーダウンが実行されます。デバイスはLEの立ち上がりエッジでパワーダウン状態となり、RF1のパワーダウン・ビット（16）に“1”をラッチします。
同期または非同期のパワーダウンを動作状態とすると、RF2/RF1のループのRおよびNのディバイダは強制的にロード・ステート状態となり、RF2/RF1の入力部はデバイアスされてハイ・インピーダンス状態となります。
リファレンス・オシレータ回路は、RF2およびRF1のパワーダウン・モードが設定されたときにのみディスエーブルにされます。
入力レジスタおよびラッチは、すべてのパワーダウン・モードで、アクティブの状態のままとなり、データのロードとラッチが可能です。
デバイスのRF2/RF1部は、LEが対応するパワーダウン・ビットに“0”をラッチすると、直ちに、通常のパワー・アップされた状態での動作に復帰します。

IF部（RF2）
プログラマブルRF2リファレンス（R）カウンタ
制御ビット（C2,C1）が（0,0）の場合には、データは入力シフト・レジスタから14ビットのRF2 Rカウンタに転送されます。表IIIにRF2 Rカウンタへの入力シフト・レジスタのデータ・フォーマットおよび実現可能な分周比を示します。

RF2位相検出器の極性
RF2の位相検出器の極性はP1によって設定されます。RF2のVCOの特性が正極性である場合には、このビットを“1”に設定する必要があります。これらが負極性の場合には、これを“0”に設定する必要があります。表IIIを参照してください。

RF2チャージ・ポンプ・スリーステート
P2が“1”に設定されたときには、RF2のチャージ・ポンプはスリーステート・モードとなります。通常動作とするためには、これを“0”に設定する必要があります。表IIIを参照してください。

RF2プログラム・モード
表IIIおよびVに、ADF420xファミリーにおけるプログラム・モードの設定方法を示します。

RF2チャージ・ポンプ電流
P5のビットにより、RF2のチャージ・ポンプのカレント状態がプログラムされます。表IIIを参照してください。

プログラマブルRF2 ABカウンタ
制御ビット（C2,C1）が（0,1）である場合には、入力レジスタのデータは、RF2 ABカウンタをプログラムするために使用されます。ABカウンタは、6ビットのスワロー・カウンタ（Aカウンタ）および11ビットのプログラマブル・カウンタ（Bカウンタ）により構成されます。表IIVに、RF2 ABカウンタをプログラムするための入力シフト・レジスタのデータ・フォーマットおよび実現可能な分周比を示します。

RF2プリスケーラ値
RF2 ABカウンタ・ラッチのP6はRF2のプリスケーラの値を設定します。表IVを参照してください。

RF2パワーダウン
表IVのP7は、RF2側のパワーダウン・ビットです。

RF部（RF1）

プログラマブルRF1リファレンス（R）カウンタ

制御ビット（C2,C1）が（1,0）の場合には、データは入力シフト・レジスタから14ビットのRF1 Rカウンタに転送されます。表VにRF1 Rカウンタへの入力レジスタのデータ・フォーマットおよび実現可能な分周比を示します。

RF1位相検出器の極性

RF1の位相検出器の極性はP10によって設定されます。RF1のVCOの特性が正極性である場合には、このビットを“1”に設定する必要があります。これらが負極性の場合は、これを“0”に設定する必要があります。表Vを参照してください。

RF1チャージ・ポンプ・トライアステート

P10が“1”に設定されたときには、RF1のチャージ・ポンプはトライアステート・モードとなります。通常動作とするためには、これを“0”に設定する必要があります。表Vを参照してください。

RF1プログラム・モード

表IIIおよびVに、ADF420xファミリーにおけるプログラム・モードの設定方法を示します。

RF1チャージ・ポンプ電流

P13を置き換えることにより、RF1のチャージ・ポンプのカレント状態がプログラムされます。表Vを参照してください。

プログラマブルRF1 ABカウンタ

制御ビット（C2,C1）が（1,1）である場合には、入力レジスタのデータは、RF1 ABカウンタをプログラムするために使用されます。ABカウンタは、6ビットのスワロー・カウンタ（Aカウンタ）および11ビットのプログラマブル・カウンタ（Bカウンタ）により構成されます。表VIに、RF1 ABカウンタをプログラムするための入力シフト・レジスタのデータ・フォーマットおよび実現可能な分周比を示します。

RF1 プリスケーラ値

RF1 ABカウンタ・ラッチのP14はRF1のプリスケーラの値を設定します。表VIを参照してください。

RF1パワーダウン

RF1 ABカウンタのP16の設定をハイにすることにより、RF1側がパワーダウンとなります。

RF高速ロック

高速ロック機能によりPLLのロック時間が改善されます。これにより、チャージ・ポンプ電流が一定期間にわたり最大化されます。ADF420xファミリーの高速ロックは、リファレンス・カウンタのP13をハイとし、MUXOUTを使用して高速ロックのスイッチをオンとすることにより動作状態となります。MUXOUTを使用して外部レジスタをスイッチすることにより、ループのダイナミック特性が補償され、その結果、チャージ・ポンプ電流が増加します。P13をローとすることにより、PLLは高速ロック・モードから復帰します。

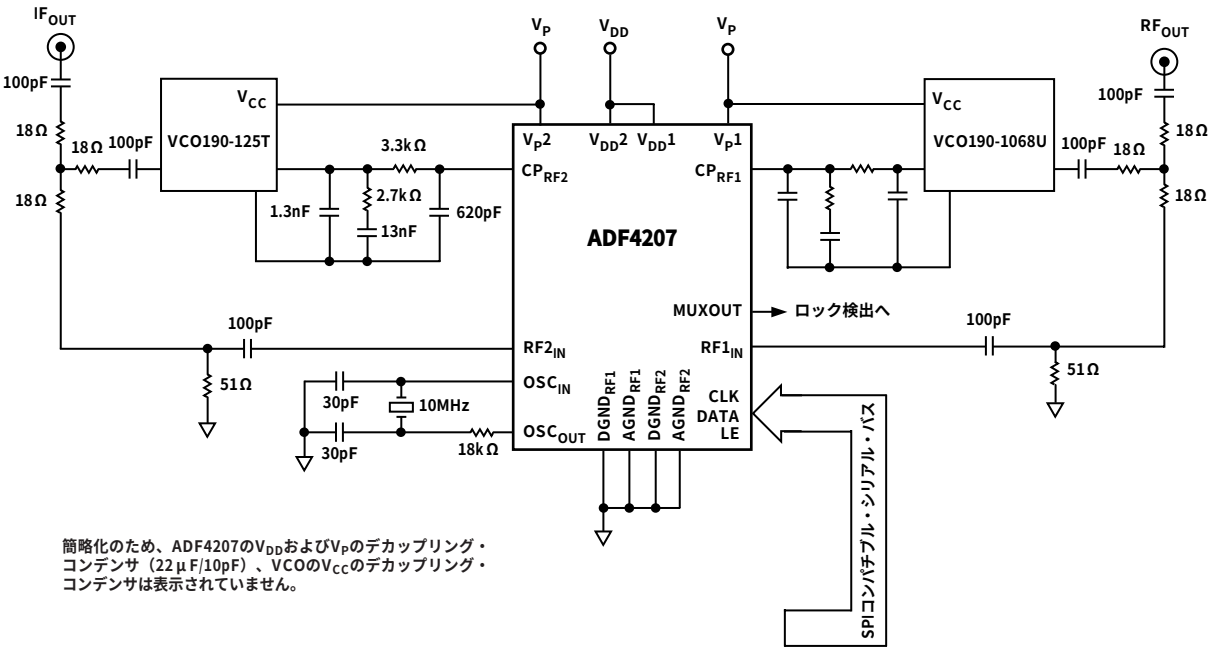


図7　AD4207を用いたGSMハンドセット・レシーバのローカル・オシレータ

アプリケーション・セクション

GSMハンドセット・レシーバのためのローカル・オシレータ

図7に、古典的なスーパー・ヘテロダインのレシーバにおいて必要とされるローカル・オシレータを構成するためにADF4207を使用した例を示します。

この回路では、リファレンス入力信号が回路のOSC_{IN}に与えられ、この信号は10MHzの水晶オシレータによって生成されています。これは、ローコストなソリューションですが、広い温度範囲にわたってより良い性能を得るために、TCXO（Temparature Controlled Crystal Oscillator）に置き換えることもできます。

チャンネル間隔を200kHz（GMSにおける標準）とするためには、オンチップのリファレンス・カウンタによって、リファレンス入力を50分周する必要があります。

RFの出力周波数範囲は、1050～1086MHzです。ループ・フィルタの部品の値は、ループ帯域幅が20kHzとなるように選択されます。シンセサイザは、チャージ・ポンプ電流が4.375mA、VCOの感度が15.6MHz/Vとなるように設定されます。IF出力は125MHzに固定されます。IFのループ帯域幅は、チャンネル間隔を200kHzとした場合に20kHzとなるように選択されます。これに従って、ループ・フィルタの部品の値も選択されます。

WCDMAレシーバのためのローカル・オシレータ

図8に、広帯域CDMA（WCDMA）システムにおけるローカル・オシレータ周波数を生成するためにAD4208を使用した例を示します。

必要とされるRF出力周波数範囲は1720～1780MHzです。これは、VCO190-1750Tによって達成することができます。チャンネル間隔は、ループ帯域幅を20kHzとした場合に200kHzです。VCO感度は32MHz/Vです。4.375mAのチャージ・ポンプ電流を採用し、ループの位相余裕を45°とすることが望ましいといえます。

IFの出力は200MHzに固定されます。VCO190-200Tが採用されています。これは、10MHz/Vの感度を持っています。チャンネル間隔およびループ帯域幅は、RF側と同様に選択されます。

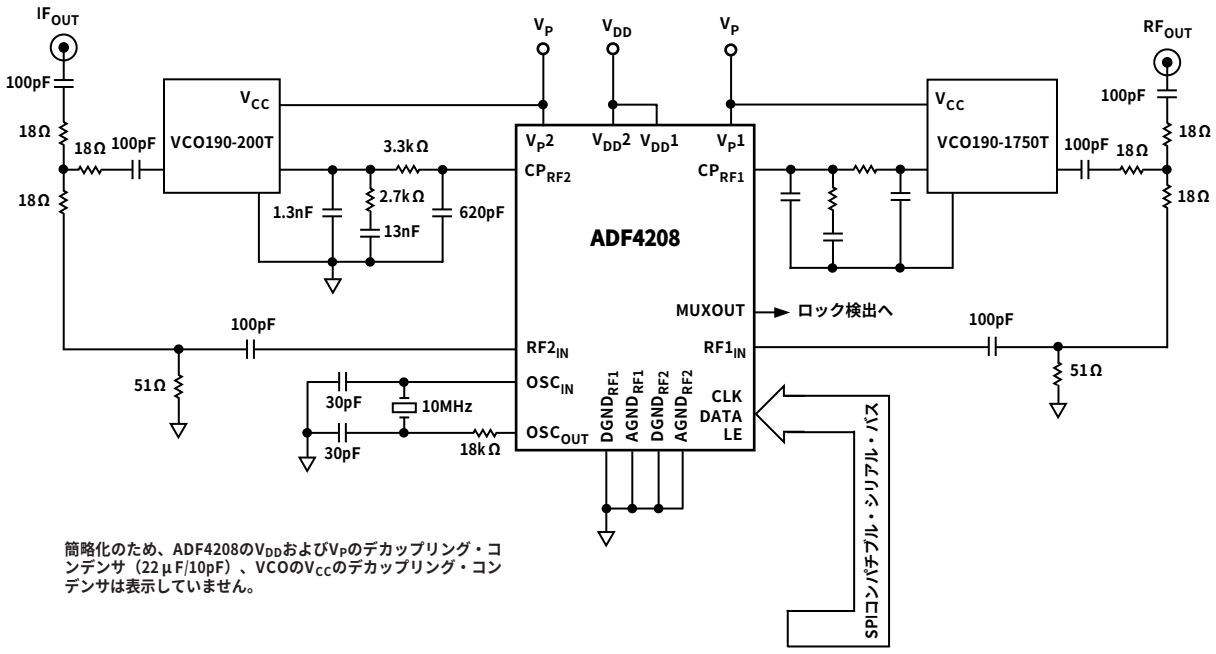


図8　ADF4208を用いたWCDMAのローカル・オシレータ

インターフェース

AD4206/AD4207/AD4208はデバイスへの書き込み用のシンプルなシリアル・インターフェースを持っています。SCLK、SDATA、LE（Latch Enable）はデータ転送を制御します。LEがハイになったときに、SCLKの各立ち上がりエッジで入力レジスタにクロック入力された22ビットが適当なラッチに転送されます。図1のタイミング図および表Iのラッチの真理値表を参照してください。

最大許容シリアル・クロック・レートは20MHzです。これはデバイスで実現可能な最大アップデート・レートが909kHzであり、1.1msに1回のアップデートであることを意味します。これは代表的なロック時間が数百μsのシステムには十分なものであるといえます。

ADuC812のインターフェース

図10にAD420xファミリーとADuC812マイクロコンバータとのインターフェースを示します。ADuC812は8051コア・ベースなので、このインターフェースは8051コアの全マイクロコントローラに使用できます。マイクロコンバータは、SPHA＝0のSPIマスター・モードについて設定されています。動作を開始するには、LEをドライブするI/Oポートをローとします。ADF420xファミリーの各ラッチは22ビット・ワードを必要とします。これは、3つの8ビット・バイトをマイクロコンバータからデバイスに書き込むことにより行えます。3番目のバイトが書き込まれたときにLE入力をハイにして転送を完了してください。

ADF420xファミリーに初めて電源を投入すると、出力をアクティブにするために4つの書き込み（RF1とRF2の両方でRカウンタおよびABカウンタについて1つずつ）が必要となります。

解説したモードで動作させるときには、ADuC812の最大SCLOCKレートは4MHzです。これは出力周波数を変更して得られる最大レートが約180kHzであることを意味します。

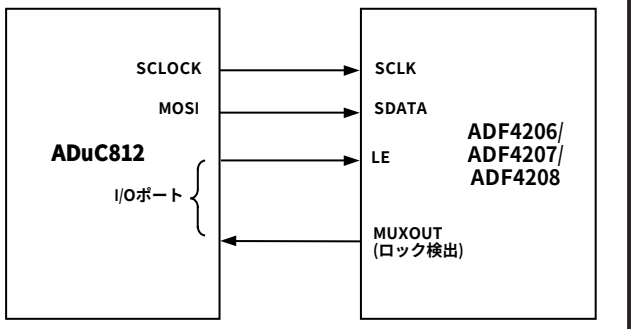


図9　ADuC812からADF420xファミリーへのインターフェース

ADuC812のインターフェース

図10に、ADF420xファミリーとADSP-21xx DSP（デジタル・シグナル・プロセッサ）とのインターフェースを示します。ADF420xファミリーは、各ラッチ書き込みについて22ビットのシリアル・ワードを必要とします。ADSP-21xxを用いてこれを行う最も簡単な方法は、自動バッファ・トランスミット・モードを交互フレーミングで使用することです。これにより割り込みが生成される前にシリアル・データのブロック全体を送信する手段が提供されます。

ワード長を8ビットに設定し各22ビットのワードに対して3つのメモリ位置を使用します。22ビット・ラッチのそれぞれをプログラムするには、3つの8ビット・バイトを格納し、自動バッファ・モードをイネーブルにし、次にDSPの送信レジスタに書き込みを行います。最後の操作により、自動バッファ転送が開始されます。

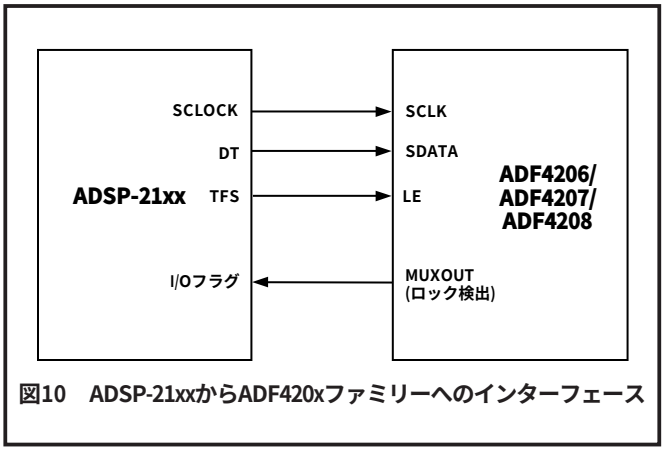
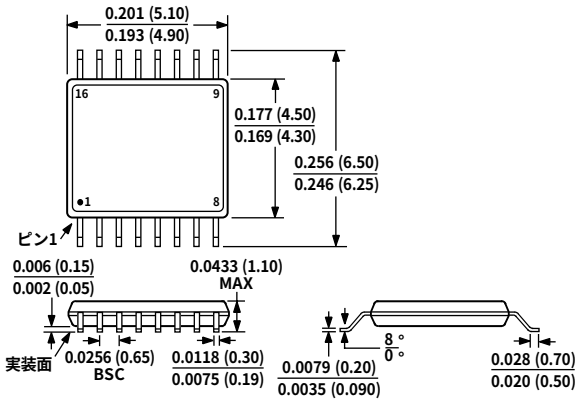


図10　ADSP-21xxからADF420xファミリーへのインターフェース

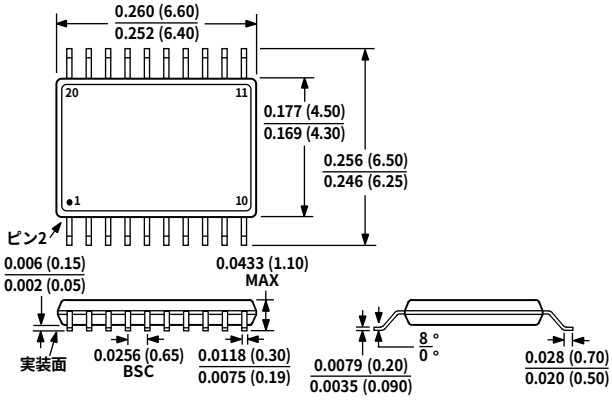
外形寸法

サイズはインチと（mm）で示します。

薄型シュリンク・スモール・アウトライン・パッケージ（TSSOP）
（RU-16）



薄型シュリンク・スモール・アウトライン・パッケージ（TSSOP）
（RU-20）



TDS05/2001/1000

PRINTED IN JAPAN