

特長

RF帯域幅：500MHz～4GHz

電源電圧：2.7～3.3V

別の V_P により、3Vシステムの電圧調整幅が拡大

プログラマブルなデュアル・モジュラス・プリスケアラ4/5、
8/9

プログラマブルなチャージ・ポンプ電流

3線式シリアルなインターフェース

デジタル・ロック検出

パワーダウン・モード

ADF4110/ADF4111/ADF4112/ADF4113、ADF4106、
ADF4153とピン互換

フラクショナルN（分数分周）型シンセサイザのプログラマブル・モジュラス

ノイズとスプリアス性能のトレードオフ

内蔵タイマによる高速ロック・モード

アプリケーション

CATV装置

携帯電話基地局（GSM、PCS、DCS、CDMA、WCDMA）

携帯電話（GSM、PCS、DCS、CDMA、WCDMA）

無線LAN

通信試験装置

概要

ADF4154は、無線送受信機におけるアップコンバージョン部とダウンコンバージョン部の局部発振器となるフラクショナルN方式の周波数シンセサイザです。低ノイズのPFD（位相周波数検出器）、高精度チャージ・ポンプ、プログラマブルなリファレンス分周器で構成されています。搭載するシグマ・デルタ（ $\Sigma\Delta$ ）ベースのフラクショナル・インターポレータによって、フラクショナルN分周の設定が可能です。INT（整数）レジスタ、FRAC（フラクショナル）レジスタ、MOD（モジュラス）レジスタで、N分周器全体（ $N = (INT + (FRAC/MOD))$ ）を定義します。また、4ビットのリファレンス・カウンタ（Rカウンタ）で、 REF_{IN} 周波数を分周し、PFD入力を与えます。このシンセサイザを外部のループ・フィルタおよびVCO（電圧制御発振器）と併用すれば、完全なPLL（フェーズ・ロック・ループ）を構成できます。

ADF4154の主要機能は、内蔵タイマを使用する高速ロック・モードです。カウントダウン時間を事前に設定してPLLが広帯域幅モードを維持するようにしておけば、外部からこの時間を制御する必要はありません。

オンチップ・レジスタはすべて、シンプルな3線式のインターフェースを介して制御します。デバイスは、2.7～3.3Vの電源で動作し、使用していないときにパワーダウンできます。

機能ブロック図

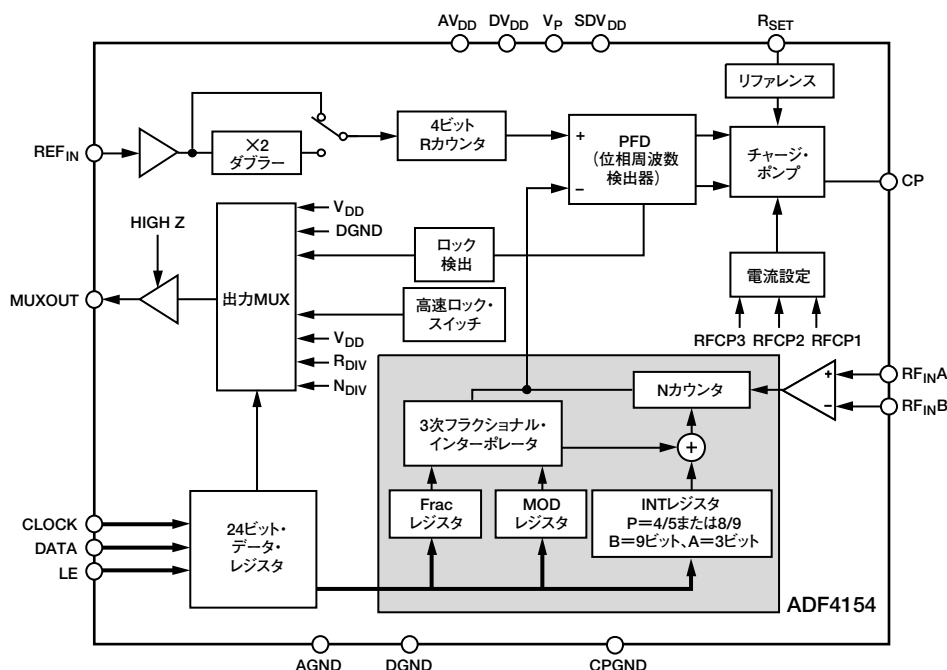


図1

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2004 Analog Devices, Inc. All rights reserved.

REV. 0

アナログ・デバイセズ株式会社

本 社／〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03 (5402) 8200
大阪営業所／〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06 (6350) 6868

ADF4154

目次

仕様	3	R分周器レジスタ (R1)	15
タイミング特性	4	コントロール・レジスタ (R2)	15
絶対最大定格	5	ノイズ&スプリアス・レジスタ (R3)	16
ESDに関する注意	5	予備ビット	16
ピン配置と機能の説明	6	RFシンセサイザ：具体事例	16
代表的な性能特性	7	モジュラス	17
回路の説明	9	リファレンス・ダブラーとリファレンス分周器	17
リファレンス入力部	9	12ビット・プログラマブル・モジュラス	17
RF入力段	9	スプリアスの最適化と高速ロック	17
RF INT分周器	9	高速ロック・タイマとレジスタ・シーケンス	17
INT、FRAC、MOD、Rの関係	9	高速ロック：具体事例	18
RF Rカウンタ	9	高速ロック：ループ・フィルタ回路例	18
PFD (位相周波数検出器) とチャージ・ポンプ	9	スプリアス信号	18
MUXOUTとロック検出	10	フィルタの設計—ADIsimPLL	18
入力シフト・レジスタ	10	インターフェース	18
プログラム・モード	10	CSPパッケージのPCボード設計ガイドライン	19
レジスタ	11	外形寸法	20
レジスタの定義	15	オーダー・ガイド	20

仕様

表1. 特に指定のない限り、 $AV_{DD}=DV_{DD}=SDV_{DD}=2.7\sim 3.3V$ 、 $V_P=AV_{DD}\sim 5.5V$ 、 $AGND=DGND=0V$ 、 $T_A=T_{MIN}\sim T_{MAX}$ 。dBmは50Ωを基準。Bバージョンの動作温度は $-40\sim +80^{\circ}C$ です。

パラメータ	Bバージョン	単位	テスト条件／コメント
RF特性 (3V) RF入力周波数 (RF _{IN}) ¹	0.5/4.0 1.0/4.0	GHz (min/max) GHz (min/max)	入力回路については、図18を参照。 −8dBm/0dBm (min/max)。低周波の場合は、必ずスルーレート>396V/μs。 −10dBm/0dBm (min/max)
リファレンス特性 REF _{IN} 入力周波数 ¹ REF _{IN} 入力感度 REF _{IN} 入力容量 REF _{IN} 入力電流	10/250 0.7/AV _{DD} 0~AV _{DD} 10 ±100	MHz (min/max) V _{p-p} (min/max) V (max) pF (max) μA (max)	入力回路については、図17を参照。 f<10MHzの場合は、DCカップリング、CMOS互換の方形波、スルーレート>21V/μsを使用。 ACカップリング CMOS互換
位相検出器 位相検出器の周波数 ²	32	MHz (max)	
チャージ・ポンプ I _{CP} シンク／ソース 高値 低値 絶対精度 R _{SET} 範囲 I _{CP} スリーステート・リーク電流 マッチング I _{CP} 対 V _{CP} I _{CP} 対 温度	 5 312.5 2.5 1.5/10 1 2 2 2	 mA (typ) μA (typ) % (typ) kΩ (min/max) nA (typ) % (typ) % (typ) % (typ)	プログラマブル (表5を参照)。 R _{SET} =5.1kΩ R _{SET} =5.1kΩ シンク／ソース電流 0.5V<V _{CP} <V _P −0.5 0.5V<V _{CP} <V _P −0.5 V _{CP} =V _P /2
ロジック入力 V _{INH} (ハイレベル入力電圧) V _{INL} (ローレベル入力電圧) I _{INH} /I _{INL} (入力電流) C _{IN} (入力コンデンサ)	1.4 0.6 ±1 10	V (min) V (max) μA (max) pF (max)	
ロジック出力 V _{OH} (ハイレベル出力電圧) V _{OL} (ローレベル出力電圧)	1.4 0.4	V (min) V (max)	オープン・ドレイン1kΩで1.8Vにプルアップ。 I _{OL} =500μA
電源 AV _{DD} DV _{DD} 、SDV _{DD} V _P I _{DD} ³ 低消費電力スリープ・モード	2.7/3.3 AV _{DD} AV _{DD} /5.5 24 1	V (min/max) V (min/max) mA (max) μA (typ)	 20mA (Typ)
ノイズ特性 優れた位相ノイズ指数 ⁴ ADF4154位相ノイズ・フロア ⁵ 位相ノイズ性能 ⁶ 1750MHz出力 ⁷	−213 −143 −139 −102	dBc/Hz (typ) dBc/Hz (typ) dBc/Hz (typ) dBc/Hz (typ)	 @10MHz PFD周波数 @26MHz PFD周波数 @VCO出力 @1kHzオフセット、26MHz PFD周波数

¹ f_{MIN}より低い周波数では方形波を使用。

² 設計により保証。適合性を保証するためにサンプル・テストを実施。

³ ACカップリングでAV_{DD}/2バイアスを保証。代表的な回路については、図17を参照。

⁴ この数値を使用して、任意のアプリケーションの位相ノイズを計算できます。VCO出力に見られるように、 $-213+10\log(f_{PFD})+20\log N$ の式を使って、帯域内位相ノイズ性能を計算します。得られた値が最小ノイズ・モードです。

⁵ シンセサイザ位相ノイズ・フロアを評価するには、VCOの出力の帯域内位相ノイズを測定して、 $20\log N$ (NはN分周器の値)を引きます。得られた値が最小ノイズ・モードです。

⁶ 位相ノイズは、EVAL-ADF4154EB1評価用ボードとHP8562Eスペクトル・アナライザで測定します。

⁷ f_{REFIN}=26MHz、f_{PFD}=26MHz、オフセット周波数=1kHz、RF_{OUT}=1750MHz、ループ帯域幅=20kHz、最小ノイズ・モード

ADF4154

タイミング特性

表2. 特に指定のない限り、 $AV_{DD}=DV_{DD}=SDV_{DD}=2.7\sim 3.3V$ 、 $V_P=AV_{DD}\sim 5.5V$ 、 $AGND=DGND=0V$ 、 $T_A=T_{MIN}\sim T_{MAX}$ 、dBmは50Ωを基準。

パラメータ ¹	$T_{MIN}\sim T_{MAX}$ の限界値 (Bバージョン)	単位	テスト条件／コメント
t_1	20	ns (min)	LEセットアップ時間
t_2	10	ns (min)	DATA～CLOCKのセットアップ時間
t_3	10	ns (min)	DATA～CLOCKのホールド時間
t_4	25	ns (min)	クロック・ハイレベル時間
t_5	25	ns (min)	クロック・ローレベル時間
t_6	10	ns (min)	CLOCK～LEのセットアップ時間
t_7	20	ns (min)	LEパルス幅

¹ 設計により保証。出荷テストは実施していません。

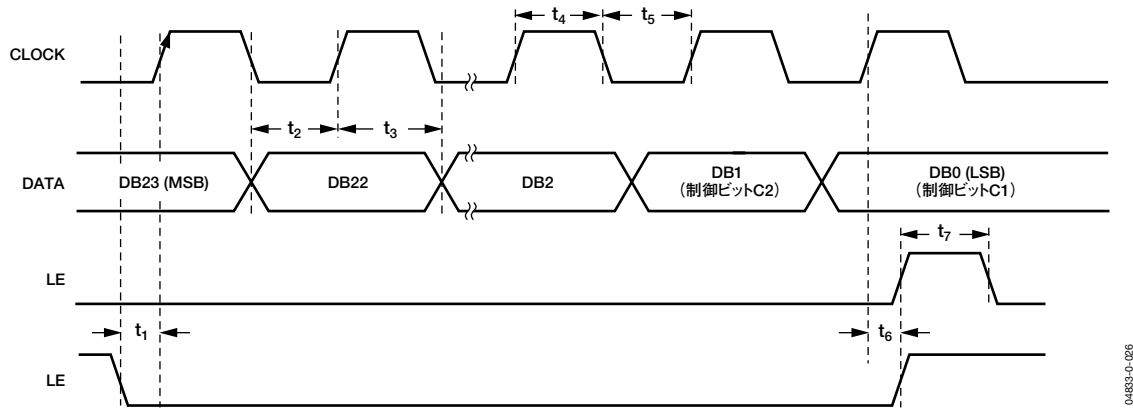


図2. タイミング図

04483-0-026

絶対最大定格

表3. 絶対最大定格^{1, 2, 3} 特に指定のない限り、 $T_A=25^{\circ}\text{C}$

パラメータ	定格
GNDに対する V_{DD}	$-0.3 \sim +4\text{V}$
V_{DD} に対する V_{DD}	$-0.3 \sim +0.3\text{V}$
GNDに対する V_P	$-0.3 \sim +5.8\text{V}$
V_{DD} に対する V_P	$-0.3 \sim +5.8\text{V}$
GNDに対するデジタルI/O電圧	$-0.3\text{V} \sim V_{DD} + 0.3\text{V}$
GNDに対するアナログI/O電圧	$-0.3\text{V} \sim V_{DD} + 0.3\text{V}$
GNDに対する REF_{IN} 、 RF_{IN}	$-0.3\text{V} \sim V_{DD} + 0.3\text{V}$
動作温度範囲	
工業用温度範囲 (Bバージョン)	$-40 \sim +85^{\circ}\text{C}$
保存温度範囲	$-65 \sim +150^{\circ}\text{C}$
最大ジャンクション温度	150°C
TSSOP θ_{JA} 熱抵抗	150.4°C/W
LFCSP θ_{JA} 熱抵抗	122°C/W
(パドルはハンダ付け)	
LFCSP θ_{JA} 熱抵抗	216°C/W
(パドルはハンダ付けなし)	
リード温度、ハンダ付け	
ペーキング時間 (60秒)	215°C
赤外線	220°C

絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作に関するセクションに記載されている規定値以上のデバイス動作を定めたものではありません。長時間デバイスを絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

¹ 本デバイスは高性能のRF集積回路です。ESD定格は2kV未満で、ESDの影響を受けやすい製品です。デバイスの取扱い時や組立時には十分注意する必要があります。

² $\text{GND} = A_{\text{GND}} = D_{\text{GND}} = 0\text{V}$

³ $V_{DD} = AV_{DD} = DV_{DD} = SDV_{DD}$

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



ADF4154

ピン配置とピン機能の説明



図3. TSSOPピン配置

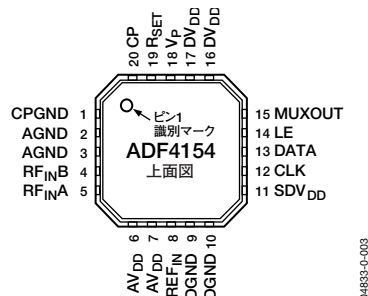


図4. LFCSPピン配置

表4. ピン機能の説明

TSSOP	LFCSP	記号	説明
1	19	R _{SET}	このピンとグラウンドの間に抵抗を接続すると、最大チャージ・ポンプ出力電流が決定されます。I _{CP} とR _{SET} の関係は、次式ようになります。 $I_{CPmax} = \frac{25.5}{R_{SET}}$ ここで、R _{SET} =5.1kΩ、I _{CPmax} =5mA
2	20	CP	チャージ・ポンプ出力。イネーブルにすると、外部ループ・フィルタに±I _{CP} が与えられ、これが外部VCOを駆動します。
3	1	CPGND	チャージ・ポンプ・グラウンド。チャージ・ポンプのグラウンド・リターン・パスです。
4	2、3	AGND	アナログ・グラウンド。プリスケアラのグラウンド・リターン・パスです。
5	4	RF _{INB}	RFプリスケアラの補完入力。小さなバイパス・コンデンサ（一般に100pF）を使って、このポイントをグラウンド・プレーンにデカップリングする必要があります（図18を参照）。
6	5	RF _{INA}	RFプリスケアラへの入力。この小信号の入力は、通常VCOからACカップリングします。
7	6、7	AV _{DD}	RF部の正の電源。デジタル・グラウンド・プレーンのデカップリング・コンデンサは、可能な限りこのピンの近くに配置します。AV _{DD} の値は3V±10%です。AV _{DD} とDV _{DD} は同じ電圧でなければなりません。
8	8	REF _{IN}	リファレンス入力。これはCMOS入力で、公称しきい値はV _{DD} /2、入力抵抗は100kΩです（図17を参照）。TTLまたはCMOS水晶発振器から駆動したり、ACカップリングができます。
9	9、10	DGND	デジタル・グラウンド。
10	11	SDV _{DD}	ΣΔ電源。デジタル・グラウンド・プレーンのデカップリング・コンデンサは、可能な限りこのピンの近くに配置します。SDV _{DD} の値は3V±10%です。SDV _{DD} とDV _{DD} は同じ電圧でなければなりません。
11	12	CLK	シリアル・クロック入力。このクロックで、シリアル・データをレジスタに入力します。データは、CLKの立上がりエッジでシフト・レジスタにラッチされます。この入力は、高インピーダンスのCMOS入力です。
12	13	DATA	シリアル・データ入力。シリアル・データはMSBファーストでロードされ、2個のLSBが制御ビットとなります。この入力は、高インピーダンスのCMOS入力です。
13	14	LE	ロード・イネーブルCMOS入力。LEがハイの場合は、シフト・レジスタに格納されているデータが4個のラッチの1つにロードされます。このラッチは制御ビットで選択します。
14	15	MUXOUT	このマルチプレクサ出力によって、RFロック検出、スケールリングされたRF、またはスケールリングされたリファレンス周波数に外部からアクセスできるようになります。
15	16、17	DV _{DD}	デジタル部の正の電源。デジタル・グラウンド・プレーンのデカップリング・コンデンサは、可能な限りこのピンの近くに配置します。DV _{DD} の値は3V±10%です。DV _{DD} とAV _{DD} は同じ電圧でなければなりません。
16	18	V _p	チャージ・ポンプ電源。V _{DD} と同じか、それ以上にする必要があります。V _{DD} が3Vのシステムでは5.5Vに設定でき、VCOの駆動電源として使用できます。最大5.5Vまで調整できます。

代表的な性能特性

図5～10：RF_{OUT}=1.722GHz、PFD周波数=26MHz、INT（整数部）=66、チャンネル間隔=200kHz、MOD（モジュラス）=130、Frac（分数部）=30/130、I_{CP}=5mA

ループ帯域幅=20kHz、リファレンス=26MHz、VCO=Vari-L VCO190-1750T、評価用ボード=EVAL-ADF4154EB1。測定はスペクトル・アナライザ「HP8562E」で実施。

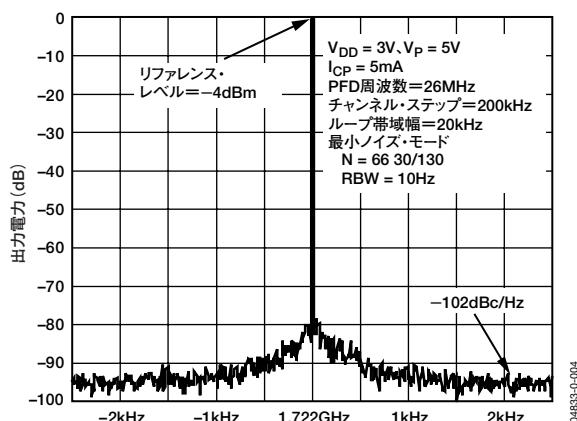


図5. 位相ノイズ（最小ノイズ・モード）

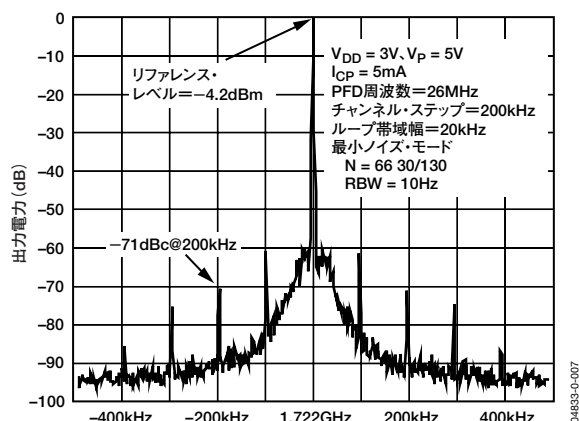


図8. スプリアス（最小ノイズ・モード）

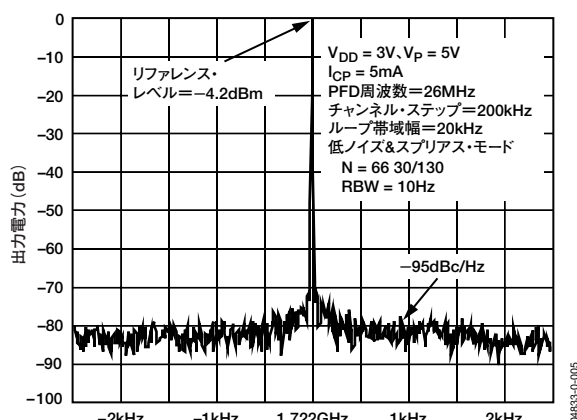


図6. 位相ノイズ(低ノイズ&スプリアス・モード)

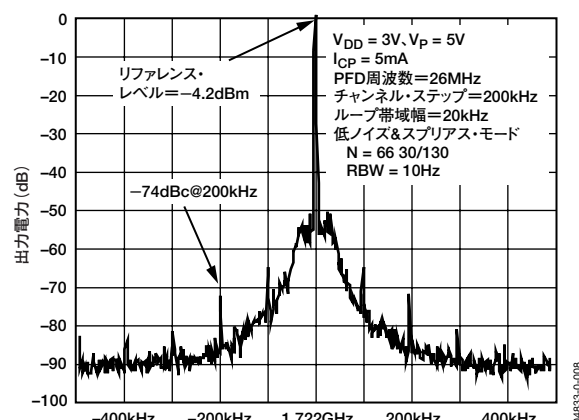


図9. 位相ノイズ(低ノイズ&スプリアス・モード)

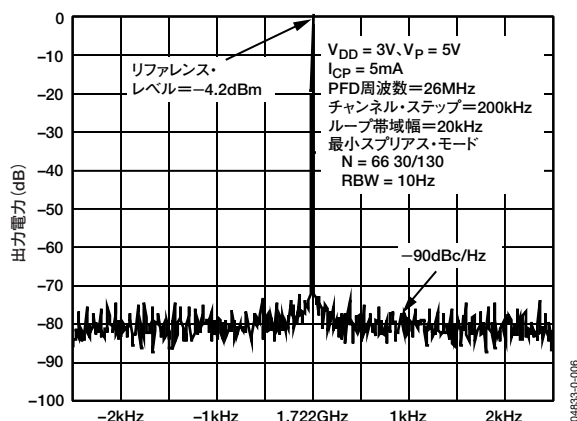


図7. 位相ノイズ（最小スプリアス・モード）

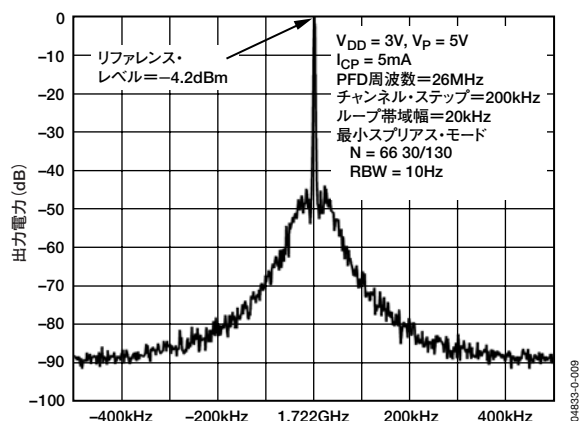


図10. スプリアス（最小スプリアス・モード）

ADF4154

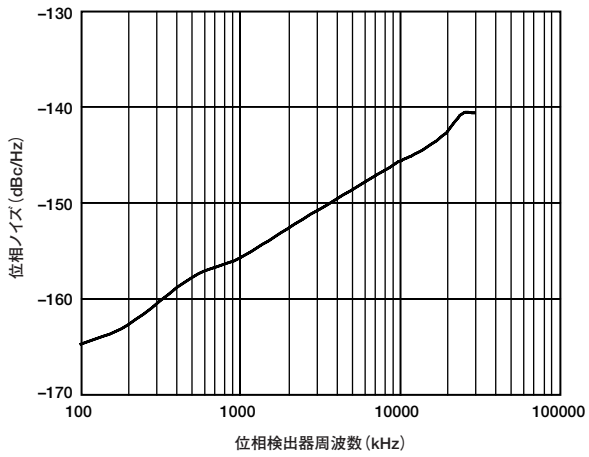


図11. PFD周波数 対 PFDノイズ・フロア
(最小ノイズ・モード)

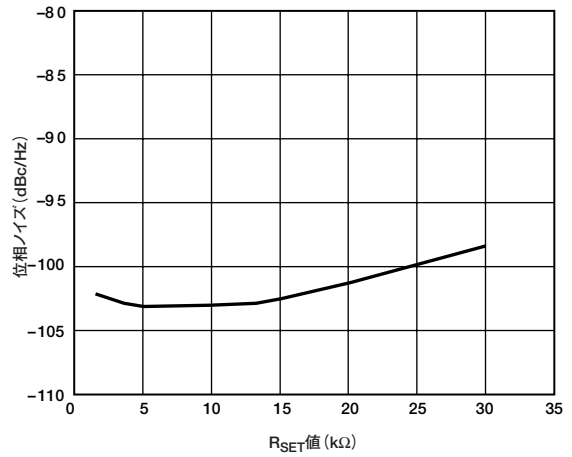


図14. R_{SET} 対 位相ノイズ

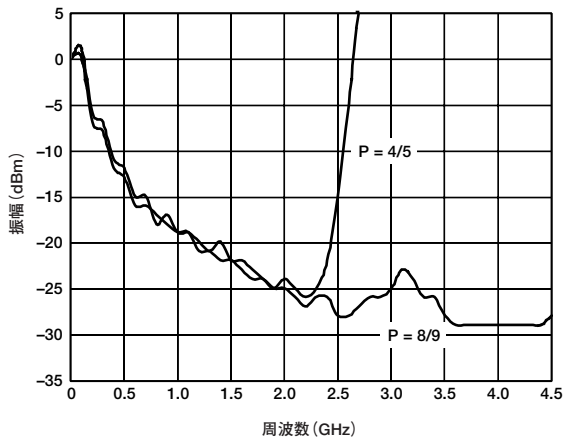


図12. RF入力感度

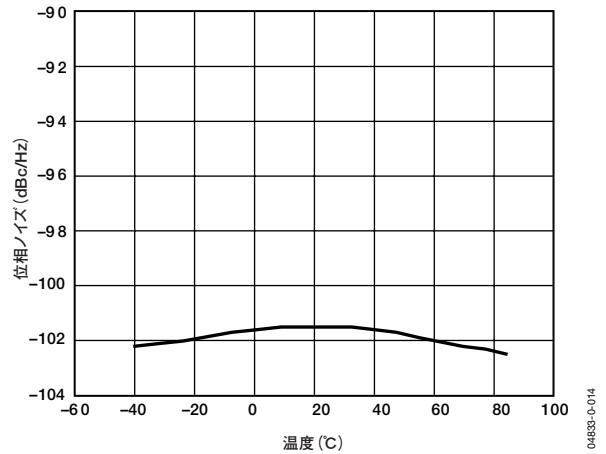


図15. 位相ノイズの温度特性

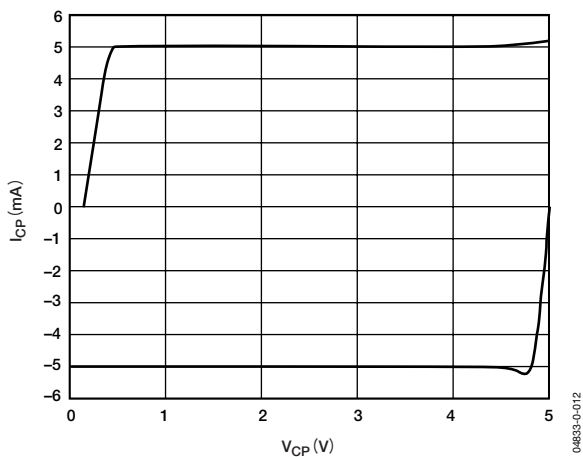


図13. チャージ・ポンプ出力特性

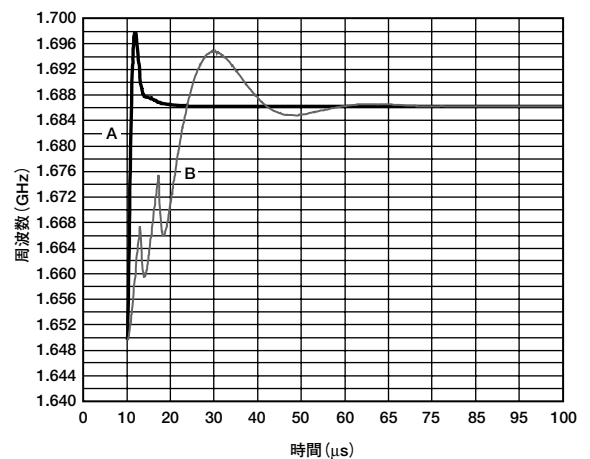


図16. A) 高速ロック・モードのロック時間、
高速カウンタ=150、最小スプリアス・
モード：1649.7~1686.8MHzの周波数
ジャンプ、最終ループ帯域幅=60kHz
B) 標準モード（非高速ロック・モード）
のPLLのロック時間、最小スプリアス・
モード：1649.7~1686.8MHzの周波数
ジャンプ、最終ループ帯域幅=60kHz

回路の説明

リファレンス入力部

リファレンス入力段を図17に示します。SW1とSW2はNC（ノーマル・クローズ）スイッチ、SW3はNO（ノーマル・オープン）です。パワーダウンを開始すると、SW3が閉じて、SW1とSW2が開きます。これによって、パワーダウン時にはREF_{IN}ピンがロードされません。

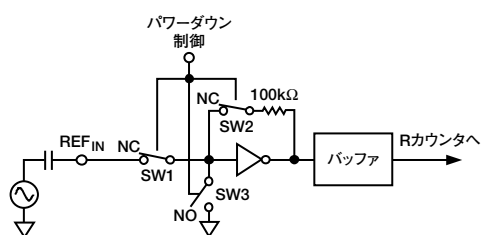


図17. リファレンス入力段

RF入力段

RF入力段を図18に示します。この後段には、プリスケラに必要な電流モード・ロジック（CML）のクロック・レベルを生成する2段リミット・アンプがあります。

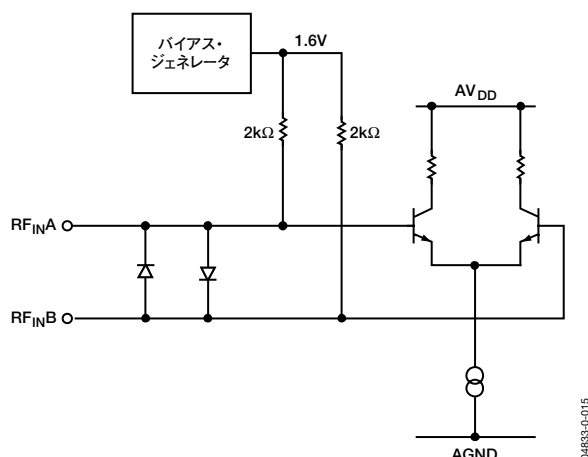


図18. RF入力段

RF INT分周器

RF INT CMOSカウンタにより、PLLフィードバック・カウンタで分周比が得られます。分周比は31から511まで可能です。

INT、FRAC、MOD、Rの関係

INT、FRAC、MODの値とRカウンタを使用し、出力周波数を生成します。この出力周波数は、PFD（位相周波数検出器）のフラクシオンによって間隔が設けられています。詳細は、「RFシンセサイザ：具体事例」を参照してください。RF VCO周波数（RF_{OUT}）は、次式で求めます。

$$RF_{OUT} = F_{PFD} \times (INT + (FRAC/MOD)) \quad (1)$$

ここで、RF_{OUT}は、外部のVCO（電圧制御発振器）の出力周波数です。

$$F_{PFD} = REF_{IN} \times (1 + D) / R \quad (2)$$

ここで、

REF_{IN}は、リファレンス入力周波数です。

Dは、REF_{IN}ダブラーのビットです。

Rは、バイナリ4ビット・プログラマブル・リファレンス・カウンタのプリセット分周比です（1～15）。

INTは、バイナリ9ビット・カウンタのプリセット分周比です（31～511）。

MODは、バイナリ12ビット・プログラマブルFRACカウンタのプリセット・モジュラス比です（2～4095）。

FRACは、バイナリ12ビット・プログラマブルFRACカウンタのプリセット分数比です（0～MOD）。

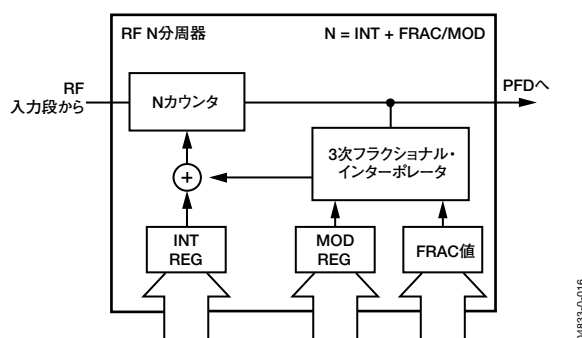


図19. AカウンタとBカウンタ

RF Rカウンタ

4ビットRF Rカウンタでは、入力リファレンス周波数（REF_{IN}）を分周してPFDへのリファレンス・クロックを生成します。分周比は1から15まで可能です。

PFD（位相周波数検出器）とチャージ・ポンプ

PFDはRカウンタとNカウンタから入力を受け取り、それらの間の位相差と周波数差に比例する出力を生成します。図20はPFDの簡略図です。PFDには、アンチバックラッシュ・パルスの幅（一般に3ns）を設定する固定の遅延素子が搭載されています。このパルスによって、PFD転送機能に不感帯がなくなり、常に一定のレベルのリファレンス・スプリアスを提供できます。

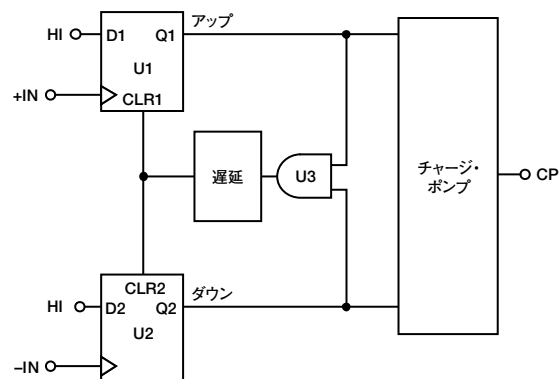


図20. PFDの簡略図

ADF4154

MUXOUTとロック検出

ADF4154の出力マルチプレクサにより、チップのさまざまな内部ポイントにアクセスできます。MUXOUTの状態は、M3、M2、M1で制御します（表9を参照）。図21に、MUXOUT部のブロック図を示します。

Nチャンネル、オープン・ドレイン、アナログ・ロック検出は、公称10kΩの外部抵抗でプルアップします。ロックが検出されると、ロック検出出力が非常に狭いパルスを伴ってハイレベルになります。

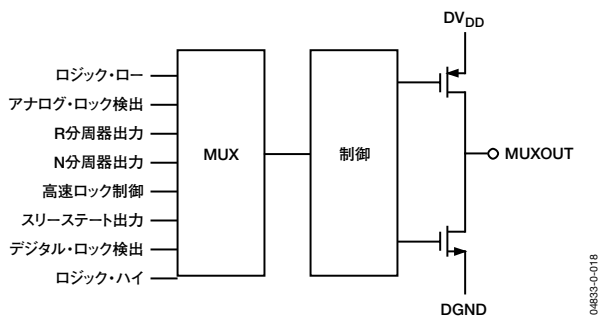


図21. MUXOUTの機能ブロック図

入力シフト・レジスタ

ADF4154のデジタル部には、4ビットのRF Rカウンタ、9ビットのRF Nカウンタ、12ビットのFRACカウンタ、12ビットのモジュラス・カウンタがあります。データは、CLKの立上がりエッジで24ビットのシフト・レジスタにMSBファーストで入力されます。

データは、LEの立上がりエッジで、シフト・レジスタから4つのラッチの1つに転送されます。転送先のラッチは、シフト・レジスタの2つの制御ビット（C2、C1）の状態で決まります。図2に示したように、制御ビットは2つのLSB（DB1、DB2）です。表5は、この2つのビットの真理値表です。表6に、ラッチの設定方法の概要を示します。

プログラム・モード

表5～10は、ADF4154のプログラム・モードの設定方法を示しています。

ADF4154のプログラマブル・モジュラスはダブル・バッファされています。つまり、デバイスが新しいモジュラス値を使用する前にイベントが2回発生する必要があります。まずR分周器レジスタへの書き込みで新しいモジュラス値がデバイスにラッチされ、次にN分周器レジスタに新しい書き込みが行われます。したがって、モジュラス値が更新されるたびに、正しくロードされるようにN分周器レジスタに書き込みを行う必要があります。

表5. C2とC1の真理値表

制御ビット		データ・ラッチ
C2	C1	
0	0	N分周器レジスタ
0	1	R分周器レジスタ
1	0	コントロール・レジスタ
1	1	ノイズ&スプリアス・レジスタ

レジスタ

表6. レジスタの概要

N分周器レジスタ(R0)																								
電圧ロック	9ビットINT値										12ビットFRAC値										制御ビット			
	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
	FL1	N9	N8	N7	N6	N5	N4	N3	N2	N1	F12	F11	F10	F9	F8	F7	F6	F5	F4	F3	F2	F1	C2 (0)	C1 (0)

N分周器レジスタ (R0)

ローポート制御	MUXOUT				予備	プリスケラ	4ビットRF Rカウンタ				12ビット・インターポレータ・モジュラス/高速ロック・タイム												制御ビット	
	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
	P3	M3	M2	M1	P2	P1	R4	R3	R2	R1	M12	M11	M10	M9	M8	M7	M6	M5	M4	M3	M2	M1	C2 (0)	C1 (1)

R分周器レジスタ (R1)

コントロール・レジスタ (R2)																
予備				リファレンス・ ダフラー	CP/2	CP電流設定				PD極性	LDP	RFパワーダウン	RF CP スリーステート	RFカウンタ・ リセット	制御ビット	
DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	0	0	0	U6	CP3	CP2	CP1	CP0	U5	U4	U3	U2	U1	C2 (1)	C1 (0)	

コントロール・レジスタ (R2)

ノイズ&スプリアス・レジスタ (R3)										
予備	ノイズ& スプリアス・モード				予備	ノイズ& スプリアス・ モード		制御ビット		
DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
T9	T8	T7	T6	T5	T4	T3	T2	T1	C2 (1)	C1 (1)

ノイズ&スプリアス・レジスタ (R3)

表7. ノイズ&スプリアス・レジスタ (R3)

予備					ノイズ& スプリアス・モード			予備			ノイズ& スプリアス・ モード		制御ビット	
DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0				
T9	T8	T7	T6	T5	T4	T3	T2	T1	C2 (1)	C1 (1)				

04833-0-023

04833-0-019

ADF4154

表8. N分周器レジスタ (R0) マップ

電 源 ロ ッ ク	9ビットINT値										12ビットFRAC値												制 御 ビ ッ ト	
	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2		
FL1	N9	N8	N7	N6	N5	N4	N3	N2	N1	F12	F11	F10	F9	F8	F7	F6	F5	F4	F3	F2	F1	C2 (0)	C1 (0)	

F12	F11	F10	F3	F2	F1	フラクション値 (FRAC)
0	0	0	0	0	0	0
0	0	0	0	0	1	1
0	0	0	0	1	0	2
0	0	0	0	1	1	3
.	.	.	.	.	.	.
.	.	.	.	.	.	.
.	.	.	.	.	.	.
1	1	1	1	0	0	4092
1	1	1	1	0	1	4093
1	1	1	1	1	0	4094
1	1	1	1	1	1	4095

[illegible]

FL1	高速ロック
0	標準動作
1	高速ロック・イネーブル

表9. R分周器レジスタ (R1) マップ

制御ビット 一口	MUXOUT				予備	プリスケール	4ビットRF Rカウンタ				12ビット・インターポレータ・モジュラス／高速ロック・タイマ												制御ビット			
	DB23	DB22	DB21	DB20			DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
	P3	M3	M2	M1			P2	P1	R4	R3	R2	R1	M12	M11	M10	M9	M8	M7	M6	M5	M4	M3	M2	M1	C2 (0)	C1 (1)

P3	ロード制御
0	標準動作
1	ロード高速ロック・タイマ

P1	プリスケール
0	4/5
1	8/9

M12	M11	M10	M3	M2	M1	インターポレータ・モジュラス値 (MOD)	
0	0	0		0	1	0	2
0	0	0		0	1	1	3
0	0	0		1	0	0	4
.	.	.		.	.	.	.
.	.	.		.	.	.	.
.	.	.		.	.	.	.
1	1	1		1	0	0	4092
1	1	1		1	0	1	4093
1	1	1		1	1	0	4094
1	1	1		1	1	1	4095

R4	R3	R2	R1	RF Rカウンタ分周比
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
.	.	.	.	.
.	.	.	.	.
.	.	.	.	.
1	1	0	0	12
1	1	0	1	13
1	1	1	0	14
1	1	1	1	15

M3	M2	M1	MUXOUT
0	0	0	スリーステート出力
0	0	1	デジタル・ロック検出
0	1	0	アナログ・ロック検出
0	1	1	N分周器出力
1	0	0	ロジック・ハイ
1	0	1	ロジック・ロー
1	1	0	R分周器出力
1	1	1	高速ロック・スイッチ

ADF4154

表10. コントロール・レジスタ (R2) マップ

予備				リファレンス・ ダブラー	CP/2	CP電流設定				PD極性	LDP	パワーダウン	CP スリーステート	カウンタ・ リセット	制御ビット	
DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	0	0	0	U6	CP3	CP2	CP1	CP0	U5	U4	U3	U2	U1	C2 (1)	C1 (0)	

U6

リファレンス・
ダブラー

0

1

ディスエーブル
イネーブル

U1

カウンタ・リセット

0

1

ディスエーブル
イネーブル

U2

CPスリーステート

0

1

ディスエーブル
スリーステート

U3

パワーダウン

0

1

標準動作
パワーダウン

U4

LDP

0

1

3
5

U5

PD極性

0

1

負
正

				I _{CP} (mA)		
CP3	CP2	CP1	CP0	2.700kΩ	5.100kΩ	10.00kΩ
0	0	0	0	1.090	0.630	0.290
0	0	0	1	2.180	1.250	0.590
0	0	1	0	3.260	1.880	0.880
0	0	1	1	4.350	2.500	1.150
0	1	0	0	5.440	3.130	1.470
0	1	0	1	6.530	3.750	1.760
0	1	1	0	7.620	4.380	2.060
0	1	1	1	8.700	5.000	2.350
1	0	0	0	0.540	0.310	0.150
1	0	0	1	1.100	0.630	0.300
1	0	1	0	1.640	0.940	0.440
1	0	1	1	2.180	1.250	0.588
1	1	0	0	2.730	1.570	0.740
1	1	0	1	3.270	1.880	0.880
1	1	1	0	3.810	2.190	1.030
1	1	1	1	4.350	2.500	1.180

04833-J-022

レジスタの定義

N分周器レジスタ (R0)

オンチップのN分周器レジスタ (R0) は、DB1とDB0を [0,0] に設定してプログラミングします。表8に、このレジスタをプログラミングするための入力データ・フォーマットを示します。

9ビットINT値

この9ビットは、INT値としてロードする値を制御します。この値で、全フィードバック分周係数が決まります (式1を参照)。

12ビットFRAC値

この12ビットは、フラクショナル・インターポレータにFRAC値としてロードする値を制御します。この値で、全フィードバック分周係数が決まります (式1を参照)。FRAC値は、MODレジスタにロードする値より小さいものにします。

高速ロック

デバイスをロジック・ハイに設定すると、高速ロック・モードが有効になります。高速ロックを使用するには、広帯域幅モードに必要な値をR分周器レジスタにロードする必要があります。

チャージ・ポンプ電流は16×最小電流から増大し、ロードされた時間値が期限切れになると1×最小電流に戻ります。

詳細は、「高速ロック・タイマとレジスタ・シーケンス」を参照してください。

R分周器レジスタ (R1)

オンチップのR分周器レジスタ (R1) は、DB1とDB0を [0,1] に設定してプログラミングします。表9に、このレジスタをプログラミングするための入力データ・フォーマットを示します。

ロード制御

ロジック・ハイに設定すると、モジュラスでプログラミングされる値がモジュラスにロードされず、高速ロック・タイマが設定されます。高速ロック・タイマ/F_{PF}Dの値は、PLLが広帯域幅モードを維持する時間になります。

MUXOUT

オンチップ・マルチプレクサは、DB22～DB20で制御します。表9に真理値表を示します。

デジタル・ロック検出

デジタル・ロック検出出力は、入力誤差15ns未満の40の連続PFDサイクルが存在する場合にハイになります。新しいチャンネルがプログラミングされるまで、あるいはPFD入力誤差が1サイクルまたは複数サイクルの間に30nsを超えるまで、この出力はハイレベルのままです。ループ帯域幅がPFD周波数に比べて狭いと、PFD入力誤差がサイクル・スリップで40サイクル間15nsを下回る場合があります。このため、デジタル・ロック検出が、誤差が再度30nsを上回るまでのわずかの期間、誤ってハイレベルになることがあります。この場合、デジタル・ロック検出で信頼できるのはロック消失検出のみになります。

プリスケアラ (P/P+1)

デュアル・モジュラス・プリスケアラ (P/P+1) をINTカウンタ、FRACカウンタ、MODカウンタと併用して、RF_{IN}からPFD入力に対する全分周比を決定します。CMLレベルで動作するプリスケアラは、RF入力段からクロックを受け取り、それを分周してカウンタに渡します。これは同期4/5コアをベースにしています。4/5に設定されていると、最大許容RF周波数は2GHzになります。このため、ADF4154を2GHzより上で動作させるときは、その値を8/9に設定する必要があります。プリスケアラは、INT値を制限します。

$$P=4/5 \text{ で、} N_{\text{MIN}}=31$$

$$P=8/9 \text{ で、} N_{\text{MIN}}=91$$

プリスケアラは、位相ノイズ性能にも影響を与えます。INT < 91の場合は、4/5プリスケアラを使用します。INT > 91のアプリケーションの場合は、最適なノイズ性能を得るために8/9を使用します (表9を参照)。

4ビットRF Rカウンタ

4ビットRF Rカウンタは、入力リファレンス周波数 (REF_{IN}) を分周し、PFDに入力するリファレンス・クロックを生成できます。分周比は1～15が可能です。

12ビット・インターポレータ・モジュラス/高速ロック・タイマ

ビットDB13～DB2では、ロード制御ビットの値 (モジュラス値 (標準動作) または高速ロック・タイマ値) によって2つの機能が得られます。

ロード制御ビット=0 (DB23) の場合は、R分周器レジスタ (DB13～DB2) に書き込むモジュラスをプログラミングできます。

ロード制御ビット=1 (DB23) の場合は、R分周器レジスタ (DB13～DB2) に書き込む高速ロック・タイマ値をプログラミングできます。

このプログラマブル・レジスタでは、フラクショナル・モジュラスを設定できます。このモジュラスは、RF出力に必要なチャンネル・ステップ分解能に対するPFD周波数の比です。詳細は、「RFシンセサイザ：具体事例」を参照してください。

ADF4154のプログラマブル・モジュラスはダブル・バッファされています。つまり、デバイスが新しいモジュラス値を使用する前に2つのイベントが発生する必要があります。まずR分周器レジスタへの書き込みで新しいモジュラス値がデバイスにラッチされ、次にN分周器レジスタに新しい書き込みが行われます。したがって、モジュラス値が更新されるたびに、正しくロードされるようにN分周器レジスタに書き込みを行う必要があります。

コントロール・レジスタ (R2)

オンチップのコントロール・レジスタは、DB1とDB0を [1,0] に設定してプログラミングします。表10に、このレジスタをプログラミングするための入力データ・フォーマットを示します。

RFカウンタ・リセット

DB2は、ADF4154のRFカウンタ・リセット・ビットです。この値が1の場合、RFシンセサイザ・カウンタがリセット状態になります。標準動作の場合は、このビット値を0にします。

ADF4154

RFチャージ・ポンプ・スリーステート

このビットを1に設定すると、チャージ・ポンプ（CP）がスリーステート・モードになります。標準動作の場合は、このビット値を0にします。

RFパワーダウン

ADF4154のDB4で、プログラマブル・パワーダウン・モードが利用できます。DB4ビットを1に設定すると、デバイスがパワーダウンされます。DB4ビットを0に設定すると、シンセサイザは標準動作に戻ります。ソフトウェアがパワーダウン・モードの間、デバイスはすべての情報をレジスタに保持します。レジスタの内容が失われるのは、電源を切ったときのみです。

パワーダウンがアクティブになると、次のイベントが発生します。

1. すべてのアクティブなDC電流パスが除去されます。
2. シンセサイザ・カウンタが、強制的にロード・ステート状態になります。
3. チャージ・ポンプが強制的にスリーステート・モードになります。
4. デジタル・ロック検出回路がリセットされます。
5. RF_{IN} 入力がDCバイアスされます。
6. 入力レジスタがアクティブ状態を維持し、データのロードとラッチができます。

ロック検出精度（LDP）

LDPビットの設定値が0のときは、デジタル・ロック検出の設定前に24個の連続したリファレンス・サイクル（15ns）が必要です。LDPビットの設定値が1のときは、デジタル・ロック検出の設定前に40個の連続したリファレンス・サイクル（15ns）が必要です。

PD（位相検出器）極性

ADF4154のDB6で、位相検出器の極性を設定します。VCO特性が正の場合は、このビット値を1に設定します。負の場合は、0にします。

チャージ・ポンプ電流設定

DB7～DB10で、チャージ・ポンプ（CP）電流を設定します。ループ・フィルタの設計に従って、これを設定する必要があります（表10を参照）。

REF_{IN}ダブラー

REF_{IN}ビットを0に設定すると、REF_{IN}信号が4ビットRF Rカウンタに直接送信され、ダブラーが無効になります。REF_{IN}ビットを1に設定すると、REF_{IN}周波数が2倍された後に4ビットRカウンタに送信されます。ダブラーが無効の場合、REF_{IN}の立下がりエッジは、フラクショナル・シンセサイザのPFD入力でアクティブ・エッジになります。ダブラーが有効な場合、REF_{IN}の立下がりエッジと立下がりエッジの両方がPFD入力でアクティブ・エッジとなります。

ダブラーが有効な場合に最小スプリアス・モードが選択されていると、帯域内位相ノイズ性能がREF_{IN}デューティ・サイクルの影響を受けます。位相ノイズは、45～55%の範囲外のREF_{IN}デューティ・サイクルで5dBほど悪化する可能性があります。位相ノイズは、最小ノイズ・モードや最小ノイズ&スプリアス・モード中にREF_{IN}デューティ・サイクルの影響を受けません。また、ダブラーが無効な場合に、位相ノイズはREF_{IN}デューティ・サイクルの影響を受けません。

ノイズ&スプリアス・レジスタ（R3）

オンチップのノイズ&スプリアス・レジスタ（R3）は、DB1とDB0を[1,1]に設定してプログラミングします。表7に、このレジスタをプログラミングするための入力データ・フォーマットを示します。

ノイズ&スプリアス・モード

このモードでは、優れたスプリアス性能または位相ノイズ性能が得られるように設計を最適化できます。最小スプリアス設定を選択すると、ディザが有効になります。これによって、フラクショナル量子化ノイズがランダム化され、スプリアス・ノイズではなくホワイト・ノイズに近いものになります。これは、スプリアス性能が改善されるようにデバイスが最適化されたことを意味します。この操作が通常適用されるのは、高速ロック・アプリケーションでPLLクロズド・ループ帯域幅が広いときです。広ループ帯域幅は、 RF_{OUT} チャンネル・ステップ分解能（ f_{RES} ）の1/10より大きなループ帯域幅とみなされます。広ループ・フィルタは、狭ループ帯域幅の場合のレベルまでスプリアスを減衰することはありません。低ノイズとスプリアスの設定が有効になると、ディザは無効になります。そのため、ノイズ性能の改善によってシンセサイザの動作を最適化できます。しかし、最小スプリアス設定に比べると、このモードではスプリアス性能が悪化します。ノイズ性能をさらに改善するには、最小ノイズ設定オプションを使って位相ノイズを減らします。このオプションは、ディザを無効にするだけではなく、最適領域でのチャージ・ポンプの動作によって優れたノイズ性能を実現します。この設定は、狭ループ・フィルタ帯域幅を使用できる場合に非常に役に立ちます。シンセサイザによって超低ノイズが得られ、フィルタによってスプリアスを減衰します。代表的な性能特性から、さまざまなノイズ&スプリアス設定について代表的なWCDMAのセットアップに対して理想的なトレードオフ状態を選択できます。

予備ビット

これらのビットは標準動作では0に設定します。

RFシンセサイザ：具体事例

次式に基づいて、シンセサイザをプログラミングします。

$$RF_{OUT} = [INT + (FRAC/MOD)] \times [F_{PFD}] \quad (3)$$

ここで、

RF_{OUT} は、RF周波数出力です。

INT は、整数の分周係数です。

$FRAC$ は、フラクショナル値です。

MOD は、モジュラスです。

$$F_{PFD} = [REF_{IN} \times (1=D)/R] \quad (4)$$

ここで、

REF_{IN} は、リファレンス周波数入力です。

D は、RF REF_{IN}ダブラー・ビットです。

R は、RFリファレンス分周係数です。

たとえば、1.8GHzのRF周波数出力（REF_{OUT}）が必要なGSM 1800システムでは、13MHzのリファレンス周波数入力（REF_{IN}）が使用でき、RF出力では200kHzのチャンネル分解能（f_{RES}）が必要です。

$$MOD = REF_{IN} / f_{RES}$$

$$MOD = 13 \text{ MHz} / 200 \text{ KHz} = 65$$

式4から、

$$F_{PFD} = [13 \text{ MHz} \times (1 + 0) / 1] = 13 \text{ MHz} \quad (5)$$

$$1.8 \text{ G} = 13 \text{ MHz} \times (INT + (FRAC/65)) \geq$$

$$INT = 138; \geq FRAC = 30 \quad (6)$$

モジュラス

モジュラス（MOD）の設定は、RF出力に必要なチャンネル分解能（f_{RES}）と使用可能なリファレンス信号（REF_{IN}）によって異なります。たとえば、13MHzのREF_{IN}を使うGSMシステムでは、モジュラスを65に設定すればGSMに必要な200kHz（13MHz/65）のRF出力分解能（f_{RES}）が得られます。

リファレンス・ダブラーとリファレンス分周器

オンチップのリファレンス・ダブラーにより、入力リファレンス信号を2倍にできます。これは、PFD比較周波数を増やす場合に役に立ちます。PFD周波数を高くすると、システムのノイズ性能が改善されます。PFD周波数を2倍にすると、通常ノイズ性能が3dB改善されます。注意すべきは、N分周器のΣΔ回路の速度に制限があるため、PFDを32MHzを上回る速度で動かせないという点です。

12ビット・プログラマブル・モジュラス

ほかの大部分のフラクショナルN PLLと異なり、ADF4154は12ビットの範囲でモジュラスをプログラミングできます。リファレンス・ダブラーと4ビットRカウンタとともに使用すれば、アプリケーションに適したさまざまな構成をセットアップできます。

たとえば、1.75GHzのRFと200kHzのチャンネル・ステップ分解能を必要とするアプリケーションを考えてみましょう。システムでは13MHzのリファレンス信号を使用します。

1つのセットアップ例として、13MHzを直接PFDに供給し、65で分周するモジュラスをプログラミングします。これで必要な200kHzの分解能が得られます。

もう1つのセットアップ例では、リファレンス・ダブラーを使って13MHzの入力信号から26MHzを生成します。26MHzの信号をPFDに供給し、設定によってモジュラスを130で分周します。この場合も200kHzの分解能になりますが、前のセットアップ例よりも優れた位相ノイズ性能が得られます。

プログラマブル・モジュラスは、マルチ標準アプリケーションにもたいへん便利です。デュアル・モード電話がPDC標準とGSM 1800標準を必要とする場合、プログラマブル・モジュラスによって大きな利点が得られます。PDCでは25kHzのチャンネル・ステップ分解能が必要ですが、GSM 1800のほうは200kHzのチャンネル・ステップ分解能を必要とします。13MHzのリファレンス信号をPFDに直接供給します。モジュラスは、PDCモードのときに520に設定され（13MHz/520＝25kHz）、GSM 1800に準拠した動作の場合、65に変更します（13MHz/65＝200kHz）。PFD周波数が常に一定（13MHz）になるということは重要です。PFDが一定であれば、2種類のセットアップで1つのループ・フィルタを使用する設計が可能になり、安定性の問題に悩まされることはありません。PFD周

波数に対するRF周波数の比は、ループの設計に影響します。モジュラス係数を変更せずにこの関係を一定に保てば、安定したフィルタが得られます。

スプリアスの最適化と高速ロック

ADF4154は、ノイズ&スプリアス・レジスタを使用して低スプリアス信号を実現するように最適化できます。ただし、高速ロック時間を達成するには、広いループ帯域幅が必要です。しかし、ループ帯域幅が広いとスプリアス信号がかなり増える可能性があります。スプリアス信号はループ・フィルタで大幅に減らすことはできません。

高速ロック機能を使用すれば、ノイズ&スプリアス・レジスタと同じ高速ロック時間が得られます。この場合は、最終ループ帯域幅が25%減るためスプリアス信号が低下するという利点があります。

高速ロック・タイマとレジスタ・シーケンス

高速ロック・モードを使用する場合は、タイマ値をPLLにロードし、広帯域幅の時間を決定する必要があります。

ロード制御ビットが1のときは、12ビットのモジュラス値領域にタイマ値がロードされます。高速ロックを使用するには、次の手順に従ってPLLへの書込みを行います。

1. モジュラス値の代わりに、選択した高速ロック・タイマ値（DB13～DB2）とDB23＝1をR分周器レジスタにロードします。PLLが広帯域幅にとどまっている時間は、高速ロック・タイマ/F_{PFD}に等しくなります。
2. ノイズ&スプリアス・レジスタにロードします。
3. コントロール・レジスタにロードします。
4. DB23＝0とMUXOUT＝110（DB22～DB20）をR分周器レジスタにロードします。モジュラスなど、その他の必要なパラメータもすべてロードします。
5. 高速ロック＝1（DB23）をN分周器レジスタにロードし、高速ロック・モードを有効にします。

この手順が終了した後は、ステップ5をもう一度行うだけで高速ロックを使った周波数ジャンプを実行できます。

ADF4154

高速ロックを使用しない場合は、次の手順を実行します。

1. ノイズ&スプリアス・レジスタにロードします。
2. コントロール・レジスタにロードします。
3. DB23=0など、必要なパラメータをR分周器レジスタにロードします。
4. 標準動作にするには、高速ロック=0 (DB23) をN分周器レジスタにロードします。

周波数を変更する場合は、もう一度ステップ4のみを行います。

高速ロック：具体事例

PLLのリファレンス周波数が13MHz、 $F_{PFD}=13\text{MHz}$ 、必要なロック時間が $50\mu\text{s}$ という例を考えてみましょう。このとき、PLLは $40\mu\text{s}$ 間広帯域幅に設定されるとします。

広帯域幅用に選択した時間が $40\mu\text{s}$ の場合：

$$\text{高速ロック・タイム値} = \text{広帯域幅の時間} \times F_{PFD}$$

$$\text{高速ロック・タイム値} = 40\mu\text{s} \times 13\text{MHz} = 520$$

したがって、「高速ロック・タイムとレジスタ・シーケンス」に示した書き込み手順のステップ1で、520をR分周器レジスタにロードします。

高速ロック：ループ・フィルタ回路例

高速ロック・モードを使用する場合は、PLLとループ・フィルタとの間にもう1つ接続を追加する必要があります。MUXOUTで、広帯域幅モードのときにループ・フィルタのダンピング抵抗を1/4に低減する必要があります。これは、広帯域幅モードのときにチャージ・ポンプ電流が16倍に増加し、安定性を維持しなければならないからです。これは、次の2つの回路で実行できます。

1. ダンピング抵抗 (R1) を1:3の比で2つの値 (R1とR1A) に分割します (図22を参照)。
2. 追加の抵抗 (R1A) を使用します。図23に示すように、R1AをMUXOUTに直接接続します。追加の抵抗の値は、これとダンピング抵抗を並列に接続したときの値が、R1のみを使用したときの値の1/4になるように設定します (図23を参照)。

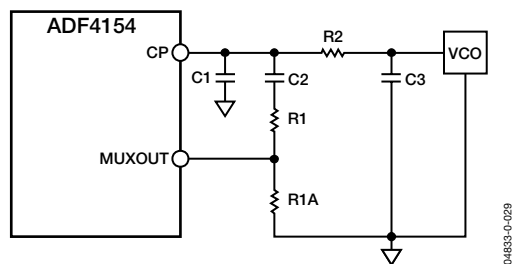


図22. 高速ロック・ループ・フィルタ回路1

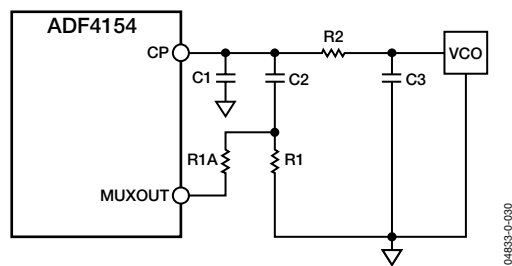


図23. 高速ロック・ループ・フィルタ回路2

スプリアス信号

スプリアス信号の発生が予想される場所

インテジャーN方式PLLの場合と同様、スプリアスは搬送波からのPFD周波数分をオフセットしたところに現れます。フラクショナルN方式PLLの場合、スプリアスは RF_{OUT} チャンネル・ステップ分解能 (f_{RES}) に等しい周波数にも現れます。ADF4154の3次フラクショナル・インターポレータ・エンジンでも、サブフラクショナル・スプリアスが発生することがあります。フラクショナル・デノミネータ (MOD) が2で割り切れる場合スプリアスは $1/2 f_{RES}$ に現れ、MODが3で割り切れる場合、 $1/3 f_{RES}$ に現れます。上述のすべてのスプリアスの高調波も現れます。最小スプリアス・モードが有効な場合は、フラクショナル/サブフラクショナル・スプリアスが大幅に減衰されます。フラクションが $1/MOD$ に設定されている場合は、最悪の場合のスプリアスが現れます。たとえば、PFD周波数が26MHz、 RF_{OUT} チャンネル・ステップ分解能 (f_{RES}) が200kHzのGSM 900MHzシステムでは、MOD=130になります。PFDスプリアスは26MHzオフセットで現れ、フラクショナル・スプリアスは200kHzオフセットで現れます。MODが2で割り切れるので、サブフラクショナル・スプリアスは100kHzオフセットでも現れます。

フィルタの設計—ADIsimPLL

PLLの設計を支援するために、フィルタ設計・解析プログラムが用意されています。ADIsimPLLソフトウェアは、www.analog.com/pllから無料でダウンロードできます。このソフトウェアで、全PLL周波数と時間軸応答を設計、シミュレート、解析できます。さまざまなパッシブ/アクティブ・フィルタ構成が可能です。ADIsimPLLのリビジョン2では、ADF4154を解析できます。

インターフェース

ADF4154には、デバイスへの書き込みを行うための、シンプルなSPI®互換シリアル・インターフェースがあります。CLK、DATA、LEでデータ転送を制御します。LE (ロード・イネーブル) がハイの場合は、CLKの各立上がりエッジで入力レジスタに入力された22ビットが該当するラッチに転送されます。タイミングについては図2、ラッチの真理値表については表5を参照してください。

最大許容シリアル・クロック・レートは20MHzです。デバイスの最大更新レートは909kHzで、 $1.1\mu\text{s}$ ごとに1回更新を実行します。ロック時間が数百 μs (typ) のシステムには、この値で十分です。

ADuC812とのインターフェース

図24は、ADF4154とADuC812 MicroConverter[®]間のインターフェースを示しています。ADuC812は8051コアをベースにしているため、このインターフェースは8051ベースのマイクロコントローラであればどれでも使用できます。MicroConverterは、CPHA=0でSPIマスタ・モード用にセットアップされます。動作を開始するには、I/Oポートを駆動するLEをローにします。ADF4154の各ラッチには24ビットが必要です。3個の8ビット・バイトをMicroConverterからデバイスに書き込めば、24ビットになります。3番目のバイトを書き込んだら、LE入力をハイにして転送を終了します。

上述のモードで操作する場合、ADuC812の最大SCLOCKレートは4MHzになります。したがって、出力周波数を変更できる最大レートは180kHzです。

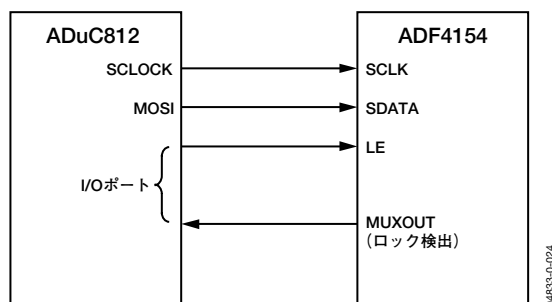


図24. ADF4154とADuC812とのインターフェース

ADSP-2181とのインターフェース

図25に、ADF4154とADSP-21xxデジタル信号プロセッサ間のインターフェースを示します。上述したように、ADF4154ではラッチ書き込みごとに24ビットのシリアル・ワードが必要です。ADSP-21xxファミリーを使って最も簡単にこれを行うには、自動バッファ送信モード（オルタネート・フレーミング機能付き）を使用します。これによって、割込みが生じる前にシリアル・データ・ブロック全体を送信できます。8ビットのワード長を設定し、24ビット・ワードごとに3つのメモリ場所を使用してください。各24ビット・ラッチをプログラミングするには、3つの8ビット・バイトをそれぞれ格納し、自動バッファ・モードを有効にして、DSPの送信レジスタに書き込みを行います。この最後の操作によって自動バッファ転送が開始されます。

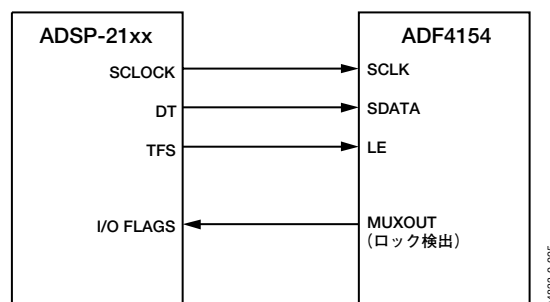


図25. ADSP-21xxとADF4154のインターフェース

CSPパッケージのPCボード設計ガイドライン

チップ・スケール・パッケージ（CP-20）のランドの形は矩形です。ランド用のPCボードのパッドは、パッケージのランド長より0.1mm長くし、パッケージのランド幅より0.05mm広くします。ランドは、パッドの中央に配置します。こうすることで、ハンダ接合面を最大化できます。

CSPパッケージの底面中央にはサーマル・パッドがあります。PCボードのサーマル・パッドは、少なくともこの露出パッドと同じ大きさにします。PCボードは、短絡を避けるために、パッドのパターンの内部エッジとサーマル・パッドの間に0.25mm以上の間隙を設ける必要があります。

PCボードのサーマル・パッドにサーマル・ビアを使用すれば、パッケージの熱性能を改善できます。ビアを使用する場合、1.2mmピッチのグリッドでサーマル・パッド内に組み込みます。ビア径は0.3~0.33mmの任意の値とし、ビア・バレルには1オンス（約28.35グラム）の銅をめっきしてビアを接続します。

PCボードのサーマル・パッドは、AGNDに接続する必要があります。

ADF4154

外形寸法

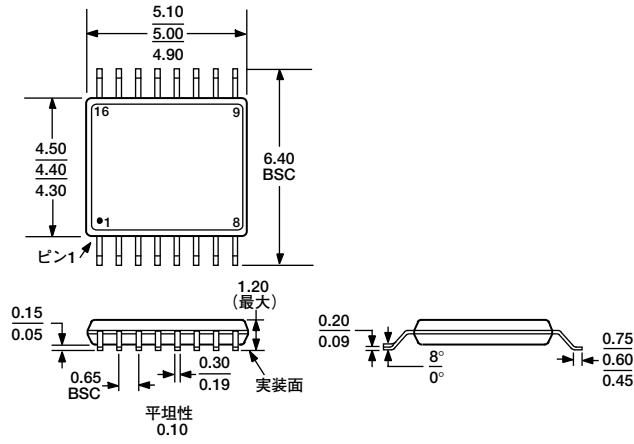


図26. 16ピンTSSOP
(RU-16)

寸法単位：mm

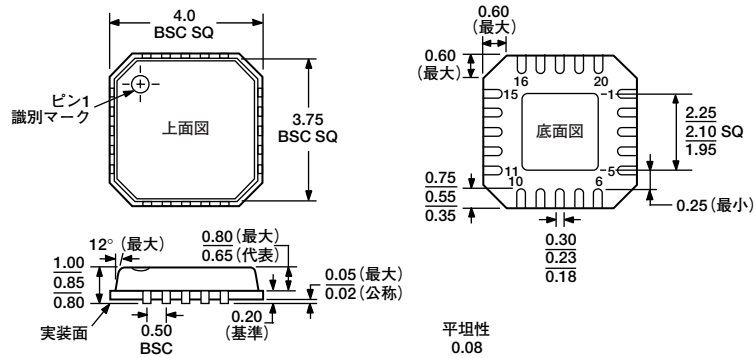


図27. 20ピンLFCSP
ボディ4mm×4mm (CP-20)

寸法単位：mm

オーダー・ガイド

製品	説明	温度範囲	パッケージ・オプション
ADF4154BRU	TSSOP	−40～+85℃	RU-16
ADF4154BRU-REEL	TSSOP	−40～+85℃	RU-16
ADF4154BRU-REEL7	TSSOP	−40～+85℃	RU-16
ADF4154BCP	LFCSP	−40～+85℃	CP-20
ADF4154BCP-REEL	LFCSP	−40～+85℃	CP-20
ADF4154BCP-REEL7	LFCSP	−40～+85℃	CP-20
EVAL-ADF4154EB1	LFCSP	−40～+85℃	CP-20

アナログ・デバイス社またはその二次ライセンスを受けた関連会社からライセンスの対象となるICコンポーネントを購入した場合、購入者にはこれらのコンポーネントをICシステムで使用するフィリップス社のICの特許権に基づくライセンスが許諾されます。ただし、フィリップス社が規定するIC規格仕様に準拠したシステムが必要です。