



26.5GHz インテジャーN／フラクショナルN PLL シンセサイザ

データシート

ADF41513

特長

帯域幅：1GHz～26.5GHz
超低ノイズ PLL
インテジャーN = -235dBc/Hz 、
フラクショナルN = -231dBc/Hz
高い最大 PFD 周波数
インテジャーN = 250MHz、フラクショナルN = 125MHz
25 ビット固定／49 ビット可変フラクショナル・モジュラス・
モード
シングルエンド・リファレンス入力
3.3V 電源、3.3V チャージ・ポンプ
統合化された 1.8V ロジック機能
位相再同期
プログラマブルなチャージ・ポンプ電流：16×レンジ
デジタル・ロック検出
3 線式シリアル・インターフェース
(レジスタ・リードバック・オプション付き)
ハードウェアとソフトウェアのパワーダウン・モード
動作温度範囲： $-40^{\circ}\text{C} \sim +105^{\circ}\text{C}$

アプリケーション

試験装置および計測器
ワイヤレス・インフラストラクチャ
マイクロ波ポイント to ポイントおよびマルチポイント無線
超小型地球局 (VSAT) 無線
航空宇宙および防衛

概要

ADF41513 は超低ノイズ周波数シンセサイザで、これを使用することで、ワイヤレスのレシーバーやトランスミッタのアップコンバージョン部やダウンコンバージョン部において、26.5GHz という高周波の局部発振器 (LO) を実現可能です。

ADF41513 は、高性能シリコン・ゲルマニウム (SiGe)、パイポーラ相補型金属酸化膜半導体 (BiCMOS) プロセス上に設計され、 -235dBc/Hz の正規化位相ノイズ・フロアを達成します。位相周波数検出器 (PFD) は、位相ノイズとスプリアス性能を改善するために、最大 250MHz (インテジャーNモード) / 最大 125MHz (フラクショナルNモード) で動作します。49 ビットの分周値を使用すると、可変モジュラス・シグマデルタ ($\Sigma\Delta$) 変調器により、極めて高い分解能が得られます。ADF41513 は、サブヘルツの周波数分解能用の固定モジュラス、またはサブヘルツの正確な周波数分解能用の可変モジュラスによって、インテジャーN フェーズ・ロック・ループ (PLL) として使用することも、フラクショナルN PLL として使用することもできます。

シンセサイザを外付けループ・フィルタおよび電圧制御発振器 (VCO) と共に使用すると、フル機能の PLL を実現できます。26.5GHz の帯域幅により周波数ダブラ (2 倍器) や分周器段が不要になるため、システム・アーキテクチャが簡素化し、コストが低減します。ADF41513 は、小型の 24 ピン、4mm × 4mm LFCSP パッケージを採用しています。

機能ブロック図

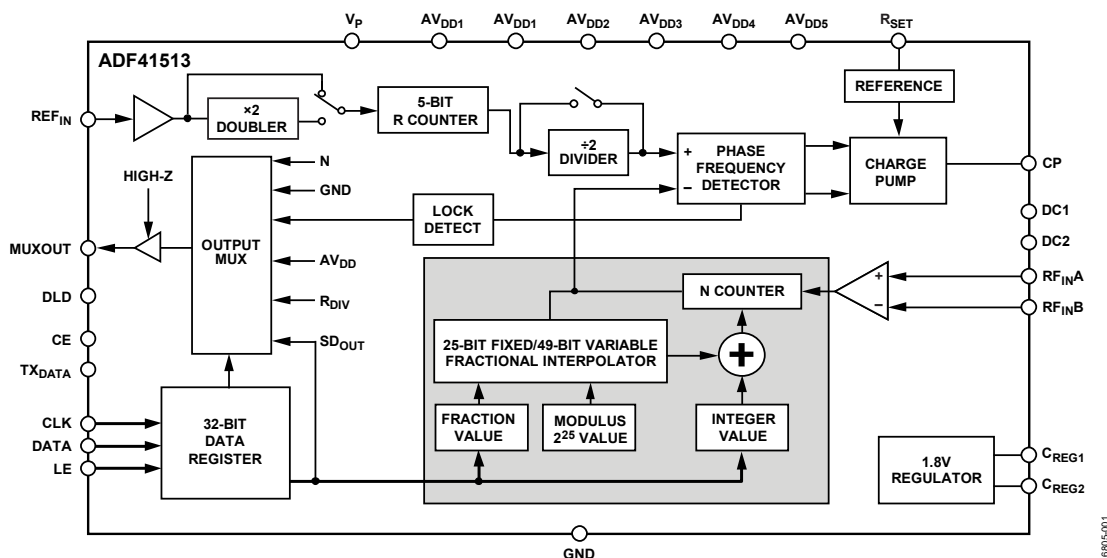


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2019 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本 社／〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大 阪営業所／〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所／〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	レジスタ 2 (R2) マップ	18
アプリケーション	1	レジスタ 3 (R3) マップ	18
概要	1	レジスタ 4 (R4) マップ	19
機能ブロック図	1	レジスタ 5 (R5) マップ	19
改訂履歴	2	レジスタ 6 (R6) マップ	21
仕様	3	レジスタ 7 (R7) マップ	23
タイミング特性	5	レジスタ 8 (R8) マップ	24
絶対最大定格	6	レジスタ 9 (R9) マップ	24
熱抵抗	6	レジスタ 10 (R10) マップ	25
ESD に関する注意	6	レジスタ 11 (R11) マップ	25
ピン配置およびピン機能の説明	7	レジスタ 12 (R12) マップ	26
代表的な性能特性	9	レジスタ 13 (R13) マップ	27
動作原理	11	アプリケーション情報	28
リファレンス入力	11	初期化シーケンス	28
RF 入力段	11	RF シンセサイザ：25 ビットの固定モジュラス・モードでの 具体事例	28
N 分周器と R カウンタ	11	RF シンセサイザ：可変モジュラス・モードでの具体事例... ..	28
R カウンタ	12	モジュラス	28
PFD とチャージ・ポンプ	12	リファレンス・ダブラとリファレンス分周器	28
MUXOUT	12	スプリアスのメカニズム	29
ロック検出器	12	位相再同期	29
リードバック	13	外形寸法	30
入力シフト・レジスタ	13	オーダー・ガイド	30
プログラム・モード	13		
レジスタ・マップ	14		
レジスタ 0 (R0) マップ	17		
レジスタ 1 (R1) マップ	17		

改訂履歴

1/2019—Revision 0: Initial Version

仕様

特に指定のない限り、 $AV_{DDX} = AV_{DD1} = AV_{DD2} = AV_{DD3} = AV_{DD4} = AV_{DD5} = V_P = 3.3V \pm 5\%$ 、 $GND = 0V$ 、 $R_{SET} = 1.8k\Omega$ 、dBm は 50Ω を基準とする、 $T_A = T_{MIN} (-40^\circ C) \sim T_{MAX} (+105^\circ C)$ 。

表 1.

パラメータ	最小値	代表値	最大値	単位	テスト条件／コメント
RADIO FREQUENCY (RF) CHARACTERISTICS					
8/9 Prescaler					
RF Input Frequency (f _{RFIN}) Range	1		26.5	GHz	推奨する入力電力は、−5dBm〜+5dBm です。この周波数範囲での動作は、70°C〜T _{MIN} に制限されます。 この周波数範囲での動作は、T _{MAX} 〜T _{MIN} です。 詳細については、図 10 と図 11 を参照してください。
RF Input Sensitivity	1	−11	24	GHz dBm	
4/5 Prescaler					
f _{RFIN} Range	1		16	GHz	
RF Input Sensitivity Range	−7		+5	dBm	低周波の場合は、320V/μs 以上のスルー・レートを確保します。 RF _{INB} と GND の間に 1pF のコンデンサを接続し、RF _{INA} に対して 1pF の直列コンデンサを通して、シングルエンドで測定しました。
INPUT REFERENCE FREQUENCY (REF _{IN}) CHARACTERISTICS					
REF _{IN} Input					1V でバイアスしたとき（AC カップリングでは必ず 1V でバイアスします）、低消費電力や低周波の方形波を使用し、320V/μs 以上のスルー・レートを確保します。最高のインバンド位相ノイズ性能を得るためには、500V/μs 以上のスルー・レートを確保します。
Frequency	10		800	MHz	
Voltage Range	0		1.8	V	
Sensitivity Range	−10		8	dBm	
Capacitance			10	pF	ダブラがイネーブルのときの最大リファレンス周波数
Current			±150	μA	
Doubler Input Frequency			225	MHz	
MAXIMUM PFD FREQUENCY					
Integer N Mode			250	MHz	
Fractional-N Mode			125	MHz	
N DIVIDER RANGE					
16-Bit N Divider Range					
Integer N Mode	20		511		4/5 プリスケーラ
	64		1023		8/9 プリスケーラ
Fractional-N Mode	23		511		4/5 プリスケーラ
	75		1023		8/9 プリスケーラ
CHARGE PUMP (CP)					
CP Current (I _{CP}) Sink and Source					プログラマブル
High Value		7.2		mA	R _{SET} = 1.8kΩ を接続した場合
Low Value		0.45		mA	
Absolute Accuracy		5		%	R _{SET} = 1.8kΩ を接続した場合
R _{SET} Range	1.8	2.7	10	kΩ	5%の精度
I _{CP} Three-State Leakage		2		nA	V _{CP} = 0.9V、T _A = 25°C
Sink and Source Current Matching		5		%	0.7V ≤ CP 電圧 (V _{CP}) ≤ V _P − 0.7V
I _{CP} vs. V _{CP}		5		%	0.7V ≤ V _{CP} ≤ V _P − 0.7V
I _{CP} vs. Temperature		5		%	V _{CP} = V _P /2

パラメータ	最小値	代表値	最大値	単位	テスト条件／コメント
LOGIC INPUTS					
Input Voltage High (V_{IH})	1.4			V	シリアル・ポート・インターフェース (SPI) プロックは、1.8V または 3.3V のどちらのロジック入力にも対応できます。
Low (V_{IL})			0.6	V	
Input Current (I_{INH} , I_{INL})			± 1	μA	
Input Capacitance (C_{IN})			10	pF	
LOGIC OUTPUTS					
Output Voltage High (V_{OH})	1.4			V	MUXOUT 電圧 = 1.8V、DLD 電圧 = 1.8V MUXOUT 電圧 = 3.3V、DLD 電圧 = 3.3V
	2.6			V	
Low (V_{OL})			0.4	V	
Output High Current, Output Low Current (I_{OH} , I_{OL})			500	μA	
POWER SUPPLIES					
AV_{DD1} , AV_{DD2} , AV_{DD3} , AV_{DD4} , AV_{DD5} , V_P	3.135	3.3	3.465	V	AV_{DD1} によって供給される電流 AV_{DD2} によって供給される電流 AV_{DD3} によって供給される電流 AV_{DD4} によって供給される電流 AV_{DD5} によって供給される電流 V_P によって供給される電流 AV_{DDx} と V_P によって供給される全電流 $T_A = 25^\circ C$ 、CE がローのとき、全レールでの合計
I_{DD1}^1		2	3.2	mA	
I_{DD2}^1		63.5	88	mA	
I_{DD3}^1		2.1	3.6	mA	
I_{DD4}^1		1.45	2	mA	
I_{DD5}^1		20	25	mA	
I_P		6	7	mA	
I_{TOTAL}		95.1	128.8	mA	
Power-Down Mode			100	μA	
NOISE CHARACTERISTICS					
Normalized Phase Noise Floor (PN_{SYNTH}) In Integer N Mode ²		-235		dBc/Hz	PLL ループ帯域幅 (BW) = 1MHz (インテジャール N モード)
In Fractional-N Mode ³		-231		dBc/Hz	PLL ループ BW = 1MHz (フラクショナル N モード)
Normalized 1/f Noise ($PN_{1/f}$) ³		-128		dBc/Hz	10kHz のオフセット、1GHz に正規化
SPURIOUS SIGNALS					
Reference Spurious		-90		dBc	リファレンス = 100MHz、PLL ループ BW = 40kHz のとき
PFD Spurious		-87		dBc	PFD = 50MHz、PLL ループ BW = 40kHz のとき
In-Band Integer Boundary Spurious		-45		dBc	10kHz のオフセット、PLL ループ BW = 250kHz のとき

¹ $T_A = 25^\circ C$ 、 $AV_{DDx} = 3.3V$ (ここで、 $x = 1, 2, 3$ 、または 4)、プリスケラ (P) = 8/9、 $f_{RFIN} = 26.5GHz$ 、 $REF_{IN} = 124MHz$ 、PFD 周波数入力 (f_{PFD}) = 124MHz。

² シンセサイザの位相ノイズ・フロアは、VCO 出力のインバンド位相ノイズを測定し、 $20 \log N$ (ここで、 N は N 分周器の値) と $10 \log f_{PFD}$ を差し引くことで見積もられます。 PN_{SYNTH} は、VCO 出力 (PN_{TOT}) - $10 \log f_{PFD}$ - $20 \log N$ によって測定された全位相ノイズです。

³ PLL の位相ノイズは、 $1/f$ (フリッカ) ノイズと正規化 PLL ノイズ・フロアで構成されています。RF 周波数が f_{RF} で、周波数オフセットが f のとき、 $1/f$ ノイズの影響を計算するための公式は、位相ノイズ (PN) = $P_{1/f} + 10 \log (10kHz/f) + 20 \log (f_{RF}/1GHz)$ で与えられます。正規化位相ノイズ・フロアとフリッカ・ノイズは、両方とも ADIsimPLL にモデル化されています。

タイミング特性

特に指定のない限り、 $AV_{DDx} = AV_{DD1} = AV_{DD2} = AV_{DD3} = AV_{DD4} = AV_{DD5} = V_P = 3.3V \pm 5\%$ 、 $GND = 0V$ 、 $R_{SET} = 1.8k\Omega$ 、dBm は 50Ω を基準とする、 $T_A = T_{MIN} (-40^\circ C) \sim T_{MAX} (+105^\circ C)$ 。

表 2. 読出しと書き込みのタイミング

パラメータ	$T_{MIN} \sim T_{MAX}$ での制限値	単位	テスト条件／コメント
t_1	10	ns min	LE のセットアップ・タイム
t_2	5	ns min	CLK に対する DATA のセットアップ・タイム
t_3	5	ns min	CLK に対する DATA のホールド・タイム
t_4	12.5	ns min	CLK がハイ・レベルの継続時間
t_5	12.5	ns min	CLK がロー・レベルの継続時間
t_6	5	ns min	LE に対する CLK のセットアップ・タイム
t_7	10	ns min	LE のパルス幅
t_8	20	ns max	MUXOUT が SPI 出力として設定されているとき、MUXOUT に対する LE のセットアップ・タイム
t_9	20	ns max	MUXOUT が SPI 出力として設定されているとき、MUXOUT に対する CLK のセットアップ・タイム

タイミング図

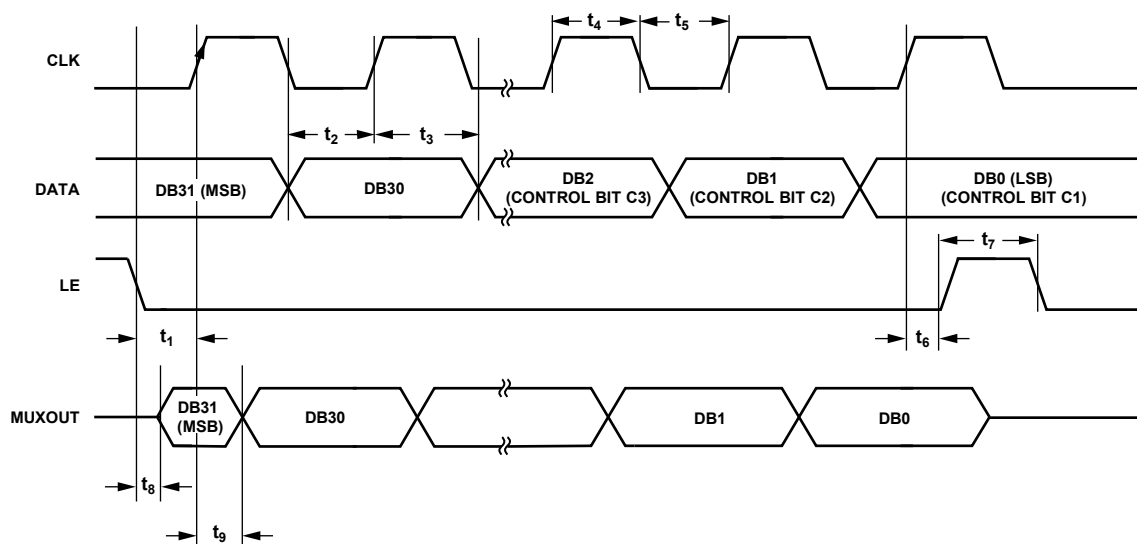


図 2. 読出しと書き込みのタイミング

18805-002

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Rating
AV_{DDx} to GND ¹	-0.3 V to +3.6 V
V_P to GND	-0.3 V to +3.6 V
V_P to AV_{DDx}	-0.3 V to +0.3 V
Digital Input/Output Voltage to GND	-0.3 V to $AV_{DDx} + 0.3$ V
Analog Input/Output Voltage to GND	-0.3 V to $V_P + 0.3$ V
$RF_{IN A}$, $RF_{IN B}$ to GND	-0.3 V to +3.6 V
$RF_{IN A}$ to $RF_{IN B}$ ¹	± 1.4 V
REF_{IN} to GND	-0.3 V to +2.1 V
Operating Temperature Range	
Industrial	-40°C to +105°C
Storage Temperature Range	-65°C to +125°C
Maximum Junction Temperature	
Operational	125°C
Reflow Soldering	
Peak Temperature	260°C
Time at Peak Temperature	40 sec
Electrostatic Discharge (ESD)	
Charged Device Model	1250 V
Human Body Model	1500 V
Transistor Count	
CMOS	215,726
Bipolar	1625

¹ 50Ω 入力に約 13dBm。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

このデバイスは静電気放電（ESD）定格が 2kV 未満の高性能 RF IC で、ESD による損傷を受けやすくなっています。取り扱いと組み立てには細心の注意を払ってください。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密閉容器内で測定された、自然体流での周囲とジャンクションの間の熱抵抗です。 θ_{JC} は、ジャンクションとケースの間の熱抵抗です。

表 4. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
CP-24-8 ¹	48	38	°C/W

¹ 熱抵抗値は、JESD51 規格によって規定されています。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

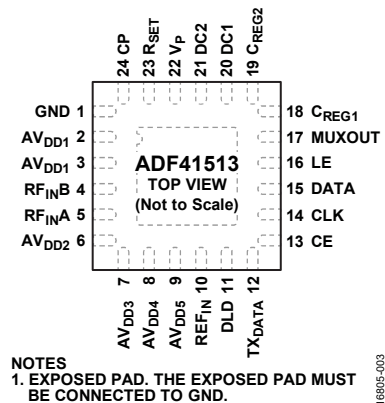


図 3. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1	GND	グラウンド・ピン。
2, 3	AV _{DD1}	PFDTとアップ/ダウン・デジタル・ドライバ用の電源。2番ピンと3番ピンは互いに接続することができます。2番ピンと3番ピンを互いに接続した場合、3個の並列コンデンサ（10μF、100nF、および100pF）を可能な限りAV _{DD1} ピンの近くに配置します。
4	RF _{INB}	RFプリスケラへの相補入力。シングルエンド・モードでは、小容量のバイパス・コンデンサ（代表値100pF）を使用して、このピンをグラウンド・プレーンに対してデカップリングします。
5	RF _{INA}	RFプリスケラへの入力。この信号を外付けVCOにACカップリングします。
6	AV _{DD2}	RFバッファとプリスケラ用の電源。3個の並列コンデンサ（10μF、100nF、および100pF）を可能な限りAV _{DD2} ピンの近くに配置します。
7	AV _{DD3}	N分周器用の電源。3個の並列コンデンサ（10μF、100nF、および100pF）を可能な限りAV _{DD3} ピンの近くに配置します。
8	AV _{DD4}	R分周器とロック検出器用の電源。3個の並列コンデンサ（10μF、1μF、および100nF）を可能な限りAV _{DD4} ピンの近くに配置します。8番ピンは、リファレンス分周器用の内部の低ドロップアウト（LDO）レギュレータに電力を供給します。
9	AV _{DD5}	Σ-Δ変調器とSPI用の電源。3個の並列コンデンサ（10μF、1μF、および100nF）を可能な限りAV _{DD5} ピンの近くに配置します。このピンは、Σ-Δ変調器用の内部のLDOレギュレータに電力を供給します。
10	REF _{IN}	リファレンス入力。リファレンスは、シングルエンドのCMOS（DCカップリング）にもシングルエンドのサイン波（ACカップリング）にも対応できます。シングルエンド入力の公称閾値は1Vで、DC等価入力抵抗は20kΩです。
11	DLD	デジタル・ロック検出ピン。このピンがロジック・ハイのときは、PLLがロックしていることを示します。
12	TX _{DATA}	送信データ・ピン。12番ピンは使用しません。12番ピンをGNDに接続します。
13	CE	チップ・イネーブル。このピンをロジック・ローにすると、デバイスがパワーダウンし、チャージ・ポンプ出力がスリーステート・モードになります。CEがローのときは、レジスタの値は保持されません。このピンは、3.3Vのロジック入力にのみ対応しています。
14	CLK	シリアル・クロック入力。CLKにより、シリアル・データはクロックに同期してレジスタに入力されます。データは、CLKの立上がりエッジで32ビットのシフト・レジスタにラッチされます。この入力、高インピーダンスのCMOS入力です。
15	DATA	シリアル・データ入力。シリアル・データは、最上位ビット（MSB）ファーストでロードされ、最下位2ビット（LSB）がコントロール・ビットとして機能します。この入力、高インピーダンスのCMOS入力です。
16	LE	ロード・イネーブル、CMOS入力。LEをハイ・レベルにすると、シフト・レジスタに格納されているデータが4個のラッチの内の1つにロードされます。ラッチはコントロール・ビットを使用して選択します。
17	MUXOUT	マルチプレクサ出力。このマルチプレクサ出力を使用すると、ロック検出、スケールされたRF、スケールされたリファレンス周波数、ロジック・ハイ、ロジック・ロー、またはレジスタ・リードバック・データに外部からアクセスすることができます。
18	C _{REG1}	内部の1.8Vレギュレータの出力ピン。3個の並列コンデンサ（4.7μF、100nF、および1nF）を可能な限りC _{REG1} ピンの近くに配置します。
19	C _{REG2}	内部の1.8Vレギュレータの出力ピン。3個の並列コンデンサ（4.7μF、100nF、および1nF）を可能な限りC _{REG2} ピンの近くに配置します。
20	DC1	DCバイアス・ピン1。1μFと1nFの並列コンデンサをDC1ピンとグラウンドの間に（DC1ピンにできるだけ近づけて）配置します。
21	DC2	DCバイアス・ピン2。1μFと1nFの並列コンデンサをDC2ピンとグラウンドの間に（DC2ピンにできるだけ近づけて）配置します。
22	V _P	チャージ・ポンプ用の電源。
23	R _{SET}	最大チャージ・ポンプ電流設定抵抗。抵抗をR _{SET} ピンとGNDの間に接続すると、最大チャージ・ポンプ出力電流が設定されます。R _{SET} ピンでの公称電位は0.66Vです。I _{CP} とR _{SET} の関係はI _{CP} MAX = 12.96/R _{SET} となります。例えば、R _{SET} = 2.7kΩを接続すると、I _{CP} MAX = 4.8mAになります。ブリード電流（I _{BLEED} ）とR _{SET} の関係は、I _{BLEED} MIN = 0.0103/R _{SET} となります。例えば、R _{SET} = 2.7kΩを接続すると、I _{BLEED} MIN = 3.81μAになります。

ピン番号	記号	説明
24	CP	チャージ・ポンプ出力。このピンがイネーブルのとき、このピンは $\pm I_{CP}$ を外付けループ・フィルタに供給し、更に外付け VCO を駆動します。
	EPAD	露出パッド。露出パッドは、GND に接続する必要があります。

代表的な性能特性

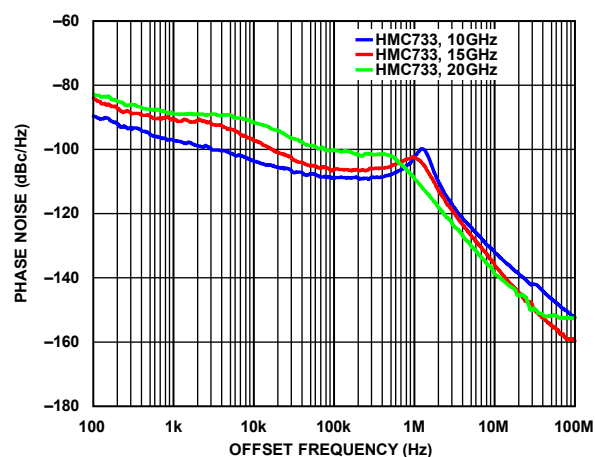


図 4. 位相ノイズとオフセット周波数の関係、10GHz、15GHz、および 20GHz のとき、HMC733 を接続、 $I_{CP} = 3.5\text{mA}$ 、インテジャー N モード

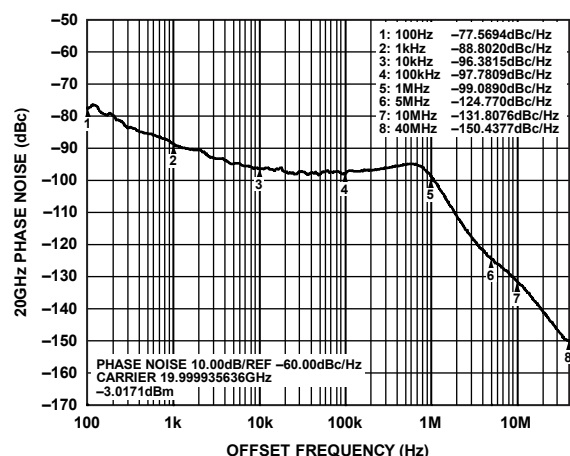


図 5. 20GHz の位相ノイズとオフセット周波数の関係、HMC733 を接続、 $I_{CP} = 3.5\text{mA}$ 、フラクショナル N モード

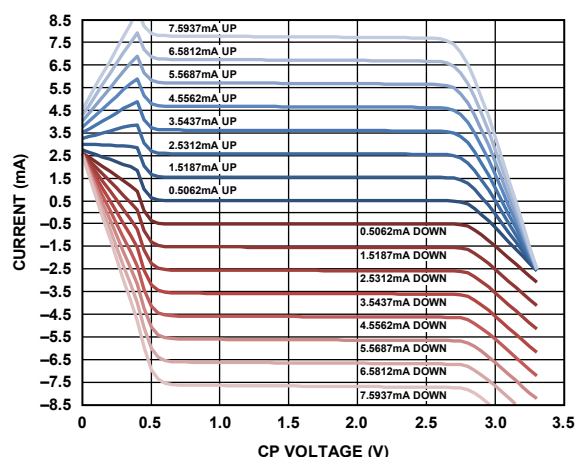


図 6. 電流と CP 電圧の関係、チャージ・ポンプ・コンプライアンス、 $R_{SET} = 1.8\text{k}\Omega$

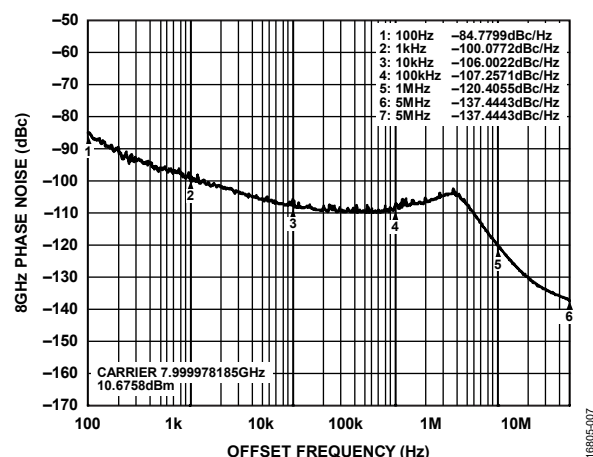


図 7. 8GHz の位相ノイズとオフセット周波数の関係、HMC509 を接続、 $I_{CP} = 3.5\text{mA}$ 、フラクショナル N モード

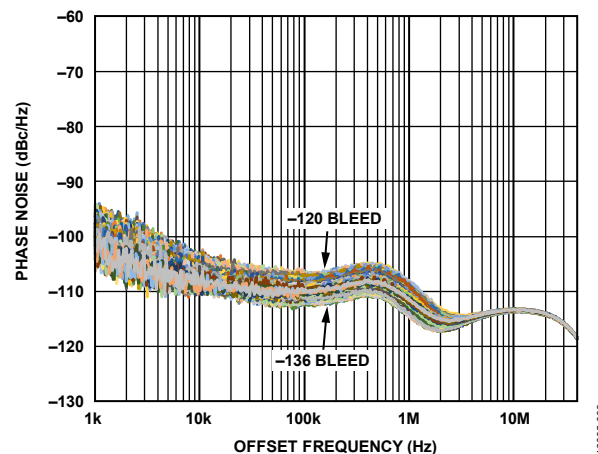


図 8. 様々なブリードでの位相ノイズとオフセット周波数の関係

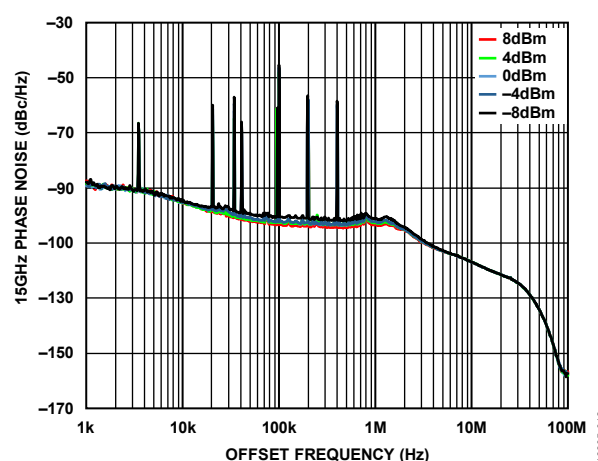


図 9. 様々な REF_{IN} 電力での 15GHz の位相ノイズとオフセット周波数の関係、フラクショナル N モード、 $PFD = 100\text{MHz}$

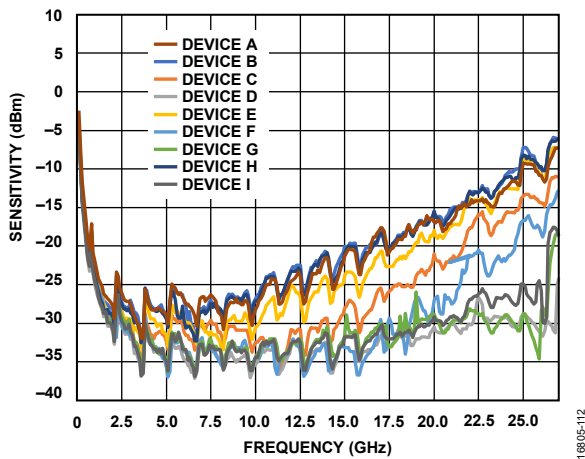


図 10. 複数のデバイスをハンダ付けした場合の感度の周波数特性

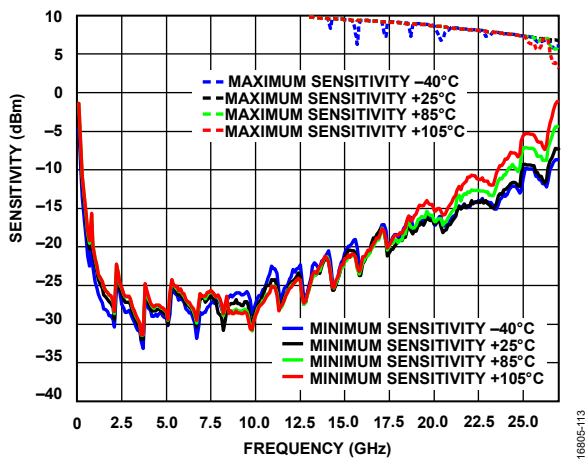


図 11. デバイス A における様々な温度での感度の周波数特性

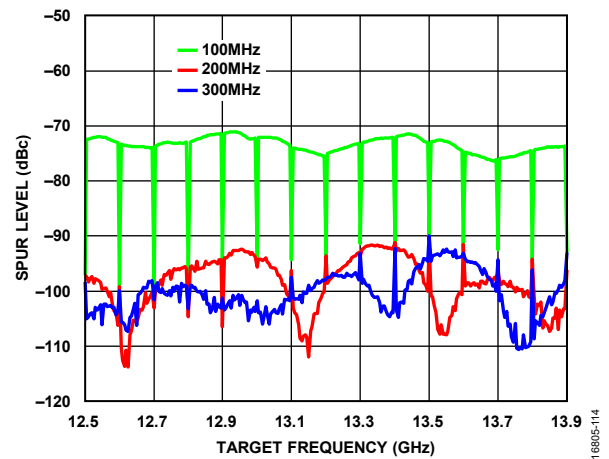


図 12. スプリアス・レベルと目的の周波数の関係、
HMC584 VCO を接続、 $REF_{IN} = 100\text{MHz}$ 、 $PFD = 100\text{MHz}$ 、
PLL ループ BW = 80kHz

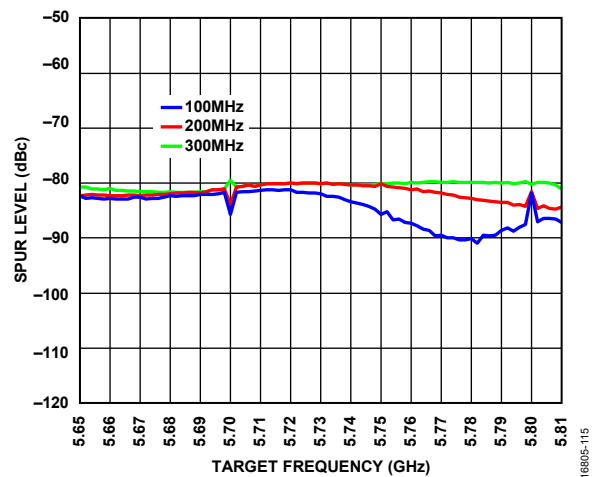


図 13. スプリアス・レベルと目的の周波数の関係、
Z-Communications V940ME03 VCO を接続、 $REF_{IN} = 100\text{MHz}$ 、
 $PFD = 100\text{MHz}$ 、PLL ループ BW = 80kHz

動作原理

リファレンス入力

リファレンス入力段を図 14 に示します。リファレンス入力は AC カップリングで、シングルエンド信号を取り込みます。この回路は、パワーダウンの間も、通常動作中のようにアクティブ状態を維持し、 AV_{DD4} から一定の電流を取り込みます。リファレンスが接続されていないと、 AV_{DD4} は約 $600\mu A$ に低下します。

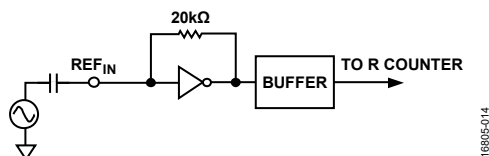


図 14. リファレンス入力段

RF 入力段

RF 入力段を図 15 に示します。RF 入力段の後段に 2 段のリミット・アンプがあり、プリスケラに必要な電流モード・ロジック（CML）のクロック・レベルを生成します。RF_{IN}A と RF_{IN}B の入力には、1.65V のバイアス・レベルを入力信号から分離するために DC 阻止コンデンサが必要です。

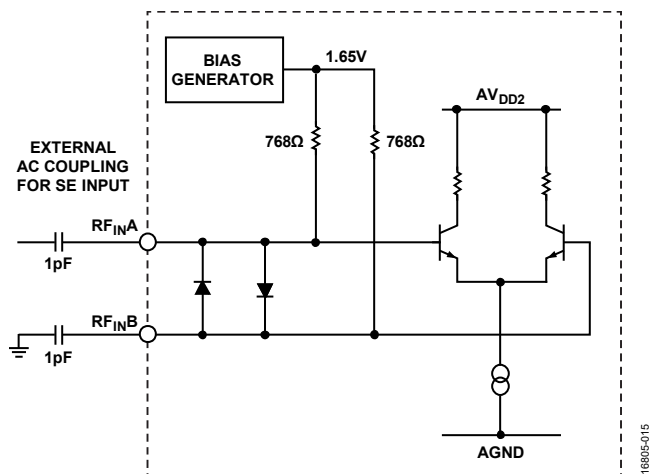


図 15. RF 入力段

N 分周器と R カウンタ

N 分周器は、RF 入力信号を PFD 周波数 (f_{PFD}) に分周するために使用されます。

$$f_{PFD} = REF_{IN} \times \left((1 + D) / (R \times (1 + T)) \right) \quad (1)$$

ここで、

REF_{IN} は、リファレンス入力周波数です。

D は、 REF_{IN} ダブラのビット値 (0 または 1) です。

R は、バイナリの 5 ビットのプログラマブル・リファレンス・カウンタ (1~32) のプリセット分周比です。

T は、 REF_{IN} の 2 分周のビット値 (0 または 1) です。

N 分周器の値は、 Σ - Δ 変調器によって生成されます。ADF41513 は、2 個の選択可能な Σ - Δ 変調器を内蔵しています。一方の変調器は 25 ビットの固定モジュラス (図 16 を参照) を備えており、また、もう一方の変調器は最大 49 ビットの可変モジュラス (図 17 を参照) を備えています。レジスタ 0 のビット 28 によって、変調器を選択します。

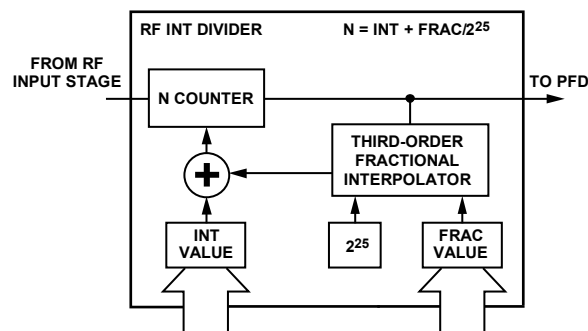


図 16. 固定モジュラス N 分周器

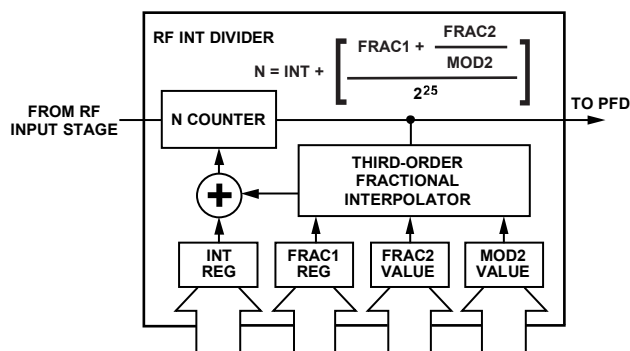


図 17. 可変モジュラス N 分周器

25 ビットの固定モジュラス (レジスタ 0 のビット 28 = 0)

25 ビットの固定モジュラスの場合、RF VCO 周波数 (RF_{OUT}) の式は以下のようになります。

$$RF_{OUT} = f_{PFD} \times (INT + (FRAC/2^{25})) \quad (2)$$

ここで、

RF_{OUT} は、RF VCO 周波数です。

INT は、レジスタ 0 のビット [19 : 4] によって設定される 16 ビットの値です。インテジャー N モードにおいて、 INT は、4/5 プリスケラでは 20~511、8/9 プリスケラでは 64~1023、また、フラクショナル N モードにおいて、 INT は、4/5 プリスケラでは 23~511、8/9 プリスケラでは 75~1023 になります。 $FRAC$ は、レジスタ 1 (FRAC1) のビット [28 : 4] によって設定される 25 ビットの値です。

最小の RF 出力分解能は、 $f_{PFD}/2^{25}$ によって設定されます。例えば、 $f_{PFD} = 100\text{MHz}$ の場合、最小分解能は 2.98Hz になります。

デフォルトでは、 Σ - Δ 変調器のアーキテクチャによって、プログラムされた出力周波数に対して加算または減算された固定オフセット ($f_{PFD}/2^{26}$) が存在します。このオフセットを除去するには、LSB_PI (レジスタ 5 のビット 24) をセットします。

可変モジュラス (R0 の DB28 = 1)

可変モジュラスの場合、RF VCO 周波数 (f_{RFOUT}) の式は以下のようになります。

$$f_{\text{RFOUT}} = f_{\text{PFD}} \times (INT + (FRAC1 + (FRAC2/MOD2)) / 2^{25}) \quad (3)$$

ここで、

f_{RFOUT} は、外付け VCO の出力周波数です。

INT は、レジスタ 0 のビット [19 : 4] によって設定される 16 ビットの値です。インテジャーNモードにおいて、 INT は、4/5 プリスケアラでは 20~511、8/9 プリスケアラでは 64~1023、また、フラクショナルNモードにおいて、 INT は、4/5 プリスケアラでは 23~511、8/9 プリスケアラでは 75~1023 になります。 $FRAC1$ は、レジスタ 1 のビット [28 : 4] によって設定される 25 ビットの値です。

$FRAC2$ は、レジスタ 3 のビット [27 : 4] によって設定される 24 ビットの値です。

$MOD2$ は、レジスタ 4 のビット [27 : 4] によって設定される 24 ビットの値です。

最小の RF 出力分解能は、 $f_{\text{PFD}}/2^{49}$ によって設定されます。したがって、 $f_{\text{PFD}} = 100\text{MHz}$ の場合、最小分解能は $0.1776\mu\text{Hz}$ になります。この分解能を実現するには、 $MOD2$ は $(2^{24} - 1)$ という最大値、すなわち 16,777,215 に設定する必要があります。

インテジャーNモード

$FRAC1$ と $FRAC2$ が両方とも 0 に等しいとき、ADF41513 は完全にインテジャーNモードで動作できるため、PLL の位相ノイズ性能が改善され、周波数分解能が f_{PFD} に設定されます。この機能は自動ではないため、インテジャーNチャンネルを使用する場合は手動で設定する必要があります。ADF41513 をインテジャーN動作で使用するときは、ブリードもディスイーブルにする必要があります。ADF41513 をインテジャーNで動作させるためのプログラミングの詳細については、レジスタ 12 (R12) マップのセクションを参照してください。

R カウンタ

5ビットのRカウンタは、 REF_{IN} を分周して、PFDへのリファレンス・クロックを生成することができます。分周比は、1~32にすることができます。

PFD とチャージ・ポンプ

PFDはRカウンタとNカウンタから入力を受け取り、それらの入力の間の位相差と周波数差に比例した出力を生成します。図18に、PFDの簡略化した回路図を示します。PFDには、アンチバックラッシュ・パルスの幅 (代表値1ns) を設定する固定遅延素子が内蔵されています。このパルスによって、PFD伝達関数には不感帯が確実になくなり、一定のリファレンス・スプリアス・レベルが発生します。

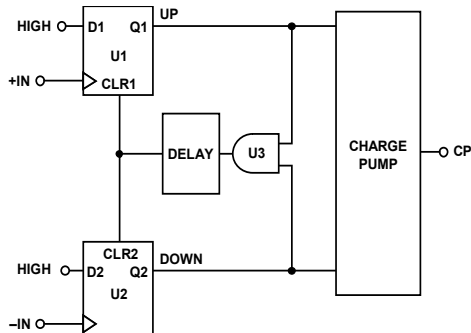


図 18. PFD の簡略化した回路図

MUXOUT

ADF41513 の出力マルチプレクサを使用すると、チップの様々な内部のノードにアクセスできます。レジスタ 12 の M4、M3、M2、および M1 ビット (レジスタ 12 (R12) マップのセクションを参照) は、MUXOUT の状態を制御します。図 19 に、MUXOUT のセクションをブロック図で示します。これらのアクセス・ポイントの多くは、デバックをする際に役立ちます。例えば、N 分周器が正常に機能しているかどうかを調べるには、N 分周器の出力を選択します。ほとんどのアクセス・ポイントについては、説明するまでもなく分かるようになっています。位相を再同期するために使用される内部の CLK_1 分周器の信号にアクセスするには、 CLK_1 分周器の出力信号を設定します。パワーダウン (CE = ロジック・ロー) の間、MUXOUT は GND に設定されます。

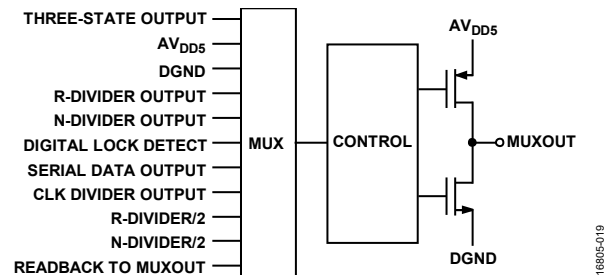


図 19. MUXOUT の回路図

ロック検出器

ロック検出器は、PFD 出力のパルス幅をロック検出器のウィンドウと比較します。測定は、 $\text{LD_CLK_SEL} = 0$ のとき、PFD 比較サイクルごとに行われ、 $\text{LD_CLK_SEL} = 1$ のとき、32 番目のサイクルごとに行われます。パルス幅がロック・ウィンドウの内部に入ると、カウンタがインクリメントされます。アップまたはダウンのパルス幅がロック検出ウィンドウを超えずに、かつサイクル・スリップが発生しないで、カウンタが LD_COUNT によって設定されたカウントに達すると、ロック検出器によってロックが宣言されます。

ロック検出器がロックを宣言したとき、ロック喪失を宣言する主なメカニズムはサイクル・スリップが発生することです。このサイクル・スリップは一般に位相検出器の入力での周波数誤差によって発生し、位相誤差は 360° を超えるまで増加します。更に、位相誤差は一周して 0° に戻ります。この位相の一周がサイクル・スリップです。

MUXOUT がハイ・レベルのときは、PLL がロックしていることを示します。

ロック検出器のウィンドウ・サイズ、 LD_COUNT 、および LD_CLK_SEL はすべて、ロック検出器の感度に影響を及ぼします。ウィンドウがより大きく、 LD_COUNT 値がより小さく、 $\text{LD_CLK_SEL} = 0$ であれば、全体的なロック検出時間が短くなり、感度が上がります。ウィンドウがより小さく、 LD_COUNT 値がより大きく、 $\text{LD_CLK_SEL} = 1$ であれば、全体的なロック検出時間が長くなり、感度が下がります。ロック検出器の感度が高すぎると、周波数が変化している間に、ロック状態とロック喪失状態の間で遷移が多く発生する可能性があります。ロック検出器の感度が低すぎると、PLL が実際にロックしていても、検出器がロック喪失状態を示す可能性があります。

ウィンドウ・サイズは、レジスタ 6 のビット [9 : 8] (LDP) と、レジスタ 9 のビット [31 : 30] (LD バイアス) で 0.9ns～11.5ns の範囲に調整することができます。理想的なウィンドウ・サイズは、最大ウィンドウの中間のサイズで、位相比較期間 t_{PF} (リファレンスが 100MHz で R = 1 の場合は 10ns) によって設定されます。最小値は次式で設定されます。

$$(I_{BLEED}/I_{CP}) \times t_{PF} \quad (4)$$

LD_COUNT は、2 カウント～8192 カウントの範囲にすることができます。ロックの表示には、最短で 2 つの測定サイクル (リファレンスが 100MHz、R = 1、および LD_CLK_SEL = 0 の状態で 20ns) を要します。実際には、位相比較器のループ・フィルタのために、ロックの表示には更に長い時間がかかります。LD_CLK_SEL = 1 のときは、最短で 64 の測定サイクル (640ns) を要します。

リードバック

レジスタのデータは、MUXOUT をシリアル・データ出力に設定することによって読み出すことができます。このモードでは、MUXOUT ラインは 32 ビットの書き込みデータをクロックに同期して入力すると同時に、以前書き込まれた 32 ビットのレジスタ値を転送します。

特定のレジスタ、チップのリビジョン・コード、またはビット・パターンをリードバックするには、1000b をレジスタ 12 のビット [31 : 28] に書き込みます。リードバック・モードのとき、レジスタ 12 のビット [19 : 14] が、MUXOUT ピンから出力されるデータを設定します。

誤った書き込みを防止するには、リードバックが行われている間、DATA ピンをロジック・ローに保持する必要があります。

入力シフト・レジスタ

ADF41513は、プログラマブルなデジタル・ブロックを内蔵しています。データは、CLKの各立上がりエッジで、32ビットのシフト・レジスタにクロックに同期して入力されます。データは、MSBファーストでクロックに同期して入力されます。データは、LEの立上がりエッジでシフト・レジスタから選択されたレジスタに転送されます。宛先のラッチは、シフト・レジスタの4つのコントロール・ビット (C4、C3、C2、およびC1) の状態によって指定されます。以下がこの最下位4ビットです。すなわち、DB3、DB2、DB1、およびDB0で指定されます。これらのビットの真理値表を図6に示します。図20～図22に、レジスタのプログラミング方法の概要を示します。

プログラム・モード

表 6 と図 23～図 36 に、ADF41513 のプログラム・モードのセットアップ方法を示します。

ADF41513 の一部の設定値はダブル・バッファリングされます。これらの設定値には、MOD2、FRAC1、FRAC2、R カウンタの値、リファレンス・ダブラ、CP カウンタの設定値、RDIV2、位相ワード、プリスケアラ、CLK_I 分周器などがあります。すべてのダブル・バッファリングされた設定値に対して、デバイスが新しい値を使用するのに先立って、2 つのイベントが発生する必要があります。最初に、目的のレジスタに書き込みを行うことにより、新しい値がデバイスにラッチされます。次に、レジスタ 0 に新しい書き込みを行う必要があります。例えば、FRAC1 の値を更新するには、レジスタ 1 に書き込みを行ってから、レジスタ 0 に書き込みを行う必要があります。最初にレジスタ 1 に書き込みを行い、続いてレジスタ 0 に書き込みを行います。レジスタ 0 に書き込みを行った後に、周波数の変化が始まります。ダブル・バッファリングでは、レジスタ 1 に書き込まれたビットは、レジスタ 0 に書き込みが行われて初めて有効になることに注意してください。

表 6. C4、C3、C2、および C1 の真理値表

Control Bits				Register
C4	C3	C2	C1	
0	0	0	0	R0
0	0	0	1	R1
0	0	1	0	R2
0	0	1	1	R3
0	1	0	0	R4
0	1	0	1	R5
0	1	1	0	R6
0	1	1	1	R7
1	0	0	0	R8
1	0	0	1	R9
1	0	1	0	R10
1	0	1	1	R11
1	1	0	0	R12
1	1	0	1	R13

レジスタ・マップ

INT REGISTER (R0)

RESERVED			VARIABLE MODULUS	RESERVED								16-BIT INTEGER VALUE (INT)																CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	V1	0	0	0	0	0	0	0	0	N16	N15	N14	N13	N12	N11	N10	N9	N8	N7	N6	N5	N4	N3	N2	N1	C4(0)	C3(0)	C2(0)	C1(0)

FRAC1 REGISTER (R1)

DITHER2	RESERVED	25-BIT FRAC1 VALUE (FRAC1)																								CONTROL BITS					
		DBB																													
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
D1	0	0	F25	F24	F23	F22	F21	F20	F19	F18	F17	F16	F15	F14	F13	F12	F11	F10	F9	F8	F7	F6	F5	F4	F3	F2	F1	C4(0)	C3(0)	C2(0)	C1(1)

PHASE REGISTER (R2)

PHASE ADJUST	RESERVED																12-BIT PHASE VALUE (PHASE)												CONTROL BITS			
																	DBB															
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
PA1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	P12	P11	P10	P9	P8	P7	P6	P5	P4	P3	P2	P1	C4(0)	C3(0)	C2(1)	C1(0)	

FRAC2 REGISTER (R3)

RESERVED				24-BIT FRAC2 VALUE (FRAC2)																								DBB				CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0				
0	0	0	0	F24	F23	F22	F21	F20	F19	F18	F17	F16	F15	F14	F13	F12	F11	F10	F9	F8	F7	F6	F5	F4	F3	F2	F1	C4(0)	C3(0)	C2(1)	C1(1)				

MOD2 REGISTER (R4)

RESERVED				24-BIT MOD2 VALUE (MOD2)																								CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	M24	M23	M22	M21	M20	M19	M18	M17	M16	M15	M14	M13	M12	M11	M10	M9	M8	M7	M6	M5	M4	M3	M2	M1	C4(0)	C3(1)	C2(0)	C1(0)

NOTES

1. DBB MEANS DOUBLE-BUFFERED BITS.

図 20. レジスタ 0 (R0) ~レジスタ 4 (R4) におけるレジスタの概要

16895-020

R DIVIDER REGISTER (R5)

DLD MODES		RESERVED	DBB				LSB_P1	DBB	PRESCALER	RDIV2 DBB	REFERENCE DOUBLER DBB	DBB					DBB												CONTROL BITS			
			CP CURRENT SETTING									5-BIT R COUNTER					12-BIT CLK ₁ DIVIDER VALUE															
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
DL2	DL1	0	CPI4	CPI3	CPI2	CPI1	L1	P1	U2	U1	R5	R4	R3	R2	R1	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	C4(0)	C3(1)	C2(0)	C1(1)	

FUNCTION REGISTER (R6)

BLEED CURRENT								BLEED POLARITY	BLEED ENABLE	RESERVED	INT MODE	ABP	LOL ENABLE	SD RESET	CP THREE-STATE PD ON	RESERVED						LDP		PD POLARITY	POWER DOWN	CP THREE-STATE COUNTER RESET	CONTROL BITS				
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
BC8	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BP1	BE1	0	IM1	A1	LOL1	SD1	CP1	1	0	0	0	0	0	LDP2	LDP1	PP1	PD	C31	CR1	C4(0)	C3(1)	C2(1)	C1(0)

CLOCK 2 REGISTER (R7)

RESERVED		LD_COUNT			LD_CLK_SEL	RESERVED		N DELAY		PS BIAS		CLK DIVIDER MODE		12-BIT CLK ₂ DIVIDER VALUE												CLK DIV SEL		CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	CN3	CN2	CN1	LD1	0	0	ND2	ND1	PB2	PB1	C2	C1	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	CS2	CS1	C4(0)	C3(1)	C2(1)	C1(1)

RESERVED REGISTER (R8)

RESERVED																												CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	C4(1)	C3(0)	C2(0)	C1(0)

RESERVED REGISTER (R9)

LD BIAS		RESERVED																								CONTROL BITS					
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
LB2	LB1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	C4(1)	C3(0)	C2(0)	C1(1)

NOTES

1. DBB MEANS DOUBLE-BUFFERED BITS.

図 21. レジスタ 5 (R5) ~レジスタ 9 (R9) におけるレジスタの概要

RESERVED REGISTER (R10)

RESERVED																												CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	C4(1)	C3(0)	C2(1)	C1(0)

RESERVED REGISTER (R11)

RESERVED																												CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
PDS	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	C4(1)	C3(0)	C2(1)	C1(1)

MUXOUT REGISTER (R12)

MUXOUT				LOGIC LEVEL	RESERVED				MASTER RESET	RESERVED	LE SELECT	READBACK SELECT						RESERVED								CONTROL BITS					
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
M4	M3	M2	M1	LL	0	0	0	0	MR1	0	L1	R6	R5	R4	R3	R2	R1	0	0	0	0	0	0	0	0	0	0	C4(1)	C3(1)	C2(0)	C1(0)

RESERVED REGISTER (R13)

RESERVED																												CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	C4(1)	C3(1)	C2(0)	C1(1)

図 22. レジスタ 10 (R10) ~レジスタ 13 (R13) におけるレジスタの概要

18905-022

レジスタ 0 (R0) マップ

レジスタ 0 に書き込みが行われたときにのみ、周波数の変化が起きます。

可変モジュラス

レジスタ 0 のビット 28 を 0 にすると、25 ビットの固定モジュラスがイネーブルになります。レジスタ 0 のビット 28 を 1 にすると、可変モジュラスがイネーブルになります。詳細については、N 分周器と R カウンタのセクションを参照してください。

INT 値

レジスタ 0 のビット [19 : 4] は、INT 値を設定します。詳細については、N 分周器と R カウンタのセクションを参照してください。

レジスタ 1 (R1) マップ

DITHER2

レジスタ 1 のビット 31 を 1 に設定すると、 $\Sigma\Delta$ 変調器のディザがイネーブルになります。DITHER2 をイネーブルにすると、フラクショナル・スプリアスを低減させることができます。

FRAC1

レジスタ 1 のビット [28 : 4] は、FRAC1 値を設定します。詳細については、N 分周器と R カウンタのセクションを参照してください。固定モジュラスを使用しているとき、ビット [28 : 4] は FRAC 値になります。

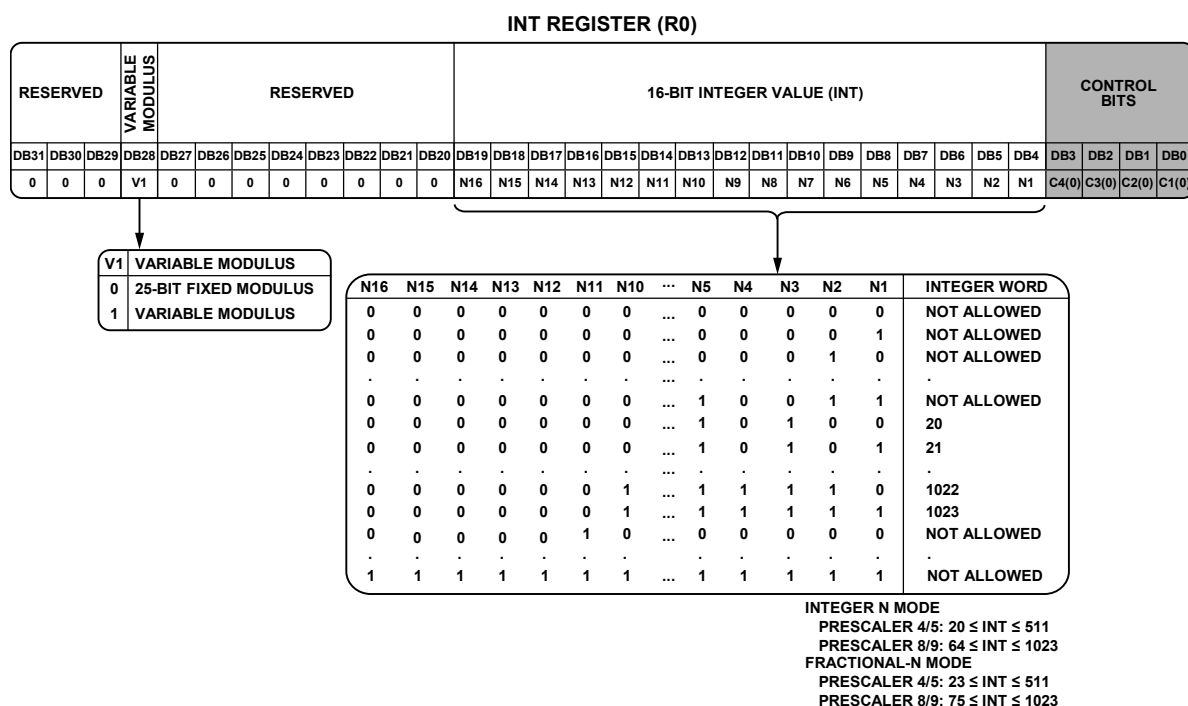
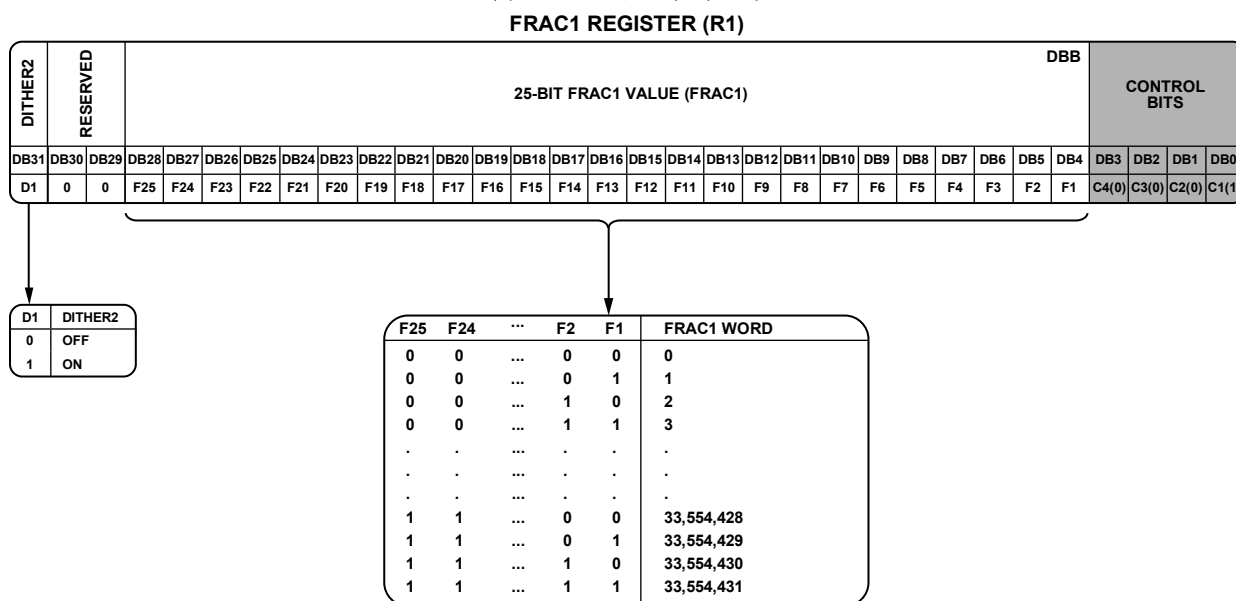


図 23. レジスタ 0 (R0) マップ



NOTES

1. DBB MEANS DOUBLE-BUFFERED BITS.

図 24. レジスタ 1 (R1) マップ

レジスタ 2 (R2) マップ

位相調整

レジスタ 2 のビット 31 を 1 に設定すると、位相調整がイネーブルになります。位相調整を行うと、電流位相に対して出力の位相が増加します。レジスタ 0 に書き込みを行った後に、位相の変化が起こります。

$$\text{位相シフト} = (\text{位相値} \times 360^\circ) / 2^{12} \quad (5)$$

位相値

レジスタ 2 のビット [15 : 4] は、位相調整用の位相値を設定します。例えば、位相値を 512 に設定すると、出力位相が 45° だけ増加します。

位相調整を使用しない場合は、位相値を 0 に設定します。

レジスタ 3 (R3) マップ

FRAC2

レジスタ 3 のビット [27 : 4] は、FRAC2 値を設定します。詳細については、N 分周器と R カウンタのセクションを参照してください。固定モジュラスを使用しているとき、FRAC2 は無視されます。

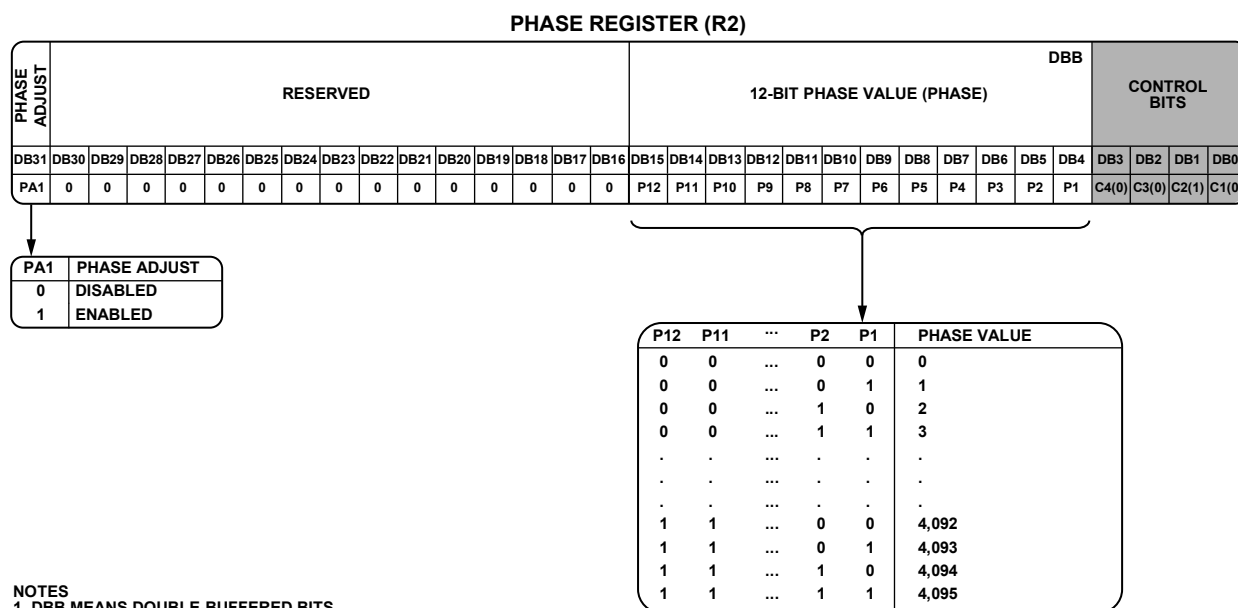


図 25. レジスタ 2 (R2) マップ

16895-025

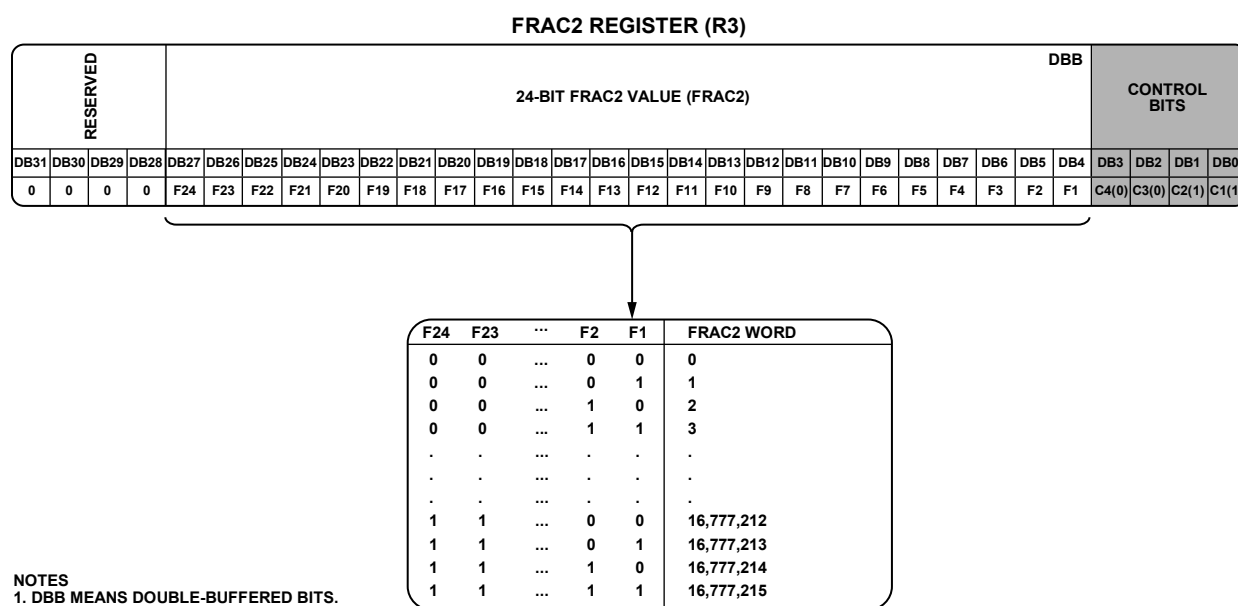


図 26. レジスタ 3 (R3) マップ

16895-026

レジスタ 4 (R4) マップ

MOD2

レジスタ 4 のビット [27 : 4] は、MOD2 値を設定します。詳細については、N 分周器と R カウンタのセクションを参照してください。固定モジュラスを使用しているとき、MOD2 は無視されます。

レジスタ 5 (R5) マップ

DLD モード

レジスタ 5 のビット [31 : 30] は、デジタル・ロック検出 (DLD) ピンの状態を設定します。通常のデジタル・ロック検出を行うには、レジスタ 5 のビット [31 : 30] を 0b01 に設定します。他のオプションでは、図 28 に示すように、ピンをスリープ状態にしたり、強制的にロジック・レベルをハイやローにしたりすることもできます。

CP 電流の設定値

レジスタ 5 のビット [28 : 25] は、チャージ・ポンプ電流を設定します。これらのビットの設定は、ループ・フィルタがアプリケーションに基づいて設計されている場合のチャージ・ポンプ電流に対して行います。推奨する手法は、2.4mA または 2.7mA のチャージ・ポンプ電流を流すためのループ・フィルタを設計し、次いでプログラマブルなチャージ・ポンプ電流を使用してループ・フィルタの周波数応答を微調整することです。

LSB_P1

レジスタ 5 のビット 24 を 0 にすると、固定モジュラス MOD 値内の 26 番目のビットがイネーブルになります。26 番目のビットをイネーブルにすると、フラクショナル・スプリアスが低減されますが、この低減によって、固定された $f_{\text{PFD}}/2^{26}$ の周波数オフセットも出力周波数に加わります。この周波数オフセットをデイスエーブルにするには、レジスタ 5 のビット 24 を 1 に設定します。

プリスケアラ

デュアル・モジュラス・プリスケアラ (4/5 と 8/9) は、レジスタ 5 のビット 23 によって設定されます。N 分周器への入力で、

プリスケアラは、N 分周器が正常に動作できるように f_{RFIN} 信号を分周します。プリスケアラは、同期 4/5 コアをベースにしています。プリスケアラの設定値は RF 周波数に影響を及ぼします。また、INT の最小値と最大値は以下のようになります。

インテグラー N モードの場合、

- プリスケアラ 4/5 : $20 \leq \text{INT} \leq 511$ 、 $f_{\text{RFIN_MAX}} = 16\text{GHz}$
- プリスケアラ 8/9 : $64 \leq \text{INT} \leq 1023$ 、 $f_{\text{RFIN_MAX}} = 26.5\text{GHz}$

フラクショナル N モードの場合、

- プリスケアラ 4/5 : $23 \leq \text{INT} \leq 511$ 、 $f_{\text{RFIN_MAX}} = 16\text{GHz}$
- プリスケアラ 8/9 : $75 \leq \text{INT} \leq 1023$ 、 $f_{\text{RFIN_MAX}} = 26.5\text{GHz}$

RDIV2

レジスタ 5 のビット 22 は、リファレンスの 2 分周ブロックを制御します。詳細については、N 分周器と R カウンタのセクションを参照してください。この機能により、デューティ・サイクルが 50% の信号を PFD に供給することができます。

リファレンス・ダブラ

レジスタ 5 のビット 21 は、リファレンス・ダブラ・ブロックを制御します。詳細については、N 分周器と R カウンタのセクションを参照してください。

R カウンタ

レジスタ 5 のビット [20 : 16] は、R カウンタ値を制御します。詳細については、N 分周器と R カウンタのセクションを参照してください。

CLK₁ 分周器

レジスタ 5 のビット [15 : 4] は、CLK₁ 分周器の値を制御します。詳細については、位相再同期のセクションを参照してください。

MOD2 REGISTER (R4)

RESERVED				24-BIT MOD2 VALUE (MOD2)																								DBB				CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0				
0	0	0	0	M24	M23	M22	M21	M20	M19	M18	M17	M16	M15	M14	M13	M12	M11	M10	M9	M8	M7	M6	M5	M4	M3	M2	M1	C4(0)	C3(1)	C2(0)	C1(0)				

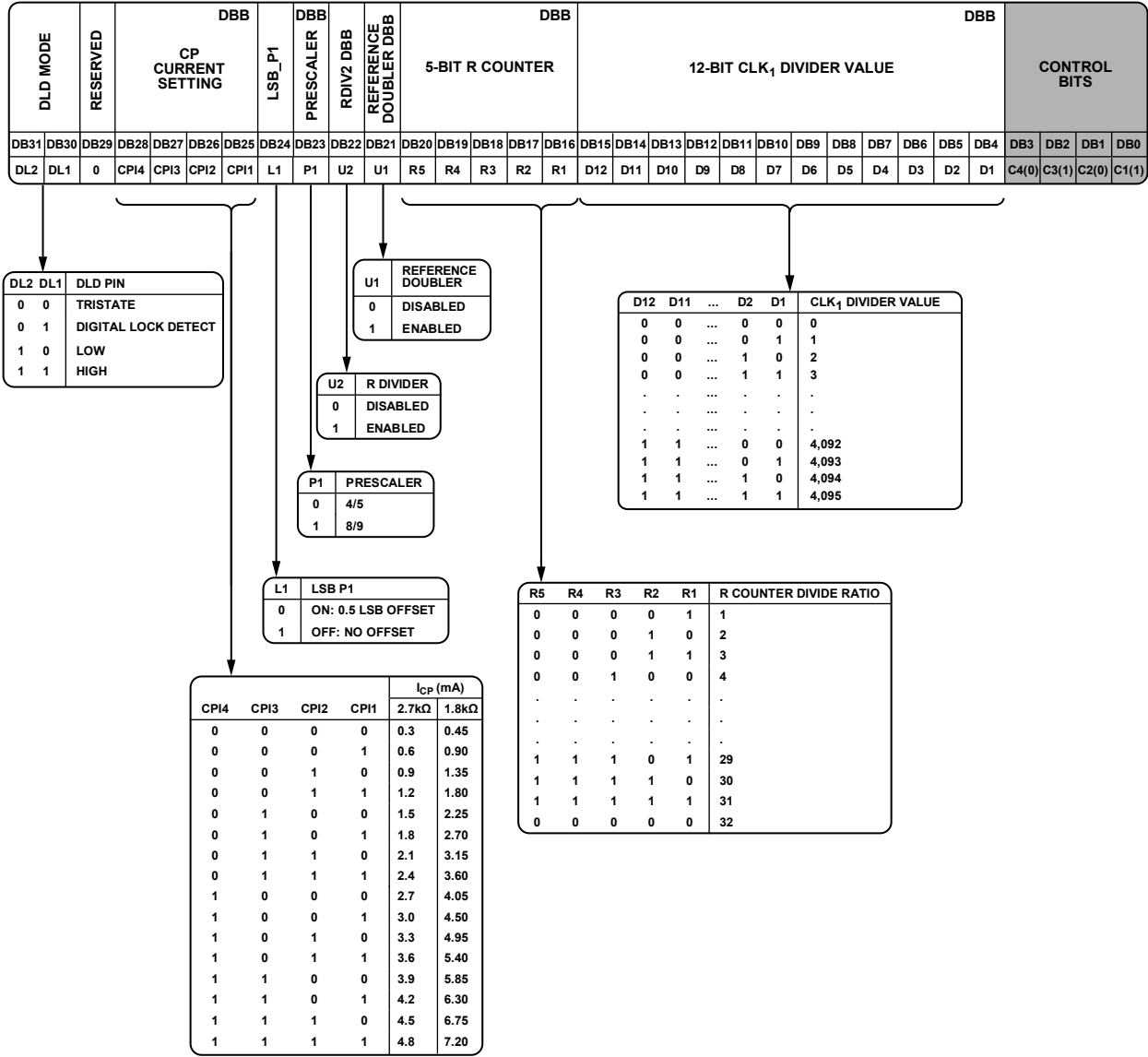
M24	M23	...	M2	M1	MOD2 WORD
0	0	...	0	0	0
0	0	...	0	1	1
0	0	...	1	0	2
0	0	...	1	1	3
.	.	...	.	.	.
.	.	...	.	.	.
.	.	...	.	.	.
1	1	...	0	0	16,777,212
1	1	...	0	1	16,777,213
1	1	...	1	0	16,777,214
1	1	...	1	1	16,777,215

NOTES
1. DBB MEANS DOUBLE-BUFFERED BITS.

図 27. レジスタ 4 (R4) マップ

16805-027

R DIVIDER REGISTER (R5)



NOTES
1. DBB MEANS DOUBLE-BUFFERED BITS.

図 28. レジスタ 5 (R5) マップ

16805-028

レジスタ 6 (R6) マップ

ブリード電流

レジスタ 6 のビット [31 : 24] は、ブリード電流を設定します。PD の極性が正に設定された場合、最適なブリード電流は次式によって設定されます。

$$\text{ブリード値} = \text{フロア} (90 \times (f_{\text{PFD}}/100\text{MHz}) \times (I_{\text{CP_CODE}} + 1) / 16) \quad (6)$$

ここで、ブリード値は、レジスタ 6 のビット [31 : 24] にプログラムされる値です。

$I_{\text{CP_CODE}}$ は、レジスタ 5 のビット [28 : 25] にプログラムされるチャージ・ポンプ電流の設定値です。

f_{PFD} は、MHz 単位の PFD 周波数です。

PD の極性が負に設定された場合、最適なブリード電流は次式によって設定されます。

$$\text{ブリード値} = \text{フロア} (144 \times (f_{\text{PFD}}/100\text{MHz}) \times (I_{\text{CP_CODE}} + 1) / 16) \quad (7)$$

ブリードの極性

レジスタ 6 のビット 23 は、ブリード電流の極性を制御します。負極性が標準的な使用法です。

ブリード・イネーブル

フラクショナル N モードの動作では、位相検出器に向かう VCO 入力とリファレンス入力位相オフセット状態で動作すれば、チャージ・ポンプの直線性（および最終的な位相ノイズとスプリアスの性能）は改善されます。この位相オフセットは、チャージ・ポンプの出力で一定のブリード電流を加えることによって生じます。フラクショナル N モードで動作しているとき（つまり、FRAC1 または FRAC2 が 0 でないとき）にのみ、ブリードを使用します。レジスタ 6 のビット 22 を 1 に設定すると、ブリードがイネーブルになります。

INT モード

レジスタ 6 のビット 20 は、フラクショナル N 型 Σ - Δ 変調器 (SDM) を完全にディスエーブルにします。レジスタ 6 のビット 20 を 1 に設定して、SDM をディスエーブルにすると、ADF41513 は完全にインテジャー N モードで動作します。SDM をディスエーブルにすると、位相ノイズ性能が改善され、 f_{PFD} に対する周波数分解能が変わります。

ABP

レジスタ 6 のビット 19 は、アンチバックラッシュ・パルス (ABP) の幅に影響を及ぼします。最良の性能指数 (FOM) を得るための推奨設定値は、narrow (狭い) になります (レジスタ 6 のビット 19 = 1)。

ロック喪失 (LOL) イネーブル

ロック喪失がイネーブルの状態、リファレンス信号が除去されているときに、デジタル・ロック検出がアサートされた場合は、デジタル・ロック検出はロー・レベルになります。レジスタ 6 のビット 18 を 1 に設定すると、ロック喪失がイネーブルになります (推奨)。

シグマデルタ (SD) リセット

レジスタ 6 のビット 17 が 0 のときに、レジスタ 0 に書き込みを行うと、SDM は一時的に 0 というフラクショナル値に設定されます。SD リセットを行うと、一定のフラクショナル・スプリア

ス・パターンが必ず発生しますが、N 分周器が $\text{FRAC} = 0$ を出力した瞬間に、出力周波数にグリッチも発生します。レジスタ 6 のビット 17 を 1 に設定すると、このグリッチが除去されます (推奨する設定)。

CP スリーステート、PD オン

レジスタ 6 のビット 16 を 1 にすると、チャージ・ポンプはスリーステート・モードになりますが、位相検出器 (PD) は動作を継続します。通常動作にするには、レジスタ 6 のビット 16 を 0 に設定します。

ロック検出器の精度 (LDP)

レジスタ 6 のビット [9 : 8] とレジスタ 9 のビット [31 : 30] は、デジタル・ロック検出器の感度を制御します。ロック検出精度 (レジスタ 6 のビット [9 : 8]) とロック検出器のバイアス (レジスタ 9 のビット [31 : 30]) は、連携してデジタル・ロック検出器のウィンドウの幅を調整します。PFD リファレンスの到着時間と分周された VCO 入力の到着時間が LDP 値未満で常に異なっているときは、ロックが宣言されます。大きなブリード電流が使用されているときに、小さな LDP 設定値にすると、誤ってロック喪失が表示される可能性があります。詳細については、ロック検出器のセクションを参照してください。

位相検出器 (PD) の極性

非反転ループ・フィルタと正のチューニング・スロープを持つ VCO を使用する場合は、PD の極性を正に設定します。

反転ループ・フィルタと負のチューニング・スロープを持つ VCO を使用する場合は、PD の極性を正に設定します。

非反転ループ・フィルタと負のチューニング・スロープを持つ VCO を使用する場合は、PD の極性を負に設定します。

反転ループ・フィルタと正のチューニング・スロープを持つ VCO を使用する場合は、PD の極性を負に設定します。

パワーダウン

レジスタ 6 のビット 6 を 1 に設定すると、ソフトウェア・パワーダウンが実行されます。すべての回路ブロックがディスエーブルになり、チップは低消費電力状態になって消費電流が約 4mA になります。レジスタ 6 のビット 6 を 0 に設定すると、チップは再度イネーブルになります。パワーダウン中にレジスタ値が失われることはありません。レジスタ 11 のビット 31 を介して、唯一のパワーダウン・モードを使用可能です。レジスタ 11 のビット 31 を 1 に設定すると、パワーダウン中に内部の 1.8 V の N 分周器のレギュレータをオン状態に維持できます。

このパワーダウン・ビットに書き込みを行うときは、レジスタ 12 のビット 20 を 0 に設定する必要があることに注意してください。この設定をしないと、レジスタ 6 のビット 6 を 0 に設定しても、チップが再び電源オン状態に戻ることはできません。

CP スリーステート

レジスタ 6 のビット 5 を 1 に設定すると、チャージ・ポンプがスリーステート・モードになります。通常動作にするには、レジスタ 6 のビット 5 を 0 に設定します。

カウンタのリセット

レジスタ 6 のビット 4 を 1 に設定すると、N 分周器と R カウンタのリセットが保持され、PFD では信号が受信されなくなります。

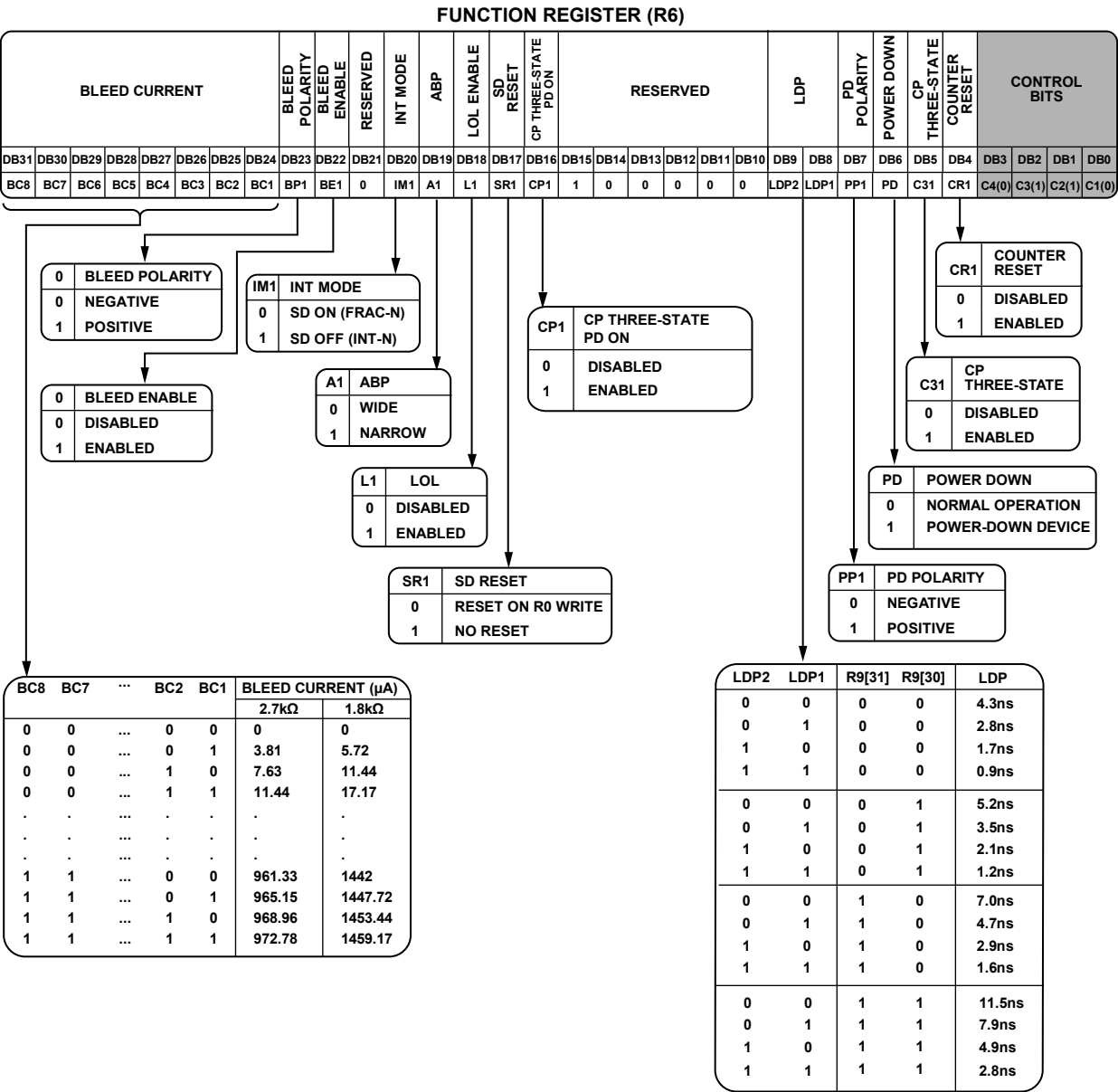


図 29. レジスタ 6 (R6) マップ

16805-029

レジスタ 7 (R7) マップ

ロック検出器のカウント (LD_COUNT)

LD_COUNT は、ロック検出カウンタの初期値を設定します。ロック検出器の動作の詳細については、ロック検出器のセクションを参照してください。

ロック検出のクロック選択 (LD_CLK_SEL)

LD_CLK_SEL = 1 のとき、ロック検出器は、位相比較サイクルごとにロックしているかどうかを調べます。そうでない場合、ロック検出器は、32 番目のサイクルごとにロックしているかどうかを調べます。LD_CLK_SEL = 1 にすると、ロックの宣言を高速化できますが、代償として、周波数の変化中にロック表示の安定性が低下します。

SDM から N 分周器へのタイミング調整 (N 遅延)

この制御は、SDM 出力と N 分周器の間のタイミングを調整します。これらのビットを 0b01 に設定します。

プリスケラ (PS) バイアス

これらのビットを 0b10 に設定します。

CLK 分周器のモード

レジスタ 7 のビット [19 : 18] を 0b10 に設定すると、位相再同期がイネーブルになります。詳細については、位相再同期のセクションを参照してください。

位相再同期を使用しないときは、レジスタ 7 のビット [19 : 18] を 0b00 に設定します。

CLK₂ 分周器の値

レジスタ 7 のビット [17 : 6] は、CLK₂ 分周器の値を制御します。CLK₂ 分周器の値は、位相再同期パルスのタイミングを制御します。詳細については、位相再同期のセクションを参照してください。

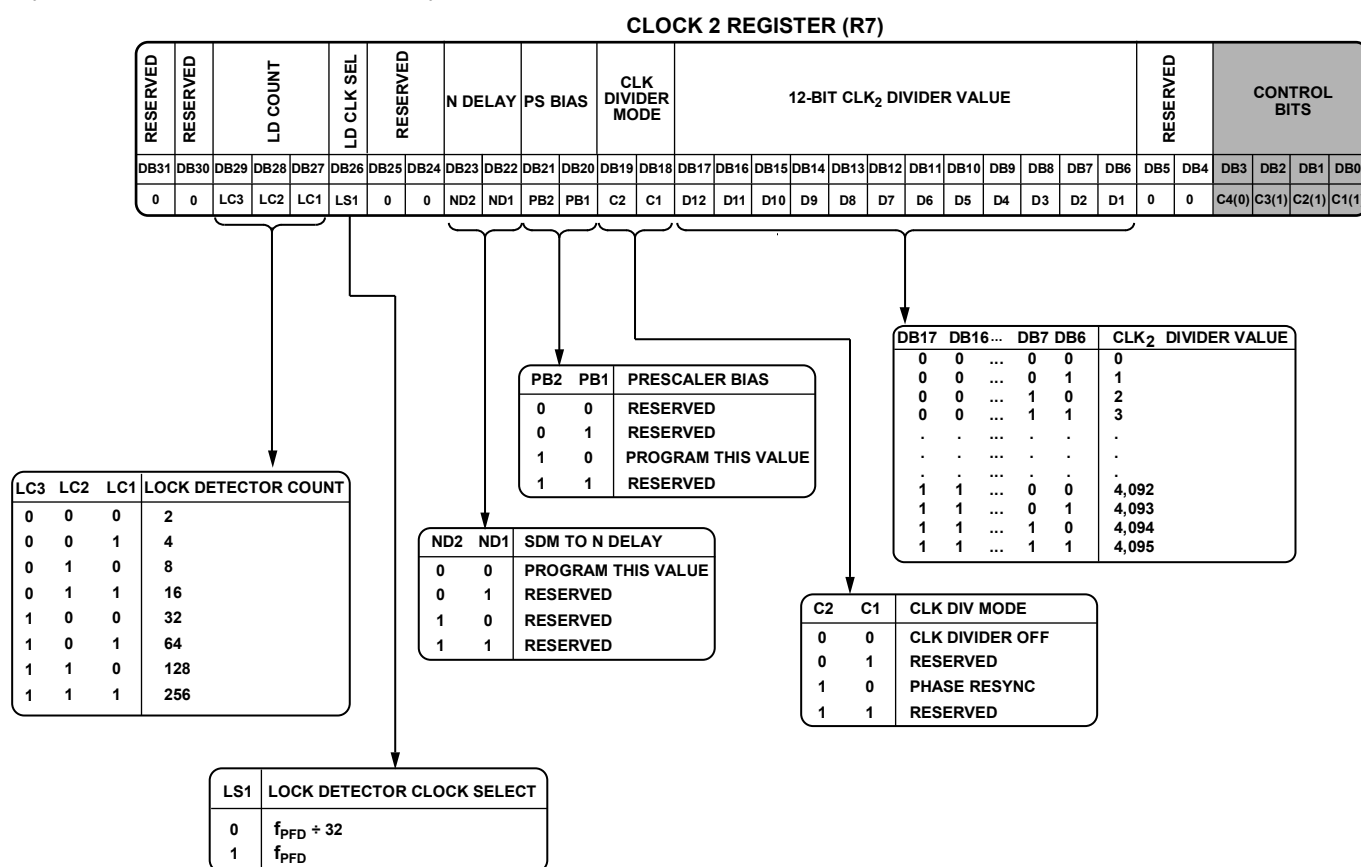


図 30. レジスタ 7 (R7) マップ

レジスタ 8 (R8) マップ

すべての予備ビットは 0 に設定します。

レジスタ 9 (R9) マップ

ロック検出器のバイアス

ロック検出器のウィンドウ・サイズは、ロック検出器のバイアス調整とロック検出器の精度ビット（レジスタ 6 のビット [9 : 8] ）の連携によって設定されます。ロック検出器のセクションを参照してください。

RESERVED REGISTER (R8)																															
RESERVED																															
CONTROL BITS																															
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	C4(1)	C3(0)	C2(0)	C1(0)

図 31. レジスタ 8 (R8) マップ

LOCK DETECTOR BIAS REGISTER (R9)																																	
LD BIAS		RESERVED																												CONTROL BITS			
		DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
LB2	LB1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	C4(1)	C3(0)	C2(0)	C1(1)

LB2	LB1	LOCK DETECTOR BIAS
0	0	40μA
0	1	30μA
1	0	20μA
1	1	10μA

図 32. レジスタ 9 (R9) マップ

レジスタ 10 (R10) マップ

すべての予備ビットは 0 に設定します。

レジスタ 11 (R11) マップ

パワーダウン選択

使用可能なパワーダウン・オプションは 1 つだけです。レジスタ 11 のビット 31 を 1 にプログラムします。レジスタ 6 のビット 6 を 1 に設定すると、デバイスがパワーダウンします。

RESERVED REGISTER (R10)

RESERVED																												CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	C4(1)	C3(0)	C2(1)	C1(1)

16805-033

図 33. レジスタ 10 (R10) マップ

POWER-DOWN SELECT REGISTER (R11)

POWER-DOWN SELECT	RESERVED																												CONTROL BITS			
	DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
PDS	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	C4(1)	C3(0)	C2(1)	C1(1)

PDS	POWER-DOWN SELECT
0	RESERVED
1	PROGRAM THIS VALUE

16805-034

図 34. レジスタ 11 (R11) マップ

レジスタ 12 (R12) マップ

MUXOUT

レジスタ 12 のビット [31 : 28] は、MUXOUT 信号を選択します。レジスタのデータは、シリアル・データ出力を選択しても、リードバックを介しても読み出すことができます。シリアル・データ出力では、以前のアクセスで書き込まれた 32 ビットのレジスタのデータが送信されます。リードバックでは、リードバック選択ビット（レジスタ 12 のビット [19 : 14]）によって定義されたデータが送信されます。

ロジック・レベル

レジスタ 12 のビット 27 は、DLD と MUXOUT のロジック・レベルを選択します。

マスタ・リセット

レジスタ 12 のビット 22 を 1 にすると、すべてのレジスタがすべて 0 にリセットされます。

LE の選択

レジスタ 12 のビット 20 を 1 にすると、SPI 書き込み時に、LE の立上がりエッジがリファレンス信号の立下がりエッジと同期します。この推奨設定値にすると、非同期ロードでのグリッチが確実になくなります。リファレンスがないときにデータを ADF41513 に書き込む必要がある場合は、レジスタ 12 のビット 20 を 0 に設定します。

リードバックの選択

レジスタ 12 のビット [19 : 14] は、リードバックされる値を選択します。詳細については、リードバックのセクションを参照してください。

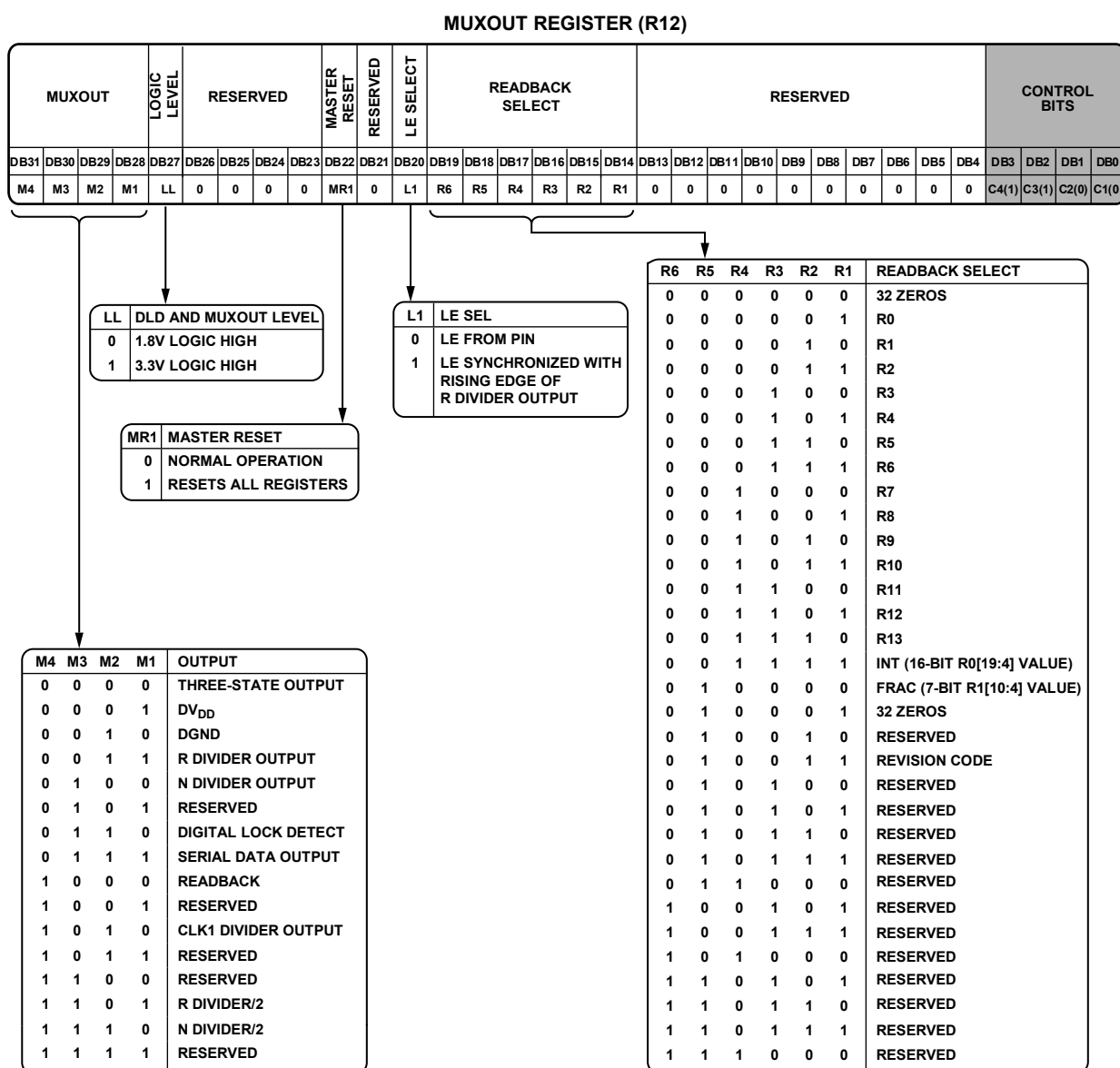


図 35. レジスタ 12 (R12) マップ

レジスタ 13（R13）マップ

すべての予備ビットは 0 に設定します。

RESERVED REGISTER (R13)																															
RESERVED																												CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	C4(1)	C3(1)	C2(0)	C1(1)

16805-036

図 36. レジスタ 13（R13）マップ

アプリケーション情報

初期化シーケンス

以下のレジスタのシーケンスは、電圧を正しく電源ピンに供給した後に ADF41513 を起動するための適正なシーケンスです。

1. レジスタ 13
2. レジスタ 12
3. レジスタ 11
4. レジスタ 10
5. レジスタ 9
6. レジスタ 8
7. レジスタ 7
8. レジスタ 6
9. レジスタ 5
10. レジスタ 4
11. レジスタ 3
12. レジスタ 2
13. レジスタ 1
14. レジスタ 0

RF シンセサイザ：25 ビットの固定モジュラス・モードでの具体事例

次式は、シンセサイザのプログラム方法を規定します。

$$RF_{OUT} = (INT + (FRAC1/2^{25})) \times f_{PFD} \quad (7)$$

ここで、

RF_{OUT} は、RF 周波数出力です。

INT は、整数の分周係数です。

$FRAC1$ は、分数の分子です。

f_{PFD} は、PFD 周波数です。

例えば、12.102GHz の RF 周波数出力 (RF_{OUT}) が必要で、かつ、100MHz のリファレンス周波数入力 (REF_{IN}) が使用可能なシステムでは、周波数分解能 f_{RES} は次式のようにになります。

$$\begin{aligned} f_{RES} &= REF_{IN}/2^{25} \\ f_{RES} &= 100\text{MHz}/2^{25} \\ &= 2.98\text{Hz} \end{aligned}$$

式1と式2から、

$$\begin{aligned} f_{PFD} &= (100\text{MHz} \times (1 + 0) / 1) = 100\text{MHz} \\ 12.102\text{GHz} &= 100\text{MHz} \times (N + FRAC/2^{25}) \end{aligned}$$

INT 値と $FRAC$ 値は以下のように計算できます。

$$\begin{aligned} INT &= \text{int} (RF_{OUT}/f_{PFD}) = 121 \\ FRAC1 &= (\text{int} (RF_{OUT}/f_{PFD}) - INT) \times 2^{25} = 671088.64 \approx 671089 \end{aligned}$$

ここで、

INT は、レジスタ 0 内の 16 ビットの INT 値です。

$FRAC1$ は、レジスタ 1 内の 25 ビットの $FRAC1$ 値です。

$\text{int}()$ は、括弧内の引数を整数に変換します。

671088.64 を 671,089 に丸めたことによって、小さな周波数誤差が生じていることに注意してください。周波数精度を上げるには、可変モジュラス・モードを使用します。

RF シンセサイザ：可変モジュラス・モードでの具体事例

ADF41513 シンセサイザのプログラム方法の例を以下に示します。

$$RF_{OUT} = f_{PFD} \times (INT + (FRAC1 + (FRAC2/MOD2)) / 2^{25}) \quad (8)$$

ここで、

RF_{OUT} は、外付け VCO の出力周波数です。

INT は、レジスタ 0 のビット [19 : 4] によって設定される 16 ビットの値です。インテジャー N モードにおいて、 INT は、4/5 プリスケアラでは 20~511、8/9 プリスケアラでは 64~1023、また、フラクショナル N モードにおいて、 INT は、4/5 プリスケアラでは 23~511、8/9 プリスケアラでは 75~1023 になります。

$FRAC1$ は、レジスタ 1 のビット [28 : 4] によって設定される 25 ビットの値です。

$FRAC2$ は、レジスタ 3 のビット [27 : 4] によって設定される 24 ビットの値です。

$MOD2$ は、レジスタ 4 のビット [27 : 4] によって設定される 24 ビットの値です。

f_{PFD} は、PFD 周波数です。

例えば、12.102GHz の RF_{OUT} が必要で、かつ、100MHz の f_{PFD} が使用可能なシステムでは、次式のようにになります。

$$\begin{aligned} INT &= \text{int} (RF_{OUT}/f_{PFD}) = 121 \\ FRAC1 &= \text{int} ((RF_{OUT}/f_{PFD}) - INT) \times 2^{25} = 671,088 \end{aligned}$$

ここで、

$\text{int}()$ は、括弧内の引数を整数に変換します。

$$\text{余り} = FRAC2/MOD2 = 0.64$$

ここで、

$FRAC2 = 64$ 。

$MOD2 = 100$ 。

モジュラス

モジュラス (MOD) の選択は、使用可能なリファレンス信号 (REF_{IN}) と RF 出力における必要なチャンネル分解能 (f_{RES}) によって決まります。

リファレンス・ダブラとリファレンス分周器

内部のリファレンス・ダブラは、入力リファレンス信号を2逓倍できます。2逓倍は、PFD比較周波数を増加させるのに有効です。PFD周波数を増加させる設定を行うと、システムのノイズ性能が改善されます。PFD周波数を2逓倍すると、一般にノイズ性能が3dB改善されます。リファレンス・ダブラがオンのとき、リファレンス入力125MHz以上で動作できないことに注意することが重要です。 Σ - Δ 回路の速度の限界により、PFDの最大動作周波数は250MHz (インテジャーNモード) または125MHz (フラクショナルNモード) になります。

リファレンスの2分周は、リファレンス信号の周波数を2分の1にするため、デューティ・サイクルが50%のPFD周波数になります。

スプリアスのメカニズム

このセクションでは、PLL を用いた場合に生じる 2 つの異なったスプリアスのメカニズムと、ADF41513 においてこれらのスプリアスを最小限に抑える方法について説明します。

整数境界スプリアス

RF VCO 周波数とリファレンス周波数の間の相互作用によって、整数境界スプリアスが生じます。これらの周波数が整数関係にないとき（フラクショナル N シンセサイザのポイント）、スプリアスの側波帯が VCO 出力スペクトルのオフセット周波数位置に現れます。これはビート・ノート、すなわちリファレンス周波数の整数倍と VCO 周波数との間の周波数差に一致しています。これらのスプリアスは、ループ・フィルタで減衰されますが、差周波数がループ帯域内に入ることがあるリファレンスの整数倍に近いチャンネルでより顕著に発生します。

リファレンス・スプリアス

リファレンス・スプリアスは、一般にフラクショナル N シンセサイザで問題になることはありません。なぜなら、リファレンス・オフセットがループ帯域から離れているためです。ただし、ループをバイパスするリファレンス・フィードスルー・メカニズムにより、問題が発生することがあります。内部リファレンスの低レベルのスイッチング・ノイズが RF_{IN}A ピンや RF_{IN}B ピンを経由して VCO に戻ることによるフィードスルーのため、リファレンス・スプリアス・レベルが -90dBc にもなることがあります。ボード上にフィードスルー・パスが発生しないようにするため、PCB レイアウトにおいて、VCO パターンと入力リファレンスの間に適切なアイソレーションを確保する必要があります。

位相再同期

25 ビットのフラクショナル N PLL の出力は、入力リファレンスに対して任意の 2^{25} の位相オフセットに安定することがあります。ADF41513 の位相再同期機能は、入力リファレンスに対して一定の出力位相オフセットを発生させます。入力リファレンスに対するこの一定の出力位相オフセットは、デジタル・ビームフォーミングのような出力位相と周波数が重要となるアプリケーションで必要となります。位相再同期を使用するとき、特定の RF 出力位相をプログラムする方法については、位相のプログラミング性のセクションを参照してください。

レジスタ 7 のビット [19 : 18] を 0b10 に設定すると、位相再同期がイネーブルになります。位相再同期をイネーブルにすると、内部タイマーが次式で与えられる t_{SYNC} の間隔で同期信号を生成します。

$$t_{\text{SYNC}} = CLK_1 \times CLK_2 \times t_{\text{PFD}} \quad (9)$$

ここで、

CLK_1 は、レジスタ 5 のビット [15 : 4] にプログラムされる 10 進値です。

CLK_2 は、レジスタ 7 のビット [17 : 6] にプログラムされる 10 進値です。

t_{PFD} は、PFD リファレンス周期 ($1/f_{\text{PFD}}$) です。

新しい周波数をプログラムすると、LE の立上がりエッジの後に続く 2 番目の同期パルスが出力位相をリファレンスに再同期させます。 t_{SYNC} 時間を少なくとも最も厳しいロック時間と同じ値にプログラムすると、PLL のセトリング・トランジェントの最後のサイクル・スリップの後に位相再同期が確実に発生します。

図 37 に示す例では、 t_{SYNC} は 550 μs に設定されています。2 番目の同期パルスとその後のすべての同期パルスは、無視されています。

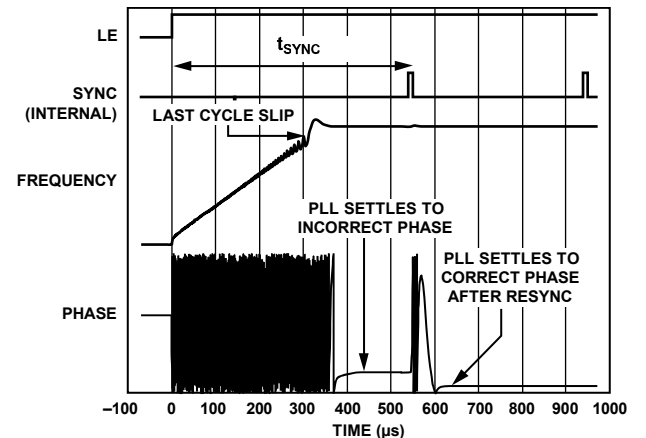


図 37. 位相再同期の例

位相のプログラミング性

レジスタ 2 内の位相ワードは、RF 出力位相を制御します。このワードは $0 \sim 2^{12}$ の範囲で変化するため、RF 出力位相は位相値が $\times 360^\circ/2^{12}$ のステップで 360° の範囲にわたって変化します。

外形寸法

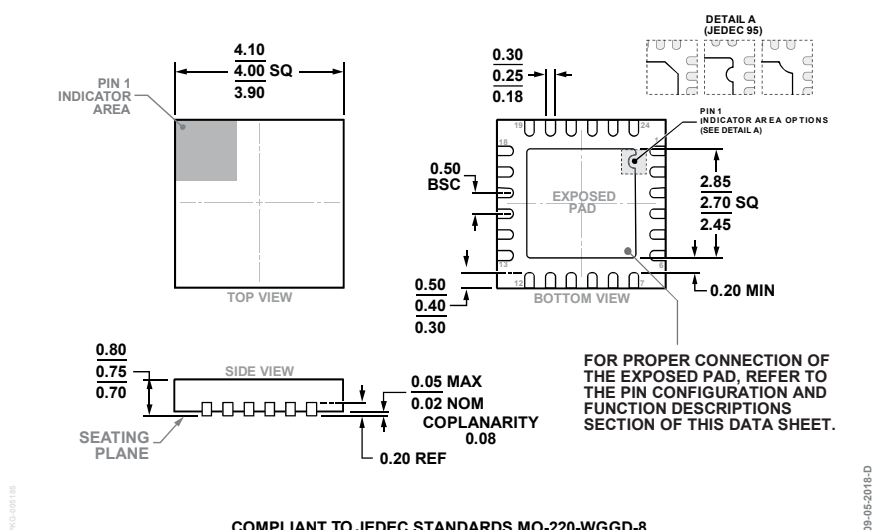


図 38. 24 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]
 4mm × 4mm ボディ、0.75mm パッケージ高
 (CP-24-8)
 寸法：mm

オーダー・ガイド

Parameter ¹	Temperature Range	Package Description	Package Option
ADF41513BCPZ	−40°C to +105°C	24-Lead Lead Frame Chip Scale Package [LFCSP]	CP-24-8
ADF41513BCPZ-RL7	−40°C to +105°C	24-Lead Lead Frame Chip Scale Package [LFCSP]	CP-24-8
EV-ADF41513SD1Z		Evaluation Board Without VCO	
EV-ADF41513SD2Z		Evaluation Board with On-Board VCO	

¹ Z = RoHS 準拠製品。